

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2024년 10월 3일 (03.10.2024)



(10) 국제공개번호

WO 2024/205151 A1

(51) 국제특허분류:

H10K 59/121 (2023.01)

G09G 3/3266 (2016.01)

H10K 59/131 (2023.01)

H10K 59/80 (2023.01)

G09G 3/3233 (2016.01)

G09G 3/32 (2006.01)

(21) 국제출원번호:

PCT/KR2024/003658

(22) 국제출원일:

2024년 3월 22일 (22.03.2024)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2023-0039086 2023년 3월 24일 (24.03.2023) KR

10-2023-0090025 2023년 7월 11일 (11.07.2023) KR

10-2024-0039963 2024년 3월 22일 (22.03.2024) KR

(71) 출원인: 삼성디스플레이주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

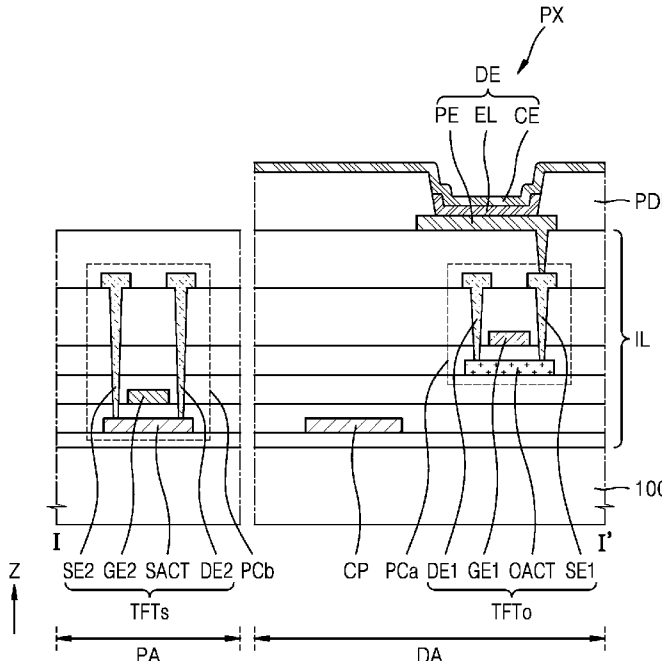
(72) 발명자: 김대현 (KIM, Dae Hyun); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 김성환 (KIM, Sung Hwan); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 신혜진 (SHIN, Hey Jin); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 장환수 (JANG, Hwan Soo); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 진창규 (JIN, Chang Kyu); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 박원규 (KWAK, Won Kyu); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(74) 대리인: 리엔목특허법인 (Y.P. LEE, MOCK & PARTNERS); 06292 서울특별시 강남구 언주로 30길 13, 대림아크로텔 12층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: DISPLAY DEVICE

(54) 발명의 명칭: 표시장치



(57) Abstract: An embodiment of the present invention provides a display device comprising: a display area and a peripheral area; a first thin-film transistor which is disposed in the peripheral area and includes a silicon semiconductor layer; a second thin-film transistor which is disposed in the display area and includes an oxide semiconductor layer arranged on a layer above the silicon semiconductor layer; and a semiconductor pattern which is disposed in the display area and arranged on the same layer as the silicon semiconductor layer of the first thin-film transistor.

[다음 쪽 계속]

KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 발명의 일 실시예는, 표시영역 및 주변영역을 포함하고, 주변영역에 배치되고, 실리콘 반도체층을 포함하는 제1 박막트랜지스터; 표시영역에 배치되고, 상기 실리콘 반도체층의 상부층에 배치된 산화물 반도체층을 포함하는 제2 박막트랜지스터; 및 상기 표시영역에 배치되고, 상기 제1 박막트랜지스터의 상기 실리콘 반도체층과 동일층에 배치된 반도체 패턴;을 포함하는 표시장치를 개시한다.

명세서

발명의 명칭: 표시장치

기술분야

- [1] 본 발명은 화소 및 이를 포함하는 표시장치에 관한 것이다.

배경기술

- [2] 근래에 표시장치는 그 용도가 다양해지고 있다. 또한, 표시장치의 두께가 얇아지고 무게가 가벼워 그 사용의 범위가 광범위해지고 있는 추세이다.
- [3] 표시장치가 다양하게 활용됨에 따라 표시장치의 형태를 설계하는데 다양한 방법이 있을 수 있고, 또한 표시장치에 접목 또는 연계할 수 있는 기능이 증가하고 있다.
- [4] 본 배경기술 항목에 개시된 정보는 본 개시의 배경에 대한 이해를 돕기 위한 것이므로, 선행기술을 구성하지 않는 정보를 포함할 수도 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 실시예들은 표시 품질을 향상시킨 표시장치를 제공할 수 있다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제 해결 수단

- [6] 본 발명의 일 실시예에 따른 표시장치는, 표시영역 및 주변영역을 포함하고, 상기 주변영역에 배치되고, 실리콘 반도체층을 포함하는 제1박막트랜지스터; 상기 표시영역에 배치되고, 상기 실리콘 반도체층의 상부층에 배치된 산화물 반도체층을 포함하는 제2박막트랜지스터; 및 상기 표시영역에 배치되고, 상기 제1박막트랜지스터의 상기 실리콘 반도체층과 동일층에 배치된 반도체 패턴;을 포함한다.
- [7] 일 실시예에서, 상기 반도체 패턴은 실리콘 반도체를 포함할 수 있다.
- [8] 일 실시예에서, 상기 반도체 패턴은 플로팅 상태로 구성될 수 있다.
- [9] 일 실시예에서, 상기 표시장치는, 상기 반도체 패턴에 중첩하는 도전층; 및 상기 도전층에 중첩하지 않는 상기 반도체 패턴의 대향하는 일단들에 전기적으로 연결된 신호선들;을 더 포함하고, 상기 신호선들은 상기 도전층에 전기적으로 연결될 수 있다.
- [10] 일 실시예에서, 상기 도전층은 상기 제1박막트랜지스터의 게이트전극과 동일층에 배치될 수 있다.
- [11] 일 실시예에서, 상기 제2박막트랜지스터의 산화물 반도체층이 상기 반도체 패턴에 중첩할 수 있다.
- [12] 일 실시예에서, 상기 표시장치는, 상기 반도체 패턴에 중첩하는 복수의 도전전극들; 및 상기 복수의 도전전극들 중 상기 반도체 패턴의 인접하는 도전전극들

사이의 부분들에 전기적으로 연결된 신호선들;을 더 포함하고, 상기 신호선들은 상기 도전전극들에 전기적으로 연결될 수 있다.

- [13] 일 실시예에서, 상기 도전전극들은 상기 제1박막트랜지스터의 게이트전극과 동일층에 배치될 수 있다.
- [14] 일 실시예에서, 상기 제2박막트랜지스터의 산화물 반도체층이 상기 반도체 패턴에 중첩할 수 있다.
- [15] 일 실시예에서, 상기 표시장치는, 상기 반도체 패턴에 중첩하는 상부 도전층; 상기 반도체 패턴에 중첩된 하부 도전층; 및 상기 상부 도전층에 중첩하지 않는 상기 반도체 패턴의 대향하는 일단들에 전기적으로 연결된 신호선들;을 더 포함하고, 상기 신호선들은 상기 상부 도전층 및 상기 하부 도전층에 전기적으로 연결될 수 있다.
- [16] 일 실시예에서, 상기 상부 도전층은 상기 제1박막트랜지스터의 게이트전극과 동일층에 배치될 수 있다.
- [17] 일 실시예에서, 상기 제2박막트랜지스터의 산화물 반도체층이 상기 반도체 패턴에 중첩할 수 있다.
- [18] 일 실시예에서, 상기 반도체 패턴은 행 방향으로 서로 이격된 복수의 반도체 패턴들을 포함하고, 상기 표시장치는 상기 복수의 반도체 패턴들을 가로지르며 상기 복수의 반도체 패턴들에 중첩하는 도전층; 상기 복수의 반도체 패턴들의 일단들에 전기적으로 연결된 제1신호선; 및 상기 복수의 반도체 패턴들의 타단들에 전기적으로 연결된 제2신호선;을 더 포함할 수 있다.
- [19] 일 실시예에서, 상기 제1신호선과 상기 제2신호선은 정전압 신호를 공급받고, 상기 도전층은 제1전압레벨의 전압과 상기 제1전압레벨보다 낮은 제2전압레벨의 전압을 포함하는 신호를 공급받을 수 있다.
- [20] 일 실시예에서, 상기 표시장치는, 상기 복수의 반도체 패턴들과 동일층에 배치되고, 상기 행 방향으로 연장된 제2반도체 패턴; 상기 제2반도체 패턴에 중첩하는 제2도전층; 및 상기 제2도전층에 중첩하지 않는 상기 제2반도체 패턴의 대향하는 일단들에 전기적으로 연결된 제3신호선들;을 더 포함하고, 상기 제3신호선들은 상기 제1신호선과 상기 제2신호선으로 공급되는 전압과 동일한 전압을 공급받을 수 있다.
- [21] 일 실시예에서, 상기 표시장치는, 상기 반도체 패턴에 중첩하는 도전층; 및 상기 도전층에 전기적으로 연결된 신호선;을 더 포함할 수 있다.
- [22] 일 실시예에서, 상기 반도체 패턴은 정전압을 공급하는 도전선에 전기적으로 연결될 수 있다.
- [23] 일 실시예에서, 상기 표시장치는, 상기 표시영역에 배치되고, 상기 실리콘 반도체층의 상부층에 배치된 산화물 반도체층을 포함하는 제3박막트랜지스터;를 더 포함하고, 상기 반도체 패턴은 상기 제2박막트랜지스터의 산화물 반도체층과 상기 제3박막트랜지스터의 산화물 반도체층을 전기적으로 연결할 수 있다.

- [24] 일 실시예에서, 상기 표시장치는, 상기 주변영역에 배치되고, 상기 산화물 반도체층을 포함하는 제3박막트랜지스터;를 더 포함할 수 있다.
- [25] 일 실시예에서, 상기 표시장치는, 상기 표시영역에 배치되고, 상기 실리콘 반도체층을 포함하는 제4박막트랜지스터;를 더 포함할 수 있다.
- [26] 본 발명의 일 실시예에 따른 표시장치는, 표시영역 및 주변영역을 포함하고, 상기 표시영역에 배치된 반도체 패턴; 상기 반도체 패턴 상에 배치되고, 상기 반도체 패턴에 중첩하는 도전층; 상기 도전층 상에 배치되고, 상기 도전층에 중첩하는 제1전극층; 상기 제1전극층 상에 배치된 산화물 반도체층; 상기 산화물 반도체층 상에 배치된 제2전극층; 및 상기 제2전극층 상에 배치되고, 상기 제2전극층에 중첩하는 제3전극층;을 포함한다.
- [27] 일 실시예에서, 상기 반도체 패턴은 실리콘 반도체를 포함할 수 있다.
- [28] 일 실시예에서, 상기 표시장치는 상기 표시영역에 배치되고, 기판과 상기 반도체 패턴 사이에 배치된 하부 도전층을 더 포함하고, 상기 반도체 패턴은 상기 하부 도전층에 중첩할 수 있다.
- [29] 일 실시예에서, 상기 표시장치는 상기 주변영역에 배치된 실리콘 반도체층; 및 상기 실리콘 반도체층 상에 배치되고, 상기 실리콘 반도체층에 중첩하는 제4전극층;을 더 포함하고, 상기 실리콘 반도체층은 상기 반도체 패턴과 동일층에 배치되고, 상기 제4전극층은 상기 도전층과 동일층에 배치될 수 있다.

발명의 효과

- [30] 본 발명의 실시예들에 따르면, 표시 품질을 향상시킨 표시장치를 제공할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [31] 본 발명의 상기 및 기타 관점(aspect)들과 특징들은 첨부 도면들을 참조한 예시적이고 비제한적인 실시예에 대한 다음의 상세한 설명으로부터 더욱 명확하게 이해될 것이다.
- [32] 도 1a 및 도 1b는 하나 이상의 실시예들에 따른 표시장치를 개략적으로 나타낸 평면도이다.
- [33] 도 2는 일 실시예에 따른 표시패널을 개략적으로 나타내는 평면도이다.
- [34] 도 3a 내지 도 3d는 도 2의 I-I'를 따라 절취한 표시패널의 개략적인 단면도들이다.
- [35] 도 4a 내지 도 8b는 하나 이상의 실시예들에 따른 표시영역의 반도체 패턴을 개략적으로 나타낸 도면들이다.
- [36] 도 9a 및 도 9b는 일 실시예에 따른 화소의 등가회로도들이다.
- [37] 도 10 내지 도 23은 도 9a에 도시된 화소의 소자들을 층별로 개략적으로 도시하는 도면들이다.
- [38] 도 24는 일 실시예에 따른 복수의 화소들의 발광영역의 배열을 개략적으로 나타낸 도면이다.

- [39] 도 25는 도 20 및 도 23의 VIII-VIII'를 따라 절취한 단면도이다.
- [40] 도 26은 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다.
- [41] 도 27은 표시영역의 가장자리에서의 도전층들을 개략적으로 나타낸 도면이다.
- [42] 도 28은 도 27의 X-X'를 따라 절취한 단면도이다.
- [43] 도 29는 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다.
- [44] 도 30 내지 도 36은 도 29에 도시된 화소회로의 소자들을 층별로 개략적으로 도시하는 도면들이다.
- [45] 도 37은 도 29의 일부 구성만 발췌하여 도시한 배치도이다.
- [46] 도 38은 도 29의 XI-XI'를 따라 절취한 단면도이다.
- [47] 도 39는 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다.
- [48] 도 40은 도 39의 XII-XII'를 따라 절취한 단면도이다.
- [49] 도 41은 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다.
- [50] 도 42 및 도 43은 도 41에 도시된 화소회로의 일부 소자들을 개략적으로 도시하는 도면들이다.
- [51] 도 44는 도 41의 일부 구성을 발췌하여 도시한 배치도이다.
- [52] 도 45는 도 41의 XIII-XIII'를 따라 절취한 단면도이다.
- [53] 도 46은 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다.
- [54] 도 47 및 도 48은 도 46에 도시된 화소회로의 일부 소자들을 개략적으로 도시하는 도면들이다.

발명의 실시를 위한 최선의 형태

- [55] 본 발명의 일 실시예에 따른 표시장치는, 표시영역 및 주변영역을 포함하고, 상기 주변영역에 배치되고, 실리콘 반도체층을 포함하는 제1박막트랜지스터; 상기 표시영역에 배치되고, 상기 실리콘 반도체층의 상부층에 배치된 산화물 반도체층을 포함하는 제2박막트랜지스터; 및 상기 표시영역에 배치되고, 상기 제1박막트랜지스터의 상기 실리콘 반도체층과 동일층에 배치된 반도체 패턴;을 포함한다.

발명의 실시를 위한 형태

- [56] 이하, 첨부된 도면을 참조하여 실시예를 더욱 상세하게 설명하며, 도면 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 지칭한다. 그러나 본 발명은 여러 가지 다른 형태로 구현될 수 있으며 여기에서 설명되는 실시예에만 한정되지 않는다. 오히려, 이들 실시예들은 본 개시가 철저하고 완전하게 당업자에게 전달될 수 있도록, 그리고 전적으로 본 개시의 관점들 및 특징들이 당업자에게 전달될

수 있도록 예로서 제공되는 것이다. 따라서, 본 개시의 관점들 및 특징들의 완전한 이해를 위해 당업자에게 필요하지 않은 과정, 구성요소 및 기술은 설명되지 않을 수 있다. 별도의 언급이 없는 한, 첨부된 도면들 및 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 지칭하므로 중복되는 설명은 생략한다.

- [57] 어떤 실시예가 다르게 구현될 수 있는 경우, 구체적인 처리 순서는 설명된 순서와 다를 수 있다. 예를 들어, 연속하여 설명되는 두 공정이 동시에 또는 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대되는 순서로 수행될 수도 있다.
- [58] 도면에서, 구성요소, 층 및 영역의 상대적인 크기, 두께 및 비율은 명확성을 위해 과장 및/또는 단순화될 수 있다. 본 명세서에서 "아래(beneath, below, lower, under)", "아래(above, upper)" 등과 같은 공간적으로 상대적인 용어는 하나의 구성요소 또는 특징과 다른 구성요소 또는 특징과의 관계를 설명하기 위한 설명의 편의를 위해 사용될 수 있다. 상기 공간적으로 상대적인 용어는 도면에 도시된 배향(orientation) 외에 사용 중 또는 동작 중인 장치의 다양한 배향들을 포함하도록 의도된 것으로 이해될 수 있다. 예를 들어, 도면의 장치가 뒤집힌 경우, 다른 구성요소 또는 특징의 "아래"로 설명된 구성요소는 또는 특징은 다른 구성요소 또는 특징의 "위"에 배향될 수 있다. 따라서, 예시 용어 "아래"는 위 및 아래 방향을 모두 포함할 수 있다. 장치는 다르게 배향(예를 들어, 90도 회전 또는 다른 배향)될 수 있고, 본 명세서에서 사용된 공간적으로 상대적인 용어와 설명은 이에 따라 해석되어야 한다.
- [59] 도면에서 x축, y축, z축은 직교좌표계의 세 축에 한정되지 않고, 보다 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 수직 또는 실질적으로 수직일 수도 있고, 서로 직교하지 않는 서로 다른 방향을 나타낼 수도 있다.
- [60] 본 명세서에서는 "제1", "제2", "제3" 등의 용어가 다양한 요소, 구성요소, 영역, 층 및/또는 섹션을 설명하기 위해 사용될 수 있으나, 이러한 요소, 구성요소, 영역, 레이어 및/또는 섹션은 그러한 용어로 제한되어서는 안 된다. 이러한 용어는 하나의 요소, 구성요소, 영역, 레이어 또는 섹션을 다른 요소, 구성요소, 영역, 레이어 또는 섹션과 구별하는 데 사용될 수 있다. 따라서, 이하 설명되는 제1 요소, 구성요소, 영역, 층 또는 섹션은 본 개시의 사상 및 범위를 벗어나지 않으면서 제2 요소, 구성요소, 영역, 층 또는 섹션으로 지칭될 수 있다.
- [61] 구성요소나 층이 다른 구성요소나 층에 "상에", "연결된", 또는 "결합된" 것으로 언급될 때, 그것은 직접적으로 위에 있거나, 연결되거나, 결합된 것으로 이해될 수 있고, 또는 하나 또는 하나 이상의 중간 구성요소들이나 층들이 존재할 수도 있다. 마찬가지로, 어떤 층, 영역, 구성요소가 다른 층, 영역, 구성요소와 "전기적으로 연결"되어 있다고 할 때, 이는 다른 층, 영역, 구성요소와 직접 전기적으로 연결될 수 있고, 및/또는 하나 이상의 개재 층, 영역 또는 구성요소를 사이에 두고 간접적으로 전기적으로 연결될 수도 있다. 또한, 구성요소 또는 층이 두 개의 구성요소들 또는 층들 "사이에" 있다고 언급되는 경우, 이는 두 개의 구성요소들 또

는 층들 사이의 유일한 구성요소 또는 층일 수도 있고, 개재하는 하나 이상의 구성요소들 또는 층들이 있을 수 있음으로 이해될 수도 있다.

- [62] 본 명세서에서, 소자 상태와 관련하여 사용된 용어 "온(on)"은 소자가 활성화된 상태를 의미할 수 있고, "오프(off)"라는 용어는 소자가 비활성화된 상태를 의미할 수 있다. 장치가 수신하는 신호와 관련하여 사용되는 "온(on)"은 소자를 활성화시키는 신호를 의미할 수 있고, "오프(off)"는 소자를 비활성화시키는 신호를 의미할 수 있다. 소자는 하이레벨 전압 또는 로우레벨 전압에 의해 활성화될 수 있다. 예를 들어, P채널 트랜지스터(P형 트랜지스터)는 로우레벨 전압에 의해 활성화되고, N채널 트랜지스터(N형 트랜지스터)는 하이레벨 전압에 의해 활성화된다. 따라서, P형 트랜지스터와 N형 트랜지스터의 "온" 전압은 반대(예를 들어, 하이 및 로우) 전압 레벨을 갖는다는 것을 이해해야 한다. 마찬가지로, 임의의 신호가 인가된다는 것은 온 전압(예를 들어, 하이레벨 전압)이 인가된다는 의미일 수 있고, 임의의 신호가 인가되지 않는다는 것은 오프 전압(예를 들어, 로우레벨 전압)이 인가된다는 의미일 수 있다.
- [63] 본 명세서에서 사용된 용어는 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 본 명세서에서 사용된 단수형 "a" 및 "an"은 문맥상 명백하게 달리 나타내지 않는 한 복수형도 포함하도록 의도된다. 또한, 본 명세서에서 사용된 용어 "포함하다(comprises, comprising, includes, including)" "갖는다(has, have, having)"는 언급된 특징, 정수, 단계, 동작, 요소 및/또는 구성요소의 존재를 지정하나, 하나 이상의 다른 특징, 정수, 단계, 동작, 요소, 구성요소 및/또는 이들의 그룹의 존재 또는 추가를 배제하지 않는다는 것이 이해될 것이다. 본 명세서에 사용된 바와 같이, "및/또는"이라는 용어는 연관된 하나 이상의 나열된 항목들 중 임의의 조합 및 모든 조합을 포함한다. 예를 들어, "A 및/또는 B"라는 표현은 A, B 또는 A와 B를 나타낸다. 구성요소 목록 앞에 "적어도 하나"와 같은 표현은 구성요소 목록 전체를 수정하지만 목록의 개별 구성요소를 수정하지는 않는다. 예를 들어, "a, b 또는 c 중 적어도 하나", "a, b 및 c 중 적어도 하나" 및 "a, b 및 c로 이루어진 군에서 선택되는 적어도 하나"라는 표현은 a만, b만, c만, a와 b 모두, a와 c 모두, b와 c 모두, a, b, c 모두 또는 이들의 변형을 나타낸다.
- [64] 본 명세서에 사용된 용어 "실질적으로", "약" 및 이와 유사한 용어는 정도의 용어가 아닌 근사치의 용어로 사용되며, 당업자에 의해 인식된 측정되거나 계산된 값의 고유한 변형을 설명하기 위해 의도된다. 또한, 본 개시의 실시예를 설명할 때 "할 수 있다(may)"의 사용은 "본 개시의 하나 이상의 실시예"를 지칭한다. 본 명세서에 사용된 바와 같이, "사용하다(use)", "사용하는(using)" 및 "사용되는(used)"이라는 용어는 각각 "이용하다(utilize)", "이용하는(utilizing)" 및 "이용되는(utilized)"이라는 용어와 동의어로 간주될 수 있다.
- [65] 다르게 정의되지 않는 한, 본 명세서에서 사용되는 모든 용어(기술적, 과학적 용어를 포함)는 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자가 일반적

으로 이해하는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의된 것과 같은 용어는 관련 기술 및/또는 본 명세서의 맥락에서 그 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명시적으로 정의되지 않는 한, 이상화되거나 지나치게 형식적인 의미로 해석되어서는 안 된다는 것이 추가로 이해될 것이다.

- [66] 본 발명의 실시예들에 따른 표시장치는 스마트폰, 휴대폰, 스마트 워치, 내비게이션 장치, 게임기, TV, 차량용 헤드 유닛, 노트북 컴퓨터, 랩탑 컴퓨터, 태블릿(Tablet) 컴퓨터, PMP(Personal Media Player), PDA(Personal Digital Assistants) 등의 전자장치로 구현될 수 있다. 또한, 전자장치는 플렉서블 장치일 수 있다.
- [67] 도 1a 및 도 1b는 일 실시예에 따른 표시장치를 개략적으로 나타낸 평면도이다. 도 2는 일 실시예에 따른 표시패널을 개략적으로 나타내는 평면도이다.
- [68] 도 1a 및 도 1b를 참조하면, 표시장치(1)는 이미지를 표시하는 표시영역(DA) 및 표시영역(DA) 외측의 주변영역(PA)을 포함할 수 있다. 표시영역(DA)은 주변영역(PA)에 의해 전체적으로 둘러싸일 수 있다(예를 들어, 표시영역의 주변일 수 있다).
- [69] 표시영역(DA)을 평면 형상으로 볼 때, 표시영역(DA)은 직사각형 형상일 수 있다. 다른 실시예로, 표시영역(DA)은 삼각형, 오각형, 육각형 등의 다각형 형상이나 원형 형상, 타원형 형상, 비정형 형상 등일 수 있다. 표시영역(DA)은 가장자리의 코너가 라운드 형상을 가질 수 있다. 일 실시예에서, 표시장치(1)는 도 1a에 도시된 바와 같이 y 방향으로의 길이보다 x 방향으로의 길이가 더 긴 형상의 표시영역(DA)을 가질 수 있다. 다른 실시예에서, 표시장치(1)는 도 1b에 도시된 바와 같이 x 방향으로의 길이보다 y 방향으로의 길이가 더 긴 형상의 표시영역(DA)을 가질 수 있다.
- [70] 표시장치(1)는 표시패널(10)을 포함하고, 표시패널(10) 상부에는 표시패널(10)을 보호하는 커버 윈도우(미도시)가 배치될 수 있다.
- [71] 표시패널(10)을 이루는 각종 구성요소들은 기판(100) 상에 배치될 수 있다. 기판(100)은 표시영역(DA) 및 표시영역(DA)을 둘러싸는(예를 들어, 표시영역 주변의) 주변영역(PA)을 포함할 수 있다.
- [72] 표시영역(DA)에는 복수의 화소(PX)들이 배치될 수 있다. 표시영역(DA)에는 복수의 게이트선(GL)들, 복수의 데이터선(DL)들 및 이들에 연결된 복수의 화소(PX)들이 배치될 수 있다. 복수의 화소(PX)들은 스트라이프 배열, RGBG 배열(예를 들어, 펜타일(PENTILE®) 배열, PENTILE®은 삼성 디스플레이 주식회사의 상표), 다이아몬드 배열, 모자이크 배열 등 다양한 형태로 배치되어 화상을 구현할 수 있다. 각 화소(PX)는 표시요소(예를 들어, 발광소자)로서 유기발광다이오드(organic light-emitting diode, OLED)를 포함하고, 유기발광다이오드(OLED)는 화소회로에 연결될 수 있다. 화소회로는 복수의 트랜지스터들 및 적어도 하나의 커패시터를 포함할 수 있다. 화소(PX)는 대응하는 유기발광다이오드(OLED)를 통해 예컨대, 적색, 녹색, 청색 또는 백색 등의 빛을 방출할 수 있다. 각 화소(PX)는

복수의 게이트선(GL)들 중 대응하는 게이트선 및 복수의 데이터선(DL)들 중 대응하는 데이터선에 연결될 수 있다.

- [73] 게이트선(GL)들은 각각 x 방향(예를 들어, 행 방향)으로 연장되어 상호 동일 행에 위치한 화소(PX)들에 연결될 수 있다. 게이트선(GL)들은 각각 상호 동일 행의 화소(PX)들에 게이트신호를 전달할 수 있다. 데이터선(DL)들은 각각 y 방향(예를 들어, 열 방향)으로 연장되어 상호 동일 열에 위치한 화소(PX)들에 연결될 수 있다. 데이터선(DL)들은 각각 게이트신호에 동기하여 상호 동일 열의 화소(PX)들 각각에 데이터신호를 전달할 수 있다. 각 화소(PX)는 복수의 구동전압선(PL)들 중 적어도 하나에 연결되어 구동전압(ELVDD)을 공급받을 수 있다. 구동전압선(PL)들은 각각 y 방향(예를 들어, 열 방향)으로 연장되어 상호 동일 열에 위치한 화소(PX)들에 연결될 수 있다.
- [74] 도 2에서는 화소(PX)가 하나의 게이트선(GL)에 연결된 예를 도시하고 있으나, 본 발명의 실시예는 이에 한정되지 않는다. 화소(PX)는 하나 이상의 복수의 게이트선(GL)들에 연결될 수 있다.
- [75] 화소(PX)들을 구동하는 화소회로들 각각은 주변영역(PA)에 배치된 외곽회로들과 전기적으로 연결될 수 있다. 주변영역(PA)에는 제1게이트구동회로(DRV1), 제2게이트구동회로(DRV2), 단자부(PAD)(예를 들어, 단자 영역), 구동전압 공급선(11) 및 공통전압 공급선(13) 등이 배치될 수 있다.
- [76] 일 실시예에서, 주변영역(PA)은 화소(PX)들이 배치되지 않은 일종의 비표시영역일 수 있다. 다른 실시예에서, 주변영역(PA)의 일부가 표시영역(DA)으로 구현될 수 있다. 예를 들어, 주변영역(PA)의 적어도 하나의 코너에 복수의 화소(PX)들이 외곽회로에 중첩하여 배치될 수 있다. 이에 따라 데드영역을 줄이고 표시영역(DA)을 확장할 수 있다.
- [77] 제1게이트구동회로(DRV1)는 복수의 게이트선(GL)들에 연결되고, 게이트선(GL)들을 통해 화소(PX)들을 구동하는 화소회로들 각각에 게이트신호를 인가할 수 있다. 게이트신호는 게이트선(GL)에 게이트가 연결된 트랜지스터의 턴온 및 턴오프를 제어하는 게이트 제어신호일 수 있다. 게이트신호는 트랜지스터가 턴온될 수 있는 게이트 온 전압과 트랜지스터가 턴오프될 수 있는 게이트 오프 전압을 포함하는 구형파 신호일 수 있다. 제2게이트구동회로(DRV2)는 표시영역(DA)을 기준으로 제1게이트구동회로(DRV1)의 반대편에 위치할 수 있으며, 제1게이트구동회로(DRV1)와 평행 또는 대략 평행할 수 있다. 일 실시예에서, 표시영역(DA)의 화소(PX)들의 화소회로들 중 일부는 제1게이트구동회로(DRV1)와 전기적으로 연결될 수 있고, 나머지는 제2게이트구동회로(DRV2)에 전기적으로 연결될 수 있다. 다른 실시예에서, 표시영역(DA)의 화소(PX)들의 화소회로들은 제1게이트구동회로(DRV1)와 제2게이트구동회로(DRV2)에 전기적으로 연결될 수 있다. 제2게이트구동회로(DRV2)는 필요에 또는 경우에 따라 생략될 수 있다.

- [78] 단자부(PAD)는 기판(100)의 일측(예를 들어, 일단)에 배치될 수 있다. 단자부(PAD)는 절연층에 의해 덮이지 않고 노출되어 표시회로보드(30)와 연결될 수 있다. 표시회로보드(30)에는 표시구동부(32)가 배치될 수 있다.
- [79] 표시구동부(32)는 제1게이트구동회로(DRV1)와 제2게이트구동회로(DRV2)에 전달하는 제어신호를 생성할 수 있다. 표시구동부(32)는 데이터구동회로를 포함할 수 있다. 데이터구동회로는 복수의 데이터선(DL)들에 연결되고, 데이터신호를 생성하며, 생성된 데이터신호는 팬아웃선(FW) 및 팬아웃선(FW)과 연결된 데이터선(DL)을 통해 화소(PX)들의 화소회로들에 전달될 수 있다.
- [80] 표시구동부(32)는 전원공급회로를 포함하고, 전원공급회로는 구동전압 공급선(11)에 구동전압(ELVDD)을 공급할 수 있고, 공통전압 공급선(13)에 공통전압(ELVSS)을 공급할 수 있다. 구동전압(ELVDD)은 구동전압 공급선(11)과 연결된 구동전압선(PL)을 통해 화소(PX)의 화소회로들에 인가되고, 공통전압(ELVSS)은 공통전압 공급선(13)을 통해 표시요소의 대향전극에 인가될 수 있다.
- [81] 구동전압 공급선(11)은 단자부(PAD)와 연결되며, 표시영역(DA)의 하측에서 x 방향으로 연장되어 구비될 수 있다. 공통전압 공급선(13)은 단자부(PAD)와 연결되며, 루프 형상에서 일측이 개방된 형상을 가져, 표시영역(DA)을 부분적으로 둘러쌀 수 있다(예를 들어, 표시영역의 주변일 수 있다).
- [82] 제1게이트구동회로(DRV1)와 제2게이트구동회로(DRV2)의 일부 또는 전부는 기판(100)의 표시영역(DA)에 화소회로를 구성하는 공정 중에 기판(100)의 주변영역(PA)에 형성(예를 들어, 직접 형성)될 수 있다. 표시구동부(32)는 집적 회로 칩의 형태로 형성되어 기판(100)의 일 측에 배치된 단자부(PAD)와 전기적으로 접속된 표시회로보드(30) 상에 배치될 수 있다. 표시회로보드(30)는 FPCB(flexible Printed circuit board)일 수 있다. 다른 실시예에서, 표시구동부(32)는 COG(Chip On Glass) 또는 COP(Chip On Plastic) 방식으로 기판 상에 직접 배치될 수 있다.
- [83] 일 실시예에서, 표시영역(DA)의 화소회로들에 포함된 복수의 트랜지스터들은 N형의 산화물 박막트랜지스터이고, 주변영역(PA)의 외곽회로, 예를 들어, 제1게이트구동회로(DRV1) 및 제2게이트구동회로(DRV2) 등에 포함된 복수의 트랜지스터들은 P형의 실리콘 박막트랜지스터일 수 있다.
- [84] 일 실시예에서, 표시영역(DA)의 화소회로들에 포함된 복수의 트랜지스터들은 일부가 N형의 산화물 박막트랜지스터이고, 나머지 일부가 P형의 실리콘 박막트랜지스터이고, 주변영역(PA)의 외곽회로에 포함된 복수의 트랜지스터들은 P형의 실리콘 박막트랜지스터일 수 있다.
- [85] 일 실시예에서, 표시영역(DA)의 화소회로들에 포함된 복수의 트랜지스터들은 N형의 산화물 박막트랜지스터이고, 주변영역(PA)의 외곽회로에 포함된 복수의 트랜지스터들은 일부가 N형의 산화물 박막트랜지스터이고 나머지 일부가 P형의 실리콘 박막트랜지스터일 수 있다.

- [86] 일 실시예에서, 표시영역(DA)의 화소회로들에 포함된 복수의 트랜지스터들 및 주변영역(PA)의 외곽회로에 포함된 복수의 트랜지스터들은 일부가 N형의 산화물 박막트랜지스터이고 나머지 일부가 P형의 실리콘 박막트랜지스터일 수 있다.
- [87] 산화물 박막트랜지스터는 반도체층이 산화물을 포함할 수 있다. 산화물 반도체는 Zn 산화물계 물질로, Zn 산화물, In-Zn 산화물, Ga-In-Zn 산화물 등을 포함할 수 있다. 일부 실시예에서, 산화물 반도체는 ZnO에 인듐(In)과 갈륨(Ga)과 같은 금속이 함유된 IGZO(In-Ga-Zn-O) 반도체일 수 있다. 일 실시예에서, 산화물 박막트랜지스터는 저온 폴리 옥사이드(Low Temperature Polycrystalline Oxide; LTPO) 박막트랜지스터일 수 있다. 실리콘 박막트랜지스터는 반도체층이 아몰퍼스 실리콘(amorphous silicon), 폴리 실리콘(poly silicon) 등을 포함하는 LTPS(Low Temperature Poly-Silicon) 박막트랜지스터일 수 있다.
- [88] 도 3a 내지 도 3d는 일 실시예에서 도 2의 I-I'를 따라 절취한 표시패널의 개략적인 단면도들이다.
- [89] 도 3a 내지 도 3d를 참조하면, 기판(100)의 표시영역(DA)에 화소(PX)가 배치되고, 주변영역(PA)에 구동회로(PCb)가 배치될 수 있다. 구동회로(PCb)는 도 2에 도시된 제1게이트구동회로(DRV1)와 제2게이트구동회로(DRV2) 중 하나일 수 있다.
- [90] 화소(PX)는 화소회로(PCa) 및 화소회로(PCa)에 연결된 표시요소로서 발광소자(DE)를 포함할 수 있다. 기판(100)과 발광소자(DE) 사이에 절연층(IL)이 포함될 수 있다. 절연층(IL)은 하나 이상의 무기절연층 및/또는 하나 이상의 유기절연층을 포함할 수 있다.
- [91] 일 실시예에서, 도 3a에 도시된 바와 같이, 화소회로(PCa)는 적어도 하나의 산화물 박막트랜지스터(TFTo)를 포함하고, 구동회로(PCb)는 적어도 하나의 실리콘 박막트랜지스터(TFTs)를 포함할 수 있다.
- [92] 일 실시예에서, 도 3b에 도시된 바와 같이, 화소회로(PCa)는 적어도 하나의 산화물 박막트랜지스터(TFTo) 및 적어도 하나의 실리콘 박막트랜지스터(TFTs)를 포함하고, 구동회로(PCb)는 적어도 하나의 실리콘 박막트랜지스터(TFTs)를 포함할 수 있다.
- [93] 일 실시예에서, 도 3c에 도시된 바와 같이, 화소회로(PCa)는 적어도 하나의 산화물 박막트랜지스터(TFTo)를 포함하고, 구동회로(PCb)는 적어도 하나의 실리콘 박막트랜지스터(TFTs) 및 적어도 하나의 산화물 박막트랜지스터(TFTo)를 포함할 수 있다.
- [94] 일 실시예에서, 도 3d에 도시된 바와 같이, 화소회로(PCa)와 구동회로(PCb)는 적어도 하나의 산화물 박막트랜지스터(TFTo) 및 적어도 하나의 실리콘 박막트랜지스터(TFTs)를 포함할 수 있다.
- [95] 산화물 박막트랜지스터(TFTo)는 산화물을 포함하는 반도체층(이하, 산화물 반도체층)(OACT), 게이트전극(GE1), 소스전극(SE1) 및 드레인전극(DE1)을 포함할 수 있다. 소스전극(SE1) 및 드레인전극(DE1)은 산화물 반도체층(OACT)의 소스

영역 및 드레인영역에 각각 전기적으로 연결될 수 있다. 게이트전극(GE1)은 산화물 반도체층(OACT)의 채널영역에 중첩할 수 있다. 소스전극(SE1) 및 드레인전극(DE1) 중 하나, 예를 들어 소스전극(SE1)은 발광소자(DE)의 화소전극(PE)에 전기적으로 연결될 수 있다. 발광소자(DE)는 화소전극(PE), 발광층(EL) 및 대향전극(CE)을 포함할 수 있다.

- [96] 실리콘 박막트랜지스터(TFTs)는 실리콘을 포함하는 반도체층(이하, 실리콘 반도체층)(SACT), 게이트전극(GE2), 소스전극(SE2) 및 드레인전극(DE2)을 포함할 수 있다. 소스전극(SE2) 및 드레인전극(DE2)은 실리콘 반도체층(SACT)의 소스영역 및 드레인영역에 각각 전기적으로 연결될 수 있다. 게이트전극(GE2)은 실리콘 반도체층(SACT)의 채널영역에 중첩할 수 있다.
- [97] 산화물 박막트랜지스터(TFTo)를 구성하는 산화물 반도체층(OACT)은 실리콘 박막트랜지스터(TFTs)를 구성하는 실리콘 반도체층(SACT)의 형성 후에 이루어짐으로써, 도 3a 내지 도 3d에 도시된 바와 같이, 산화물 반도체층(OACT)은 실리콘 반도체층(SACT)의 상부(예를 들어, 상부층)에 형성될 수 있다.
- [98] 일 실시예에서, 화소회로(PCa) 주변에(예를 들어, 인접하게) 반도체 패턴(CP)이 배치될 수 있다. 반도체 패턴(CP)은 실리콘 반도체층(SACT)과 동일한 물질을 포함할 수 있다. 예를 들어, 반도체 패턴(CP)은 실리콘 반도체를 포함할 수 있다. 반도체 패턴(CP)은 LTPS(Low Temperature Poly-Silicon) 패턴일 수 있다. 실리콘 박막트랜지스터(TFTs)의 실리콘 반도체층(SACT)의 형성과 일시에 또는 동시에 표시영역(DA)에 반도체 패턴(CP)이 형성될 수 있다. 반도체 패턴(CP)은 표시영역(DA)에서 화소회로(PCa)와 별개의 독립적인 트랜지스터 또는 도전선의 일부로서 역할을 할 수 있다.
- [99] 도 4a 내지 도 8b는 일 실시예에 따른 표시영역의 반도체 패턴을 개략적으로 나타낸 도면들이다.
- [100] 도 4a 내지 도 4d를 참조하면, 일 실시예에서, 반도체 패턴(CP)은 표시영역(DA)에서 트랜지스터의 일부 구성요소일 수 있다. 예를 들어, 반도체 패턴(CP)은 실리콘 박막트랜지스터(TRs)의 반도체층일 수 있다. 실리콘 박막트랜지스터(TRs)는 LTPS 박막트랜지스터일 수 있다.
- [101] 반도체 패턴(CP)은 x 방향으로 연장되며 행마다 배치될 수 있다. 반도체 패턴(CP) 상부에 도전층(DCL)이 x 방향으로 연장되며 행마다 배치될 수 있다. 각 행에서 도전층(DCL)은 반도체 패턴(CP) 상부에 반도체 패턴(CP)에 중첩하게 배치될 수 있다. 표시영역(DA)의 가장자리에서 반도체 패턴(CP)의 양단들(예를 들어, 대향하는 일단들)은 도전층(DCL)에 중첩하지 않을 수 있다. 도전층(DCL)은 박막트랜지스터(TFT2)의 게이트전극(GE2)과 동일 물질을 포함할 수 있다. 주변영역(PA)에서 박막트랜지스터(TFT2)의 게이트전극(GE2)의 형성과 일시에 또는 동시에 표시영역(DA)에 도전층(DCL)이 형성될 수 있다.
- [102] 각 행에서, 반도체 패턴(CP) 및 도전층(DCL) 각각은 실리콘 박막트랜지스터(TRs)의 실리콘 반도체층 및 게이트전극에 대응할 수 있다. 도전층(DCL)에 중첩

하지 않는 반도체 패턴(CP)의 양단들(예를 들어, 대향하는 일단들)은 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)에 대응할 수 있다. 도전층(DCL)에 중첩하는 반도체 패턴(CP)의 영역은 소스영역과 드레인영역 사이의 채널영역에 대응할 수 있다. 실리콘 박막트랜지스터(TRs)의 채널영역의 길이 및 반도체 패턴(CP)의 채널영역에 대응하는 영역의 길이는 표시영역(DA)의 행(화소라인)의 길이 또는 대략 표시영역(DA)의 행(예를 들어, 화소라인)의 길이일 수 있다.

- [103] 반도체 패턴(CP) 및 도전층(DCL)은 신호선(SCL)에 전기적으로 연결될 수 있다. 신호선(SCL)은 y 방향으로 연장될 수 있다. 신호선(SCL)은 구동전압(ELVDD), 제1초기화전압(Vint), 제2초기화전압(Vaint), 기준전압(Vref) 등 DC 전압을 공급받을 수 있다. 이에 따라 실리콘 박막트랜지스터(TRs)의 게이트전극, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)은 각각 구동전압(ELVDD), 제1초기화전압(Vint), 제2초기화전압(Vaint), 또는 기준전압(Vref)을 공급받을 수 있다.
- [104] 일 실시예에서 도 4c에 도시된 바와 같이 실리콘 박막트랜지스터(TRs)는 P형의 LTPS 박막트랜지스터일 수도 있고, 도 4d에 도시된 바와 같이 N형의 LTPS 박막트랜지스터일 수도 있다. 도 4a 내지 도 4d는 실리콘 박막트랜지스터(TRs)의 게이트전극, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)에 동일한 전압이 인가되는 예이다.
- [105] 다른 실시예에서, 실리콘 박막트랜지스터(TRs)의 게이트전극에 인가되는 전압과 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)에 인가되는 전압이 상이할 수 있다. 예를 들어, 도 4e 및 도 4f에 도시된 바와 같이, 도전층(DCL)은 제1신호선(SCL1)에 전기적으로 연결되고, 반도체 패턴(CP)은 제2신호선(SCL2)에 전기적으로 연결될 수 있다. 제1신호선(SCL1)과 제2신호선(SCL2)은 도 4f에 도시된 바와 같이 서로 동일층에(예를 들어, 동일층 내에 또는 동일층 상에) 배치될 수도 있고, 서로 다른 층에(예를 들어, 다른 층 내에 또는 다른 층 상에) 각각 배치될 수도 있다. 제1신호선(SCL1)은 구동전압(ELVDD)을 공급받고, 제2신호선(SCL2)은 제1초기화전압(Vint), 제2초기화전압(Vaint), 기준전압(Vref) 등 구동전압(ELVDD)과 다른 DC 전압을 공급받을 수 있다. 이에 따라 도 4g에 도시된 바와 같이, 실리콘 박막트랜지스터(TRs)의 게이트전극은 구동전압(ELVDD)을 공급받고, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)은 각각 제1초기화전압(Vint), 제2초기화전압(Vaint), 또는 기준전압(Vref)을 공급받을 수 있다.
- [106] 도 4a 내지 도 4g에 도시된 실리콘 박막트랜지스터(TRs)는 화소(PX)의 동작 또는 화소(PX)의 발광에 관여하지 않고, 항상 오프 상태로서 작동하지 않는 미작동 트랜지스터일 수 있다.

- [107] 다른 실시예에서, 실리콘 박막트랜지스터(TRs)는 화소(PX)의 동작 또는 화소(PX)의 발광에 관여하지 않으나, 항상 온 상태로서 작동하는(예를 들어, 항상 온 상태인) 작동 트랜지스터일 수 있다.
- [108] P형의 LTPS 박막트랜지스터의 소스영역(소스전극) 및 드레인영역(드레인전극)에 게이트전극으로 인가되는 전압보다 높은 전압을 인가하고, 및/또는 N형의 LTPS 박막트랜지스터의 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)에 게이트전극으로 인가되는 전압보다 낮은 전압을 인가함으로써 항상 온 상태의 실리콘 박막트랜지스터(TRs)를 구현할 수 있다. 예를 들어, 도 4e 및 도 4f에 도시된 바와 같이, 도전층(DCL)은 제1신호선(SCL1)에 전기적으로 연결되고, 반도체 패턴(CP)은 제2신호선(SCL2)에 전기적으로 연결될 수 있다. 그리고, 도 4h에 도시된 바와 같이, P형의 LTPS 박막트랜지스터로 구현되는 실리콘 박막트랜지스터(TRs)의 게이트전극은 제1초기화전압(Vint), 제2초기화전압(Vaint), 또는 기준전압(Vref)을 공급받고, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)은 각각 구동전압(ELVDD)을 공급받을 수 있다. 다른 실시예로서, 도 4i에 도시된 바와 같이, N형의 LTPS 박막트랜지스터로 구현되는 실리콘 박막트랜지스터(TRs)의 게이트전극은 구동전압(ELVDD)을 공급받고, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)은 각각 제1초기화전압(Vint), 제2초기화전압(Vaint), 또는 기준전압(Vref)을 공급받을 수 있다.
- [109] 도 4a 내지 도 4i는 행마다 하나의 실리콘 박막트랜지스터(TRs)가 형성된 예이다. 다른 실시예에서, 도 5a 내지 도 5c에 도시된 바와 같이, 행마다 직렬연결된 복수의 실리콘 박막트랜지스터(TRs)들이 형성될 수 있다.
- [110] 반도체 패턴(CP)은 x 방향으로 연장되며 행마다 배치될 수 있다. 반도체 패턴(CP) 상부에 아일랜드 타입의 도전전극(DCE)들이 행마다 복수개 배치될 수 있다. 각 행에서 도전전극(DCE)들은 반도체 패턴(CP) 상부에 반도체 패턴(CP)에 중첩하게 x 방향으로 이격 배치될 수 있다. 도전전극(DCE)들은 박막트랜지스터(TFT2)의 게이트전극(GE2)과 동일 물질을 포함할 수 있다. 주변영역(PA)에서 박막트랜지스터(TFT2)의 게이트전극(GE2)의 형성과 일시에 또는 동시에 표시영역(DA)에 도전전극(DCE)들이 형성될 수 있다.
- [111] 각 행에서, 반도체 패턴(CP) 및 도전전극(DCE) 각각은 실리콘 박막트랜지스터(TRs)의 실리콘 반도체층 및 게이트전극에 대응할 수 있다. 도전전극(DCE)에 중첩하지 않는 반도체 패턴(CP)의 영역들은 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)에 대응하고, 도전전극(DCE)에 중첩하는 반도체 패턴(CP)의 영역들 각각은 소스영역과 드레인영역 사이의 채널영역에 대응할 수 있다. 실리콘 박막트랜지스터(TRs)의 채널영역의 길이 및 반도체 패턴(CP)의 채널영역에 대응하는 영역의 길이는 도전전극(DCE)의 x 방향의 길이 또는 대략 도전전극(DCE)의 x 방향의 길이일 수 있다.

- [112] 반도체 패턴(CP) 및 도전전극(DCE)들은 신호선(SCL)에 전기적으로 연결될 수 있다. 신호선(SCL)은 y 방향으로 연장되며, 구동전압(ELVDD)을 공급받을 수 있다. 이에 따라 실리콘 박막트랜지스터(TRs)의 게이트전극, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)은 각각 구동전압(ELVDD)을 공급받을 수 있다. 인접한 실리콘 박막트랜지스터(TRs)들 사이의 중간노드(N)는 인접한 도전전극(DCE)들 사이의 도전전극(DCE)에 중첩하지 않는 반도체 패턴(CP)의 영역일 수 있다. 중간노드(N)에서 신호선(SCL)이 반도체 패턴(CP)과 컨택하여 신호선(SCL)과 반도체 패턴(CP)이 전기적으로 연결될 수 있다. 도 5b에 도시된 바와 같이 각 신호선(SCL)은 게이트전극과 전기적으로 연결된 소스전극 또는 드레인전극일 수 있다.
- [113] 도 4c 및 도 4d에 유사하게, 실리콘 박막트랜지스터(TRs)들 각각의 게이트전극, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)은 각각 구동전압(ELVDD) 외에, 제1초기화전압(Vint), 제2초기화전압(Vaint), 또는 기준전압(Vref)을 공급받을 수 있다. 실리콘 박막트랜지스터(TRs)들은 P형의 LTPS 박막트랜지스터일 수도 있고, N형의 LTPS 박막트랜지스터일 수도 있다.
- [114] 일 실시예에서, 도 6a 내지 도 6c에 도시된 바와 같이, 반도체 패턴(CP)은 표시영역(DA)에서 4단자 실리콘 박막트랜지스터(TRs)의 일부 구성요소일 수 있다. 예를 들어, 반도체 패턴(CP)은 실리콘 박막트랜지스터(TRs)의 반도체층일 수 있다.
- [115] 반도체 패턴(CP)은 x 방향으로 연장되며 행마다 배치될 수 있다. 반도체 패턴(CP) 상부에 상부 도전층(DCLt)이 배치될 수 있다. 상부 도전층(DCLt)은 x 방향으로 연장되며 행마다 배치될 수 있다. 상부 도전층(DCLt)은 반도체 패턴(CP)에 중첩하게 배치될 수 있다. 반도체 패턴(CP) 하부에 하부 도전층(DCLb)이 배치될 수 있다. 하부 도전층(DCLb)은 x 방향으로 연장되며 행마다 배치될 수 있다. 반도체 패턴(CP)은 하부 도전층(DCLb) 상부에 하부 도전층(DCLb)에 중첩하게 배치될 수 있다. 표시영역(DA)의 가장자리에서 반도체 패턴(CP)의 양단들(예를 들어, 대향하는 일단들)은 상부 도전층(DCLt)에 중첩하지 않을 수 있다. 상부 도전층(DCLt)은 박막트랜지스터(TFT2)의 게이트전극(GE2)과 동일 물질을 포함할 수 있다. 주변영역(PA)에서 박막트랜지스터(TFT2)의 게이트전극(GE2)이 형성될 때 일시에 또는 동시에 표시영역(DA)에 상부 도전층(DCLt)이 형성될 수 있다.
- [116] 각 행에서, 반도체 패턴(CP), 상부 도전층(DCLt) 및 하부 도전층(DCLb) 각각은 4단자 실리콘 박막트랜지스터(TRs)의 실리콘 반도체층, 탑 게이트전극 및 바텀 게이트전극에 대응할 수 있다. 상부 도전층(DCLt)에 중첩하지 않는 반도체 패턴(CP)의 양단들(예를 들어, 대향하는 일단들)은 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)에 대응하고, 상부 도전층(DCLt)에 중첩하는 반도체 패턴(CP)의 영역은 소스영역과 드레인영역 사이의 채널영역에 대응할 수 있다. 4단자 실리콘 박막트랜지스터(TRs)의 채널영역의 길이 및 반도체 패턴

(CP)의 채널영역에 대응하는 영역의 길이는 표시영역(DA)의 행의 길이 또는 대략 표시영역(DA)의 행의 길이일 수 있다.

- [117] 반도체 패턴(CP), 상부 도전층(DCLt) 및 하부 도전층(DCLb)은 신호선(SCL)에 전기적으로 연결될 수 있다. 신호선(SCL)은 y 방향으로 연장되며, 구동전압(ELVDD)을 공급받을 수 있다. 이에 따라 실리콘 박막트랜지스터(TRs)의 게이트전극, 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)은 각각 구동전압(ELVDD)을 공급받을 수 있다.
- [118] 도 6a 내지 도 6c는 행마다 하나의 4단자 실리콘 박막트랜지스터(TRs)가 형성된 예이다. 다른 실시예에서, 도 5a에 유사하게, 복수의 아일랜드 타입의 상부 도전층(DCLt)들을 반도체 패턴(CP)에 중첩하게 x 방향으로 이격 배치함으로써 행마다 직렬연결된 복수의 4단자 실리콘 박막트랜지스터(TRs)들을 형성할 수도 있다.
- [119] 도 7a 내지 도 7c를 참조하면, 일 실시예에서, 반도체 패턴(CP)은 표시영역(DA)에서 실리콘 박막트랜지스터(TRds)의 일부 구성요소일 수 있다. 예를 들어, 반도체 패턴(CP)은 실리콘 박막트랜지스터(TRds)의 반도체층일 수 있다. 실리콘 박막트랜지스터(TRds)는 화소(PX)의 동작 또는 화소(PX)의 발광에 관여하지 않으나, 게이트전극으로 공급되는 신호에 의해 작동하는 작동 트랜지스터일 수 있다. 실리콘 박막트랜지스터(TRds)는 LTPS 박막트랜지스터일 수 있다.
- [120] 반도체 패턴(CP)은 행마다 복수개 배치될 수 있다. 각 행에서 복수의 반도체 패턴(CP)들은 x 방향으로 이격 배치될 수 있다. 도전층(DCL)은 x 방향으로 연장되며 행마다 배치될 수 있다. 각 행에서 도전층(DCL)은 복수의 반도체 패턴(CP)들 상부에 반도체 패턴(CP)들을 가로지르며 반도체 패턴(CP)들에 일부 중첩하게 배치될 수 있다. 도전층(DCL)은 박막트랜지스터(TFT2)의 게이트전극(GE2)과 동일 물질을 포함할 수 있다. 주변영역(PA)에서 박막트랜지스터(TFT2)의 게이트전극(GE2)이 형성될 때 일시에 또는 동시에 표시영역(DA)에 도전층(DCL)이 형성될 수 있다.
- [121] 반도체 패턴(CP)의 양단들(예를 들어, 대향하는 일단들)은 신호선(SCL)에 전기적으로 연결되어 구동전압(ELVDD)을 공급받을 수 있다. 도전층(DCL)의 양단들(예를 들어, 대향하는 일단들)은 제1게이트구동회로(DRV1) 및/또는 제2게이트구동회로(DRV2)에 연결될 수 있다. 도전층(DCL)은 제1게이트구동회로(DRV1) 및/또는 제2게이트구동회로(DRV2)로부터 게이트신호(GS)를 공급받을 수 있다.
- [122] 반도체 패턴(CP) 및 반도체 패턴(CP)에 중첩하는 도전층(DCL)의 부분은 각각은 실리콘 박막트랜지스터(TRds)의 실리콘 반도체층 및 게이트전극에 대응하고, 행마다 병렬 연결된 복수의 실리콘 박막트랜지스터(TRds)들이 구비될 수 있다. 도전층(DCL)에 중첩하지 않는 반도체 패턴(CP)의 양단들(예를 들어, 대향하는 일단들)은 소스영역(예를 들어, 소스전극) 및 드레인영역(예를 들어, 드레인전극)에 대응하고, 도전층(DCL)에 중첩하는 반도체 패턴(CP)의 영역은 소스영역과 드레인영역 사이의 채널영역에 대응할 수 있다. 실리콘 박막트랜지스터(TRs)의 채널영역에 대응하는 영역의 길이는 표시영역(DA)의 행의 길이 또는 대략 표시영역(DA)의 행의 길이일 수 있다.

널영역의 길이 및 반도체 패턴(CP)의 채널영역에 대응하는 영역의 길이는 도전층(DCL)의 y 방향 폭 또는 대략 도전층(DCL)의 y 방향 폭일 수 있다.

- [123] 반도체 패턴(CP)은 신호선(SCL)으로부터 구동전압(ELVDD)을 공급받고, 도전층(DCL)은 제1게이트구동회로(DRV1) 및/또는 제2게이트구동회로(DRV2)로부터 게이트신호(GS)를 공급받음으로써, 실리콘 박막트랜지스터(TRds)는 게이트신호(GS)에 응답하여 작동할 수 있다.
- [124] 도 8a 및 도 8b를 참조하면, 일 실시예에서, 표시영역(DA)에 플로팅 상태의 반도체 패턴(CP)이 배치되고, 정전압(예를 들어, 소정의 또는 기설정된 정전압)이 공급되는 도전층(DCL)이 반도체 패턴(CP) 상부에 반도체 패턴(CP)에 중첩하게 배치될 수 있다. 반도체 패턴(CP)은 x 방향으로 연장되며 행마다 배치될 수 있다. 도전층(DCL)은 x 방향으로 연장되며 행마다 배치될 수 있다. 도전층(DCL)은 신호선(SCL)에 전기적으로 연결될 수 있다. 신호선(SCL)은 y 방향으로 연장되며, 구동전압(ELVDD)을 공급받을 수 있다. 다른 실시예에서, 도 8a 및 도 8b에 도시된 도전층(DCL)이 생략되고, 플로팅 상태의 반도체 패턴(CP)만이 x 방향으로 연장되며 행마다 배치될 수 있다.
- [125] 다른 실시예에서, 반도체 패턴(CP)은 표시영역(DA)에서 화소회로(PCa)를 구성하는 소자들을 서로 연결하는 연결선 또는 화소회로(PCa)에 전압(예를 들어, 소정 또는 기설정된 전압)을 공급하는 정전압선으로 기능하도록 표시영역(DA)에 설계될 수 있다.
- [126] 도 9a 및 도 9b는 일 실시예에 따른 화소의 등가회로도들이다.
- [127] 도 9a 및 도 9b를 참조하면, 화소(PX)는 표시요소로서 유기발광다이오드(OLED) 및 유기발광다이오드(OLED)에 연결된 화소회로(PCa)를 포함할 수 있다.
- [128] 화소(PX)는 제1게이트신호(GW)를 전달하는 제1게이트선(GWL), 제2게이트신호(GI)를 전달하는 제2게이트선(GIL), 제3게이트신호(GR)를 전달하는 제3게이트선(GRL), 제4게이트신호(EM)를 전달하는 제4게이트선(EML), 제5게이트신호(EMB)를 전달하는 제5게이트선(EMBL) 및 데이터신호(Vdata)를 전달하는 데이터선(DL)에 연결될 수 있다. 제4게이트신호(EM)와 제5게이트신호(EMB)에 의해 화소(PX)의 발광이 제어되므로, 제4게이트신호(EM)와 제5게이트신호(EMB)는 발광제어신호로 칭하고, 제4게이트선(EML)과 제5게이트선(EMBL)은 발광제어선으로 칭할 수 있다.
- [129] 화소(PX)는 구동전압(ELVDD)을 전달하는 구동전압선(PL), 기준전압(Vref)을 전달하는 기준전압선(VRL), 제1초기화전압(Vint)을 전달하는 제1초기화전압선(VL1), 제2초기화전압(Vaint)을 전달하는 제2초기화전압선(VL2)에 연결될 수 있다.
- [130] 구동전압(ELVDD)의 전압레벨은 공통전압(ELVSS)의 전압레벨보다 높을 수 있다. 기준전압(Vref)의 전압레벨은 구동전압(ELVDD)의 전압레벨보다 낮을 수 있다. 제1초기화전압(Vint)의 전압레벨은 공통전압(ELVSS)의 전압레벨보다 낮

을 수 있다. 제2초기화전압(Vaint)의 전압레벨은 제1초기화전압(Vint)의 전압레벨보다 높을 수 있다. 제2초기화전압(Vaint)의 전압레벨은 공통전압(ELVSS)의 전압레벨과 같거나 공통전압(ELVSS)의 전압레벨보다 높을 수 있다.

- [131] 화소회로(PCa)는 제1 내지 제7트랜지스터들(T1 내지 T7), 제1 및 제2커패시터들(C1 및 C2)을 포함할 수 있다. 일 실시예에서, 도 9a에 도시된 바와 같이, 제1 내지 제7트랜지스터들(T1 내지 T7)은 N형의 산화물 박막트랜지스터일 수 있다. 일 실시예에서, 도 9b에 도시된 바와 같이, 제1 내지 제7트랜지스터들(T1 내지 T7)들 중 제1 내지 제4트랜지스터들(T1 내지 T4) 및 제7트랜지스터(T7)가 N형의 산화물 박막트랜지스터이고, 제5트랜지스터(T5) 및 제6트랜지스터(T6)가 P형의 산화물 박막트랜지스터일 수 있다.
- [132] 제1트랜지스터(T1)는 데이터신호에 대응하는 구동전류를 출력하는 구동 트랜지스터일 수 있다. 제2 내지 제7트랜지스터(T2 내지 T7)는 신호를 전달하는 스위칭 트랜지스터들일 수 있다. 제1 내지 제7트랜지스터들(T1 내지 T7) 각각의 제1 단자(예를 들어, 제1전극)와 제2단자(예를 들어, 제2전극)는 제1단자와 제2단자의 전압에 따라 소스 또는 드레인일 수 있다. 예컨대, 제1단자와 제2단자의 전압에 따라, 제1단자가 드레인이고 제2단자가 소스이거나, 제1단자가 소스이고 제2단자가 드레인일 수 있다.
- [133] 제1트랜지스터(T1)의 제1게이트가 연결된 노드는 제1노드(N1)로 정의될 수 있다. 제1트랜지스터(T1)의 제2단자가 연결된 노드는 제2노드(N2)로 정의될 수 있다.
- [134] 제1트랜지스터(T1)는 구동전압선(PL)과 유기발광다이오드(OLED) 사이에 연결될 수 있다. 제1트랜지스터(T1)는 제5트랜지스터(T5)와 제6트랜지스터(T6) 사이에 연결될 수 있다. 제1트랜지스터(T1)는 게이트, 제1단자 및 제2노드(N2)에 연결된 제2단자를 포함할 수 있다. 제1트랜지스터(T1)의 게이트는 제1노드(N1)에 연결된 제1게이트와 제2노드(N2)에 연결된 제2게이트를 포함할 수 있다. 제1게이트와 제2게이트는 서로 다른 층에(예를 들어, 서로 다른 층 내에 또는 상에) 마주하게 배치될 수 있다. 예컨대, 제1트랜지스터(T1)의 제1게이트와 제2게이트는 반도체층을 사이에 두고 서로 대향되게 위치할 수 있다.
- [135] 제1트랜지스터(T1)의 제1게이트는 제2트랜지스터(T2)의 제2단자, 제3트랜지스터(T3)의 제1단자 및 제1커패시터(C1)에 연결될 수 있다. 제1트랜지스터(T1)의 제2게이트는 제6트랜지스터(T6)의 제1단자, 제1커패시터(C1) 및 제2커패시터(C2)에 연결될 수 있다. 제1트랜지스터(T1)의 제1단자는 제5트랜지스터(T5)를 경유하여 구동전압선(PL)에 연결되고, 제2단자는 제6트랜지스터(T6)를 경유하여 유기발광다이오드(OLED)의 화소전극에 연결될 수 있다. 제1트랜지스터(T1)의 제2단자는 제4트랜지스터(T4)의 제1단자, 제6트랜지스터(T6)의 제1단자, 제1커패시터(C1) 및 제2커패시터(C2)에 연결될 수 있다. 제1트랜지스터(T1)는 제2트랜지스터(T2)의 스위칭 동작에 따라 데이터신호(Vdata)를 전달받아 유기발광다이오드(OLED)로 흐르는 구동전류의 전류량을 제어할 수 있다.

- [136] 제2트랜지스터(T2)(예를 들어, 기입 트랜지스터)는 데이터선(DL)과 제1트랜지스터(T1)의 제1게이트에 연결될 수 있다. 제2트랜지스터(T2)는 제1게이트선(GWL)에 연결된 게이트, 데이터선(DL)에 연결된 제1단자 및 제1노드(N1)에 연결된 제2단자를 포함할 수 있다. 제2트랜지스터(T2)의 제2단자는 제1트랜지스터(T1)의 제1게이트, 제3트랜지스터(T3)의 제1단자, 및 제1커패시터(C1)에 연결될 수 있다. 제2트랜지스터(T2)는 제1게이트선(GWL)으로 전달된 제1게이트신호(GW)에 의해 턴온되어 데이터선(DL)과 제1노드(N1)를 전기적으로 연결하고, 데이터선(DL)으로 전달된 데이터신호(Vdata)를 제1노드(N1)로 전달할 수 있다.
- [137] 제3트랜지스터(T3)(예를 들어, 제1초기화 트랜지스터)는 제1트랜지스터(T1)의 제1게이트와 기준전압선(VRL)에 연결될 수 있다. 제3트랜지스터(T3)는 제3게이트선(GRL)에 연결된 게이트, 제1노드(N1)에 연결된 제1단자 및 기준전압선(VRL)에 연결된 제2단자를 포함할 수 있다. 제3트랜지스터(T3)의 제1단자는 제1트랜지스터(T1)의 제1게이트, 제2트랜지스터(T2)의 제2단자, 및 제1커패시터(C1)에 연결될 수 있다. 제3트랜지스터(T3)는 제3게이트선(GRL)으로 전달된 제3게이트신호(GR)에 의해 턴온되어 기준전압선(VRL)으로 전달된 기준전압(Vref)을 제1노드(N1)로 전달할 수 있다.
- [138] 제4트랜지스터(T4)(예를 들어, 제2초기화 트랜지스터)는 제1트랜지스터(T1)와 제1초기화전압선(VL1)에 연결될 수 있다. 제4트랜지스터(T4)는 제2게이트선(GIL)에 연결된 게이트, 제2노드(N2)에 연결된 제1단자 및 제1초기화전압선(VL1)에 연결된 제2단자를 포함할 수 있다. 제4트랜지스터(T4)의 제1단자는 제1트랜지스터(T1)의 제2단자, 제6트랜지스터(T1)의 제1단자, 제1커패시터(C1) 및 제2커패시터(C2)에 연결될 수 있다. 제4트랜지스터(T4)는 제2게이트선(GIL)으로 전달된 제2게이트신호(GI)에 의해 턴온되어 제1초기화전압선(VL1)으로 전달된 제1초기화전압(Vint)을 제2노드(N)로 전달할 수 있다.
- [139] 제5트랜지스터(T5)(예를 들어, 제1발광제어 트랜지스터)는 구동전압선(PL)과 제1트랜지스터(T1)에 연결될 수 있다. 제5트랜지스터(T5)는 제4게이트선(EML)에 연결된 게이트, 구동전압선(PL)에 연결된 제1단자 및 제1트랜지스터(T1)의 제1단자에 연결된 제2단자를 포함할 수 있다. 제5트랜지스터(T5)는 제4게이트선(EML)으로 전달된 제4게이트신호(EM)에 따라 턴온 또는 턴오프될 수 있다.
- [140] 제6트랜지스터(T6)(예를 들어, 제2발광제어 트랜지스터)는 제1트랜지스터(T1)와 유기발광다이오드(OLED)에 연결될 수 있다. 제6트랜지스터(T6)는 제2노드(N2)와 제3노드(N3) 사이에 연결될 수 있다. 제6트랜지스터(T6)는 제5게이트선(EMBL)에 연결된 게이트, 제2노드(N2)에 연결된 제1단자 및 제3노드(N3)에 연결된 제2단자를 포함할 수 있다. 제6트랜지스터(T6)의 제1단자는 제1트랜지스터(T1)의 제2단자, 제4트랜지스터(T4)의 제1단자, 제1커패시터(C1) 및 제2커패시터(C2)에 연결될 수 있다. 제6트랜지스터(T6)의 제2단자는 제7트랜지스터(T7)의 제1단자와 유기발광다이오드(OLED)의 화소전극에 연결될 수 있다. 제6트랜지스

터(T6)는 제5게이트선(EMBL)으로 전달된 제5게이트신호(EMB)에 따라 턴온 또는 턴오프될 수 있다.

- [141] 제7트랜지스터(T7)(예를 들어, 제3초기화 트랜지스터 또는 리셋 트랜지스터)는 유기발광다이오드(OLED)와 제2초기화전압선(VL2)에 연결될 수 있다. 제7트랜지스터(T7)는 제6트랜지스터(T6)와 제2초기화전압선(VL2)에 연결될 수 있다. 제7트랜지스터(T7)는 제2게이트선(GIL)에 연결된 게이트, 제3노드(N3)에 연결된 제1단자 및 제2초기화전압선(VL2)에 연결된 제2단자를 포함할 수 있다. 제7트랜지스터(T7)의 제1단자는 제6트랜지스터(T6)의 제2단자 및 유기발광다이오드(OLED)의 화소전극에 연결될 수 있다. 제7트랜지스터(T7)는 제2게이트선(GIL)으로 전달된 제2게이트신호(GI)에 의해 턴온되어 제2초기화전압선(VL2)으로 전달된 제2초기화전압(Vaint)을 제3노드(N3)로 전달할 수 있다.
- [142] 제1커패시터(C1)는 제1트랜지스터(T1)의 제1게이트와 제1트랜지스터(T1)의 제2단자 사이에 연결될 수 있다. 제1커패시터(C1)의 제1전극은 제1노드(N1)에 연결되고, 제2전극은 제2노드(N2)에 연결될 수 있다. 제1커패시터(C1)의 제1전극은 제1트랜지스터(T1)의 제1게이트, 제2트랜지스터(T2)의 제2단자 및 제3트랜지스터(T3)의 제1단자에 연결될 수 있다. 제1커패시터(C1)의 제2전극은 제1트랜지스터(T1)의 제2단자와 제2게이트, 제2커패시터(C2)의 제2전극, 제4트랜지스터(T4)의 제1단자 및 제6트랜지스터(T6)의 제1단자에 연결될 수 있다. 제1커패시터(C1)는 제1트랜지스터(T1)의 문턱전압 및 데이터신호(Vdata)에 대응하는 전압을 저장하는 스토리지 커패시터일 수 있다.
- [143] 제2커패시터(C2)는 구동전압선(PL)과 제2노드(N2) 사이에 연결될 수 있다. 제2커패시터(C2)의 제1전극은 구동전압선(PL)에 연결될 수 있다. 제2커패시터(C2)의 제2전극은 제1트랜지스터(T1)의 제2단자와 제2게이트, 제1커패시터(C1)의 제2전극, 제4트랜지스터(T4)의 제1단자 및 제6트랜지스터(T6)의 제1단자에 연결될 수 있다. 제1커패시터(C1)의 커패시턴스가 제2커패시터(C2)의 커패시턴스보다 클 수 있다.
- [144] 유기발광다이오드(OLED)는 제6트랜지스터(T6)를 통해 제1트랜지스터(T1)에 연결될 수 있다. 유기발광다이오드(OLED)는 제3노드(N3)에 연결된 화소전극(예를 들어, 애노드) 및 화소전극을 마주하는 대향전극(예를 들어, 캐소드)을 포함하고, 대향전극은 공통전압(ELVSS)을 공급받을 수 있다. 대향전극은 복수의 화소(PX)들에 공통인 공통전극일 수 있다.
- [145] 도 10 내지 도 23은 도 9a에 도시된 화소의 소자들을 층별로 개략적으로 도시하는 도면들이다. 도 16은 제1회로영역(PCA1)의 소자들을 도시한 도면이다. 도 21은 일 실시예에 따른 표시영역의 가장자리에서의 도전층들을 개략적으로 나타낸 도면이다. 도 22는 도 20의 VII-VII' 및 도 21의 IX-IX'를 따라 절취한 단면도이다. 도 24는 일 실시예에 따른 복수의 화소들의 발광영역의 배열을 개략적으로 나타낸 도면이다. 도 25는 도 20 및 도 23의 VIII-VIII'를 따라 절취한 단면도이다.

- [146] 표시영역(DA)에 배치된 복수의 화소(PX)들은 제1색으로 발광하는 제1화소(PX1), 제2색으로 발광하는 제2화소(PX2) 및 제3색으로 발광하는 제3화소(PX3)를 포함할 수 있다. 예를 들어, 제1화소(PX1)는 적색화소, 제2화소(PX2)는 녹색화소, 제3화소(PX3)는 청색화소일 수 있다. 제1화소(PX1), 제2화소(PX2) 및 제3화소(PX3)는 x 방향 및 y 방향을 따라 적절한 패턴(예를 들어, 소정 또는 기설정된 패턴)에 따라 반복 배치될 수 있다. 제1화소(PX1), 제2화소(PX2) 및 제3화소(PX3)는 각각 대응하는 화소회로(PCa) 및 화소회로(PCa)에 전기적으로 연결된 표시요소로서 대응하는 유기발광다이오드(OLED)를 포함할 수 있다.
- [147] 기판(100)에 정의된 표시영역(DA)은 화소회로가 배치되고, 행과 열이 교차하는 영역인 복수의 회로영역들을 포함할 수 있다. 일 실시예에서, x 방향으로 인접한 둘 이상의 회로영역들을 포함하는 단위 회로영역이 정의될 수 있다. 예를 들어, 단위 회로영역(PCAu)은 x 방향으로 인접한 세 개의 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3) 등을 포함할 수 있다. 제1회로영역(PCA1)은 제1화소(PX1)의 화소회로(PCa)가 배치되는 영역일 수 있다. 제2회로영역(PCA2)은 제2화소(PX2)의 화소회로(PCa)가 배치되는 영역일 수 있다. 제3회로영역(PCA3)은 제3화소(PX3)의 화소회로(PCa)가 배치되는 영역일 수 있다.
- [148] 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)에 배치된 화소회로(PCa)들은 각각 서로 다른 색으로 발광하는 표시요소들에 전기적으로 연결될 수 있다. 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)에 배치된 화소회로(PCa)들은 각각 전기적으로 연결된 표시요소들을 구동할 수 있다. 예를 들어, 제1회로영역(PCA1)에 배치된 화소회로(PCa)에 전기적으로 연결된 표시요소는 적색의 광을 방출할 수 있다. 제2회로영역(PCA2)에 배치된 화소회로(PCa)에 전기적으로 연결된 표시요소는 녹색의 광을 방출할 수 있다. 제3회로영역(PCA3)에 배치된 화소회로(PCa)에 전기적으로 연결된 표시요소는 청색의 광을 방출할 수 있다.
- [149] 일 실시예에서, 제1화소(PX1), 제2화소(PX2), 제3화소(PX3)의 발광 특성을 고려하여, 제1화소(PX1), 제2화소(PX2), 제3화소(PX3)에 서로 다른 제2초기화전압(Vaint)이 공급될 수 있다. 예를 들어, 제1화소(PX1)의 화소회로(PCa)는 제2-1초기화전압선(VL21)에 연결될 수 있다. 제2화소(PX2)의 화소회로(PCa)와 제3화소(PX3)의 화소회로(PCa)는 제2-2초기화전압선(VL22)에 연결될 수 있다. 제2-1초기화전압선(VL21)으로 공급되는 제2초기화전압과 제2-2초기화전압선(VL22)으로 공급되는 제2초기화전압은 상이할 수 있다.
- [150] 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)의 각 층에 동일한 소자들이 배치될 수 있다. 이하, 편의상 제1회로영역(PCA1)에 배치된 화소회로(PCa)의 소자들에 참조번호를 부여하고, 이하 제1회로영역(PCA1)을 중심으로 보다 상세히 설명될 수 있다. 또한 이하 제1회로영역(PCA1)에 대해 상세히 설명된 것과 동일 또는 실질적으로 동일한 제2회로영역(PCA2) 및 제3회로영역

(PCA3)의 구성요소에 대한 중복하는 설명은 반복하여 설명되지 않을 수 있다. 도 22 및 도 25의 단면도들은 제1회로영역(PCA1)의 단면도들이다.

- [151] 도 10 내지 도 26을 함께 참조하면, 기판(100) 상에, 도 10에 도시된 바와 같이, 제1도전층(210)이 배치될 수 있다. 기판(100)은 글라스재, 세라믹재, 금속재, 또는 플렉서블 또는 벤더블 특성을 갖는 물질을 포함할 수 있다. 기판(100)은 유기층의 단층구조 또는 유기층 및 무기층의 다층구조를 가질 수 있다. 예를 들어, 기판(100)은 제1베이스층/배리어층/제2베이스층의 적층 구조일 수 있다. 제1베이스층 및 제2베이스층은 각각 고분자 수지를 포함하는 유기층일 수 있다. 제1베이스층 및 제2베이스층은 투명한 고분자 수지를 포함할 수 있다. 배리어층은 외부 이물질의 침투를 방지 또는 실질적으로 방지하는 배리어층으로서, 실리콘질화물(SiN_x) 또는 실리콘산화물(SiO_x)과 같은 무기물을 포함하는 단층 또는 다층일 수 있다. 다른 실시예에서, 기판(100)과 제1도전층(210) 사이에 배리어층이 더 배치될 수 있다.
- [152] 제1도전층(210)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 제1도전층(210)은 도 6a 및 도 6b에 도시된 하부 도전층(DCLb)에 대응할 수 있다.
- [153] 기판(100) 상에 제1도전층(210)을 덮으며 제1절연층(111)이 배치될 수 있다. 제1절연층(111) 상에, 도 11에 도시된 바와 같이 실리콘 반도체를 포함하는 반도체 패턴(CP)이 배치될 수 있다. 반도체 패턴(CP)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 반도체 패턴(CP)은 도 6a 및 도 6b에 도시된 반도체 패턴(CP)에 대응할 수 있다.
- [154] 제1절연층(111) 상에 반도체 패턴(CP)을 덮으며 제2절연층(112)이 배치되고, 제2절연층(112) 상에 제2도전층이 배치될 수 있다. 도 12에 도시된 바와 같이, 제2도전층은 제1전극층(220), 구동전압선(PL) 및 제2-2초기화전압선(VL22)을 포함할 수 있다.
- [155] 구동전압선(PL) 및 제2-2초기화전압선(VL22)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 구동전압선(PL)은 x 방향으로 연장된 메인선(PLm)으로부터 +y 방향으로 돌출된 돌출부(PLa)와 -y 방향으로 돌출된 돌출부(PLb)를 포함할 수 있다. 돌출부(PLa)와 돌출부(PLb)는 각 회로영역에 위치될 수 있다. 구동전압선(PL)의 일부는 제2커패시터(C2)의 제1전극(C21)을 포함할 수 있다. 제1전극층(220)은 아일랜드 형상으로 구비될 수 있다. 제1전극층(220)은 제1트랜지스터(T1)의 제1게이트전극(G11)의 하부전극(G11b) 및 제1커패시터(C1)의 제1전극(C11)을 포함할 수 있다.
- [156] 제2절연층(112) 상에 제2도전층을 덮으며 제3절연층(113)이 배치되고, 제3절연층(113) 상에 제3도전층이 배치될 수 있다. 도 13에 도시된 바와 같이, 제3도전층

은 제2전극층(230), 기준전압선(VRL) 및 제1초기화전압선(VL1)을 포함할 수 있다.

- [157] 제2전극층(230)은 아일랜드 타입으로 구비될 수 있다. 제2전극층(230)은 제1전극층(220) 및 구동전압선(PL)의 메인선(PLm)에 중첩할 수 있다. 제2전극층(230)에서 제1전극층(220)에 중첩하는 부분은 제1커패시터(C1)의 제2전극(C12)을 포함할 수 있다. 제2전극층(230)에서 구동전압선(PL)의 메인선(PLm)에 중첩하는 부분은 제1트랜지스터(T1)의 제2게이트전극(G12) 및 제2커패시터(C2)의 제2전극(C22)을 포함할 수 있다.
- [158] 기준전압선(VRL) 및 제1초기화전압선(VL1)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다.
- [159] 일 실시예에서, 제3도전층은 리페어선(RL)을 더 포함할 수 있다. 리페어선(RL)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다.
- [160] 제3절연층(113) 상에 제3도전층을 덮으며 제4절연층(114)이 배치되고, 제4절연층(114) 상에, 도 14에 도시된 바와 같이 산화물 반도체를 포함하는 반도체층(OACT)이 배치될 수 있다. 반도체층(OACT)은 제1반도체층(OACT1), 제2반도체층(OACT2), 제3반도체층(OACT3) 및 제4반도체층(OACT4)을 포함할 수 있다. 반도체층(OACT)은 제1 내지 제7트랜지스터들(T1 내지 T7) 각각의 채널영역, 채널영역 양측(예를 들어, 대향하는 측들)의 소스영역 및 드레인영역을 포함할 수 있다. 소스영역이나 드레인영역은 필요 또는 경우에 따라 트랜지스터의 소스전극이나 드레인전극으로 해석될 수도 있다.
- [161] 도 16을 참조하면, 제1반도체층(OACT1)은 제1트랜지스터(T1)의 소스영역(S1)과 드레인영역(D1) 및 제5트랜지스터(T5)의 소스영역(S5)과 드레인영역(D5)을 포함할 수 있다. 제2반도체층(OACT2)은 제2트랜지스터(T2)의 소스영역(S2)과 드레인영역(D2) 및 제3트랜지스터(T3)의 소스영역(S3)과 드레인영역(D3)을 포함할 수 있다. 제3반도체층(OACT3)은 제6트랜지스터(T6)의 소스영역(S6)과 드레인영역(D6) 및 제7트랜지스터(T7)의 소스영역(S7)과 드레인영역(D7)을 포함할 수 있다. 제4반도체층(OACT4)은 제4트랜지스터(T4)의 소스영역(S4)과 드레인영역(D4)을 포함할 수 있다.
- [162] 제4절연층(114) 상에 반도체층(OACT)을 덮으며 제5절연층(115)이 배치되고, 제5절연층(115) 상에 제4도전층이 배치될 수 있다. 도 15 및 도 16에 도시된 바와 같이, 제4도전층은 제1 내지 제7트랜지스터들(T1 내지 T7)의 게이트전극들(G1 내지 G7)을 포함할 수 있다. 또한, 제4도전층은 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL) 및 제2-1초기화전압선(VL21)을 포함할 수 있다.
- [163] 제1 내지 제7트랜지스터들(T1 내지 T7)의 게이트전극들(G1 내지 G7)은 반도체층(OACT)의 채널영역들에 중첩할 수 있다.

- [164] 도 16을 참조하면, 제3전극층(240)은 제1트랜지스터(T1)의 제1게이트전극(G11)의 상부전극(G11t)을 포함할 수 있다. 제1게이트전극(G11)의 상부전극(G11t)은 제1반도체층(OACT1)에 중첩할 수 있다. 제4전극층(250)은 제2트랜지스터(T2)의 게이트전극(G2)일 수 있다. 제4전극층(250)은 제2반도체층(OACT2)에 중첩할 수 있다. 제3전극층(240)과 제4전극층(250)은 아일랜드 형상으로 구비될 수 있다. 제3트랜지스터(T3)의 게이트전극(G3)은 제2반도체층(OACT2)과 중첩하는 제3게이트선(GRL)의 부분일 수 있다. 제4트랜지스터(T4)의 게이트전극(G4)은 제4반도체층(OACT4)에 중첩하는 제2게이트선(GIL)의 부분일 수 있다. 제5트랜지스터(T5)의 게이트전극(G5)은 제1반도체층(OACT1)에 중첩하는 제4게이트선(EML)의 부분일 수 있다. 제6트랜지스터(T6)의 게이트전극(G6)은 제3반도체층(OACT3)에 중첩하는 제5게이트선(EMBL)의 부분일 수 있다. 제7트랜지스터(T7)의 게이트전극(G7)은 제3반도체층(OACT3)에 중첩하는 제2게이트선(GIL)의 부분일 수 있다.
- [165] 제5절연층(115) 상에 제4도전층을 덮으며 제6절연층(116)이 배치되고, 제6절연층(116) 상에 제5도전층이 배치될 수 있다. 도 17에 도시된 바와 같이, 제5도전층은 데이터선(DL) 및 연결전극들(260, 261, 262, 263, 264, 265, 266, 267a, 267b, 268)을 포함할 수 있다.
- [166] 데이터선(DL)은 회로영역마다 y 방향으로 연장되며 배치될 수 있다. 데이터선(DL)은 제5절연층(115)과 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(37)을 통해 제2트랜지스터(T2)의 드레인영역(D2)에 전기적으로 연결될 수 있다.
- [167] 연결전극(260)은 제2전극층(230) 및 제3전극층(240)에 중첩하는 제1영역(260a)과 제1영역(260a)으로부터 -y 방향으로 돌출된 제2영역(260b)을 포함할 수 있다. 연결전극(260)은 제1트랜지스터(T1)의 소스영역(S1)을 제4트랜지스터(T4)와 제6트랜지스터(T6)에 전기적으로 연결할 수 있다.
- [168] 연결전극(260)의 제1영역(260a)은 제5절연층(115)과 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(31)을 통해 제1트랜지스터(T1)의 소스영역(S1)에 전기적으로 연결될 수 있다. 연결전극(260)의 제1영역(260a)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(32)을 통해 제2전극층(230)에 전기적으로 연결될 수 있다. 이에 따라 제2전극층(230)은 제1트랜지스터(T1)의 소스영역(S1)에 전기적으로 연결된 소스전극일 수 있다. 연결전극(260)의 제2영역(260b)은 제5절연층(115)과 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(33)을 통해 제6트랜지스터(T6)의 드레인영역(D6)에 전기적으로 연결될 수 있다. 연결전극(260)의 제2영역(260b)은 제5절연층(115)과 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(34)을 통해 제4트랜지스터(T4)의 드레인영역(D4)에 전기적으로 연결될 수 있다.
- [169] 연결전극(261)은 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(38)을 통해 제2트랜지스터(T2)의 게이트전극(G2)에 전기적으로 연결될 수 있다. 연결

전극(261)은 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(39)을 통해 제1게이트선(GWL)에 전기적으로 연결될 수 있다.

- [170] 연결전극(262)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(43)을 통해 제3트랜지스터(T3)의 소스영역(S3)에 전기적으로 연결될 수 있다. 연결전극(262)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(44)을 통해 기준전압선(VRL)에 전기적으로 연결될 수 있다.
- [171] 연결전극(263)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(40)을 통해 제2트랜지스터(T2)의 소스영역(S2) 및 제3트랜지스터(T3)의 드레인영역(D3)에 전기적으로 연결될 수 있다. 연결전극(263)은 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(41)을 통해 제1전극층(220)에 전기적으로 연결되어, 제1트랜지스터(T1)의 제1게이트전극(G11)의 하부전극(G11b)에 전기적으로 연결될 수 있다. 연결전극(263)은 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(42)을 통해 제3전극층(240)에 전기적으로 연결되어, 제1트랜지스터(T1)의 제1게이트전극(G11)의 상부전극(G11t)에 전기적으로 연결될 수 있다.
- [172] 연결전극(264)은 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(35)을 통해 구동전압선(PL)의 돌출부(PLb)에 전기적으로 연결될 수 있다. 연결전극(264)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(36)을 통해 제5트랜지스터(T5)의 드레인영역(D5)에 전기적으로 연결될 수 있다. 이에 따라 제5트랜지스터(T5)의 드레인영역(D5)은 구동전압선(PL)에 전기적으로 연결될 수 있다.
- [173] 연결전극(265)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(45)을 통해 제6트랜지스터(T6)의 소스영역(S6) 및 제7트랜지스터(T7)의 드레인영역(D7)에 전기적으로 연결될 수 있다. 연결전극(265)은 리페어선(RL)의 일부에 중첩할 수 있다. 연결전극(265)은 리페어선(RL)과 절연되고, 추후 해당 회로영역에 배치된 화소회로에 결함이 발생하면 그 후에 리페어선(RL)에 전기적으로 연결될 수 있다.
- [174] 연결전극(266)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(47)을 통해 제4트랜지스터(T4)의 소스영역(S4)에 전기적으로 연결될 수 있다. 연결전극(266)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(46)을 통해 제1초기화전압선(VL1)에 연결될 수 있다.
- [175] 제1회로영역(PCA1)에 배치된 연결전극(267a)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(48)을 통해 제7트랜지스터(T7)의 소스영역(S7)에 전기적으로 연결될 수 있다. 연결전극(267a)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(49)을 통해 제2-1초기화전압선(VL21)에 연결될 수 있다. 제2회로영역(PCA2) 및 제3회로

영역(PCA3) 각각에 배치된 연결전극(267b)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 대응하는 컨택홀(48')을 통해 대응하는 제7트랜지스터(T7)의 소스영역(S7)에 전기적으로 연결될 수 있다. 연결전극(267b)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(49')을 통해 제2-2초기화전압선(VL22)에 전기적으로 연결될 수 있다.

- [176] 연결전극(268)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(50)을 통해 제2-1초기화전압선(VL21)에 전기적으로 연결될 수 있다. 연결전극(268)은 제2회로영역(PCA2)들 중 일부 제2회로영역(PCA2)들에 배치될 수 있다.
- [177] 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL) 및 제2-1초기화전압선(VL21)은 x 방향으로 연장되며 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)에 배치될 수 있다. 제2-1초기화전압선(VL21)은 리페어선(RL)에 중첩할 수 있다.
- [178] 도 25에 도시된 바와 같이, 구동전압선(PL)의 메인선(PLm)과 이에 중첩하는 제2전극층(230)은 제2커패시터(C2)를 형성할 수 있다. 제3전극층(240)과 이에 중첩하는 연결전극(260)의 제1영역(260a)은 제1-1커패시터(C1a)를 형성할 수 있다. 제1전극층(220)과 이에 중첩하는 제2전극층(230)은 제1-2커패시터(C1b)를 형성할 수 있다. 제1-1커패시터(C1a)와 제1-2커패시터(C1b)의 병렬연결에 의해 제1커패시터(C1)의 커패시턴스는 제1-1커패시터(C1a)의 커패시턴스와 제1-2커패시터(C1b)의 커패시턴스의 합일 수 있다. 제1-1커패시터(C1a)와 제1-2커패시터(C1b)를 수직으로 중첩시킴으로써 제1커패시터(C1)의 x 방향 면적 증가 없이 커패시턴스가 증가(확보)될 수 있다.
- [179] 제6절연층(116) 상부에 제5도전층을 덮으며 제7절연층(117)이 배치되고, 제7절연층(117) 상부에 제6도전층이 배치될 수 있다. 도 18a 내지 도 18d에 도시된 바와 같이, 제6도전층은 복수의 수직 도전선들 및 연결전극(270)을 포함할 수 있다. 도 18a 내지 도 18d에는 도시의 편의상 제5도전층 및 하부 도전층들 중 일부만을 도시하였다.
- [180] 연결전극(270)은 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(61)을 통해 연결전극(265)에 전기적으로 연결되어, 제6트랜지스터(T6)의 소스영역(S6)에 전기적으로 연결될 수 있다.
- [181] 수직 도전선들은 수직 구동전압선(PLv), 수직 초기화전압선들, 공통전압선(EOL) 및 수직 기준전압선(VRLv)을 포함할 수 있다. 수직 초기화전압선들은 제1수직 초기화전압선(VL1v), 제2-1수직 초기화전압선(VL21v), 제2-2수직 초기화전압선(VL22v)을 포함할 수 있다. 수직 구동전압선(PLv), 수직 초기화전압선들, 공통전압선(EOL) 및 수직 기준전압선(VRLv)은 각각 y 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)에 x 방향을 따라 상호이격 배치될 수 있다.

- [182] 도 19에 도시된 바와 같이, 단위 회로영역(PCAu)마다 수직 구동전압선(PLv)과, 제1수직 초기화전압선(VL1v), 제2-1수직 초기화전압선(VL21v), 제2-2수직 초기화전압선(VL22v) 및 수직 기준전압선(VRLv) 중 하나와, 공통전압선(EOL)이 순서대로 x 방향을 따라 반복 배치될 수 있다. 예를 들어, x 방향으로 수직 구동전압선(PLv), 제1수직 초기화전압선(VL1v), 공통전압선(EOL), 수직 구동전압선(PLv), 제2-1수직 초기화전압선(VL21v), 공통전압선(EOL), 수직 구동전압선(PLv), 수직 기준전압선(VRLv), 공통전압선(EOL), 수직 구동전압선(PLv), 제2-2수직 초기화전압선(VL22v), 공통전압선(EOL) 순으로 수직 도전선들이 배치될 수 있다. 수직 도전선들은 x 방향으로 연장되는 수평 도전선들에 전기적으로 연결될 수 있다. 수평 도전선들은 구동전압선(PL), 제1초기화전압선(VL1), 제2-1초기화전압선(VL21), 제2-2초기화전압선(VL22) 및 기준전압선(VRL)을 포함할 수 있다.
- [183] 도 18a는 단위 회로영역(PCAu)에 수직 구동전압선(PLv), 제2-1수직 초기화전압선(VL21v), 공통전압선(EOL)이 x 방향을 따라 차례로 배치된 예를 도시한다.
- [184] 제3회로영역(PCA3)과 제1회로영역(PCA1)의 경계에 수직 구동전압선(PLv)이 배치되고, 제1회로영역(PCA1)과 제2회로영역(PCA2)의 경계에 제2-1수직 초기화전압선(VL21v)이 배치될 수 있다. 제2회로영역(PCA2)과 제3회로영역(PCA3)의 경계에 공통전압선(EOL)이 배치될 수 있다.
- [185] 수직 구동전압선(PLv)은 제1회로영역(PCA1)에 배치된 데이터선(DL)에 중첩할 수 있다. 수직 구동전압선(PLv)은 -x 방향으로 돌출되어 제3회로영역(PCA3)에 중첩하는 돌출부(PLvp)를 포함할 수 있다. 돌출부(PLvp)는 제7절연층(117)을 지나(예를 들어, 관통하는) 컨택홀(62)을 통해 제3회로영역(PCA3)에 배치된 연결전극(264)에 전기적으로 연결될 수 있다. 연결전극(264)이 구동전압선(PL)에 전기적으로 연결되므로 수직 구동전압선(PLv)은 구동전압선(PL)에 전기적으로 연결되고, 구동전압선(PL)은 표시영역(DA)에서 메쉬 구조를 가질 수 있다.
- [186] 제2-1수직 초기화전압선(VL21v)은 제2회로영역(PCA2)에 배치된 데이터선(DL)에 중첩할 수 있다. 제2-1수직 초기화전압선(VL21v)은 +x 방향으로 돌출되어 제2회로영역(PCA2)에 중첩하는 돌출부(VL21vp)를 포함할 수 있다. 돌출부(VL21vp)는 제7절연층(117)을 지나(예를 들어, 관통하는) 컨택홀(63)을 통해 제2회로영역(PCA2)에 배치된 연결전극(268)에 전기적으로 연결될 수 있다. 연결전극(268)이 제2-1초기화전압선(VL21)에 전기적으로 연결되므로 제2-1수직 초기화전압선(VL21v)은 제2-1초기화전압선(VL21)에 전기적으로 연결되고, 제2-1초기화전압선(VL21)은 표시영역(DA)에서 메쉬 구조를 가질 수 있다.
- [187] 공통전압선(EOL)은 제3회로영역(PCA3)에 배치된 데이터선(DL)에 중첩할 수 있다. 공통전압선(EOL)들은 주변영역(PA)에 배치된 공통전압 공급선(13)에 전기적으로 연결될 수 있다. 일 실시예에서, 대향전극은 표시영역(DA)에서 일정 간격으로 공통전압선(EOL)들과 전기적으로 연결될 수 있다.

- [188] 도 18b는 단위 회로영역(PCAu)에 수직 구동전압선(PLv), 제1수직 초기화전압선(VL1v), 공통전압선(EOL)이 x 방향으로 차례로 배치된 예를 도시한다.
- [189] 제1수직 초기화전압선(VL1v)은 제2회로영역(PCA2)에 배치된 데이터선(DL)에 중첩할 수 있다. 제1수직 초기화전압선(VL1v)은 -x 방향으로 돌출되어 제1회로영역(PCA1)에 중첩하는 돌출부(VL1vp)를 포함할 수 있다. 돌출부(VL1vp)는 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(64)을 통해 제1회로영역(PCA1)에 배치된 연결전극(266)에 전기적으로 연결될 수 있다. 연결전극(266)은 제1초기화전압선(VL1)에 전기적으로 연결되므로 제1수직 초기화전압선(VL1v)은 제1초기화전압선(VL1)에 전기적으로 연결되고, 제1초기화전압선(VL1)은 표시영역(DA)에서 메쉬 구조를 가질 수 있다.
- [190] 도 18c는 단위 회로영역(PCAu)에 수직 구동전압선(PLv), 수직 기준전압선(VRLv), 공통전압선(EOL)이 x 방향을 따라 차례로 배치된 예를 도시한다.
- [191] 수직 기준전압선(VRLv)은 제2회로영역(PCA2)에 배치된 데이터선(DL)에 중첩할 수 있다. 수직 기준전압선(VRLv)은 +x 방향으로 돌출되어 제2회로영역(PCA2)에 중첩하는 돌출부(VRLvp)를 포함할 수 있다. 돌출부(VRLvp)는 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(65)을 통해 제2회로영역(PCA2)에 배치된 연결전극(262)에 전기적으로 연결될 수 있다. 연결전극(262)은 기준전압선(VRL)에 전기적으로 연결되므로 수직 기준전압선(VRLv)은 기준전압선(VRL)에 전기적으로 연결되고, 기준전압선(VRL)은 표시영역(DA)에서 메쉬 구조를 가질 수 있다.
- [192] 도 18d는 단위 회로영역(PCAu)에 수직 구동전압선(PLv), 제2-2수직 초기화전압선(VL22v), 공통전압선(EOL)이 x 방향을 따라 차례로 배치된 예를 도시한다.
- [193] 제2-2수직 초기화전압선(VL22v)은 제2회로영역(PCA2)에 배치된 데이터선(DL)에 중첩할 수 있다. 제2-2수직 초기화전압선(VL22v)은 +x 방향으로 돌출되어 제2회로영역(PCA2)에 중첩하는 돌출부(VL22vp)를 포함할 수 있다. 돌출부(VL22vp)는 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(66)을 통해 제2회로영역(PCA2)에 배치된 연결전극(267b)에 전기적으로 연결될 수 있다. 연결전극(267b)은 제2-2초기화전압선(VL22)에 전기적으로 연결되므로 제2-2수직 초기화전압선(VL22v)은 제2-2초기화전압선(VL22)에 전기적으로 연결되고, 제2-2초기화전압선(VL22)은 표시영역(DA)에서 메쉬 구조를 가질 수 있다.
- [194] 일 실시예에서, 주변영역(PA)에 수평 도전선들 및/또는 수직 도전선들에 전기적으로 연결되는 전압공급선들이 더 배치될 수 있다. 전압공급선들은 표시영역(PA)의 상측, 하측, 좌측 및 우측 중 적어도 일측에 배치될 수 있다.
- [195] 제1회로영역(PCA1), 제2회로영역(PCA2), 제3회로영역(PCA3)의 대응하는 연결전극들은 회로영역에 배치되는 도전선들의 위치에 따라 형상 및 위치가 다양하게 변형될 수 있다.
- [196] 도 20은 도 18a에 도시된 제1회로영역(PCA1), 제2회로영역(PCA2), 제3회로영역(PCA3)에 배치된 화소회로들을 도시한다. 도 21은 도 6a의 A 부분의 확대도로

서, 표시영역(DA)의 가장자리에 배치된 화소(예를 들어, 첫번째 열에 배치된 화소)와 그 주변에 배치된 도전층들을 나타낸다.

- [197] 전술한 바와 같이 표시영역(DA)에 반도체 패턴(CP)이 x 방향으로 연장되며 행마다 배치되고, 구동전압선(PL)의 메인선(PLm)이 x 방향으로 연장되며 반도체 패턴(CP)에 중첩하게 행마다 배치될 수 있다. 도 21 및 도 22에 도시된 바와 같이, 표시영역(DA)의 가장자리에서 제1도전층(210)의 단부, 반도체 패턴(CP)의 단부, 구동전압선(PL)의 메인선(PLm)의 단부 및 수직 구동전압선(PLv)의 돌출부(PLvp)가 z 방향으로 차례로 중첩하게 배치되고, 연결전극(269)을 통해 상호 전기적으로 연결될 수 있다.
- [198] 연결전극(269)은 구동전압선(PL)의 메인선(PLm)의 단부와 반도체 패턴(CP) 사이의 층에(예를 들어, 층 내 또는 상에) 배치될 수 있다. 예를 들어, 연결전극(269)은 제6절연층(116)과 제7절연층(117) 사이에 배치될 수 있다. 수직 구동전압선(PLv)의 돌출부(PLvp)는 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(81)을 통해 연결전극(269)에 전기적으로 연결될 수 있다. 연결전극(269)은 제3 내지 제6절연층들(113, 114, 115, 116)을 지나는(예를 들어, 관통하는) 컨택홀(82)을 통해 구동전압선(PL)의 메인선(PLm)의 단부에 전기적으로 연결될 수 있다. 연결전극(269)은 제2 내지 제6절연층들(112, 113, 114, 115, 116)을 지나는(예를 들어, 관통하는) 컨택홀(83)을 통해 반도체 패턴(CP)의 단부에 전기적으로 연결될 수 있다. 연결전극(269)은 제1 내지 제6절연층들(111, 112, 113, 114, 115, 116)을 지나는(예를 들어, 관통하는) 컨택홀(84)을 통해 제1도전층(210)의 단부에 전기적으로 연결될 수 있다.
- [199] 마지막 열에 배치된 화소와 그 주변에 배치된 도전층들에도 도 21에 도시된 실시예에 대한 설명이 동일하게 적용될 수 있고, 따라서 그와 중복하는 설명은 반복되지 않을 수 있다.
- [200] 반도체 패턴(CP), 구동전압선(PL)의 메인선(PLm) 및 제1도전층(210)은 도 6a 내지 도 6c를 참조하여 전술된 바와 같이 행마다 구비되는 4단자 실리콘 박막트랜지스터(TRs)의 반도체층(예를 들어, 반도체 패턴(CP)), 탑 게이트전극(예를 들어, 상부 도전층(DCLt)) 및 바텀 게이트전극(예를 들어, 하부 도전층(DCLb))에 각각 대응할 수 있다. 수직 구동전압선(PLv)은 도 6a 내지 도 6c를 참조하여 전술된 구동전압(ELVDD)을 공급받는 신호선(SCL)에 대응할 수 있다.
- [201] 본 발명의 실시예에서 반도체 패턴(CP)은 화소회로(PCa)의 일부와 중첩하며 표시영역(DA)에 배치되고, 반도체 패턴(CP)을 포함하는 4단자 실리콘 박막트랜지스터(TRs)가 화소회로(PCa)의 일부와 중첩하며 행마다 구비될 수 있다. 도 20 및 도 25에 도시된 바와 같이, 4단자 실리콘 박막트랜지스터(TRs)는 화소회로(PCa)의 제1트랜지스터(T1), 제1커패시터(C1) 및 제2커패시터(C2)에 중첩되게 배치될 수 있다.
- [202] 제7절연층(117) 상부에 제6도전층을 덮으며 제8절연층(118)이 배치되고, 제8절연층(118) 상에 표시요소로서 유기발광다이오드(OLED)가 배치될 수 있다. 유기

발광다이오드(OLED)는 화소전극(311), 대향전극(315), 및 화소전극(311)과 대향전극(315) 사이의 중간층을 포함할 수 있다.

- [203] 화소전극(311)은 제8절연층(118)의 컨택홀(71)을 통해 하부 도전패턴인 연결전극(270)에 전기적으로 연결됨으로써 제1트랜지스터(T1)에 연결될 수 있다. 도 23에 도시된 바와 같이, 제1화소(PX1)의 화소회로에 연결되는 화소전극(311)은 제1회로영역(PCA1)에 배치된 연결전극(270)에 전기적으로 연결됨으로써 제1트랜지스터(T1)에 연결될 수 있다. 제2화소(PX2)의 화소회로에 연결되는 화소전극(311)은 제2회로영역(PCA2)에 배치된 연결전극(270)에 전기적으로 연결됨으로써 제1트랜지스터(T1)에 연결될 수 있다. 제3화소(PX3)의 화소회로에 연결되는 화소전극(311)은 제3회로영역(PCA3)에 배치된 연결전극(270)에 전기적으로 연결됨으로써 제1트랜지스터(T1)에 연결될 수 있다.
- [204] 도 25에 도시된 바와 같이, 화소전극(311) 상부에 화소전극(311)의 가장자리를 덮는 화소정의층인 제9절연층(119)이 배치될 수 있다. 제9절연층(119)에는 화소전극(311)의 일부를 노출하고 발광영역을 정의하는 개구(119OP)가 정의될 수 있다. 제9절연층(119)은 단층 또는 다층의 유기 절연층 및/또는 무기 절연층일 수 있다.
- [205] 중간층은 발광층(313) 및 발광층(313) 상부의 제1기능층 및/또는 발광층(313) 하부의 제2기능층을 포함할 수 있다. 제1기능층은 홀 수송층(HTL: Hole Transport Layer)일 수 있다. 다른 실시예에서, 제1기능층은 홀 주입층(HIL: Hole Injection Layer)과 홀 수송층(HTL)을 포함할 수 있다. 제2기능층은 전자 수송층(ETL: Electron Transport Layer) 및/또는 전자 주입층(EIL: Electron Injection Layer)을 포함할 수 있다. 제1기능층 및 제2기능층은 표시영역(DA)에 포함된 복수의 유기발광다이오드(OLED)들에 대응되도록 일체로 형성될 수 있다. 제1기능층 또는 제2기능층은 필요 또는 경우에 따라 생략될 수 있다. 도 23에는 제1회로영역(PCA1)에 배치된 화소회로에 전기적으로 연결되는 유기발광다이오드(OLED)의 발광층(313a), 제2회로영역(PCA2)에 배치된 화소회로에 전기적으로 연결되는 유기발광다이오드(OLED)의 발광층(313b), 제3회로영역(PCA3)에 배치된 화소회로에 전기적으로 연결되는 유기발광다이오드(OLED)의 발광층(313c)이 도시되어 있다.
- [206] 도 24는 제1화소(PX1), 제2화소(PX2) 및 제3화소(PX3) 각각의 화소전극(311) 및 발광영역(EA)을 나타낸다. 발광영역(EA)은 유기발광다이오드(OLED)의 발광층(313)이 배치되는 영역이다. 발광영역(EA)은 제9절연층(119)의 개구(119OP)에 의해서 정의될 수 있다. 발광층(313)이 화소전극(311) 상에 배치되므로, 도 24에 도시된 발광영역(EA)의 배열은 화소전극의 배열 또는 화소의 배열을 나타낼 수 있다.
- [207] 발광영역(EA)은 사각형, 팔각형 등의 다각형, 원형, 타원형 등의 형태를 가질 수 있다. 다각형은 코너(꼭지점)가 라운드된 형태도 포함할 수 있다.

- [208] 도 24에 도시된 바와 같이, 제1화소(PX1)의 발광영역(EA)과 제2화소(PX2)의 발광영역(EA)은 y 방향으로 인접하게 배치될 수 있다. 제3화소(PX3)의 발광영역(EA)은 제1화소(PX1)의 발광영역(EA)과 제2화소(PX2)의 발광영역(EA)에 x 방향으로 인접하게 배치될 수 있다. 이에 따라 제1화소(PX2)의 발광영역(EA)과 제2화소(PX2)의 발광영역(EA)은 가상의 직선(ISL1)을 따라 y 방향으로 서로 교대로 배치되고, 제3화소(PX3)의 발광영역(EA)이 가상의 직선(ISL2)을 따라 y 방향을 따라 반복 배치될 수 있다.
- [209] 제1화소(PX1)의 발광영역(EA), 제2화소(PX2)의 발광영역(EA), 제3화소(PX3)의 발광영역(EA)의 x 방향의 길이와 y 방향의 길이는 서로 동일 또는 실질적으로 동일하거나 서로 상이할 수 있다. 예를 들어, 제1화소(PX1)의 발광영역(EA)은 정사각 형상이고, 제2화소(PX2)의 발광영역(EA)과 제3화소(PX3)의 발광영역(EA)은 y 방향으로 연장되는 장변을 갖는 직사각 형상일 수 있다. 제3화소(PX3)의 발광영역(EA)의 y 방향의 길이는 제1화소(PX1)의 발광영역(EA)의 y 방향의 길이와 제2화소(PX2)의 발광영역(EA)의 y 방향의 길이를 합한 것과 같거나 클 수 있다.
- [210] 제1화소(PX1)의 제1발광영역(EA), 제2화소(PX2)의 제2발광영역(EA), 제3화소(PX3)의 제3발광영역(EA)은 서로 다른 면적(예를 들어, 크기)을 가질 수 있다. 일 실시예에서, 제3화소(PX3)의 발광영역(EA)은 제1화소(PX1)의 발광영역(EA)보다 큰 면적을 가질 수 있다. 제3화소(PX3)의 발광영역(EA)은 제2화소(PX2)의 발광영역(EA)보다 큰 면적을 가질 수 있다. 제2화소(PX2)의 발광영역(EA)은 제1화소(PX1)의 발광영역(EA)보다 큰 면적을 가질 수 있다.
- [211] 대향전극(315)은 표시영역(DA)에 포함된 복수의 유기발광다이오드(OLED)들에 대응되도록 일체로 형성될 수 있다.
- [212] 도 26은 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다. 도 27은 표시영역의 가장자리에서의 도전층들을 개략적으로 나타낸 도면이다. 도 28은 도 27의 X-X'를 따라 절취한 단면도이다. 도 27은 도 6a의 A 부분의 확대도이다.
- [213] 도 26 내지 도 28에서 도 10 내지 도 25를 참조하여 전술한 구성요소들과 동일한 또는 실질적으로 동일한 구성요소들에 대해 동일한 참조 부호들을 사용하며, 이에 대해 중복되는 설명은 반복되지 않을 수 있다. 도 26에서 도 10 내지 도 25를 참조하여 전술한 구성요소들과 동일한 또는 실질적으로 동일한 일부 구성요소들에 대한 참조 부호들은 생략될 수 있다. 도 26 및 도 27에 도시된 표시장치는 도 10 내지 도 25를 참조하여 전술한 표시장치에서 제1도전층(210)이 생략된 점을 제외하면, 도 20 및 도 21을 참조하여 전술한 표시장치와 동일 또는 실질적으로 동일(또는 유사)할 수 있다. 이하, 도 10 내지 도 25를 참조하여 전술한 실시예와의 차이점을 중심으로 설명한다.
- [214] 도 26 및 도 28에 도시된 바와 같이, 표시영역(DA)에 반도체 패턴(CP)이 x 방향으로 연장되며 행마다 배치될 수 있다. 구동전압선(PL)의 메인선(PLm)이 x 방향으로 연장되며 반도체 패턴(CP)에 중첩하게 행마다 배치될 수 있다. 도 27 및 도

28에 도시된 바와 같이, 표시영역(DA)의 가장자리에 배치된 첫번째 열의 화소 및 마지막 열의 화소 주변에서, 반도체 패턴(CP)의 단부, 구동전압선(PL)의 메인선(PLm)의 단부 및 수직 구동전압선(PLv)의 돌출부(PLvp)가 z 방향으로 차례로 중첩하게 배치되고, 연결전극(269)을 통해 상호 전기적으로 연결될 수 있다.

- [215] 수직 구동전압선(PLv)의 돌출부(PLvp)는 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(81)을 통해 연결전극(269)에 전기적으로 연결될 수 있다. 연결전극(269)은 제3 내지 제6절연층들(113, 114, 115, 116)을 지나는(예를 들어, 관통하는) 컨택홀(82)을 통해 구동전압선(PL)의 메인선(PLm)의 단부에 전기적으로 연결될 수 있다. 연결전극(269)은 제2 내지 제6절연층들(112, 113, 114, 115, 116)을 지나는(예를 들어, 관통하는) 컨택홀(83)을 통해 반도체 패턴(CP)의 단부에 전기적으로 연결될 수 있다.
- [216] 반도체 패턴(CP) 및 구동전압선(PL)의 메인선(PLm)은 각각 도 4a 내지 도 4c에 도시된 행마다 구비되는 3단자 실리콘 박막트랜지스터(TRs)의 반도체층(예를 들어, 반도체 패턴(CP)) 및 게이트전극(예를 들어, 도전층(DCL))에 대응할 수 있다. 수직 구동전압선(PLv)은 도 4a 내지 도 4c를 참조하여 전술된 구동전압(ELVDD)을 공급받는 신호선(SCL)에 대응할 수 있다.
- [217] 본 발명의 실시예에서 반도체 패턴(CP) 및 반도체 패턴(CP)을 포함하는 3단자 실리콘 박막트랜지스터(TRs)는 화소회로(PCa)의 일부와 중첩하며 행마다 구비될 수 있다. 도 26에 도시된 바와 같이, 3단자 실리콘 박막트랜지스터(TRs)는 화소회로(PCa)의 제1트랜지스터(T1), 제1커패시터(C1) 및 제2커패시터(C2)에 중첩되게 배치될 수 있다.
- [218] 도 29는 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다. 도 30 내지 도 36은 도 29a에 도시된 화소회로의 소자들을 층별로 개략적으로 도시하는 도면들이다. 도 37은 도 29의 일부 구성만 발췌하여 도시한 배치도이다. 도 38은 도 29의 XI-XI'를 따라 절취한 단면도이다. 도 38은 제2회로영역(PCA2)에 배치된 소자들의 일부에 대한 단면도이다.
- [219] 도 29 내지 도 38에서 도 10 내지 도 25를 참조하여 전술한 구성요소들과 동일한 또는 실질적으로 동일한 구성요소들에 대해 동일한 참조 부호들을 사용하며, 따라서 이에 대해 중복되는 설명은 반복되지 않을 수 있다. 도 29에서 도 10 내지 도 25를 참조하여 전술한 구성요소들과 동일한 또는 실질적으로 동일한 일부 구성요소들에 대한 참조 부호들은 생략될 수 있다. 도 29에 도시된 표시장치는 도 20을 참조하여 전술한 표시장치에서 제1도전층(210)이 생략되고, 반도체 패턴(CP) 및 구동전압선(PL)이 변경된 점을 제외하면, 나머지 구성요소들은 도 20을 참조하여 설명된 표시장치의 구성요소들과 동일 또는 실질적으로 동일(또는 유사)할 수 있다. 이하, 도 10 내지 도 25를 참조하여 전술한 실시예와의 차이점을 중심으로 설명한다.
- [220] 기판(100) 상에 제1절연층(111)이 배치되고, 제1절연층(111) 상에, 도 30에 도시된 바와 같이 실리콘 반도체를 포함하는 반도체 패턴(CP)이 배치될 수 있다. 반도체

체 패턴(CP)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 반도체 패턴(CP)은 도 5a 및 도 5b를 참조하여 전술된 반도체 패턴(CP)에 대응할 수 있다. 반도체 패턴(CP)은 회로영역마다 -y 방향으로 돌출된 돌출부(CPp)를 포함할 수 있다.

- [221] 제1절연층(111) 상에 반도체 패턴(CP)을 덮으며 제2절연층(112)이 배치되고, 제2절연층(112) 상에 제2도전층이 배치될 수 있다. 도 31에 도시된 바와 같이, 제2도전층은 제1전극층(220), 구동전압선(PL) 및 제2-2초기화전압선(VL22)을 포함할 수 있다.
- [222] 구동전압선(PL) 및 제2-2초기화전압선(VL22)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 구동전압선(PL)은 도 31의 B 부분에 도시된 바와 같이 x 방향으로 적절한 간격(예를 들어, 소정 또는 기설정된 간격)으로 서로 이격된(예를 들어, 분리된) 복수의 서브선들을 포함할 수 있다. 일 실시예에서, 구동전압선(PL)은 제2회로영역(PCA2)과 제3회로영역(PCA3) 사이에서 분리되고, 제2회로영역(PCA2)과 제3회로영역(PCA3) 사이에 B 부분이 위치할 수 있다. 구동전압선(PL)의 각 서브선은 x 방향으로 연장된 메인선(PLm)과 메인선(PLm)으로부터 -y 방향으로 돌출된 돌출부(PLc)를 포함할 수 있다. 돌출부(PLc)는 각 회로영역에 배치될 수 있다. 복수의 서브선들은 도 5a 및 도 5b를 참조하여 전술된 복수의 도전전극(DCE)들에 대응할 수 있다. 제1전극층(220)은 아일랜드 형상으로 구비될 수 있다.
- [223] 제2절연층(112) 상에 제2도전층을 덮으며 제3절연층(113)이 배치되고, 제3절연층(113) 상에 제3도전층이 배치될 수 있다. 도 32에 도시된 바와 같이, 제3도전층은 제2전극층(230), 기준전압선(VRL) 및 제1초기화전압선(VL1)을 포함할 수 있다. 제3도전층은 리페어선(RL)을 더 포함할 수 있다.
- [224] 제3절연층(113) 상에 제3도전층을 덮으며 제4절연층(114)이 배치되고, 제4절연층(114) 상에, 도 33에 도시된 바와 같이 산화물 반도체를 포함하는 반도체층(OACT)이 배치될 수 있다. 반도체층(OACT)은 제1반도체층(OACT1), 제2반도체층(OACT2), 제3반도체층(OACT3) 및 제4반도체층(OACT4)을 포함할 수 있다.
- [225] 제4절연층(114) 상에 반도체층(OACT)을 덮으며 제5절연층(115)이 배치되고, 제5절연층(115) 상에 제4도전층이 배치될 수 있다. 도 34 및 도 16에 도시된 바와 같이, 제4도전층은 제3전극층(240), 제4전극층(250), 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL) 및 제2-1초기화전압선(VL21)을 포함할 수 있다. 제3전극층(240), 제4전극층(250), 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL)의 일부는 제1 내지 제7트랜지스터들(T1 내지 T7)의 게이트전극들(G1 내지 G7)을 포함할 수 있다.
- [226] 제5절연층(115) 상에 제4도전층을 덮으며 제6절연층(116)이 배치되고, 제6절연층(116) 상에 제5도전층이 배치될 수 있다. 도 35에 도시된 바와 같이, 제5도전층

은 데이터선(DL) 및 연결전극들(260, 261, 262, 263, 264, 265, 266, 267a, 267b, 268)을 포함할 수 있다.

- [227] 제6절연층(116) 상부에 제5도전층을 덮으며 제7절연층(117)이 배치되고, 제7절연층(117) 상부에 제6도전층이 배치될 수 있다. 도 36에 도시된 바와 같이, 제6도전층은 복수의 수직 도전선들 및 연결전극(270)을 포함할 수 있다. 복수의 수직 도전선들은 도 18a 내지 도 18d에 도시된 바와 같이, 수직 구동전압선(PLv), 수직 초기화전압선들, 공통전압선(EOL) 및 수직 기준전압선(VRLv)을 포함할 수 있다. 수직 초기화전압선들은 제1수직 초기화전압선(VL1v), 제2-1수직 초기화전압선(VL21v), 제2-2수직 초기화전압선(VL22v)을 포함할 수 있다. 도 36은 수직 구동전압선(PLv), 제2-1수직 초기화전압선(VL21v) 및 공통전압선(EOL)을 도시하고 있다.
- [228] 제7절연층(117) 상부에 제6도전층을 덮으며 제8절연층(118)이 배치되고, 제8절연층(118) 상에 표시요소로서 유기발광다이오드(OLED)가 배치될 수 있다.
- [229] 도 37 및 도 38에 도시된 바와 같이, 연결전극(264)은 제2절연층(112), 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(52)을 통해 반도체 패턴(CP)의 돌출부(CPp)에 전기적으로 연결될 수 있다. 연결전극(264)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(53)을 통해 제1반도체층(OACT1)의 일부인 제5트랜지스터(T5)의 드레인영역(D5)에 전기적으로 연결될 수 있다. 연결전극(264)은 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(54)을 통해 구동전압선(PL)의 돌출부(PLc)에 전기적으로 연결될 수 있다. 수직 구동전압선(PLv)의 돌출부(PLvp)가 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(62)을 통해 제3회로영역(PCA3)의 연결전극(264)에 전기적으로 연결될 수 있다. 도 27에 도시된 바와 같이, 표시영역(DA)의 가장 자리에 배치된 첫번째 열의 화소 및 마지막 열의 화소의 주변에서, 반도체 패턴(CP)의 단부와 수직 구동전압선(PLv)의 돌출부(PLvp)가 전기적으로 연결될 수 있다. 이에 따라 반도체 패턴(CP) 및 구동전압선(PL)의 복수의 서브선들이 구동전압(ELVDD)을 공급받을 수 있다.
- [230] 본 발명의 실시예에서, 반도체 패턴(CP) 및 구동전압선(PL)의 서브선은 각각 도 5a 내지 도 5c를 참조하여 전술된 바와 같이 행마다 구비되는 복수의 직렬 연결된 실리콘 박막트랜지스터(TRs)들 각각의 반도체층(예를 들어, 반도체 패턴(CP)) 및 게이트전극(예를 들어, 도전전극(DCE))에 대응할 수 있다. 수직 구동전압선(PLv)은 도 5a 내지 도 5c를 참조하여 전술된 바와 같이 구동전압(ELVDD)을 공급받는 신호선(SCL)에 대응할 수 있다. 도 37의 구동전압선(PL)의 서브선들 사이의 B 부분들이 도 5b 및 도 5c를 참조하여 전술된 바와 같이 노드(N)에 대응할 수 있다.
- [231] 도 39는 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다. 도 40은 도 39의 XII-XII'를 따라 절취한 단면도이다.

- [232] 도 39에서 도 10 내지 도 25를 참조하여 전술된 구성요소들과 동일한 또는 실질적으로 동일한 구성요소들에 대해 동일한 참조 부호들을 사용하며, 따라서 이에 대해 중복되는 설명은 반복되지 않을 수 있다. 도 39에서 도 10 내지 도 25를 참조하여 전술된 구성요소들과 동일한 또는 실질적으로 동일한 일부 구성요소들에 대한 참조 부호들은 생략될 수 있다. 도 39에 도시된 표시장치는 도 20을 참조하여 전술된 표시장치에서 제1도전층(210)이 생략되고, 영역 C 내의 구성요소들이 추가된 점을 제외하면, 나머지 구성요소들은 도 20을 참조하여 전술된 표시장치의 구성요소들과 동일 또는 실질적으로 동일(또는 유사)할 수 있다. 이하, 도 10 내지 도 25를 참조하여 전술된 실시예와의 차이점을 중심으로 설명한다.
- [233] 일 실시예에서, 표시영역(DA)의 인접하는 행들 사이에 추가 반도체 패턴인 제2반도체 패턴(CP2)이 더 구비될 수 있다. 예를 들어, 도 39에 도시된 바와 같이, 임의의 행의 제2-1초기화전압선(VL21)과 다음 행의 제1게이트선(GWL) 사이의 C 영역에 제2반도체 패턴(CP2)이 배치될 수 있다.
- [234] C 영역에는 복수의 제2반도체 패턴(CP2)들, 한 쌍의 제1신호선(SCL1)과 제2신호선(SCL2) 및 도전층(DCL)이 배치될 수 있다.
- [235] 복수의 제2반도체 패턴(CP2)들은 기판(100) 상에 x 방향으로 이격 배치될 수 있다. 제2절연층(112) 상에 복수의 제2반도체 패턴(CP2)들을 가로지르며 x 방향으로 연장된 도전층(DCL)이 배치될 수 있다. 도전층(DCL)은 복수의 제2반도체 패턴(CP2)들 상부에 제2반도체 패턴(CP2)들에 중첩하게 배치될 수 있다. 제3절연층(113) 상에 한 쌍의 제1신호선(SCL1)과 제2신호선(SCL2)이 x 방향으로 연장되며 배치될 수 있다. 제1신호선(SCL1)은 복수의 제2반도체 패턴(CP2)들의 일단들에 중첩할 수 있다. 제2신호선(SCL2)은 복수의 제2반도체 패턴(CP2)들의 타단들에 중첩할 수 있다. 제6절연층(116) 상에 연결전극들(281, 282)이 배치될 수 있다.
- [236] 도 40에 도시된 바와 같이, 연결전극(281)은 제2절연층(112), 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(61)을 통해 제2반도체 패턴(CP2)의 일단에 전기적으로 연결될 수 있다. 연결전극(281)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(62)을 통해 제1신호선(SCL1)에 전기적으로 연결될 수 있다.
- [237] 연결전극(282)은 제2절연층(112), 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(64)을 통해 제2반도체 패턴(CP2)의 타단에 전기적으로 연결될 수 있다. 연결전극(282)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(63)을 통해 제2신호선(SCL2)에 전기적으로 연결될 수 있다.
- [238] 제2반도체 패턴(CP2)은 회로영역에 반도체 패턴(CP)이 형성될 때 반도체 패턴(CP)과 동일 물질로 일시에 또는 실질적으로 동시에 형성될 수 있다. 도전층(DCL)은 회로영역에 제2도전층이 형성될 때 제2도전층과 동일 물질로 일시에 또는 실질적으로 동시에 형성될 수 있다. 제1신호선(SCL1)과 제2신호선(SCL2)은

회로영역에 제3도전층이 형성될 때 제3도전층과 동일 물질로 일시에 또는 실질적으로 동시에 형성될 수 있다. 연결전극들(281, 282)은 회로영역에 제5도전층이 형성될 때 제5도전층과 동일 물질로 일시에 또는 실질적으로 동시에 형성될 수 있다.

- [239] 도전층(DCL)의 양단들(예를 들어, 대향하는 일단들)은 제1게이트구동회로(DRV1) 및 제2게이트구동회로(DRV2)에 연결되어, 제1게이트구동회로(DRV1) 및 제2게이트구동회로(DRV2)로부터 게이트신호(GS)를 공급받을 수 있다. 게이트신호(GS)는 화소회로에 공급되는 게이트신호들과 동일 또는 실질적으로 동일 또는 상이한 신호일 수 있다.
- [240] 제1신호선(SCL1)과 제2신호선(SCL2)은 표시영역(DA)의 가장자리에서 수직 구동전압선(PLV)과 전기적으로 연결되거나, 주변영역(PA)의 구동전압 공급선(11)에 전기적으로 연결될 수 있다. 이에 따라 제2반도체 패턴(CP2)들은 구동전압(ELVDD)을 공급받을 수 있다.
- [241] 제2반도체 패턴(CP2) 및 도전층(DCL)은 도 7a 내지 도 7c를 참조하여 설명된 행마다 구비되는 복수의 병렬연결된 실리콘 박막트랜지스터(TRds)들 각각의 반도체층(예를 들어, 반도체 패턴(CP)) 및 게이트전극(예를 들어, 도전층(DCL))에 대응할 수 있다. 수직 구동전압선(PLV)은 도 7a 내지 도 7c를 참조하여 설명된 구동전압(ELVDD)을 공급받는 신호선(SCL)에 대응할 수 있다.
- [242] 본 발명의 실시예에서 표시장치(1)는 회로영역에 배치된 미작동 실리콘 박막트랜지스터(TRs)의 일 구성요소로서 반도체 패턴(CP) 및 회로영역의 주변에 배치된 작동 실리콘 박막트랜지스터(TRds)의 일 구성요소로서 제2반도체 패턴(CP2)을 표시영역(DA)에 구비할 수 있다.
- [243] 도 39에 도시된 표시장치(1)는 도 25에 도시된 화소회로에 C 영역이 추가된 구조이나, 본 개시는 이에 한정되지 않는다. 예를 들어, 표시장치(1)는 도 20 또는 도 29에 도시된 화소회로에 C 영역이 추가되거나, 회로영역에서 반도체 패턴(CP)이 생략되어 미작동 실리콘 박막트랜지스터(TRs)가 형성되지 않고, C 영역에만 제2반도체 패턴(CP2)을 일 구성요소로 포함하는 작동 실리콘 박막트랜지스터(TRds)가 형성될 수도 있다.
- [244] 도 41은 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다. 도 42 및 도 43은 도 41에 도시된 화소회로의 일부 소자들을 개략적으로 도시하는 도면들이다. 도 44는 도 41의 일부 구성을 발췌하여 도시한 배치도이다. 도 45는 도 41의 XIII-XIII'를 따라 절취한 단면도이다. 도 45는 제3회로영역(PCA3)에 배치된 소자들의 일부에 대한 단면도이다.
- [245] 도 41에서 도 10 내지 도 25를 참조하여 전술된 구성요소들과 동일한 또는 실질적으로 동일한 구성요소들에 대해 동일한 참조 부호들을 사용하며, 따라서, 이에 대해 중복되는 설명은 반복되지 않을 수 있다. 도 41에서 도 10 내지 도 25를 참조하여 전술된 구성요소들과 동일한 또는 실질적으로 동일한 일부 구성요소들에 대한 참조 부호들은 생략될 수 있다. 도 41에 도시된 표시장치는 도 20을 참조하

여 전술된 표시장치에서 제1도전층(210)이 생략되고, 일부 구성요소들이 변경된 점을 제외하면, 나머지 구성요소들은 도 20을 참조하여 전술된 표시장치의 구성요소들과 동일 또는 실질적으로 동일(또는 유사)할 수 있다. 이하, 도 10 내지 도 25를 참조하여 전술된 실시예와의 차이점을 중심으로 설명한다.

- [246] 기판(100) 상에 제1절연층(111)이 배치되고, 제1절연층(111) 상에, 도 42에 도시된 바와 같이 실리콘 반도체를 포함하는 반도체 패턴(CP)이 배치될 수 있다. 반도체 패턴(CP)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 반도체 패턴(CP)은 회로영역마다 +y 방향으로 돌출된 돌출부(CPpa)와 -y 방향으로 돌출된 돌출부(CPpb)를 포함할 수 있다.
- [247] 제1절연층(111) 상에 반도체 패턴(CP)을 덮으며 제2절연층(112)이 배치되고, 제2절연층(112) 상에 제2도전층이 배치될 수 있다. 도 43에 도시된 바와 같이, 제2도전층은 제1전극층(220), 제5전극층(225) 및 제2-2초기화전압선(VL22)을 포함할 수 있다.
- [248] 제1전극층(220)과 제5전극층(225)은 각각 아일랜드 형상으로 구비될 수 있다. 제2-2초기화전압선(VL22)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 제5전극층(225)은 본체로부터 -y 방향으로 돌출된 돌출부(225p)를 포함할 수 있다. 돌출부(225p)는 각 회로영역에 배치될 수 있다.
- [249] 제2절연층(112) 상에 제2도전층을 덮으며 제3절연층(113)이 배치되고, 제3절연층(113) 상에 제3도전층이 배치될 수 있다. 도 13에 도시된 바와 같이, 제3도전층은 제2전극층(230), 기준전압선(VRL) 및 제1초기화전압선(VL1)을 포함할 수 있다. 제3도전층은 리페어선(RL)을 더 포함할 수 있다.
- [250] 제3절연층(113) 상에 제3도전층을 덮으며 제4절연층(114)이 배치되고, 제4절연층(114) 상에, 도 14에 도시된 바와 같이 산화물 반도체를 포함하는 반도체층(OACT)이 배치될 수 있다. 반도체층(OACT)은 제1반도체층(OACT1), 제2반도체층(OACT2), 제3반도체층(OACT3) 및 제4반도체층(OACT4)을 포함할 수 있다.
- [251] 제4절연층(114) 상에 반도체층(OACT)을 덮으며 제5절연층(115)이 배치되고, 제5절연층(115) 상에 제4도전층이 배치될 수 있다. 도 15 및 도 16에 도시된 바와 같이, 제4도전층은 제3전극층(240), 제4전극층(250), 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL) 및 제2-1초기화전압선(VL21)을 포함할 수 있다. 제3전극층(240), 제4전극층(250), 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL)의 일부는 제1 내지 제7트랜지스터들(T1 내지 T7)의 게이트전극들(G1 내지 G7)을 포함할 수 있다.
- [252] 제5절연층(115) 상에 제4도전층을 덮으며 제6절연층(116)이 배치되고, 제6절연층(116) 상에 제5도전층이 배치될 수 있다. 도 17에 도시된 바와 같이, 제5도전층

은 데이터선(DL) 및 연결전극들(260, 261, 262, 263, 264, 265, 266, 267a, 267b, 268)을 포함할 수 있다.

- [253] 제6절연층(116) 상부에 제5도전층을 덮으며 제7절연층(117)이 배치되고, 제7절연층(117) 상부에 제6도전층이 배치될 수 있다. 도 18a 내지 도 18d에 도시된 바와 같이, 제6도전층은 복수의 수직 도전선들 및 연결전극(270)을 포함할 수 있다.
- [254] 제7절연층(117) 상부에 제6도전층을 덮으며 제8절연층(118)이 배치되고, 제8절연층(118) 상에 표시요소로서 유기발광다이오드(OLED)가 배치될 수 있다. 복수의 수직 도전선들은 도 18a 내지 도 18d에 도시된 바와 같이, 수직 구동전압선(PLv), 수직 초기화전압선들, 공통전압선(EOL) 및 수직 기준전압선(VRLv)을 포함할 수 있다. 수직 초기화전압선들은 제1수직 초기화전압선(VL1v), 제2-1수직 초기화전압선(VL21v), 제2-2수직 초기화전압선(VL22v)을 포함할 수 있다.
- [255] 도 44 및 도 45에 도시된 바와 같이, 연결전극(264)은 제2절연층(112), 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(52)을 통해 반도체 패턴(CP)의 돌출부(CPpb)에 전기적으로 연결될 수 있다. 연결전극(264)은 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(53)을 통해 제1반도체층(OACT1)의 일부인 제5트랜지스터(T5)의 드레인영역(D5)에 전기적으로 연결될 수 있다. 연결전극(264)은 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(54)을 통해 제5전극층(225)의 돌출부(225p)에 전기적으로 연결될 수 있다. 수직 구동전압선(PLv)의 돌출부(PLvp)는 제7절연층(117)을 지나는(예를 들어, 관통하는) 컨택홀(62)을 통해 제3회로영역(PCA3)의 연결전극(264)에 전기적으로 연결될 수 있다.
- [256] 도 21 및 도 27에 도시된 바와 같이, 표시영역(DA)의 가장자리에 배치된 첫번째 열의 화소 및 마지막 열의 화소의 주변에서, 반도체 패턴(CP)의 단부와 수직 구동전압선(PLv)의 돌출부(PLvp)가 전기적으로 연결될 수 있다. 이에 따라 반도체 패턴(CP)은 수직 구동전압선(PLv)과 함께 표시영역(DA)에서 구동전압(ELVDD)을 공급하는 메쉬 구조의 수평배선으로 기능할 수 있다.
- [257] 본 발명의 실시예는 반도체 패턴(CP)이 표시영역(DA)에서 화소회로(PCa)에 구동전압(ELVDD)을 공급하는 정전압선으로 구현된 예이다.
- [258] 도 46은 일 실시예에 따른 도 9a에 도시된 화소의 트랜지스터들 및 커패시터들 등을 개략적으로 나타낸 도면이다. 도 47 및 도 48은 도 46에 도시된 화소회로의 일부 소자들을 개략적으로 도시하는 도면들이다.
- [259] 도 46에서 도 10 내지 도 25를 참조하여 전술된 구성요소들과 동일한 또는 실질적으로 동일한 구성요소들에 대해 동일한 참조 부호들을 사용하며, 따라서 이에 대해 중복되는 설명은 반복되지 않을 수 있다. 도 46에서 도 10 내지 도 25를 참조하여 전술된 구성요소들과 동일한 또는 실질적으로 동일한 일부 구성요소들에 대한 참조 부호들은 생략될 수 있다. 도 46에 도시된 표시장치는 도 20을 참조하여 전술된 표시장치에서 제1도전층(210)이 생략되고, 일부 구성요소들이 변경된

점을 제외하면, 나머지 구성요소들은 도 20을 참조하여 전술된 표시장치의 구성요소들과 동일 또는 실질적으로 동일(또는 유사)할 수 있다. 이하, 도 10 내지 도 25를 참조하여 전술된 실시예와의 차이점을 중심으로 설명한다.

- [260] 기판(100) 상에 제1절연층(111)이 배치되고, 제1절연층(111) 상에, 도 47에 도시된 바와 같이 실리콘 반도체를 포함하는 반도체 패턴(CP)이 배치될 수 있다. 반도체 패턴(CP)은 제1반도체 패턴(CP1) 및 제2반도체 패턴(CP2)을 포함할 수 있다. 제1반도체 패턴(CP1)은 x 방향으로 연장되고, 제1회로영역(PCA1), 제2회로영역(PCA2) 및 제3회로영역(PCA3)을 가로지르며 배치될 수 있다. 제2반도체 패턴(CP2)은 회로영역마다 아일랜드 형상으로 구비될 수 있다.
- [261] 제1절연층(111) 상에 반도체 패턴(CP)을 덮으며 제2절연층(112)이 배치되고, 제2절연층(112) 상에 제2도전층이 배치될 수 있다. 도 12에 도시된 바와 같이, 제2도전층은 제1전극층(220), 구동전압선(PL) 및 제2-2초기화전압선(VL22)을 포함할 수 있다.
- [262] 제2절연층(112) 상에 제2도전층을 덮으며 제3절연층(113)이 배치되고, 제3절연층(113) 상에 제3도전층이 배치될 수 있다. 도 13에 도시된 바와 같이, 제3도전층은 제2전극층(230), 기준전압선(VRL) 및 제1초기화전압선(VL1)을 포함할 수 있다. 제3도전층은 리페어선(RL)을 더 포함할 수 있다.
- [263] 제3절연층(113) 상에 제3도전층을 덮으며 제4절연층(114)이 배치되고, 제4절연층(114) 상에, 도 14에 도시된 바와 같이 산화물 반도체를 포함하는 반도체층(OACT)이 배치될 수 있다.
- [264] 제4절연층(114) 상에 반도체층(OACT)을 덮으며 제5절연층(115)이 배치되고, 제5절연층(115) 상에 제4도전층이 배치될 수 있다. 도 15 및 도 16에 도시된 바와 같이, 제4도전층은 제3전극층(240), 제4전극층(250), 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL) 및 제2-1초기화전압선(VL21)을 포함할 수 있다. 제3전극층(240), 제4전극층(250), 제1게이트선(GWL), 제2게이트선(GIL), 제3게이트선(GRL), 제4게이트선(EML), 제5게이트선(EMBL)의 일부는 제1 내지 제7트랜지스터들(T1 내지 T7)의 게이트전극들(G1 내지 G7)을 포함할 수 있다.
- [265] 제5절연층(115) 상에 제4도전층을 덮으며 제6절연층(116)이 배치되고, 제6절연층(116) 상에 제5도전층이 배치될 수 있다. 도 48에 도시된 바와 같이, 제5도전층은 데이터선(DL) 및 연결전극들(260, 261, 262, 263, 264, 265, 266, 267a, 267b, 268, 290)을 포함할 수 있다.
- [266] 연결전극(260)의 제1영역(260a)은 제5절연층(115)과 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(31)을 통해 제1트랜지스터(T1)의 소스영역(S1)에 전기적으로 연결될 수 있다. 연결전극(260)의 제1영역(260a)은 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택홀(32)을 통해 제2전극층(230)에 전기적으로 연결될 수 있다. 연결전극(260)의 제2영역(260b)은 제5절연층(115)과 제6절연층(116)을 지나는(예를 들어, 관통하는) 컨택

홀(71)을 통해 제6트랜지스터(T6)의 드레인영역(D6)에 전기적으로 연결될 수 있다. 연결전극(260)의 제2영역(260b)은 제2절연층(112), 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(72)을 통해 제2반도체 패턴(CP2)의 일단에 전기적으로 연결될 수 있다.

[267] 연결전극(290)은 제5절연층(115)과 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(74)을 통해 제4트랜지스터(T4)의 드레인영역(D4)에 전기적으로 연결될 수 있다. 연결전극(290)은 제2절연층(112), 제3절연층(113), 제4절연층(114), 제5절연층(115) 및 제6절연층(116)을 지나는(예를 들어, 관통하는) 콘택홀(73)을 통해 제2반도체 패턴(CP2)의 타단에 전기적으로 연결될 수 있다.

[268] 제6절연층(116) 상부에 제5도전층을 덮으며 제7절연층(117)이 배치되고, 제7절연층(117) 상부에 제6도전층이 배치될 수 있다. 도 18a 내지 도 18d에 도시된 바와 같이, 제6도전층은 복수의 수직 도전선들 및 연결전극(270)을 포함할 수 있다.

[269] 제7절연층(117) 상부에 제6도전층을 덮으며 제8절연층(118)이 배치되고, 제8절연층(118) 상에 표시요소로서 유기발광다이오드(OLED)가 배치될 수 있다.

[270] 본 발명의 실시예에서 표시장치(1)는 회로영역에 배치된 미작동 실리콘 박막트랜지스터(TRs)의 일 구성요소로서 제1반도체 패턴(CP1) 및 화소회로(PCa) 내에서 노드들을 연결하는 연결전극으로서 제2반도체 패턴(CP2)을 표시영역(DA)에 구비할 수 있다.

[271] 도 46에 도시된 표시장치(1)는 도 26에 도시된 화소회로에 제2반도체 패턴(CP2)이 추가된 구조이나, 본 개시는 이에 한정되지 않는다. 예를 들어, 표시장치(1)는 도 20 또는 도 29를 참조하여 전술된 화소회로에 제2반도체 패턴(CP2)이 추가되거나, 회로영역에서 제1반도체 패턴(CP1)이 생략되어 미작동 실리콘 박막트랜지스터(TRs)가 형성되지 않고, 제2반도체 패턴(CP2)만을 포함할 수도 있다.

[272] 도 10 내지 도 48은 도 9a에 도시된 바와 같이 화소회로가 N형의 산화물 트랜지스터인 예에 대응하여 설명하였으나, 도 9b에 도시된 바와 같이 화소회로가 N형의 산화물 트랜지스터와 P형의 실리콘 트랜지스터를 포함하는 경우에도 도 10 내지 도 48에 도시된 바와 같은 반도체 패턴이 표시영역에 적용될 수 있다. 예를 들어, 반도체 패턴은 화소회로 및/또는 외곽회로의 실리콘 트랜지스터를 형성하는 공정 시에 표시영역에 형성될 수 있다. 반도체 패턴은 트랜지스터 및/또는 도전선으로 기능하도록 구현될 수 있다.

[273] 주변영역(PA)과 표시영역(DA) 간의 LTPS(Low Temperature Poly-Silicon) 밀도차가 나타나게 되면 패턴 CD(Critical Dimension) 산포가 발생할 수 있다. 본 발명의 실시예들은 실리콘 박막트랜지스터를 형성할 때 표시영역(DA)에 실리콘을 포함하는 반도체 패턴(CP)을 형성함으로써 주변영역(PA)과 표시영역(DA) 간의 패턴 CD 산포를 최소화 또는 감소시킬 수 있다.

[274] 전술된 본 발명의 실시예들에 따르면, 표시 품질을 향상시킨 표시장치가 제공될 수 있다. 그러나 본 개시는 이에 한정되는 것은 아니다.

- [275] 전술한 내용은 본 개시 내용의 일부 실시예를 예시한 것이며, 이를 제한하는 것으로 해석되어서는 안 된다. 일부 실시예가 설명되었지만, 당업자는 본 개시의 사상 및 범위를 벗어나지 않고 실시예에서 다양한 변형이 가능하다는 것을 쉽게 이해할 것이다. 달리 설명되지 않는 한, 각각의 실시예 내의 특징 또는 관점에 대한 설명은 일반적으로 다른 실시예의 다른 유사한 특징 또는 관점에 대해 이용 가능한 것으로 간주되어야 한다는 것이 이해될 것이다. 따라서, 당업자에게 명백한 바와 같이, 달리 구체적으로 명시하지 않는 한 특정 실시예와 관련하여 설명된 특징, 특성 및/또는 구성요소는 단독으로 또는 이와 관련하여 설명된 특징, 특성 및/또는 요소와 조합하여 사용될 수 있다. 그러므로, 전술한 내용은 다양한 예시적인 실시예를 예시한 것이며 본 명세서에 개시된 특정 실시예에 제한되는 것으로 해석되어서는 안 되며, 개시된 실시예뿐만 아니라 다른 예시적인 실시예에 대한 다양한 수정이 의도된 것으로 이해되어야 한다. 첨부된 청구범위 및 그 등가물에 정의된 바와 같이 본 개시의 사상 및 범위 내에 포함된다.

청구범위

- [청구항 1] 표시영역 및 주변영역을 포함하는 표시장치에 있어서,
상기 주변영역에 배치되고, 실리콘 반도체층을 포함하는 제1박막트랜지스터;
상기 표시영역에 배치되고, 상기 실리콘 반도체층의 상부층에 배치된 산화물 반도체층을 포함하는 제2박막트랜지스터; 및
상기 표시영역에 배치되고, 상기 제1박막트랜지스터의 상기 실리콘 반도체층과 동일층에 배치된 반도체 패턴;을 포함하는 표시장치.
- [청구항 2] 제1항에 있어서,
상기 반도체 패턴은 실리콘 반도체를 포함하는, 표시장치.
- [청구항 3] 제2항에 있어서,
상기 반도체 패턴은 플로팅 상태로 구성된, 표시장치.
- [청구항 4] 제1항에 있어서,
상기 반도체 패턴에 중첩하는 도전층; 및
상기 도전층에 중첩하지 않는 상기 반도체 패턴의 대향하는 일단들에 전기적으로 연결된 신호선들;을 더 포함하고,
상기 신호선들은 상기 도전층에 전기적으로 연결된, 표시장치.
- [청구항 5] 제4항에 있어서,
상기 도전층은 상기 제1박막트랜지스터의 게이트전극과 동일층에 배치된, 표시장치.
- [청구항 6] 제4항에 있어서,
상기 제2박막트랜지스터의 산화물 반도체층이 상기 반도체 패턴에 중첩한, 표시장치.
- [청구항 7] 제1항에 있어서,
상기 반도체 패턴에 중첩하는 복수의 도전전극들; 및
상기 복수의 도전전극들 중 상기 반도체 패턴의 인접하는 도전전극들 사이의 부분들에 전기적으로 연결된 신호선들;을 더 포함하고,
상기 신호선들은 상기 도전전극들에 전기적으로 연결된, 표시장치.
- [청구항 8] 제7항에 있어서,
상기 도전전극들은 상기 제1박막트랜지스터의 게이트전극과 동일층에 배치된, 표시장치.
- [청구항 9] 제7항에 있어서,
상기 제2박막트랜지스터의 산화물 반도체층이 상기 반도체 패턴에 중첩한, 표시장치.
- [청구항 10] 제1항에 있어서,
상기 반도체 패턴에 중첩하는 상부 도전층;
상기 반도체 패턴에 중첩된 하부 도전층; 및

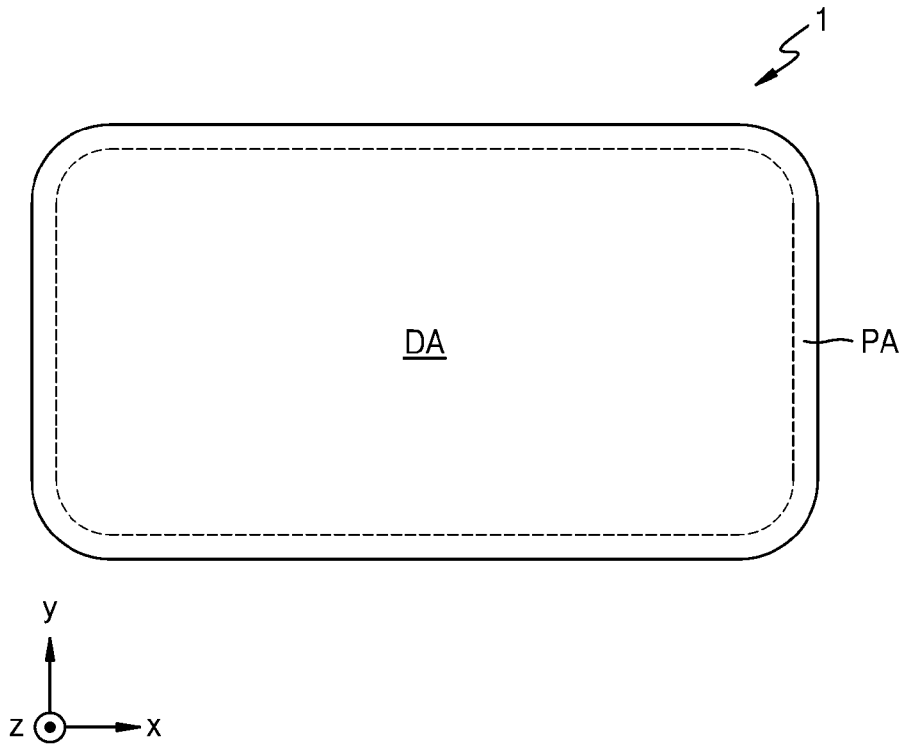
상기 상부 도전층에 중첩하지 않는 상기 반도체 패턴의 대향하는 일단들에 전기적으로 연결된 신호선들;을 더 포함하고,
상기 신호선들은 상기 상부 도전층 및 상기 하부 도전층에 전기적으로 연결된, 표시장치.

- [청구항 11] 제10항에 있어서,
상기 상부 도전층은 상기 제1박막트랜지스터의 게이트전극과 동일층에 배치된, 표시장치.
- [청구항 12] 제10항에 있어서,
상기 제2박막트랜지스터의 산화물 반도체층이 상기 반도체 패턴에 중첩한, 표시장치.
- [청구항 13] 제1항에 있어서,
상기 반도체 패턴은 행 방향으로 서로 이격된 복수의 반도체 패턴들을 포함하고,
상기 표시장치는,
상기 복수의 반도체 패턴들을 가로지르며 상기 복수의 반도체 패턴들에 중첩하는 도전층;
상기 복수의 반도체 패턴들의 일단들에 전기적으로 연결된 제1신호선; 및
상기 복수의 반도체 패턴들의 타단들에 전기적으로 연결된 제2신호선;을 더 포함하는, 표시장치.
- [청구항 14] 제13항에 있어서,
상기 제1신호선과 상기 제2신호선은 정전압 신호를 공급받고,
상기 도전층은 제1전압레벨의 전압과 상기 제1전압레벨보다 낮은 제2전압레벨의 전압을 포함하는 신호를 공급받는, 표시장치.
- [청구항 15] 제13항에 있어서,
상기 복수의 반도체 패턴들과 동일층에 배치되고, 상기 행 방향으로 연장된 제2반도체 패턴;
상기 제2반도체 패턴에 중첩하는 제2도전층; 및
상기 제2도전층에 중첩하지 않는 상기 제2반도체 패턴의 대향하는 일단들에 전기적으로 연결된 제3신호선들;을 더 포함하고,
상기 제3신호선들은 상기 제1신호선과 상기 제2신호선으로 공급되는 전압과 동일한 전압을 공급받는, 표시장치.
- [청구항 16] 제1항에 있어서,
상기 반도체 패턴에 중첩하는 도전층; 및
상기 도전층에 전기적으로 연결된 신호선;을 더 포함하는, 표시장치.
- [청구항 17] 제1항에 있어서,
상기 반도체 패턴은 정전압을 공급하는 도전선에 전기적으로 연결된, 표시장치.
- [청구항 18] 제1항에 있어서,

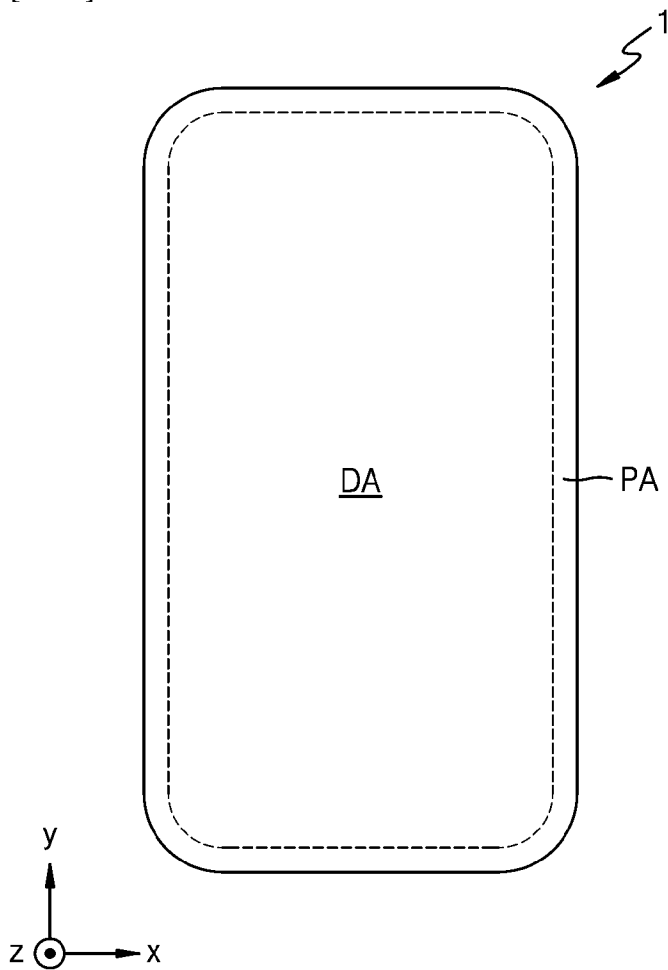
상기 표시영역에 배치되고, 상기 실리콘 반도체층의 상부층에 배치된 산화물 반도체층을 포함하는 제3박막트랜지스터;를 더 포함하고,
상기 반도체 패턴은 상기 제2박막트랜지스터의 산화물 반도체층과 상기 제3박막트랜지스터의 산화물 반도체층을 전기적으로 연결하는, 표시장치.

- [청구항 19] 제1항에 있어서,
상기 주변영역에 배치되고, 상기 산화물 반도체층을 포함하는 제3박막트랜지스터;를 더 포함하는, 표시장치.
- [청구항 20] 제1항에 있어서,
상기 표시영역에 배치되고, 상기 실리콘 반도체층을 포함하는 제4박막트랜지스터;를 더 포함하는, 표시장치.
- [청구항 21] 표시영역 및 주변영역을 포함하는 표시장치에 있어서,
상기 표시영역에 배치된 반도체 패턴;
상기 반도체 패턴 상에 배치되고, 상기 반도체 패턴에 중첩하는 도전층;
상기 도전층 상에 배치되고, 상기 도전층에 중첩하는 제1전극층;
상기 제1전극층 상에 배치된 산화물 반도체층;
상기 산화물 반도체층 상에 배치된 제2전극층; 및
상기 제2전극층 상에 배치되고, 상기 제2전극층에 중첩하는 제3전극층;을 포함하는 표시장치.
- [청구항 22] 제11항에 있어서,
상기 반도체 패턴은 실리콘 반도체를 포함하는, 표시장치.
- [청구항 23] 제21항에 있어서,
상기 표시영역에 배치되고, 기판과 상기 반도체 패턴 사이에 배치된 하부 도전층을 더 포함하고,
상기 반도체 패턴은 상기 하부 도전층에 중첩하는, 표시장치.
- [청구항 24] 제21항에 있어서,
상기 주변영역에 배치된 실리콘 반도체층; 및
상기 실리콘 반도체층 상에 배치되고, 상기 실리콘 반도체층에 중첩하는 제4전극층;을 더 포함하고,
상기 실리콘 반도체층은 상기 반도체 패턴과 동일층에 배치되고,
상기 제4전극층은 상기 도전층과 동일층에 배치된, 표시장치.

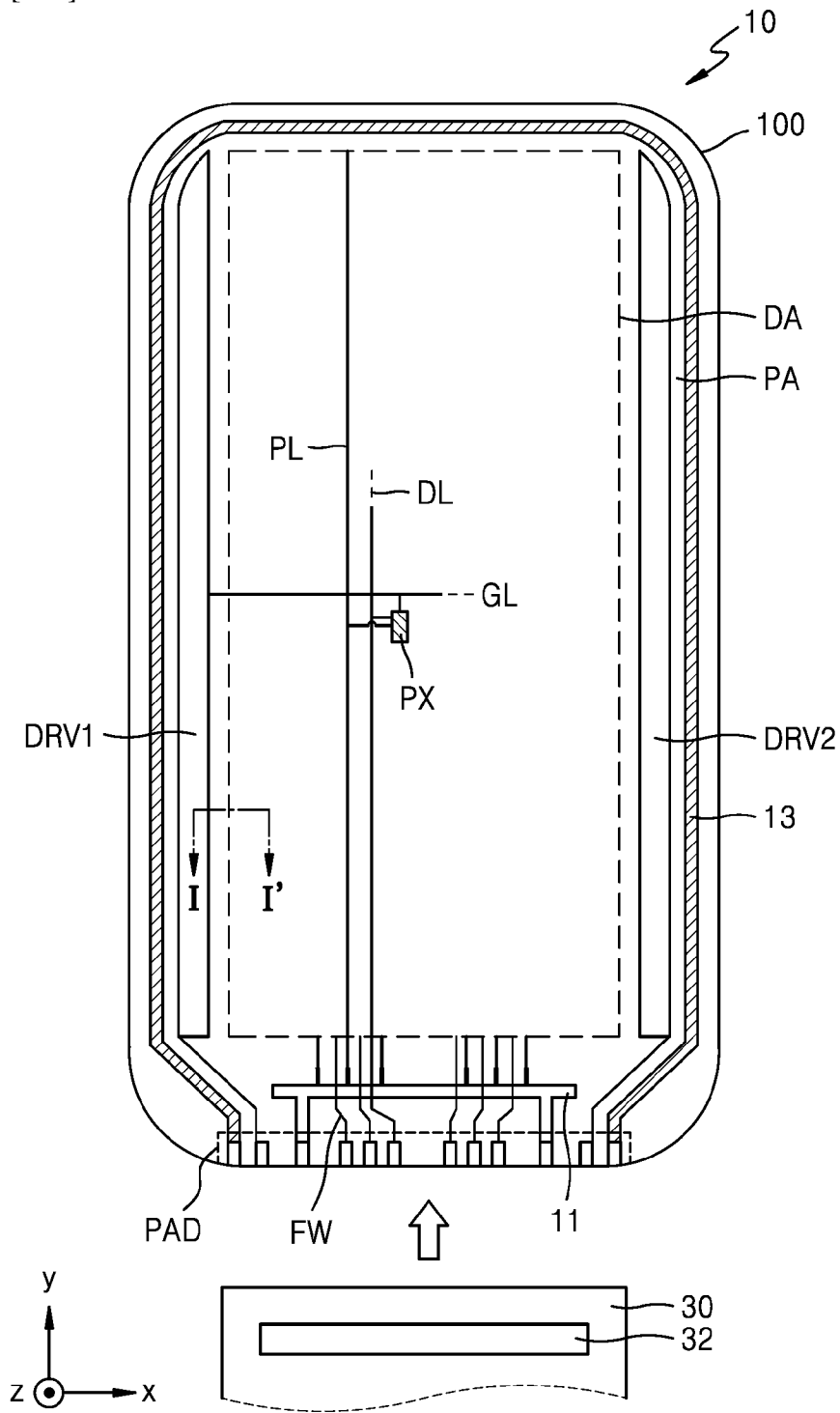
[도 1a]



[도 1b]

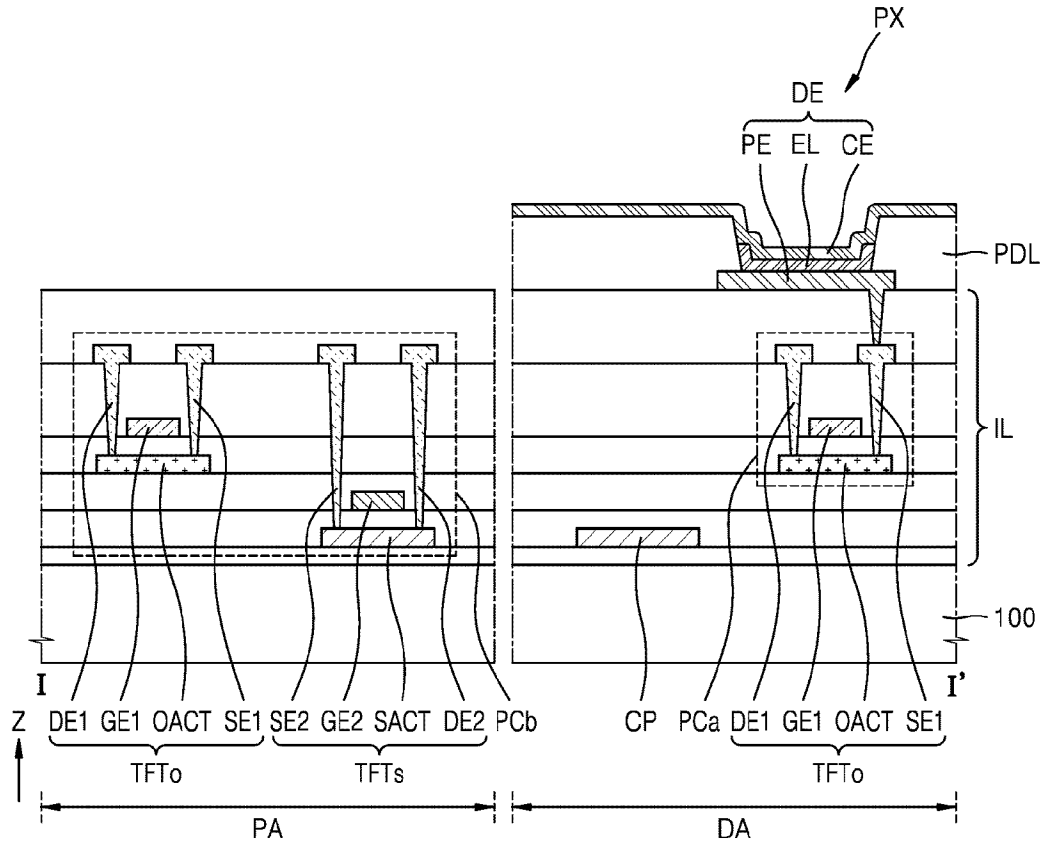


[도2]

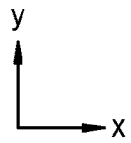
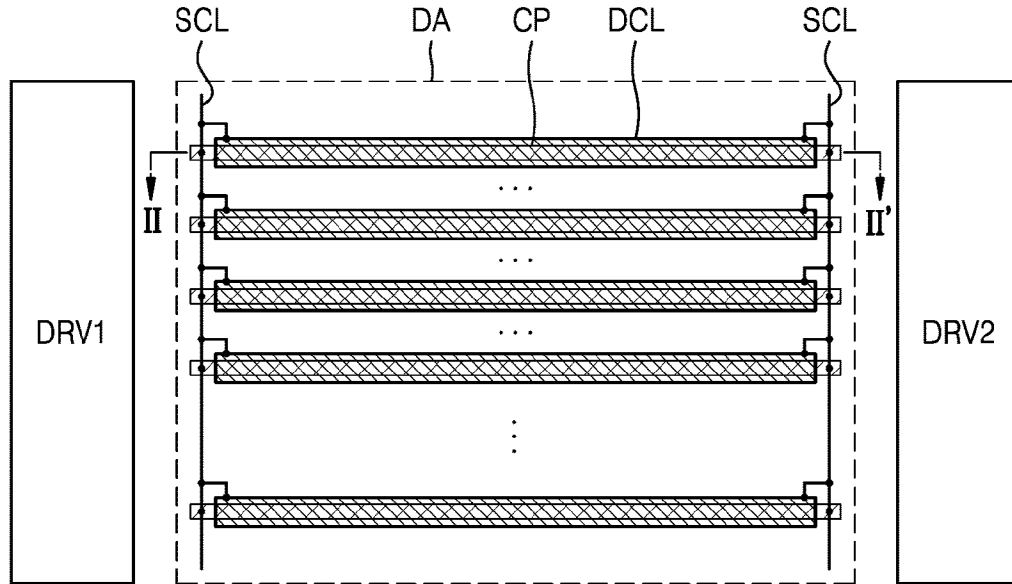


[illegible]

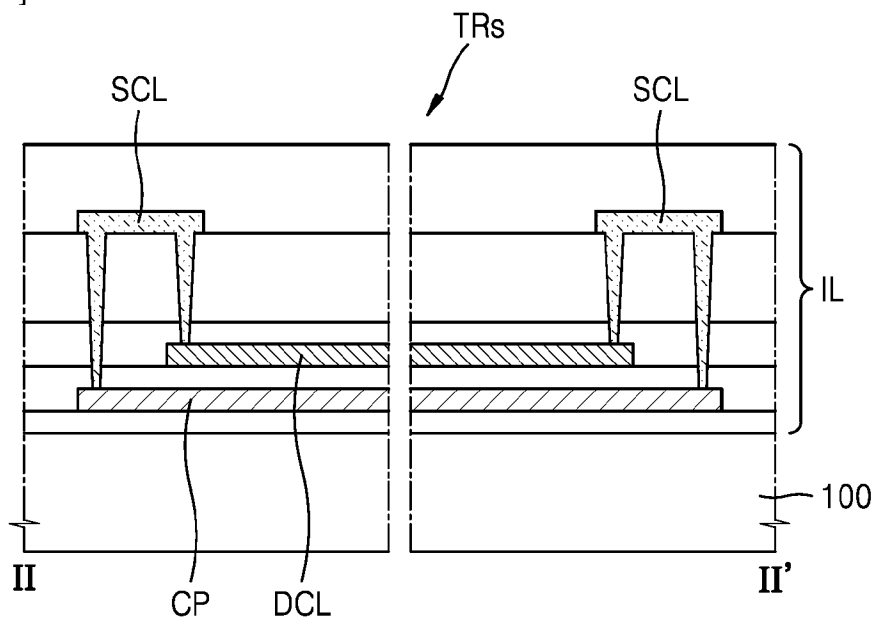
[도3c]



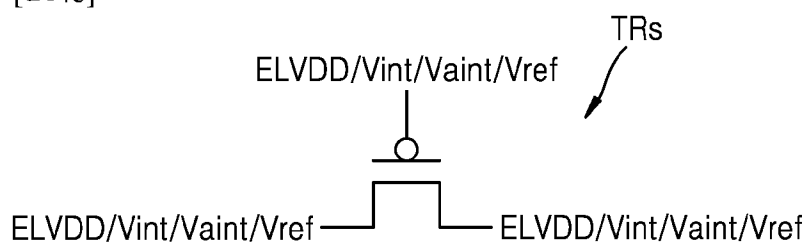
[도4a]



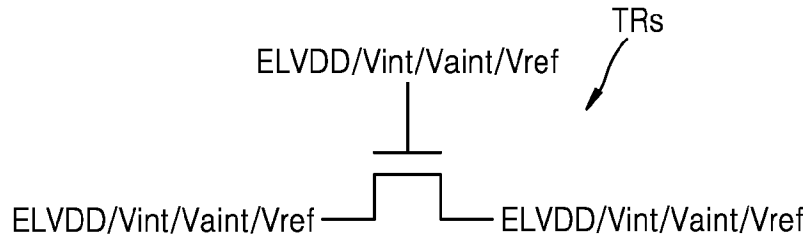
[도4b]



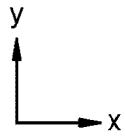
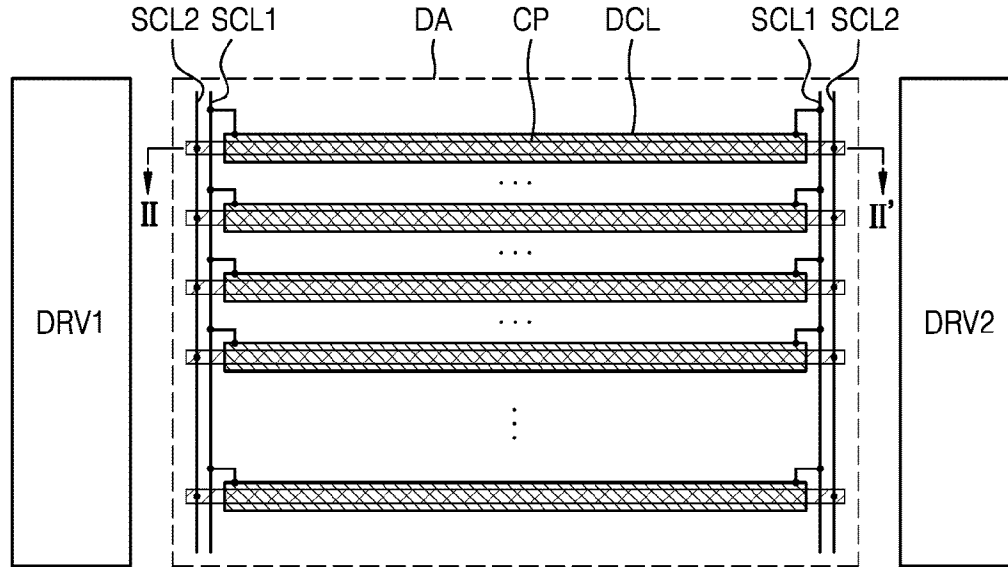
[도4c]



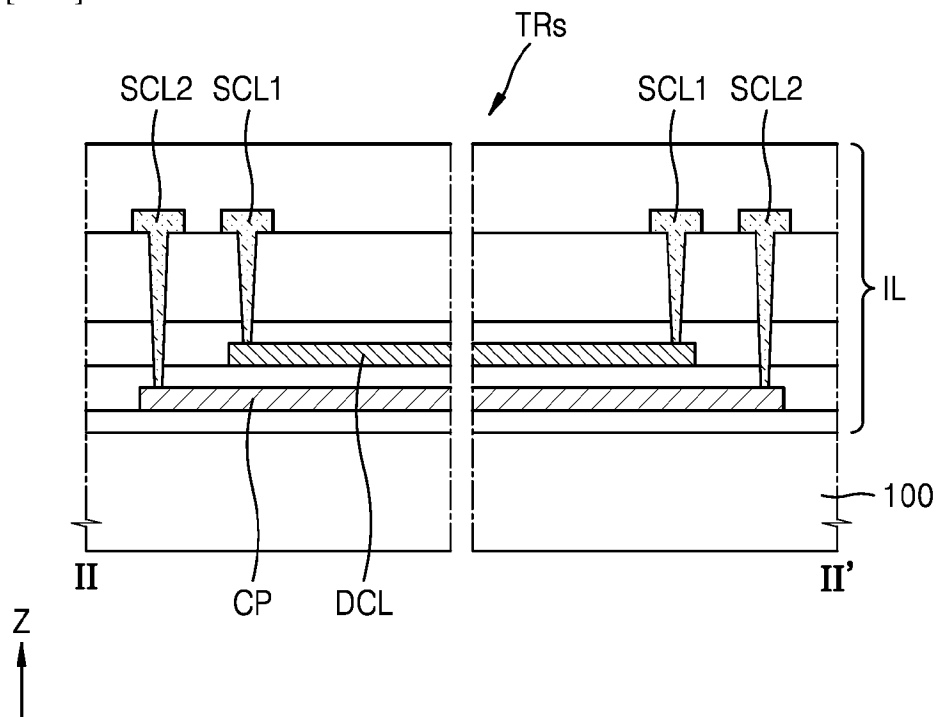
[도4d]



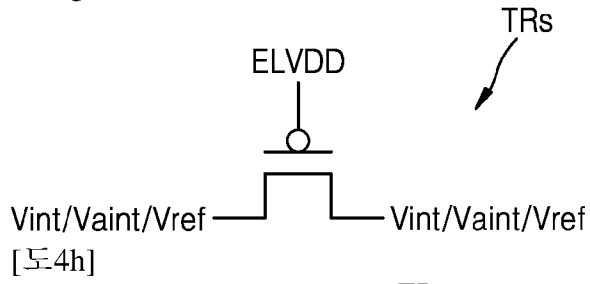
[도4e]



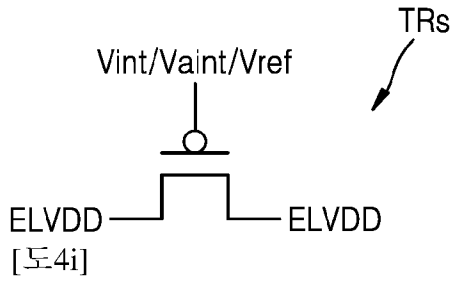
[도4f]



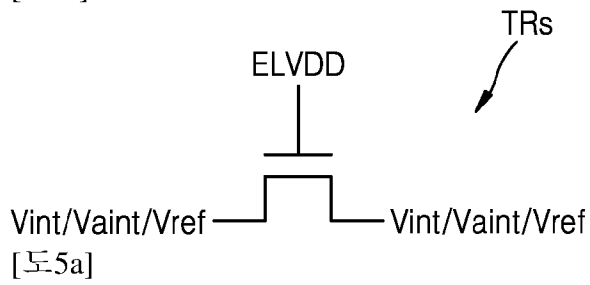
[도4g]



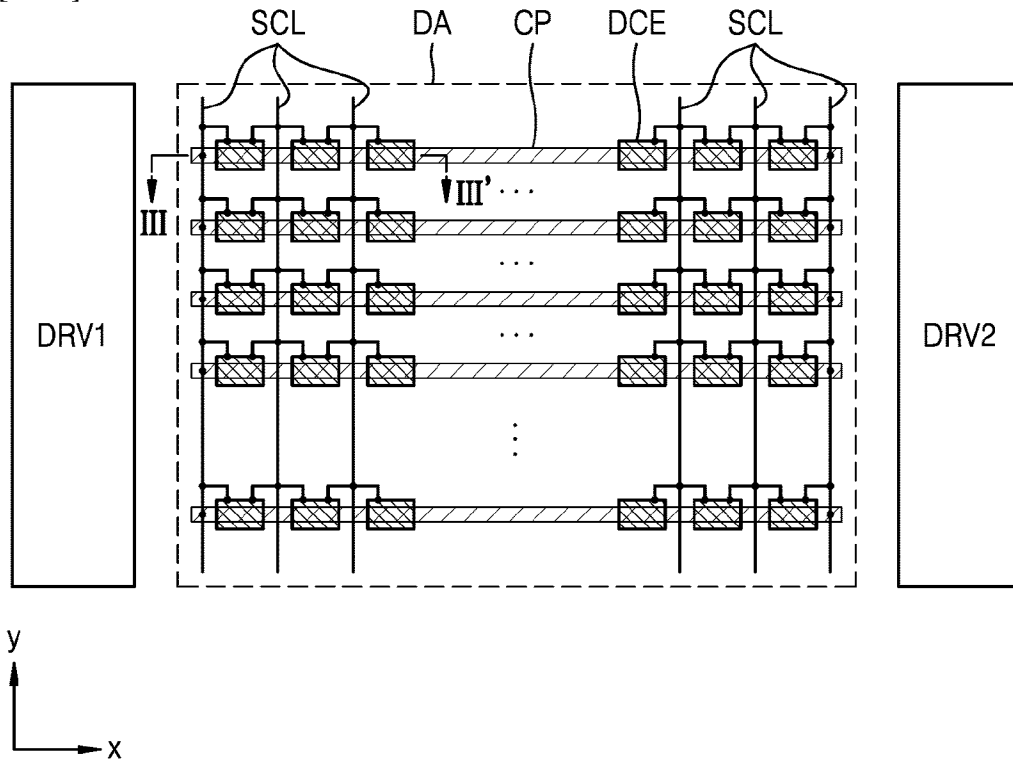
[도4h]



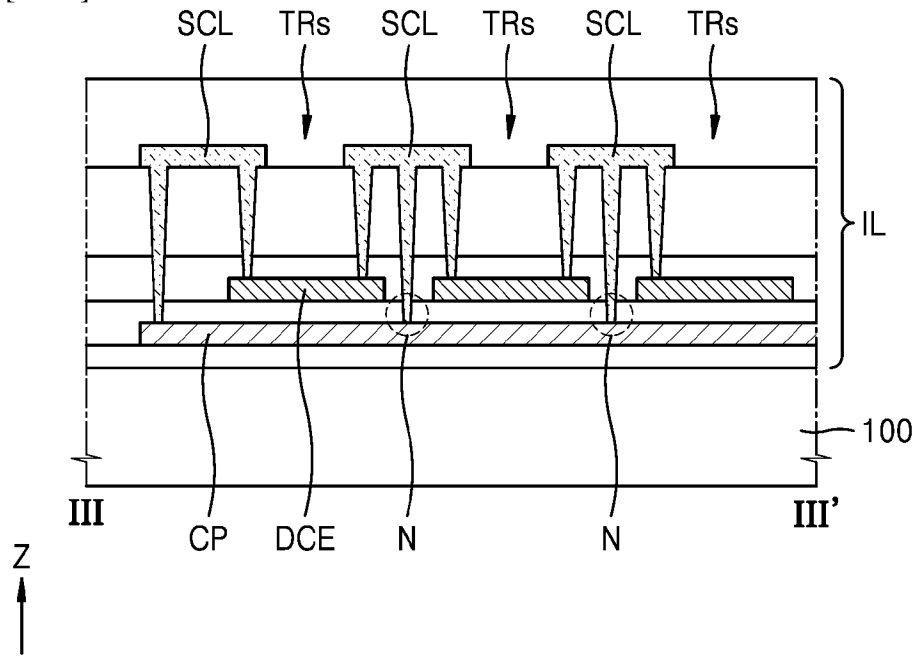
[도4i]



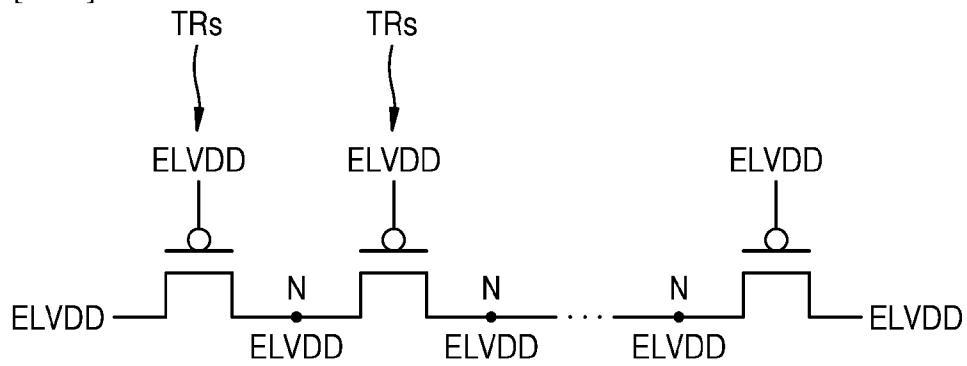
[도5a]



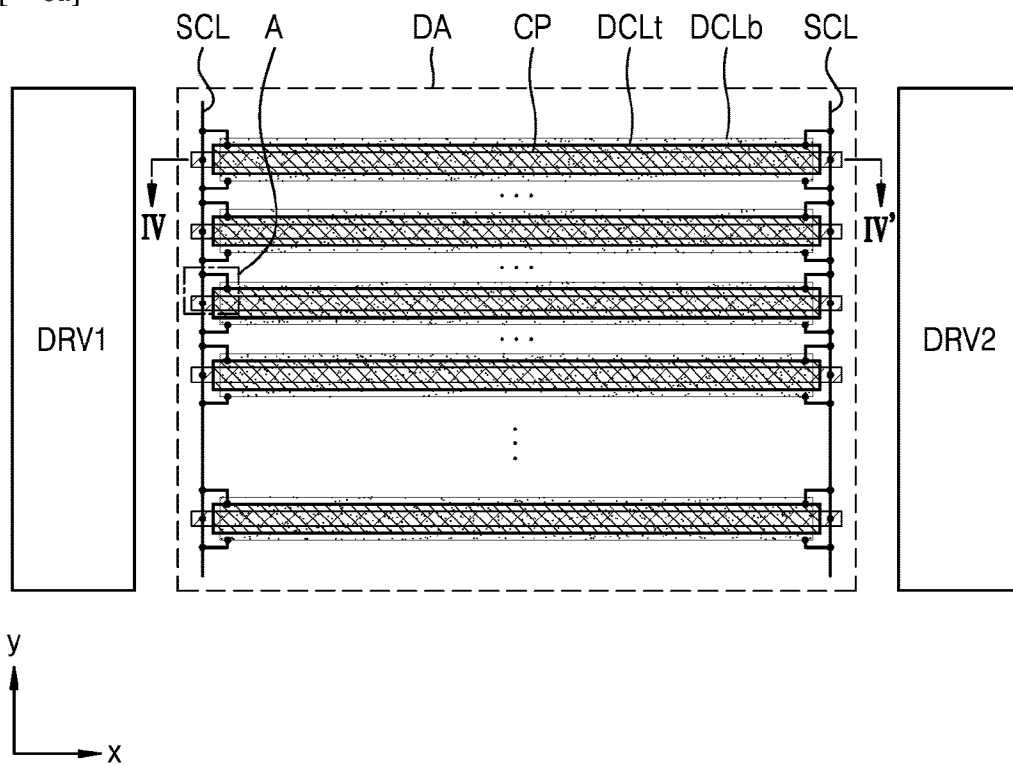
[도5b]



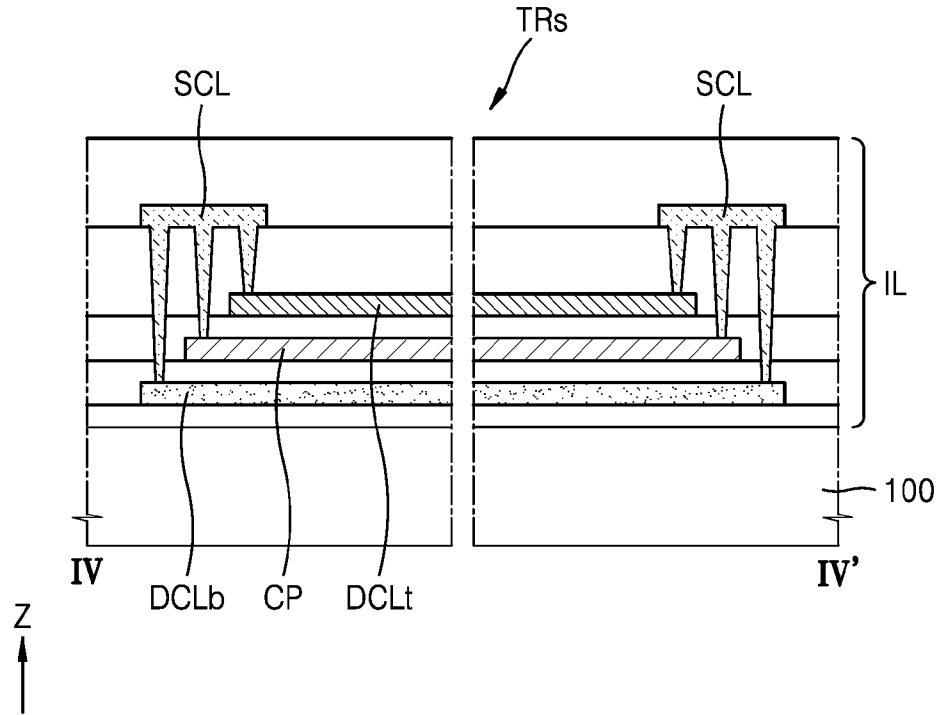
[도5c]



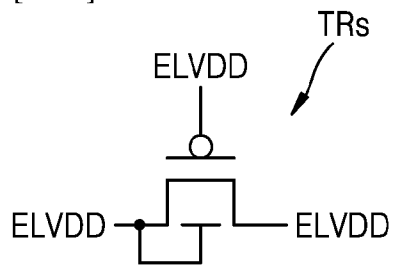
[도6a]



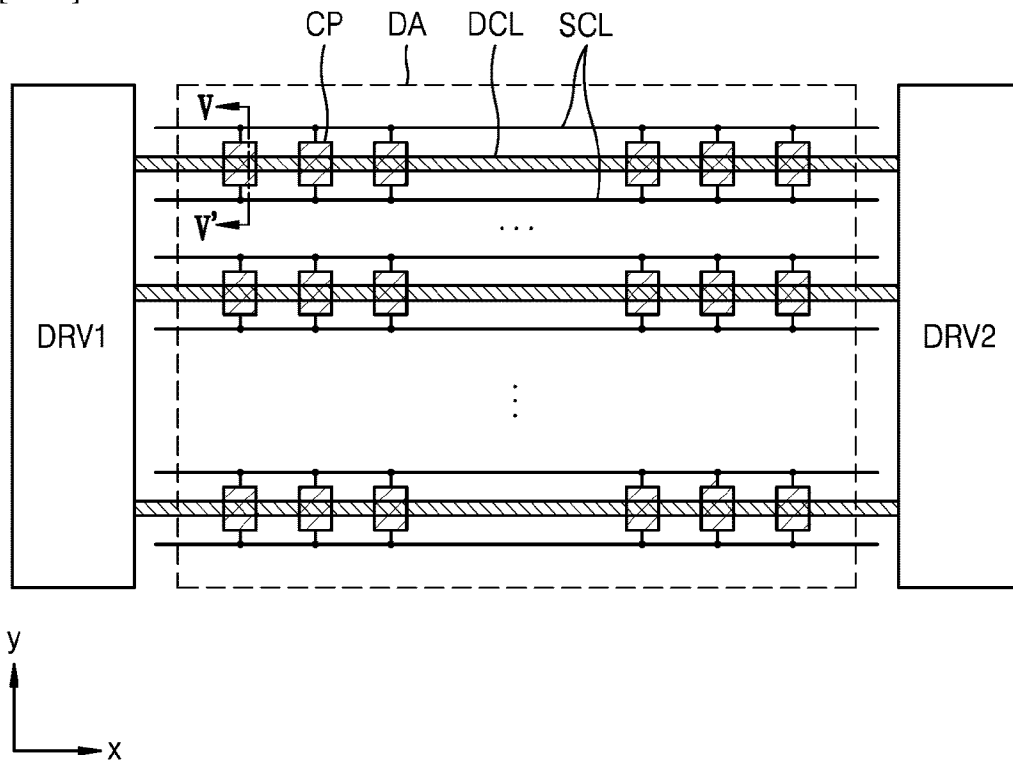
[도6b]



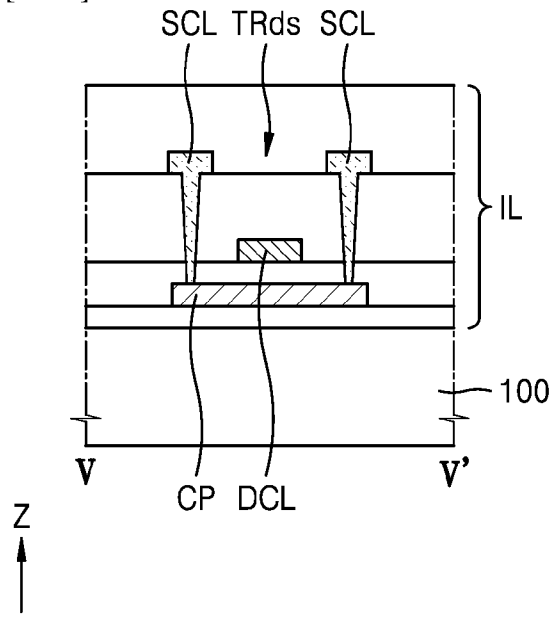
[도6c]



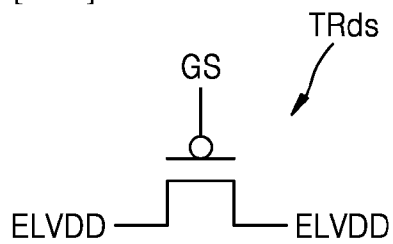
[도7a]



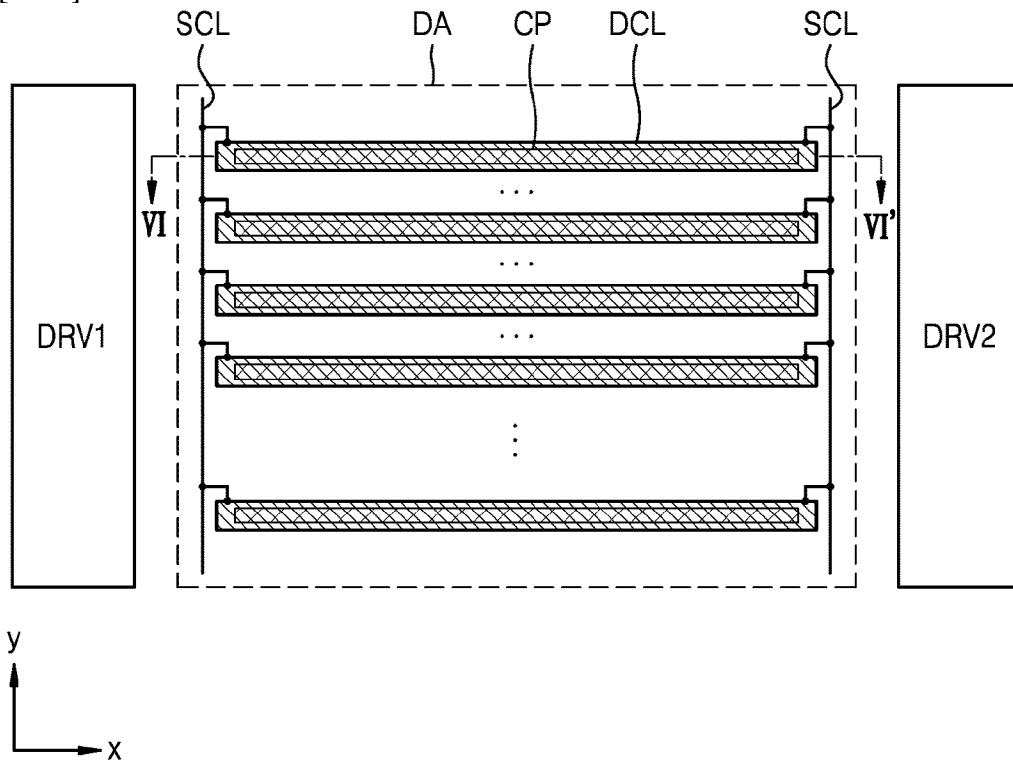
[도7b]



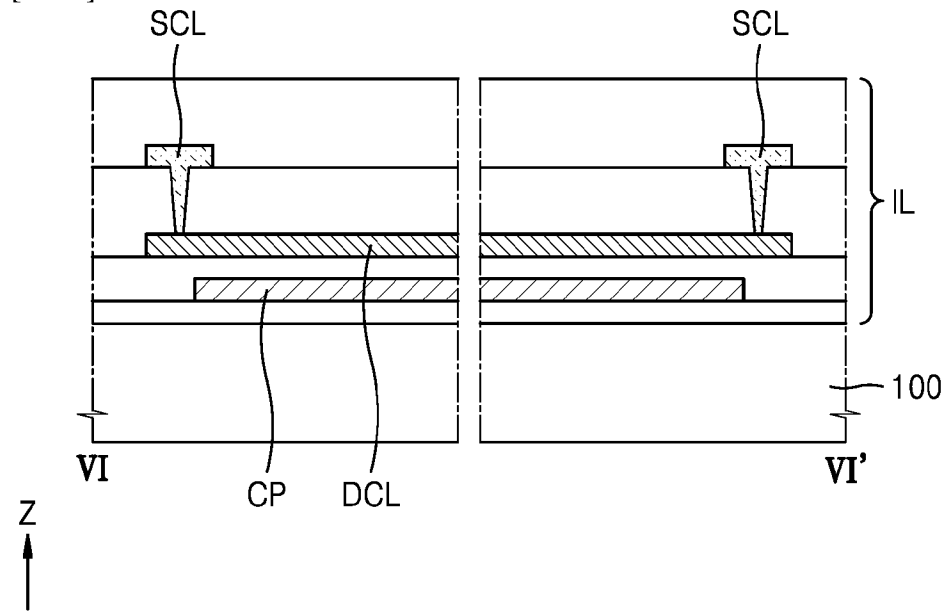
[도7c]



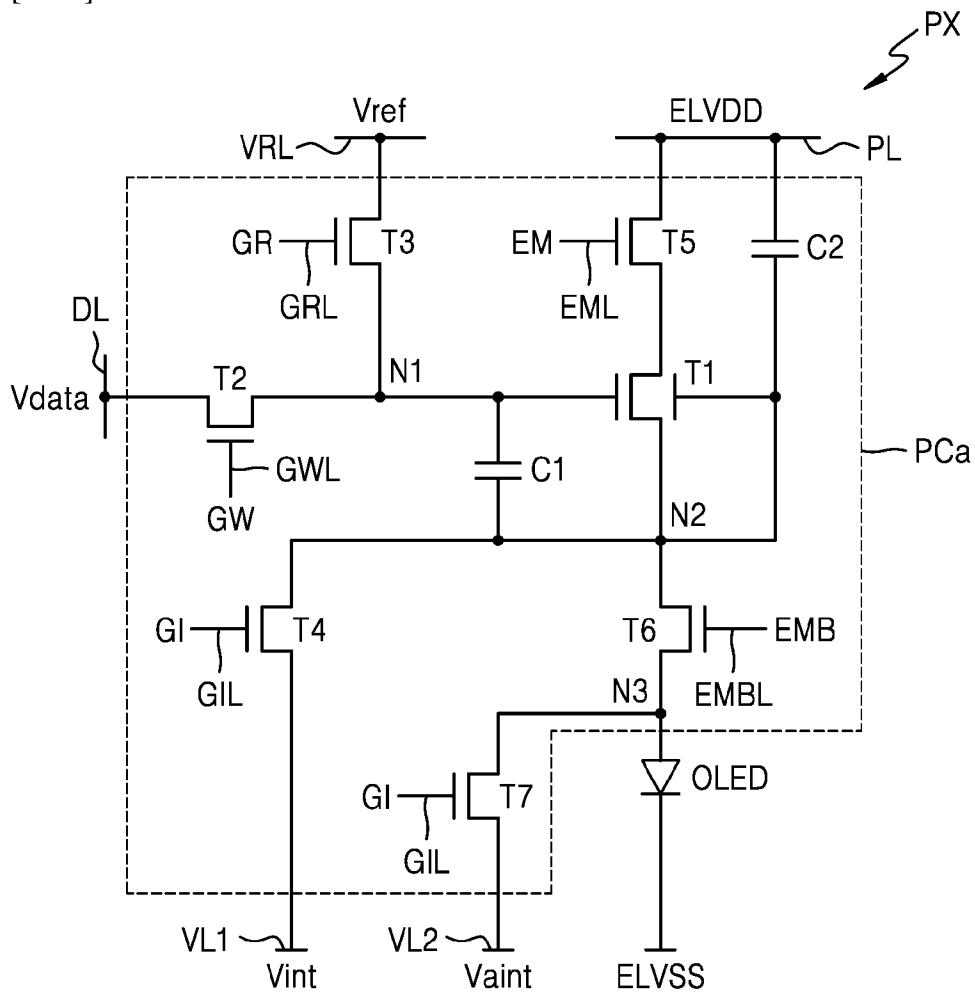
[도8a]



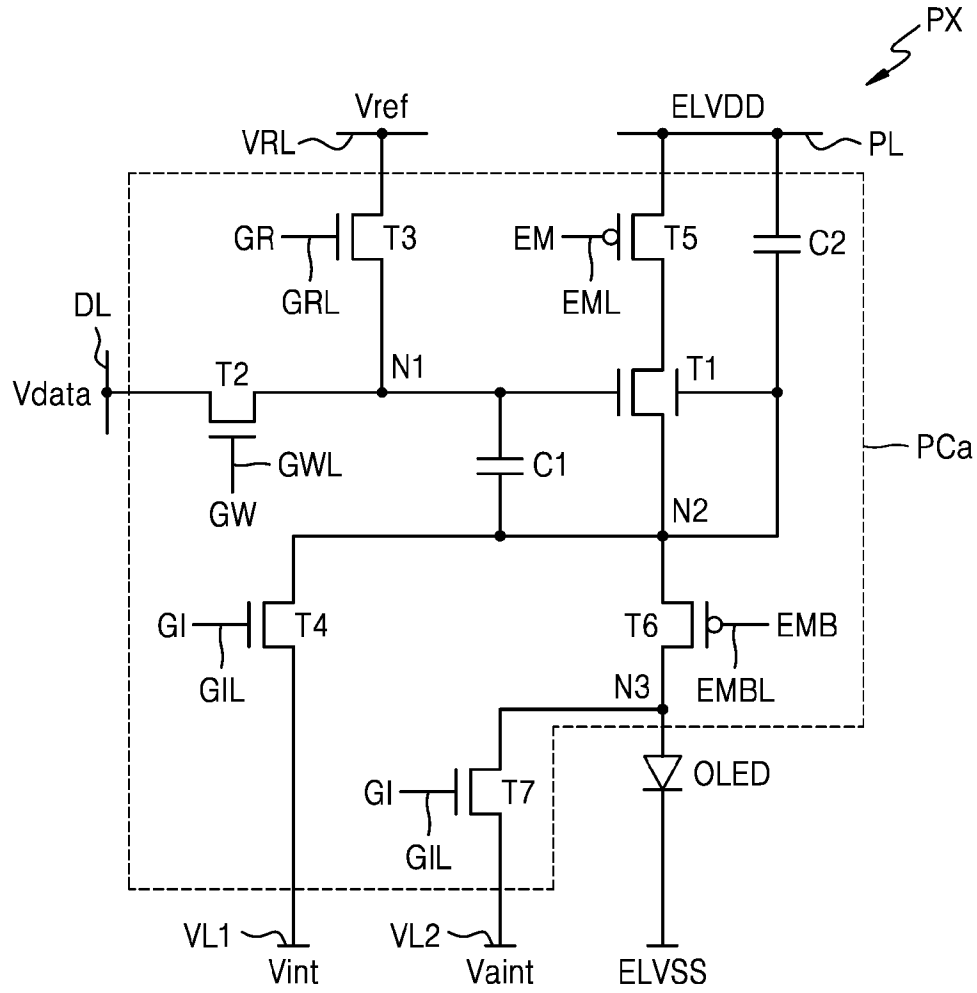
[도8b]



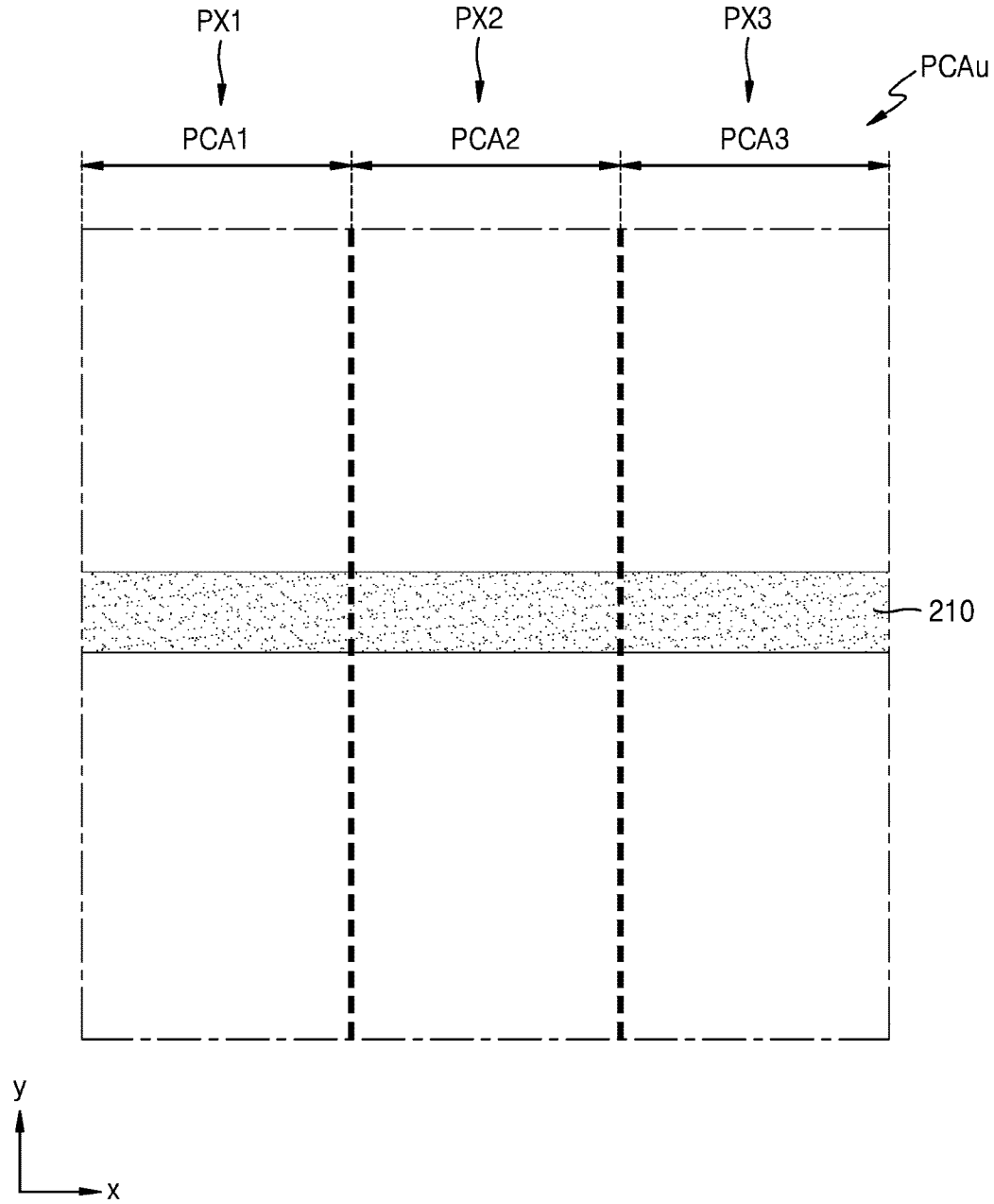
[도9a]



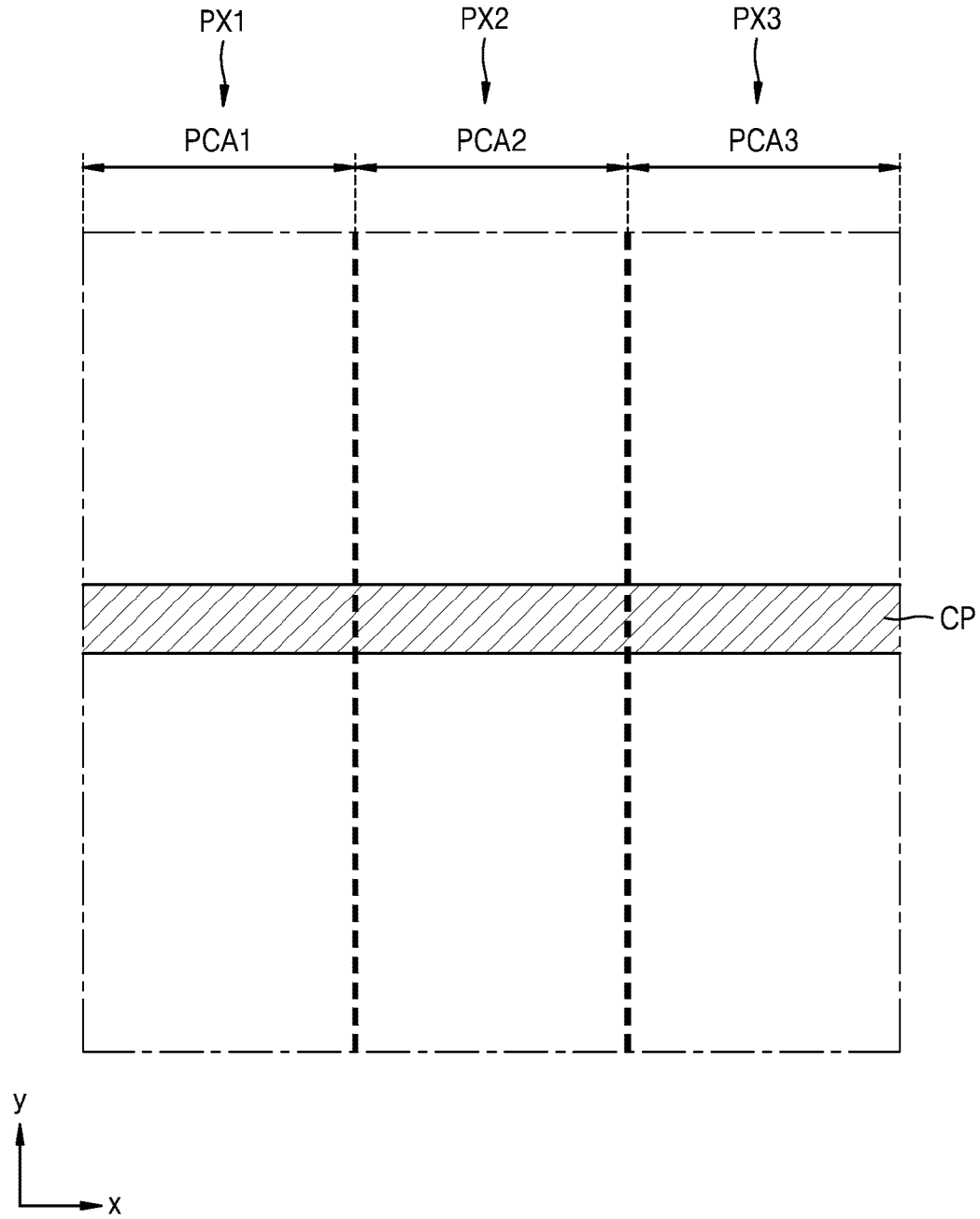
[도9b]



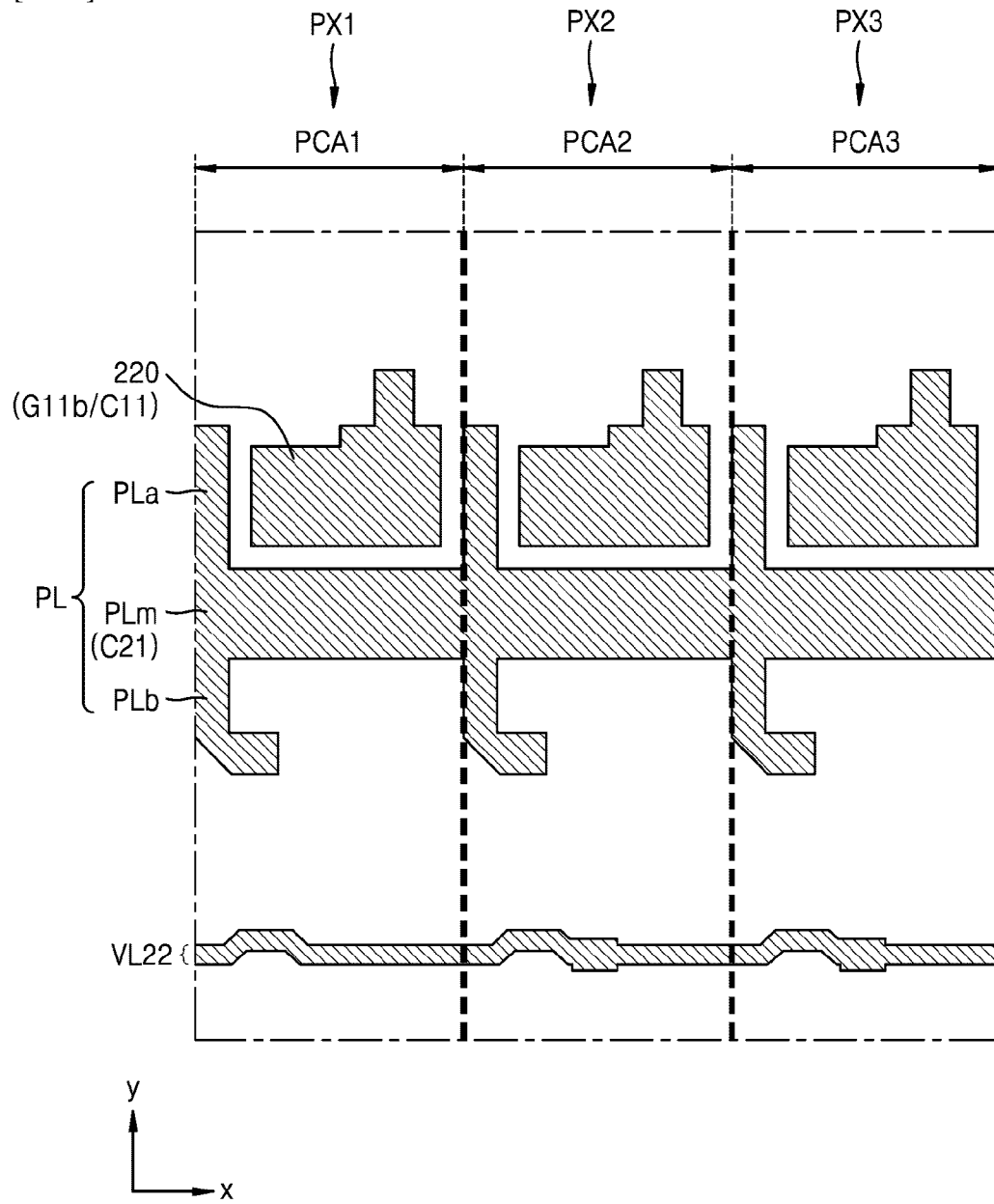
[도 10]



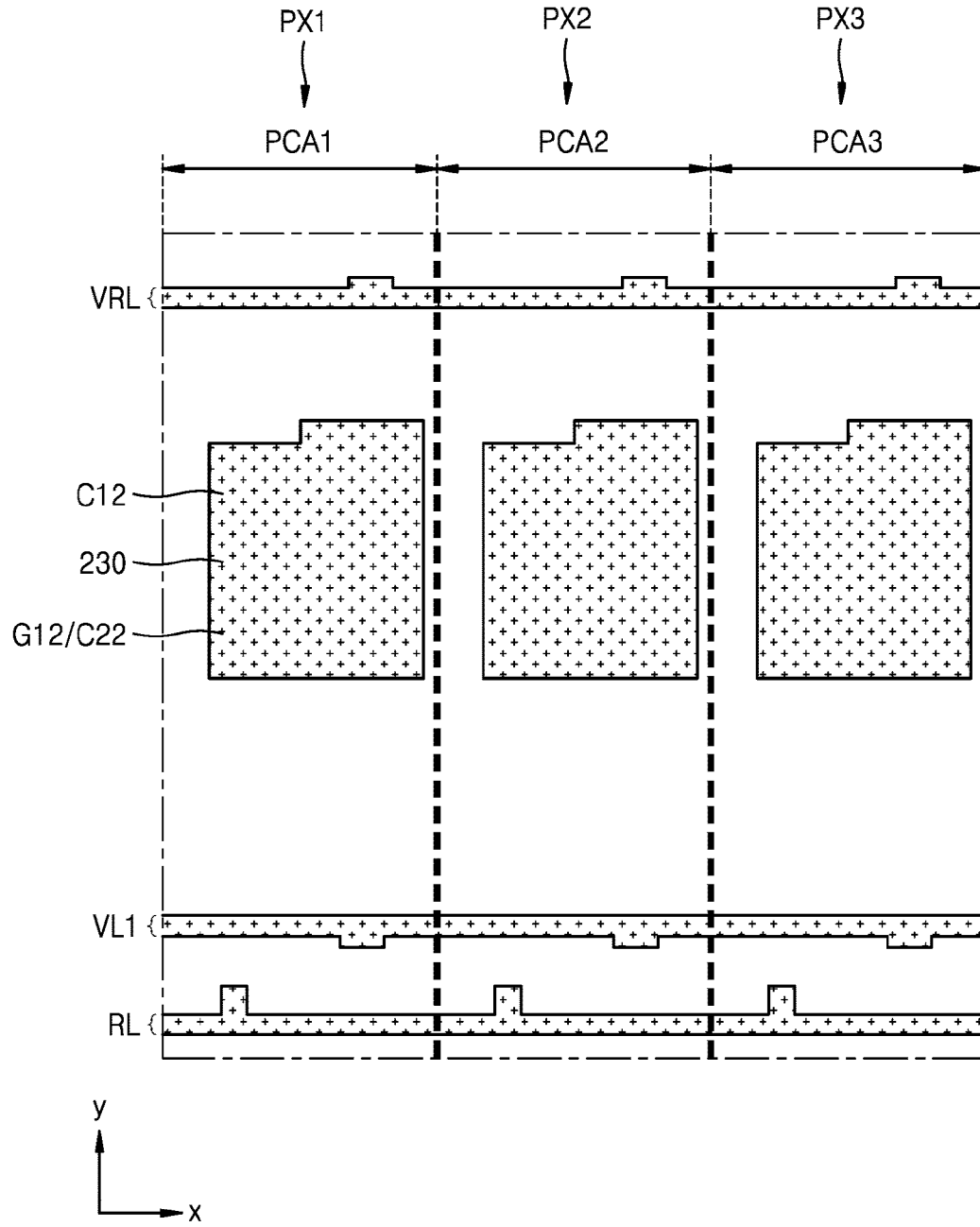
[도11]



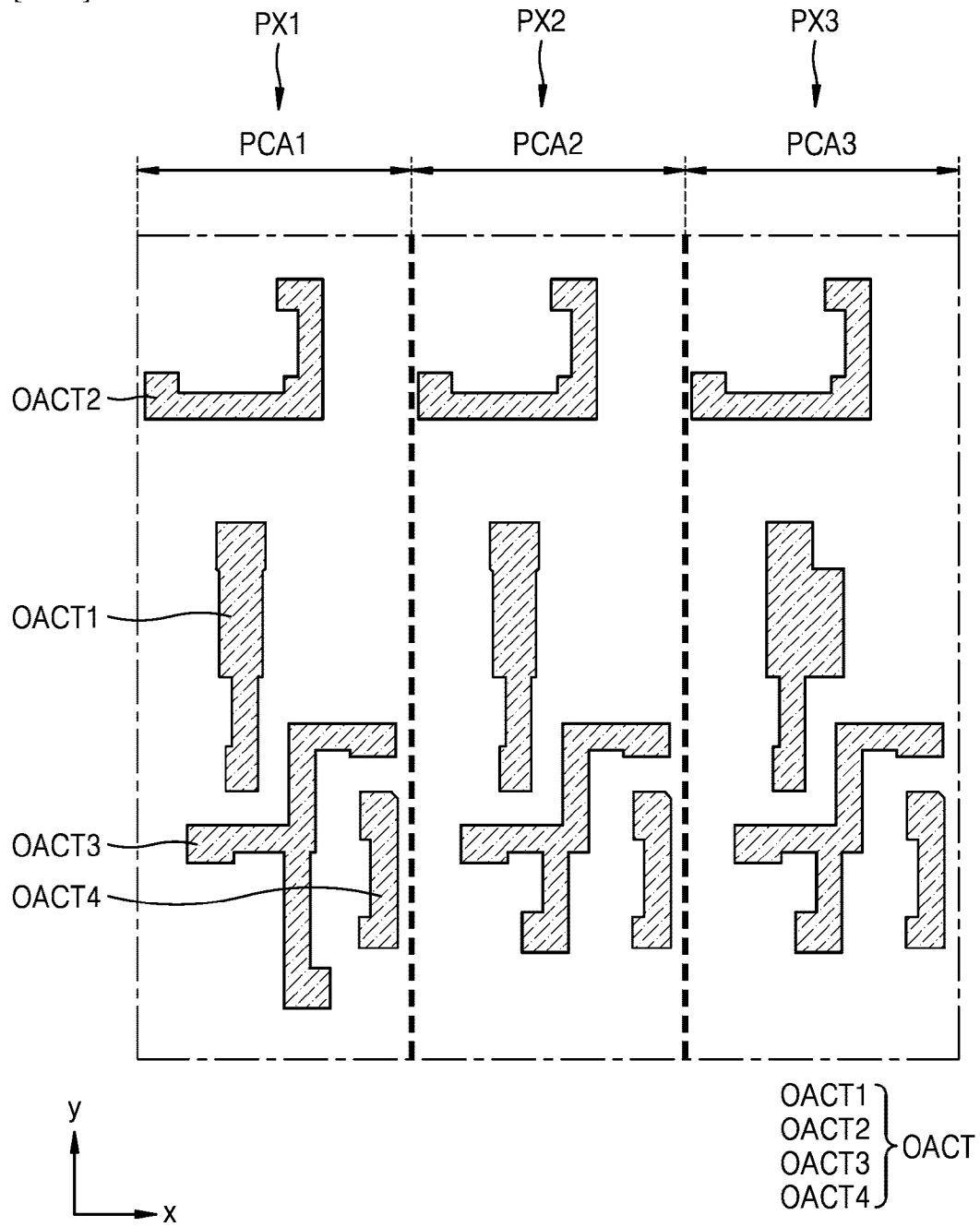
[도12]



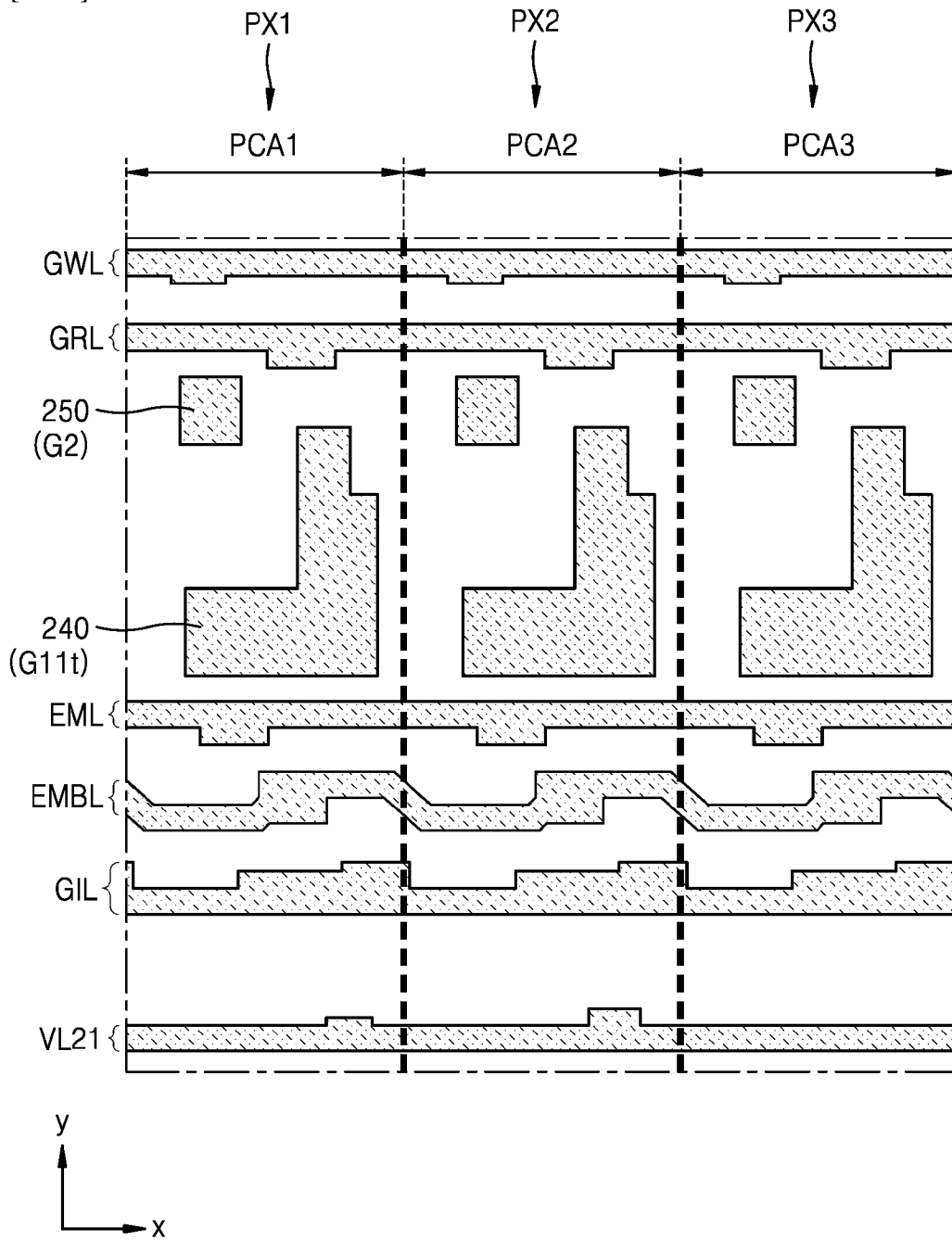
[도13]



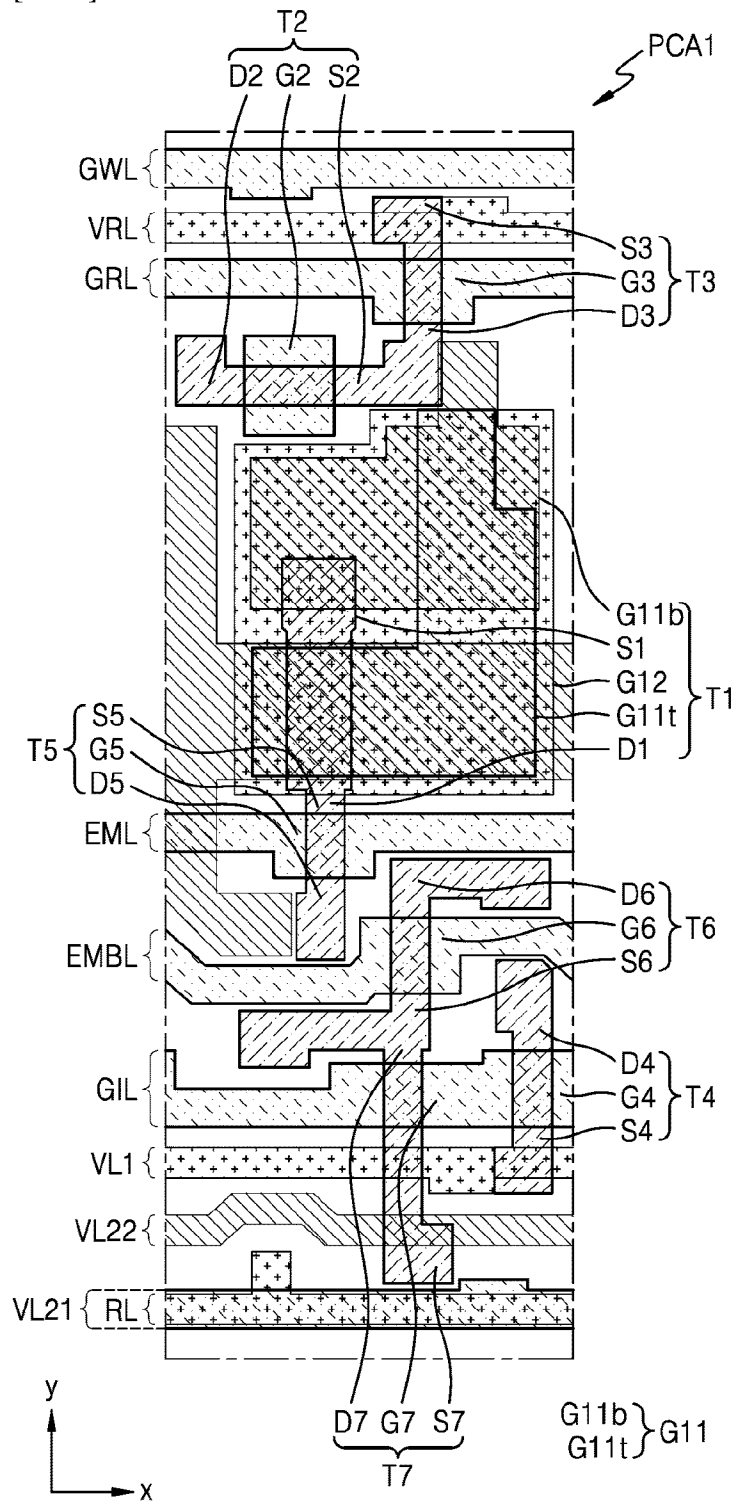
[도 14]



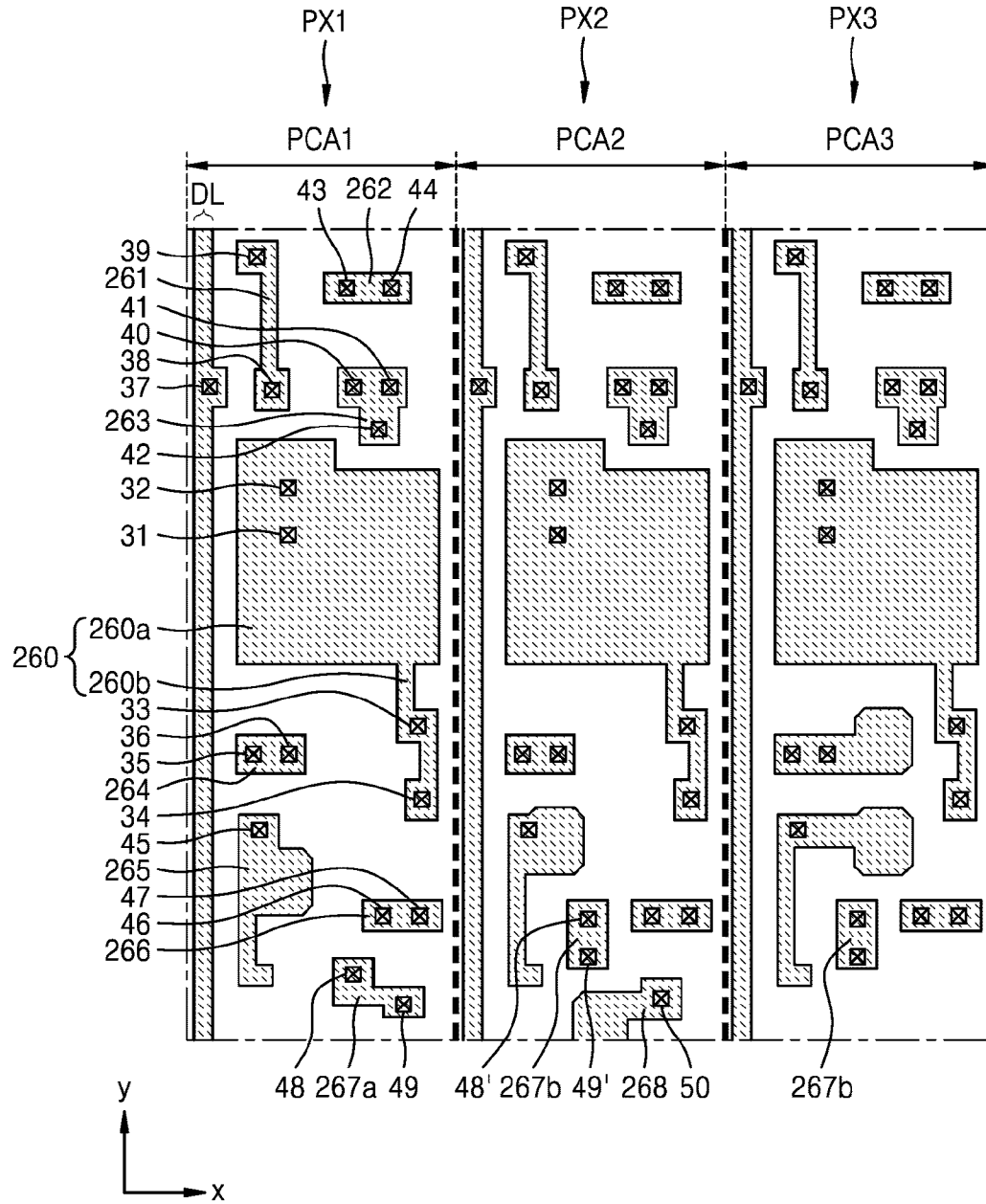
[도 15]



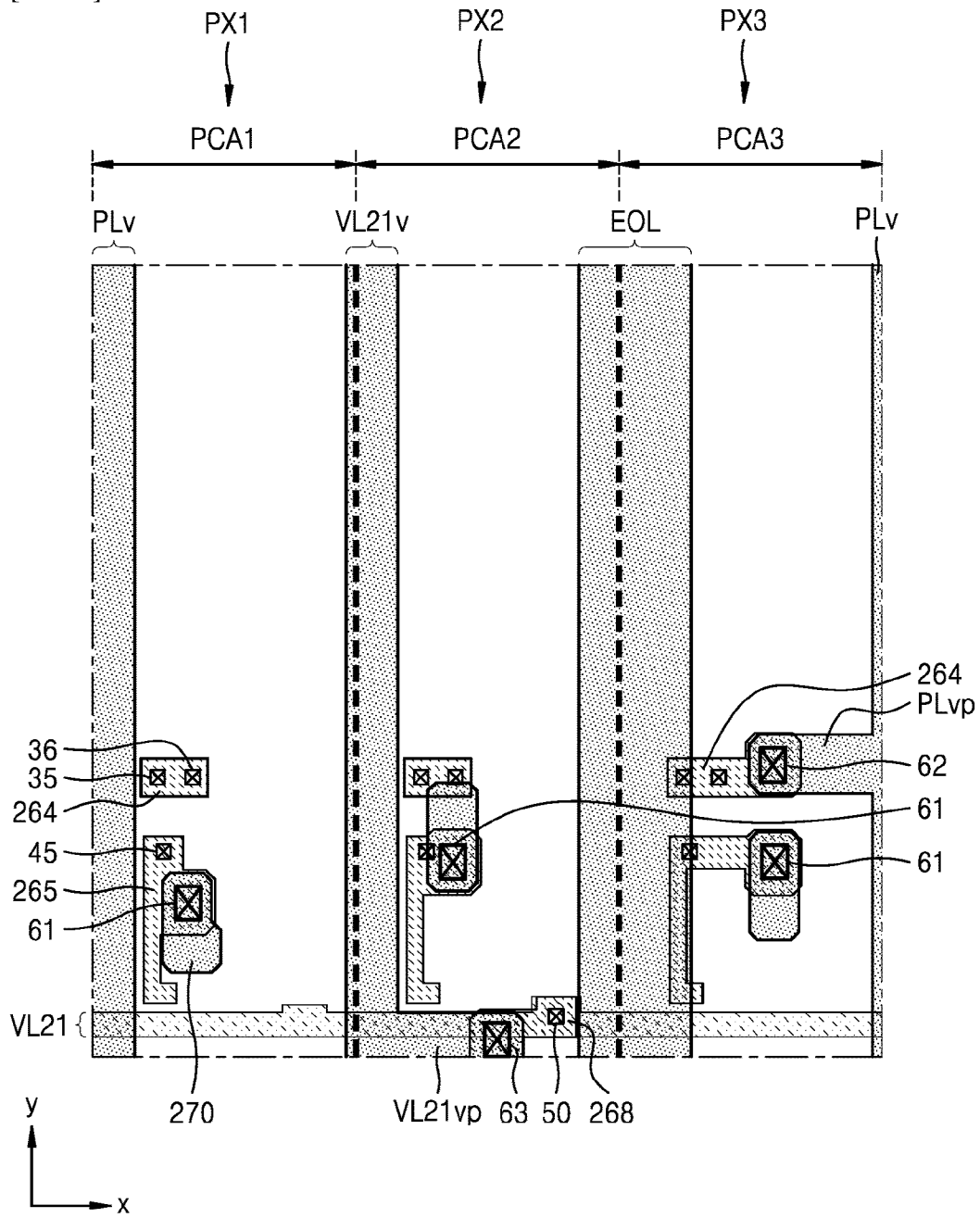
[도16]



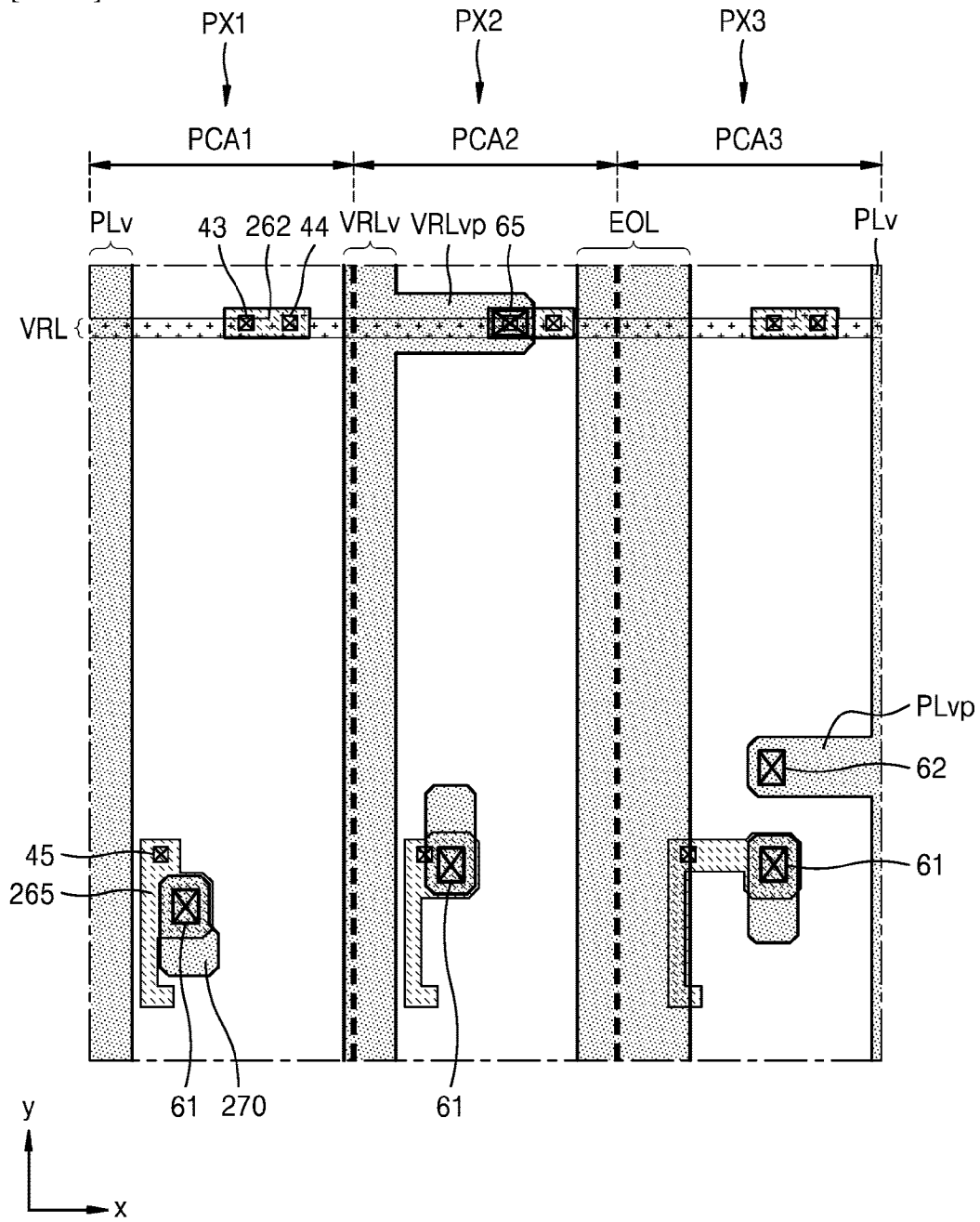
[도17]



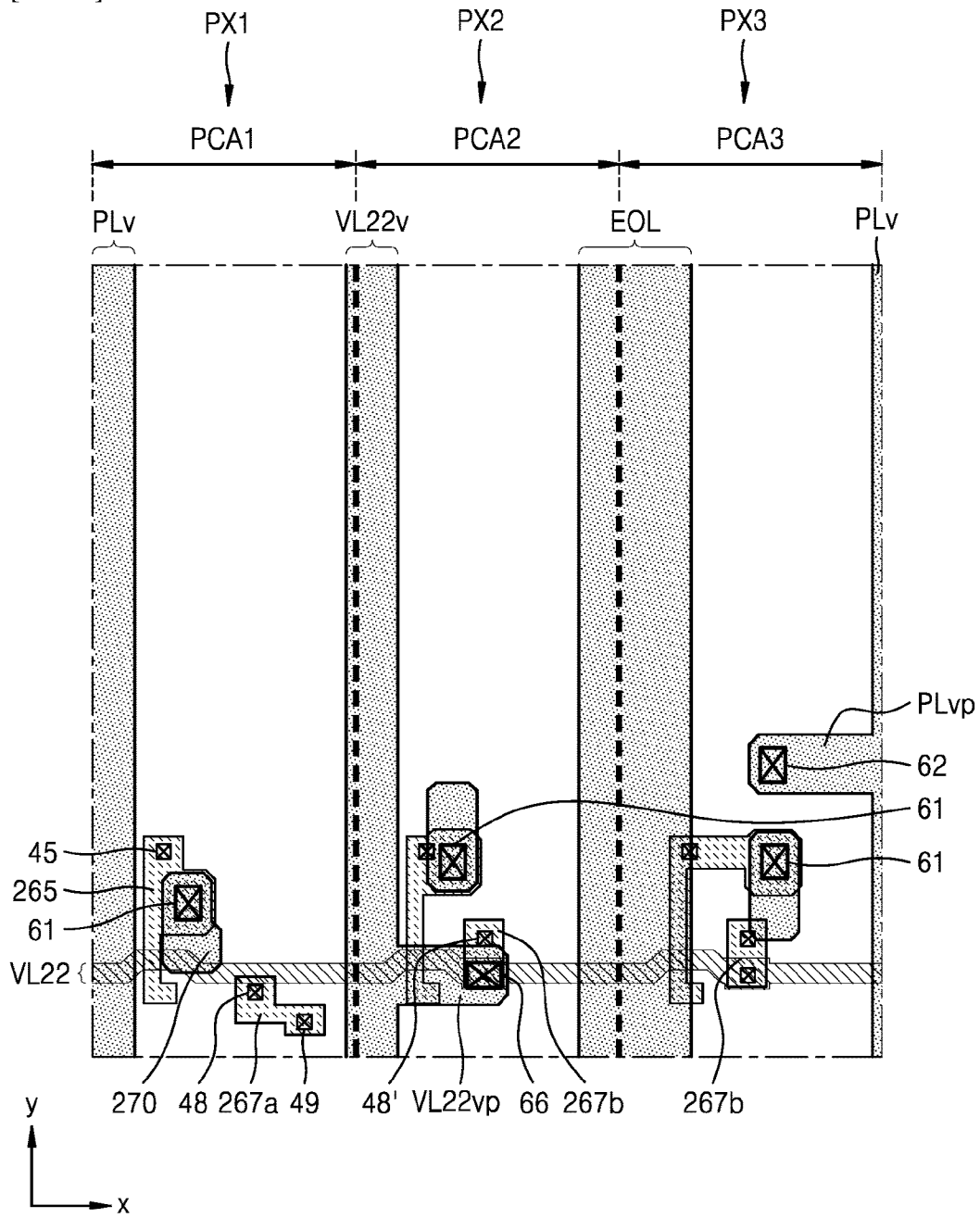
[도 18a]



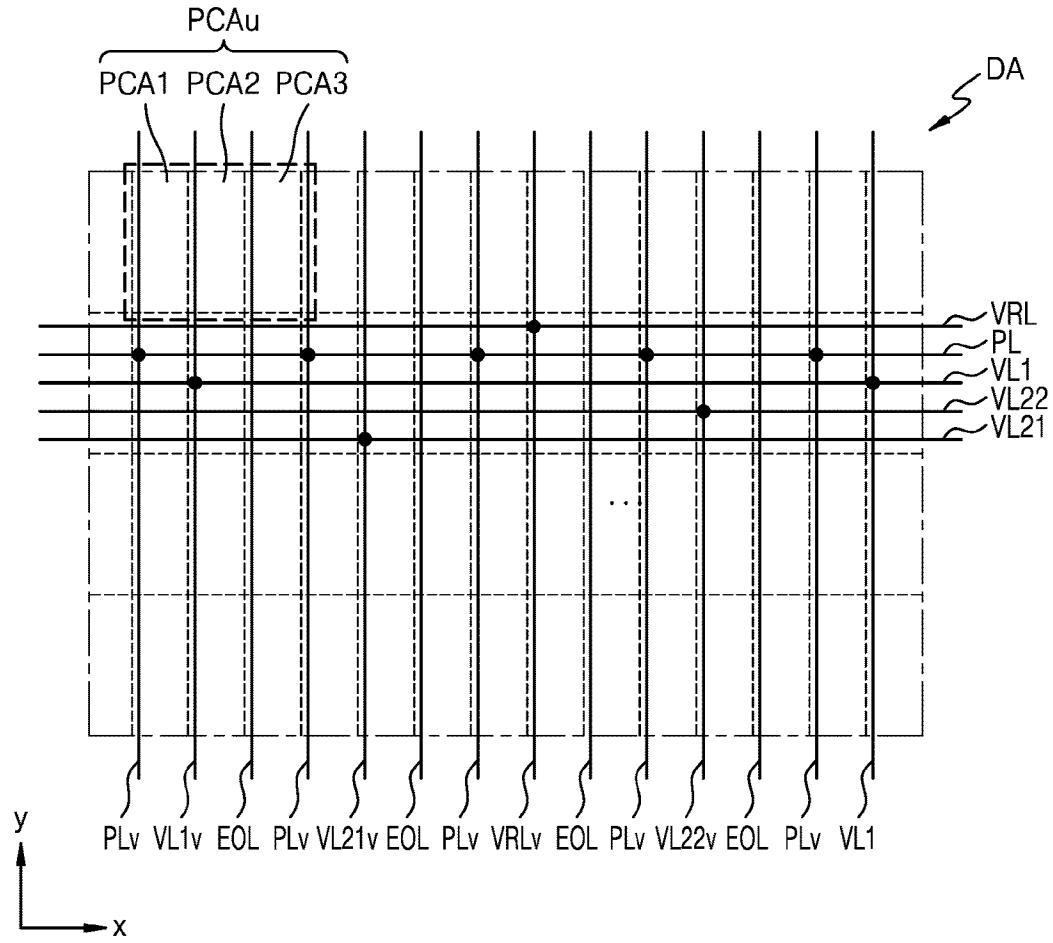
[도 18c]



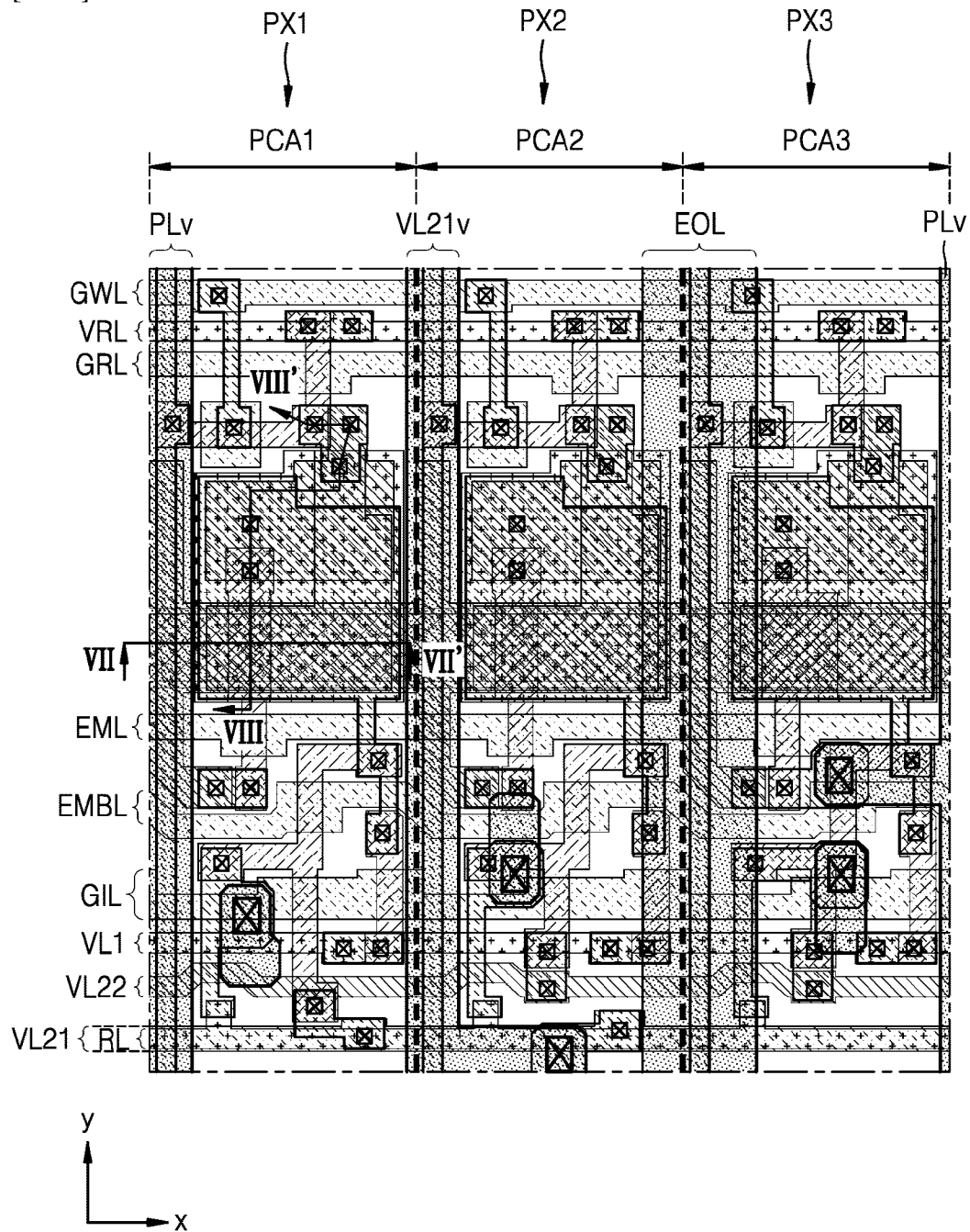
[도 18d]



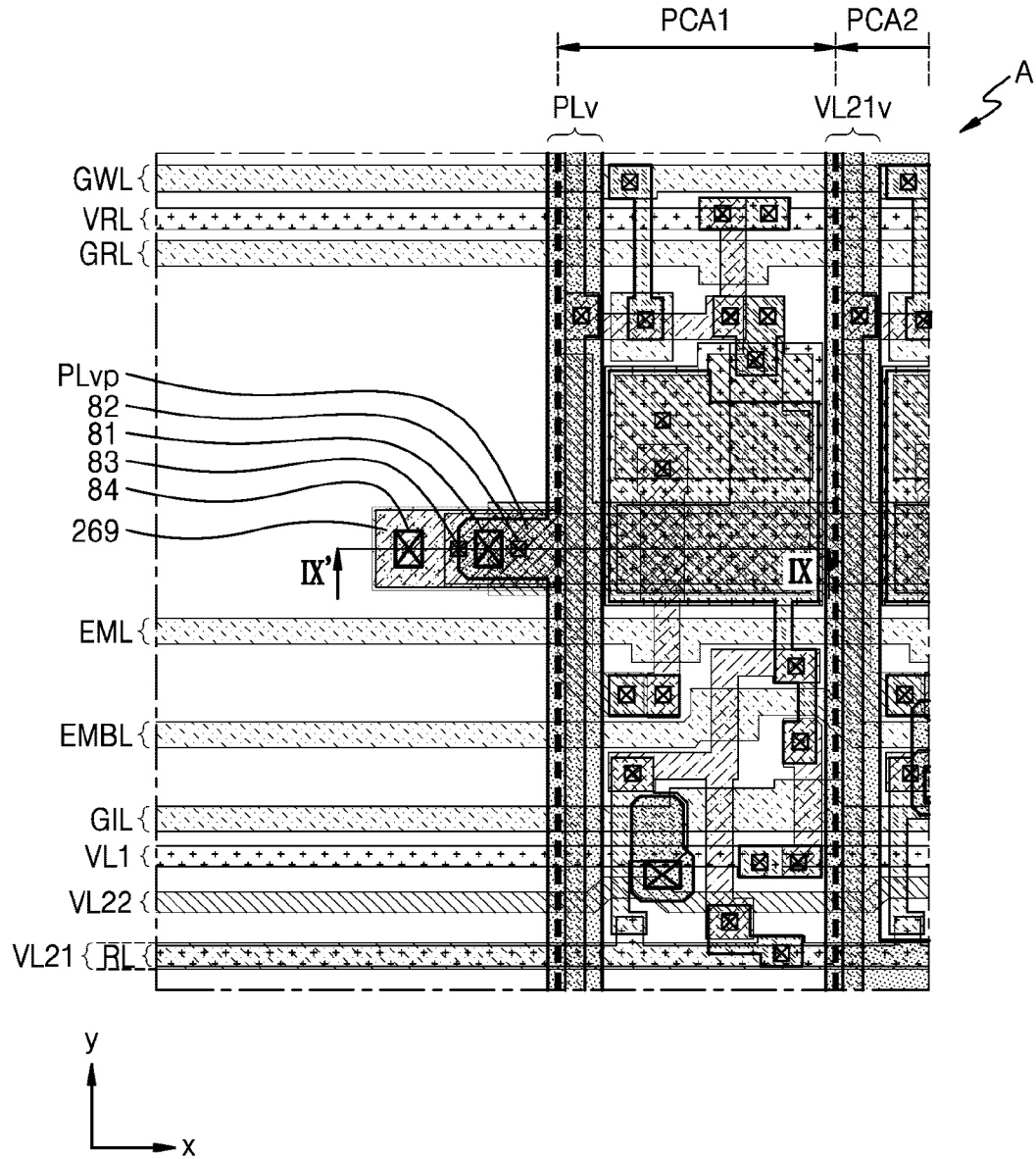
[도19]



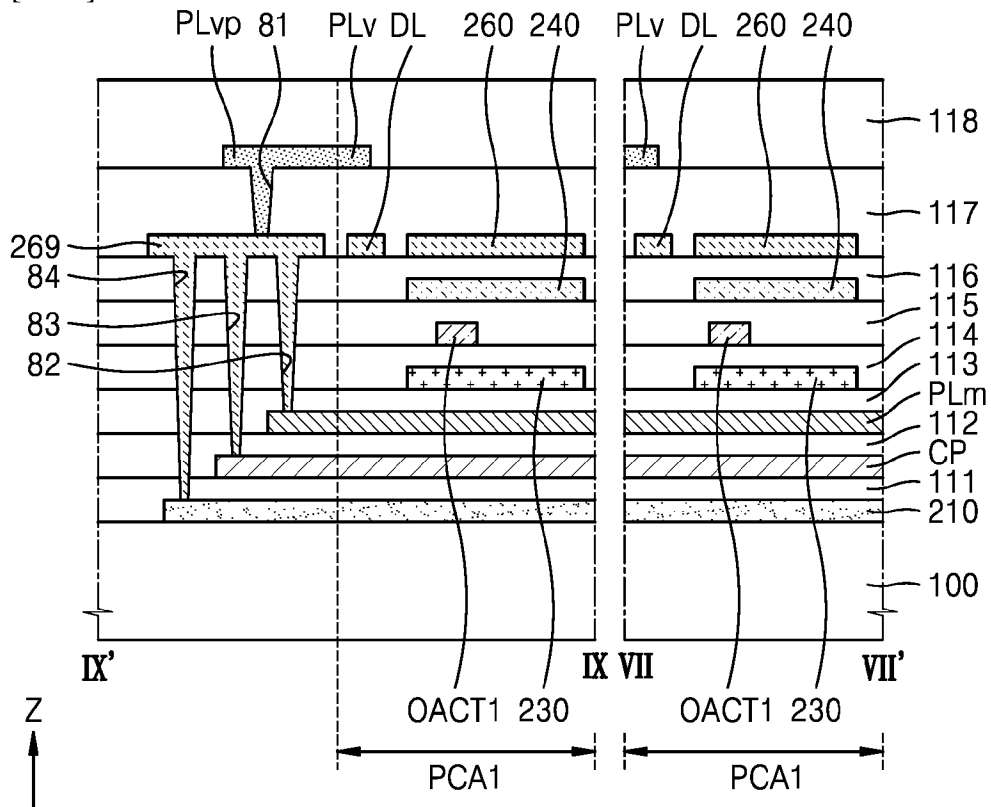
[도20]



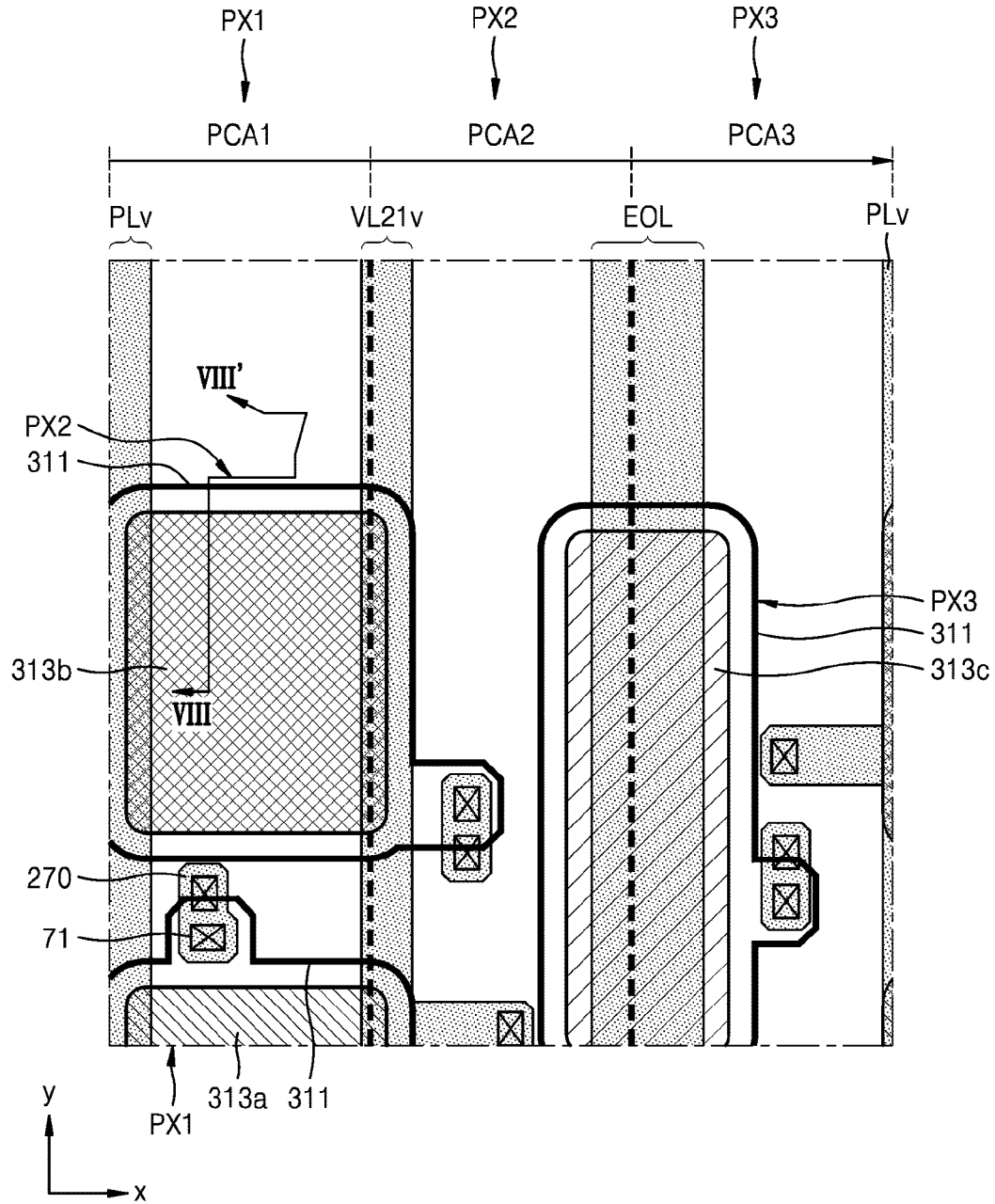
[도21]



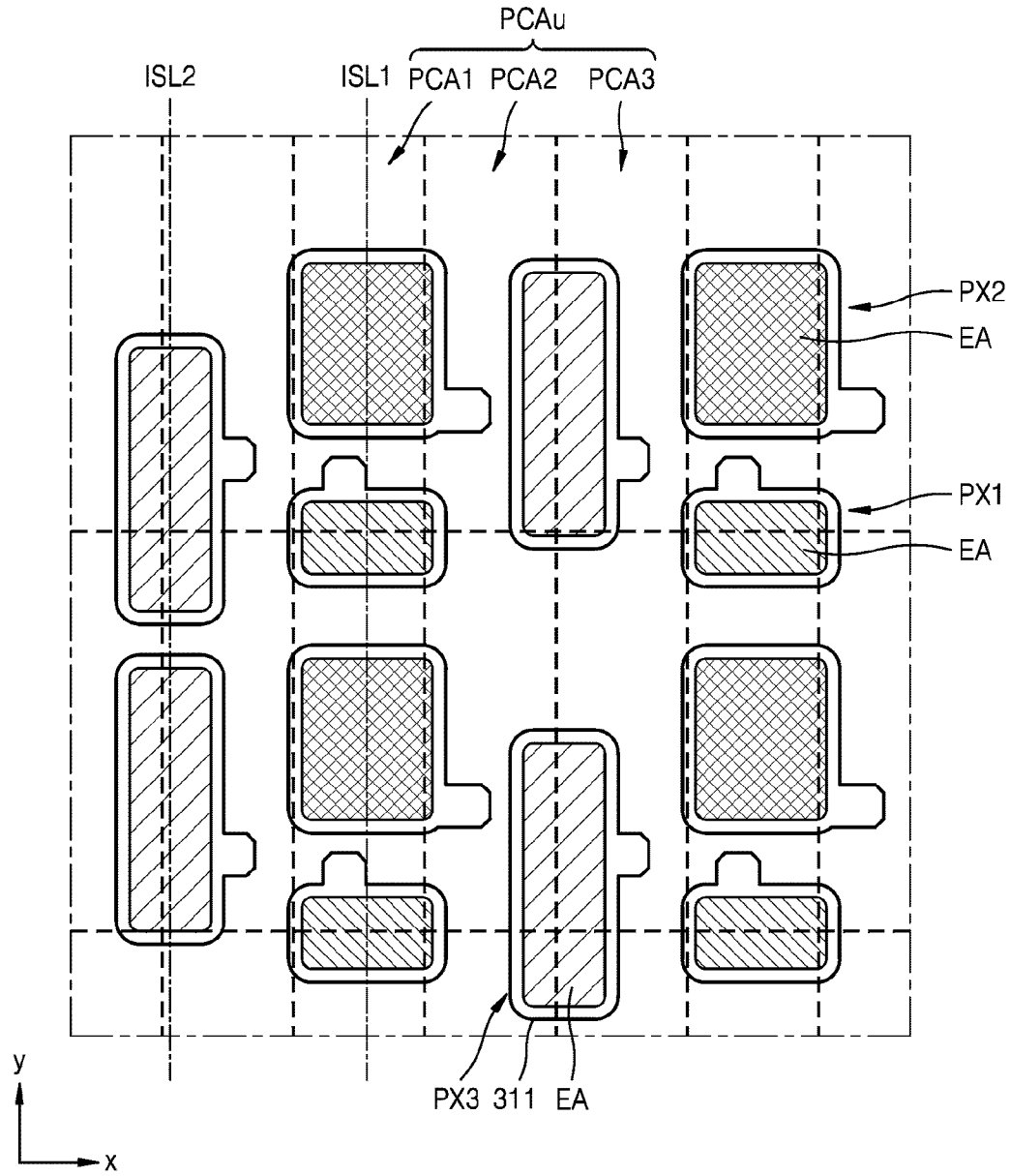
[도22]



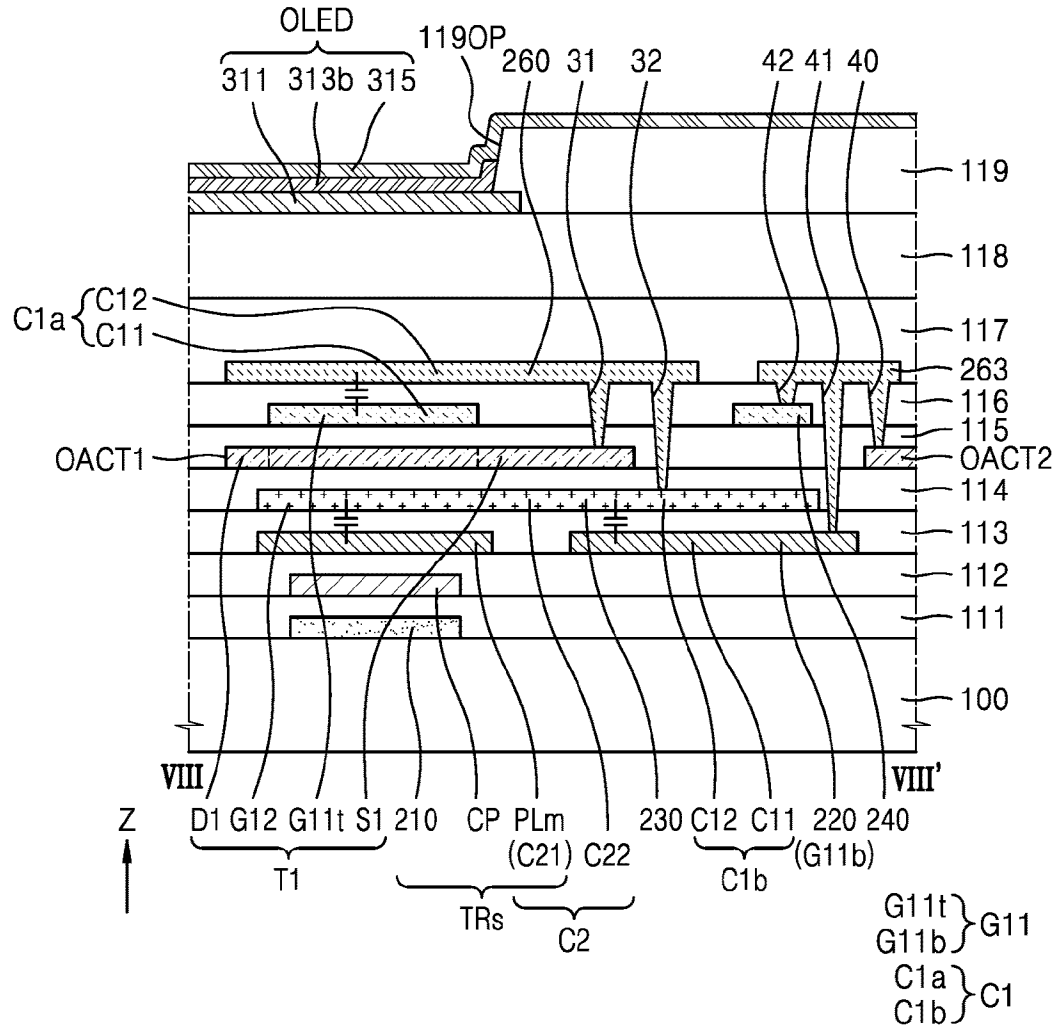
[도23]



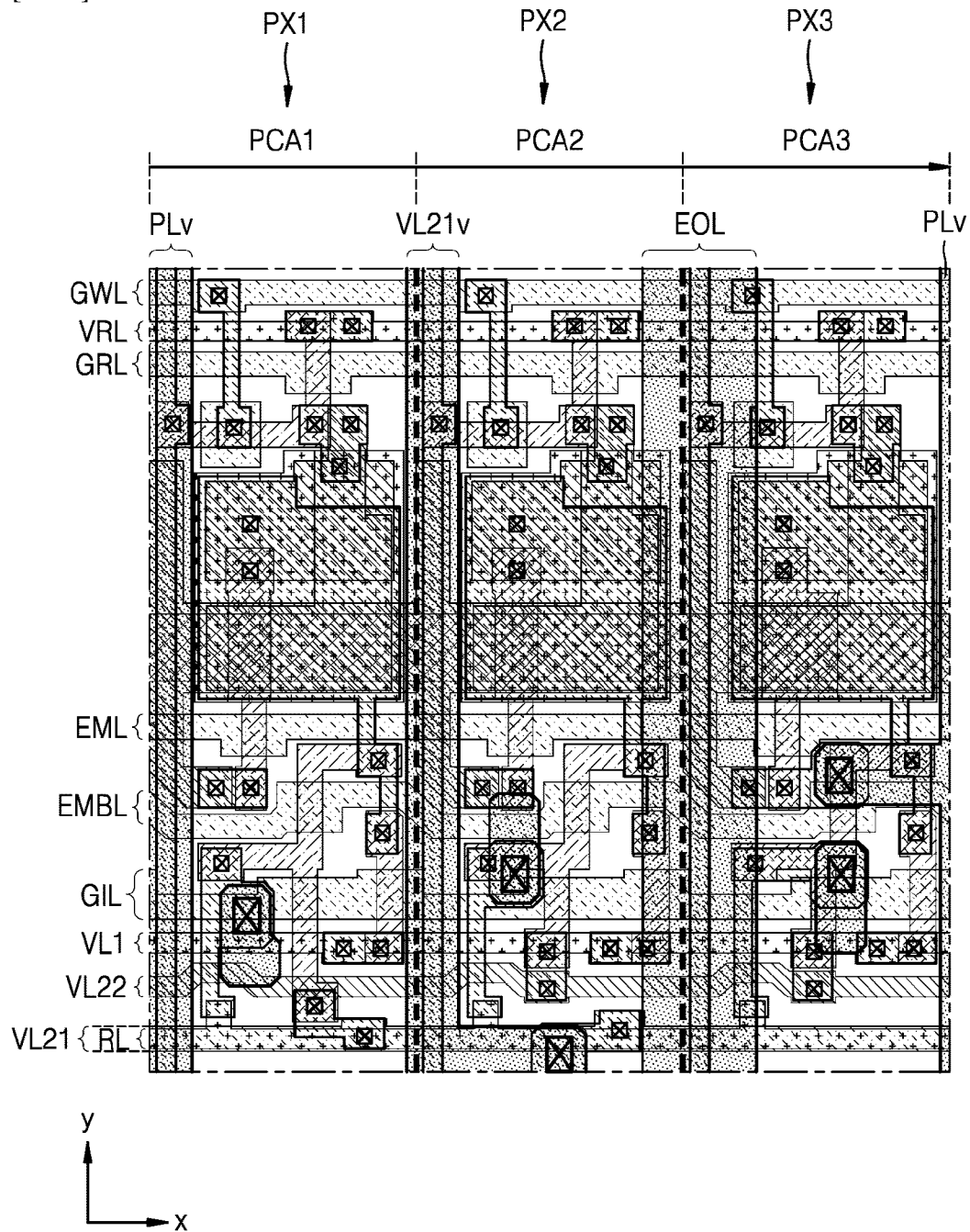
[도24]



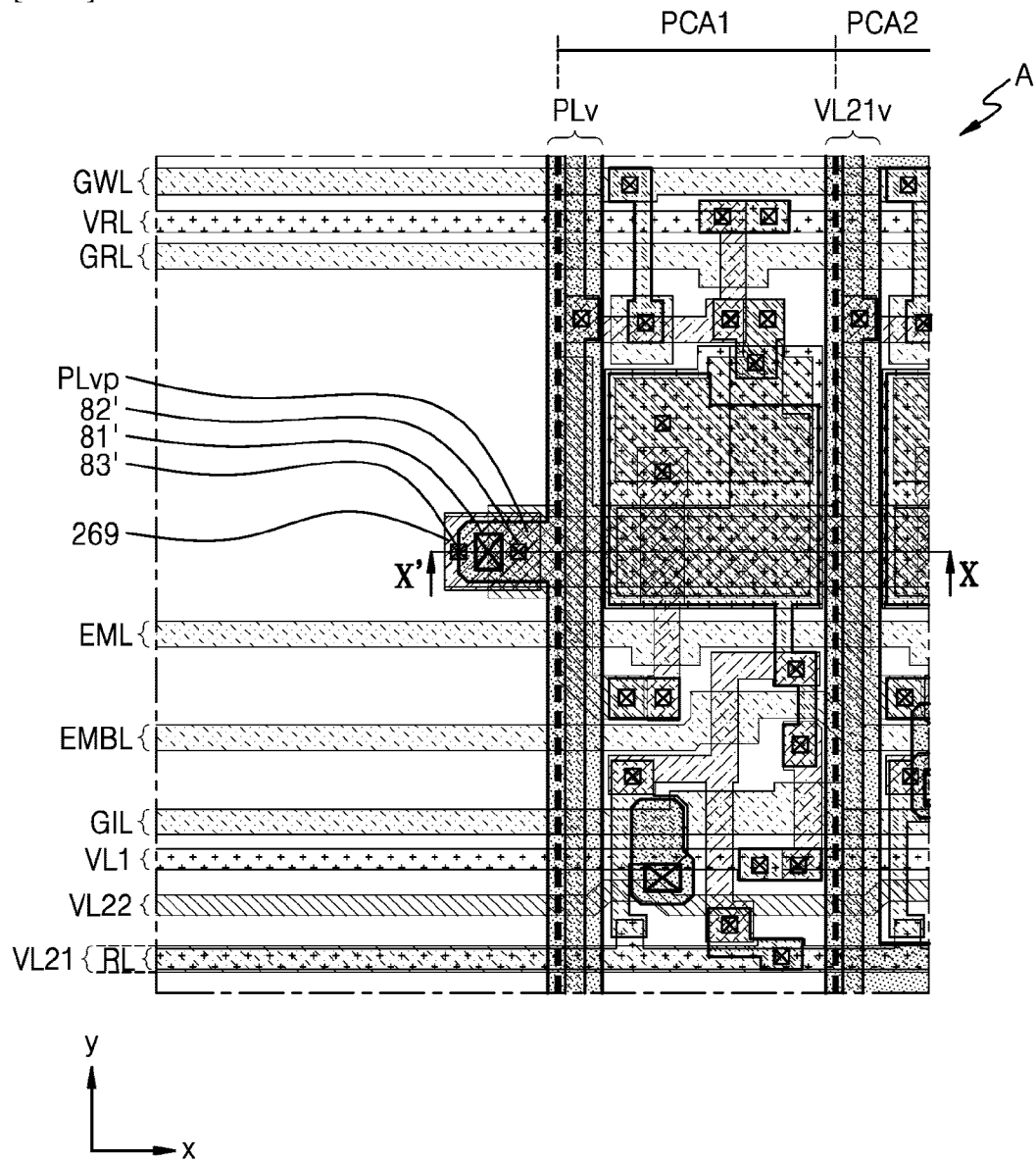
[도25]



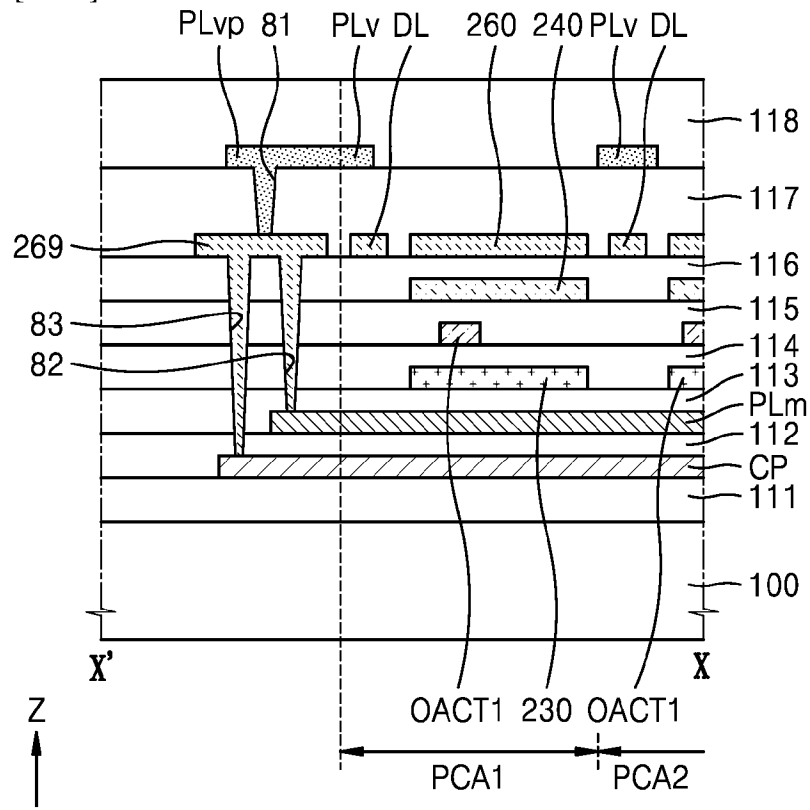
[도26]



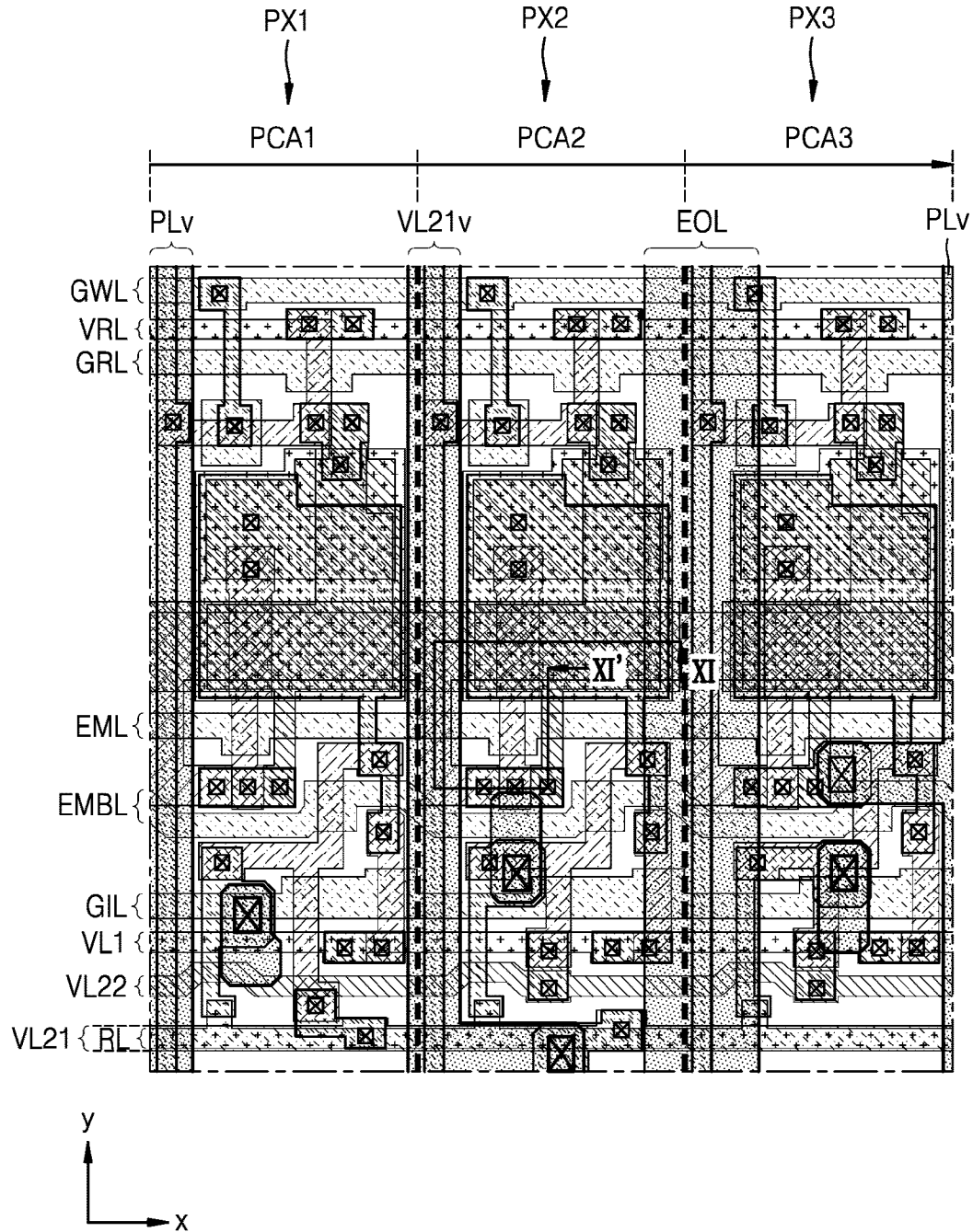
[도27]



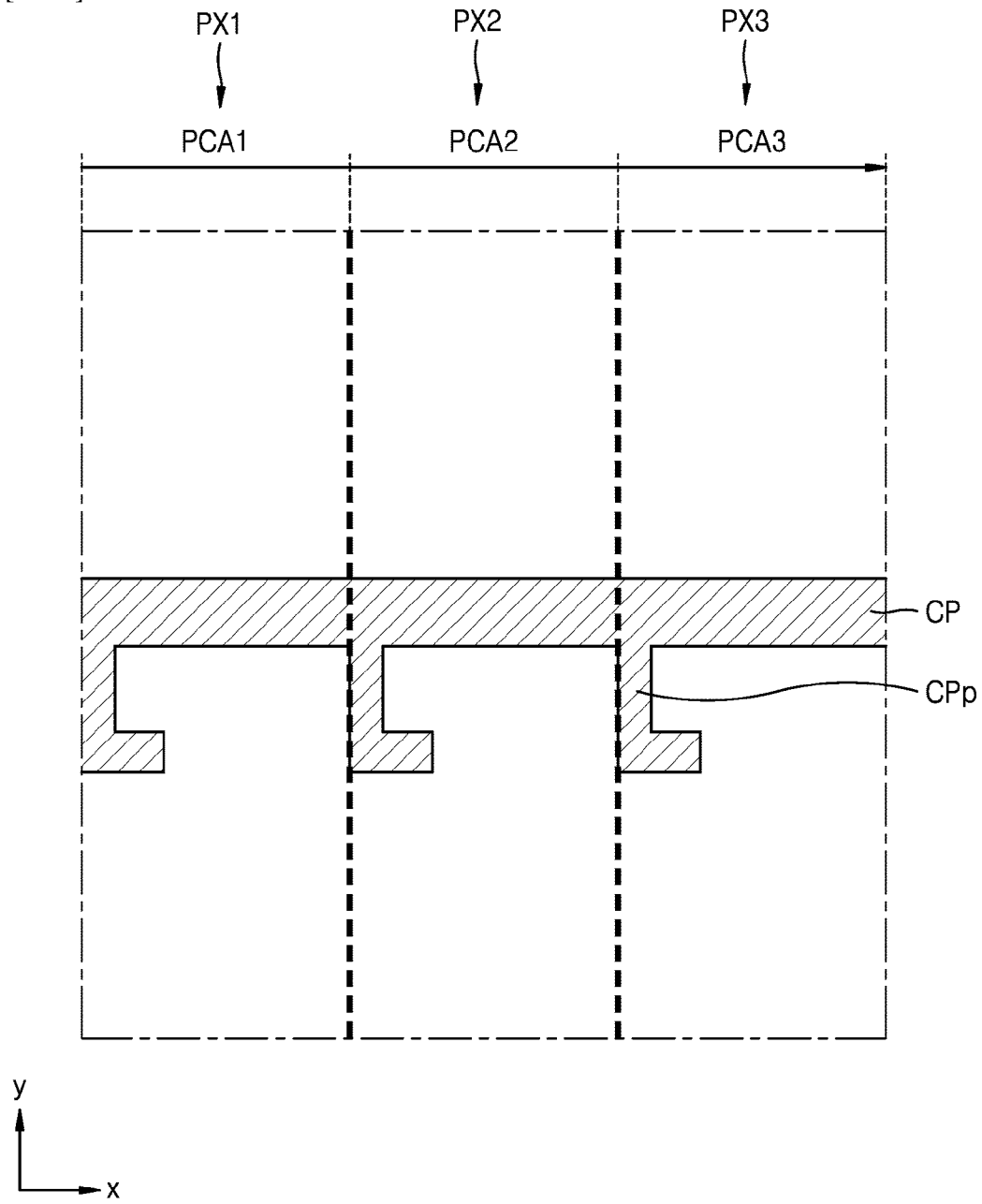
[도28]



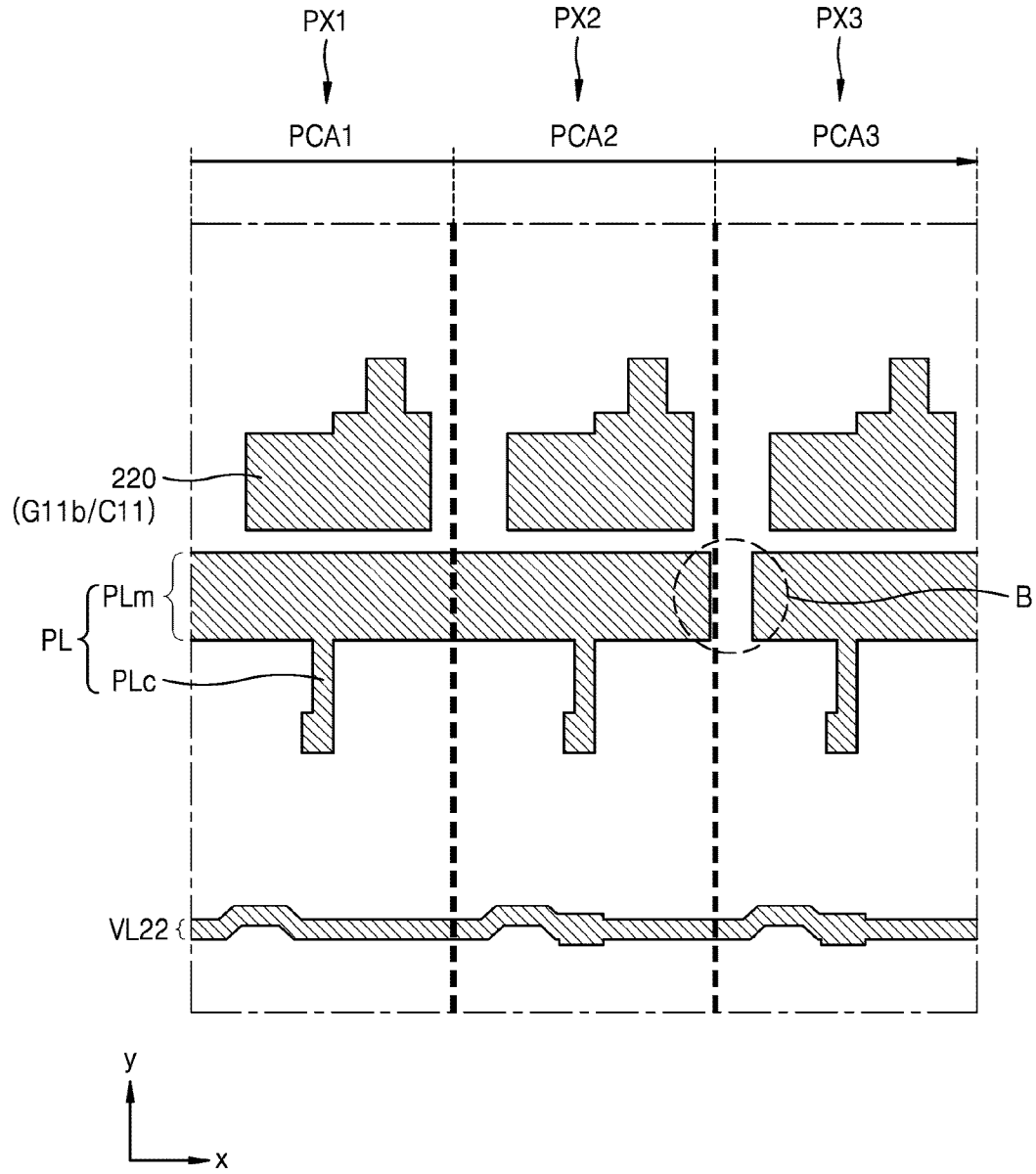
[도29]



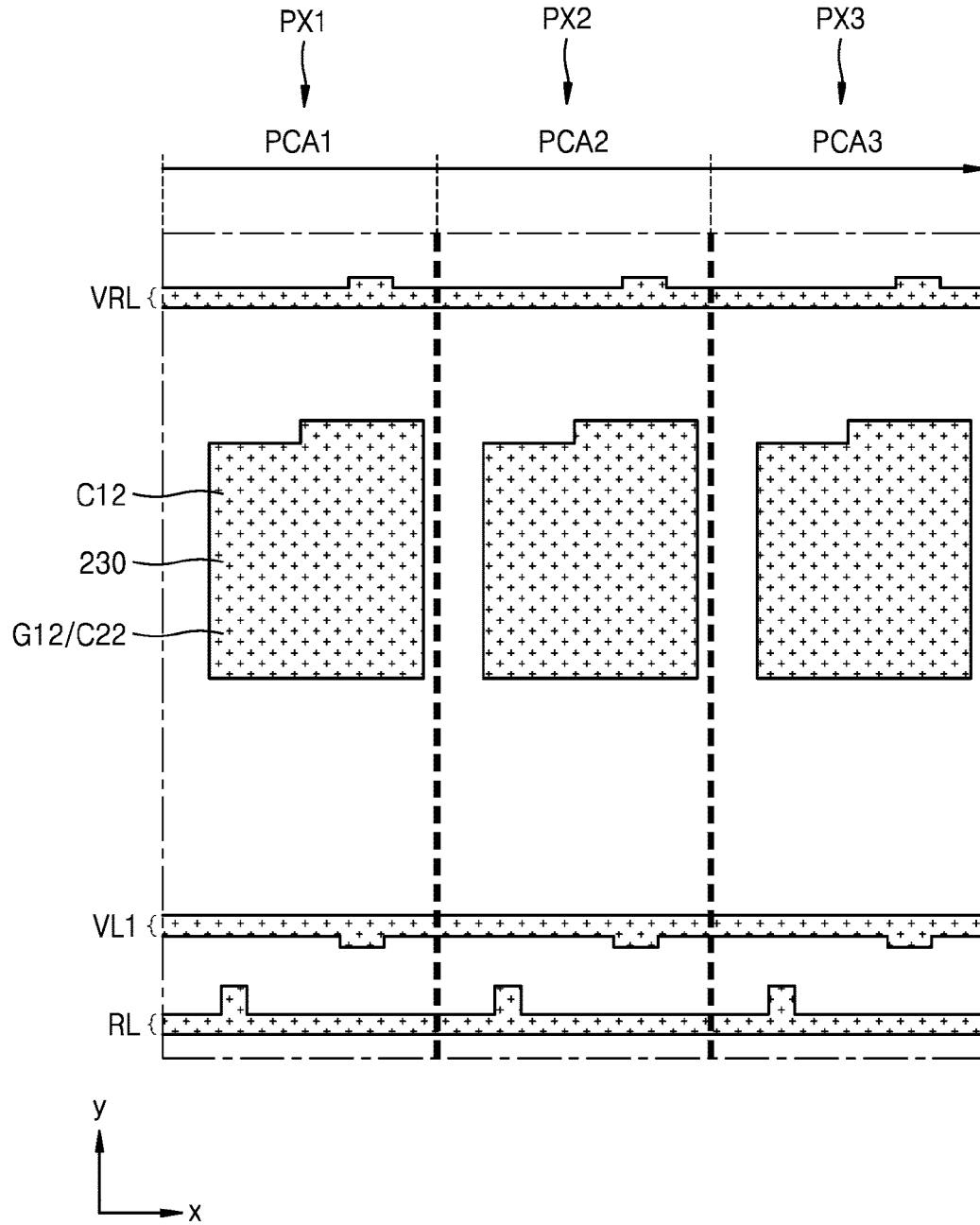
[도30]



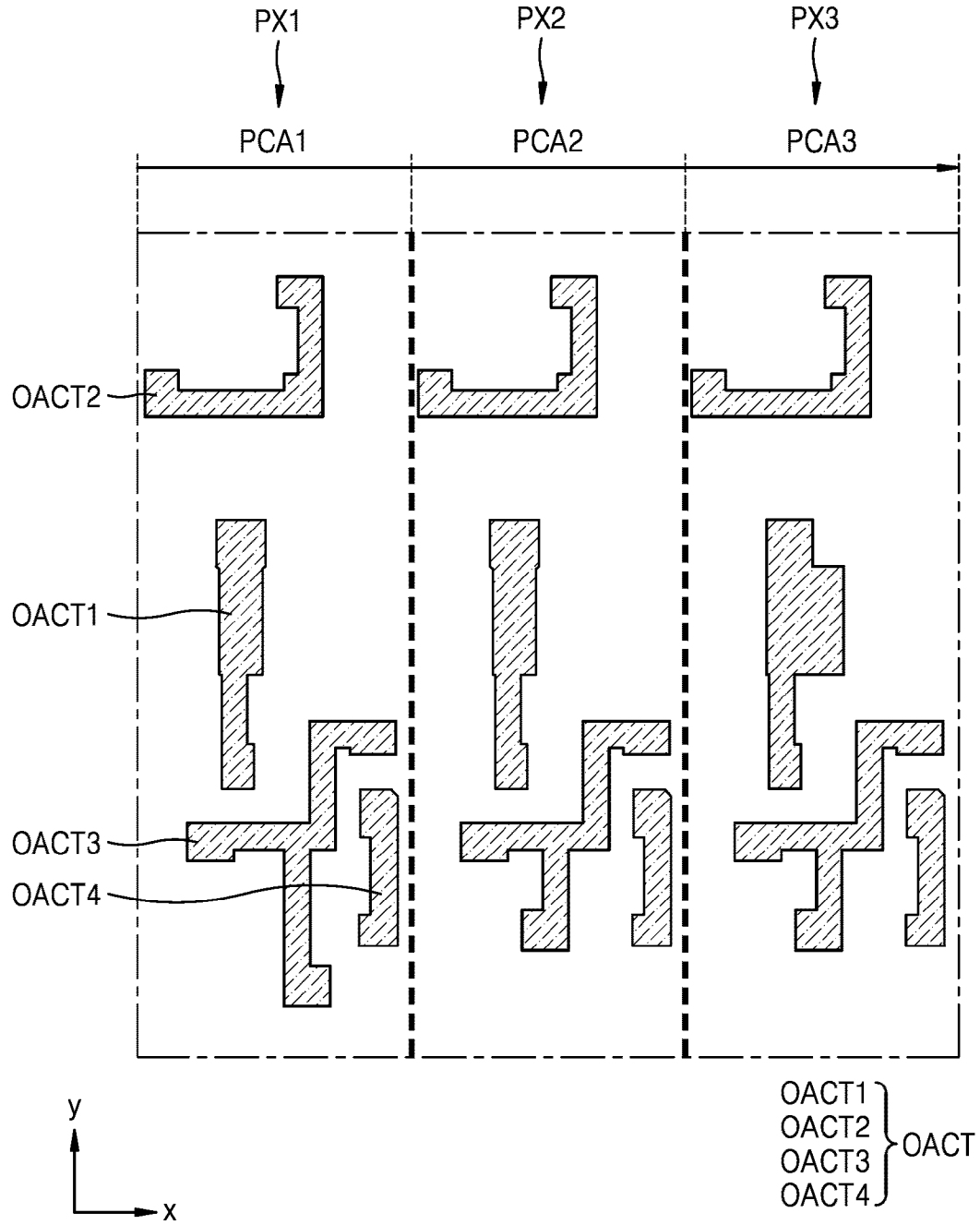
[도31]



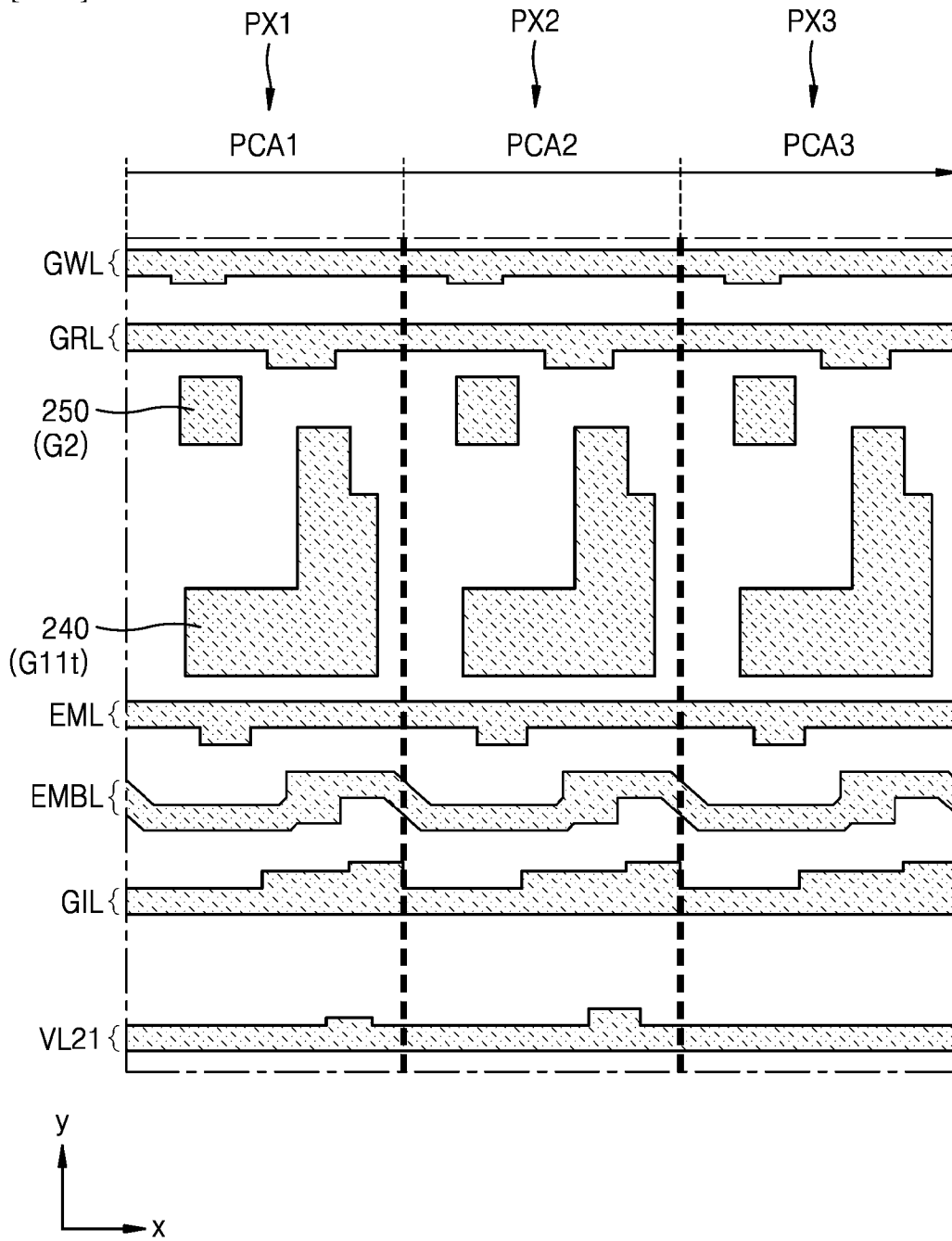
[도32]



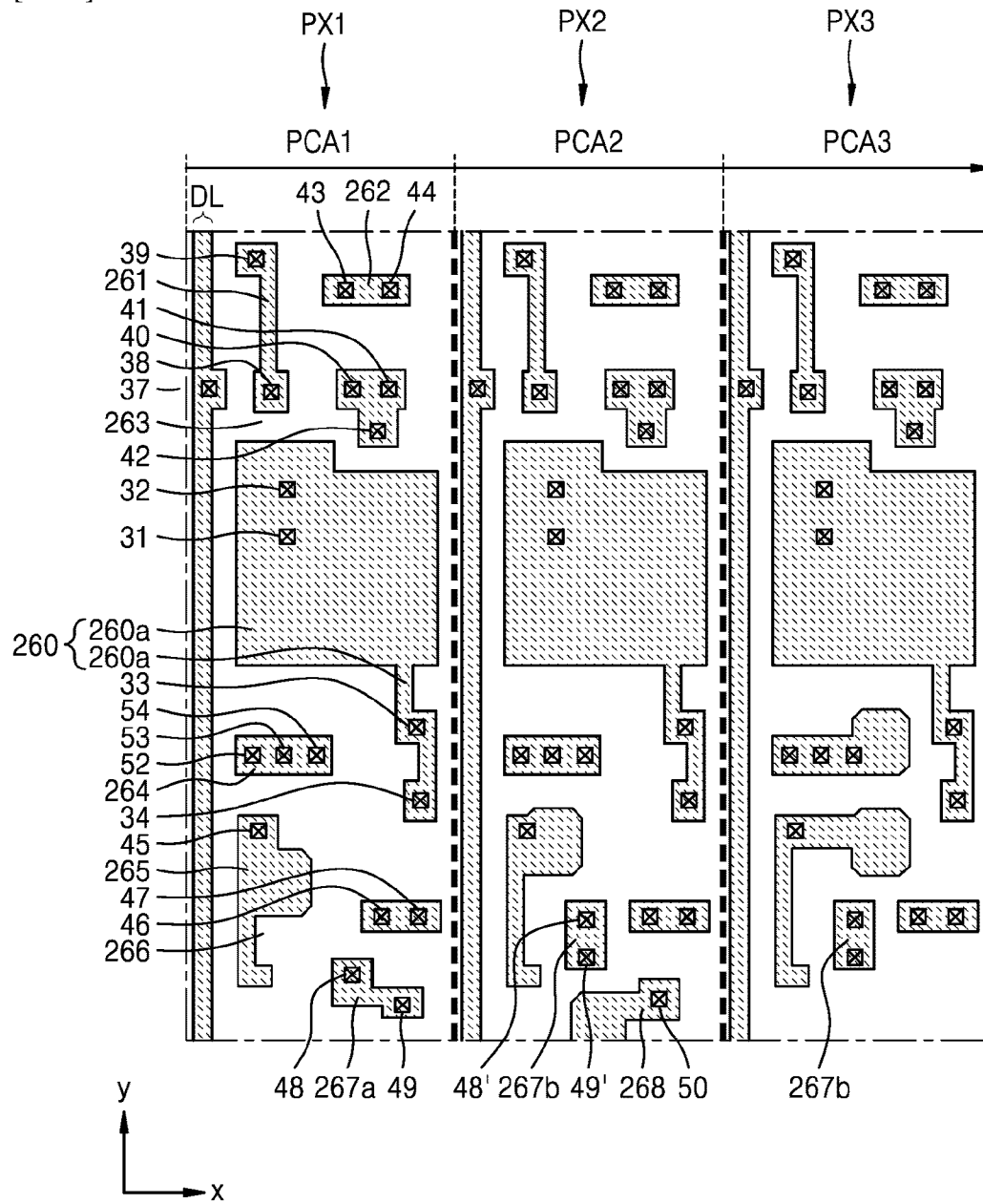
[도33]



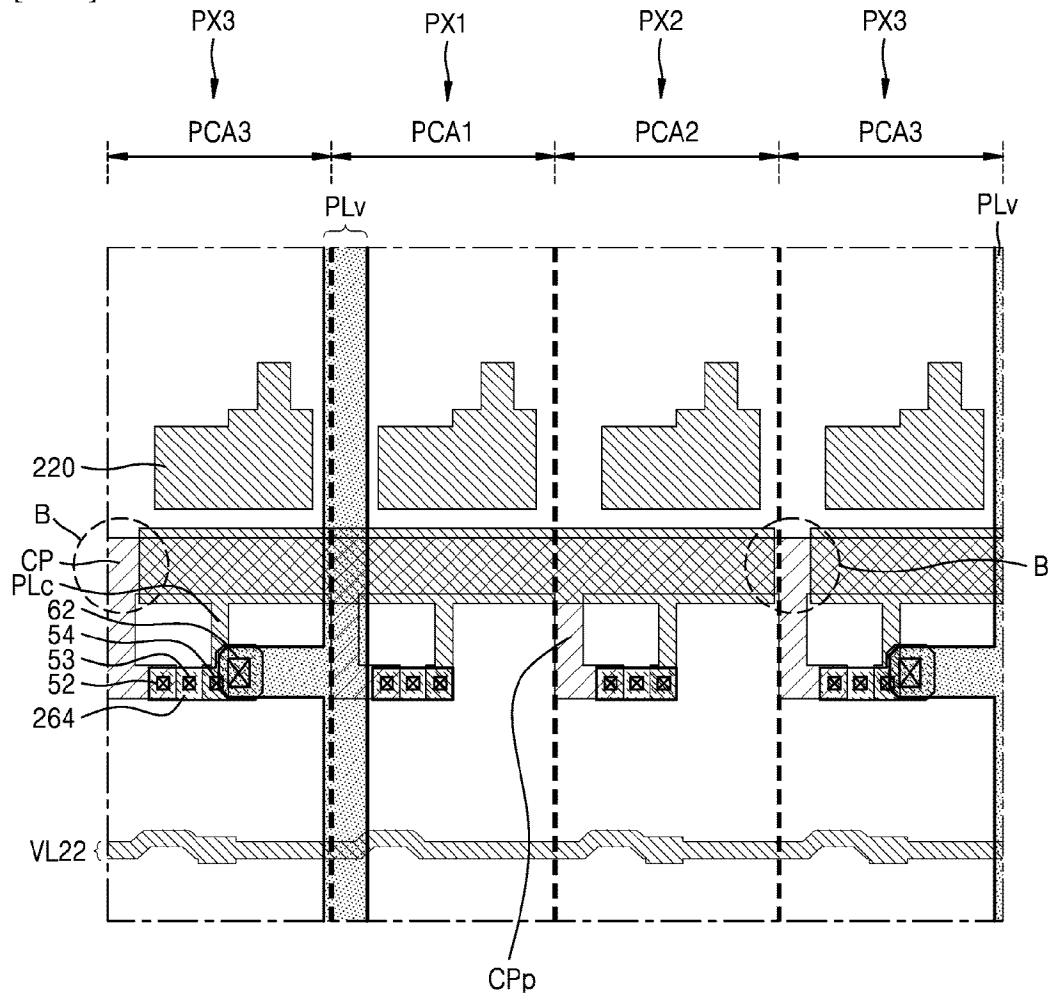
[도34]



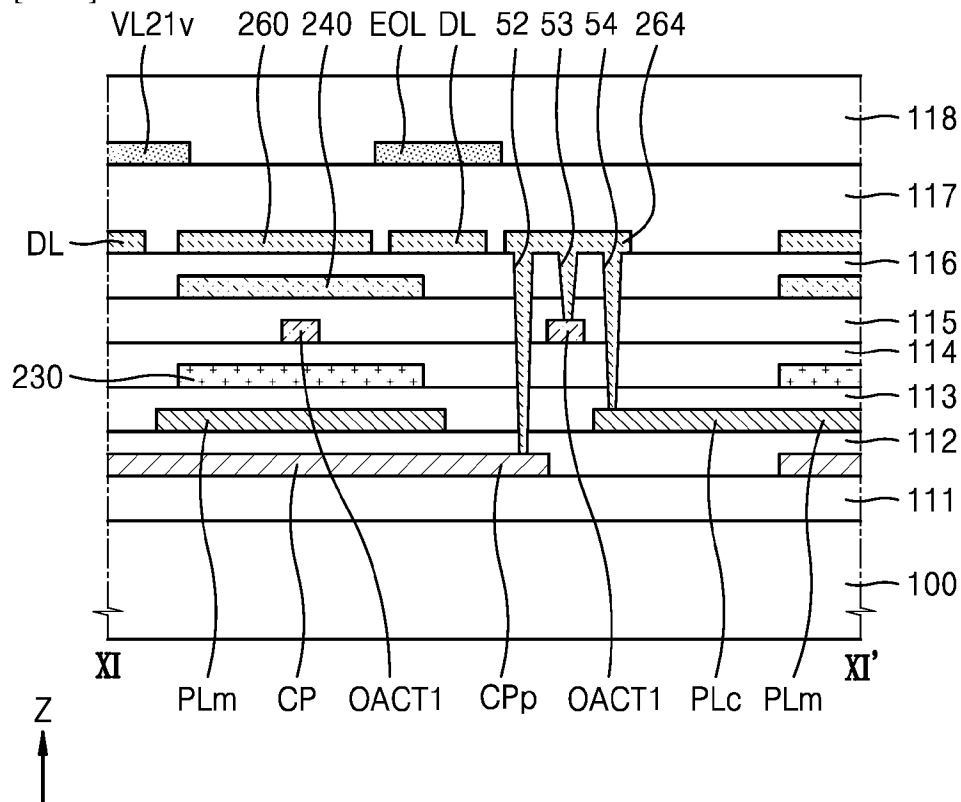
[도35]



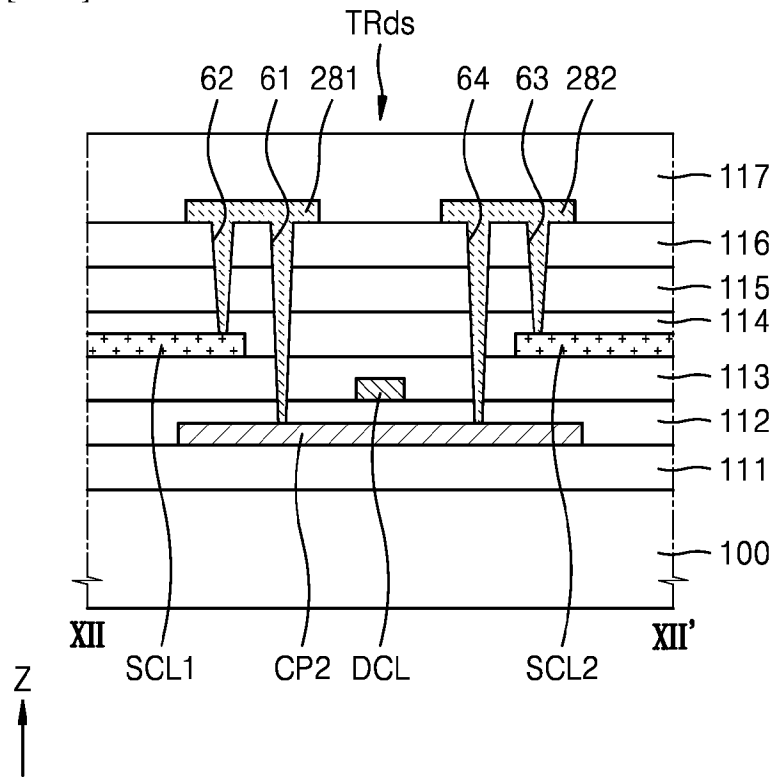
[도37]



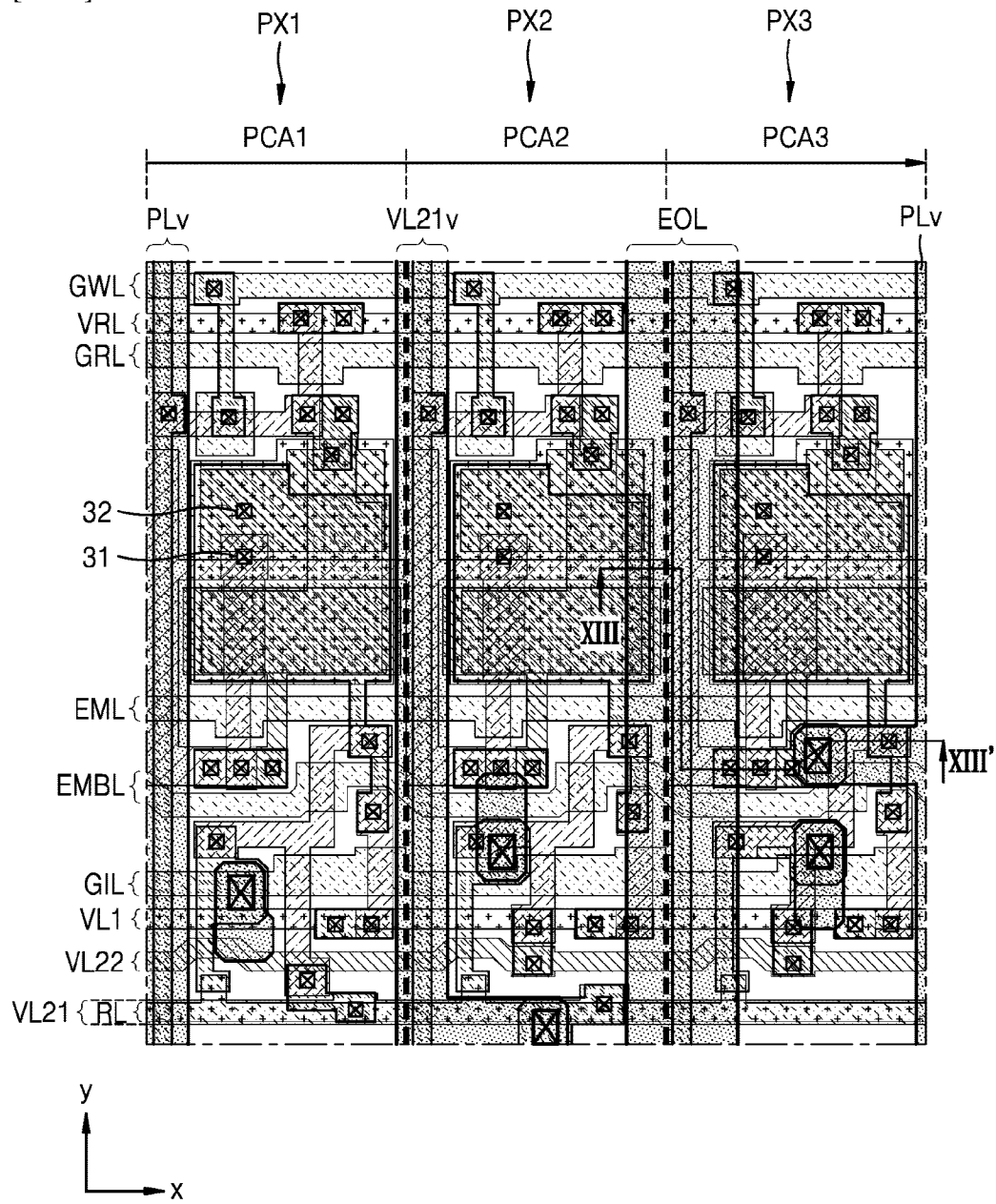
[도38]



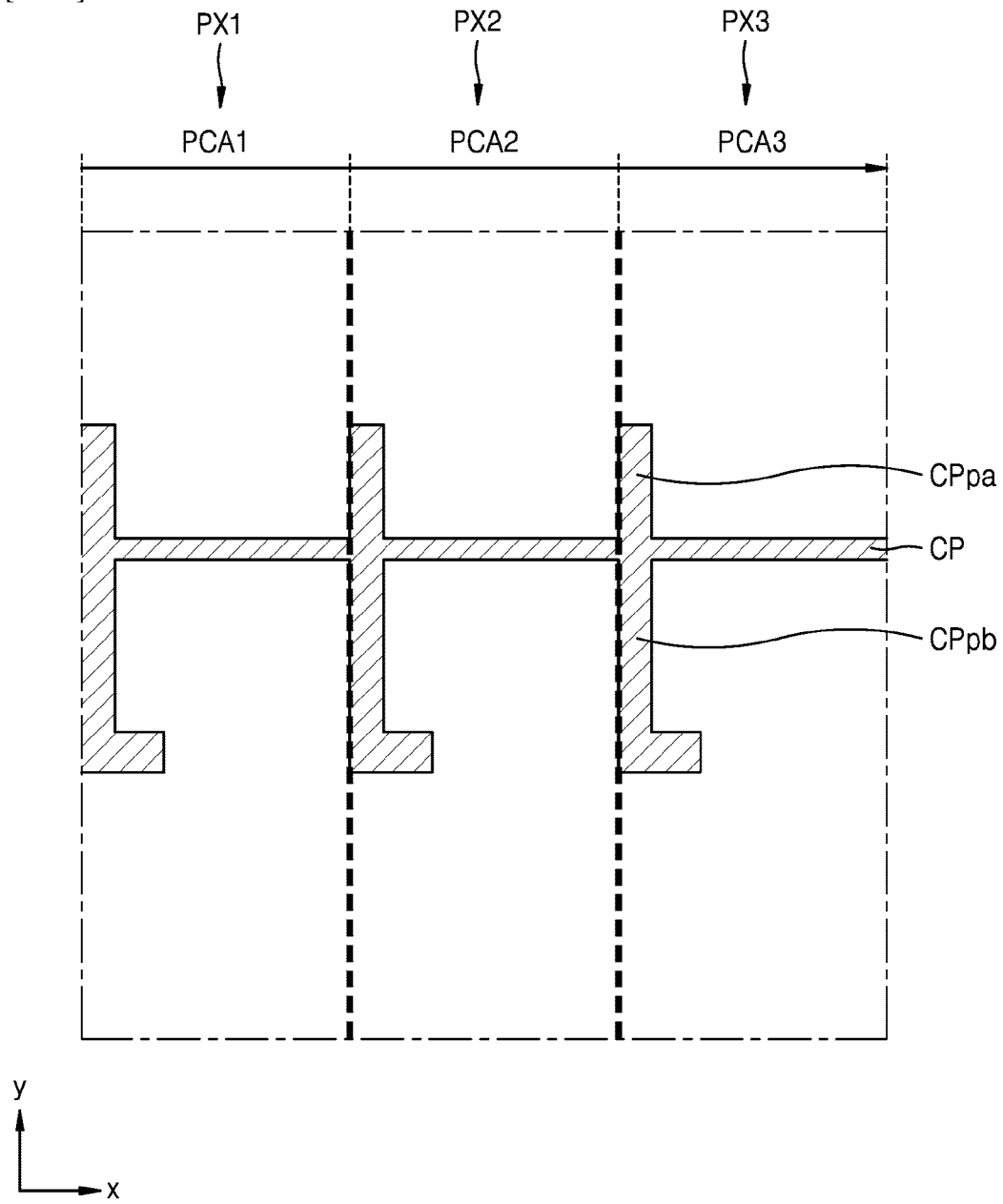
[도40]



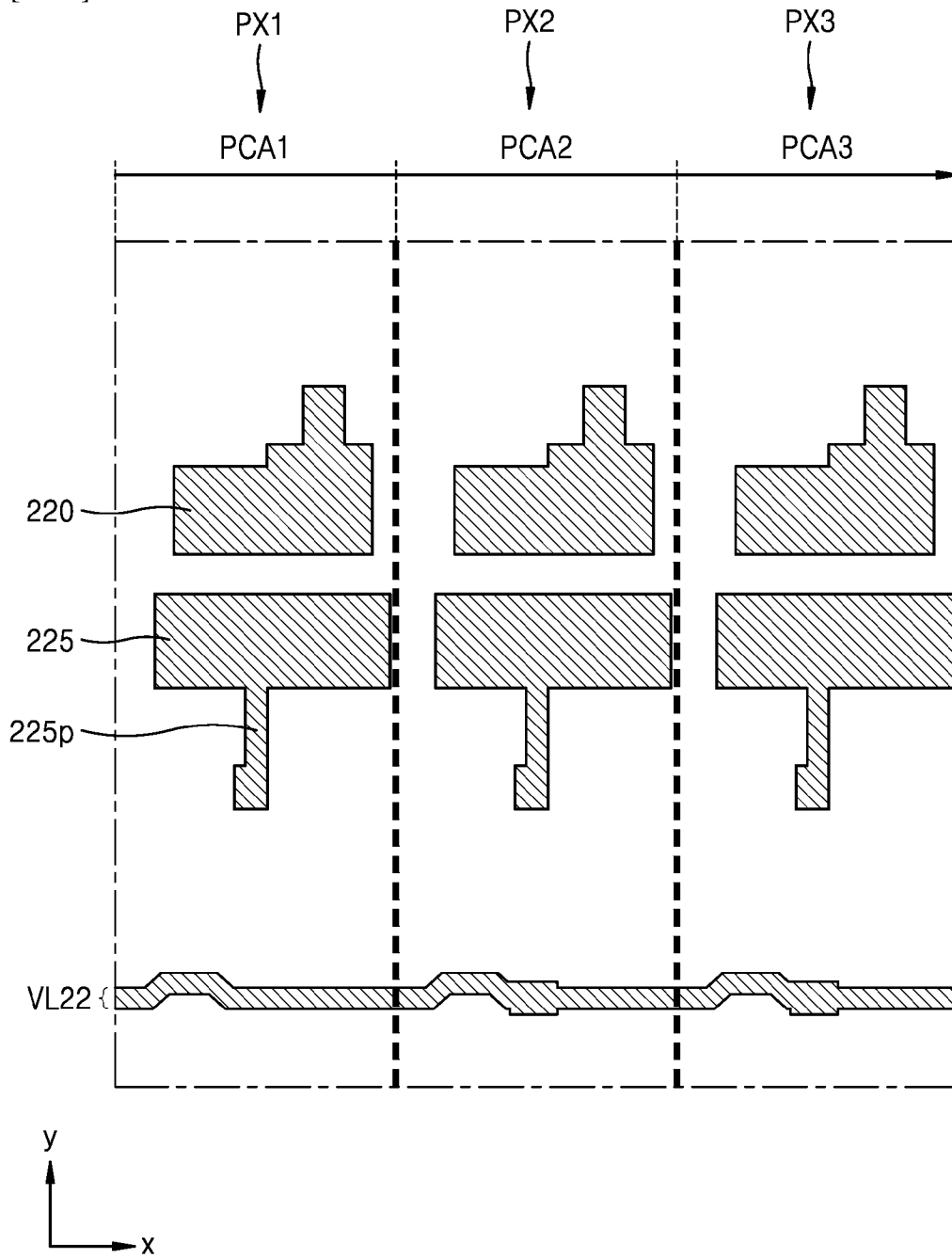
[도41]



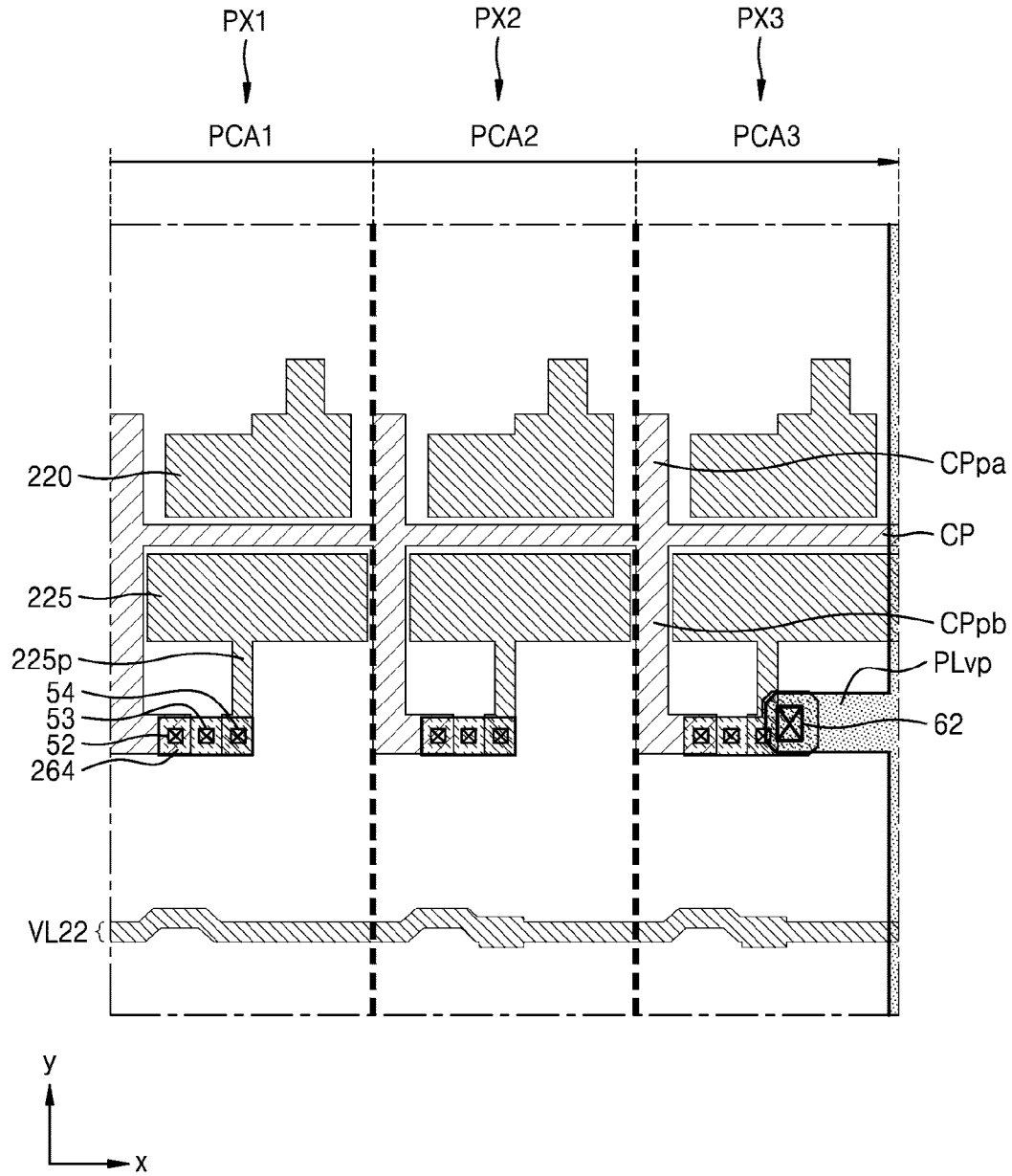
[도42]



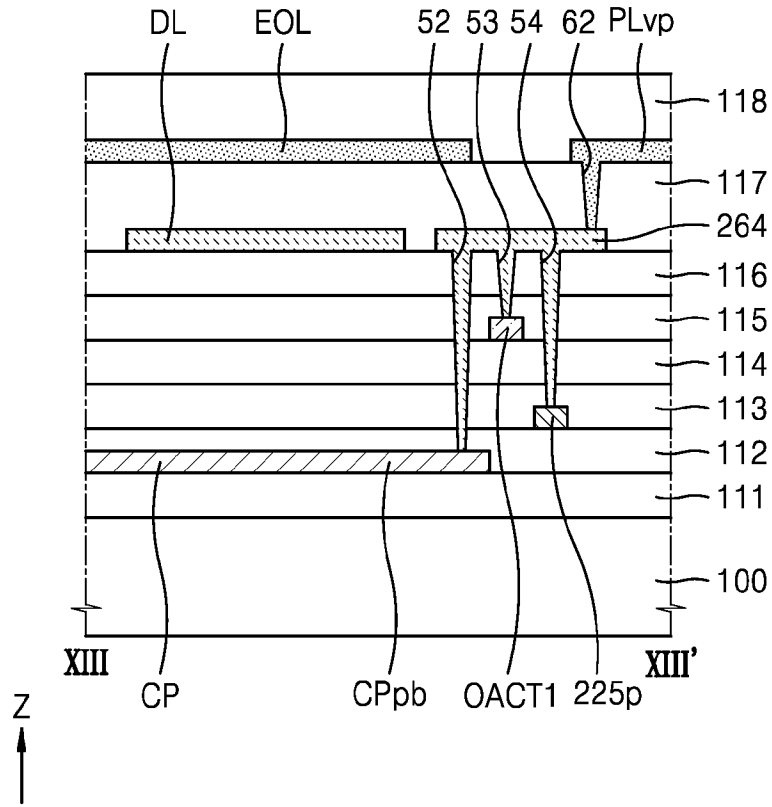
[도43]



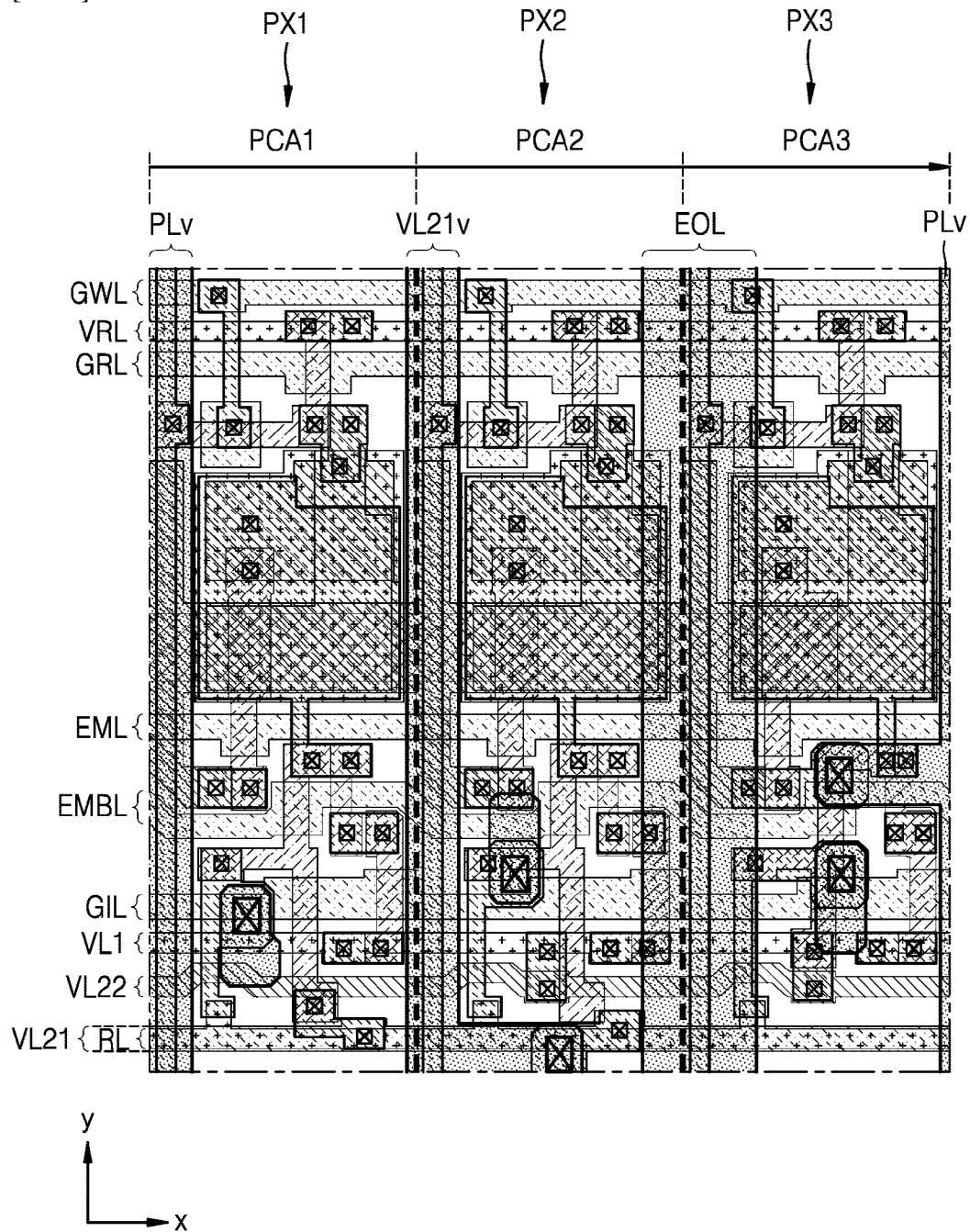
[도44]



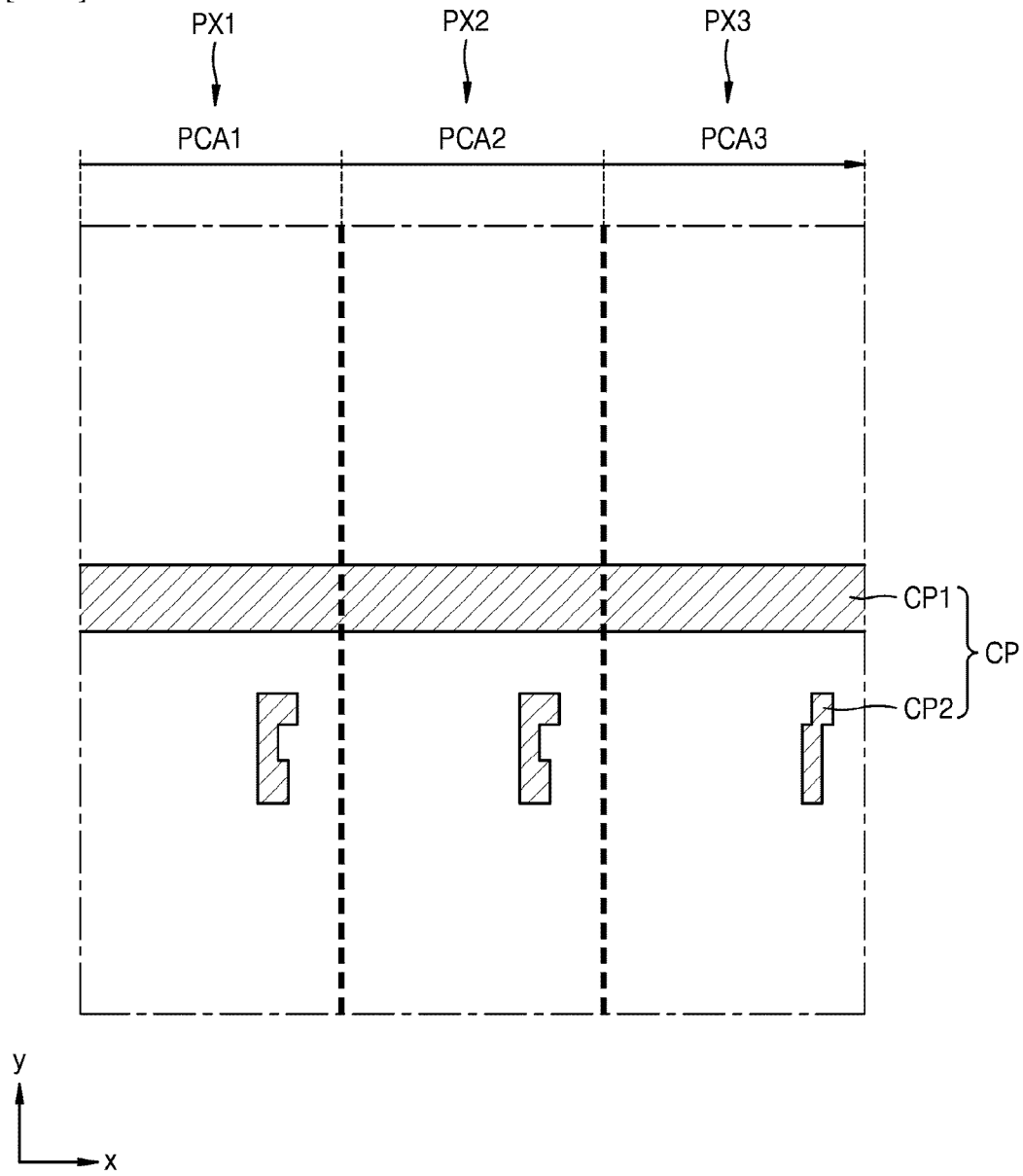
[도45]



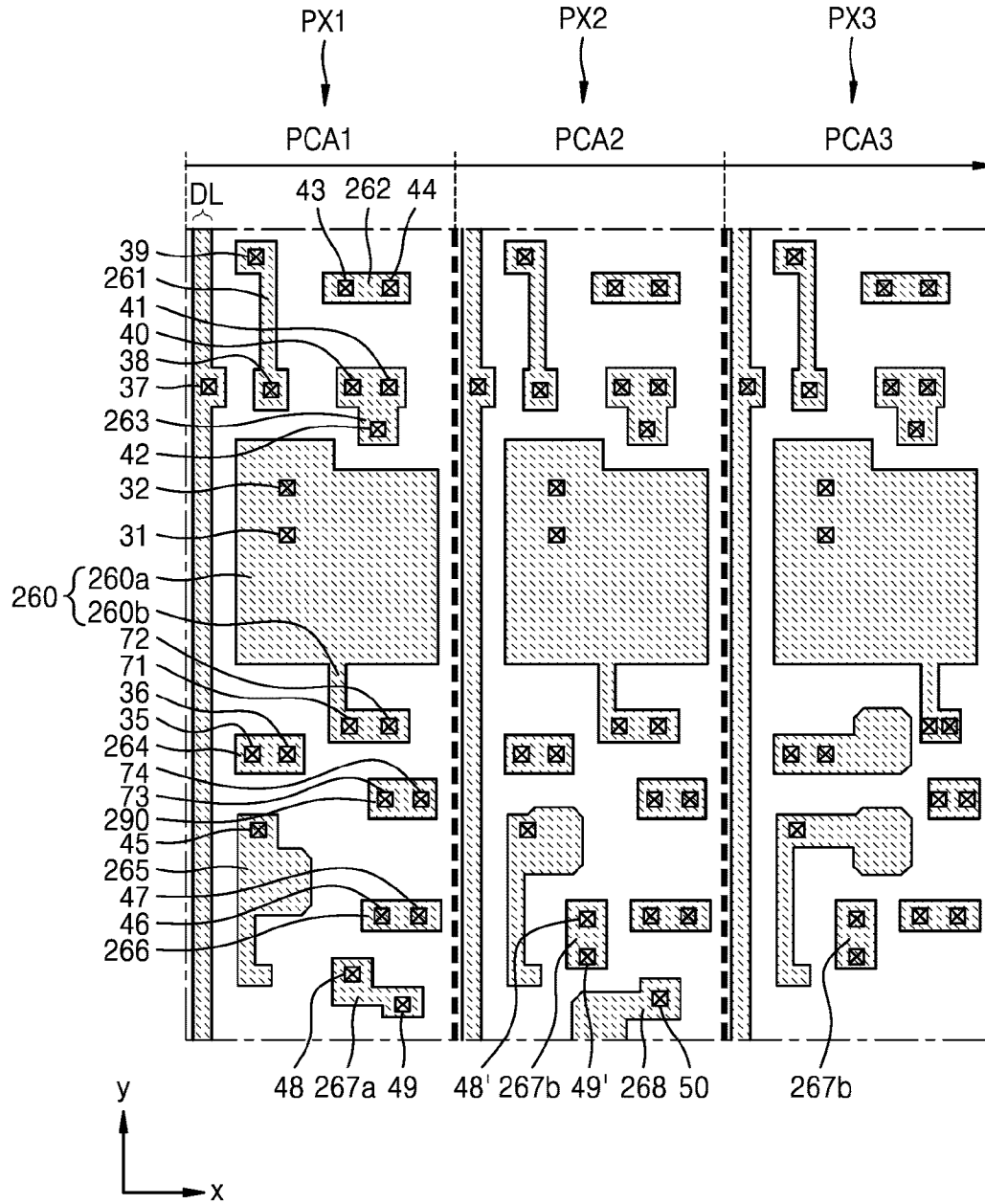
[도46]



[도47]



[도48]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/003658

A. CLASSIFICATION OF SUBJECT MATTER**H10K 59/121**(2023.01)i; **H10K 59/131**(2023.01)i; **G09G 3/3233**(2016.01)i; **G09G 3/3266**(2016.01)i; **H10K 59/80**(2023.01)i; **G09G 3/32**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10K 59/121(2023.01); G09G 3/32(2006.01); H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 51/50(2006.01); H10K 59/00(2023.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 표시장치(display), 박막트랜지스터(TFT), 주변 영역(peripheral area), 도전층(conductive layer), 산화물 반도체(oxide semiconductor)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2013488 B1 (JAPAN DISPLAY INC.) 22 August 2019 (2019-08-22) See paragraphs [0018]-[0039]; and figures 3-7.	1-9,16,20-21
Y		17,19,23
A		10-15,18,22,24
Y	KR 10-2022-0115709 A (SAMSUNG DISPLAY CO., LTD.) 18 August 2022 (2022-08-18) See paragraphs [0083] and [0091]; and figure 6.	17,23
Y	KR 10-1962860 B1 (LG DISPLAY CO., LTD.) 27 March 2019 (2019-03-27) See paragraph [0099]; and figure 1.	19
A	KR 10-2019-0003150 A (LG DISPLAY CO., LTD.) 09 January 2019 (2019-01-09) See paragraphs [0031]-[0055]; and figure 1.	1-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 June 2024

Date of mailing of the international search report

28 June 2024

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/003658

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2020-0373336 A1 (TIANMA JAPAN, LTD.) 26 November 2020 (2020-11-26) See paragraphs [0051]-[0057]; and figures 3-4.	1-24

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/003658

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
KR	10-2013488	B1	22 August 2019	CN	107230690 A	03 October 2017
				CN	107230690 B	22 September 2020
				CN	112038376 A	04 December 2020
				JP	2017-173505 A	28 September 2017
				JP	2020-101829 A	02 July 2020
				JP	6673731 B2	25 March 2020
				JP	6967622 B2	17 November 2021
				KR	10-2017-0110503 A	11 October 2017
				US	10236330 B2	19 March 2019
				US	10886351 B2	05 January 2021
				US	11404516 B2	02 August 2022
				US	11744111 B2	29 August 2023
				US	2017-0278916 A1	28 September 2017
				US	2019-0165071 A1	30 May 2019
				US	2021-0083029 A1	18 March 2021
				US	2022-0310735 A1	29 September 2022
				US	2023-0354647 A1	02 November 2023

				CN	114914274 A	16 August 2022
				CN	217134378 U	05 August 2022
				US	2022-0254849 A1	11 August 2022

KR	10-1962860	B1	27 March 2019	CN	105612620 A	25 May 2016
				CN	105612620 B	16 July 2019
				CN	107004682 A	01 August 2017
				CN	107004682 B	19 June 2020
				CN	107078135 A	18 August 2017
				CN	107078135 B	28 September 2021
				CN	107112330 A	29 August 2017
				CN	107112330 B	18 December 2020
				EP	3113226 A1	04 January 2017
				EP	3113226 A4	30 August 2017
				EP	3113226 B1	08 May 2019
				EP	3241209 A1	08 November 2017
				EP	3241209 A4	13 December 2017
				EP	3241240 A1	08 November 2017
				EP	3241240 A4	22 August 2018
				EP	3241240 B1	18 November 2020
				EP	3241241 A1	08 November 2017
				EP	3241241 A4	13 December 2017
				EP	3241241 B1	08 June 2022
				EP	4060750 A1	21 September 2022
				KR	10-1672091 B1	02 November 2016
				KR	10-1687069 B1	15 December 2016
				KR	10-1773661 B1	12 September 2017
				KR	10-2015-0100459 A	02 September 2015
				KR	10-2015-0100462 A	02 September 2015
				KR	10-2015-0100515 A	02 September 2015
				KR	10-2015-0100516 A	02 September 2015
				KR	10-2016-0075461 A	29 June 2016
				KR	10-2017-0017990 A	15 February 2017
				KR	10-2017-0100503 A	04 September 2017

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/003658

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
		KR 10-2017-0101203 A	05 September 2017
		KR 10-2017-0101892 A	06 September 2017
		KR 10-2022-0076528 A	08 June 2022
		KR 10-2022-0077934 A	09 June 2022
		KR 10-2023-0003635 A	06 January 2023
		KR 10-2023-0025508 A	21 February 2023
		KR 10-2023-0034418 A	09 March 2023
		KR 10-2023-0119738 A	16 August 2023
		KR 10-2024-0023203 A	20 February 2024
		KR 10-2024-0054421 A	25 April 2024
		KR 10-2071301 B1	02 March 2020
		KR 10-2277553 B1	13 July 2021
		KR 10-2402602 B1	25 May 2022
		KR 10-2404159 B1	30 May 2022
		KR 10-2479304 B1	20 December 2022
		KR 10-2501162 B1	16 February 2023
		KR 10-2503812 B1	23 February 2023
		KR 10-2566477 B1	10 August 2023
		KR 10-2636037 B1	08 February 2024
		KR 10-2658874 B1	17 April 2024
		US 2015-0243203 A1	27 August 2015
		US 2015-0243220 A1	27 August 2015
		US 2015-0243718 A1	27 August 2015
		US 2015-0243719 A1	27 August 2015
		US 2015-0243720 A1	27 August 2015
		US 2015-0243722 A1	27 August 2015
		US 2016-0141347 A1	19 May 2016
		US 2016-0240565 A1	18 August 2016
		US 9276050 B2	01 March 2016
		US 9406705 B2	02 August 2016
		US 9449994 B2	20 September 2016
		US 9489882 B2	08 November 2016
		US 9490276 B2	08 November 2016
		US 9595546 B2	14 March 2017
		US 9627462 B2	18 April 2017
		US 9634038 B2	25 April 2017
		WO 2015-130082 A1	03 September 2015
		WO 2016-108464 A1	07 July 2016
		WO 2016-108473 A1	07 July 2016
		WO 2016-108476 A1	07 July 2016
KR 10-2019-0003150 A	09 January 2019	CN 109216374 A	15 January 2019
		CN 109216374 B	16 December 2022
		CN 115810634 A	17 March 2023
		KR 10-2023-0050291 A	14 April 2023
		KR 10-2519087 B1	05 April 2023
		US 10490668 B2	26 November 2019
		US 11302821 B2	12 April 2022
		US 2019-0006521 A1	03 January 2019
		US 2020-0058797 A1	20 February 2020
		US 2022-0199835 A1	23 June 2022

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/003658

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2020-0373336	A1	26 November 2020	CN	105473474	A	06 April 2016
				CN	105473474	B	23 January 2018
				CN	105492348	A	13 April 2016
				CN	105492348	B	13 April 2018
				CN	105531207	A	27 April 2016
				CN	105531207	B	08 June 2018
				CN	106457561	A	22 February 2017
				CN	106457561	B	11 October 2019
				CN	106458479	A	22 February 2017
				CN	106458479	B	06 August 2019
				CN	106573381	A	19 April 2017
				CN	106573381	B	03 December 2019
				CN	106604881	A	26 April 2017
				CN	106604881	B	04 June 2019
				CN	107818986	A	20 March 2018
				CN	107962549	A	27 April 2018
				CN	107962549	B	18 October 2022
				EP	2996973	A1	23 March 2016
				EP	2996973	A4	23 November 2016
				EP	2996973	B1	30 January 2019
				EP	3038957	A1	06 July 2016
				EP	3038957	A4	26 April 2017
				EP	3038957	B1	01 May 2019
				EP	3038958	A1	06 July 2016
				EP	3038958	A4	26 April 2017
				EP	3038958	B1	29 May 2019
				EP	3126271	A1	08 February 2017
				EP	3126271	B1	13 May 2020
				EP	3137266	A1	08 March 2017
				EP	3137266	B1	03 June 2020
				EP	3152010	A1	12 April 2017
				EP	3152010	A4	24 January 2018
				EP	3186175	A1	05 July 2017
				EP	3186175	A4	09 May 2018
				EP	3186175	B1	26 May 2021
				EP	3311960	A1	25 April 2018
				EP	3311960	B1	04 December 2019
				EP	3371079	A1	12 September 2018
				EP	3444208	A1	20 February 2019
				JP	2018-050029	A	29 March 2018
				JP	7030285	B2	07 March 2022
				US	10005627	B2	26 June 2018
				US	10029374	B2	24 July 2018
				US	10065811	B2	04 September 2018
				US	10124967	B2	13 November 2018
				US	10233038	B2	19 March 2019
				US	10239701	B2	26 March 2019
				US	10315866	B2	11 June 2019
				US	10336562	B2	02 July 2019
				US	10464762	B2	05 November 2019

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/003658

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
		US 11227879 B2	18 January 2022
		US 2014-0341694 A1	20 November 2014
		US 2014-0341695 A1	20 November 2014
		US 2015-0037131 A1	05 February 2015
		US 2015-0063972 A1	05 March 2015
		US 2015-0063973 A1	05 March 2015
		US 2015-0274447 A1	01 October 2015
		US 2015-0308466 A1	29 October 2015
		US 2015-0352721 A1	10 December 2015
		US 2015-0360882 A1	17 December 2015
		US 2017-0073175 A1	16 March 2017
		US 2017-0096308 A1	06 April 2017
		US 2017-0121134 A1	04 May 2017
		US 2017-0190054 A1	06 July 2017
		US 2017-0341881 A1	30 November 2017
		US 2018-0072517 A1	15 March 2018
		US 2018-0076241 A1	15 March 2018
		US 2018-0086575 A1	29 March 2018
		US 2018-0099415 A9	12 April 2018
		US 2018-0111765 A1	26 April 2018
		US 2018-0111769 A1	26 April 2018
		US 2018-0215560 A1	02 August 2018
		US 9315345 B2	19 April 2016
		US 9487361 B2	08 November 2016
		US 9493316 B2	15 November 2016
		US 9555982 B2	31 January 2017
		US 9623569 B2	18 April 2017
		US 9650215 B2	16 May 2017
		US 9738463 B2	22 August 2017
		US 9744669 B2	29 August 2017
		US 9969573 B2	15 May 2018
		US 9982691 B2	29 May 2018
		WO 2014-186781 A1	20 November 2014
		WO 2015-017444 A1	05 February 2015
		WO 2015-031668 A1	05 March 2015
		WO 2015-031670 A1	05 March 2015
		WO 2015-153697 A1	08 October 2015
		WO 2015-168173 A1	05 November 2015
		WO 2015-187975 A1	10 December 2015
		WO 2016-033172 A1	03 March 2016
		WO 2017-091343 A1	01 June 2017
		WO 2017-091343 A9	10 August 2017

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H10K 59/121(2023.01)i; H10K 59/131(2023.01)i; G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)i; H10K 59/80(2023.01)i; G09G 3/32(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H10K 59/121(2023.01); G09G 3/32(2006.01); H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 51/50(2006.01); H10K 59/00(2023.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 표시장치(display), 박막트랜지스터(TFT), 주변 영역(peripheral area), 도전층(conductive layer), 산화물 반도체(oxide semiconductor)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2013488 B1 (가부시키가이샤 제팬 디스플레이) 2019.08.22 단락 [0018]-[0039]; 및 도면 3-7	1-9,16,20-21
Y		17,19,23
A		10-15,18,22,24
Y	KR 10-2022-0115709 A (삼성디스플레이 주식회사) 2022.08.18 단락 [0083], [0091]; 및 도면 6	17,23
Y	KR 10-1962860 B1 (엔지디스플레이 주식회사) 2019.03.27 단락 [0099]; 및 도면 1	19
A	KR 10-2019-0003150 A (엔지디스플레이 주식회사) 2019.01.09 단락 [0031]-[0055]; 및 도면 1	1-24

☒ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년06월27일(27.06.2024)

국제조사보고서 발송일

2024년06월28일(28.06.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5003

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	US 2020-0373336 A1 (TIANMA JAPAN, LTD.) 2020.11.26 단락 [0051]-[0057]; 및 도면 3-4	1-24

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2013488 B1	2019/08/22	CN 107230690 A	2017/10/03
		CN 107230690 B	2020/09/22
		CN 112038376 A	2020/12/04
		JP 2017-173505 A	2017/09/28
		JP 2020-101829 A	2020/07/02
		JP 6673731 B2	2020/03/25
		JP 6967622 B2	2021/11/17
		KR 10-2017-0110503 A	2017/10/11
		US 10236330 B2	2019/03/19
		US 10886351 B2	2021/01/05
		US 11404516 B2	2022/08/02
		US 11744111 B2	2023/08/29
		US 2017-0278916 A1	2017/09/28
		US 2019-0165071 A1	2019/05/30
		US 2021-0083029 A1	2021/03/18
		US 2022-0310735 A1	2022/09/29
		US 2023-0354647 A1	2023/11/02
KR 10-2022-0115709 A	2022/08/18	CN 114914274 A	2022/08/16
		CN 217134378 U	2022/08/05
		US 2022-0254849 A1	2022/08/11
KR 10-1962860 B1	2019/03/27	CN 105612620 A	2016/05/25
		CN 105612620 B	2019/07/16
		CN 107004682 A	2017/08/01
		CN 107004682 B	2020/06/19
		CN 107078135 A	2017/08/18
		CN 107078135 B	2021/09/28
		CN 107112330 A	2017/08/29
		CN 107112330 B	2020/12/18
		EP 3113226 A1	2017/01/04
		EP 3113226 A4	2017/08/30
		EP 3113226 B1	2019/05/08
		EP 3241209 A1	2017/11/08
		EP 3241209 A4	2017/12/13
		EP 3241240 A1	2017/11/08
		EP 3241240 A4	2018/08/22
		EP 3241240 B1	2020/11/18
		EP 3241241 A1	2017/11/08
		EP 3241241 A4	2017/12/13
		EP 3241241 B1	2022/06/08
		EP 4060750 A1	2022/09/21
		KR 10-1672091 B1	2016/11/02
		KR 10-1687069 B1	2016/12/15
		KR 10-1773661 B1	2017/09/12
		KR 10-2015-0100459 A	2015/09/02
		KR 10-2015-0100462 A	2015/09/02
		KR 10-2015-0100515 A	2015/09/02
		KR 10-2015-0100516 A	2015/09/02
		KR 10-2016-0075461 A	2016/06/29
		KR 10-2017-0017990 A	2017/02/15
		KR 10-2017-0100503 A	2017/09/04

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		KR 10-2017-0101203 A	2017/09/05
		KR 10-2017-0101892 A	2017/09/06
		KR 10-2022-0076528 A	2022/06/08
		KR 10-2022-0077934 A	2022/06/09
		KR 10-2023-0003635 A	2023/01/06
		KR 10-2023-0025508 A	2023/02/21
		KR 10-2023-0034418 A	2023/03/09
		KR 10-2023-0119738 A	2023/08/16
		KR 10-2024-0023203 A	2024/02/20
		KR 10-2024-0054421 A	2024/04/25
		KR 10-2071301 B1	2020/03/02
		KR 10-2277553 B1	2021/07/13
		KR 10-2402602 B1	2022/05/25
		KR 10-2404159 B1	2022/05/30
		KR 10-2479304 B1	2022/12/20
		KR 10-2501162 B1	2023/02/16
		KR 10-2503812 B1	2023/02/23
		KR 10-2566477 B1	2023/08/10
		KR 10-2636037 B1	2024/02/08
		KR 10-2658874 B1	2024/04/17
		US 2015-0243203 A1	2015/08/27
		US 2015-0243220 A1	2015/08/27
		US 2015-0243718 A1	2015/08/27
		US 2015-0243719 A1	2015/08/27
		US 2015-0243720 A1	2015/08/27
		US 2015-0243722 A1	2015/08/27
		US 2016-0141347 A1	2016/05/19
		US 2016-0240565 A1	2016/08/18
		US 9276050 B2	2016/03/01
		US 9406705 B2	2016/08/02
		US 9449994 B2	2016/09/20
		US 9489882 B2	2016/11/08
		US 9490276 B2	2016/11/08
		US 9595546 B2	2017/03/14
		US 9627462 B2	2017/04/18
		US 9634038 B2	2017/04/25
		WO 2015-130082 A1	2015/09/03
		WO 2016-108464 A1	2016/07/07
		WO 2016-108473 A1	2016/07/07
		WO 2016-108476 A1	2016/07/07
KR 10-2019-0003150 A	2019/01/09	CN 109216374 A	2019/01/15
		CN 109216374 B	2022/12/16
		CN 115810634 A	2023/03/17
		KR 10-2023-0050291 A	2023/04/14
		KR 10-2519087 B1	2023/04/05
		US 10490668 B2	2019/11/26
		US 11302821 B2	2022/04/12
		US 2019-0006521 A1	2019/01/03
		US 2020-0058797 A1	2020/02/20
		US 2022-0199835 A1	2022/06/23

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2020-0373336 A1	2020/11/26	CN 105473474 A	2016/04/06
		CN 105473474 B	2018/01/23
		CN 105492348 A	2016/04/13
		CN 105492348 B	2018/04/13
		CN 105531207 A	2016/04/27
		CN 105531207 B	2018/06/08
		CN 106457561 A	2017/02/22
		CN 106457561 B	2019/10/11
		CN 106458479 A	2017/02/22
		CN 106458479 B	2019/08/06
		CN 106573381 A	2017/04/19
		CN 106573381 B	2019/12/03
		CN 106604881 A	2017/04/26
		CN 106604881 B	2019/06/04
		CN 107818986 A	2018/03/20
		CN 107962549 A	2018/04/27
		CN 107962549 B	2022/10/18
		EP 2996973 A1	2016/03/23
		EP 2996973 A4	2016/11/23
		EP 2996973 B1	2019/01/30
		EP 3038957 A1	2016/07/06
		EP 3038957 A4	2017/04/26
		EP 3038957 B1	2019/05/01
		EP 3038958 A1	2016/07/06
		EP 3038958 A4	2017/04/26
		EP 3038958 B1	2019/05/29
		EP 3126271 A1	2017/02/08
		EP 3126271 B1	2020/05/13
		EP 3137266 A1	2017/03/08
		EP 3137266 B1	2020/06/03
		EP 3152010 A1	2017/04/12
		EP 3152010 A4	2018/01/24
		EP 3186175 A1	2017/07/05
		EP 3186175 A4	2018/05/09
		EP 3186175 B1	2021/05/26
		EP 3311960 A1	2018/04/25
		EP 3311960 B1	2019/12/04
		EP 3371079 A1	2018/09/12
		EP 3444208 A1	2019/02/20
		JP 2018-050029 A	2018/03/29
		JP 7030285 B2	2022/03/07
		US 10005627 B2	2018/06/26
		US 10029374 B2	2018/07/24
		US 10065811 B2	2018/09/04
		US 10124967 B2	2018/11/13
		US 10233038 B2	2019/03/19
		US 10239701 B2	2019/03/26
		US 10315866 B2	2019/06/11
		US 10336562 B2	2019/07/02
		US 10464762 B2	2019/11/05

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 11227879 B2	2022/01/18
		US 2014-0341694 A1	2014/11/20
		US 2014-0341695 A1	2014/11/20
		US 2015-0037131 A1	2015/02/05
		US 2015-0063972 A1	2015/03/05
		US 2015-0063973 A1	2015/03/05
		US 2015-0274447 A1	2015/10/01
		US 2015-0308466 A1	2015/10/29
		US 2015-0352721 A1	2015/12/10
		US 2015-0360882 A1	2015/12/17
		US 2017-0073175 A1	2017/03/16
		US 2017-0096308 A1	2017/04/06
		US 2017-0121134 A1	2017/05/04
		US 2017-0190054 A1	2017/07/06
		US 2017-0341881 A1	2017/11/30
		US 2018-0072517 A1	2018/03/15
		US 2018-0076241 A1	2018/03/15
		US 2018-0086575 A1	2018/03/29
		US 2018-0099415 A9	2018/04/12
		US 2018-0111765 A1	2018/04/26
		US 2018-0111769 A1	2018/04/26
		US 2018-0215560 A1	2018/08/02
		US 9315345 B2	2016/04/19
		US 9487361 B2	2016/11/08
		US 9493316 B2	2016/11/15
		US 9555982 B2	2017/01/31
		US 9623569 B2	2017/04/18
		US 9650215 B2	2017/05/16
		US 9738463 B2	2017/08/22
		US 9744669 B2	2017/08/29
		US 9969573 B2	2018/05/15
		US 9982691 B2	2018/05/29
		WO 2014-186781 A1	2014/11/20
		WO 2015-017444 A1	2015/02/05
		WO 2015-031668 A1	2015/03/05
		WO 2015-031670 A1	2015/03/05
		WO 2015-153697 A1	2015/10/08
		WO 2015-168173 A1	2015/11/05
		WO 2015-187975 A1	2015/12/10
		WO 2016-033172 A1	2016/03/03
		WO 2017-091343 A1	2017/06/01
		WO 2017-091343 A9	2017/08/10
