

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4169383号
(P4169383)

(45) 発行日 平成20年10月22日 (2008.10.22)

(24) 登録日 平成20年8月15日 (2008.8.15)

(51) Int.Cl.

F I

H O 1 L 21/285 (2006.01)

H O 1 L 21/285 C

H O 1 L 21/28 (2006.01)

H O 1 L 21/285 3 O 1

C 2 3 C 16/34 (2006.01)

H O 1 L 21/28 3 O 1 R

C 2 3 C 16/50 (2006.01)

C 2 3 C 16/34

H O 1 L 21/3205 (2006.01)

C 2 3 C 16/50

請求項の数 1 (全 7 頁) 最終頁に続く

(21) 出願番号 特願平10-23734
 (22) 出願日 平成10年1月21日 (1998.1.21)
 (65) 公開番号 特開平10-209083
 (43) 公開日 平成10年8月7日 (1998.8.7)
 審査請求日 平成17年1月11日 (2005.1.11)
 (31) 優先権主張番号 035877
 (32) 優先日 平成9年1月21日 (1997.1.21)
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 590000879
 テキサス インストルメンツ インコーポ
 レイテッド
 アメリカ合衆国テキサス州ダラス、ノース
 セントラルエクスプレスウェイ 135
 O O
 (74) 代理人 100066692
 弁理士 浅村 皓
 (74) 代理人 100072040
 弁理士 浅村 肇
 (72) 発明者 ジオン - ピン ルー
 アメリカ合衆国 テキサス州ダラス、フォ
 レスト レーン 9744, アパートメン
 ト ナンバー 1310

最終頁に続く

(54) 【発明の名称】 チタンと窒素を含有する薄膜の蒸着法

(57) 【特許請求の範囲】

【請求項 1】

T i N ベース膜が T i と、S i と、N の化合物で構成されるように T i N ベース膜を半
 導体ウェーハ上に蒸着する方法において、上記半導体ウェーハを T i C l₄ と、H₂ と、
 N₂ とに実質的に同時にさらす工程、並びに上記半導体ウェーハを窒素プラズマにさらし
 、上記の T i C l₄、H₂、N₂ 及び S i H₄ と、上記窒素プラズマとの組合せにより上
 記半導体ウェーハ上に T i N ベース膜を蒸着形成する工程を 含んでなる、上記方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般的には半導体デバイスの製法、特定的には T i N をベースとする膜の形成
 に関する。

【0002】

【従来の技術】

窒化チタン含有膜は普通コンタクト、ビア、トレンチ及び層間配線積層 (interconnect s
 tack) での拡散障壁として用いられる。かかる膜は化学蒸着 (C V D) タングステンの「
 接着」層として、C V D タングステン、C V D アルミニウムの核生成層としてコンタクト
 、ビア及びビア用のライナとして、コンデンサ電極として、及び反射防止膜としても用い
 られる。障壁層が良好であるには、ステップカバレッジが良好でコンタクト、ビア及びト
 レンチ底部でボイドのないプラグ形成と十分な障壁厚を達成させること、拡散障壁の性

質が良好で金属及びその他の材料の下層への拡散を防止すること、熱サイクル中は不活性であり隣接材料との反応性が低いこと、並びに低抵抗率、低コンタクト／ビア抵抗、低接合漏れ、等の電氣的性質が受け入れられることが要件である。

【0003】

現在、TiNベース障壁膜は、反応性スパッタリングを用いる物理気相蒸着法(PVD)により形成する。この型式のスパッタリング法は照準線技術であり、ステップカバリッジの悪い膜ができる。最小構成寸法は縮小化の傾向にあり、コンタクト／ビア／トレンチのアスペクト比は増大化の傾向にあるので、等角写像膜(conformal films)形成法は需要が高い。

【0004】

CVD法は、利点として良好なステップカバリッジが得られる可能性が高く、過去数年間TiNベース膜の製造で注目されてきている。現在、CVD法では2型式が開発されている。一つは、テトラス(ジメチルアミノ)ーチタン(TDMAT)、テトラス(ジエチルアミノ)ーチタン(TDEAT)、等の金属有機(MO)前駆物質に基づくものであり、もう一つはTiCl₄/NH₃、等の無機前駆物質に基づくものである。MOに基づく方法は、炭素含有量が高く、安定性の低い膜ができる。TiCl₄/NH₃法は、高蒸着温度が必要となり、NH₄Cl塩生が関係する幾つかの問題がある。

【0005】

TiSi_xN_yの先行技術CVD法はTi[N(C₂H₅)₂]₄/NH₃/SiH₄化学薬品を用いる。この方法の欠点としては、Ti前駆物質とNH₃とが気相反応であること、前駆物質としてのTiCl₄を用いた膜に較べて形成膜は密度が低く、安定性が劣ること、及びTiCl₄に較べて金属有機前駆物質の蒸気圧が低いことである。

【0006】

CVDを用いて工具にTiN膜を蒸着させる方法が開発されている(F. H. M. サンダース(Sanders)とG. バースプイ(Verspui) : プラズマ補助化学蒸着法によるTiN生長への温度の影響、161固体薄膜L87-L90(1988))。この方法は、H₂、N₂及びTiCl₄の組合せをプラズマと一緒に用いて工具上にTiN層を形成させて、工具を防食するものである。

【0007】

【発明が解決しようとする課題】

本発明の目的は、障壁用、ゲート誘電体用及びコンデンサ電極用の下記の長所がある窒化チタンベース膜の蒸着にある。本発明の長所は、標準的PVDで形成したTiNベース膜よりもステップカバリッジが良いこと、膜蒸着にTiCl₄を用いること(TiCl₄はMO前駆物質よりも蒸気圧が高く、安価である)、MOCVDで形成した膜よりも本発明で形成した膜の純度、密度及び安定性が高いこと、NH₄Cl塩の生成が極めて少ないこと、標準的方法よりも蒸着温度が低いこと、並びにSi/N原子比、B/N原子比の制御に自由度があることである。

【0008】

【課題を解決するための手段】

上記の課題は、半導体ウェーハをTiCl₄と、H₂と、N₂とに実質的に同時にさらす工程、並びに上記半導体ウェーハをプラズマにさらして、上記のTiCl₄、H₂及びN₂と、上記プラズマとの組合せにより上記半導体ウェーハ上にTiNベース膜を蒸着形成する工程を含む、TiNベース膜を半導体ウェーハ上に蒸着する方法によって達成される。上記課題の達成は、上記半導体ウェーハを更にSiH₄にさらして半導体ウェーハ上にTiSi_xN_y膜を形成すること、また、上記半導体ウェーハを更にB₂H₆にさらして半導体ウェーハ上にTiN_xB_y層を形成することをも含む。

【0009】

【発明の実施の形態】

本発明の実施態様は、TiNベース膜の新規形成を中心として展開するもので、図1、図2及び図3に示すように、本発明の新規のTiNベース膜は、コンタクト／ビア／トレン

10

20

30

40

50

チ用のライナ、導電性ゲート構造の下層をなす拡散障壁／接着層又は蓄積コンデンサー用の電極（複数）を形成するのに用いられる。

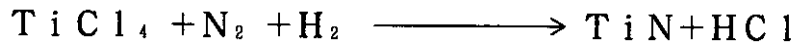
【0010】

本発明の一実施態様は、TiN層の新規な化学気相蒸着法である。本発明のこの実施態様はTiCl₄、N₂及びH₂をプラズマと一緒に用い、TiN層を形成するもので、この反応は次の様に進む。

【0011】

【化1】

プラズマ



【0012】

具体的には、ウェーハをプラズマ室内に挿入し、TiCl₄と、N₂と、H₂とをプラズマ（好ましくは窒素プラズマ）を室内に生成させながら室内に圧送する。これらのガスとプラズマとの組合せでウェーハ上へのTiN膜の化学蒸着が生ずる。上記のように、（先行技術の溶液を劣化させた）有害な塩は何等生成しない。好ましくは、上記反応は、下記条件下でプラズマ反応器（又は高密度プラズマ反応器）内で起る。

TiCl₄ 流量：約20～100sccm（N₂を担体ガスとして用いる）；

N₂ 流量：約200～500sccm；

H₂ 流量：約300～550sccm；

ウェーハ保持体温度：約350°～500℃；

全圧：約0.5～1.5Torr；

電極間隔：約500～750ミル；

RF電力密度：約1～2.5W/cm²；及び

蒸着時間：約10～60秒（好ましくは約25秒）。

本発明のこの実施態様では、約10～30nmの層が形成する。

【0013】

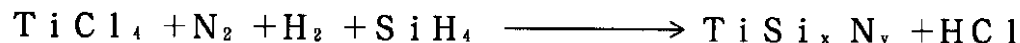
本発明の他の実施態様は、TiN層の新規な化学気相法に関連する。本発明のこの実施態様はCVD法と、TiCl₄、N₂、SiH₄及びH₂をプラズマと一緒に用いてTiSi_xN_y層を形成させる。

この反応は次の様に進む。

【0014】

【化2】

プラズマ



【0015】

具体的には、ウェーハをプラズマ室内に挿入し、TiCl₄、N₂、SiH₄及びH₂を、プラズマ（好ましくは窒素プラズマ）を室内で生成させながら室内に圧送する。これらのガスとプラズマとの組合せでウェーハ上にTiSi_xN_yの化学蒸着が生ずる。上記のように、（先行技術の溶液を劣化させた）有害な塩は何等生成しない。好ましくは、上記反応は、プラズマ反応器（又は高密度プラズマ反応器）内で起る。好ましくは、下記反応条件が用いられる。

TiCl₄ 流量：約20～100sccm（N₂を担体ガスとして用いる）；

SiH₄ 流量：約2～10sccm；

N₂ 流量：約200～500sccm；

H₂ 流量：約300～550sccm；

ウェーハ保持体温度：約350°～500℃；

全圧：約0.5～1.5Torr；

電極間隔：約 500～750 ミル；
 RF 電力密度：約 1～2.5 W/cm²；及び
 蒸着時間：約 10～60 秒（好ましくは約 10～30 秒）。
 本発明のこの実施態様では、約 10～30 nm の層が形成する。

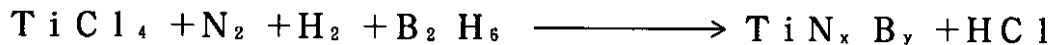
【0016】

本発明の他の実施態様は TiN 層の新規な化学気相蒸着法に関連する。本発明のこの実施態様は、CVD 法を用い、しかも TiCl₄、N₂、B₂H₆ 及び H₂ をプラズマと一緒に用いて TiSi_xN_y 層を形成する。
 この反応は次の様に進む。

【0017】

【化 3】

プラズマ



【0018】

具体的には、ウェーハをプラズマ室内に挿入し、TiCl₄、N₂、B₂H₆ 及び H₂ を、プラズマ（好ましくは窒素プラズマ）を室内で生成しながら室内に圧送する。これらのガスとプラズマとの組合せで、ウェーハ上に TiN_xB_y の化学蒸着が生ずる。上記のように、（先行技術の溶液を劣化させた）有害な塩は何等生成しない。好ましくは、上記の反応は、N₂ プラズマを用いて、プラズマ反応器（又は高密度プラズマ反応器）内で起る。

好ましくは、下記の反応条件が用いられる。

TiCl₄ 流量：約 20～100 sccm（N₂ を担体ガスとして用いる）；

10% B₂H₆ / 90% N₂ 流量：約 20～100 sccm；

N₂ 流量：約 150～450 sccm；

H₂ 流量：約 300～550 sccm；

ウェーハ保持体温度：約 350°～500℃；

全圧：約 0.5～1.5 Torr；

電極間隔：約 500～750 ミル；

RF 電力密度：約 1～2.5 W/cm²；及び

蒸着時間：約 10～60 秒（好ましくは約 25 秒）。

本発明のこの実施態様では、約 10～30 nm の層が形成する。

【0019】

好ましくは、本発明のこれらの実施態様は、好ましくは RF プラズマ電力印加電極を用いてプラズマ CVD 反応器内で実施する。ウェーハを反応器内に導入し、基板保持体を所定蒸着温度（300°～550℃）に加熱したのち、所要反応物質を反応器内に流入し、流入を約 5～10 秒で安定させる。流入が安定したあとの反応器内の全圧は、好ましくは 0.5～5 Torr の範囲とする。RF 電力を次いで印加する。好ましい電力密度は約 0.5～2.5 W/cm² である。この工程の持続時間は、膜の所望厚さで決める。TiCl₄ と SiH₄ 又は B₂H₅ の流入を停止させてから、H₂ / N₂ の流入と RF 電力の印加を好ましくは更に数秒持続して、残留 Ti、Si 又は B 前駆物質の反応を完全にする。

【0020】

本発明の上記実施態様はいろいろな多くの仕方で実施できる。図 1 は直接蓄積コンデンサに接続したコンタクトを示しているが、本発明の実施態様はどんなコンタクト／ビア／トレンチの形成にも用いられる。図 1 は半導体デバイスの断面図である。具体的には、図 1 は本発明の TiN をベースとするライナで内張りしたコンタクト／ビア／トレンチ 20 を示す。ライナ 2 は、本発明の第 1 の実施態様で形成した TiN、本発明の第 2 の実施態様で形成した TiSi_xN_y 又は本発明の第 3 の実施態様で形成した TiNi_xB_y から成るものでよい。これらのライナはいずれも拡散障壁として有用であり、ビア／コンタクト／トレンチ金属 3（好ましくは、タングステン、アルミニウム、銅又はこれらの任意の組合せ）のシリコン、シリサイド又は誘電材料（例えば PSG、BPSG、SOG、HSQ

10

20

30

40

50

、エーロゲル、キセロゲル又は他の任意の酸化物若しくは窒化物系材料)との拡散／反応を防止する。更に、本発明で形成したライナは、タングステン・メタリゼーションとアルミニウム・リフローの密着を促進する。更に、本発明で形成したライナは、標準MOCVD法よりも抵抗率が低くなり、従って、本発明を用いるコンタクト／ビア／トレンチはコンタクト／ビア抵抗が低くなる。ダマシン法又は別の他の方法と併用して本発明を上記のようにしてコンタクト／ビア／トレンチの形状に対して用いてもよい。更に、本発明はアルミニウム、銅、タングステン又は他の任意のメタリゼーションの型式に対しても使用できる。本発明は加圧埋め込み法でも使用できる。

【0021】

図2は、本発明の実施態様で形成した層を用いた記憶デバイス(好ましくはDRAM)用蓄積コンデンサの断面図である。頂部電極26及び／又は蓄積ノード22は、本発明の実施態様を用いて形成した TiN 、 $TiSi_xN_y$ 又は TiN_xB_y から成る。本発明の実施態様を用いて形成した頂部と底部電極は、MOCVD膜よりも質量密度が高くなり、洩れ電流は低下する。好ましくは、誘電層24は蓄積ノード22上に形成する。誘電層24は酸化物、窒化物又はこれら2種の組合せ(例えば、酸化物-窒化物-酸化物積層又は酸化物-窒化物積層又はオキシ窒化物)から成る。更に、誘電層24は五酸化タンタル(Ta_2O_5)、チタン酸バリウム・ストロンチウム又は略してBST($Ba_{1-x}Sr_xTiO_3$)、チタン酸ストロンチウム($SrTiO_3$)、タンタル酸ストロンチウム・ビスマス又は略してSBT及びチタン酸鉛ジルコニウム又は略してPZT($Pb_{1-x}Zr_xTiO_3$)から成るものでもよい。高誘電率材料(例えば $K \geq -20$)の使用が好ましい。例えば、約400℃で蒸着した厚さ15nmの Ta_2O_5 膜を使用できる。

【0022】

図3は、ゲート構造14の1部を形成するのに本発明を用いる半導体の断面図である。ゲート構造14は、多結晶シリコン(好ましくは、ドーピング処理したもの)、シリサイド化多結晶シリコン又は金属を用いて形成できる。しかし、積層(好ましくは、多結晶シリコン-金属積層、更に好ましくは、多結晶シリコン-タン積層)を用いるとゲート構造のシート抵抗が低下し、従ってデバイスはRC定数が低下する(従って性能は向上する)。しかし、タングステンと多結晶シリコンとの反応を防止するために拡散障壁が必要となる。更に、タングステン層とゲート絶縁体5との密着を向上させるために、タングステンをベースとするゲート構造では密着促進剤が必要となる。具体的には、本発明の実施態様を用いて形成した TiN 、 $TiSi_xN_y$ 又は TiN_xB_y 層をゲート構造14の多結晶シリコン部とゲート14の上層タングステン部との間に、又はゲート絶縁体5(好ましくは酸化物、窒化物又はこれらの組合せ)と好ましくはタングステンから成るゲート構造14との間に用いる。

【0023】

本発明を実施態様を参照しながら記載したが、上記の記載は限定を目的とするものではない。本発明の上記の実施態様及び他の実施態様のいろいろな改変と組合せが上記から当業者にとって容易と考えられる。従って、請求項はこのような改変又は実施態様を含むものである。

【0024】

以上の説明に関して更に以下の項を開示する。

(1) TiN ベース膜を半導体ウェーハ上に蒸着する方法において、上記半導体ウェーハを $TiCl_4$ と、 H_2 と、 N_2 とに実質的に同時にさらす工程、及び上記半導体ウェーハをプラズマにさらし、上記の $TiCl_4$ 、 H_2 及び N_2 と、上記プラズマとの組合せにより上記半導体ウェーハ上に TiN ベース膜を蒸着形成する工程を含む、上記方法。

(2) 半導体ウェーハを更に SiH_4 にさらして半導体基板上に $TiSi_xN_y$ 層を形成させる、第1項記載の方法。

(3) 半導体ウェーハを更に B_2H_6 にさらして半導体ウェーハ上に TiN_xB_y 層を形成させる、第1項記載の方法。

(4) 本発明の一実施態様は、半導体ウェーハを $TiCl_4$ と、 H_2 と、 N_2 とに実質

10

20

30

40

50

的に同時にさらす工程、並びに上記半導体ウェーハをプラズマにさらして、上記 $TiCl_4$ 、 H_2 及び N_2 と、上記プラズマとの組合により上記半導体ウェーハ上に TiN ベース膜を蒸着形成する工程とから成る、 TiN ベース膜を半導体ウェーハ上に蒸着する方法である。本発明の別の実施態様は、上記の半導体ウェーハを更に SiH_4 にさらして半導体ウェーハ上に $TiSi_xN_y$ 膜を形成することを含む。本発明の他の実施態様は、上記半導体ウェーハを更に B_2H_6 にさらして半導体ウェーハ上に TiN_xB_y 層を形成することを含む。

【図面の簡単な説明】

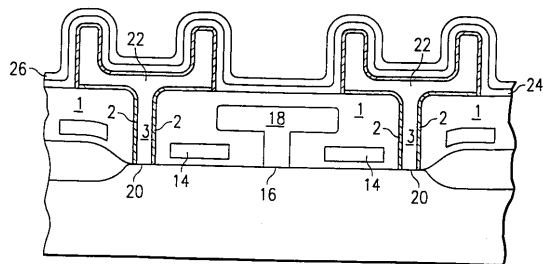
【図 1】 本発明の一実施態様を用いて製造したコンタクト／ビア／トレんチの断面図である。

10

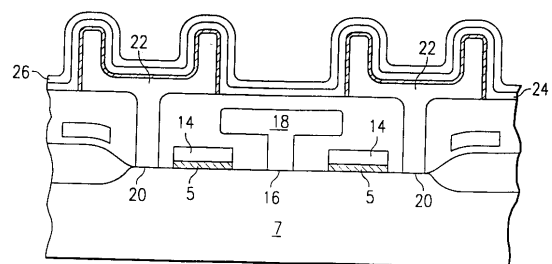
【図 2】 本発明の一実施態様を用いて製造した DRAM コンデンサ構造の断面図である。

【図 3】 本発明の一実施態様を用いて製造した半導体デバイスの断面図である。

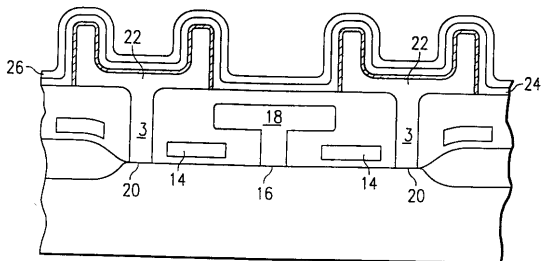
【図 1】



【図 3】



【図 2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/88 B

(72)発明者 ミン ー ジャン フワン
アメリカ合衆国 テキサス州ダラス, ラ マンガ ドライブ 6 9 2 7

審査官 小野田 誠

(56)参考文献 特開平08-008212 (JP, A)
特開平07-066143 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/285

C23C 16/34

C23C 16/50

H01L 21/28

H01L 21/3205