(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201108413 A1
(43)公開日： 中華民國 100 (2011) 年 03 月 01 日

(21)申請案號：099108623 (22)申請日： 中華民國 99 (2010) 年 03 月 24 日
(51)Int. Cl.： *H01L29/73 (2006.01)* *H01L21/28 (2006.01)*
H01L21/328 (2006.01)
(30)優先權：2009/03/27 美國 12/382,966
(71)申請人：國家半導體公司 (美國) NATIONAL SEMICONDUCTOR CORPORATION (US)
美國
(72)發明人：楊正君 YANG, JENG-JIUN (US)；布魯西亞 康史坦丁 BULUCEA, CONSTANTIN (US)
(74)代理人：桂齊恆；閻啟泰
申請實體審查：無 申請專利範圍項數：60 項 圖式數：18 共 382 頁

(54)名稱

組態和製造其中非單晶半導體間隔部分控制基極鏈長之具有雙極接面電晶體的半導體結構
CONFIGURATION AND FABRICATION OF SEMICONDUCTOR STRUCTURE HAVING BIPOLAR JUNCTION TRANSISTOR IN WHICH NON-MONOCRYSTALLINE SEMICONDUCTOR SPACING PORTION CONTROLS BASE-LINK LENGTH

(57)摘要

本發明所提供一種半導體結構含有一雙極電晶體(101)及一間隔結構(265-1 或 265-2)。該電晶體具有一射極(241)、一基極(243)、及一集極(245)。該基極包含：一基極接點部(243C-1)；一本質基極部(243I-1)，其位於該射極的下方和該集極之材料的上方；及一基極鏈部(243L-1)，其會延伸在該等本質基極部與基極接點部之間。該間隔結構包含一間隔結構及一沿著該上方半導體表面延伸的隔離介電層(267-1 或 267-2)。該間隔組件包含由位於該基極鏈部上方的介電層上之大部分為非單結晶半導體材料(較佳係多重結晶半導體材料)的一橫向間隔部分(269-1 或 269-2)。該橫向間隔部分的相反第一下方邊緣與第二下方邊緣(305-1 與 307-1)會橫向保形於該基極鏈部的相反的第一上方邊緣與第二上方邊緣(297-1 與 299-1)，以便決定且從而控制其長度。

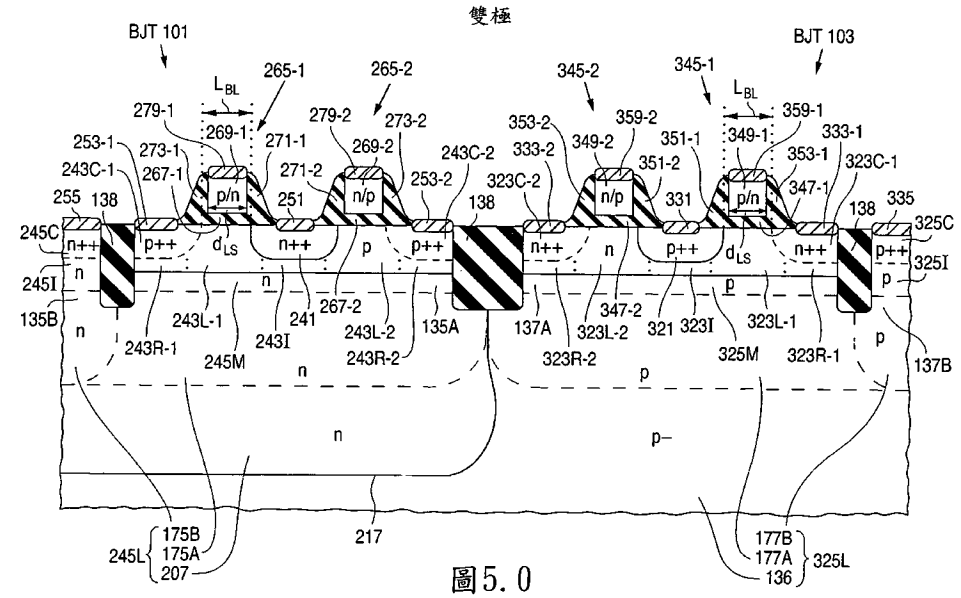


圖5.0

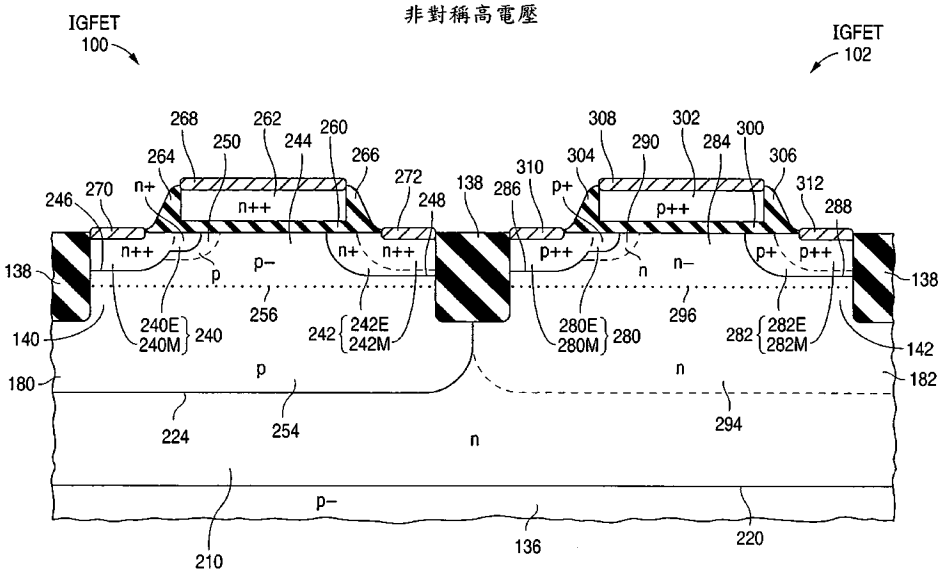


圖5.1

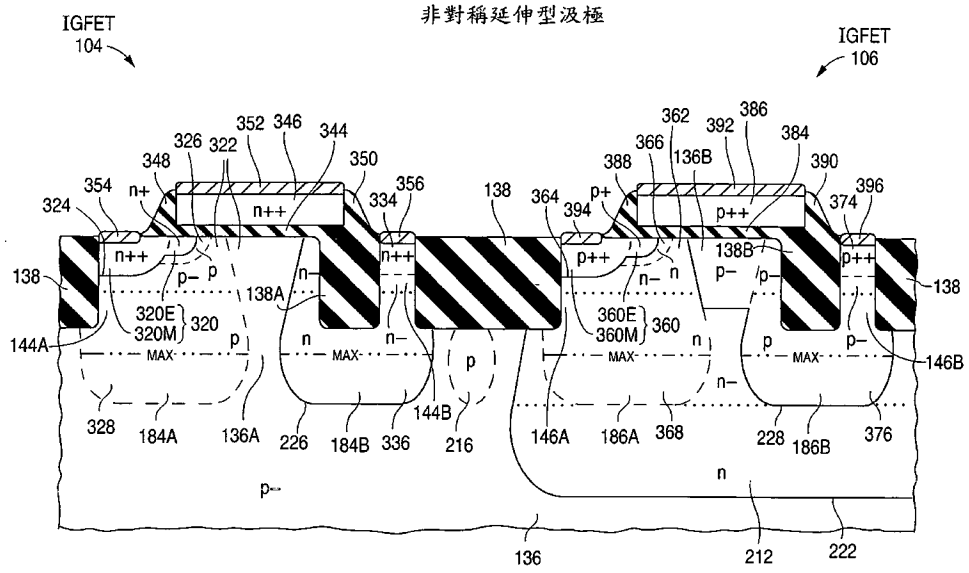


圖5.2

100：非對稱高電壓 n 通道 IGFET

101：垂直 npn BJT

102：非對稱高電壓 p 通道 IGFET

103：垂直 pnp BJT

104：非對稱延伸型汲極 n 通道 IGFET

106：非對稱延伸型汲極 p 通道 IGFET

108：對稱低電壓低漏電高 V_T n 通道 IGFET

110：對稱低電壓低漏電高 V_T p 通道 IGFET

112：對稱低電壓低 V_T n 通道 IGFET

114：對稱低電壓低 V_T p 通道 IGFET

116：對稱高電壓標稱 V_T n 通道 IGFET

118：對稱高電壓標稱 V_T p 通道 IGFET

120：對稱低電壓標稱 V_T n 通道 IGFET

122：對稱低電壓標稱 V_T p 通道 IGFET

124：對稱高電壓低 V_T n 通道 IGFET

126：對稱高電壓低 V_T p 通道 IGFET

128：對稱低電壓原生 n 通道 IGFET

130：對稱低電壓原生 n 通道 IGFET

132：對稱高電壓原生 n 通道 IGFET

134：對稱高電壓原生 n 通道 IGFET

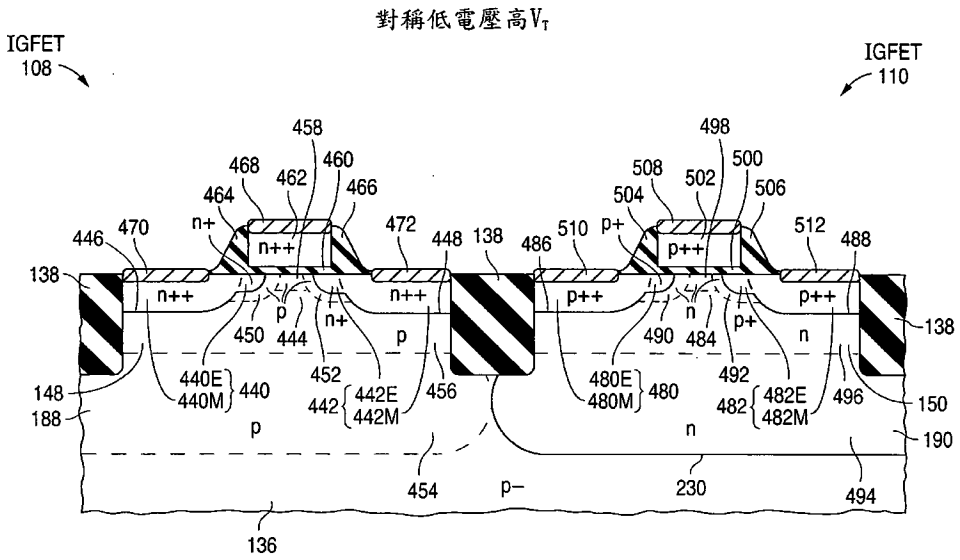


圖5.3

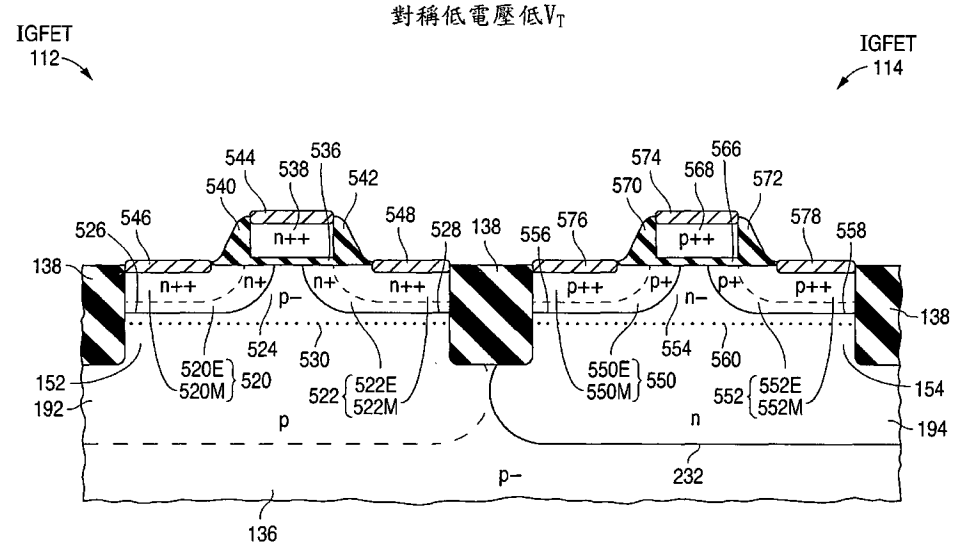


圖5.4

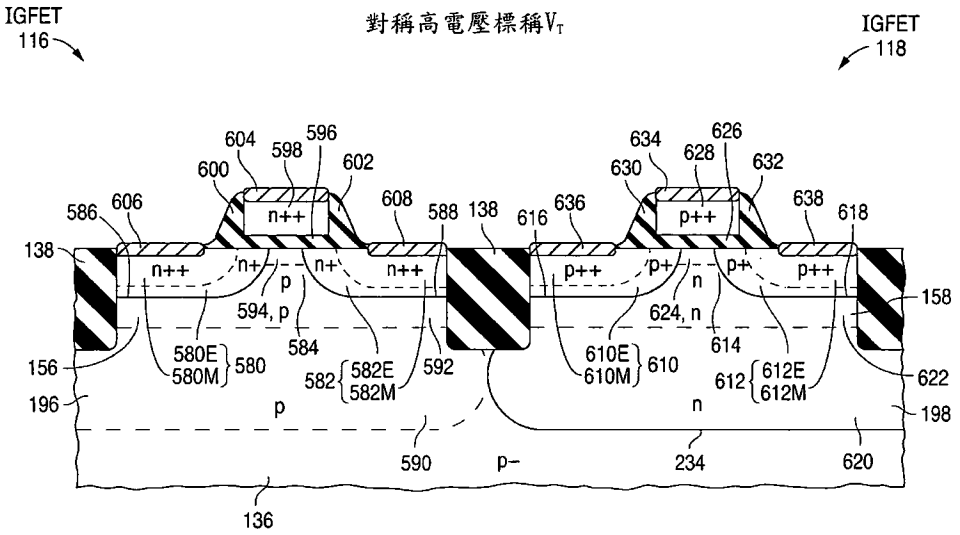


圖5.5

135A：主動式半導體島
135B：主動式半導體島
136：p-基板區
136A：p-基板區的表面鄰接部
136B：p-基板區的表面鄰接部
137A：主動式半導體島
137B：主動式半導體島
138：場絕緣區
138A：部分場絕緣區
138B：部分場絕緣區
140：主動式半導體島
142：主動式半導體島
144A：主動式半導體島
144B：主動式半導體島
146A：主動式半導體島
146B：主動式半導體島
148：主動式半導體島
150：主動式半導體島
152：主動式半導體島
154：主動式半導體島
156：主動式半導體島
158：主動式半導體島
160：主動式半導體島
162：主動式半導體島
164：主動式半導體島
166：主動式半導體島
168：主動式半導體島
170：主動式半導體島
172：主動式半導體島

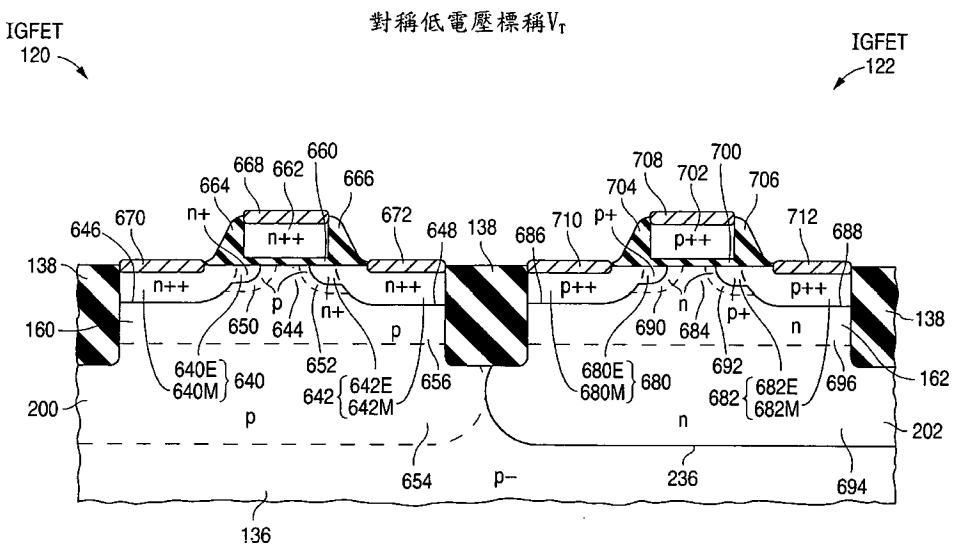


圖5.6

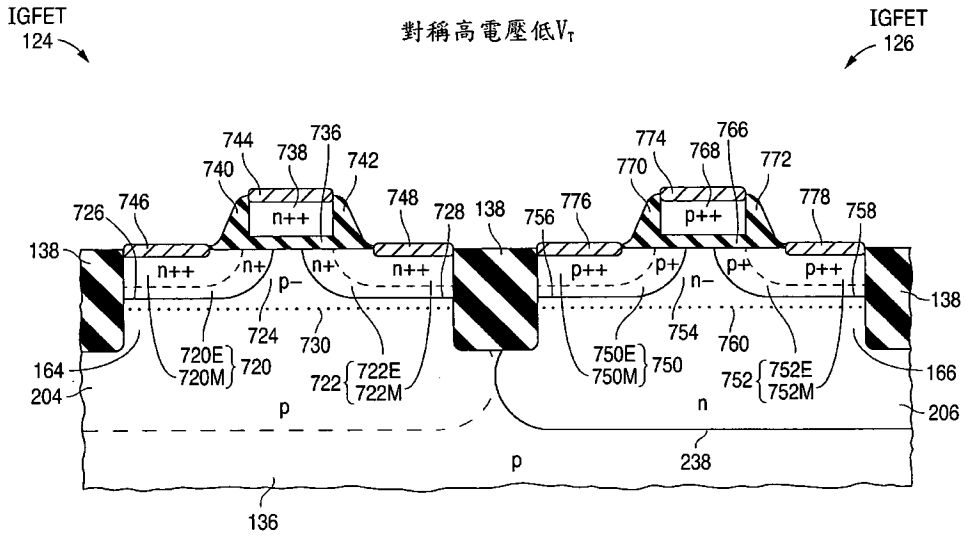


圖5.7

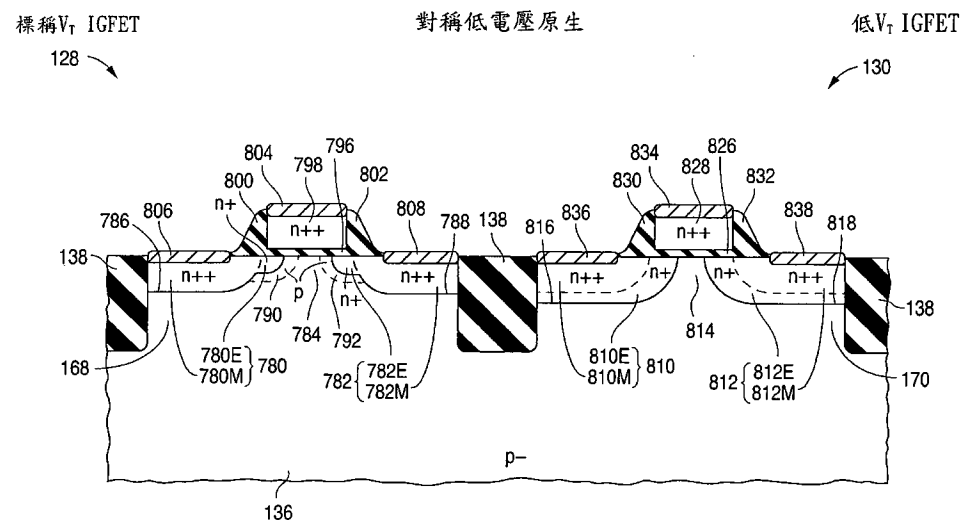


圖5.8

174：主動式半導體島
175A：淺 n 集極井區
175B：淺 n 集極井區
177A：淺 p 集極井區
177B：淺 p 集極井區
180：p 型 IGFET 空主要井區
182：n 型 IGFET 空主要井區
184A：p 型 IGFET 空主要井區
184B：n 型空井汲極(n 型 IGFET 空主要井區)
186A：n 型 IGFET 空主要井區
186B：p 型空井汲極材料(p 型 IGFET 空主要井區)
188：p 型 IGFET 滿主要井區
190：n 型 IGFET 滿主要井區
192：p 型 IGFET 空主要井區
194：n 型 IGFET 空主要井區
196：p 型 IGFET 滿主要井區
198：n 型 IGFET 滿主要井區
200：p 型 IGFET 滿主要井區
202：n 型 IGFET 滿主要井區
204：p 型 IGFET 空主要井區
206：n 型 IGFET 空主要井區

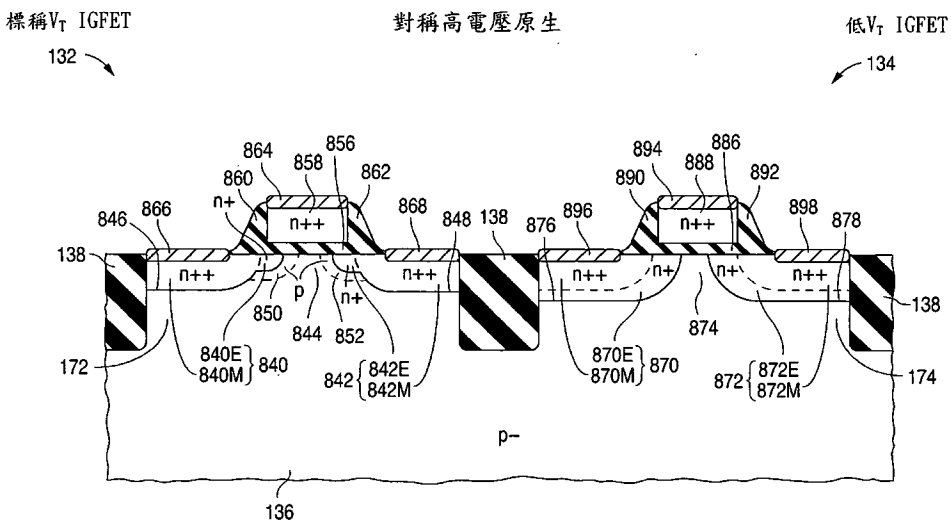


圖5.9

207：深 n 集極井

210：深 n 井區

212：深 n 井區

216：隔離 p 井區

217：隔離 pn 接面

220：隔離 pn 接面

222：隔離 pn 接面

224：隔離 pn 接面

226：汲極-主體 pn 接面

228：汲極-主體 pn 接面

230：隔離 pn 接面

232：隔離 pn 接面

234：隔離 pn 接面

236：隔離 pn 接面

238：隔離 pn 接面

240：n 型源極

240E：n+橫向源極延伸區

240M：n++主要源極部

241：n++射極

242：n 型汲極

242E：n+橫向汲極延伸區

242M：n++主要汲極部

243C-1：p++基極接點部

243C-2：p++基極接點部

243I：p 型本質基極部

243L-1：p 型基極鏈部

243L-2：p 型基極鏈部

243R-1：p 剩餘基極部

243R-2：p 剩餘基極部

244：p 型通道區帶

245C：n++集極接點部

245I：n 中間集極部

245L：n 橫向集極部

245M：n 主要集極部

246：源極-主體 pn 接面

248：汲極-主體 pn 接面

250：p 環袋部

251：金屬矽化物層

253-1：金屬矽化物層

253-2：金屬矽化物層

254：p 型主要主體材料部

255：金屬矽化物層

256：p 型主要主體材料部中 p 型摻雜物濃度在中度和輕度間的轉變位置

260：閘極介電層

262：閘極電極

264：介電閘極側壁間隔部

265-1：間隔結構

265-2：間隔結構

266：介電閘極側壁間隔部

267-1：隔離介電層

267-2：隔離介電層

268：金屬矽化物層

269-1：橫向間隔部

269-2：橫向間隔部

270：金屬矽化物層

271-1：射極側隔離介電間隔部

271-2：射極側隔離介電間隔部

272：金屬矽化物層

273-1：基極接點側隔離介電間隔部

273-2：基極接點側隔離介電間隔部

279-1：金屬矽化物層

279-2：金屬矽化物層

280：p 型源極

280E：p+橫向源極延伸區

280M：p++主要源極部

282：p 型汲極

282E：p+橫向汲極延伸區

282M：p++主要汲極部

284：n 型通道區帶

286：源極-主體 pn 接面

288：汲極-主體 pn 接面

290：n 環袋部

294：n 型主要主體材料部

296：n 型主要主體材料部中 n 型摻雜物濃度在中度和輕度間的轉變位置

300：閘極介電層

302：閘極電極

304：介電閘極側壁間隔部

306：介電閘極側壁間隔部

308：金屬矽化物層

310：金屬矽化物層

312：金屬矽化物層

320：n 型源極

320E：n+橫向源極延伸區

320M：n++主要源極部

321：p++射極

322：p 型通道區帶

323C-1：n++基極接點部

323C-2：n++基極接點部

323I：n 型本質基極部

323L-1：n 型基極鏈部

323L-2：n 型基極鏈部

323R-1：n 剩餘基極部

323R-2：n 剩餘基極部

324：源極-主體 pn 接面

325C：p++集極接點部

325I：p 中間集極部

325L：p 橫向集極部

325M：p 主要集極部

326：p 環袋部

328：p 型空井主體材料部

331：金屬矽化物層

333-1：金屬矽化物層

333-2：金屬矽化物層

334：n++汲極接點部/主要汲極部

335：金屬矽化物層

336：n 型空井汲極部

344：閘極介電層

345-1：間隔結構

345-2：間隔結構

346：閘極電極

347-1：隔離介電層

347-2：隔離介電層

348：介電閘極側壁間隔部

349-1：橫向間隔部

349-2：橫向間隔部

350：介電閘極側壁間隔部

351-1：射極側隔離介電間隔部

351-2：射極側隔離介電間隔部

352：金屬矽化物層

353-1：基極接點側隔離介電間隔部

353-2：基極接點側隔離介電間隔部

354：金屬矽化物層

356：金屬矽化物層

359-1：金屬矽化物層

359-2：金屬矽化物層

360：p 型源極

360E：p+橫向源極延伸區

360M：p++主要源極部

362：n 型通道區帶

364：源極-主體 pn 接面

366：n 環袋部

368：n 型空井主體材料部

374：p++汲極接點部/主要汲極部

376：p 型空井汲極部

384：閘極介電層

386：閘極電極

388：介電閘極側壁間隔部

390：介電閘極側壁間隔部

392：金屬矽化物層

394：金屬矽化物層

396：金屬矽化物層

440：n 型 S/D 區帶

440E：n+橫向 S/D 延伸區

440M：n++主要 S/D 部

442：n 型 S/D 區帶

442E：n+橫向 S/D 延伸區

442M：n++主要 S/D 部

444：p 型通道區帶

446：S/D-主體 pn 接面

448：S/D-主體 pn 接面

450：p 環袋部

452：p 環袋部

454：p 主要主體材料部

456：p 中間主體材料部

458：p 上方主體材料部

460：閘極介電層

462：閘極電極

464：介電閘極側壁間隔部

466：介電閘極側壁間隔部

468：金屬矽化物層

470：金屬矽化物層

472：金屬矽化物層

480：p 型 S/D 區帶

480E：p+橫向 S/D 延伸區

480M：p++主要 S/D 部

482：p 型 S/D 區帶

482E：p+橫向 S/D 延伸區

482M：p++主要 S/D 部

484：n 型通道區帶

486：S/D-主體 pn 接面

488：S/D-主體 pn 接面

490：n 環袋部

492：n 環袋部

494：n 主要主體材料部

496：n 中間主體材料部

498：n 上方主體材料部

500：閘極介電層

502：閘極電極

504：介電閘極側壁間隔部

506：介電閘極側壁間隔部

508：金屬矽化物層

510：金屬矽化物層

512：金屬矽化物層

520：n 型 S/D 區帶

520E：n+橫向 S/D 延伸區

520M：n++主要 S/D 部

522：n 型 S/D 區帶

522E：n+橫向 S/D 延伸區

522M：n++主要 S/D 部

524：p 型通道區帶

526：S/D-主體 pn 接面

528：S/D-主體 pn 接面

530：p 型空主要井區中 p 型摻雜物濃度在中度和輕度間的轉變位置

536：閘極介電層

538：閘極電極

540：介電閘極側壁間隔部

542：介電閘極側壁間隔部

544：金屬矽化物層

546：金屬矽化物層

548：金屬矽化物層

550：p 型 S/D 區帶

550E：p+橫向 S/D 延伸區

550M：p++主要 S/D 部

552：p 型 S/D 區帶

552E：p+橫向 S/D 延伸區

552M：p++主要 S/D 部

554：n 型通道區帶

556：S/D-主體 pn 接面

558：S/D-主體 pn 接面

560：n 型空主要井區中 n 型摻雜物濃度在

中度和輕度間的轉變位置

566：閘極介電層

568：閘極電極

570：介電閘極側壁間隔部

572：介電閘極側壁間隔部

574：金屬矽化物層

576：金屬矽化物層

578：金屬矽化物層

580：n 型 S/D 區帶

580E：n+橫向 S/D 延伸區

580M：n++主要 S/D 部

582：n 型 S/D 區帶

582E：n+橫向 S/D 延伸區

582M：n++主要 S/D 部

584：p 型通道區帶

586：S/D-主體 pn 接面

588：S/D-主體 pn 接面

590：p 主要主體材料部

592：p 中間主體材料部

594：p 上方主體材料部

596：閘極介電層

598：閘極電極

600：介電閘極側壁間隔部

602：介電閘極側壁間隔部

604：金屬矽化物層

606：金屬矽化物層

608：金屬矽化物層

610：p 型 S/D 區帶

610E：p+橫向 S/D 延伸區

610M：p++主要 S/D 部

612：p 型 S/D 區帶

612E：p+橫向 S/D 延伸區

612M：p++主要 S/D 部

614：n 型通道區帶

616：S/D-主體 pn 接面

618：S/D-主體 pn 接面

620：n 主要主體材料部

622：n 中間主體材料部

624：n 上方主體材料部

626：閘極介電層

628：閘極電極

630：介電閘極側壁間隔部

632：介電閘極側壁間隔部

634：金屬矽化物層

636：金屬矽化物層

638：金屬矽化物層

640：n 型 S/D 區帶

640E：n+橫向 S/D 延伸區

640M：n++主要 S/D 部

642：n 型 S/D 區帶

642E：n+橫向 S/D 延伸區

642M：n++主要 S/D 部

644：p 型通道區帶

646：S/D-主體 pn 接面

648：S/D-主體 pn 接面

650：p 環袋部

652：p 環袋部

654：p 主要主體材料部

656：p 另一主體材料部

660：閘極介電層

662：閘極電極

664：介電閘極側壁間隔部

666：介電閘極側壁間隔部

668：金屬矽化物層

670：金屬矽化物層

672：金屬矽化物層

680：p 型 S/D 區帶

680E：p+橫向 S/D 延伸區

680M：p++主要 S/D 部

682：p 型 S/D 區帶

682E：p+橫向 S/D 延伸區

682M：p++主要 S/D 部

684：n 型通道區帶

686：S/D-主體 pn 接面

688：S/D-主體 pn 接面

690：n 環袋部

692：n 環袋部

694：n 主要主體材料部

696：n 另一主體材料部

700：閘極介電層

702：閘極電極

704：介電閘極側壁間隔部

706：介電閘極側壁間隔部

708：金屬矽化物層

710：金屬矽化物層

712：金屬矽化物層

720：n 型 S/D 區帶

720E：n+橫向 S/D 延伸區

720M：n++主要 S/D 部

722：n 型 S/D 區帶

722E：n+橫向 S/D 延伸區

722M：n++主要 S/D 部

724：p 型通道區帶

726：S/D-主體 pn 接面

728：S/D-主體 pn 接面

730：p 型空主要井區中 p 型摻雜物濃度在中度和輕度間的轉變位置

736：閘極介電層

738：閘極電極

740：介電閘極側壁間隔部

742：介電閘極側壁間隔部

744：金屬矽化物層

746：金屬矽化物層

748：金屬矽化物層

750：p 型 S/D 區帶

750E：p+橫向 S/D 延伸區

750M：p++主要 S/D 部

752：p 型 S/D 區帶

752E：p+橫向 S/D 延伸區

752M：p++主要 S/D 部

754：n 型通道區帶

756：S/D-主體 pn 接面

758：S/D-主體 pn 接面

760：n 型空主要井區中 n 型摻雜物濃度在中度和輕度間的轉變位置

766：閘極介電層

768：閘極電極

770：介電閘極側壁間隔部

772：介電閘極側壁間隔部

774：金屬矽化物層

776：金屬矽化物層

778：金屬矽化物層

780：n 型 S/D 區帶

780E：n+橫向 S/D 延伸區

780M：n++主要 S/D 部

782：n 型 S/D 區帶

782E：n+橫向 S/D 延伸區

782M：n++主要 S/D 部

784：p 型通道區帶

786：S/D-主體 pn 接面

788：S/D-主體 pn 接面

790：p 環袋部

792：p 環袋部

796：閘極介電層

798：閘極電極

800：介電閘極側壁間隔部

802：介電閘極側壁間隔部

804：金屬矽化物層

806：金屬矽化物層

808：金屬矽化物層

810：n 型 S/D 區帶

810E：n+橫向 S/D 延伸區

810M：n++主要 S/D 部

812：n 型 S/D 區帶

812E：n+橫向 S/D 延伸區

812M：n++主要 S/D 部

814：p 型通道區帶

816：S/D-主體 pn 接面

818：S/D-主體 pn 接面

826：閘極介電層

828：閘極電極

830：介電閘極側壁間隔部

832：介電閘極側壁間隔部

834：金屬矽化物層

836：金屬矽化物層

838：金屬矽化物層

840：n 型 S/D 區帶

840E：n+橫向 S/D 延伸區

840M：n++主要 S/D 部

842：n 型 S/D 區帶

842E：n+橫向 S/D 延伸區

842M：n++主要 S/D 部

844：p 型通道區帶

846：S/D-主體 pn 接面

848：S/D-主體 pn 接面

850：p 環袋部

852：p 環袋部

856：閘極介電層

858：閘極電極

860：介電閘極側壁間隔部

862：介電閘極側壁間隔部

864：金屬矽化物層

866：金屬矽化物層

868：金屬矽化物層

870：n 型 S/D 區帶

870E：n+橫向 S/D 延伸區

870M：n++主要 S/D 部

872：n 型 S/D 區帶

872E：n+橫向 S/D 延伸區

872M：n++主要 S/D 部

874：p 型通道區帶

876：S/D-主體 pn 接面

878：S/D-主體 pn 接面

886：閘極介電層

888：閘極電極

890：介電閘極側壁間隔部

892：介電閘極側壁間隔部

894：金屬矽化物層

896：金屬矽化物層

898：金屬矽化物層

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201108413 A1
(43)公開日： 中華民國 100 (2011) 年 03 月 01 日

(21)申請案號：099108623 (22)申請日： 中華民國 99 (2010) 年 03 月 24 日
(51)Int. Cl.： *H01L29/73 (2006.01)* *H01L21/28 (2006.01)*
H01L21/328 (2006.01)
(30)優先權：2009/03/27 美國 12/382,966
(71)申請人：國家半導體公司 (美國) NATIONAL SEMICONDUCTOR CORPORATION (US)
美國
(72)發明人：楊正君 YANG, JENG-JIUN (US)；布魯西亞 康史坦丁 BULUCEA, CONSTANTIN (US)
(74)代理人：桂齊恆；閻啟泰
申請實體審查：無 申請專利範圍項數：60 項 圖式數：18 共 382 頁

(54)名稱

組態和製造其中非單晶半導體間隔部分控制基極鏈長之具有雙極接面電晶體的半導體結構
CONFIGURATION AND FABRICATION OF SEMICONDUCTOR STRUCTURE HAVING BIPOLAR JUNCTION TRANSISTOR IN WHICH NON-MONOCRYSTALLINE SEMICONDUCTOR SPACING PORTION CONTROLS BASE-LINK LENGTH

(57)摘要

本發明所提供一種半導體結構含有一雙極電晶體(101)及一間隔結構(265-1 或 265-2)。該電晶體具有一射極(241)、一基極(243)、及一集極(245)。該基極包含：一基極接點部(243C-1)；一本質基極部(243I-1)，其位於該射極的下方和該集極之材料的上方；及一基極鏈部(243L-1)，其會延伸在該等本質基極部與基極接點部之間。該間隔結構包含一間隔結構及一沿著該上方半導體表面延伸的隔離介電層(267-1 或 267-2)。該間隔組件包含由位於該基極鏈部上方的介電層上之大部分為非單結晶半導體材料(較佳係多重結晶半導體材料)的一橫向間隔部分(269-1 或 269-2)。該橫向間隔部分的相反第一下方邊緣與第二下方邊緣(305-1 與 307-1)會橫向保形於該基極鏈部的相反的第一上方邊緣與第二上方邊緣(297-1 與 299-1)，以便決定且從而控制其長度。

六、發明說明：

【發明所屬之技術領域】

本發明和半導體技術有關，且明確說係關於雙極接面電晶體，尤其是當它們結合絕緣閘類型的場效電晶體(FET)時。除非另外提及，否則，下文所述之所有絕緣閘FET(IGFET)皆為表面-通道增強模式IGFET。

相關申請案交叉參考

本申請案和下面的台灣專利申請案有關，該些台灣專利申請案的提申日期皆與本申請案相同：台灣專利申請案第99108661號(Bulucea等人)，律師檔案編號第NS-7005TW號；台灣專利申請案第99108663號(Bahl等人)，律師檔案編號第NS-7040TW號；台灣專利申請案第99108622號(Parker等人)，律師檔案編號第NS-7192TW號；台灣專利申請案第99108664號(Bahl等人)，律師檔案編號第NS-7210TW號；台灣專利申請案第99108623號(Yang等人)，律師檔案編號第NS-7307TW號；台灣專利申請案第99108665號(Yang等人)，律師檔案編號第NS-7313TW號；台灣專利申請案第99108666號(Bulucea等人)，律師檔案編號第NS-7433TW號；台灣專利申請案第99108667號(Bulucea等人)，律師檔案編號第NS-7434TW號；台灣專利申請案第99108668號(French等人)，律師檔案編號第NS-7435TW號；及台灣專利申請案第99108624號(Bulucea等人)，律師檔案編號第NS-7436TW號；以及台灣專利申請案第99108626號(Chaparala等人)，法律檔案編號第

NS-7437TW 號。本文在某種程度上以引用的方式將該些其它申請案併入而不予以贅述。

【先前技術】

雙極接面電晶體(BJT)通常簡稱為雙極電晶體係一種半導體裝置，其中基極會延伸在一射極與一集極之間。該基極係由某種導體類型的半導體材料所構成，換言之，npn BJT 中為 p 型而 pnp BJT 中為 n 型，其中縮寫字「npn」或「pnp」的中間字母表示基極的導體類型。射極與集極係由相反導體類型的半導體材料所構成，也就是 npn BJT 中為 n 型而 pnp BJT 中為 p 型。當 npn BJT 的基極至射極電壓 V_{BE} 達到正臨界數值 V_{BE0}(通常在 0.7V 附近)時，電流會流過該 npn BJT。同樣，當 pnp BJT 的基極至射極電壓 V_{BE} 達到負臨界數值 V_{BE0}(通常在 -0.7V 附近)時，電流便會流過該 pnp BJT。

IGFET 係一種半導體裝置，其中一閘極介電層會電氣絕緣一閘極電極以及延伸在一源極區帶和一汲極區帶之間的一通道區帶。增強模式 IGFET 中的通道區帶係一主體區(其通常被稱為基板或是基板區)的一部分，其會和源極及汲極形成個別的 pn 接面。於一增強模式 IGFET 中，該通道區帶係由源極和汲極之間的所有半導體材料所組成。在 IGFET 操作期間，電荷載子會沿著上方半導體表面經由該通道區帶中所誘發的一通道從源極移動至汲極。臨界電壓為在一給定臨界(最小)導通電流定義下該 IGFET 開始導通電流時的閘極至源極電壓的數值。通道長度為沿著該上方半導體表面介於源極和汲極之間的距離。

「混合訊號」一詞係指含有數位電路系統方塊和類比電路系統方塊兩者的積體電路(IC)。數位電路系統通常會運用最小型的 n 通道 IGFET 和 p 通道 IGFET，以便在給定漏電流規格下達到極大可能數位速度。類比電路系統會運用具有和數位 IGFET 不同效能必要條件的 IGFET 及/或 BJT。類比 IGFET 的必要條件通常包含：高線性電壓增益；高頻率處有良好的小訊號和大訊號頻率響應；良好參數匹配；低輸入雜訊；主動式組件和被動式組件有妥適受控的電氣參數；以及低寄生係數，尤其是低寄生電容。類比方塊和數位方塊利用相同的電晶體雖然有經濟上的吸引力；不過，如此一來通常會導致類比效能變差。類比 IGFET 效能上的眾多必要條件皆與數位縮放結果有衝突。

數位電路系統方塊會優先使用所能製造的最小 IGFET。因為最終維度分佈範圍本質上很大，所以數位電路系統的參數匹配通常很差。反之，類比電路系統卻經常需要良好參數匹配以達必要的效能。這通常會需要在製造盡可能短的類比 IGFET 的條件下來製造維度大於數位 IGFET 的類比電晶體以便有盡可能低的源極至汲極傳播延遲。

IGFET 是目前 IC 中主要的電晶體類型。因此，製造含有 IGFET 與 BJT 的 IC 通常係以最佳化 IGFET 特徵為主。因此，BJT 特徵的最佳化會在實質上保持 IGFET 之最佳特徵的條件下被實施。Alvarez 在 1993 年的「BiCMOS 技術與應用(BiCMOS Technology and Applications)」(第 2 版，Kluwer Acad.出版社)便說明此 IC 製造方式。

圖 1 係例示如在 Alvarez 中所述的一種習知單井互補式 IGFET(CIGFET)半導體結構。此 CIGFET 半導體結構(通常稱為「CMOS」)係充當含有互補式 IGFET 與 BJT 的更先進半導體結構的基礎。圖 1 的單井 CIGFET 結構含有由一半導體主體所製成的對稱 n 通道 IGFET 20 與對稱 p 通道 IGFET 22，該半導體主體係由重度摻雜的 p 型單結晶矽(單晶矽(monosilicon))基板 24 以及上方輕度摻雜的 p 型單晶矽磊晶層 26 所組成。由電氣絕緣材料(主要為矽質氧化物)所製成的凹陷場區 28 會沿著 p-磊晶層 26 的上方表面延伸，用以定義橫向分離的半導體島 30 與 32。

n 通道 IGFET 20 含有表面鄰接重度摻雜 n 型源極/汲極(S/D)區帶 34 與 36，該等源極/汲極(S/D)區帶係位於島 32 之中並且會被包含 p-磊晶層 26 之由 p 型主體材料製成的通道區帶橫向分離。閘極介電層 40 會垂直分離該 p 型通道區帶和 IGFET 20 的經摻雜多結晶矽(多晶矽(polysilicon))閘極電極 42。p 通道 IGFET 22 含有表面鄰接重度摻雜 p 型 S/D 區帶 44 與 46，該等 S/D 區帶係位於島 32 中且被由形成在 p-磊晶層 26 中的中度摻雜 n 型井區 48 所組成的 n 型主體材料製成的通道區帶橫向分離。閘極介電層 50 會垂直分離該 n 型通道區帶和 IGFET 22 的經摻雜多晶矽閘極電極 52。

單晶矽區 34、36、44、46、48 係由一連串光阻遮罩/摻雜操作來定義。該些處理操作還可被用來形成橫向與垂直 BJT。例如：一垂直 pnp 電晶體的 p 型射極可藉由被用來形成 p 通道 IGFET 22 之 p+ S/D 區帶 44 與 46 的遮罩/摻雜

操作來定義。因此，被用來形成 IGFET 22 之 n 井區 48 的遮罩/摻雜操作結合被用來形成 p+ S/D 區帶 44 與 46 的遮罩/摻雜操作會被用來定義該垂直 pnp 電晶體的 n 型基極。p+基板 24 與 p-磊晶層 26 則充當該電晶體的集極。然而，垂直 pnp 電晶體通常有較差的操作特徵。同樣適於僅利用被用來形成 IGFET 20 與 22 的處理步驟所定義的橫向 BJT。

圖 2 係例示如何以習知基本方式擴展圖 1 的單井 CIGFET 結構使其包含垂直 npn BJT 33，從而形成一單井 BJT/CIGFET 半導體結構，其大體上如 Alvarez 所述。本半導體結構(通常稱為 BiCMOS)的凹陷場氧化物層 30 會進一步定義橫向分離的半導體島 35 與 37。npn 電晶體 33 係由下述組成：(a)位於島 35 中的表面鄰接重度摻雜 n 型射極 39，(b)大部分位於島 35 中的 p 型基極，使得其位於 n+射極 39 的下方且橫向包圍 n+射極 39，及(c)形成在 p-磊晶層 26 中的 n 型集極以便從該基極處延伸而延伸在場氧化物 28 的下方，且延伸至島 37 中而向上延伸到上方半導體表面。

該 p 型基極包含中度摻雜的本質基極部 41I 及由中度摻雜的一基極鏈部 41L 和表面鄰接重度摻雜基極接點部 41C 所構成的異質基極區帶。p 基極鏈部 41L 會接續 p 本質基極部 41I 且延伸在 n+射極 39 與 p+基極接點部 41C 之間。該 n 型集極係由重度摻雜的集極接點部 43C 與中度摻雜的主要集極部 43M 所組成，該主要集極部 43M 會從 n+集極接點部 43C 延伸到該 p 型基極，尤其是延伸到本質部 41I。

用於控制 npn 電晶體 33 的電壓會經由合宜的電氣端子

(未圖示)分別被施加至射極 39、基極接點部 41C、及集極接點部 43C。基極接點部 41C 處的電壓會經由基極鏈部 41L 被傳送到本質基極部 41I。在操作期間，具有電子形式的電流會從射極 39 垂直向下流經本質基極部 41I，橫向流經主要集極部 43M，且向上流到集極接點部 43C。

在圖 2BJT/CIGFET 結構的製造期間，n+射極 39 與 n+集極接點部 43C 會利用和 n 通道 IGFET 20 的 n+ S/D 區帶 36 與 38 相同的步驟來構成。p+基極接點部 41C 會利用和 p 通道 IGFET 22 的 p+ S/D 區帶 46 與 48 相同的步驟來構成。n 主要集極部 43M 會利用和 IGFET 22 的 n 井區 48 相同的步驟來構成。用以將圖 1CMOS 結構轉換成圖 2BJT/CIGFET 結構所需要的唯一額外處理係用以創造 p 本質基極部 41I 與 p 基極鏈部 41L 之組合的遮罩/摻雜操作。

基極鏈部 41L 的長度 L_{BL}(也就是沿該上方半導體表面介於 n+射極 39 與 p+基極接點部 41C 之間的距離)係由用於定義射極 39 與基極接點部 41C 的光阻遮罩的邊緣來定義。用於形成射極 39 的光阻遮罩也被用來形成 n 通道 IGFET 20 的 n+ S/D 區帶 34 與 36、且對 S/D 區帶 34 與 36 來說並不關鍵，因為它們的橫向範圍取決於凹陷場氧化物區 28 與閘極電極 42 的橫向邊緣。同樣，用於形成基極接點部 41C 的光阻遮罩也被用來形成 p 通道 IGFET 22 的 p+ S/D 區帶 44 與 46，且對 S/D 區帶 44 與 46 來說並不關鍵，因為它們的橫向範圍取決於場氧化物 28 與閘極電極 52 的橫向邊緣。

被用來形成本質基極部 41I 與基極鏈部 41L 的額外遮罩

/摻雜操作會達到改善 npn 電晶體 33 之操作特徵的目的。不過，主要集極部 43M 中的 n 型摻雜通常很低，因此，集極電阻會非常高。這會限制 npn 電晶體 33 的實用性。

圖 3 係例示克服高集極阻值問題的習知單井 BJT/CIGFET 半導體結構，其同樣大體上如 Alvarez 中所述。圖 3 的 BJT/CIGFET 半導體結構含有 n 通道 IGFET 20V、p 通道 IGFET 22V、及 npn BJT 33V，除了下面所述外，它們的組態分別和電晶體 20、22、以及 33 相同。此處利用輕度摻雜的 p 型單晶矽基板 54 與上方中度摻雜的 n 型單晶矽磊晶層 56 取代圖 2 的 BJT/CIGFET 結構中的 p+基板 24 與 p-磊晶層 26。n 通道 IGFET 20V 的 p 型主體材料包含大部分被形成在 n 磊晶層 56 之中的中度摻雜井區 58。p 通道 IGFET 22V 的 n 型主體材料係由下述組成：(a)磊晶層 56 的區段 60M，及(b)沿著 p-基板 54 與磊晶層 56 之間的介面(如圖 3 中的虛線所示)被形成的重度摻雜埋植層 60B。

npn 電晶體 33V 的 n 型集極係由下面所構成：(a)磊晶層 56 的區段 61M，(b)沿著基板 54 與磊晶層 56 之間的介面被形成的重度摻雜埋植集極層 61B，以及(c)重度摻雜集極接點部 61C，其會從 n+埋植層 61B 經由半導體島 37 延伸到該上方半導體表面。n+埋植集極層 61B 以及 n+集極接點部 61C 的重度摻雜實質上會降低集極阻值。除此之外，中度摻雜 p 型井區 62 係位於 n 磊晶區段 60M 與 61M 之間，俾使得用以橫向隔離 npn 電晶體 33V 與 p 通道 IGFET 22V。

在圖 3 的 BJT/CIGFET 結構的製造期間，n+埋植集極層

61B 會利用和 IGFET 22V 的 n+埋植層 60B 相同的步驟來構成。隔離 p 井 62 會利用和 IGFET 20V 的 p 井 58 相同的步驟來構成。從 n 井區 48 和圖 2 的 BJT/CIGFET 結構中同步形成的 n 主要集極部 43M 變成圖 3 的 BJT/CIGFET 結構中同步形成的 p 井 58 與 62 並未涉及任何明顯的額外製造步驟。不過，構成 n+埋植層 61B 與 60B 則需要一額外的遮罩/摻雜操作。結果，降低圖 3 的 BJT/CIGFET 結構的集極阻值必須付出兩道額外的遮罩/摻雜操作來達成。

圖 4 中係例示另一先進的習知 BJT/CIGFET 半導體結構，其同樣大體上如 Alvarez 所述。此 BJT/CIGFET 結構係一種雙井結構，其含有 n 通道 IGFET 20W、p 通道 IGFET 22W、及 npn BJT 33W，除了下面所述外，它們的組態分別和電晶體 20V、22V、及 33V 相同。此處利用近本質單晶矽磊晶層 63 取代圖 3BJT/CIGFET 結構中的 n-磊晶層 56。此處利用在該上方半導體表面之上小高度的凹陷場氧化物區 28W 取代圖 3BJT/CIGFET 結構中的凹陷場氧化物區 28。

n 通道區帶 IGFET 20W 的 p 型主體材料包含(a)被形成在本質磊晶層 63 中的中度摻雜井區 64W，(b)沿著 p-基板 54 與磊晶層 63 之間的介面(圖 4 中未指示)被形成的中度摻雜埋植層 64B，以及(c)表面鄰接重度摻雜主體接點部 64C。此處利用 n 型 S/D 區帶 34W 或 36W(其由一重度摻雜主要部和一較輕度摻雜橫向延伸區(圖中未分開標示)所組成)取代圖 3BJT/CIGFET 結構中的每一個 n+ S/D 區帶 34 或 36。介電間隔部 66 與 68 係位於多晶矽閘極電極 42 的側壁中。

p 通道 IGFET 22W 的 n 型主體材料係利用下面所構成：(a)被形成在磊晶層 63 中的中度摻雜井區 70W，(b)沿著基板 54 與磊晶層 63 之間的介面被形成的中度摻雜埋植層 70B，及(c)表面鄰接重度摻雜主體接點部 70C。通道部分 72 顯為 p 型導體性，其會延伸在 p 型 S/D 區帶 44 與 46 之間。所以，IGFET 22W 看似一空乏模式裝置。介電間隔部 76 與 78 係位於多晶矽閘極電極 52 的側壁中。

npn 電晶體 33W 的 n 型集極係由下述組成：(a)磊晶層 63 的區段 65M，(b)沿著基板 54 與磊晶層 36 之間的介面被形成的重度摻雜埋植集極層 65B，及(c)重度摻雜集極接點部 65C，其會從 n+埋植集極層 65B 經由半導體島 37 延伸到該上方半導體表面。如同圖 3 的 BJT/CIGFET 結構中的 n+埋植集極層 61B 以及 n+集極接點部 61C，此處的 n+埋植集極層 65B 以及 n+集極接點部 65C 實質上會降低集極阻值。多晶矽滿深溝槽 67 結合下方的重度摻雜 p 型反反轉區 69 會橫向隔離 npn 電晶體 33W 與 p 通道 IGFET 22W。

電氣絕緣層 71 係延伸在 npn 電晶體 33W 的 n 型射極的 n+單晶矽部分 39 的上方。該射極中經摻雜的 n 型多晶矽部分 73 會經由絕緣層 71 的一接取開口來接觸單晶矽射極部 39。射極接點介電間隔部 75 與 77 位於多晶矽射極部 73 的側壁中。最後，以斜線陰影但沒有元件符號表示(以避免進一步增加圖解複雜性)的金屬矽化物層會被設置在基極接點部 41C 的頂端；集極接點部 65C 的頂端；多晶矽射極部 73 的頂端；S/D 區帶 34W、36W、44、及 46 的頂端；以及閘

極電極 42 與 52 的頂端。

圖 4 的 BJT/CIGFET 結構以額外的處理複雜性換得電晶體 20W、22W、及 33W 明顯更佳的操作特徵。應該注意的係，n+單晶矽射極部 39 係藉由從多晶矽射極部 73 處向外擴散的摻雜物所構成，接著再實施一遮罩/摻雜操作用以創造貫穿絕緣層 71 的射極接取開口且形成多晶矽射極部 73。在形成射極接點側壁間隔部 75 與 77 之後，會利用和 p 通道 IGFET 22W 的 S/D 區帶 44 與 46 相同的步驟來創造基極接點部 41C。明確地說，會利用射極接點間隔部 75 作為整個遮罩的一部分來實施一遮罩/摻雜操作。所以，此處的基極鏈長度 L_{BL}(再次地，其為介於單晶矽射極部 39 與基極接點部 41C 之間的距離)係由下面的組合來定義：(a)射極接點間隔部 75 的橫向厚度，以及(b)用於形成貫穿絕緣層 71 之射極接取開口的光阻遮罩中該開口的最接近邊緣。

基極鏈長度 L_{BL} 必須受妥適控制。倘若基極鏈長度 L_{BL} 太小，一 BJT 的射極-基極接面可能會在電晶體操作期間永久性故障。因為圖 2 與 3BJT/CIGFET 結構中的基極鏈長度 L_{BL} 係由在形成 S/D 區帶 34、36、44、及 46 時未被關鍵性使用的光阻遮罩來定義，因此，控制基極鏈長度 L_{BL} 的能力會相依於在 CIGFET 觀點中並不重要的光阻遮罩的微影準直功能。這會引起嚴重的可靠度問題。雖然在製造圖 4 的 BJT/CIGFET 結構中會略微緩解此可靠度問題；不過，圖 4 的 BJT/CIGFET 結構的專用特性卻遠超過圖 2 與 3 的 BJT/CIGFET 結構。

本發明希望有一種包含以和 IGFET 及 BJT 之間的微影遮罩功能差異無關的方式來精確控制基極鏈長度 L_{BL} 的技藝的半導體技術。明確地說，用於控制基極鏈長度 L_{BL} 的技藝在 IGFET 及 BJT 兩者之中皆應為關鍵技藝。本發明還希望該半導體技術提供具有良好類比特徵的電晶體以及用於高效能數位應用的電晶體。

【發明內容】

本發明提供此種半導體技術。更明確說，根據本發明來組態的半導體結構含有一雙極接面電晶體，其具有一第一導體類型的基極以及一和第一導體類型相反的第二導體類型的射極與集極。該基極、射極、及集極會構成具有一上方表面的半導體主體中的個別區帶。

基極包含一本質基極部、一基極接點部、及一基極鏈部。該本質基極部係位於射極的下方以及集極之材料的上方。該基極接點部會延伸到該上方半導體表面。該基極鏈部會延伸在該等本質基極部與基極接點部之間。射極與集極會藉由該基極而彼此分離，以便與該基極形成個別的主要 pn 接面。射極會延伸到該上方半導體表面並且藉由該基極鏈部來與該基極接點部橫向分離。

本發明的半導體結構進一步含有一間隔結構，其係由一隔離介電層以及一定義該基極鏈部之長度 L_{BL} 的間隔組件所構成。該介電層係位於該上方半導體表面之中。由該間隔組件的非單結晶半導體材料所組成的一橫向間隔部分則係位於該基極鏈部上方的該介電層之上。

該基極鏈部具有相反的第一上方邊緣與第二上方邊緣，它們的分離距離會構成基極鏈長度 L_{BL}。該基極鏈部的第一上方邊緣與第二上方邊緣會橫向保形於該橫向間隔部分之個別相反的第一下方邊緣與第二下方邊緣。依此方式，由非單結晶半導體材料(通常為多結晶半導體材料)所組成的橫向間隔部分便會控制基極鏈長度 L_{BL}。改變該橫向間隔部分在基極鏈長度 L_{BL} 之方向中的維度便因而導致基極鏈長度 L_{BL} 的對應改變，其通常大部分會有相等改變。

在製造根據本發明的半導體結構以便控制基極鏈長度 L_{BL} 中，一第一導體類型的第一半導體摻雜物會被引入該半導體主體中預期要成為該基極之基極鏈部與本質基極部的材料中。和第一導體類型相反的第二導體類型的第一半導體摻雜物會被引入該半導體主體中預期要成為該集極之至少一部分的材料中。因此，該半導體主體會具備由該隔離介電層與該間隔組件所構成的間隔結構，其包含由非單結晶半導體材料所組成的橫向間隔部分。

接著會利用該橫向間隔部分及其側邊的任何材料作為摻雜物阻隔擋板將該第一導體類型的第二半導體摻雜物引入該半導體主體中，用以定義該基極接點部。依照雷同方式，其會利用該橫向間隔部分及其側邊的任何材料作為摻雜物阻隔擋板將該第二導體類型的第二半導體摻雜物引入該半導體主體中以定義該射極。因為每一個該些摻雜物阻隔擋板皆包含該橫向間隔部分，所以該基極鏈部的該等第一上方邊緣與第二上方邊緣會橫向保形於該橫向間隔部分

的該等第一下方邊緣與第二下方邊緣。因此，在電晶體製造結束時，由非單結晶半導體材料(通常為多結晶半導體材料)所組成的橫向間隔部分便會控制基極鏈長度 L_{BL}。

該間隔組件一般包含第一介電間隔部與第二介電間隔部，該等第一介電間隔部與第二介電間隔部分別位於該橫向間隔部分中相反的第一側與第二側，其會使得該橫向間隔部分的該等第一側與第二側分別包含它的第一下方邊緣與第二下方邊緣。因此，利用該第一導體類型的第二摻雜物來摻雜該基極接點部期間所使用的摻雜物阻隔擋板會包含該等介電間隔部。利用該第二導體類型的第二摻雜物來摻雜該射極期間所使用的摻雜物阻隔擋板同樣會包含該等介電間隔部。結果在電晶體製造結束時，該等第一介電間隔部與第二介電間隔部通常會分別位於該基極鏈部的該等第一上方邊緣與第二上方邊緣的上方。當該等介電間隔部出現在該間隔組件中時，基極鏈長度 L_{BL} 會取決於該上方半導體表面中於該基極鏈長度 L_{BL} 方向中的該橫向間隔部分與該等介電間隔部的總合成維度。

本發明半導體結構通常包含一主要 IGFET，其中該半導體主體具有第一導體類型的主體材料。該 IGFET 具有：由該主體材料所組成的一通道區帶；第二導體類型的一對源極/汲極(再次稱為 S/D)區帶；一疊置在該通道區帶上方的閘極介電層；以及一疊置在該通道區帶上方的閘極介電層上方的閘極電極。該等 S/D 區帶係沿著該上方半導體表面位於該半導體主體中且被該通道區帶橫向分離。在摻雜該

BJT的射極期間，用於該射極的第二導體類型的第二摻雜物較佳也被引入該半導體主體中，以至少部分定義該等 S/D 區帶。該閘極電極含有經摻雜的非單結晶半導體材料。

與該主要 IGFET 互補的另一 IGFET 通常會被併入本發明的半導體結構之中，以便將其轉換成一 BJT/CIGFET 結構。為達此目的，該半導體主體具有第二導體類型的主體材料。該另一 IGFET 具有：由該第二導體類型的主體材料所組成的一通道區帶；第一導體類型的一對 S/D 區帶；一疊置在該通道區帶上方的閘極介電層；以及一疊置在該通道區帶上方的閘極介電層上方的閘極電極。該另一 IGFET 的該等 S/D 區帶係沿著該上方半導體表面位於該半導體主體中且被該通道區帶橫向分離。在摻雜該 BJT 的基極接點部期間，用於該基極接點部的第一導體類型的第二摻雜物較佳的係也會被引入該半導體主體中，用以至少部分定義該另一 IGFET 的該等 S/D 區帶。該另一 IGFET 的該閘極電極含有經摻雜的非單結晶半導體材料。

該 BJT 的橫向間隔部分及該等互補 IGFET 的閘極電極通常係由某種程序來定義，於該程序中，該半導體主體會先具備一包含該等絕緣層與閘極介電層之材料的表面介電層。一非單結晶半導體材料層會被沉積在該表面介電層之上。接著，該非單結晶半導體材料層會被圖樣化，用以定義該橫向間隔部分與該等閘極電極。該非單結晶半導體層的圖樣化通常必須在該層之上形成一光阻遮罩且經由該遮罩中的開口來移除裸露的非單結晶半導體材料。

用於定義該橫向間隔部分與該等閘極電極的程序非常省錢，因為用於該等閘極電極的非單結晶半導體層亦會被用於控制基極鏈長度 L_{BL} 的橫向間隔部分。其不需要額外的操作來形成該橫向間隔部分。此外，由該非單結晶半導體層所產生的閘極電極的厚度非常大，足以防止任何大量的半導體摻雜物通過(舉例來說，因離子植入的關係)該等閘極電極進入該半導體主體的下方材料。結果，該橫向間隔部分的厚度本質上就夠厚，足以防止任何大量的半導體摻雜物通過該橫向間隔部分及破壞下方的基極鏈部。

該等閘極電極的橫向形狀(尤其是它們的長度)通常必須受到妥適控制，以便讓該等 IGFET 正確操作。因為該等閘極電極的橫向形狀係藉由圖樣化該非單結晶半導體層來定義，所以該圖樣化操作(明確說該光阻遮罩之形成)必須根據嚴謹的準直公差以不變的關鍵方式來完成。因為控制 BJT 之基極鏈長度 L_{BL} 的橫向間隔部分的橫向形狀同樣係藉由關鍵受控方式圖樣化該非單結晶半導體層來定義，所以，基極鏈長度 L_{BL} 本質上就會受到嚴謹的控制，而不需要對電晶體製程加諸任何進一步的控制必要條件。逐個製造批之間的 BJT 特徵的重複性因而會大幅提高。

此外，更嚴僅地控制基極鏈長度 L_{BL} 還會達到降低 BJT 之基極阻值的目的。這會進一步改善 BJT 操作特徵。

互補 IGFET 中每一者的每一個 S/D 區帶通常會包含一主要部及一較輕度摻雜的橫向延伸區。每一個 IGFET 的 S/D 區帶的橫向延伸區會在其閘極介電層下方終止其通道區帶

(也就是沿著該上方半導體表面)。另外，通常還有一對介電側壁間隔部分別位於每一個 IGFET 的閘極電極的橫斷側。

依照前述方式來形成該等互補 IGFET 必須在利用該等第一導體類型與第二導體類型的第二摻雜物進行摻雜操作之前先實施兩道摻雜操作。首先，其會利用該主要 IGFET 的閘極電極以及該電極側邊中的任何材料作為摻雜物阻隔擋板將該第二導體類型的額外半導體摻雜物引入至預期要成為該主要 IGFET 之 S/D 區帶的橫向延伸區的至少一對半導體主體部分之中。其次，還會利用該另一 IGFET 的閘極電極以及該電極側邊中的任何材料作為摻雜物阻隔擋板，以雷同的方式將該第一導體類型的額外半導體摻雜物引入預期要成為該另一 IGFET 之 S/D 區帶的橫向延伸區的至少一對半導體主體部分之中。

接著便會形成該等介電間隔部，也就是該等閘極側壁間隔部以及該橫向間隔部分之側邊中的間隔部。隨即，會利用該主要 IGFET 的閘極電極及其側壁間隔部作為摻雜物阻隔擋板，利用該第二導體類型的第二摻雜物所進行的摻雜操作來定義該主要 IGFET 的 S/D 區帶的主要部。該另一 IGFET 的 S/D 區帶的主要部則會以雷同的方式，利用該另一 IGFET 的閘極電極及其側壁間隔部作為摻雜物阻隔擋板，利用該第一導體類型的第二摻雜物所進行的摻雜操作來定義。如上面所提，該 BJT 的基極接點部與射極分別係利用該第二導體類型的第一摻雜物與第二摻雜物所進行的摻雜操作來定義。因此，不需要該等兩個 IGFET 必要之外

的任何額外製造處理便可形成該射極與該基極接點部。

該第二導體類型的主體材料通常包含用於該另一IGFET的一井區。在實施BJT的集極摻雜時，用於該集極的第二導體類型的第一摻雜物同樣會被引入預期要成為該井區的半導體主體材料中。

用於創造該BJT與該等互補IGFET的所有操作的淨成果係該BJT的形成通常僅需用到該等IGFET必要操作之外的一道額外操作，換言之僅需針對該等本質基極部與基極鏈部利用該第一導體類型的第一摻雜物來進行摻雜。因此，本發明可以非常省錢方式達到形成BJT之目的且讓其基極鏈長度L_{BL}受到控制，使得該BJT具有良好的效能。

該BJT可以經過修正，以便以另一額外的摻雜操作來換取更佳的效能。若要讓該集極的一主要集極部至少部分由該第二導體類型的第一摻雜物來定義，可以各種方式來施行此修正。於其中一種施行方式中，該第二額外的摻雜操作必須將該第二導體類型的額外半導體摻雜物引入至該半導體主體之中用以定義一深集極層，其係位於該主要集極部的下方而且摻雜程度重過該主要集極部。

本發明的半導體結構通常包含與該主要BJT互補的另一BJT。該另一BJT的組態基本上和該主要BJT相同；不過導體類型相反。因此，該另一BJT的基極鏈長度L_{BL}會利用由非單結晶半導體材料所製成的另一橫向間隔部分來控制。該另一BJT的創造方式基本上和該主要BJT相同，其會利用分別對應的摻雜操作；不過，該等半導體摻雜物

的導體類型相反。

若有兩個互補 IGFET 出現在該半導體結構中使得其係一互補式 BJT/互補式 IGFET(CBJT/CIGFET)結構，該等 IGFET 的摻雜操作各自用於該另一 BJT 的方式則會互補於該等 IGFET 摻雜操作各自用於該主要 BJT 的方式。據此，該另一 BJT 的形成通常僅需用到該等 IGFET 必要操作之外的一道額外操作，換言之僅需要針對該另一 BJT 的本質基極部與基極鏈部利用該第二導體類型的額外摻雜物來進行摻雜。因為該主要 BJT 的形成通常同樣需用到一道額外操作，所以該等互補式 BJT 通常僅需付出兩道額外操作的些許代價便會具有受到妥適控制的基極鏈長度 L_{BL} 受到控制。

另一 BJT 可和該主要 BJT 的相同方式進行修正而以另一額外摻雜操作來換取更佳效能。若要該另一集極的一主要集極部至少部分由該第一導體類型的半導體摻雜物來定義，可以各種方式來施行此額外修正。於一種施行方式中，該另一額外的摻雜操作必須將該第一導體類型的額外半導體摻雜物引入該半導體主體中用以定義另一深集極層，其位於該另一集極的主要集極部的下方且摻雜程度重過該主要集極部。在形成該等互補 IGFET 的過程中，全部僅需用到四道額外的摻雜操作來形成此對增強型互補式 BJT。

簡言之，本發明提供具有受到妥適控制之基極鏈長度 L_{BL} 的 BJT。逐個批次之間的 BJT 特徵重複性會大幅地提高。更強烈地控制基極鏈長度 L_{BL} 會達到大幅降低基極阻值的目的。僅需要少許的額外處理操作便可以將 BJT 的製造

整合至互補 IGFET 的製造之中。該等 BJT 的製造非常省錢。因此，本發明大幅超越先前技術。

【實施方式】

內容編排

A.參考記號和其它預備資訊

B.適用混合訊號應用的互補式 BJT/互補式 IGFET 結構

C.井架構和摻雜特徵

D.雙極接面電晶體

D1.npn 電晶體的結構

D2.npn 電晶體中基極鏈長度的控制

D3.pnp 電晶體

D4.BJT 變化例

E.非對稱高電壓 IGFET

E1.非對稱高電壓 n 通道 IGFET 的結構

E2.非對稱高電壓 n 通道 IGFET 的源極/汲極延伸區

E3.非對稱高電壓 p 通道 IGFET 的結構

E4.非對稱高電壓 p 通道 IGFET 的源極/汲極延伸區

F.延伸型汲極 IGFET

F1.延伸型汲極 n 通道 IGFET 的結構

F2.延伸型汲極 n 通道 IGFET 的操作物理性

F3.延伸型汲極 p 通道 IGFET 的結構

F4.延伸型汲極 p 通道 IGFET 的操作物理性

G.對稱低電壓低漏電 IGFET

H.對稱低電壓低臨界電壓 IGFET

I.標稱臨界電壓大小的對稱高電壓 IGFET

J.標稱臨界電壓大小的對稱低電壓 IGFET

K.對稱高電壓低臨界電壓 IGFET

L.對稱原生(native)低電壓 n 通道 IGFET

M.對稱原生高電壓 n 通道 IGFET

N.對稱 IGFET 中的摻雜物分佈

O.大體上可應用於全部現有 BJT 與 IGFET 的資訊

P.互補式 BJT/互補式 IGFET 結構的製造

P1.通用製造資訊

P2.井構成

P3.基極構成

P4.橫向間隔部分與閘極電極的構成

P5.源極/汲極延伸區和環袋部的構成

P6.間隔部、射極、接點部、主要源極/汲極部的構成

P7.最終處理

P8.BJT 變化例的構成

Q.其它變化例

A.參考記號和其它預備資訊

下文及圖式中運用的元件符號具有下面的意義：

d_a ≡ 在基極鏈長度的方向中從基極鏈部的射極側上方橫斷邊緣至橫向間隔部分的射極側下方橫斷邊緣的橫向距離

d_b ≡ 在基極鏈長度的方向中從基極鏈部的基極接點側上方橫斷邊緣至橫向間隔部分的基極接點側下方橫斷邊緣的橫向距離

d_{LS}	≡	在基極鏈長度的方向中介於橫向間隔部分的下方橫斷邊緣之間的橫向距離
d_{SB}	≡	在基極鏈長度的方向中沿著該上方半導體表面的基極接點側隔離介電間隔部的維度
d_{SE}	≡	在基極鏈長度的方向中沿著該上方半導體表面的射極側隔離介電間隔部的維度
L	≡	沿著上方半導體表面的通道長度
L_{BL}	≡	BJT 之基極的基極鏈部沿著上方半導體表面的長度
L_{DR}	≡	由閘極長度的圖繪數值(drawn value)所給定的通道長度圖繪數值
L_{WW}	≡	延伸型汲極 IGFET 的井至井分隔距離
N'	≡	離子植入材料所收到的離子劑量
N'_{max}	≡	近似單象限植入中離子植入材料所收到的離子的極大劑量
N'_{l}	≡	近似單象限植入中離子植入材料所收到的離子的極小劑量
t_{GdH}	≡	閘極介電質厚度的高數值
t_{GdL}	≡	閘極介電質厚度的低數值
V_{BD}	≡	汲極至源極崩潰電壓
V_{BE}	≡	基極至射極電壓
V_{BE0}	≡	基極至射極電壓的臨界數值
V_{DS}	≡	汲極至源極電壓
V_{GS}	≡	閘極至源極電壓
V_T	≡	臨界電壓
x_{DEOL}	≡	閘極電極重疊汲極延伸區的數額
x_{SEOL}	≡	閘極電極重疊源極延伸區的數額

y	≡	深度或垂直距離
y_D	≡	汲極的極大深度
y_{DE}	≡	汲極延伸區的極大深度
y_{DEPK}	≡	在橫向汲極延伸區中與橫向汲極延伸區相同導體類型的半導體摻雜物的極大(尖峰)濃度位置處的平均深度
y_{DM}	≡	主要汲極部的極大深度
y_{DNWPK}	≡	在深 n 井半導體摻雜物的極大(尖峰)濃度位置處的平均深度
y_{NWPK}	≡	在 n 型空主要井半導體摻雜物的極大(尖峰)濃度位置處的平均深度
y_{PWPK}	≡	在 p 型空主要井半導體摻雜物的極大(尖峰)濃度位置處的平均深度
y_S	≡	源極的極大深度
y_{SD}	≡	源極/汲極區帶的極大深度
y_{SE}	≡	源極延伸區的極大深度
y_{SEPK}	≡	在橫向源極延伸區中與橫向源極延伸區相同導體類型的半導體摻雜物的極大(尖峰)濃度位置處的平均深度
y_{SM}	≡	主要源極部的極大深度
α	≡	用於植入半導體摻雜物的離子與垂直線形成的傾角
β	≡	半導體主體相對於一主橫向方向的方位角
β_0	≡	以三個 90°遞增額遞增的方位角的基值

下文使用的「表面鄰接(surface-adjoining)」一詞的意義為鄰接(或延伸至)該上方半導體表面，也就是，由單結晶或大部分為單結晶的半導體材料所組成的半導體主體的上

方表面。除非另外提及，否則，所有提及被摻雜單結晶半導體材料之中的深度皆係指該上方半導體表面下方的深度。同樣地，除非另外提及，否則，所有提及一物件延伸至單結晶半導體材料之中的深度大過另一物件皆係指以該上方半導體表面為基準較深的深度。除非另外提及，否則，一 BJT 或 IGFET 的一被摻雜單結晶半導體區的每一個深度或平均深度皆係從一大體上延伸穿過該 BJT 之隔離介電層底部或該 IGFET 之閘極介電層底部的平面處所測得的。

兩個相同導體類型的接連(或連續)半導體區間的邊界會略為模糊。圖式中通常使用虛線來表示此等邊界。為達定量目的，位於背景摻雜物濃度處的半導體基板區及成為和該基板區相同導體類型而藉由摻雜操作所形成的鄰接半導體區間的邊界會被視為全部摻雜物濃度為背景摻雜物濃度兩倍的位置。同樣，位於成為相同導體類型而藉由摻雜操作所形成的兩個接連半導體區間的邊界則被視為用於形成該等兩個區域的摻雜物的全部濃度為相同的位置。

除非另外提及，否則每當提及半導體摻雜物或雜質時，便係指 p 型半導體摻雜物（由受體原子構成）或 n 型半導體摻雜物（由施體原子構成）。半導體摻雜物的「原子物種」係指構成該摻雜物的元素。於某些情況中，一半導體摻雜物可能會係由二或多種不同原子物種所組成。

就半導體摻雜物的離子植入來說，「含有摻雜物的粒子物種」所指的係含有要被植入的摻雜物並且會被離子植入設備引導至植入部位的粒子(原子或分子)。舉例來說，元

素硼或二氟化硼便能充當該含有摻雜物的粒子物種，用以離子植入該 p 型摻雜物硼。「粒子離子化電荷狀態」所指的係在離子植入期間該含有摻雜物的粒子物種的電荷狀態，也就是單離子化、雙離子化等。

IGFET 的通道長度 L 為沿著上方半導體表面之 IGFET 的源極/汲極區帶間的最小距離。本文一 IGFET 的圖繪通道長度 L_{DR} 便係該 IGFET 的閘極長度的圖繪數值。因為 IGFET 的源極/汲極區帶必定延伸在 IGFET 的閘極電極下方，所以 IGFET 的通道長度 L 會小於 IGFET 的圖繪通道 L_{DR}。

IGFET 的特徵為具有兩個正交的橫向(水平)方向，亦即在大體上延伸平行於該上方(或下方)半導體表面的平面中互相垂直延伸的兩個方向。該等兩個橫向方向在本文稱為縱向方向與橫切方向。縱向方向為 IGFET 之長度的方向，亦即從其源極/汲極(再次稱為 S/D)區帶中任一者至該 S/D 區帶中另一者的方向。橫切方向則為 IGFET 之寬度的方向。

含有 IGFET 的半導體主體會有兩個正交的主要橫向(水平)方向，也就是，在大體上延伸平行於該上方(或下方)半導體表面的平面中互相垂直延伸的兩個方向。任何本發明 CBJT/CIGFET 結構之施行方式中的 IGFET 通常會被佈局在該半導體主體之上，俾讓每一個 IGFET 的縱向方向會延伸在半導體主體的一個主要橫向方向之中。舉例來說，某些該等 IGFET 的縱向方向會延伸在半導體主體的其中一個主要橫向方向之中，而其它 IGFET 的縱向方向則會延伸在半導體主體的另一個主要橫向方向之中。

當一 IGFET 沿著其源極/汲極區帶兩者以大部分為鏡射影像的方式來組態並且被組態至中間通道區帶之中時，下文會將該 IGFET 描述為對稱。舉例來說，沿著每一個源極/汲極區帶有一分離環袋部的 IGFET 在本文中通常會被描述為對稱，除了它們的長度之外，只要該等源極/汲極區帶大部分為彼此的鏡射影像即可。不過，由於在離子植入至該等環袋中其中一者的位置之中期間會發生如部分遮蔽(partial shadowing)之類的因素的關係，在沿著該上方半導體表面的該等環袋中的摻雜物輪廓可能大部分不是鏡射影像。於此等情況中，雖然 IGFET 會被描述為對稱裝置；不過，在 IGFET 的實際結構中則通常會有些許不對稱。

不論對稱或非對稱，一 IGFET 都會有被稱為「偏壓導通」狀態及「偏壓關閉」狀態的兩個偏壓狀態(或條件)，其中驅動電位(電壓)存在於作為源極的 S/D 區帶及作為汲極的 S/D 區帶之間。在解釋該等兩個偏壓狀態時為簡化起見，本文將作為源極的 S/D 區帶及作為汲極的 S/D 區帶分別稱為源極和汲極。在偏壓導通狀態中，該 IGFET 會導通，IGFET 的閘極電極和源極之間的電壓 V_{GS} 的數值會在驅動電位的影響下讓電荷載子從該源極處自由地流經該通道抵達該汲極。當該 IGFET 為 n 通道類型時，該等電荷載子便為電子；而當該 IGFET 為 p 通道類型時，該等電荷載子則為電洞。

在偏壓關閉狀態中，該 IGFET 不導通，在源極和汲極之間雖然有驅動電位存在，但是只要該驅動電位的大小(絕對數值)不足以造成 IGFET 崩潰，閘極至源極電壓 V_{GS} 的數

值便不會讓電荷載子明顯地從該源極處流經該通道抵達該汲極。同樣地，n 通道 IGFET 的電荷載子為電子，而 p 通道 IGFET 的電荷載子為電洞。在偏壓關閉狀態中，倘若閘極至源極電壓 V_{GS} 的數值讓 IGFET 處於偏壓導通狀態中的話，源極和汲極便會因而被偏壓俾讓電荷載子從該源極處自由地流經該通道抵達該汲極。

更明確說，當下面條件成立時，一 n 通道 IGFET 便會處於偏壓導通狀態中：(a)其汲極相對於其源極具有合宜的正電位；以及(b)其閘極至源極電壓 V_{GS} 等於或超過其臨界電壓 V_T。接著，電子便會從源極處經由該通道流到汲極。因為電子為負電荷載子，所以正電流會從汲極流到源極。當其汲極相對於其源極位在正驅動電位處但是其閘極至源極電壓 V_{GS} 小於其臨界電壓 V_T 時，一 n 通道 IGFET 便會處於偏壓關閉狀態中，因此，只要該正驅動電位不足以造成汲極至源極崩潰，便不會有明顯的電子流從該源極處經由該通道抵達該汲極。增強模式 n 通道 IGFET 的臨界電壓 V_T 通常為正，而空乏模式 n 通道 IGFET 的臨界電壓 V_T 則為負。

依照互補方式，當下面條件成立時，一 p 通道 IGFET 便會處於偏壓導通狀態中：(a)其汲極相對於其源極具有合宜的負電位；及(b)其閘極至源極電壓 V_{GS} 小於或等於其臨界電壓 V_T。電洞會從源極處經由該通道流到汲極。因為電洞為正電荷載子，所以正電流會從源極流到汲極。當其汲極相對於其源極位在負電位處但是其閘極至源極電壓 V_{GS} 大於其臨界電壓 V_T 時，一 p 通道 IGFET 便會處於偏壓關閉

狀態中，因此，只要該負驅動電位的大小不足以造成汲極至源極崩潰，便不會有明顯的電洞流從該源極處經由該通道抵達該汲極。增強模式 p 通道 IGFET 的臨界電壓 V_T 通常為負，而空乏模式 p 通道 IGFET 的臨界電壓 V_T 則為正。

半導體材料中的電荷載子通常兼具電子和電洞兩種意義。當提及在局部電場的方向中前進的電荷載子時，其意義為電洞大體上係在該局部電場向量的方向之中前進而電子則係在與該局部電場向量相反的方向之中前進。

除非另外提及，否則，本文中使用到的單數型或複數型「極大濃度」和「濃度極大值」用語大體上可交換使用，也就是，具有相同的意義。

為方便起見，決定一 IGFET 之主體材料的導體類型的半導體摻雜物被稱為主體材料摻雜物。當 IGFET 運用一井區時，主體材料摻雜物便包含半導體井摻雜物。當主體材料摻雜物的濃度沿著下方主體材料位置在該上方半導體表面之下不到 S/D 區帶 10 倍深處達到子表面極大值且從該主體材料摻雜物的極大濃度的子表面位置處沿一虛擬垂直線(其從該主體材料摻雜物的極大濃度的子表面位置處延伸穿過該 S/D 區帶)向上移到該 S/D 區帶(也就是該 S/D 區帶的 pn 接面)時遞減至少 10 倍時，一 IGFET 的 S/D 區帶以下的垂直摻雜物輪廓便被稱為「低陡峭(hypoabrupt)」。請參見美國專利案第 7,419,863 B1 號以及美國專利公開案第 2008/0311717 A1 號和第 2008/0308878 號中任一案(全部由 Bulucea 提申)。為簡化起見，具有下方低陡峭垂直摻雜物輪

廓的 S/D 區帶的 pn 接面有時候會被稱為低陡峭接面。

依照互補方式，當主體材料摻雜物的濃度沿著下方主體材料位置在該上方半導體表面之下不到 S/D 區帶 10 倍深處達到子表面極大值、但從該主體材料摻雜物的極大濃度的子表面位置處沿一虛擬垂直線(其從該主體材料摻雜物的極大濃度的子表面位置處延伸穿過該 S/D 區帶)向上移到該 S/D 區帶的 pn 接面時遞減不到 10 倍時，IGFET 的 S/D 區帶以下的垂直摻雜物輪廓被稱為「非低陡峭(non-hypoabrupt)」。為簡化起見，具下方非低陡峭垂直摻雜物輪廓的 S/D 區帶的 pn 接面有時被稱為非低陡峭接面。

B.適用混合訊號應用的互補式 BJT/互補式 IGFET 結構

圖 5.0 至 5.9(統稱圖 5)係例示根據本發明所組態的互補式 BJT/互補式 IGFET(再次稱為 CBJT/CIGFET)半導體結構的十個部分，俾使其特別適用於混合訊號應用。圖 5 的 CBJT/CIGFET 中的電晶體會被設計成用以操作在三個不同的電壓範圍中。該等 BJT 以及某些該等 IGFET 會操作跨越數伏特的電壓範圍，舉例來說，3.0V 的標稱操作範圍。操作跨越數伏特的 IGFET 在本文中通常會被稱為「高電壓」IGFET。其它會操作跨越較小的電壓範圍，舉例來說，1.2V 的標稱操作範圍，並且同樣地，在本文中通常會被稱為「低電壓」IGFET。其餘 IGFET 則會操作跨越該等高電壓 IGFET 和低電壓 IGFET 的更大電壓範圍，且在本文中通常會被稱為「延伸型電壓」IGFET。延伸型電壓 IGFET 的操作電壓

通常為至少 10V，舉例來說標稱 12V。

圖 5 中 IGFET 使用兩種不同平均標稱厚度的閘極介電層，高數值 t_{GdH} 和低數值 t_{GdL}。高電壓 IGFET 和延伸型電壓 IGFET 中每一者的閘極介電質厚度皆為高數值 t_{GdH}。對 3.0V 操作來說，當閘極介電質材料為矽質氧化物或大部分為矽質氧化物時，高閘極介電質厚度 t_{GdH} 為 4 至 8nm，較佳係 5 至 7nm，通常為 6 至 6.5nm。低電壓 IGFET 中每一者的閘極介電質厚度皆為低數值 t_{GdL}。同樣對 1.2V 操作來說，當閘極介電質材料為矽質氧化物或大部分為矽質氧化物時，低閘極介電質厚度 t_{GdL} 為 1 至 3nm，較佳係 1.5 至 2.5nm，通常為 2nm。下面針對圖 5 IGFET 的參數提出的所有典型數值通常應用在該等閘極介電層具有前面典型厚度數值的本發明的 CBJT/CIGFET 半導體結構的施行方式。

圖 5 中的 BJT 使用隔離介電層，其係利用和該等較厚閘極介電層相同的步驟構成，因而會有高厚度數值 t_{GdH}；並且係由和該等較厚閘極介電層相同的材料所組成，通常為矽質氧化物或大部分為矽質氧化物。

BJT 出現在圖 5.0 中；而 IGFET 則出現在圖 5 的其餘圖式中。圖 5.0 中的 BJT 係由一垂直 npn BJT 101 與一垂直 pnp BJT 103 所組成。圖 5.1 與 5.2 中的 IGFET 為非對稱裝置。圖 5.3 至 5.9 中的 IGFET 則為對稱裝置。

更明確說，圖 5.1 係描述一非對稱高電壓 n 通道 IGFET 100 及一具有雷同組態的非對稱高電壓 p 通道 IGFET 102。非對稱 IGFET 100 與 102 係被設計成用於單向電流應用。

圖 5.2 中係描述一非對稱延伸型汲極 n 通道 IGFET 104 以及一具有雷同組態的非對稱延伸型汲極 p 通道 IGFET 106。延伸型汲極 IGFET 104 與 106 會構成特別適用於運用大於數伏特之電壓的應用的延伸型電壓裝置，例如：電力裝置、高電壓切換器、可電抹除程式化唯讀記憶體(EEPROM)程式化電路系統、及靜電放電(ESD)保護裝置。由於其不對稱的關係，每一個 IGFET 100、102、104、或 106 通常係使用在其通道區帶電流總是在相同方向中的情況中。

接著為對稱 IGFET，圖 5.3 係描述對稱低電壓低漏電 n 通道 IGFET 108 及具有雷同組態的對稱低電壓低漏電 p 通道 IGFET 110。此處的「低漏電」一詞意謂著 IGFET 108 和 110 會被設計成具有非常低的漏電流。一低臨界電壓大小的對稱低電壓 n 通道 IGFET 112 以及一具有雷同組態之低臨界電壓大小的對稱低電壓 p 通道 IGFET 114 圖示在圖 5.4 中。因為此處的 V_T 係作為臨界電壓的符號，所以，IGFET 112 與 114 通常被稱為低 V_T 裝置。

圖 5.5 係描述一有標稱 V_T 大小的對稱高電壓 n 通道 IGFET 116 以及一具有雷同組態之標稱 V_T 大小的對稱高電壓 p 通道 IGFET 118。一標稱 V_T 大小的對稱低電壓 n 通道 IGFET 120 及一具有雷同組態之標稱 V_T 大小的對稱低電壓 p 通道 IGFET 122 圖示在圖 5.6 中。圖 5.7 係例示一對稱高電壓低 V_T n 通道 IGFET 124 及一具有雷同組態之對稱高電壓低 V_T p 通道 IGFET 126。

如下文進一步說明，BJT 101 與 103，非對稱 IGFET 100

與 102 以及對稱 IGFET 108、110、112、114、116、118、120、122、124、及 126 全部會各自使用 p 型井與 n 型井。延伸型汲極 IGFET 104 與 106 中的某些區域係由被用來形成該等 p 型井與 n 型井的摻雜物引入來定義。因此，延伸型汲極 IGFET 104 與 106 會有效使用 p 型井與 n 型井。

圖 5.8 係描述一對對稱原生低電壓 n 通道 IGFET 128 和 130。一對個別對應的對稱原生高電壓 n 通道 IGFET 132 和 134 則圖示在圖 5.9 中。此處「原生」一詞意謂著 n 通道 IGFET 128、130、132、及 134 未使用任何井。明確說，原生 n 通道 IGFET 128、130、132、及 134 係直接由形成圖 5 之 CBJT/CIGFET 結構之起始區域的輕度摻雜 p 型單晶矽所產生。IGFET 128 和 132 為標稱 V_T 裝置。IGFET 130 和 134 為低 V_T 裝置。

對稱 IGFET 112、114、124、及 130 中每一者的臨界電壓 V_T 可能為正值或負值。據此，對稱 IGFET 112、114、124、以及 130 可能為增強模式(通常為導通)裝置或空乏模式(通常為關閉)裝置。IGFET 112 通常係增強模式裝置。IGFET 114、124、以及 130 通常係空乏模式裝置。此外，對稱 IGFET 126 與 134 則為空乏模式裝置。

為減少長串元件符號的數量，圖 5 中所示的 IGFET 群 100、102、104、106、108、110、112、114、116、118、120、122、124、126、128、130、132、及 134 在本文中通常會被統稱為「所例示」IGFET，而不列出它們的元件符號。同樣，本文經常會以具有該子群之特徵的用語來進一步表

示由圖中所示 IGFET 組成的子群。舉例來說，對稱 IGFET 108、110、112、114、116、118、120、122、124、126、128、130、132、及 134 經常會被簡稱為圖中所示的對稱 IGFET。同樣，本文經常會將該等圖中所示 IGFET 的組件稱為圖中所示 IGFET 的組件，而不列出該等組件的元件符號。相同程序則會運用至該等圖中所示 IGFET 子群的組件。

記住前述識別約定，該等圖中所示對稱 IGFET 全部適用於數位電路系統應用。必要時，任何該等圖中所示對稱 IGFET 皆能運用在類比電路系統應用中。該等圖中所示對稱 IGFET 所提供的不同特點能讓電路設計者選擇最符合特殊電路需求的 BJT 與 IGFET。

非對稱 IGFET 100 與 102 及圖中所示對稱 IGFET 雖然為方便而全部被繪製成長通道裝置；不過，任何 IGFET 皆能施行為短通道版本，尤其是低漏電 IGFET 108、110、120、及 122。於該情況中，對稱 IGFET 108、110、120、或 122 的短通道版本的環袋部(下文會作進一步討論)便能夠如上面提及的美國專利案第 6,548,842 號中所述般合併在一起。

通常沒有任何特殊的通道長度數值區分短通道體系的 IGFET 操作和長通道體系的 IGFET 操作；另或者，通常沒有任何特殊的通道長度數值會分辨短通道 IGFET 和長通道 IGFET。短通道 IGFET 或操作在短通道體系中的 IGFET 其特徵便明顯受到短通道效應影響的 IGFET。長通道 IGFET，或是操作在長通道體系中的 IGFET，則與短通道 IGFET 相反。在美國專利案第 6,548,842 號的先前技術中，雖然約 0.4

μm 的通道長度數值粗略地構成短通道體系和長通道體系之間的邊界；不過，該長通道/短通道邊界仍能出現在更高或較低數值的通道長度處，端視下面各項因素而定，例如，閘極介電質厚度、最小可印刷特徵圖樣大小、通道區帶摻雜物濃度、及源極-主體接面深度/汲極-主體接面深度。

圖 5 中的非對稱 IGFET 100 與 102 被繪製成使用一被形成在輕度摻雜 p 型單晶矽所組成的起始區之中的共同深 n 井(下文會作進一步討論)。另或者，亦能夠以沒有深 n 井的版本來提供每一個 IGFET 100 或 102。於一較佳施行方式中，n 通道 IGFET 100 會使用深 n 井，而 p 通道 IGFET 102 則沒有深 n 井。該等圖中所示對稱 IGFET 中雖然都未使用深 n 井；不過，該等圖中所示非原生對稱 IGFET 中的每一者卻可替代以使用深 n 井的版本來提供。當用於該等圖中所示非原生 n 通道 IGFET 中一者時，該深 n 井便會電氣隔離該 n 通道 IGFET 的 p 型主體區和下方 p-單晶矽。這會讓該 n 通道 IGFET 和每一個其它的 n 通道 IGFET 電氣隔離。在一相鄰的 p 通道 IGFET(例如圖 5 範例中的 IGFET 102)下方延伸一用於非原生 n 通道 IGFET(例如 IGFET 100)的深 n 井通常會提高 IGFET 封裝密度。

另或者，亦能從輕度摻雜 n 型單晶矽所組成的起始區處來創造圖中所示非原生 IGFET。於此情況會以實施深 n 井之互補功能的對應深 p 井來取代該等深 n 井。該等圖中所示原生 n 通道 IGFET 需要一 p 型起始單晶矽區且因而不會出現在使用 n-起始單晶矽區的最終 CBJT/CIGFET 結構

中。不過，每一個圖中所示原生 n 通道 IGFET 皆能夠以被形成在該 n-起始單晶矽中的對應原生 p 通道 IGFET 來取代。

圖 5 CBJT/CIGFET 結構可包含主要藉由合宜縮減閘極介電質厚度及/或調整摻雜條件而達成的低電壓版本的非對稱高電壓 IGFET 100 與 102。前面所有和從 p-起始單晶矽區變成 n-起始單晶矽區及使用或不使用深 p 井與深 n 井有關的立論皆應用至 IGFET 100、102、104、106 的前述變化例。

圖中所示 IGFET 及圖中所示 IGFET 之上述變化例以外的電路元件亦可會被提供在圖 5 的 CBJT/CIGFET 結構的其它部件中(未圖示)。舉例來說，二極體以及各種類型的電阻器、電容器、及/或電感器皆可被設置在此 CBJT/CIGFET 結構中。該等電阻器可能為單晶矽元件或多晶矽元件。端視該等額外電路元件的特徵而定，該 CBJT/CIGFET 結構還含有該等額外元件的合宜電氣隔離作用。該等圖中所示 IGFET 以及它們的上述變化例中被選定的 IGFET 通常會出現在圖 5 之 CBJT/CIGFET 結構的任何特殊施行方式之中。簡言之，圖之 CBJT/CIGFET 結構的架構提供適用於混合訊號 IC 應用的 BJT、IGFET、及其它電路元件。

C.井架構和摻雜特徵

BJT 101 與 103 及圖中所示 IGFET 的單晶矽元件會構成一具有輕度摻雜 p 型基板區 136 的經摻雜單晶矽半導體主體的一部分。一由電氣絕緣材料所組成的經圖樣化場區 138(通常主要係由矽質氧化物組成)會被放在該半導體主體

之上方表面的凹陷處之中。圖 5 所示場絕緣區 138 雖然係淺溝槽隔離類型；不過，其亦能夠以其它方式來組態。

將該場絕緣區 138 放在該上方半導體表面的凹陷處中會定義一群橫向分離的主動式半導體島。在圖 5 中出現 24 個此種主動式島 135A、135B、137A、137B、140、142、144A、144B、146A、146B、148、150、152、154、156、158、160、162、164、166、168、170、172、及 174。npn BJT 101 使用島 135A 與 135B。pnp BJT 103 使用島 137A 與 137B。

非延伸型汲極 IGFET 100、102、108、110、112、114、116、118、120、122、124、126、128、130、132、及 134 分別使用島 140、142、148、150、152、154、156、158、160、162、164、166、168、170、172、及 174。n 通道延伸型汲極 IGFET 104 使用島 144A 與 144B。雷同，p 通道延伸型汲極 IGFET 106 使用島 146A 與 146B。於某些實施例中，二或多個圖 5 中所示 IGFET 及上述 IGFET 變化例會運用該等主動式島中一者。舉例來說，這會發生在當二或多個該等 IGFET 共用源極或汲極之類的元件時。

半導體主體含有 BJT 井區 175A、175B、177A、及 177B；IGFET 主要井區 180、182、184A、184B、186A、186B、188、190、192、194、196、198、200、202、204、及 206；一 BJT 深中度摻雜 n 型井區 207；IGFET 深中度摻雜 n 型井區 210 與 212；以及一隔離中度摻雜 p 型井區 216。與該等圖中所示 IGFET 主要井區、IGFET 深 n 井區 210 與 212、及基板區 136 產生電氣接觸係透過藉由場絕緣區 138 被定義

在該上方半導體表面中的額外橫向分離的主動式半導體島(未圖示)來達成。

深 n 井區 207、210、及 212 會與 p-基板區 136 分別構成隔離 pn 接面 217、220、及 222。如此一來，深 n 井區 207、210、及 212 會比圖 5 中所示的其它井區更深入延伸至該半導體主體之中。基於此理由，主要井區 175A、175B、177A、及 177B、180、182、184A、184B、186A、186B、188、190、192、194、196、198、200、202、204、206、及隔離井區 216 便會被視為淺井。

BJT 淺井區 175A 與 175B 為中度摻雜 n 型井且相互合併用以構成 npn BJT 101 的一部分。BJT 淺井區 177A 與 177B 為中度摻雜 n 型井且同樣相互合併以構成 npn BJT 103 的一部分。IGFET 淺主要井區 180、184A、188、192、196、200、及 204 分別為 n 通道非原生 IGFET 100、104、108、112、116、120、124 的 p 型井。IGFET 淺主要井區 186B 為 p 通道非原生 IGFET 106 的 p 型井。IGFET 淺主要井區 182、186A、190、194、198、202、206 分別為非原生 p 通道 IGFET 102、106、110、114、118、122、126 的 n 型井。IGFET 淺主要井區 184B 則為非原生 n 通道 IGFET 104 的 n 型井。

為方便起見，圖 5 所繪所有圖中所示淺井區皆延伸至該半導體主體的相同深度中。不過，圖中所示 p 型淺井的深度則可能會略小於或略大於圖中所示 n 型淺井的深度。另外，某些圖中所示 p 型淺井會比其它圖中所示 p 型淺井更深入延伸至該半導體主體中，端視每一個圖中所示 p 型

淺井究竟係併入 p-基板區 136 中或接合一深 n 井而定。同樣，某些圖中所示 n 型淺井會比其它圖中所示 n 型淺井更深入延伸至該半導體主體中，端視於每一個圖中所示 n 型淺井究竟係併入 p-基板區 136 中或接合一深 n 井而定。

就併入於相同導體類型之下方經摻雜單晶矽區之中的經摻雜單晶矽區的深度來說，上方單晶矽區的深度會被視為出現在定義該上方區的半導體摻雜物的濃度等於定義該下方區的半導體摻雜物的濃度的位置處。因此，一併入於較深 n 型井區(例如，深 n 井 210 或 212)之中的 n 型主要井區(例如，n 型主要井 182 或 186A)的深度會出現在定義該等兩種 n 型井的 n 型半導體摻雜物的濃度為相等的位置處。當 p-基板區 136 係由具有實質上均勻的背景摻雜物濃度的 p 型單晶矽產生時，併入於基板區 136 之中的 p 型井區(例如，p 型主要井 184A)的深度便會出現在該 p 型井摻雜物濃度為該 p 型背景摻雜物濃度兩倍的位置處。

已併入的淺 n 井區 175A 與 175B 會併入於深 n 井區 207 中，俾使得其會構成 npn BJT 101 的 n 型集極的一部分。在替代實施例中(未圖示)會刪除深 n 集極井 207。淺 n 井 175A 與 175B 因而會與 p-基板區 136 構成一隔離 pn 接面。

同樣，已併入的淺 p 井區 177A 與 177B 會併入 p-基板區 136 中，使得其構成 pnp BJT 103 的 p 型集極的一部分。另或者，亦可在淺 p 井區 177A 與 177B 的下方提供一與 BJT 深 n 集極井區 207 隔開的隔離 BJT 深中度摻雜 n 型井區，以如下文配合圖 9 所述與 p-基板區 136 電氣隔離。在一替

代實施例中，npn BJT 101 的深 n 集極井 207 可以同樣延伸在淺井 177A 與 177B 下方的一較長的深 n 井來取代，用以將它們與基板區 136 電氣隔離，如下文配合圖 10 所述般。

p 型主要井區 180 會構成非對稱高電壓 n 通道 IGFET 100 的主體材料或主體材料區，且與深 n 井區 210 構成一隔離 pn 接面 224。參見圖 5.1。n 型主要井區 182 會併入深 n 井 210 中。n 型主要井 182 和深 n 井 210 的結合會構成非對稱高電壓 p 通道 IGFET 102 的主體材料或主體材料區。

於深 n 井 210 位於 n 通道 IGFET 100 的 p 型主要井區 180 下方但沒有延伸在 p 通道 IGFET 102 下方的實施例中(未圖示)，p 型主要井 180 同樣會構成 n 通道 IGFET 100 的主體材料(區)。不過，n 型主要井 182 接著會獨自構成 p 通道 IGFET 102 的主體材料(區)且與基板區 136 構成一 pn 接面。於完全沒有深 n 井 210 的實施例中(圖中同樣未指示)，p 型主要井區 180 和 p-基板區 136 的結合會構成 n 通道 IGFET 100 的主體材料，而 n 型主要井 182 則同樣構成 p 通道 IGFET 102 的主體材料且和基板區 136 構成一 pn 接面。

p 型主要井區 184A 會併入於 p-基板區 136 之中，如圖 5.2 所示。p 型主要井 184A 和 p-基板區 136 的結合會構成延伸型汲極 n 通道 IGFET 104 的主體材料，或主體材料區。IGFET 104 的 n 型主要井區 184B 則會和基板區 136 構成一汲極-主體 pn 接面 226，下文會作進一步討論。

n 型主要井區 186A 會併入於深 n 井 212 中。n 型主要井 186A 和深 n 井 212 的結合會構成延伸型汲極 p 通道

IGFET 106 的主體材料或主體材料區。IGFET 106 的 p 型主要井區 186B 則會和深 n 井 212 構成一汲極-主體 pn 接面 228 的一部分，下文會作進一步討論。

p 井區 216 係位於場絕緣區 138 的下方及 IGFET 104 的 n 型主要井區 184B 和 IGFET 106 的深 n 井區 212 之間。因為 IGFET 104 與 106 操作在非常高的電壓處並且在圖 5.2 的範例中彼此相鄰，所以，p 井 216 會讓 IGFET 104 與 106 相互電氣隔離。在延伸型汲極 IGFET 104 與 106 彼此不相鄰的實施例中，p 井 216 經常會被刪除。

p 型主要井區 188 和 p-基板區 136 的結合會構成對稱低電壓低漏電 n 通道 IGFET 108 的主體材料或主體材料區。參見圖 5.3。n 型主要井區 190 則會構成對稱低電壓低漏電 p 通道 IGFET 110 的主體材料或主體材料區，並且會和基板區 136 構成一隔離 pn 接面 230。

同樣，對稱低電壓低 V_T n 通道 IGFET 112 的主體材料(區)係藉由結合 p 型主要井區 192 和 p-基板區 136 而構成。參見圖 5.4。n 型主要井區 194 則會構成對稱低電壓低 V_T p 通道 IGFET 114 的主體材料(區)，並且會和基板區 136 構成一隔離 pn 接面 232。

p 型主要井區 196 和 p-基板區 136 的結合會構成對稱高電壓標稱 V_T n 通道 IGFET 116 的主體材料(區)。參見圖 5.5。n 型主要井區 198 則會構成對稱高電壓標稱 V_T p 通道 IGFET 118 的主體材料(區)，並且會和基板區 136 構成一隔離 pn 接面 234。

對稱低電壓標稱 V_T n 通道 IGFET 120 的主體材料(區)係藉由結合 p 型主要井區 200 和 p-基板區 136 而構成。參見圖 5.6。n 型主要井區 202 則會構成對稱低電壓標稱 V_T p 通道 IGFET 122 的主體材料(區)，並且會和基板區 136 構成一隔離 pn 接面 236。

p 型主要井區 204 和 p-基板區 136 的結合會構成對稱高電壓低 V_T n 通道 IGFET 124 的主體材料(區)。參見圖 5.7。n 型主要井區 206 則構成對稱高電壓低 V_T p 通道 IGFET 126 的主體材料(區)，且和基板區 136 構成一隔離 pn 接面 238。

p-基板區 136 會獨自構成每一個原生 n 通道 IGFET 128、130、132、及 134 的主體材料(區)。參見圖 5.8 與 5.9。

主要井區 180、182、184A、184B、186A、186B、192、194、204、及 206 全部為空倒退型井。更明確說，n 通道 IGFET 100、112、或 124 的 p 型主要井 180、192、或 204 摻雜著同樣出現在該 IGFET 的 S/D 區帶中的 p 型半導體摻雜物。該 p 型摻雜物的濃度會：(a)在橫向延伸於 IGFET 100、112、或 124 的通道區帶和 S/D 區帶中每一者之大部分全部下方的子表面極大濃度位置處局部達到子表面濃度極大值，以及(b)從該子表面極大濃度位置處沿著一選定垂直位置經由該 IGFET 的 S/D 區帶中的一指定 S/D 區帶向上移到該上方半導體表面時會遞減成最多 10%，較佳係遞減成最多 20%，更佳係遞減成最多 40%。相較於 IGFET 的指定 S/D 區帶的極大深度，IGFET 100、112、或 124 的 p 型主要井 180、192、或 204 中的 p 型摻雜物的極大濃度的子表面位置會出現在

不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳係不到 4 倍深的地方。

如下文進一步討論，一 p 型環袋部會出現在非對稱 IGFET 100 的源極中。IGFET 100 的指定 S/D 區帶通常係其汲極；不過，在該源極中沒有 p 型環袋部的 IGFET 100 的變化例中，該指定 S/D 區帶則可能係其源極或汲極。該指定 S/D 區帶可以係對稱 IGFET 112 或 124 的任一 S/D 區帶。

此外，該 p 型摻雜物的濃度在從 n 通道 IGFET 100、112、或 124 的 p 型空主要井 180、192、或 204 中的子表面極大濃度位置處沿著 IGFET 100、112、或 124 的選定垂直位置移到其指定 S/D 區帶時會以實質單調方式遞減成通常大於 10%。因為相較 IGFET 的指定 S/D 區帶的極大深度，IGFET 100、112、或 124 的 p 型主要井 180、192、或 204 中的 p 型摻雜物的極大濃度的子表面位置會出現在不到 10 倍深的地方，所以 IGFET 100、112、或 124 的指定 S/D 區帶下方的摻雜物輪廓通常非低陡峭。該 p 型摻雜物的濃度在從 IGFET 100、112、或 124 的子表面極大濃度位置處沿 IGFET 100、112、或 124 的選定垂直位置移到其指定 S/D 區帶時的遞減通常為實質不彎折，也就是不會有任何彎折。

前面所述 n 通道 IGFET 100、112、或 124 的 p 型空主要井區 180、192、或 204 中的 p 型摻雜物的局部濃度極大值係因為將 p 型半導體摻雜物(本文稱為 p 型空主要井摻雜物)引入該半導體主體中所造成。對具有 p 型環袋部的非對稱 IGFET 100 來說，環袋係藉由被引入至該半導體主體之

中的額外p型半導體摻雜物(本文中稱為p型源極環(或通道緩變)摻雜物)來產生的，所以，會在深度遠小於由該p型空主要井摻雜物所產生的濃度極大值處達到額外的局部濃度極大值。為清楚地區分p型空主要井180中的此等兩種p型濃度極大值，由該p型空主要井摻雜物所產生的p型濃度極大值在本文中通常會被稱為井180中的「深」p型空井濃度極大值。依照對應方式，由p型源極環摻雜物所產生的p型濃度極大值在本文中通常被稱為井180中的「淺」p型空井濃度極大值。p型源極環摻雜物在本文中也可被稱為p型源極側環袋摻雜物或是逕稱為p型源極側袋摻雜物。

非對稱n通道IGFET 100的p型環袋可能會在IGFET 100的短通道版本中抵達其汲極。不過，不論IGFET 100究竟被施行為圖中所示長通道裝置或短通道裝置，通常均不會有大量的p型源極環摻雜物完全橫向跨越該汲極地出現。必定會有一虛擬垂直線延伸穿過IGFET 100的汲極並且沒有大量的p型源極環摻雜物。據此，出現在IGFET 100的源極中的p型環袋部並不會使其無法符合下面準則：p型空主要井區180中的p型摻雜物(也就是，全部p型摻雜物)的濃度從該深p型空井濃度極大值的子表面位置處沿著一選定垂直位置經由該IGFET的S/D區帶中的一指定S/D區帶向上移到該上方半導體表面時會遞減成最多10%且p型空主要井區180中沿著該選定垂直位置的全部p型摻雜物的濃度在從該深p型空井濃度極大值的子表面位置處沿著該選定的垂直位置移到該IGFET的指定S/D區帶時通常會

以實質單調且實質不彎折方式遞減。

除了符合上述 p 型井濃度準則之外，n 通道 IGFET 100、112、或 124 的 p 型空主要井區 180、192、或 204 中的全部 p 型摻雜物的濃度在從該 IGFET 的指定 S/D 區帶的 pn 接面處沿著該選定垂直位置移到該上方半導體表面時較佳的係也會以實質單調的方式遞減。p 型半導體摻雜物的累積可能偶爾會發生在 IGFET 100、112、或 124 的該指定 S/D 區帶的上方表面中。若如此，p 型空主要井 180、192、或 204 中的全部 p 型摻雜物的濃度在從該指定 S/D 區帶的 pn 接面處沿著該選定垂直位置移到與該上方半導體表面相隔不超過該指定 S/D 區帶的 pn 接面的極大深度之 20%的位置點時會以實質單調的方式遞減。

和 p 型空主要井區 180、192、及 204 中的摻雜物濃度特徵雷同，p 通道 IGFET 102、114、或 126 的 n 型空主要井區 182、194、或 206 會摻雜同樣出現在該 IGFET 的 S/D 區帶中的 n 型半導體摻雜物。該 n 型摻雜物的濃度會：(a)在橫向延伸於 IGFET 102、114、或 126 的通道區帶和 S/D 區帶中每一者之大部分全部下方的子表面極大濃度位置處局部達到子表面濃度極大值，及(b)從該子表面極大濃度位置處沿著一選定垂直位置經由該 IGFET 的 S/D 區帶中的一指定 S/D 區帶向上移到該上方半導體表面時會遞減成最多 10%，較佳係遞減成最多 20%，更佳係遞減成最多 40%。相較於 IGFET 的指定 S/D 區帶的極大深度，IGFET 102、114、或 126 的 n 型主要井 182、194、或 206 中的 n 型摻雜物的

極大濃度的子表面位置會出現在不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳係不到 4 倍深的地方。

如下文的討論，一 n 型環袋部會出現在非對稱 IGFET 102 的源極中。IGFET 102 的該指定 S/D 區帶通常係它的汲極；不過，在該源極中沒有 n 型環袋部的 IGFET 102 的變化例中，該指定 S/D 區帶則可能係它的源極或汲極。該指定 S/D 區帶可以係對稱 IGFET 114 或 126 的任一 S/D 區帶。

同樣，該 n 型摻雜物的濃度在從 p 通道 IGFET 102、114、或 126 的 n 型空主要井 182、194、或 206 中的子表面極大濃度位置處沿著 IGFET 102、114、或 126 的選定垂直位置移到其指定 S/D 區帶時會以實質單調的方式遞減成通常最多 10%。結果，IGFET 102、114、或 126 的指定 S/D 區帶下方的摻雜物輪廓通常為非低陡峭。該 n 型摻雜物的濃度在從 IGFET 102、114、或 126 的子表面極大濃度位置處沿著 IGFET 102、114、或 126 的選定垂直位置移到其指定 S/D 區帶時的遞減通常為實質不彎折。

前述 n 通道 IGFET 102、114、或 126 的 n 型空主要井區 182、194、或 206 中的 n 型摻雜物的局部濃度極大值係因為將 n 型半導體摻雜物(本文稱為 n 型空主要井摻雜物)引入該半導體主體中所造成。對具有 n 型環袋部的非對稱 IGFET 102 來說，n 型環袋係藉由被引入該半導體主體中的額外 n 型半導體摻雜物(本文稱為 n 型源極環(或通道緩變)摻雜物)來產生，所以，會在深度遠小於由該 n 型空主要井摻雜物所產生的濃度極大值處達到額外的局部濃度極大

值。為清楚地區分 n 型空主要井 182 中的此等兩種 n 型濃度極大值，由該 n 型空主要井摻雜物所產生的 n 型濃度極大值在本文中通常會被稱為井 182 中的「深」n 型空井濃度極大值。依照對應的方式，由 n 型源極環摻雜物所產生的 n 型濃度極大值在本文中通常會被稱為井 182 中的「淺」n 型空井濃度極大值。n 型源極環摻雜物在本文中也可被稱為 n 型源極側環袋摻雜物或是逕稱為 n 型源極側袋摻雜物。

非對稱 p 通道 IGFET 102 的 n 型環袋可能在 IGFET 102 的短通道版本中抵達其汲極。不過，不論 IGFET 102 究竟被施行為長通道形式或短通道形式，通常均不會有大量的 n 型源極環摻雜物完全橫向跨越該汲極地出現。必定會有一虛擬垂直線延伸穿過 IGFET 102 的汲極並且沒有大量的 n 型源極環摻雜物。據此，出現在 IGFET 102 的源極中的 n 型環袋部並不會使其無法符合下面準則：n 型空主要井區 182 中的 n 型摻雜物(也就是全部 n 型摻雜物)的濃度從該深 n 型濃度極大值處沿著一選定垂直位置經由該 IGFET 的 S/D 區帶中的一指定 S/D 區帶向上移到該上方半導體表面時會遞減成最多 10%且 n 型空主要井區 182 中沿著該選定垂直位置的全部 n 型摻雜物的濃度在從該深 n 型濃度極大值的子表面位置處沿著該選定垂直位置移到該 IGFET 的指定 S/D 區帶時通常會以實質單調且實質不彎折方式遞減。

除符合上述 n 型井濃度準則外，n 通道 IGFET 102、114、或 126 的 n 型空主要井區 182、194、或 206 中的全部 n 型摻雜物的濃度在從該 IGFET 的指定 S/D 區帶的 pn 接面

處沿著該選定垂直位置移到該上方半導體表面時較佳係也以實質單調方式遞減。n型半導體摻雜物的累積偶爾發生在IGFET 102、114、或126的指定S/D區帶的頂端。於此情況，n型空主要井182、194、或206的全部n型摻雜物的濃度在從指定S/D區帶的pn接面處沿著該選定垂直位置移到與該上方半導體表面相隔不超過該指定S/D區帶的pn接面的極大深度之20%的位置點時會以實質單調的方式遞減。

因為主要井區180、182、192、194、204、206為空井，所以IGFET 100、102、112、114、124、126的通道區帶中的全部半導體摻雜物的數量會少於使用滿主要井區的其它對照IGFET的通道區帶中。因此，相較於在具有滿主要井的其它對照IGFET的晶格中，因為和摻雜原子產生碰撞所造成的電荷載子(n通道IGFET的電子以及p通道IGFET的電洞)的散射比較少出現在IGFET 100、102、112、114、124、及126的通道區帶的晶格中。所以，IGFET 100、102、112、114、124、及126的通道區帶中的電荷載子的移動能力會提高。這會讓非對稱IGFET 100與102有高切換速度。

就延伸型汲極IGFET 104與106的空主要井區184A、184B、186A、及186B來說，n通道IGFET 104的p型空主要井184A或p通道IGFET 106的p型空主要井186B中的p型半導體摻雜物的濃度會：(a)在井184A或186B中的子表面極大濃度位置處局部達到子表面濃度極大值，及(b)從該子表面極大濃度位置處沿一選定垂直位置經由該井184A或186B向上移到該上方半導體表面時會遞減成最多10%，

較佳係遞減成最多 20%，更佳係遞減成最多 40%。如下文進一步討論，穿過 n 通道 IGFET 104 的井 184A 的選定垂直位置係位於其環袋側。穿過 p 通道 IGFET 106 的井 186B 的選定垂直位置會延伸穿過主動式島 146A。p 型主要井 184A 或 186B 中沿著該選定垂直位置的 p 型摻雜物的濃度通常會以實質單調的方式遞減。相較 IGFET 的源極的極大深度，IGFET 104 或 106 的 p 型主要井 184A 或 186B 中的 p 型摻雜物的極大濃度的子表面位置會出現在不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳係不到 4 倍深的地方。

前述 p 型空主要井區 184A 與 186B 中的 p 型摻雜物的局部濃度極大值係因為將 p 型空主要井摻雜物引入至該半導體主體之中所造成的。每一個 p 型空主要井 184A 或 186B 中的 p 型摻雜物的濃度通常會在深度遠小於由井 184A 或 186B 中的 p 型空主要井摻雜物所產生的濃度極大值處達到額外的局部濃度極大值。為清楚區分每一個主要井 184A 或 186B 中的此等兩種 p 型濃度極大值，由井 184A 或 186B 中的 p 型空主要井摻雜物所產生的 p 型濃度極大值在本文中通常會被稱為井 184A 或 186B 中的「深」p 型空井濃度極大值。依照對應方式，由每一個主要井 184A 或 186B 中額外 p 型摻雜物所產生的 p 型濃度極大值在本文中通常會被稱為井 184A 或 186B 中的「淺」p 型空井濃度極大值。

每一個 p 型空主要井區 184A 或 186B 中的淺 p 型空井濃度極大值係因為被引入至該 p 型空主要井 184A 或 186B 中的額外 p 型空井半導體摻雜物所造成並且僅會部分橫向

延伸跨越井 184A 或 186B。必定有一虛擬垂直線延伸穿過 p 型井 184A 或 186B 並且沒有大量額外的 p 型空井摻雜物。因此，出現在井 184A 或 186B 中的額外 p 型空井摻雜物並不會使其無法滿足下面的 p 型空井準則：從該深 p 型空井濃度極大值的子表面位置處沿著一選定垂直位置經由該井 184A 或 186B 向上移到該上方半導體表面時會遞減至少 10 倍而且井 184A 或 186B 中沿著該選定垂直位置的全部 p 型摻雜物的濃度通常會以實質單調方式遞減。

依照互補方式，n 通道 IGFET 104 的 n 型空主要井區 184B 或 p 通道 IGFET 106 的 p 型空主要井區 186A 中的 n 型半導體摻雜物的濃度同樣：(a)在空主要井 184B 或 186A 中的子表面極大濃度位置處局部達到子表面濃度極大值，及(b)從該子表面極大濃度位置處沿著一選定垂直位置經由該井 184B 或 186A 向上移到該上方半導體表面時會遞減成最多 10%，較佳係遞減成最多 20%，更佳係遞減成最多 40%。如下文進一步討論，穿過 n 通道 IGFET 104 的井 184B 的選定垂直位置會延伸穿過主動式島 144A。穿過 p 通道 IGFET 106 的井 186A 的選定垂直位置係位於其環袋側。p 型主要井 184B 或 186A 中沿該選定垂直位置的 n 型摻雜物的濃度通常以實質單調方式遞減。相較於 IGFET 的源極的極大深度，IGFET 104 或 106 的 n 型主要井 184B 或 186A 中的 n 型摻雜物的極大濃度的子表面位置會出現在不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳係不到 4 倍深的地方。p 型井 184A 或 186B 中的 p 型摻雜物及 n 型井

184B 或 186A 中的 n 型摻雜物會於其中達到該些局部濃度極大值的垂直位置的範例會在下文配合圖 16a 與 16b 提出。

前述 n 型空主要井區 184B 與 186A 中的 n 型摻雜物的局部濃度極大值係因為將 n 型空主要井摻雜物引入該半導體主體中所造成。每一個 n 型空主要井 184B 或 186A 中的 n 型摻雜物的濃度通常會在深度遠小於由井 184B 或 186A 中的 n 型空主要井摻雜物所產生的濃度極大值處達到額外的局部濃度極大值。為清楚區分每一個主要井 184B 或 186A 中的此等兩種 n 型濃度極大值，由每一個 184B 或 186A 中的 n 型空主要井摻雜物所產生的 n 型濃度極大值在本文中通常會被稱為井 184B 或 186A 中的「深」n 型空井濃度極大值。依照對應方式，由每一個主要井 184B 或 186A 中額外 n 型摻雜物所產生的 n 型濃度極大值在本文中通常會被稱為井 184B 或 186A 中的「淺」n 型空井濃度極大值。

每一個 n 型空主要井區 184B 或 186A 中的淺 n 型空井濃度極大值係因為被引入該 n 型空主要井 184B 或 186A 中的額外 n 型空井半導體摻雜物所造成且僅會部分橫向延伸跨越井 184B 或 186A。必定會有一虛擬垂直線延伸穿過 n 型井 184B 或 186A 並且沒有大量額外的 n 型空井摻雜物。因此，出現在井 184B 或 186A 中的額外 n 型空井摻雜物並不會使其無法滿足下面的 n 型空井準則：從該深 n 型空井濃度極大值的子表面位置處沿著一選定垂直位置經由該井 184B 或 186A 向上移到該上方半導體表面時會遞減成最多 10%，且井 184B 或 186A 中沿著該選定垂直位置的全部 n

型摻雜物的濃度通常會以實質單調方式遞減。

圖 5.2 標記「MAX」的雙點虛線表示下述子表面位置：(a)p 型空主要井區 184A 與 186B 的 p 型深局部濃度極大值，及(b)n 型空主要井區 184B 與 186A 的 n 型深局部濃度極大值。如該些直線所示，延伸型汲極 n 通道 IGFET 104 的 n 型空主要井 184B 的深 n 型濃度極大值會出現在和該 IGFET 的 p 型空主要井 184A 的深 p 型濃度極大值約略相同的深度處。同樣，延伸型汲極 p 通道 IGFET 106 的 p 型空主要井 186B 的深 p 型濃度極大值會出現在和該 IGFET 106 的 n 型空主要井 186A 的深 n 型濃度極大值約略相同的深度處。

如下文進一步討論，空主要井區 184B 與 186B 分別會部分或全部充當延伸型汲極 IGFET 104 與 106 的汲極。藉由將主要井 184B 與 186B 組態成空倒退型井，每一 IGFET 104 與 106 的電場的極大值會出現在該單晶矽的本體中，而不是如習知延伸型汲極 IGFET 中通常會出現在該上方半導體表面中。明確說，每一個 IGFET 104 或 106 中的電場的極大值會沿著該汲極與主體材料之間的 pn 接面出現在井 184B 或 186B 中的主要井摻雜物的前述局部濃度極大值的子表面位置或是靠近該位置。結果，發生在 IGFET 104 或 106 的單晶矽的本體(尤其是汲極的本體)中的衝擊離子化會比較多，而不是如習知延伸型汲極 IGFET 中通常會出現在沿著該上方半導體表面的單晶矽之中。

相較被注入有大量衝擊離子化發生在沿該上方半導體表面的單晶矽中的習知延伸型汲極 IGFET 的閘極介電層之

電荷載子，通常藉由將衝擊離子化移到該單晶矽的本體處抵達該上方半導體表面具有足以被注入延伸型汲極 IGFET 104與106的閘極介電層中的電荷載子會比較少。IGFET 104與 106 實質上會防止因電荷注入其閘極介電層中而改變其臨界電壓。據此，IGFET 104 與 106 的可靠度非常高。

除此之外，n 通道 IGFET 104 的空主要井區 184A 與 184B 較佳係彼此隔開。空主要井 184A 與 184B 之間的極小分隔距離 L_{WW} 約略發生在從主要井 184A 中深 p 型濃度極大值之位置延伸至井 184B 中深 n 型濃度極大值之位置的虛擬水平線中，因為該等兩個濃度極大值係發生在約略相同的深度處。同樣，p 通道 IGFET 106 的空主要井區 186A 與 186B 較佳的係彼此隔開。空主要井 186A 與 186B 之間的極小分隔距離 L_{WW} 同樣約略發生在從主要井 186A 中深 n 型濃度極大值之位置延伸至主要井 186B 中深 p 型濃度極大值之位置的虛擬水平線中，因為該等兩個濃度極大值係發生在約略相同的深度處。IGFET 104 與 106 的極小井至井分隔距離 L_{WW} 的位置圖解在下文討論的圖 16a 與 16b 之中。

延伸型汲極 IGFET 104 或 106 的汲極至源極崩潰電壓 V_{BD} 會相依於極小井至井分隔距離 L_{WW}。明確地說，當井至井分隔距離 L_{WW} 上增至該崩潰電壓 V_{BD} 達到飽和數值的位置點時，IGFET 104 或 106 的崩潰電壓 V_{BD} 便會增加。在 V_{BD}/L_{WW} 的商用利益區域中，崩潰電壓 V_{BD} 隨著分隔距離 L_{WW} 的增加速度通常為 6V/μm。因此，在 n 通道 IGFET 104 中使用空倒退型井 184A 與 184B 或是在 p 通道 IGFET 106

中使用空倒退型井 186A 與 186B 會在 V_{BD}/L_{WW} 的商用利益區域中提供合宜方式來控制崩潰電壓 V_{BD}。

IGFET 主要井區 188、190、196、198、200、及 202 全部都是滿井。更明確說，對稱 n 通道 IGFET 108、116、或 120 的 p 型主要井 188、196、或 200 含有 p 型半導體摻雜物，其會：(a)在橫向延伸於 IGFET 的通道區帶和 S/D 區帶中每一者之大部分全部下方的子表面位置處局部達到子表面濃度極大值，以及(b)從該子表面位置處沿著任何垂直位置經由該 IGFET 的 S/D 區帶中的每一個 S/D 區帶向上移到該上方半導體表面時會遞增 10 倍或遞減成最多 10%。相較於 IGFET 的 S/D 區帶中的每一個 S/D 區帶的極大深度，IGFET 108、116、或 120 的 p 型主要井區 188、196、或 200 中的 p 型摻雜物的極大濃度的子表面位置會出現在該上方半導體表面下方不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳係不到 4 倍深的地方。

前面所述的 p 型滿主要井區 188、196、及 200 中的 p 型摻雜物的局部濃度極大值係因為將 p 型半導體摻雜物(本文稱為 p 型滿主要井摻雜物)引入該半導體主體中所造成的。每一個 p 型滿主要井 188、196、或 200 中的 p 型摻雜物的濃度會在井 188、196、或 200 之中達到至少一額外的局部濃度極大值。p 型井 188、196、或 200 中的每一個額外的 p 型濃度極大值會出現在深度遠小於因該井 188、196、或 200 中的 p 型滿主要井摻雜物所產生的濃度極大值。為清楚地區分每一個滿主要井 188、196、或 200 中的該等多

個 p 型濃度極大值，由井 188、196、或 200 中的 p 型滿主要井摻雜物所產生的 p 型濃度極大值在本文中通常會被稱為井 188、196、或 200 中的「深」p 型滿井濃度極大值。依照對應的方式，每一個滿主要井 188、196、或 200 中的每一個額外 p 型濃度極大值在本文中通常會被稱為井 188、196、或 200 中的「淺」p 型滿井濃度極大值。

每一個 p 型滿主要井區 188、196、或 200 通常會有實質完全橫向延伸跨越該滿主要井 188、196、或 200 的至少一個淺 p 型滿井濃度極大值。據此，沿著穿過每一個 p 型主要井 188、196、或 200 且穿過該井 188、196、或 200 中的深 p 型滿井濃度極大值的任何虛擬垂直線的 p 型摻雜物輪廓會有至少兩個局部濃度極大值。每一個 p 型主要井 188、196、或 200 中的每一個淺 p 型滿井濃度極大值係藉由在該井 188、196、或 200 中引入額外的 p 型滿井半導體摻雜物而產生的。該額外的 p 型滿井摻雜物會以實質跨越每一個 p 型主要井 188、196、或 200 的完整橫向範圍的方式來「填充」每一個 p 型主要井 188、196、或 200，俾讓每一個主要井 188、196、或 200 皆係一滿井。

對稱 n 通道 IGFET 108、116、及 120 的 p 型滿主要井區 188、196、以及 200 會接收 p 型半導體摻雜物(本文稱為 p 型反擊穿(APT)摻雜物)作為額外 p 型滿井摻雜物。該 p 型 APT 摻雜物的極大濃度通常會出現在該上方半導體表面下方超過 0.1 μm、但在該上方半導體表面下方不超過 0.4 μm 的地方。此外，該 p 型 APT 摻雜物的極大濃度還會出現在

於 IGFET 操作期間沿著該上方半導體表面延伸至 IGFET 108、116、及 120 的通道區帶中的通道表面空乏區的下方。依此方式來設置該 p 型 APT 摻雜物，該 p 型 APT 摻雜物便會防止源極至汲極本體擊穿發生在 IGFET 108、116、及 120 中，尤其是當它們的通道長度非常短的時候。

p 型半導體摻雜物(本文稱為 p 型臨界調整摻雜物)還會被提供給對稱 n 通道 IGFET 108 與 116 的 p 型主要滿井區 188 與 196，作為額外的 p 型滿井摻雜物。該 p 型臨界調整摻雜物的極大濃度會出現在深度小於該 p 型 APT 摻雜物之極大濃度的地方。

當低電壓 n 通道 IGFET 120 的臨界電壓 V_T 在標稱正值時，該 p 型臨界調整摻雜物便會讓低電壓 IGFET 108 的正臨界電壓超過 IGFET 120 的標稱 V_T。低電壓 IGFET 108 的高臨界電壓會使其在偏壓關閉狀態中具有低漏電流。因此，IGFET 108 特別適用於需要低關閉狀態漏電流但卻能夠適應於高臨界電壓的低電壓應用。基於此理由，IGFET 108 在圖 5.3 中會被當作高 V_T 裝置。

標稱臨界電壓的低電壓 IGFET 120 為低電壓低漏電 n 通道 IGFET 108 的伴隨裝置，因為兩者皆接收 p 型 APT 摻雜物以防止發生源極至汲極本體擊穿。不過，IGFET 120 不接收 p 型臨界調整摻雜物。所以 IGFET 120 特別適於需中低臨界電壓但不需極低關閉狀態漏電流的低電壓應用。

對稱低電壓 IGFET 108 與 120 也是同時缺少 p 型 APT 摻雜物和 p 型臨界調整摻雜物的對稱低電壓低 V_T n 通道

IGFET 112 的伴隨裝置。因為其低臨界電壓，所以，IGFET 112 特別適用於 IGFET 在電路系統操作期間會一直導通的低電壓情形。為避免發生擊穿和超額漏電流，IGFET 112 的合宜通道長度會大於 IGFET 120 或 108。

該 p 型臨界調整摻雜物會將對稱高電壓 IGFET 116 的臨界電壓 V_T 設在適用於高電壓應用的標稱數值處。IGFET 116 係同時缺少 p 型 APT 摻雜物和 p 型臨界調整摻雜物的對稱高電壓低 V_T n 通道 IGFET 124 的伴隨裝置。和在低電壓情形中使用 IGFET 112 一樣，IGFET 124 的低臨界電壓使其特別適用於 IGFET 在電路系統操作期間會一直導通的高電壓情形。為避免發生擊穿和超額漏電流，IGFET 124 的合宜通道長度會大於 IGFET 116。

和上面關於 IGFET 108、116、及 120 的 p 型滿主要井區 188、196、及 200 的說明類同，對稱 p 通道 IGFET 110、118、或 122 的 n 型滿主要井區 190、198、或 202 含有 n 型半導體摻雜物，其會：(a)在橫向延伸於 IGFET 的通道區帶和 S/D 區帶中每一者之大部分全部下方的子表面位置處局部達到子表面濃度極大值，及(b)從該子表面位置處沿著任何垂直位置經由該 IGFET 的 S/D 區帶中的每一個 S/D 區帶向上移到該上方半導體表面時會遞增 10 倍或遞減成最多 10%。相較於 IGFET 的 S/D 區帶中的每一個 S/D 區帶的極大深度，IGFET 110、118、或 122 的 n 型滿主要井區 190、198、或 202 中的 n 型摻雜物的極大濃度的子表面位置會出現在不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳

的係不到 4 倍深的地方。

前面所述的 n 型滿主要井區 190、198、及 202 中的 n 型摻雜物的局部濃度極大值係因為將 n 型半導體摻雜物(本文稱為 n 型滿主要井摻雜物)引入該半導體主體中所造成。每一個 n 型滿主要井 190、198、或 202 中的 n 型摻雜物的濃度會在井 190、198、或 202 之中達到至少一額外的局部濃度極大值。n 型井 190、198、或 202 中的每一個額外的 n 型濃度極大值會出現在深度遠小於因該井 190、198、或 202 中的 n 型滿主要井摻雜物所產生的濃度極大值。因此，為清楚區分每一個滿主要井 190、198、或 202 中的該等多個 n 型濃度極大值，由井 190、198、或 202 中的 n 型滿主要井摻雜物所產生的 n 型濃度極大值在本文中通常會被稱為井 190、198、或 202 中的「深」n 型滿井濃度極大值。依照對應方式，每一個滿主要井 190、198、或 202 中的每一個額外 n 型濃度極大值在本文中通常會被稱為井 190、198、或 202 中的「淺」n 型滿井濃度極大值。

每一個 n 型滿主要井區 190、198、或 202 通常會有實質完全橫向延伸跨越該滿主要井 190、198、或 202 的至少一個淺 n 型滿井濃度極大值。據此，沿著穿過每一個 n 型主要井 190、198、或 202 且穿過該井 190、198、或 202 中的深 n 型滿井濃度極大值的任何虛擬垂直線的 n 型摻雜物輪廓會有至少兩個局部濃度極大值。每一個 n 型主要井 190、198、或 202 中的每一個淺 n 型滿井濃度極大值係藉由在該井 190、198、或 202 中引入額外的 n 型滿井半導體

摻雜物而產生的。該額外的 n 型滿井摻雜物會以實質跨越每一個 n 型主要井 190、198、或 202 的完整橫向範圍的方式「來填充」每一個 n 型主要井 190、198、或 202，俾讓每一個主要井 190、198、或 202 皆係一滿井。

對稱 p 通道 IGFET 110、118、及 122 的 n 型滿主要井區 190、198、及 202 會接收 n 型半導體摻雜物(本文稱為 n 型 APT 摻雜物)作為額外 n 型滿井摻雜物。該 n 型 APT 摻雜物的極大濃度通常會出現在該上方半導體表面下方超過 0.1 μm、但在該上方半導體表面下方不超過 0.4 μm 的地方。進一步言之，該 n 型 APT 摻雜物的極大濃度還會出現在於 IGFET 操作期間沿著該上方半導體表面延伸至 IGFET 110、118、及 122 的通道區帶之中的通道表面空乏區的下方。依此方式來設置該 n 型 APT 摻雜物會防止源極至汲極本體擊穿發生在 IGFET 110、118、及 122 中，尤其是當其通道長度非常短的時候。

n 型半導體摻雜物(本文稱為 n 型臨界調整摻雜物)還被提供給 n 通道 IGFET 110 與 118 的 n 型滿主要井區 190 與 198 作為額外 n 型滿井摻雜物。n 型臨界調整摻雜物的極大濃度出現在深度小於該 n 型 APT 摻雜物之極大濃度的地方。

當低電壓 p 通道 IGFET 122 的臨界電壓 V_T 在標稱負值時，該 n 型臨界調整摻雜物便會讓低電壓低漏電 IGFET 110 的負臨界電壓的大小超過 IGFET 122 的標稱 V_T 值的大小。IGFET 110 的高 V_T 大小會使其在偏壓關閉狀態中具有低漏電流。因此，IGFET 110 特別適用於需要低關閉狀態漏電流

但卻能夠適應於高臨界電壓的低電壓應用。基於此理由，IGFET 110 在圖 5.3 中會被當作高 V_T 裝置。

標稱臨界電壓的低電壓 IGFET 122 為低電壓 IGFET 110 的伴隨裝置，因為兩者都會接收 n 型 APT 摻雜物以防止發生源極至汲極本體擊穿。不過，IGFET 122 不會接收 n 型臨界調整摻雜物。所以 IGFET 122 特別適用於需要中低 V_T 大小但卻不需要極低關閉狀態漏電流的低電壓應用。

對稱低電壓 IGFET 110 與 122 也同時缺少 n 型 APT 摻雜物和 n 型臨界調整摻雜物的對稱低電壓低 V_T p 通道 IGFET 114 的伴隨裝置。因為其低臨界電壓，所以 IGFET 114 特別適用於 IGFET 在電路系統操作期間會一直導通的低電壓情形。為避免發生擊穿和超額漏電流，IGFET 114 的合宜通道長度會大於 IGFET 122 或 110。

該 n 型臨界調整摻雜物會將對稱高電壓 IGFET 118 的臨界電壓 V_T 設在適用於高電壓應用的標稱數值處。IGFET 118 係同時缺少 n 型 APT 摻雜物和 n 型臨界調整摻雜物的對稱高電壓低 V_T p 通道 IGFET 126 的伴隨裝置。和在低電壓情形中使用 IGFET 114 的有關說明雷同，IGFET 126 的低臨界電壓使其特別適用於 IGFET 在電路系統操作期間會一直導通的高電壓情形。為避免發生擊穿和超額漏電流，IGFET 126 的合宜通道長度會大於 IGFET 118。

對稱原生低電壓 n 通道 IGFET 128 及 130 適用低電壓應用。依照互補方式，對稱原生高電壓 n 通道 IGFET 132 及 134 適用於高電壓應用。IGFET 130 與 134 的低臨界電壓

特別適用 IGFET 在電路系統操作期間會一直導通。原生 IGFET 128、130、132、134 通常有優越的匹配及雜訊特徵。

下面表格總結列出 18 種圖中所示 IGFET 的典型應用領域、主電壓/電流特徵、元件符號、極性、對稱類型、及主要井類型，其中「Comp」表示互補，「Asy」表示非對稱，而「Sym」則表示對稱：

典型應用領域	電壓/電流特徵	IGFET	極性	對稱性	主要井
高速輸入/輸出級	高電壓 單向	100 與 102	Comp	Asy	空井
電力、高電壓切換、EEPROM 程式化、以及 ESD 保護	延伸型電壓 單向	104 與 106	Comp	Asy	空井
低漏電流的低電壓數位電路系統	低電壓高 V_T 雙向	108 與 110	Comp	Sym	滿井
一直導通情形中的低電壓高速數位電路系統	低電壓低 V_T 雙向	112 與 114	Comp	Sym	空井
輸入/輸出數位級中的傳輸閘	高電壓標稱 V_T 雙向	116 與 118	Comp	Sym	滿井
通用低電壓數位電路系統	低電壓標稱 V_T 雙向	120 與 122	Comp	Sym	滿井
一直導通情形中的輸入/輸出數位級中的傳輸閘	高電壓低 V_T 雙向	124 與 126	Comp	Sym	空井
通用低電壓 A 等級電路系統	低電壓標稱 V_T 雙向	128	n 通道	Sym	無
一直導通情形中的高速低電壓 A 等級電路系統	低電壓低 V_T 雙向	130	n 通道	Sym	無
通用高電壓 A 等級電路系統	高電壓標稱 V_T 雙向	132	n 通道	Sym	無
一直導通情形中的高速高電壓 A 等級電路系統	高電壓低 V_T 雙向	134	n 通道	Sym	無

除了提供兩種類型的非對稱互補式 IGFET 對之外，此 CBJT/CIGFET 結構還以井類型與低電壓/高電壓操作範圍的全部四種組合來提供對稱互補式 IGFET 對。對稱互補式 IGFET 108 與 110 以及非對稱互補式 IGFET 120 與 122 皆為

低電壓滿井裝置。對稱互補式 IGFET 112 與 114 為低電壓空井裝置。對稱互補式 IGFET 116 與 118 為高電壓滿井裝置。對稱互補式 IGFET 124 與 126 為高電壓空井裝置。因此，本發明的 CBJT/CIGFET 結構提供設計者具有各種 BJT 與 IGFET 群(其包含缺少深 n 井的非對稱 IGFET 100 與 102 的上述變化例以及具有深 n 井的非原生對稱 IGFET 的上述變化例)的混合訊號 IC，其可讓 IC 設計者選擇非常符合混合訊號 IC 中每一個電路系統需求的 IGFET。

下文將在製造過程段落中提出用於製造本發明的 CBJT/CIGFET 結構的過程的完整說明。但是，在此 CBJT/CIGFET 結構中所使用的井區的完整基礎說明中，p 型空主要井區 180、184A、及 186B 的 p 型深局部濃度極大值以及 p 型空主要井區 192 以及 204 的 p 型濃度極大值通常會藉由將該 p 型空主要井摻雜物(通常為硼)選擇性地離子植入至該半導體主體之中以實質同步的方式來定義。結果，p 型空主要井 180、184A、及 186B 的 p 型深局部濃度極大值以及 p 型空主要井 192 及 204 的 p 型濃度極大值會出現在約略相同的平均深度 y_{PWPK} 處。

p 型空主要井區 180、184A、186B、192、或 204 中在平均深度 y_{PWPK} 處的 p 型空主要井極大摻雜物濃度通常為 $4x10^{17}$ 至 $1x10^{18}$ 個原子/cm^3，一般為 $7x10^{17}$ 個原子/cm^3。平均 p 型空主要井極大濃度深度 y_{PWPK} 通常為 0.4 至 0.7 μm，一般為 0.5 至 0.55 μm。

空井 n 通道 IGFET 100、112、及 124 中沒有任何一者

會使用深 p 井區。所以 n 通道 IGFET 100、112、或 124 的 p 型空主要井子表面極大濃度實質上為從 IGFET 100、112、或 124 的平均 p 型空主要井極大濃度深度 y_{PWPK} 處的 p 型空主要井子表面極大濃度位置處垂直向下移到 IGFET 100、112、或 124 之深度 y_{PWPK} 的至少 5 倍深度處(通常為至少 10 倍深度處，較佳係至少 20 倍深度處)時的全部 p 型摻雜物濃度的唯一局部子表面濃度極大值。

另或者，亦可在使用由 p 型半導體摻雜物(本文稱為深 p 井摻雜物)所定義之深 p 井區的變化例中提供每一個空井 n 通道 IGFET 100、112、或 124，其濃度會在橫向延伸於 IGFET 的通道區帶之大部分全部下方且通常亦橫向延伸於 IGFET 的 S/D 區帶中每一者之大部分全部下方的另一子表面極大濃度位置處局部達到 p 型另一子表面極大濃度但卻不明顯影響 IGFET 的 p 型空井區 180、192、或 204 的基本空井特性。該深 p 井摻雜物的另一局部子表面極大濃度位置在空主要井 180、192、或 204 中會出現在大於空主要井 180、192、或 204 中的 p 型平均空主要井極大濃度深度 y_{PWPK} 的平均深度數值 y 處。

深 p 井摻雜物的極大 p 型摻雜物濃度的平均深度通常不會大於平均 p 型空主要井極大濃度深度 y_{PWPK} 的 10 倍，較佳係不會大於 5 倍。該深 p 井摻雜物會導致空主要區 180、192、或 204 中在小於 y_{PWPK} 的任何深度 y 處的全部 p 型濃度增加不超過 25%，通常不超過 10%，較佳係不超過 2%，更佳係不超過 1%，一般則不超過 0.5%。

n 型空主要井區 182、184B、186A 的 n 型深局部濃度極大值以及 n 型空主要井區 194 與 206 的 n 型濃度極大值通常會藉由將該 n 型空主要井摻雜物(通常為磷)選擇性地離子植入至該半導體主體中以實質同步的方式來定義。所以，n 型空主要井 182、184B、及 186A 的 n 型深局部濃度極大值以及 n 型空主要井 194 及 206 的 n 型濃度極大值會出現在約略相同的平均深度 y_{NWPK} 處。

n 型空主要井區 182、184B、186A、194 或 206 中在平均深度 y_{NWPK} 處的 n 型空主要井極大摻雜物濃度通常為 $3x10^{17}$ 至 $1x10^{18}$ 個原子/cm^3，一般為 $6x10^{17}$ 個原子/cm^3。平均 n 型空主要井極大濃度深度 y_{NWPK} 通常為 0.4 至 0.8μm，一般為 0.55 至 0.6μm。所以，n 型空主要井 182、184B、186A、194 或 206 中的平均 n 型空主要井極大濃度深度 y_{NWPK} 處通常會略大於 p 型空主要井區 180、184A、186B、192、或 204 中的平均 p 型空主要井極大濃度深度 y_{PWPK}。

在圖 5 的範例中，對稱空井 p 通道 IGFET 114 及 126 中沒有任何一者會使用深 n 井區。如上面所提，在非對稱空井 IGFET 100 與 102 的變化例中會刪除深 n 井區 210。對本範例中的 p 通道 IGFET 114 及 126 來說以及對非對稱 IGFET 100 與 102 的變化例來說，p 通道 IGFET 102、114、或 126 的 n 型空主要井子表面極大濃度實質上為從 IGFET 102、114、或 126 的平均 n 型空主要井極大濃度深度 y_{NWPK} 處的 n 型空主要井子表面極大濃度位置處垂直向下移到 IGFET 102、114、或 126 之深度 y_{NWPK} 的至少 5 倍深度處(通

常為至少 10 倍深度處，較佳係至少 20 倍深度處)時的全部 n 型摻雜物濃度的唯一局部子表面濃度極大值。

IGFET 深 n 井區 210 與 212 通常會藉由將該 n 型半導體摻雜物(本文稱為深 n 井摻雜物)選擇性地離子植入至該半導體主體之中以實質同步的方式來定義。因此，IGFET 深 n 井 210 與 212 會在相同的平均深度 y_{DNWPK} 處達到 n 型局部濃度極大值。該深 n 井摻雜物通常為磷。

相較於 n 型空主要井區 182、184B、186A、194 及 206 中 n 型空主要井摻雜物的極大濃度，深 n 井區 210 與 212 中深 n 井摻雜物的極大濃度會出現在非常深的地方。相較於 n 型空主要井 182、184B、186A 的 n 型深局部濃度極大值以及 n 型空主要井 194 及 206 的 n 型濃度極大值的平均深度 y_{NWPK}，深 n 井 210 與 212 中深 n 井摻雜物的極大濃度的平均深度 y_{DNWPK} 通常不會大於 10 倍，較佳係不會大於 5 倍。更明確說，相較於平均 n 型空主要井極大濃度深度 y_{NWPK}，平均深 n 井極大濃度深度 y_{DNWPK} 通常為 1.5 至 5.0 倍，較佳係 0 至 4.0 倍，一般為 2.5 至 3.0 倍。

此外，深 n 井區 210 與 212 中的深 n 井摻雜物的平均深度 y_{DNWPK} 和極大濃度的數值通常會讓該深 n 井摻雜物的出現僅會在小於平均n型空主要井極大濃度深度 y_{NWPK} 的任何深度 y 處對非對稱 p 通道 IGFET 102 的空主要井區 182 中的全部(絕對)n 型濃度以及在小於 y_{NWPK} 的任何深度 y 處對延伸型汲極 p 通道 IGFET 106 的空主要井區 186A 中的全部(絕對)n 型濃度造成微小的影響。明確說，該深 n 井摻雜

物會讓空主要井 182 或 186A 中小於 y_{NWPK} 的任何深度 y 處的全部 n 型濃度增加不超過 25%，通常不超過 10%。

更明確說，該深 n 井摻雜物的出現在小於平均 n 型空主要井極大濃度深度 y_{NWPK} 的任何深度 y 處對非對稱 p 通道 IGFET 102 的空主要井區 182 的全部(絕對)n 型濃度不具任何明顯影響，及在小於 y_{NWPK} 的任何深度 y 處對延伸型汲極 p 通道 IGFET 106 的空主要井區 186A 中的全部(絕對)n 型濃度不具任何明顯影響。由於該深 n 井摻雜物，在空主要井 182 或 186A 中小於 y_{NWPK} 的任何深度 y 處的全部 n 型濃度較佳的係會增加不超過 2%，更佳係增加不超過 1%，一般不超過 0.5%。同樣適用在空主要井區 194 或 206 下方具備一深 n 井區的對稱 p 通道 IGFET 114 或 126 的變化例。

深井區 210 或 212 中在平均深度 y_{DNWPK} 處的深 n 井極大摻雜物濃度通常為 $1x10^{17}$ 至 $4x10^{17}$ 個原子/cm^3，一般為 $2x10^{17}$ 個原子/cm^3。平均深 n 井極大濃度深度 y_{DNWPK} 通常為 1.0 至 2.0 μm，一般為 1.5 μm。

p 型滿主要井區 188、196、及 200 的 p 型深局部濃度極大值通常會藉由將該 p 型滿主要井摻雜物(通常為硼)選擇性地離子植入至該半導體主體之中以實質同步的方式來定義。為結構性簡化起見，該 p 型滿主要井摻雜物的濃度極大值通常會被排列在和該 p 型空主要井摻雜物的濃度極大值約略相同的平均深度 y_{PWPK} 處。當該等 p 型空主要井植入和 p 型滿主要井植入係在相同的離子化電荷狀態處以利用相同的含有摻雜物之粒子物種的相同 p 型摻雜物來完成

時，那麼該 p 型滿主要井植入便會在和該 p 型空井植入約略相同的植入能量處被實施。另外，該等兩種 p 型主要井植入通常會以約略相同的植入劑量來完成。

n 型滿主要井區 190、198、及 202 的 n 型深局部濃度極大值同樣通常會藉由將該 n 型滿主要井摻雜物(通常為磷)選擇性地離子植入至該半導體主體之中以實質同步的方式來定義。為結構性簡化起見，該 n 型滿主要井摻雜物的濃度極大值通常會被排列在和該 n 型空主要井摻雜物的濃度極大值約略相同的平均深度 y_{NWPK} 處。在該等 n 型空主要井植入和 n 型滿主要井植入係在相同的離子化電荷狀態處以利用相同的含有摻雜物之粒子物種的相同 n 型摻雜物來完成的典型情況中，該 n 型滿主要井植入因而會在和該 n 型空井植入約略相同的植入能量處被實施。另外，該等兩種 n 型主要井植入通常會以約略相同的植入劑量來完成。

五種井植入及任何進一步 p 型或 n 型井植入皆在形成場絕緣區 138 後才被實施且通常能以任何順序來完成。

非對稱 IGFET 100 與 102 及圖中所示對稱 IGFET 的每一個源極/汲極區帶通常會具備一垂直緩變接面。也就是，非對稱 IGFET 100 與 102 及圖中所示對稱 IGFET 中的每一個源極/汲極區帶通常包含：一超重度摻雜的主要部；及一較輕度摻雜但是仍為重度摻雜的下方部，其係位於該主要部的下方且垂直接續該主要部。這同樣適用於延伸型汲極 IGFET 104 與 106 的源極接觸區帶和汲極接觸區帶。為簡化解釋起見，在下面關於非對稱高電壓 IGFET、延伸型汲極

IGFET、對稱 IGFET 的段落中不會說明提供垂直緩變接面特點的重度摻雜下方部，相關資訊大體上可應用至所有 IGFET 及此 CBJT/CIGFET 結構的製造。伴隨此 5 個段落的圖式中亦不會圖解該些重度摻雜的下方部。在上提台灣專利申請案第 99108661 號，法律檔案編號第 NS-7005TW 號中有提出和垂直緩變接面有關的進一步資訊。

在提供該等圖中所示 IGFET 的垂直緩變接面的過程中，互補式 BJT 101 與 103 中的射極通常也會具備垂直緩變接面。雖然該等射極的垂直緩變接面會導致 BJT 101 與 103 的增益(β)略為下降；不過，有利係 BJT 101 與 103 的射極至基極崩潰電壓卻會提高。

D.雙極接面電晶體

D1.npn 電晶體的結構

現在將配合圖 5.0 及 6 至 8 來說明垂直 BJT 101 與 103 的內部結構。圖 6 係例示圖 5.0 的互補式 BJT(CBJT)結構的延伸部分以使其包含 BJT 101 與 103 的上覆電氣互連系統中一層。從 npn BJT 101 開始，圖 5.0 與 6 中所繪製的 BJT 101 的核心放大圖顯示在圖 7 中。圖 8 係圖解圖 7 中所示 BJT 101 的核心的範例的俯視圖。BJT 101 的縱向方向係圖 5.0 及 6 至 8 中的水平方向。BJT 101 的橫斷方向係圖 8 中的垂直方向並且會延伸垂直於圖 5.0、6、及 7 中每一者的平面。

npn BJT 101 係由下述組成：一超重度摻雜的 n 型表面鄰接射極 241；一 p 型基極；以及一 n 型集極。n++射極 241

會沿著該上方半導體表面位於主動式半導體島 135A 之中。為方便起見，本文中分別以元件符號 243 與 245 來表示 npn BJT 101 的 p 型基極與 n 型集極；不過此兩個元件符號並沒有出現在圖式中。p 型基極 243 係位於島 135A 之中並且延伸在 n++射極 241 與 n 型集極 245 之間。

p 型基極 243 由下述組成：一中度摻雜本質基極部 243I；及一異質基極部，由第一異質基極部 243E-1 和第二異質基極部 243E-2 構成。在說明 npn BJT 101 中，元件符號尾端的記號「-1」與「-2」分別表示與異質基極部 243E-1 和 243E-2 關聯的項目。第一異質基極部 243E-1 主要由下述構成：中度摻雜的第一基極鏈部 243L-1 及超重度摻雜的表面鄰接第一基極接點部 243C-1。第二異質基極部 243E-2 主要由下述構成：中度摻雜的第二基極鏈部 243L-2 及超重度摻雜的表面鄰接第二基極接點部 243C-2。

圖 5.0 以及 6 至 8 中的 p 型基極部 243I、243L-1、243C-1、243L-2、及 243C-2 之間的橫向邊界通常會以虛線來表示。p 本質基極部 243I 以及 p 基極鏈部 243L-1 與 243L-2 在垂直方向為彎曲而且，如下文所述，係由相同的製造步驟所構成。同樣地，p++基極接點部 243C-1 與 243C-2 在垂直方向為彎曲而且，如下文所述，係由相同的製造步驟所構成。因此，基極部 243I、243L-1、243C-1、243L-2、及 243C-2 之間的橫向邊界會略微模糊。

在圖 8 的俯視圖範例中，n++射極 241 及 p 基極部 243I、243L-1、與 243L-2 的形狀通常類似矩形。每一個此種射極

矩形或基極矩形的短邊皆會交會場絕緣區 138。p 本質基極部 243I 係由從 n++射極 241 下方垂直向下至集極 245 的基極材料所構成。介於射極 241 與集極 245 之間的極小距離會出現在本質基極部 243I 中並且構成基極厚度。

p++基極接點部 243C-1 與 243C-2 會延伸至在 n++射極 241 與 p 本質基極部 243I 的相反側上的上方半導體表面。基極接點部 243C-1 與 243C-2 在橫向方向中還會受到場絕緣區 138 的約束。p 第一基極鏈部 243L-1 會從本質基極部 243I 延伸到本質基極部 243I 的其中一側上的第一基極接點部 243C-1。同樣地，p 第二基極鏈部 243L-2 會從本質基極部 243I 延伸到本質基極部 243I 的相反側上的第二基極接點部 243C-2。因此，射極 241 會藉由基極鏈部 243L-1 或 243L-2 而與基極接點部 243C-1 或 243C-2 隔開。

在一替代實施例中，p 基極鏈部 243L-1 與 243L-2 會在圖 5.0、6、及 7 中每一者的平面之外被連接一起，以便形成單一 p 基極鏈部。基極鏈部 243L-1 或 243L-2 的連接通常會同時發生在圖 5.0、6、以及 7 中每一者的平面的前面與後面。因此，該單一基極鏈部會橫向包圍 n++射極 241 與 p 本質基極部 243I 兩者。當基極鏈部 243L-1 與 243L-2 在圖 5.0、6、及 7 中每一者的平面之外被連接在一起時，p++基極接點部 243C-1 與 243C-2 通常同樣會在圖 5.0、6、及 7 中每一者的平面之外被連接在一起，以便形成單一基極接點部。同樣地，基極接點部 243C-1 與 243C-2 的連接通常會同時發生在圖 5.0、6、及 7 中每一者的平面的前面與後

面。這會讓該單一基極接點部橫向包圍該單一基極鏈部。

第一異質基極部 243E-1 還包含一中度摻雜第一剩餘基極部 243R-1。同樣地，第二異質基極部 243E-2 也還包含一中度摻雜第二剩餘基極部 243R-2。p 剩餘基極部 243R-1 與 243R-2 分別位於基極接點部 243C-1 與 243C-2 下方。因此，剩餘基極部 243R-1 與 243R-2 不會出現在圖 8 的俯視中。

參考圖 5.0，n 型集極 245 係由下述組成：一中度摻雜的主要集極部 245M；一中度摻雜的橫向集極部 245L；及一集極插栓(plug)，其係由一中度摻雜的中間集極部 245I 和一超重度摻雜的表面鄰接集極接點部 245C 構成。n 主要集極部 245M 係位於 p 型基極 243 正下方的主動式半導體島 135A 中並且在橫向方向中受到場絕緣區 138 的約束。n++集極接點部 245C 會沿著該上方半導體表面位於主動式半導體島 135B 中並且在橫向方向中受到場絕緣區 138 的約束。n 中間集極插栓部 245I 係位於集極接點部 245C 正下方的島 135B 中並且在橫向方向中同樣受到場絕緣區 138 的約束。

n 橫向集極部 245L 係由下述組成：深 n 集極井 207；及淺 n 集極井區 175A 與 175B，在場絕緣區 138 的下方合併在一起。n 集極井區 175A 與 175B 會分別延伸至島 135A 與 135B 以分別合併主要集極部 245M 及中間集極部 245I。這會結合中間集極部 245I 和橫向集極部 245L 來充當一集極鏈，以透過場絕緣區 138 下方的電氣路徑來連接島 135A 中的 n 主要集極部 245M 及島 135B 中的 n++集極接點部。

金屬矽化物層 251、253-1、253-2、及 255 分別位於 n++

射極 241、p++基極接點部 243C-1 與 243C-2、及 n++集極接點部 245C 的頂端。在圖 8 中以斜紋陰影來表示矽化物層 251、253-1、及 253-2。於基極接點部 243C-1 與 243C-2 在圖 5.0、6、及 7 中每一者的平面之外合併在一起的情況中，基極接點部 243C-1 與 243C-2 頂端的基極矽化物層 253-1 與 253-2 便會在圖 5.0、6、及 7 中每一者的平面之外合併在一起，以便形成單一基極金屬矽化物層。圖 8 中的正方形 261、263-1、及 263-2 係例示分別連接至層 251、253-1、及 253-2 的外部電氣接點的位置。

一第一間隔結構 265-1 會位於 p 第一基極鏈部 243L-1 正上方的上方半導體表面之上並且毗連一部分的 n++射極 241 及一部分的 p++第一基極接點部 243C-1。同樣地，一第二間隔結構 265-2 會位於 p 第二基極鏈部 243L-2 正上方的上方半導體表面之上並且毗連一部分的 n++射極 241 以及一部分的 p++第二基極接點部 243C-2。間隔結構 265-1 與 265-2 在圖 5.0、6、及 7 中每一者的平面中或是在結構 265-1 與 265-2 彼此隔開的某個位置處平行於圖 5.0、6、及 7 中每一者的平面延伸穿過射極 241 與基極 243 的任何平面中通常會有大部分相同的剖面。當基極接點部 243C-1 與 243C-2 在圖 5.0、6、及 7 中每一者的平面之外合併在一起時，間隔結構 265-1 與 265-2 便會在圖 5.0、6、及 7 中每一者的平面之外合併在一起，以便形成單一間隔結構。

每一個間隔結構 265-1 或 265-2 皆由下述組成：隔離介電層 267-1 或 267-2；及間隔組件，由橫向間隔部分 269-1

或 269-2、第一隔離介電間隔部 271-1 或 271-2、及一第二隔離介電間隔部 273-1 或 273-2 所構成。隔離介電層 267-1 或 267-2 具有高閘極介電質厚度數值 t_{GdH} 的厚度，其落在基極鏈部 243L-1 或 243L-2 正上方的上方半導體表面上。橫向間隔部分 269-1 或 269-2 係落在介電層 267-1 或 267-2 上。

隔離介電層 267-1 或 267-2 會與橫向間隔部分 269-1 或 269-2 在橫向方向中共同延伸。如本文中使用到一區域疊置在另一區域上的情況，該等區域被描述為「共同延伸(coextensive)」的意義為，當從垂直於該等兩個區域之橫向平面的方向看去，該等兩個區域的橫向邊界為相等。圖 8 的平面為介電層 267-1 或 267-2 以及間隔部分 269-1 或 269-2 的橫向平面。所以，圖 8 中介電層 267-1 或 267-2 的橫向邊界會完全等於圖 8 中間隔部分 269-1 或 269-2 的橫向邊界。

橫向間隔部分 269-1 與 269-2 通常大部分係由經摻雜的非單結晶矽(非單晶矽)組成，較佳係經摻雜的多晶矽。每一非單晶矽橫向間隔部分 269-1 或 269-2 中的摻雜可能全部為淨 n 型、全部為淨 p 型、或至少一部分為淨 n 型而至少另一部分為淨 p 型。另或者，橫向間隔部分 269-1 與 269-2 亦可部分或全部利用其它經摻雜的非單晶矽來構成，例如經摻雜的非晶矽或經摻雜的多重結晶矽。為簡化起見，利用經摻雜的多晶矽來構成為宜的間隔部分 269-1 與 269-2 及其它經摻雜的非單晶矽區域在下文通常描述為多晶矽區域。

從垂直於該上方半導體表面的方向看去，每一多晶矽橫向間隔部分 269-1 或 269-2 的形狀通常類似一條狀(參見

圖 8)，且會有一對相反的橫斷橫向側邊 275-1 與 277-1 或 275-2 與 277-2。間隔部分 269-1 的橫斷側邊 275-1 與 277-1 通常會如圖 8 的範例中所示般以大部分相互平行的方式延伸。同樣地，間隔部分 269-2 的橫斷側邊 275-2 與 277-2 通常也如圖 8 的範例中所示以大部分相互平行的方式延伸。側邊 275-1 與 275-2 經常會被稱為射極側橫斷側邊，因為它們比側邊 277-1 與 277-2 更接近射極 241。同樣，側邊 277-1 與 277-2 經常會被稱為基極接點側橫斷側邊，因為它們分別比側邊 275-1 與 275-2 更接近基極接點部 243C-1 與 243C-2。

隔離介電間隔部 271-1 或 271-2 經常會被稱為射極側隔離介電間隔部，其係位於橫向間隔部分 269-1 或 269-2 的射極側橫斷側邊 275-1 或 275-2 中，因而會疊置在一部分的基極鏈部 243L-1 或 243L-2 的上方以及疊置在一部分的射極 241 的上方。隔離介電間隔部 273-1 或 273-2 經常會被稱為基極接點側隔離介電間隔部，其係位於橫向間隔部分 269-1 或 269-2 的基極接點側橫斷側邊 277-1 或 277-2 中，因而會疊置在一部分的基極鏈部 243L-1 或 243L-2 的上方以及疊置在一部分的基極接點部 243C-1 或 243C-2 的上方。在圖 5.0、6、或 7 中或在平行於圖 5.0、6、或 7 的平面延伸穿過射極 241 與基極 243 的任何平面中，射極側隔離介電間隔部 271-1 或 271-2 以及基極接點側隔離介電間隔部 273-1 或 273-2 通常會有大部分相同的剖面。介電間隔部 271-1 與 273-1 或 271-2 與 273-2 會合併成隔離介電層 267-1 或 267-2。

金屬矽化物層 279-1 或 279-2 位於多晶矽橫向間隔部分

269-1 或 269-2 的頂端，該金屬矽化物層 279-1 或 279-2 可被視為間隔結構 265-1 或 265-2 的一部分。圖 8 中以斜紋陰影表示金屬矽化物層 279-1 與 279-2。矽化物層 279-1 或 279-2 大部分會與橫向間隔部分 269-1 或 269-2 在橫向方向中共同延伸。因為隔離介電層 267-1 或 267-2 與間隔部分 269-1 或 269-2 在橫向方向中共同延伸，所以圖 8 中表示矽化物層 279-1 或 279-2 之橫向範圍的斜紋陰影亦大部分表示圖 8 中間隔部分 269-1 或 269-2 的橫向範圍及介電層 267-1 或 267-2 的橫向範圍。如圖 8 範例中用於矽化物層 279-1 或 279-2 的斜紋陰影的進一步表示，間隔部分 269-1 或 269-2 及矽化物層 279-1 或 279-2 通常會在橫向方向中延伸超出主動式半導體島 135A 以部分疊置在場絕緣區 138 上方。

多晶矽橫向間隔部分 269-1 與 269-2 中的摻雜通常會讓它們具有明顯的導電性。間隔部分 269-1 或 269-2 以及上覆的金屬矽化物層 279-1 或 279-2 會構成一載有某一電位(電壓)的導電體。導電體 269-1/279-1 與 269-2/279-2 非常靠近 npn BJT 101 的半導體區。

在 npn BJT 101 操作期間導電體 269-1/279-1 與 269-2/279-2 的電位變化可能會對其效能造成不利的影響。基於此理由會從一電壓供應器(未圖示)提供一參考電壓給矽化物層 279-1 與 279-2。該參考電壓會經由矽化物層 279-1 或 279-2 被傳送至間隔部分 269-1 或 269-2，以便在 BJT 操作期間讓導體 269-1/279-1 或 269-2/279-2 實質上保持在該參考電壓處。這大部分會防止損及 BJT 101 的效能。圖 8

中的正方形 281-1 與 281-2 係例示個別矽化物層 279-1 與 279-2 會於該處接收該參考電壓的電氣接點的位置。

橫向間隔部分 269-1 與 269-2 可能會在圖 5.0、6、或 7 的平面外面被連接在一起，用以形成一由經摻雜的多晶矽所組成的連續條體。同樣於此情況中，金屬矽化物層 279-1 與 279-2 通常會在圖 5.0、6、或 7 的平面外面被連接在一起，用以形成一由金屬矽化物所組成的連續條體。圖 8 便顯示此種排列，其中，間隔部分 269-1 的末端與 269-2 的末端會藉由一對經摻雜的多晶矽互連部分 269-3 與 269-4 被連接在一起，用以形成一大體上為矩形的多晶矽環體。接著，矽化物層 279-1 的末端與 279-2 的末端會藉由一對金屬矽化物互連層 279-3 與 279-4 被連接在一起，用以形成一大體上為矩形的金屬矽化物環體，其會疊置在由橫向間隔部分 269-1 與 269-2 及互連部分 269-3 與 269-4 所構成的多晶矽環體的上方並且在橫向方向中大部分會與其共同延伸。

多晶矽互連部分 269-3 或 269-4 中任一者可以連同金屬矽化物互連層 279-3 與 279-4 中的對應者一起被刪除。於此情況中，當從垂直於該上方半導體表面的方向看去時，由橫向間隔部分 269-1 與 269-2 及剩餘的互連層 269-3 或 269-4 所構成的連續多晶矽條體通常會呈現「U」形。當從垂直於該上方半導體表面的方向看去時，由矽化物層 279-1 與 279-2 以及剩餘的矽化物互連層 279-3 或 279-4 所構成的上覆連續金屬矽化物條體同樣通常會呈現「U」形。

當橫向間隔部分 269-1 與 269-2 被連接在一起以形成一

連續的多晶矽條體時，射極側隔離介電間隔部 271-1 與 271-2 通常亦藉由位於連接橫向間隔部分 269-1 與 269-2 的經摻雜多晶矽之一側中的介電間隔材料被連接一起，而基極接點側隔離介電間隔部 273-1 與 273-2 則會藉由位於該互連經摻雜多晶矽之另一側中的介電間隔材料被連接一起。此種排列同樣顯示在圖 8 中，圖 8 中，射極側介電間隔部 271-1 與 271-2 的末端會藉由一對互連介電間隔部 271-3 與 271-4 被連接在一起，以形成一大體上為矩形的環狀介電間隔部。基極接點側介電間隔部 273-1 與 273-2 的末端同樣會藉由一對互連介電間隔部 273-3 與 273-4 被連接在一起，用以形成一大體上為矩形之更大形的環狀介電間隔部。

倘若多晶矽互連部分 269-3 或 269-4 中的任一者被刪除的話，當從垂直於該上方半導體表面的方向看去時，由射極側隔離介電間隔部 271-1 與 271-2 以及剩餘的互連介電間隔部 271-3 或 271-4 所構成的最終連續介電間隔部條體通常會呈現「U」形。當從垂直於該上方半導體表面的方向看去時，由基極接點側隔離介電間隔部 273-1 與 273-2 以及剩餘的互連介電間隔部 273-3 或 273-4 所構成的最終連續介電間隔部條體同樣通常會呈現「U」形。

現在特別參考圖 6，BJT 101 與 103 的電氣互連系統包含一位於圖 5.0 之結構頂端厚的第一層介電層 285。第一層介電層 285 通常係由多個子層(圖中未分別區分)所構成，明確地說，它們落在 npn BJT 101 的金屬矽化物層 251、253-1、253-2、255、279-1、及 279-2 上以及隔離介電間隔

部 271-1、271-2、273-1、及 273-2 上。當互連介電間隔部 271-3、271-4、273-3、及 273-4 出現在該 CBJT 結構之中時，介電層 285 也會落在互連介電間隔部 271-3、271-4、273-3、及 273-4 上。介電層 285 的上方表面大部分為平面。

一射極電極 287 具有多個指狀部，它們會延伸穿過第一層介電層 285 中的垂直開口以在圖 8 中所示接點位置 261 處接觸射極矽化物層 251。一基極電極 289 具有多個指狀部，它們會延伸穿過介電層 285 中的垂直開口以在圖 8 中所示接點位置 263-1 與 263-2 處接觸基極矽化物層 253-1 與 253-2。一集極電極 291 具有多個指狀部，它們會延伸穿過介電層 285 中的垂直開口以接觸集極矽化物層 255。一橫向間隔部分電極(未圖示)具有多個指狀部，它們會延伸穿過介電層 285 中的垂直開口以在接點位置 281-1 與 282-2 處接觸橫向間隔部分矽化物層 279-1 與 279-2，而讓矽化物層 279-1 與 279-2 具有橫向間隔部分 269-1 與 269-2 的參考電壓。

射極電極 287、基極電極 289、集極電極 291、及橫向間隔部分電極可由金屬(通常大部分為鋁)及/或經摻雜的非單晶矽(通常大部分為經摻雜的多晶矽)組成。一或多個額外的電氣互連層通常位於由第一層介電層 285、電極 287、289、291、及橫向間隔部分電極構成的第一層互連層上方。

D2.npn 電晶體中基極鏈長度的控制

基極鏈部 243L-1 或 243L-2 在該上方半導體表面中具有反向的上方橫斷邊緣 297-1 與 299-1 或 297-2 與 299-2。上

方基極鏈橫斷邊緣 297-1 與 297-2 有時候會被稱為射極側上方邊緣，因為它們也會構成射極 241 的上方橫斷邊緣。上方基極鏈橫斷邊緣 299-1 與 299-2 有時候會被稱為基極接點側上方邊緣，因為它們也會分別構成基極接點部 243C-1 與 243C-2 的上方橫斷邊緣。沿著該上方半導體表面所取得的基極鏈長度 L_{BL} 係介於下面兩者之間的橫向距離：(i)基極鏈部 243L-1 或 243L-2 的射極側上方邊緣 297-1 或 297-2，及(ii)基極鏈部 243L-1 或 243L-2 的基極接點側上方邊緣 299-1 或 299-2。在圖 5.0 與 6 至 8 的範例中，基極鏈長度 L_{BL} 係在縱向(水平)方向中所測得。

多晶矽橫向間隔部分 269-1 或 269-2 的橫斷側邊 275-1 與 277-1 或 275-2 與 277-2 會分別沿著間隔部分 269-1 或 269-2 的底部終止在反向的下方橫斷邊緣 305-1 與 307-1 或 305-2 與 307-2。下方間隔部分橫斷邊緣 305-1 與 305-2 經常會被稱為射極側下方邊緣，因為它們比下方間隔部分邊緣 307-1 與 307-2 更接近射極 241。同樣地，下方間隔部分橫斷邊緣 307-1 與 307-2 經常會被稱為基極接點側下方邊緣，因為它們比射極側下方間隔部分邊緣 305-1 與 305-2 更接近基極接點部 243C-1 與 243C-2。符號 d_{LS} 係在基極鏈長度 L_{BL} 的方向中介於下面兩者之間的橫向距離：(a)間隔部分 269-1 或 269-2 的射極側下方邊緣 305-1 或 305-2，及(b)間隔部分 269-1 或 269-2 的基極接點側下方邊緣 307-1 或 307-2。橫向距離 d_{LS} 大部分為間隔部分 269-1 或 269-2 的縱向維度。

射極側隔離介電間隔部 271-1 或 271-2 在該上方半導體

表面中具有一下方橫斷邊緣 311-1 或 311-2。下方介電間隔部橫斷邊緣 311-1 與 311-2 經常被稱為遠端射極側下方邊緣，因為(i)它們會分別和橫向間隔部分 269-1 與 269-2 隔開(遠離)；及(ii)它們會沿著射極 241 延伸。同樣，基極接點側隔離介電間隔部 273-1 或 273-2 在該上方半導體表面中具有一下方橫斷邊緣 313-1 或 313-2。下方介電間隔部橫斷邊緣 313-1 與 313-2 經常會被稱為遠端基極接點側下方邊緣，因為(i)它們會分別和橫向間隔部分 269-1 與 269-2 隔開；及(ii)它們會分別沿著基極接點部 243C-1 與 243C-2 延伸。

射極側間隔部厚度 d_{SE} 為在基極鏈長度 L_{BL} 的方向中射極側隔離介電間隔部 271-1 或 271-2 沿上方半導體表面的維度。基極接點側間隔部厚度 d_{SB} 為在基極鏈長度 L_{BL} 的方向中基極接點側隔離介電間隔部 273-1 或 273-2 沿上方半導體表面的維度。介電間隔部厚度 d_{SE} 與 d_{SB} 僅顯示在圖 8 中。

射極側間隔部 271-1 或 271-2 中鄰接橫向間隔部分 269-1 或 269-2 的側邊包含它的射極側橫斷邊緣 305-1 或 305-2。因此，射極側間隔部厚度 d_{SE} 為從間隔部分 269-1 或 269-2 的射極側邊緣 305-1 或 305-2 至射極側間隔部 271-1 或 271-2 的遠端射極側橫斷邊緣 311-1 或 311-2 的橫向距離。同樣地，因為基極接點側間隔部 273-1 或 273-2 中鄰接橫向間隔部分 269-1 或 269-2 的側邊包含它的基極接點側橫斷邊緣 307-1 或 307-2，所以基極接點側間隔部厚度 d_{SB} 為從間隔部分 269-1 或 269-2 的基極接點側邊緣 307-1 或 307-2 至基極接點側間隔部 273-1 或 273-2 的遠端基極接點側橫斷

邊緣 313-1 或 313-2 的橫向距離。

符號 d_a 係在基極鏈長度 L_{BL} 的方向中介於下面兩者間的橫向距離或間隔：(i)基極鏈部 243L-1 或 243L-2 的射極側上方橫斷邊緣 297-1 或 297-2，及(ii)橫向間隔部分 269-1 或 269-2 的射極側下方橫斷邊緣 305-1 或 305-2。符號 d_b 係在基極鏈長度 L_{BL} 的方向中介於下面兩者間的橫向距離或間隔：(i)基極鏈部 243L-1 或 243L-2 的基極接點側上方橫斷邊緣 299-1 或 299-2，及(ii)間隔部分 269-1 或 269-2 的基極接點側下方橫斷邊緣 307-1 或 307-2。如圖 7 所示，基極鏈長度 L_{BL} 為橫向間隔部分維度 d_{LS} 和橫向距離 d_a 及 d_b 的總和。

如下文進一步說明，隔離介電間隔部 271-1、271-2、273-1 及 273-2 係依照下述方式形成：(i)射極側間隔部 271-1 與 271-2 的遠端射極側下方橫斷邊緣 311-1 與 311-2 分別大部分自動對準橫向間隔部分 269-1 與 269-2 的射極側下方橫斷邊緣 305-1 與 305-2；及(ii)基極接點側間隔部 273-1 與 273-2 的遠端基極接點側下方橫斷邊緣 313-1 與 313-2 分別大部分自動對準橫向間隔部分 269-1 與 269-2 的基極接點側下方橫斷邊緣 307-1 與 307-2。這會達成(i)遠端射極側下方介電間隔部邊緣 311-1 與 311-2 在橫向方向中大部分保形於射極側下方間隔部分邊緣 305-1 與 305-2，及(ii)遠端基極接點側下方介電間隔部邊緣 313-1 與 313-2 在橫向方向中大部分保形於基極接點側下方間隔部分邊緣 307-1 與 307-2。

n++射極 241 會依照下述方式來形成，俾使得分別由基極鏈部 243L-1 與 243L-2 的射極側上方橫斷邊緣 297-1 與

297-2 所構成的它們的上方射極橫斷邊緣會分別自動對準射極側隔離介電間隔部 271-1 與 271-2 的遠端射極側下方橫斷邊緣 311-1 與 311-2。因此，射極側上方基極鏈邊緣 297-1 與 297-2 在橫向方向中會分別大部分保形於遠端射極側下方介電間隔部邊緣 311-1 與 311-2。

同樣，p++基極接點部 243C-1 與 243C-2 被形成使得分別由基極鏈部 243L-1 與 243L-2 的基極接點側上方橫斷邊緣 299-1 與 299-2 所構成的上方基極接點側橫斷邊緣會分別自動對準基極接點側隔離介電間隔部 273-1 與 273-2 的遠端基極接點側下方橫斷邊緣 313-1 與 313-2。因此，基極接點側上方基極鏈邊緣 299-1 與 299-2 在橫向方向中分別大部分保形於遠端基極接點側下方介電間隔部邊緣 313-1 與 313-2。

從 npn BJT 101 的製造中所產生前述幾何關係的淨結果為：(i)從基極鏈部 243L-1 或 243L-2 的射極側上方橫斷邊緣 297-1 或 297-2 至橫向間隔部分 269-1 或 269-2 的射極側下方橫斷邊緣 305-1 或 305-2 的橫向距離 d_a 大部分為恆定；及(ii)從基極鏈部 243L-1 或 243L-2 的基極接點側上方橫斷邊緣 299-1 或 299-2 至間隔部分 269-1 或 269-2 的基極接點側下方橫斷邊緣 307-1 或 307-2 的橫向距離 d_b 同樣大部分為恆定。射極側橫向距離 d_a 與基極接點側橫向距離 d_b 的恆定關係圖解在圖 8。據此，基極鏈部 243L-1 或 243L-2 的射極側上方邊緣 297-1 或 297-2 在橫向方向中大部分保形於間隔部分 269-1 或 269-2 的射極側下方邊緣 305-1 或 305-2。同樣，基極鏈部 243L-1 或 243L-2 的基極接點側上方邊緣

299-1 或 299-2 在橫向方向中大部分也會保形於間隔部分 269-1 或 269-2 的基極接點側下方邊緣 307-1 或 307-2。

因為(a)射極側橫向距離 d_a 與基極接點側橫向距離 d_b 分別大部分為恆定，及(b)基極鏈長度 L_{BL} 為橫向間隔部分維度 d_{LS} 和橫向距離 d_a 以及 d_b 的總和，所以，控制橫向間隔部分 269-1 或 269-2 的橫向維度 d_{LS} 便會控制基極鏈部 243L-1 或 243L-2 的基極鏈長度 L_{BL}。橫向間隔部分維度 d_{LS} 中的正向或負向變化(遞增或遞減)會產生基極鏈長度 L_{BL} 對應的正向或負向變化。在恆定介電間隔部厚度 d_{SE} 與 d_{SB} 處，基極鏈長度 L_{BL} 的變化大部分會等於橫向間隔部分維度 d_{LS} 的變化。據此，基極鏈部 243L-1 或 243L-2 的基極鏈長度 L_{BL} 會受控於橫向間隔部分 269-1 或 269-2。

如下文所述，多晶矽橫向間隔部分 269-1 或 269-2 的橫向維度 d_{LS} 係由同樣用來定義圖中所示 IGFET 之多晶矽閘極電極的一關鍵光阻遮罩步驟來定義。圖中所示 IGFET 的多晶矽閘極電極的橫向形狀(尤其是其長度)必須受到妥適的控制，以便讓該等圖中所示 IGFET 正確地操作。所以，用於定義該等閘極電極的光阻遮罩會在根據嚴謹的對齊公差以關鍵的方式來產生，以便達成該等閘極電極的必要形狀。因為橫向間隔部分 269-1 與 269-2 同樣係由此受到關鍵控制的光阻遮罩來定義，所以多晶矽橫向間隔部分 269-1 或 269-2 之橫向維度 d_{LS} 的控制本來就非常精確，而不需要對 npn BJT 101 的製造加諸任何進一步的控制必要條件。

改變射極側介電間隔部厚度 d_{SE} 與基極接點側介電間

隔部厚度 d_{SB} 通常分別會導致射極側橫向距離 d_a 與基極接點側橫向距離 d_b 有對應的改變。這會導致基極鏈長度 L_{BL} 改變。所以，基極鏈部 243L-1 或 243L-2 的長度 L_{BL} 也會受到射極側隔離介電間隔部 271-1 或 271-2 以及基極接點側隔離介電間隔部 273-1 或 273-2 的控制。

如下文所述，隔離介電間隔部 271-1、271-2、273-1、及 273-2 係由和光阻遮罩無關的技術所形成。對於間隔部厚度 d_{SE} 與 d_{SB} 的控制通常非常精確。因為對於橫向間隔部分維度 d_{LS} 的控制同樣非常精確，所以，對於基極鏈長度 L_{BL} 的整體控制會極為精確。在逐個製造批之間精確地重複 npn BJT 101 之特徵的能力因而會大幅地提高。

對於基極鏈部 243L-1 或 243L-2 的基極鏈長度 L_{BL} 的控制越嚴謹，npn BJT 101 的基極阻值便會下降。BJT 101 的操作特徵則因而會被進一步地改善。

射極側橫向距離 d_a 與基極接點側橫向距離 d_b 之大部分恆定的數值通常大部分會相等。因為基極鏈長度 L_{BL} 包含橫向距離 d_a 與 d_b，所以基極鏈長度 L_{BL} 會大於橫向間隔部分維度 d_{LS}。相較於橫向間隔部分 269-1 或 269-2 的下方橫斷邊緣 305-1 與 307-1 或 305-2 與 307-2，基極鏈部 243L-1 或 243L-2 的上方橫斷邊緣 297-1 與 299-1 或 297-2 與 299-2 因而會進一步的隔開。

若以共同射極組態的方式來排列 npn BJT 101，當 BJT 101 的基極至射極電壓 V_{BE} 達到 0.5V 至 0.8V 的臨界數值 V_{BE0} (通常為 0.6V)時，BJT 101 便會導通。來自射極電極

287 的射極電子電流會經由射極矽化物層 251 流到 n++射極 241 之中並且分成基極電子電流與集極電子電流。基極電子電流大體上會橫向經由 p 基極鏈部 243L-1 與 243L-2 分別流到 p++基極接點部 243C-1 與 243C-2。接著，基極電子電流大體上會垂直向上經由基極矽化物層 253-1 與 253-2 流到基極電極。基極電洞電流則會從基極 243 流到射極 241。

集極電子電流遠大於基極電子電流，其大體上垂直向下經由 p 本質基極部 243I 流到主要集極部 245M。該集極電子電流進入 n 橫向集極部 245L 的下方集極井區 175A 並大體上橫向經由其中(尤其是經由深 n 集極井 207)流到橫向集極部 245L 的集極井區 175B。接著，集極電子電流大體上垂直向下經由由 n 中間集極部 245I 與 n++集極接點部 245C 構成的集極插栓且經由集極矽化物層 255 流到集極電極 291。

D3.pnp 電晶體

pnp BJT 103 的組態基本上和 npn BJT 101 相同，但是導體類型相反，因為 npn BJT 101 中深 n 井 207 的集極接面係由 pnp BJT 103 中 p-基板 136 來提供。參考圖 5.0，明確地說，pnp BJT 103 係由下述組成：一超重度摻雜的 p 型表面鄰接射極 321；一 p 型基極；以及一 p 型集極。p++射極 321 會沿著該上方半導體表面位於主動式半導體島 137A 之中。為方便起見，本文中分別以元件符號 323 與 325 來表示 pnp BJT 103 的 n 型基極與 p 型集極；不過此兩個元件符號並沒有出現在圖式中。n 型基極 323 係位於島 137A 中並

且延伸在 p++射極 321 與 p 型集極 325 之間。

n 型基極 323 係由下述組成：一中度摻雜本質基極部 323I；及一異質基極部，其係由一第一異質基極部 323E-1 和一第二異質基極部 323E-2 所構成。和 npn BJT 101 相同，在 pnp BJT 103 的元件符號尾端的記號「-1」與「-2」分別表示與異質基極部 323E-1 和 323E-2 相關聯的項目。第一異質基極部 323E-1 主要係由下面所構成：一中度摻雜的第一基極鏈部 323L-1；一超重度摻雜的表面鄰接第一基極接點部 323C-1；及一中度摻雜的第一剩餘基極部 323R-1。第二異質基極部 323E-2 主要係由下面所構成：一中度摻雜的第二基極鏈部 323L-2；一超重度摻雜的表面鄰接第二基極接點部 343C-2；及一中度摻雜的第二剩餘基極部 323R-2。

p 型集極 325 係由下述組成：一中度摻雜的主要集極部 325M；一中度摻雜的橫向集極部 325L；及一集極插栓，其係由一中度摻雜的中間集極部 325I 和一超重度摻雜的表面鄰接集極接點部 325C 所構成。p 橫向集極部 325L 係由 p-基板 136 及 p 集極井區 177A 與 177B 所構成。

pnp BJT 103 的 p++射極 321、n 本質基極部 323I、n 基極鏈部 323L-1 與 323L-2、n++基極接點部 323C-1 與 323C-2、n 剩餘基極部 323R-1 與 323R-2、p 主要集極部 325M、p 集極井區 177A 與 177B、p 中間集極部 325I、及 p++集極接點部 325C 彼此之間的相對組態與排列及相對於 pnp BJT 103 的場絕緣區 138 及主動式半導體島 137A 與 137B 的組態與排列實質上分別與 npn BJT 101 中的組件

241、243I、243L-1、243L-2、243C-1、243C-2、243R-1、243R-2、245M、175A、175B、245I、及 245C 彼此之間的相對組態與排列及相對於 npn BJT 101 的場絕緣區 138 及主動式半導體島 135A 與 135B 的組態與排列相同，換言之導體類型不同除外。對 pnp BJT 103 的 n 型集極 325，p-基板 136 取代 npn BJT 101 的集極 245 中的深 n 集極井 207，而且相對於淺 p 集極井區 177A 與 177B 的排列實質上與深 n 集極井 207 相對於淺 n 集極井區 175A 與 175B 的排列相同。

金屬矽化物層 331、333-1、333-2、及 335 分別位於 p++射極 321、n++基極接點部 323C-1 與 323C-2、及集極接點部 325C 的頂端。在電壓極性與電流極性相反且電子與電洞相反的條件下，pnp BJT 103 的組件 321、323、323I、323L-1、323L-2、323C-1、323C-2、323R-1、323R-2、325、325M、325L、177A、177B、136、325I、325C、331、333-1、333-2、及 335 的功能與操作實質上分別與 npn BJT 101 的組件 241、243、243I、243L-1、243L-2、243C-1、243C-2、243R-1、243R-2、245、245M、245L、175A、175B、207、245I、245C、251、253-1、253-2、及 255 相同。

pnp BJT 103 的一第一間隔結構 345-1 會位於 n 第一基極鏈部 323L-1 正上方的上方半導體表面上並且毗連一部分的 p++射極 321 及一部分的 n++第一基極接點部 323C-1。同樣地，BJT 103 的一第二間隔結構 345-2 會位於 n 第二基極鏈部 323L-2 正上方的上方半導體表面之上並且毗連一部分的 p++射極 321 以及一部分的 n++第二基極接點部 323C-2。

每一個間隔結構 345-1 或 345-2 皆係由下述組成：一隔離介電層 347-1 或 347-2；及一間隔組件，其係由一橫向間隔部分 349-1 或 349-2、一第一隔離介電間隔部 351-1 或 351-2、及一第二隔離介電間隔部 353-1 或 353-2 所構成。一金屬矽化物層 359-1 或 359-2 係位於橫向間隔部分 349-1 或 349-2 的頂端，該金屬矽化物層 359-1 或 359-2 可能會被視為係間隔結構 345-1 或 345-2 的一部分。

橫向間隔部分 349-1 與 349-2 大部分係由經摻雜的非單結晶矽所組成，較佳係經摻雜的多晶矽。每一個非單晶矽橫向間隔部分 349-1 或 349-2 中的摻雜可能全部為淨 p 型、全部為淨 n 型、或至少一部分為淨 p 型而至少另一部分為淨 n 型。另或者，間隔部分 349-1 與 349-2 亦可部分或全部利用其它經摻雜的非單晶矽來構成，例如經摻雜的非晶矽或是經摻雜的多重結晶矽。為簡化起見，間隔部分 349-1 與 349-2 在下文中通常會被描述為多晶矽區域。

pnp BJT 103 的隔離介電層 347-1 與 347-2、多晶矽橫向間隔部分 349-1 與 349-2、第一隔離介電間隔部 351-1 與 351-2、第二隔離介電間隔部 353-1 與 353-2、及金屬矽化物層 359-1 與 359-2 彼此之間的相對組態與排列及相對於 pnp BJT 103 的 p++射極 321、n 本質基極部 323I、n 基極鏈部 323L-1 與 323L-2、及 n++基極接點部 323C-1 與 323C-2 的組態與排列實質上分別與 npn BJT 101 中的組件 267-1、267-2、269-1、269-2、271-1、271-2、273-1、273-2、279-1、及 279-2 彼此之間的相對組態與排列以及相對於 npn BJT

101 的組件 241、243I、243L-1、243L-2、243C-1、及 243C-2 的組態與排列相同，換言之為導體類型不同除外。

再次參考圖 6，射極電極 367 具有多個指狀部，它們會延伸穿過第一層介電層 285 中的垂直開口以接觸射極矽化物層 331。基極電極 369 具有多個指狀部，它們會延伸穿過介電層 285 中的垂直開口以接觸基極矽化物層 333-1 與 333-2。集極電極 371 具有多個指狀部，它們會延伸穿過介電層 285 中的垂直開口以接觸集極矽化物層 335。一橫向間隔部分電極(未圖示)具有多個指狀部，它們會延伸穿過介電層 285 中的垂直開口以接觸橫向間隔部分矽化物層 359-1 與 359-2，以便予以具有一參考電壓而於 BJT 操作期間將橫向間隔部分 349-1 與 349-2 保持在大部分恆定的電位處。此參考電壓通常與橫向間隔部分 269-1 與 269-2 的參考電壓相同且因而由相同電壓源提供。射極電極 367、基極電極 369、集極電極 371、及橫向間隔部分電極的構成實質上與 npn BJT 101 的電極 287、289、291、及橫向間隔部分電極相同。

pnp BJT 103 的多晶矽橫向間隔部分 349-1 與 349-2 係利用和 npn BJT 101 的多晶矽橫向間隔部分 269-1 與 269-2 相同的步驟所形成，其包含用於定義該等圖中所示 IGFET 之多晶矽閘極電極的關鍵光阻遮罩步驟。據此，由於加諸在 IGFET 閘極電極之製造上的控制的關係，對於 pnp BJT 103 的多晶矽橫向間隔部分 349-1 或 349-2 的橫向維度 d_{LS} 的控制原本就非常精確，而不需要對 pnp BJT 103 的製造加諸任何進一步的控制必要條件。

任何該等圖中雖然未指示，不過 pnp BJT 103 的射極側隔離介電間隔部 351-1 與 351-2 的厚度 d_{SE} 及 BJT 103 的基極接點側隔離介電間隔部 353-1 與 353-2 的厚度 d_{SB} 分別係以和 npn BJT 101 的間隔部厚度 d_{SE} 與 d_{SB} 相同的方式來定義。pnp BJT 103 的介電間隔部 351-1、351-2、353-1、及 353-2 係利用和 npn BJT 101 的隔離介電間隔部 271-1、271-2、273-1、及 273-2 相同的步驟所構成，且因而以和光阻遮罩無關的方式構成。因此，對於 pnp BJT 103 之間隔部厚度 d_{SE} 與 d_{SB} 的控制通常會非常的精確。結果，pnp BJT 103 的基極鏈部 323-1 或 323-2 的長度 L_{BL} 會以和 npn BJT 101 的基極鏈長度 L_{BL} 相同的方式受到非常精確的控制。

若以共同射極組態的方式來排列 pnp BJT 103，當 BJT 103 的基極至射極電壓 V_{BE} 達到 -0.5V 至 -0.8V 的臨界數值 V_{BE0} (通常為 -0.6V)時，BJT 103 便會導通。在電流極性與電壓極性相反且電子與電洞相反的條件下，pnp BJT 103 的操作實質上會與 npn BJT 101 相同。

D4.BJT 變化例

圖 9 係例示含有 pnp BJT 103 之變化例 103V 的 CBJT 半導體結構。圖 9 的 CBJT 結構含有 npn BJT 101，其組態實質上與圖 5.0 的 CBJT 結構相同。除下文所述外，pnp BJT 103V 的組態皆與 pnp BJT 103 相同。

為電氣隔離 pnp BJT 103V 與 p-基板 136，圖 9 的 CBJT 結構具備一隔離深中度摻雜的 n 型井 381，其包圍 BJT 103V

的 p 集極井區 177A 與 177B 且上達場絕緣區 138。隔離深 n 井 381 與 p-基板 136 構成一隔離 pn 接面 383 且與 p 集極井區 177A 與 177B 構成另一隔離 pn 接面 385。因此，BJT 103V 的 p 橫向集極部 325L 僅由集極井區 177A 與 177B 組成。

pnp BJT 103 的隔離深 n 井 381 會與 npn BJT 101 的深 n 集極井 207 橫向隔開。為確保深 n 井 207 與 381 彼此電氣隔離，一隔離中度摻雜 p 型井區 387 會被設置在深 n 井 207 與 381 之間。隔離 p 井 387 係位於場絕緣區 138 的下方且會延伸至和 p 集極井區 177A 與 177B 約略相同的深度。

圖 10 係例示含有 pnp BJT 103 之變化例 103W 的 CBJT 半導體結構。圖 10 的 CBJT 結構還含有 npn BJT 101 的變化例 101W。除了下文所述者之外，npn BJT 101W 與 pnp BJT 103W 的組態分別和 BJT 101 與 103 相同。

在圖 10 的 CBJT 結構中，npn BJT 101 的深 n 集極井 207 會被一深中度摻雜的 n 型井 391 取代，其同樣會延伸在 BJT 103W 的 p 集極井區 177A 與 177B 的下方。深 n 井 391 會與 p-基板 136 構成一隔離 pn 接面 393 並且與 p 集極井區 177A 與 177B 構成另一隔離 pn 接面 395。如在 pnp BJT 103V 中，pnp BJT 103W 的 p 橫向集極部 325L 僅由集極井區 177A 與 177B 組成。npn BJT 101W 的 n 橫向集極部 245L 現在則係利用集極井區 175A 與 175B 及深 n 井 391 所構成。

圖 9 的 CBJT 結構中的 npn BJT 101 及圖 10 的 CBJT 結構中的 npn BJT 101W 的操作實質上與圖 5.0 及 6 的 CBJT 結構中的 npn BJT 101 相同。圖 9 的 CBJT 結構中的 pnp BJT

103V 以及圖 10 的 CBJT 結構中的 pnp BJT 103W 的操作實質上與圖 5.0 及 6 的 CBJT 結構中的 pnp BJT 103 相同；不同是橫向集極電洞電流僅會流經每一個 BJT 103V 與 103W 的 p 集極井區 177A 與 177B。

圖 9 與 10 中每一者的 CBJT 結構皆完全相容於圖 5.0 及 6 的 CBJT 結構，且能被併入圖 5 的 CBJT/CIGFET 結構以取代圖 5.0 及 6 的 CBJT 結構；另或者，除圖 5.0 及 6 的 CBJT 結構外，額外併入圖 9 與 10 中每一者的 CBJT 結構。圖 9 或 10 的 CBJT 結構亦能根據製造圖 5 的 CBJT/CIGFET 結構的圖 18a 至 18c、18d.0 至 18w.0、18d.1 至 18w.1、18d.2 至 18w.2、及 18d.3 至 18w.3 的 CBJT/CIGFET 半導體製程來製造。圖 9 或 10 的 CBJT 結構中的基極鏈長度 L_{BL} 會以和圖 5.0 及 6 的 CBJT 結構的相同方式受到精確控制。

圖 11 係例示分別含有 npn BJT 101 與 pnp BJT 103 之變化例 101X 與 103X 的 CBJT 半導體結構。圖 12 中係例示圖 11 之 CBJT 結構的延伸例以包含 npn BJT 101X 與 pnp BJT 103X 的上覆電氣互連系統中一層。除下述者外，BJT 101X 與 BJT 103X 的組態分別和 BJT 101 與 103 相同。

一重度摻雜的 n 型深集極層 401 沿著 npn BJT 101X 的 n 集極井 175A 與 175B 的底部延伸以取代深 n 井 207 或 391。n+深集極層 401 會合併 n 集極井 175A 與 175B 以形成 n 型橫向集極部，其取代 npn BJT 101 中的橫向集極部 245L。n+集極層 401 會與 p-磊晶基板區 136 形成一隔離 pn 接面 403。n 集極井 175A 與 175B 會與 p-基板區 136 形成一

隔離 pn 接面 405。

同樣，一重度摻雜的 p 型深集極層 407 沿著 pnp BJT 103X 的 p 集極井 177A 與 177B 的底部延伸。p+深集極層 407 會合併 p 集極井 177A 與 177B 以結合 p-基板區 136 來形成一 p 型橫向集極部，其取代 pnp BJT 103 中的橫向集極部 325L。n+深集極層 401 與 p+深集極層 407 在橫向方向中會彼此隔開。

圖 11 與 12 的 CBJT 結構中的 npn BJT 101X 與 pnp BJT 103X 的操作基本上分別和圖 5.0 及 6 的 CBJT 結構中的 npn BJT 101 與 pnp BJT 103 相同。主要操作差異為深集極層 401 與 407 會讓集極電流在 BJT 101X 與 103X 中更快速前進。

圖 13 係例示分別含有 npn BJT 101 與 pnp BJT 103 之額外變化例 101Y 與 103Y 的 CBJT 半導體結構。圖 14 中呈現的係圖 13 之 CBJT 結構的延伸例，以便包含 npn BJT 101Y 與 pnp BJT 103Y 的上覆電氣互連系統中一層。除下述外，BJT 101Y 與 BJT 103Y 的組態分別和 BJT 101 與 103 相同。

在圖 13 與 14 的 CBJT 結構中，p-基板區 136 係一成長在一下方單晶矽半導體基板 411 (其可能為經摻雜 p 型或 n 型)之上的磊晶層。在圖 13 與 14 所示的範例中，基板 411 為輕度摻雜 p 型。圖 13 與 14 中的符號 413 係例示介於 p-基板 411 與 p-磊晶基板區 136 之間的金屬介面。

一重度摻雜 n 型埋植集極層 415 會沿著金屬介面 413 被設置在 npn BJT 101Y 的 n 集極井 175A 與 175B 的下方以取代深 n 井 207 或 391。n+埋植集極層 415 會合併 n 集極井

175A 與 175B 以形成一 n 型橫向集極部，其會取代 npn BJT 101 中的橫向集極部 245L。n+埋植層 415 分別與 p-基板 411 及 p-磊晶基板區 136 形成隔離 pn 接面 417 與 419。n 集極井 175A 與 175B 與 p-基板區 136 形成一隔離 pn 接面 421。

一重度摻雜 p-型埋植集極層 423 同樣會沿著金屬介面 413 被設置在 pnp BJT 103Y 的 p 集極井 177A 與 177B 的下方。p+埋植集極層 423 會合併 p 集極井 177A 與 177B，用以結合 p-n 磊晶基板區 136 與基板 411 (當其為摻雜 p 型時) 以形成一 p 型橫向集極部，其會取代 pnp BJT 103 中的橫向集極部 325L。n+埋植集極層 415 與 p+埋植集極層 423 在橫向方向中會彼此隔開。

圖 13 與 14 的 CBJT 結構和圖 11 與 12 的 CBJT 結構非常雷同。主要差異在於深 n 集極層 401 與 407 在圖 11 與 12 的 CBJT 結構被形成在 p-基板區 136 中，而非如圖 13 與 14 的 CBJT 結構被設置在一磊晶層與一下方半導體基板之間的介面中。據此，圖 13 與 14 的 CBJT 結構中的 npn BJT 101Y 與 pnp BJT 103Y 的操作分別大部分與圖 11 與 12 的 CBJT 結構中的 npn BJT 101X 與 pnp BJT 103X 相同。因此，圖 13 與 14 的 CBJT 結構中的 npn BJT 101Y 與 pnp BJT 103Y 的操作基本上分別與圖 5.0 與 6 的 CBJT 結構中的 npn BJT 101 與 pnp BJT 103 相同。主要操作差異為埋植集極層 415 與 423 會讓集極電流在 BJT 101Y 與 103Y 中更快速前進。

圖 11 與 12 的 CBJT 結構或是圖 13 與 14 的 CBJT 結構能被併入圖 5 的 CBJT/CIGFET 結構中以取代圖 5.0 及 6 的

CBJT 結構；另或者，除圖 5.0 及 6 的 CBJT 結構外，額外併入圖 11 與 12 的 CBJT 結構或圖 13 與 14 的 CBJT 結構。在圖 11 與 12 的 CBJT 結構的一變化例中僅出現 BJT 101X 與 103X 中一者。同樣地，在圖 13 與 14 的 CBJT 結構的一變化例中，僅出現 BJT 101Y 與 103Y 中一者。

圖 11 與 12 的 CBJT 結構(或僅含 BJT 101X 與 103X 中一者的變化例)能夠根據圖 18a 至 18c、18d.0 至 18w.0、18d.1 至 18w.1、18d.2 至 18w.2、及 18d.3 至 18w.3 的 CBJT/CIGFET 半導體製程的變化例來製造，其中加入用以形成 n+深集極層 401 及/或 p+深集極層 407 的步驟。同樣，圖 13 與 14 的 CBJT 結構(或僅含 BJT 101Y 與 103Y 中一者的變化例)能根據圖 18a 至 18c、18d.0 至 18w.0、18d.1 至 18w.1、18d.2 至 18w.2、及 18d.3 至 18w.3 的 CBJT/CIGFET 半導體製程的變化例來製造，其中加入用以沿著金屬介面 413 來形成 n+埋植集極層 415 及/或 p+埋植集極層 423 的步驟。

該等用於各自創造 n+深集極層 401、p+深集極層 407、n+埋植集極層 415、及 p+埋植集極層 423 的步驟並不會影響 npn BJT 101X 或 101Y 中 p 基極鏈部 243L-1 與 243L-2 的形成或是 pnp BJT 103X 或 103Y 中 n 基極鏈部 323L-1 與 323L-2 的形成。結果，在圖 11 與 12 的 CBJT 結構中，在僅含有 BJT 101X 與 103X 中一者的變化例中，在圖 13 與 14 的 CBJT 結構中及在僅含 BJT 101Y 與 103Y 中一者的變化例中，基極鏈長度 L_{BL} 皆會如同圖 5.0 與 6 之 CBJT 結構的相同方式受到精確控制。

E.非對稱高電壓 IGFET

E1.非對稱高電壓 n 通道 IGFET 的結構

現在說明非對稱高電壓空井互補式 IGFET 100 與 102 的內部結構。從 n 通道 IGFET 100 開始，圖 5.1 中所繪 IGFET 100 的核心放大圖顯示在圖 15 中。IGFET 100 具有一對 n 型源極/汲極(再次稱為「S/D」)區帶 240 與 242，它們沿著該上方半導體表面位於主動式半導體島 140 中。S/D 區帶 240 與 242 在下文中通常會分別被稱為源極 240 及汲極 242，因為通常但未必分別具有源極和汲極的功能。源極 240 及汲極 242 會被一由構成 IGFET 100 的主體材料的 p 型空主要井區 180 所組成的通道區帶 244 分開。p 型空井主體材料 180 會：(a)與 n 型源極 240 構成一源極-主體 pn 接面 246，及(b)與 n 型汲極 242 構成一汲極-主體 pn 接面 248。

由 p 型空井主體材料 180 所組成的中度摻雜環袋部 250 會沿著源極 240 向上延伸至該上方半導體表面並且終止在源極 240 和汲極 242 之間的某個位置處。圖 5.1 和 15 係例示源極 240 延伸至比 p 源極側環袋 250 更深處的情形。或者，環袋 250 亦能夠延伸至比源極 240 更深的地方。接著，環袋 250 會橫向延伸在源極 240 的下方。環袋 250 係由 p 型源極環摻雜物所定義。

在源極側環袋部 250 外面的 p 型空井主體材料 180 部分會構成 p 型空井主要主體材料部 254。在從主體材料 180 中的深 p 型空井濃度極大值的位置處沿著環袋部 250 外面的一虛擬垂直線朝該上方半導體表面移動時，空井主要主

體材料部 254 中 p 型摻雜物的濃度會從符號「p」所示的中度摻雜逐漸降至符號「p-」所示的輕度摻雜。圖 5.1 和 15 中的點線 256 粗略地表示，在其下方的位置，主要主體材料部 254 中 p 型摻雜物濃度係在中度 p 摻雜，而在其上方的位置，254 部分中 p 型摻雜物濃度則係在輕度 p-摻雜。直線 256 下的主體材料部 254 的中度摻雜下方部在圖 15 中會被表示為 p 下方主體材料部 254L。p 環袋 250 外面，在直線 256 上的主體材料部 254 的輕度摻雜上方部在圖 15 中則會被表示為 p-上方主體材料部 254U。

通道區帶 244(圖 5.1 或 15 中未明確界定)由源極 240 和汲極 242 之間的所有 p 型單晶矽組成。明確說，通道區帶 244 係由主要主體材料部 254 的 p-上方部(254U)的表面鄰接區段及下述構成：(a)倘若源極 240 如圖 5.1 與 15 所示範例延伸至比環袋 250 更深處，則為所有 p 環袋部 250，或(b)倘若環袋 250 的表面鄰接區段延伸至比源極 240 更深處，則為環袋 250 的表面鄰接區段。無論何者，環袋 250 的 p 型重度摻雜程度都大過通道區帶 244 中主體材料部 254 的 p-上方部(254U)的直接相鄰材料。因此，源極 240 中存有環袋 250 讓通道區帶 244 具有非對稱縱向摻雜物緩變的特性。

有 t_{GdH} 高厚度數值的閘極介電層 260 係位於該上方半導體表面上並且延伸在通道區帶 244 的上方。閘極電極 262 係位於通道區帶 244 上方的閘極介電層 260 之上。閘極電極 262 會部分延伸在源極 240 和汲極 242 的上方。

n 型源極 240 係由一超重度摻雜主要部 240M 以及一較

輕度摻雜橫向延伸區 240E 所組成。雖然摻雜程度輕過 n++ 主要源極部 240M；不過，在次微米互補式 IGFET 應用中(例如此 IGFET)，橫向源極延伸區 240E 仍為重度摻雜。n 型汲極 242 同樣係由一超重度摻雜主要部 242M 及一較輕度摻雜但仍為重度摻雜的橫向延伸區 242E 所組成。n++主要源極部 240M 和 n++主要汲極部 242M 通常係藉由離子植入 n 型半導體摻雜物(本文稱為 n 型主要 S/D 摻雜物，通常為砷)來定義。連接至源極 240 和汲極 242 的外部電氣接點分別係透過主要源極部 240M 和主要汲極部 242M 來達成。

通道區帶 244 會沿著上方半導體表面終止在橫向源極延伸區 240E 和橫向汲極延伸區 242E。閘極電極 262 會延伸在每一個橫向延伸區 240E 或 242E 的一部分的上方。電極 262 通常不會延伸在 n++主要源極部 240M 或 n++主要汲極部 242M 的任何一部分的上方。介電側壁間隔部 264 與 266 分別位於閘極電極 262 的相反橫斷側壁中。金屬矽化物層 268、270、及 272 分別位於閘極電極 262、主要源極部 240M、及主要汲極部 242M 的頂端。

E2.非對稱高電壓 n 通道 IGFET 的源極/汲極延伸區

非對稱高電壓 IGFET 100 的汲極延伸區 242E 的摻雜程度輕過源極延伸區 240E。不過，每一個橫向延伸區 240E 或 242E 的 n 型摻雜皆會落在由符號「n+」所示的重度 n 型摻雜的範圍中。據此，橫向延伸區 240E 與 242E 兩者在圖 5.1 與 15 中皆會被標示為「n+」。如下文進一步解釋，相

較於用來提供橫向汲極延伸區 242E 中的重度 n 型摻雜的 n 型摻雜物，橫向源極延伸區 240E 中的重度 n 型摻雜通常係由較高原子重量的 n 型摻雜物來提供。

n+源極延伸區 240E 通常係藉由離子植入被稱為 n 型淺源極延伸區摻雜物的 n 型半導體摻雜物來定義，因為其僅係被用來定義比較淺的 n 型源極延伸區。n+汲極延伸區 242E 通常係藉由離子植入被稱為 n 型汲極延伸區摻雜物且亦被稱為 n 型深 S/D 延伸區摻雜物的 n 型半導體摻雜物來定義，因為其係被用來定義比較深的 n 型源極延伸區及比較深的 n 型汲極延伸區。

n+橫向延伸區 240E 與 242E 具有多種用途。既然主要源極部 240M 和主要汲極部 242M 通常係藉由離子植入來定義，延伸區 240E 與 242E 便充當緩衝區以讓主要源極部 240M 和主要汲極部 242M 的超高植入劑量遠離閘極介電質 260 以防止閘極介電層 260 在 IGFET 製造期間遭到破壞。在 IGFET 操作期間，橫向延伸區 240E 與 242E 會讓通道區帶 244 中的電場低於在 n++主要源極部 240M 與 n++主要汲極部 242M 延伸在閘極電極 262 下方時所產生的電場。汲極延伸區 242E 的存在會抑止熱載子注入閘極介電質 260 之中，從而防止閘極介電質 260 被充電。因此，IGFET 100 的臨界電壓 V_T 會非常穩定，也就是不隨操作時間漂移。

IGFET 100 會透過被形成在沿著通道區帶 244 之上方表面的空乏區中的一次電子(primary electron)所組成的通道讓電流從 n+源極延伸區 240E 導通至 n+汲極延伸區 242E。

就注入閘極介電層 260 中的熱載子注入來說，汲極 242 中的電場會讓一次電子加速並在接近汲極 242 時獲得能量。衝擊離子化會發生在汲極 242 中，用以產生二次電荷載子(電子與電洞皆有)，它們大體上會在該局部電場的方向中前進。某些該等二次電荷載子(尤其是二次電子)會朝閘極介電層 260 移動。因為汲極延伸區 242E 的摻雜程度輕過主要汲極部 242M，所以當一次電子進入汲極 242 時會受到低電場的作用。結果，會有較少的熱(有能量的)二次電荷載子被注入閘極介電層 260 中。閘極介電質 260 受到的熱載子破壞便會降低。另外，閘極介電質 260 經歷會讓 IGFET 100 的臨界電壓 V_T 產生非所希漂移的充電作用也會降低。

更明確說，探討具有多個 n 型 S/D 區帶的參考 n 通道 IGFET，其中每一個 n 型 S/D 區帶皆係由下述組成：一超重度摻雜的主要部；以及一較輕度摻雜但是仍為重度摻雜的橫向延伸區。對照於參考 IGFET 的源極延伸區與汲極延伸區的重度 n 型摻雜和在 IGFET 100 的源極延伸區 240E 中實質上相同的情形，汲極延伸區 242E 中的下方 n 型摻雜會讓沿著汲極延伸區 242E 跨越汲極-主體接面 248 部分的摻雜物濃度的變化比沿著該參考 IGFET 中的汲極延伸區跨越該汲極-主體 pn 接面部分的摻雜物濃度的變化更為平緩。沿著汲極延伸區 242E 中的汲極-主體接面 248 部分的空乏區的寬度因而會增加。這會讓汲極延伸區 242E 中的電場進一步降低。因此，發生在汲極延伸區 242E 中的衝擊離子化會少於發生在參考 IGFET 中的汲極延伸區中的衝擊離子化。由於

汲極延伸區 242E 中的低衝擊離子化的關係，IGFET 100 會讓較少的破壞熱載子注入閘極介電層 260 中。

除了摻雜程度輕過 n+源極延伸區 240E 之外，n+汲極延伸區 242E 延伸的深度也明顯大於 n+源極延伸區 240E。對符合下面條件的 IGFET 來說，假設 y_{SE} 與 y_{DE} 分別代表 S/D 延伸區的極大深度：其橫向 S/D 延伸區的摻雜程度輕過個別的主要 S/D 部而且 IGFET 的通道區帶沿著上方半導體表面終止在橫向 S/D 延伸區。那麼，IGFET 100 的汲極延伸區 242E 的深度 y_{DE} 會明顯超過源極延伸區 240E 的深度 y_{SE}。IGFET 100 的汲極延伸區深度 y_{DE} 通常會大過其源極延伸區深度 y_{SE} 至少 20%，較佳係至少 30%，更佳係至少 50%，甚至更佳係至少 100%。有數個因素導致汲極延伸區 242E 的延伸深度明顯大過源極延伸區 240E。

源極延伸區 240E 與汲極延伸區 242E 會各自在該上方半導體表面的下方達到極大(或尖峰)n 型摻雜物濃度。對符合下面條件的 IGFET 來說，假設 y_{SEPK} 與 y_{DEPK} 分別代表 S/D 延伸區的延伸區定義摻雜物的極大濃度之位置處的平均深度：其橫向 S/D 延伸區的摻雜程度輕過 IGFET 的 S/D 區帶的個別主要 S/D 部，且 IGFET 的通道區帶沿著上方半導體表面終止在橫向 S/D 延伸區且橫向 S/D 延伸區係由極大(或尖峰)濃度出現在大體上橫向延伸在該上方半導體表面下方的個別位置中的半導體摻雜物來定義。IGFET 100 的源極延伸區 240E 與汲極延伸區 242E 的極大摻雜物濃度深度 y_{SEPK} 與 y_{DEPK} 顯示在圖 15。源極延伸區 240E 的深度 y_{SEPK} 通常

為 0.004 至 0.020μm，一般為 0.015μm。汲極延伸區 242E 的深度 y_{DEPK} 通常為 0.010 至 0.030μm，一般為 0.020μm。

如 IGFET 100 的前述 y_{SEPK} 與 y_{DEPK} 數值所示，造成汲極延伸區 242E 的延伸深度明顯大過源極延伸區 240E 中的一個因素為實施源極延伸區 240E 與汲極延伸區 242E 的離子植入時，會讓汲極延伸區 242E 中的極大 n 型摻雜物濃度的深度 y_{DEPK} 明顯超過源極延伸區 240E 中的極大 n 型摻雜物濃度的深度 y_{SEPK}。IGFET 100 的極大汲極延伸區摻雜物濃度深度 y_{DEPK} 通常會大於它的極大源極延伸區摻雜物濃度深度 y_{SEPK} 至少 10%，較佳係至少 20%，更佳係至少 30%。

因為汲極延伸區 242E 的摻雜程度輕過源極延伸區 240E，所以汲極延伸區 242E 中在深度 y_{DEPK} 處的極大全部 n 型摻雜物濃度會明顯小於源極延伸區 240E 中在深度 y_{SEPK} 處的極大全部 n 型摻雜物濃度。汲極延伸區 242E 中在深度 y_{DEPK} 處的極大全部 n 型摻雜物濃度通常不會超過源極延伸區 240E 中在深度 y_{SEPK} 處的極大全部 n 型摻雜物濃度的一半，較佳係不超過四分之一，更佳係不超過十分之一，甚至更佳係不超過二十分之一。因此，汲極延伸區 242E 中在深度 y_{DEPK} 處的極大淨 n 型摻雜物濃度會明顯小於源極延伸區 240E 中在深度 y_{SEPK} 處的極大淨 n 型摻雜物濃度，通常不會超過一半，較佳的係，不會超過四分之一，更佳的係，不會超過十分之一，甚至更佳的係，不會超過二十分之一。換言之，源極延伸區 240E 中在深度 y_{SEPK} 處的極大全部 n 型摻雜物濃度或淨 n 型摻雜物濃度會明顯大於汲極延伸區

242E 中在深度 y_{DEPK} 處的極大全部 n 型摻雜物濃度或淨 n 型摻雜物濃度，通常至少為 2 倍，較佳係至少為 4 倍，更佳係至少為 10 倍，甚至更佳係至少為 20 倍。

造成汲極延伸區 242E 的延伸深度明顯大過源極延伸區 240E 的另外兩個因素涉及 p+源極側環袋 250。環袋 250 中的 p 型摻雜物會阻止源極延伸區 240E 中 n 型淺源極延伸區摻雜物的擴散，從而降低源極延伸區深度 y_{SE}。環袋 250 中的 p 型摻雜物同樣會導致源極延伸區 240E 的底部出現在較高的位置處，從而進一步降低源極延伸區深度 y_{SE}。

汲極延伸區 242E 的延伸深度明顯大過源極延伸區 240E 結合汲極延伸區 242E 的摻雜程度輕過源極延伸區 240E 會導致汲極延伸區 242E 中的 n 型深 S/D 延伸區摻雜物垂直散開的程度明顯大過源極延伸區 240E 中的 n 型淺源極延伸區摻雜物。據此，汲極延伸區 242E 中全部 n 型摻雜物的垂直散開程度大過源極延伸區 240E 中全部 n 型摻雜物。

從源極至汲極流過一 IGFET(例如 IGFET 100 或參考 IGFET)的電流在進入汲極時通常會朝下散開。對照參考 IGFET 的源極延伸區與汲極延伸區中的 n 型摻雜物濃度以實質相同的程度被摻雜且延伸至和源極延伸區 240E 相同深度的情況，汲極延伸區 242E 的大深度會讓經過汲極延伸區 242E 的電流垂直散開的程度大過參考 IGFET 的汲極延伸區中。因此，汲極延伸區 242E 中的電流密度會小於參考 IGFET 的汲極延伸區中的電流密度。

汲極延伸區 242E 中全部 n 型摻雜物的高分散會讓汲極

延伸區 242E 中的電場小於參考 IGFET 的汲極延伸區中的電場。相較於參考 IGFET 的汲極延伸區，較少衝擊離子化會發生在汲極延伸區 242E 中。此外，相較於參考 IGFET 的汲極延伸區中，衝擊離子化還發生在遠離汲極延伸區 242E 中的上方半導體表面處。相較於參考 IGFET 的閘極介電層，會有較少的熱載子抵達閘極介電質 260。因此，注入 IGFET 100 的閘極介電層 260 中的熱載子的數額會進一步減少。

相較於源極延伸區 240E，汲極延伸區 242E 會進一步橫向延伸在閘極電極 262 的下方。對符合下面條件的 IGFET 來說，假設 x_{SEOL} 與 x_{DEOL} 代表分別重疊源極延伸區與汲極延伸區的 IGFET 閘極電極的數額：其橫向 S/D 延伸區的摻雜程度輕過個別的主要 S/D 部而且 IGFET 的通道區帶沿著上方半導體表面終止在橫向 S/D 延伸區。那麼，數額 x_{DEOL}(其為 IGFET 100 的閘極電極 262 重疊汲極延伸區 242E 的數額)會明顯超過數額 x_{SEOL}(其為閘極電極 262 重疊源極延伸區 240E 的數額)。圖 15 中所示係 IGFET 100 的閘極電極重疊數額 x_{SEOL} 與 x_{DEOL}。IGFET 100 的閘極至汲極延伸區重疊數額 x_{DEOL} 通常會比閘極至源極延伸區重疊數額 x_{SEOL} 大至少 20%，較佳係至少 30%，更佳係至少 50%。

不幸是靠近閘極電極 262 的汲極側邊緣的閘極介電材料的品質通常不如其餘閘極介電材料的品質。對照參考 IGFET 的 S/D 延伸區橫向延伸在閘極電極下方的數額和源極延伸區 240E 橫向延伸在閘極電極 262 下方相同的情況，汲極延伸區 242E 橫向延伸在閘極電極 262 下方的數額越

大，便會讓經過汲極延伸區 242E 的電流垂直散開的程度大過參考 IGFET 的汲極延伸區中。汲極延伸區 242E 中的電流密度便會進一步降低。相較於參考 IGFET 的汲極延伸區中，這會使得有更少的衝擊離子化發生在汲極延伸區 242E 之中。注入閘極介電層 260 之中的熱載子的數額會更進一步減少。由於汲極延伸區 242E 的低摻雜、較大深度、及較大閘極電極重疊數額的關係，IGFET 100 中注入閘極介電質 260 之中的破壞性熱載子會非常少，因而讓 IGFET 100 的臨界電壓隨著操作時間呈現非常穩定。

對符合下面條件的 IGFET 來說，假設 y_{SM} 與 y_{DM} 代表主要源極部與主要汲極部的個別極大深度：其主要源極部與主要汲極部分別接續較輕度摻雜的橫向源極延伸區與汲極延伸區，其中 IGFET 的通道區帶沿著上方半導體表面終止在該等較輕度摻雜的橫向源極延伸區與汲極延伸區。IGFET 100 的主要汲極部 242M 的深度 y_{DM} 通常會與主要源極部 240M 的深度 y_{SM} 約略相同。IGFET 100 的深度 y_{SM} 與 y_{DM} 中每一者通常為 0.08 至 0.20 μm，一般為 0.14 μm。由於有定義環袋部 250 的 p 型摻雜物的存在，IGFET 100 的主要源極部深度 y_{SM} 可能會略小於其主要汲極部深度 y_{DM}。

在圖 5.1 與 15 的範例中，IGFET 100 的主要源極部 240M 會延伸至比源極延伸區 240E 更深的地方。所以，IGFET 100 的主要源極部深度 y_{SM} 會超過其源極延伸區深度 y_{SE}。相反地，本範例中，汲極延伸區 242E 會延伸至比主要汲極部 242M 更深的地方。所以，IGFET 100 的汲極延伸區深度 y_{DE}

會超過它的主要汲極部深度 y_{DM}。另外，汲極延伸區 242E 還會橫向延伸在主要汲極部 242M 的下方。

假設 y_S 與 y_D 分別代表 IGFET 的源極與汲極的極大深度。深度 y_S 與 y_D 為 IGFET 的源極-主體 pn 接面及汲極-主體 pn 接面(也就是，IGFET 100 的源極-主體接面 246 以及汲極-主體接面 248)的個別極大深度。因為在圖 5.1 與 15 的範例中的 IGFET 100 的主要源極部深度 y_{SM} 超過其源極延伸區深度 y_{SE}，所以 IGFET 100 的源極深度 y_S 會等於其主要源極部深度 y_{SM}。相反地，本範例中的 IGFET 100 的汲極深度 y_D 會等於其汲極延伸區深度 y_{DE}，因為 IGFET 100 的汲極延伸區深度 y_{DE} 超過它的主要汲極部深度 y_{DM}。

IGFET 100 的源極深度 y_S 通常為 0.08 至 0.20 μm，一般為 0.14 μm。IGFET 100 的汲極深度 y_D 通常為 0.10 至 0.22 μm，一般為 0.16 μm。IGFET 100 的汲極深度 y_D 通常會超過它的源極深度 y_S 0.01 至 0.05 μm，一般為 0.02 μm。此外，IGFET 100 的源極延伸區深度 y_{SE} 通常為 0.02 至 0.10 μm，一般為 0.04 μm。IGFET 100 的汲極延伸區深度 y_{DE} 通常為 0.10 至 0.22 μm，一般為 0.16 μm。據此，IGFET 100 的汲極延伸區深度 y_{DE} 通常約為其源極延伸區深度 y_{SE} 的 4 倍，且不論如何通常會大於其源極延伸區深度 y_{SE} 的 3 倍。

如上述，源極 240 中存有環袋部 250 會導致通道區帶 244 具有非對稱縱向摻雜物緩變特性。相較於源極延伸區 240E，汲極延伸區 242E 的低摻雜、較大深度、及較大閘極電極重疊數額則會讓 IGFET 100 具有進一步的非對稱性。

在上面提及的台灣專利申請案第 99108661 號，法律檔案編號第 NS-7005TW 號中有提出和 IGFET 100 的摻雜非對稱性以及主體材料 180 的空井摻雜特徵有關的進一步解釋。

當圖繪通道長度 L_{DR} 落在 0.3μm 附近而閘極介電質厚度為 6 至 6.5nm 時，n 通道 IGFET 100 的臨界電壓 V_T 為 0.5V 至 0.75V，一般為 0.6V 至 0.65V。IGFET 100 特別適用於高操作電壓範圍(舉例來說，3.0V)的單向電流應用。

E3.非對稱高電壓 p 通道 IGFET 的結構

非對稱高電壓 p 通道 IGFET 102 的內部組態基本上和非對稱高電壓 n 通道 IGFET 100 相同，不同是 IGFET 102 的主體材料係由 n 型空主要井區 182 和深 n 井區 210 所組成，而非如 IGFET 100 僅由一空主要井區(180)所組成。IGFET 102 的該等區域中的導體類型大體上與 IGFET 100 中對應區域的導體類型相反。

更明確說，如圖 5.1 中所示，IGFET 102 有一對 p 型 S/D 區帶 280 與 282，它們沿著該上方半導體表面位於主動式半導體島 142 之中。S/D 區帶 280 與 282 在下文中通常會分別被稱為源極 280 以及汲極 282，因為通常但未必分別具有源極和汲極的功能。源極 280 以及汲極 282 會被一由 n 型空井主體材料 182(也就是，全部主體材料 182 與 210 中的 182 部分)所組成的通道區帶 284 分開。n 型空井主體材料 182 會：(a)與 p 型源極 280 構成一源極-主體 pn 接面 286，及(b)與 p 型汲極 282 構成一汲極-主體 pn 接面 288。

由n型空井主體材料182所組成的中度摻雜環袋部290會沿著源極280向上延伸至該上方半導體表面並且終止在源極280和汲極282之間的某個位置處。圖5.1係例示源極280延伸至比n源極側環袋290更深處的情形。另或者，環袋290亦能夠延伸至比源極280更深的地方。接著，環袋290會橫向延伸在源極280的下方。環袋290係由n型源極環摻雜物所定義。

在源極側環袋部290外面的n型空井主體材料182部分會構成n型空井主體材料部294。在從主體材料182中的深n型空井濃度極大值的位置處沿著環袋部290外面的一虛擬垂直線(未圖示)朝該上方半導體表面移動時，空井主要主體材料部294中n型摻雜物的濃度會從符號「n」所示的中度摻雜逐漸降至符號「n-」所示的輕度摻雜。圖5.1中的點線296粗略地表示，在其下方的位置，主要主體材料部294中n型摻雜物濃度係在中度n摻雜，而在其上方的位置，294部分之中n型摻雜物濃度則係在輕度n-摻雜。

通道區帶284(圖5.1未明確界定)係由源極280和汲極282間的所有n型單晶矽組成。更明確說，通道區帶284係由空井主要主體材料部294的n-上方部的表面鄰接區段及下述構成：(a)倘若源極280如圖5.1的範例中所示般地延伸至比環袋290更深處，則為所有n環袋部290，或(b)倘若環袋290的表面鄰接區段延伸至比源極280更深處，則為環袋290的表面鄰接區段。無論何者，環袋290的n型重度摻雜程度都大過通道區帶284中主要主體材料部294

的 n-上方部的直接相鄰材料。因此，源極 280 中存有環袋 290 會讓通道區帶 284 具有非對稱縱向摻雜物緩變的特性。

有 t_{GdH} 高厚度數值的閘極介電層 300 係位於該上方半導體表面上並且延伸在通道區帶 284 的上方。閘極電極 302 係位於通道區帶 284 上方的閘極介電層 300 之上。閘極電極 302 會部分延伸在源極 280 和汲極 282 的上方。

p 型源極 280 係由一超重度摻雜主要部 280M 及一較輕度摻雜橫向延伸區 280E 組成。p 型汲極 282 同樣由一超重度摻雜主要部 282M 及一較輕度摻雜的橫向延伸區 282E 所組成。雖然摻雜程度分別輕過 p++主要源極部 280M 與 p++主要汲極部 282M；不過在目前的次微米 CIGFET 應用中，橫向源極延伸區 280E 與橫向延伸區 282E 仍為重度摻雜。主要源極部 280M 和主要汲極部 282M 通常係藉由離子植入 p 型半導體摻雜物(本文稱為 p 型主要 S/D 摻雜物，通常為硼)來定義。連接至源極 280 和汲極 282 的外部電氣接點分別係透過主要源極部 280M 和主要汲極部 282M 來達成。

通道區帶 284 會沿著上方半導體表面終止在橫向源極延伸區 280E 和橫向汲極延伸區 282E。閘極電極 302 會延伸在每一個橫向延伸區 280E 或 282E 的一部分的上方。電極 302 通常不會延伸在 p++主要源極部 280M 或 p++主要汲極部 282M 的任何一部分的上方。介電側壁間隔部 304 與 306 分別位於閘極電極 302 的相反橫斷側壁中。金屬矽化物層 308、310、及 312 分別位於閘極電極 302、主要源極部 280M、及主要汲極部 282M 的頂端。

E4.非對稱高電壓 p 通道 IGFET 的源極/汲極延伸區

非對稱高電壓 p 通道 IGFET 102 的汲極延伸區 282E 的摻雜程度輕過源極延伸區 280E。不過，每一個橫向延伸區 280E 或 282E 的 p 型摻雜皆會落在由符號「p+」所示的重度 p 型摻雜的範圍之中。所以，源極延伸區 280E 與汲極延伸區 282E 兩者在圖 5.1 中皆會被標示為「p+」。

p+源極延伸區 280E 通常係藉由離子植入被稱為 p 型淺源極延伸區摻雜物的 p 型半導體摻雜物來定義，因為其僅係被用來定義比較淺的 p 型源極延伸區。p+汲極延伸區 282E 通常係藉由離子植入被稱為 p 型深汲極延伸區摻雜物且亦被稱為 p 型深 S/D 延伸區摻雜物的 p 型半導體摻雜物來定義，因為其係被用來定義比較深的 p 型源極延伸區以及比較深的 p 型汲極延伸區。源極延伸區 280E 與汲極延伸區 282E 中的 p 型摻雜通常係由硼來提供。

IGFET 102 中的 p+橫向延伸區 280E 與 282E 和 IGFET 100 中的橫向延伸區 240E 與 242E 實質上具有相同用途。就此方面來說，IGFET 102 會透過沿著通道區帶 284 之上方表面的空乏區中所誘發的一次電洞(primary hole)所組成的通道讓電流從 p+源極延伸區 280E 導通至 p+汲極延伸區 282E。汲極 282 中的電場會讓該等一次電洞加速並在它們接近汲極 282 時獲得能量。應該注意的係，在其中一個方向中移動的電洞基本上係在相反方向中遠離摻雜物原子前進的電子，該等電洞會衝擊汲極 282 中的原子，用以產生二次電荷載子(同樣係電子與電洞皆有)，它們大體上會在該

局部電場的方向中前進。某些該等二次電荷載子(尤其是二次電洞)會朝閘極介電層 300 移動。因為汲極延伸區 282E 的摻雜程度輕過主要汲極部 282M，所以當該等一次電洞進入汲極 282 時會受到低電場的作用。結果，會有較少的熱(有能量的)二次電荷載子被注入閘極介電層 300 中而帶電。IGFET 102 的臨界電壓 V_T 的非所希漂移實質上會降低。

因汲極延伸區 242E 中的 n 型摻雜輕過源極延伸區 240E 中的關係使得 IGFET 100 中會有較少的破壞性熱載子注入閘極介電層 260 之中，基於相同的理由，汲極延伸區 282E 中的 p 型摻雜輕過源極延伸區 280E 中會使得 IGFET 102 中會有較少的熱載子注入閘極介電層 300 中。也就是，IGFET 102 中較輕的汲極延伸區摻雜會讓沿著汲極延伸區 282E 跨越汲極-主體接面 288 部分的摻雜物濃度會有較平緩的變化。沿著汲極延伸區 282E 中的汲極-主體接面 288 部分的空乏區的寬度因而增加，其會讓汲極延伸區 282E 中的電場進一步降低。由於汲極延伸區 282E 中的低衝擊離子化的關係，注入閘極介電層 300 之中的熱載子會減少。

p+源極延伸區 280E 與 p+汲極延伸區 282E 會各自在該上方半導體表面的下方達到極大(或尖峰)p 型摻雜物濃度。利用藉由離子植入所定義的源極延伸區 280E 與汲極延伸區 282E，源極延伸區 280E 通常會有下述特性：有一條虛擬垂直線(未圖示)延伸經過源極延伸區 280E 且充分遠離主要源極部 280M，使得定義主要源極部 280M 的 p 型摻雜物對沿著該垂直線的全部 p 型摻雜物濃度不會有任何顯著影響。

因此，該 p 型淺源極延伸區摻雜物的濃度沿著該垂直線達到其極大數值的深度大部分會等於源極延伸區 280E 中全部 p 型摻雜物濃度的極大數值深度 y_{SEPK}。源極延伸區 280E 的深度 y_{SEPK} 通常為 0.003 至 0.015 μm，一般為 0.006 μm。

同樣地，汲極延伸區 282E 通常會有下述特性：有一條虛擬垂直線(未圖示)延伸經過汲極延伸區 282E 且充分遠離主要汲極部 282M，使得定義主要汲極部 282M 的 p 型摻雜物對沿著該垂直線的全部 p 型摻雜物濃度不會有任何顯著的影響。該 p 型深 S/D 延伸區摻雜物的濃度沿著該穿過汲極延伸區 282E 之垂直線達到其極大數值的深度通常大部分會等於汲極延伸區 282E 中全部 p 型摻雜物濃度的極大數值深度 y_{DEPK}。如同源極延伸區 280E 中 p 型淺源極延伸區摻雜物之極大濃度的深度 y_{SEPK}，汲極延伸區 282E 的深度 y_{DEPK} 通常為 0.003 至 0.015 μm，一般為 0.006 μm。

雖然汲極延伸區 282E 的極大濃度深度 y_{DEPK} 通常大部分等於源極延伸區 280E 的極大濃度深度 y_{SEPK}，不過 p+汲極延伸區 282E 卻延伸至遠深過 p+源極延伸區 280E 的地方。換言之，IGFET 102 的汲極延伸區 282E 的深度 y_{DE} 會明顯超過源極延伸區 280E 的深度 y_{SE}。IGFET 102 的汲極延伸區深度 y_{DE} 通常大於其源極延伸區深度 y_{SE} 至少 20%，較佳係至少 30%，更佳係至少 50%，甚至更佳係至少 100%。

有兩個主要因素導致汲極延伸區 282E 的延伸深度明顯大過源極延伸區 280E。兩個因素皆涉及 n+源極側環袋 290。首先，環袋 290 中的 n 型摻雜物減緩源極延伸區 280E

中 p 型淺源極延伸區摻雜物的擴散速度，從而降低源極延伸區深度 y_{SE}。再者，環袋 290 中的 n 型摻雜物導致源極延伸區 280E 的底部出現在較高位置處，從而進一步降低源極延伸區深度 y_{SE}。汲極延伸區 282E 能夠藉由實施離子植入而被排列成延伸至比源極延伸區 280E 進一步更深的地方，俾讓汲極延伸區 282E 中極大 p 型摻雜物濃度的深度 y_{DEPK} 超過源極延伸區 280E 極大 p 型摻雜物濃度的深度 y_{SEPK}。

在非對稱 GFET 100 與 102 的典型施行方式中，n 通道 IGFET 100 的 p 環袋部 250 中的 p 型源極環摻雜物和 p 通道 IGFET 102 的 p+源極延伸區 280E 中的 p 型淺源極延伸區摻雜物為相同的原子物種，通常為硼。同樣地，p 通道 IGFET 102 的 n 環袋部 290 中的 n 型源極環摻雜物和 n 通道 IGFET 100 的 n+源極延伸區 240E 中的 n 型淺源極延伸區摻雜物通常為相同的原子物種，通常為砷。

砷原子遠大於硼原子。因此，p 通道 IGFET 102 的環袋部 290 中的 n 型摻雜物阻礙源極延伸區 280E 中的 p 型淺源極延伸區摻雜物的擴散會明顯大過 n 通道 IGFET 100 的環袋部 250 中的 p 型摻雜物減緩源極延伸區 240E 中的 n 型淺源極延伸區摻雜物擴散的速度。使得即使 p 通道 IGFET 102 的汲極延伸區 282E 的極大濃度深度 y_{DEPK} 通常大部分與源極延伸區 280E 的極大濃度深度 y_{SEPK} 相同而 n 通道 IGFET 100 的汲極延伸區 242E 的極大濃度深度 y_{DEPK} 遠大於源極延伸區 2480E 的極大濃度深度 y_{SEPK}，仍讓 IGFET 100 與 102 有相當汲極延伸區深度 y_{DE} 與源極延伸區深度 y_{SE} 的比值。

p通道IGFET 102的汲極延伸區282E中p型深S/D延伸區摻雜物的分佈垂直散開的程度會明顯大過源極延伸區280E中的p型淺源極延伸區摻雜物。因此，汲極延伸區282E中全部p型摻雜物的分佈垂直散開的程度會明顯大過源極延伸區280E中全部p型摻雜物的分佈。

汲極延伸區282E的深度大過源極延伸區280E會導致注入IGFET 102的閘極介電層300之中的熱載子進一步減少，其大部分和IGFET 100有較少熱載子注入閘極介電層260之中有相同的理由。明確地說，IGFET 102中汲極延伸區282E的大深度讓流經汲極延伸區282E的電流會有更大的垂直散開，從而會降低汲極延伸區282E中的電流密度。汲極延伸區282E中全部p型摻雜物的高分散會降低汲極延伸區282E中的電場。其所導致的汲極延伸區282E中衝擊離子化下降會產生較少的熱載子注入閘極介電質300中。

汲極延伸區282E進一步延伸在閘極電極302下方的程度明顯大過源極延伸區280E。結果，IGFET 102的閘極電極302重疊汲極延伸區282E的數額x_{DEOL}明顯超過閘極電極302重疊源極延伸區280E的數額x_{SEOL}。IGFET 102的閘極至汲極延伸區重疊數額x_{DEOL}通常比閘極至源極延伸區重疊數額x_{SEOL}大至少20%，較佳至少30%，更佳至少50%。

閘極電極302在汲極延伸區282E上方的重疊面積大過在源極延伸區280E上方會進一步減少IGFET 102注入閘極介電層300之中的熱載子，其和IGFET 100之中因為閘極電極262在汲極延伸區242E上方的重疊面積大過在源極延

伸區 240E 上方的關係而有較少熱載子注入閘極介電層 260 有相同的理由。也就是，IGFET 102 的汲極延伸區 282E 橫向延伸在閘極電極 302 下方的數額越大流過汲極延伸區 282E 的電流垂直散開的程度便會越大。汲極延伸區 282E 中的電流密度便會進一步降低。所導致汲極延伸區 282E 中衝擊離子化的進一步下降會產生更少的熱載子注入閘極介電層 300 中。由於汲極延伸區 282E 的低摻雜、較大深度、及較大閘極電極重疊面積的關係，IGFET 102 中注入閘極介電質 300 中的熱載子會非常少。如同 IGFET 100，IGFET 102 的臨界電壓隨著操作時間呈現非常穩定。

IGFET 102 的主要汲極部 282M 的深度 y_{DM} 通常與主要源極部 280M 的深度 y_{SM} 約略相同。IGFET 102 的 y_{SM} 與 y_{DM} 中每一者通常為 0.05 至 0.15 μm，一般為 0.10 μm。由於有定義環袋部 290 的 n 型摻雜物存在，IGFET 102 的主要源極部深度 y_{SM} 可能會略小於它的主要汲極部深度 y_{DM}。

在圖 5.1 的範例中，IGFET 102 的主要源極部 280M 會延伸至比源極延伸區 280E 更深的地方。所以 IGFET 102 的主要源極部深度 y_{SM} 會超過其源極延伸區深度 y_{SE}。相反地，本範例中，汲極延伸區 282E 會延伸至比主要汲極部 282M 更深的地方。所以，IGFET 102 的汲極延伸區深度 y_{DE} 會超過其主要汲極部深度 y_{DM}。另外，汲極延伸區 282E 還會橫向延伸在主要汲極部 282M 的下方。

因為在圖 5.1 範例中的 IGFET 102 的主要源極部深度 y_{SM} 超過其源極延伸區深度 y_{SE}，所以 IGFET 102 的源極深

度 y_S 等於其主要源極部深度 y_{SM}。反知，本範例的 IGFET 102 的汲極深度 y_D 等於其汲極延伸區深度 y_{DE}，因為 IGFET 102 的汲極延伸區深度 y_{DE} 超過其主要汲極部深度 y_{DM}。IGFET 102 的源極深度 y_S 通常為 0.05 至 0.15 μ m，一般為 0.10 μ m。IGFET 102 的汲極深度 y_D 通常為 0.08 至 0.20 μ m，一般為 0.14 μ m。IGFET 102 的汲極深度 y_D 因而通常超過其源極深度 y_S 0.01 至 0.10 μ m，一般為 0.04 μ m。除此外，IGFET 102 的源極延伸區深度 y_{SE} 通常為 0.02 至 0.10 μ m，一般為 0.06 μ m。IGFET 102 的汲極延伸區深度 y_{DE} 通常為 0.08 至 0.20 μ m，一般為 0.14 μ m。據此，IGFET 102 的汲極延伸區深度 y_{DE} 通常約為其源極延伸區深度 y_{SE} 的 2 倍。

在圖 5.1 的施行方式中，IGFET 102 運用深 n 井區 210。因為平均深 n 井極大濃度深度 y_{DNWPK} 通常為 1.0 至 2.0 μ m，一般為 1.5 μ m，所以 IGFET 102 的平均深度 y_{DNWPK} 通常會係其汲極深度 y_D 的 5 至 25 倍，較佳係 8 至 16 倍，一般為 10 至 12 倍。

在導體類型相反的條件下，p 通道 IGFET 102 沿著該上方半導體表面的縱向摻雜物分佈非常雷同於 n 通道 IGFET 100 沿著該上方半導體表面的縱向摻雜物分佈。在上面提及的台灣專利申請案第 99108661 號，法律檔案編號第 NS-7005TW 號中有提出和 IGFET 102 的摻雜非對稱性以及 p 型空井主體材料 182 的空井摻雜特徵有關的進一步解釋。

當圖繪通道長度 L_{DR} 落在 0.3 μ m 附近而閘極介電質厚度為 6 至 6.5nm 時，p 通道 IGFET 102 的臨界電壓 V_T 為 -0.5V

至-0.7V，一般為-0.6V。如同 IGFET 100，IGFET 102 特別適用於高操作電壓範圍(舉例來說，3.0V)的單向電流應用。

F.延伸型汲極 IGFET

F1.延伸型汲極 n 通道 IGFET 的結構

接著說明非對稱延伸型汲極延伸型電壓互補式 IGFET 104 與 106 的內部結構。圖 5.2 中所示的 IGFET 104 與 106 的核心的放大圖分別顯示在圖 16a 與 16b 中。

從 n 通道 IGFET 104 開始，具有沿著該上方半導體表面位於主動式半導體島 144A 中的 n 型第一 S/D 區帶 320，如圖 5.2 與 16a 所示。空主要井 184B 會構成 IGFET 104 的一 n 型第二 S/D 區帶。如下文進一步說明，部分 n 型 S/D 區帶 184B 係位於主動式半導體島 144A 與 144B 兩者中。S/D 區帶 320 與 184B 於下文經常分別稱為源極 320 與汲極 184B，因為通常但未必分別具有源極和汲極的功能。

源極 320 及汲極 184B 會被一由 p 型主體材料所組成的通道區帶 322(其由 p 型空主要井區 184A 與 p-基板區 136 所構成)分開。p 型空井主體材料 184A，也就是全部主體材料 184A 與 136 中的 184A 部分會與 n 型源極 320 構成一源極-主體 pn 接面 324。n 型空井汲極 184B 與 p-基板區 136 之間的 pn 接面 226 為 IGFET 104 的汲極-主體 pn 接面。空主要井區 184A 與 184B 於下文經常分別稱為空井主體材料 184A 與空井汲極 184B 以便闡明空井 184A 與 184B 的功能。

n 型源極 320 係由下述組成：一超重度摻雜的主要部

320M；及一較輕度摻雜的橫向延伸區 320E。連接至源極 320 的外部電氣接點係透過 n++主要源極部 320M 來達成。雖然摻雜程度輕過主要源極部 320M，不過在目前的次微米 CIGFET 應用中，橫向源極延伸區 320E 仍為重度摻雜。通道區帶 322 會沿著該上方半導體表面在 IGFET 104 的源極側終止於 n+源極延伸區 320E。

n++主要源極部 320M 會延伸至比源極延伸區 320E 更深的地方。據此，源極 320 的極大深度 y_S 為主要源極部 320M 的極大深度 y_{SM}。IGFET 104 的極大源極深度 y_S 顯示在圖 16a 中。主要源極部 320M 與源極延伸區 320E 分別由 n 型主要 S/D 摻雜物與淺源極延伸區摻雜物來定義。

由 p 型空井主體材料 184A 組成的中度摻雜環袋部 326 會沿著源極 320 向上延伸至該上方半導體表面且終止在主體材料 184A 裡面(且因而介於源極 320 和汲極 184B 間)的某個位置處。圖 5.2 與 16a 係例示源極 320(明確說主要源極部 320M)延伸至比 p 源極側環袋 326 更深處的情形。另或者，環袋 326 亦能夠延伸至比源極 320 更深的地方。接著，環袋 326 會橫向延伸在源極 320 的下方。環袋 326 係由 p 型源極環摻雜物所定義。

圖 5.2 與 16a 中的符號 328 係例示源極側環袋部 326 外面的 p 型空井主體材料 184A 部分。在從主體材料 184A 中的深 p 型空井濃度極大值的位置處沿著環袋 326 外面的一選定虛擬垂直線經由通道區帶 322 朝該上方半導體表面移動時，空井主體材料部 328 中 p 型摻雜物的濃度會從符號

「p」所示中度摻雜逐漸降至符號「p-」所示輕度摻雜。點線 332(僅標記在圖 16a 中)粗略表示，在下方位置的主體材料部 328 中 p 型摻雜物濃度係中度 p 摻雜，而在上方位置的 328 部分中 p 型摻雜物濃度則輕度 p-摻雜。直線 332 下的主體材料部 328 的中度摻雜部在圖 16a 中被表示為 p 下方主體材料部 328L。在直線 332 上的主體材料部 328 的輕度摻雜部在圖 16a 中則被表示為 p-上方主體材料部 328U。

p 型空井主體材料部 328 中的 p 型摻雜物係由 p 型空主要井摻雜物、p-基板區 136 的 p 型背景摻雜物、及 p 型源極環摻雜物(在 p 環袋部 326 附近)所組成。該 p 型背景摻雜物的濃度在整個半導體主體中大部分為恆定。因為 p 型空井主體材料 184A 中的 p 型空主要井摻雜物會沿著一子表面位置在平均深度 y_{PWPK} 處達到一深子表面濃度極大值，所以主體材料部 328 中的 p 型空主要井摻雜物的存在會讓 328 部分中的全部 p 型摻雜物的濃度實質上在主體材料 184A 中的深子表面濃度極大值的位置處達到深局部子表面濃度極大值。主體材料部 328 中的該深子表面濃度極大值(如圖 16a 中標記著「MAX」的左邊雙點虛線所示者)係橫向延伸在該上方半導體表面的下方並且同樣出現在平均深度 y_{PWPK} 處。主體材料部 328 中的該深子表面濃度極大值的出現會使其橫向向外凸出。主體材料部 328 中的該極大凸出部(且同樣在主體材料 184A 中)會出現在主體材料 184A 的 328 部分中的該深子表面濃度極大值的位置處。

n 型空井汲極 184B 包含一超重度摻雜的外部接點部

334，其沿著該上方半導體表面位於主動式半導體島 144B 中。n++外部汲極接點部 334 在本文有時被稱為主要汲極部，因為和主要源極部 320M 雷同，汲極接點部 334 係超重度摻雜、與通道區帶 322 隔開、且用來製造連接至 IGFET 104 的外部電氣接點。圖 5.2 與 16a 的符號 336 係例示汲極 184B 中位於 n++外部汲極接點部/主要汲極部 334 外面的部分。

在從汲極 184B 中的深 n 型空井濃度極大值的位置處沿著一選定虛擬垂直線經由島 144A 朝該上方半導體表面移動時，汲極 184B 中 n 型摻雜物的濃度會從符號「n」所示中度摻雜逐漸降至符號「n-」所示輕度摻雜。點線 340(僅標記在圖 16a)粗略表示，在下方位置的空井汲極部 336 中 n 型摻雜物濃度係在中度 n 摻雜，而其上方位置的 336 部分中 n 型摻雜物濃度則係在輕度 n-摻雜。直線 340 之下的汲極部 336 的中度摻雜部在圖 16a 中會被表示為 n 下方空井汲極部 336L。在直線 340 之上的汲極部 336 的輕度摻雜部在圖 16a 中則會被表示為 n-上方空井汲極部 336U。

n 型空井汲極部 336 中的 n 型摻雜物係由下述組成：n 型空主要井摻雜物；及 n 型主要 S/D 摻雜物(在 n++汲極接點部 334 附近)，如下文說明被用來形成汲極接點部 334。因為 n 型空井汲極 184B 中的 n 型空主要井摻雜物會在平均深度 y_{NWPK} 處達到一深子表面濃度極大值，所以，汲極部 336 中的 n 型空主要井摻雜物的存在會讓 336 部分中的全部 n 型摻雜物的濃度實質上在井 184B 中的深子表面濃度極大值的位置處達到深局部子表面濃度極大值。汲極部 336 中

的該深子表面濃度極大值(如圖 16a 標記「MAX」的右邊雙點虛線所示)係橫向延伸在該上方半導體表面的下方且同樣出現在平均深度 y_{NWPK} 處。空井汲極部 336 中的該深子表面濃度極大值的出現會使其橫向向外凸出。汲極部 336 中的該極大凸出部(且因而會在空井汲極 184B 中)會出現在汲極 184B 的 336 部分中的該深子表面濃度極大值的位置處。

p-基板區 136 的表面鄰接部 136A 會橫向分隔空井主體材料 184A(明確說，空井主體材料部 328)及空井汲極 184B(明確說空井汲極部 336)。假設 L_{WW} 代表一延伸型汲極 IGFET(例如 IGFET 104)中一對互補式(p 型與 n 型)空主要井之間的極小分隔距離，圖 16a 顯示出空井主體材料 184A 與空井汲極 184B 之間的極小井至井分隔距離 L_{WW} 通常會出現在其極大橫向凸出部的位置中。這係因為在圖 5.2 與 16a 的範例中的主體材料 184A 與汲極 184B 中的深子表面濃度極大值的平均深度 y_{PWPK} 與 y_{NWPK} 大部分相等。深度 y_{PWPK} 與 y_{NWPK} 之間的差異通常會導致 IGFET 104 的極小井至井分隔距離 L_{WW} 的位置略微遠離圖 16a 中所示位置且略微傾斜於該上方半導體表面而非如圖 16a 所示完全橫向。

井分隔部 136A 為輕度摻雜，因為會構成部分 p-基板區 136。p 型空井主體材料 184A 的 p 型摻雜物的深濃度極大值會出現在中度摻雜的下方部(328L)中。n 型空井汲極 184B 的 n 型摻雜物的深濃度極大值同樣出現在中度摻雜的下方部(336L)中。因此，p 型主體材料 184A 的中度摻雜的下方部(328L)以及 n 型汲極 184B 的中度摻雜的下方部(336L)會

被該半導體主體中的一較輕度摻雜的部分橫向隔開。

通道區帶322(圖5.2或16a中未明確界定)係由源極320和汲極184B之間的所有p型單晶矽所組成。明確說，通道區帶322係由井分隔部136A的表面鄰接區段、主體材料部328的p-上方部(328U)的表面鄰接區段、及下述所構成：(a)倘若源極320如圖5.2與16a的範例中所示般地延伸至比環袋326更深處的話，則為所有p環袋部326，或(b)倘若環袋326的表面鄰接區段延伸至比源極320更深處的話，則為環袋326的表面鄰接區段。無論何者，環袋326的p型重度摻雜程度都會大過通道區帶322中主體材料部328的p-上方部(328U)的直接相鄰材料。因此，源極320中存有環袋326會讓通道區帶322具有非對稱縱向摻雜物緩變的特性。通道區帶322中有井分隔部136A的表面鄰接區段的存在則會讓其進一步的非對稱縱向摻雜物緩變。

汲極184B會延伸在凹陷的場絕緣區138下方，以便將島144A中的汲極184B的材料電氣連接至島144B中的汲極184B的材料。明確地說，場絕緣區138會橫向包圍n++汲極接點部334以及空井汲極184B的下方較輕度摻雜部分184B1。場絕緣區138中的一部分138A因而會橫向分隔汲極接點部334與較輕度摻雜下方汲極部184B1以及位於島144A中的汲極184B的一部分184B2。汲極部184B2會接續p-井分隔部136A並且向上延伸至該上方半導體表面。汲極184B的其餘部分在圖16a中係以符號184B3來表示並且係由從島144A與144B之底部向下延伸至汲極184B之底部

的n型汲極材料所組成。因為汲極184B延伸在場絕緣區138的下方且因而遠深過源極320，所以通道區帶322的底部在從源極320移到汲極184B時向下傾斜的幅度很大。

有t_{GdH}高厚度數值的閘極介電層344係位於該上方半導體表面上且延伸在通道區帶322的上方。閘極電極346係位於通道區帶322上方的閘極介電層344之上。閘極電極346會部分延伸在源極320和汲極184B的上方。更明確地說，閘極電極346會部分延伸在源極延伸區320E的上方但卻沒有延伸在主要源極部320M的上方。閘極電極346會延伸在汲極部184B2的上方並且在中途(通常大約一半的地方)跨越場絕緣部138A朝汲極接點部334延伸。介電側壁間隔部348與350分別位於閘極電極346的相反橫斷側壁中。金屬矽化物層352、354、及356分別位於閘極電極346、主要源極部320M、及汲極接點部334的頂端。

當下面條件成立時，延伸型汲極IGFET 104便處於偏壓導通狀態中：(a)閘極至源極電壓V_{GS}等於或超過正臨界電壓V_T；及(b)汲極至源極V_{DS}位在足夠正值以讓電子從源極320經由通道區帶322流到汲極184B。當IGFET 104的閘極至源極電壓V_{GS}小於臨界電壓V_T但汲極至源極V_{DS}位在足夠正值處時，若閘極至源極電壓V_{GS}等於或超過臨界電壓V_T則電子便會從源極320經由通道區帶322流到汲極184B而讓IGFET 104導通，IGFET 104便處於偏壓關閉狀態中。在偏壓關閉狀態中，只要汲極至源極V_{DS}的大小不足以造成IGFET 104處於崩潰狀態，便不會有明顯的電子流

從該源極 320 處經由通道區帶 322 抵達汲極 184B。

空井主體材料 184A 與空井汲極 184B 的摻雜特徵會導致當 IGFET 104 處於偏壓關閉狀態時，延伸型汲極 IGFET 104 的單晶矽中的電場的尖峰大小會明顯出現在該上方半導體表面下。在 IGFET 操作期間，IGFET 104 因熱載子閘極介電質充電所引起的惡化會遠小於習知延伸型汲極 IGFET，在習知的延伸型汲極 IGFET 中，IGFET 的單晶矽中的電場的尖峰大小會出現在該上方半導體表面中。IGFET 104 的可靠度會大幅提高。

在上面提及台灣專利申請案第 99108661 號，法律檔案編號第 NS-7005TW 號中提出空井主體材料 184A 與空井汲極 184B 的摻雜特徵如何在 IGFET 104 處於偏壓關閉狀態時讓 IGFET 104 的單晶矽的電場的尖峰大小明顯出現在上方半導體表面下的解釋。簡言之，空主要井極大摻雜物濃度深度 y_{PWPK} 與 y_{NWPK} 具有雷同數值，其中 p 型空井主體材料 184A 中的 p 型空主要井極大濃度深度 y_{PWPK} 通常會略大於 n 型空井汲極 184B 中的 n 型空主要井極大濃度深度 y_{NWPK}。

IGFET 104 的空主要井極大摻雜物濃度深度 y_{PWPK} 與 y_{NWPK} 兩者皆大於源極 320 的極大深度 y_S。深度 y_{PWPK} 與 y_{NWPK} 中每一者通常為 IGFET 104 的極大源極深度 y_S 的至少兩倍，但是通常不會超過 IGFET 104 的源極深度 y_S 的 10 倍，較佳係不超過 5 倍，更佳係不超過 4 倍。舉例來說：每一個深度 y_{PWPK} 或 y_{NWPK} 通常為源極深度 y_S 的 2 至 3 倍。

從空井主體材料 184A 處開始，該 p 型空主要井摻雜物

的濃度在從深度 y_{PWPK} 處該 p 型空主要井摻雜物之極大濃度的位置處沿著一選定虛擬垂直線經由 p 型空井主體材料部 328(其包含環袋部 326 以及 p-基板區 136 的 136A 部分之間的通道區帶 322 部分)向上移到該上方半導體表面時通常會以實質單調的方式遞減成最多 10%，較佳係遞減成最多 20%，更佳係遞減成最多 40%。舉例來說，該 p 型空主要井摻雜物的濃度在從該 p 型空主要井摻雜物之極大濃度的 y_{PWPK} 位置處沿著該選定垂直線經由主體材料部 328 向上移到該上方半導體表面時會以實質單調的方式遞減 80 倍以上，落在 100 倍附近。全部 p 型摻雜物的濃度會沿著該選定垂直線大部分在深度 y_{PWPK} 處達到一極大值，並且在該垂直線中於不大於 y_{PWPK} 的深度 y 處會和該 p 型空主要井摻雜物的濃度具有大部分相同的變化。

接著參考 n 型空井汲極 184B，該 n 型空主要井摻雜物的濃度在從深度 y_{NWPK} 處該 n 型空主要井摻雜物之極大濃度的位置處沿著一選定虛擬垂直線經由空井汲極 184B 的 184B3 部分與 184B2 部分向上移到該上方半導體表面時同樣會以實質單調的方式遞減成最多 10%，較佳係遞減成最多 20%，更佳係遞減成最多 40%。舉例來說，n 型空主要井摻雜物的濃度在從該 n 型空主要井摻雜物之極大濃度的 y_{NWPK} 位置處沿著該選定垂直線經由汲極 184B 的 184B3 部分與 184B2 部分移到該上方半導體表面時會遞減成不到 80%，落在不到 100%附近。全部 n 型摻雜物的濃度會沿著該垂直線大部分在深度 y_{NWPK} 處達到一極大值，並且在穿過

n型空井汲極184B的184B2部分與184B3部分的該垂直線中會和該n型空主要井摻雜物的濃度具有相同的變化。

F2.延伸型汲極n通道IGFET的操作物理性

前面的空井特徵讓延伸型汲極n通道IGFET 104具有下面的裝置物理性與操作特徵。當IGFET 104處於偏壓關閉狀態之中時，該IGFET的單晶矽中的電場會沿著汲極-主體接面226在由空井區184A與184B之彼此鄰近性以及下面的極大數值所決定的位置處達到尖峰數值：(a)p型空井主體材料184A的328部分中的全部p型摻雜物的濃度N_T；及(b)n型空井汲極184B的184B2部分與184B3部分中的全部n型摻雜物的濃度N_T。因為p型空井主體材料部328中的全部p型摻雜物的濃度N_T的極大數值處的深度y_{PWPK}通常約略等於n型空井汲極184B的184B2部分與184B3部分中的全部n型摻雜物的濃度N_T的極大數值處的深度y_{NWPK}且因為空井184A與184B在深度y_{PWPK}與y_{NWPK}處彼此最靠近，所以IGFET 104的單晶矽中的電場的尖峰數值約略會出現在汲極-主體接面226中的深度y_{NWPK}處。圖16a中的圓圈358所示的便係此位置。因為深度y_{NWPK}通常為源極320的極大深度y_S的至少兩倍，所以，IGFET 104的單晶矽中的尖峰電場便通常會係其在偏壓關閉狀態中時IGFET 104的極大源極深度y_S的至少兩倍。

當IGFET 104在偏壓導通狀態時，從源極320流到汲極184B的電子剛開始會沿著空井主體材料184A中的通道

區帶 322 部分的上方表面在該單晶矽中前進。在進入 p-基板區 136 的 136A 部分之後，電子通常會往下移動並且散開。在抵達汲極 184B 時，電子流會分散跨越島 144A 中汲極-主體接面 226 的大體垂直部分。該電子流同樣會散開橫向跨越汲極 184B 的 184B2 部分。

該等電子(本文稱為一次電子)的速度在從源極 320 前進到汲極 184B 時會遞增，從而提高其能量。當高能量的一次電子撞擊汲極材料的原子時在汲極 184B 中便發生衝擊離子化，用以創造二次電荷載子(電子與電洞皆有)，它們大體上會在該局部電場的方向中前進。在高電場的本體區中所產生的某些二次電荷載子(尤其是二次電洞)會朝位於汲極 184B 之 184B2 部分上方的介電層 344 部分向上前進。

衝擊離子化的數額通常會隨著電場增加及該等一次電子的電流密度增加而提高。最大數額的衝擊離子化係發生在電場向量與一次電子電流密度向量之純量積為最高的地方。讓尖峰電場出現在汲極-主體接面 226 中的深度 y_{NWPK} 處，汲極 184B 中的衝擊離子化便會明顯地被強制往下。汲極 184B 中最大數額的衝擊離子化通常會出現在大於 IGFET 104 之極大源極深度 y_S 的深度處。

對照尺寸與 IGFET 104 約略相同的習知 n 通道延伸型汲極 IGFET，IGFET 104 的衝擊離子化所產生之抵達上方半導體表面的二次電荷載子(尤其是二次電洞)非常少會有足以進入閘極介電層 344 的能量。閘極介電質 344 的熱載子充電作用大幅降低。因此，IGFET 104 因為注入閘極介電質

344 中由衝擊離子化產生的電荷載子造成的臨界電壓漂移會非常的小。IGFET 104 的操作特徵隨著操作時間流逝會非常穩定。IGFET 104 的可靠度與壽命則會大幅提高。

當圖繪通道長度 L_{DR} 落在 0.5μm 附近而閘極介電質厚度為 6 至 6.5nm 時，n 通道 IGFET 104 的臨界電壓 V_T 通常為 0.5V 至 0.7V，一般為 0.6V。延伸型汲極 IGFET 104 特別適用於操作電壓範圍遠高於(舉例來說，12V)非對稱 n 通道 IGFET 100 之典型 3.0V 高電壓操作範圍的功率應用、高電壓切換應用、EEPROM 程式化應用、及 ESD 保護應用。

F3.延伸型汲極 p 通道 IGFET 的結構

延伸型汲極延伸型電壓 p 通道 IGFET 106 的組態和延伸型汲極延伸型電壓 n 通道 IGFET 104 雷同。不過，由於 p 通道 IGFET 106 的深 n 井 212 不會抵達該上方半導體表面而有一些顯著差異。

參考圖 5.2 與 16b，p 通道 IGFET 106 具有沿著上方半導體表面位於主動式半導體島 146A 中的 p 型第一 S/D 區帶 360。空主要井區 186B 與 p-基板區 136 的表面鄰接部 136B 的組合會構成 IGFET 106 的 p 型第二 S/D 區帶 186B/136B。如下文進一步說明，部分 p 型 S/D 區帶 186B/136B 係位於主動式半導體島 146A 與 146B 兩者中。S/D 區帶 360 與 186B/136B 於下文經常分別稱為源極 360 與汲極 186B/136B，因為通常但未必分別具有源極和汲極的功能。

源極 360 及汲極 186B/136B 被由 n 型主體材料組成的

通道區帶 362(由 n 型空主要井區 186A 與深 n 井區 212 構成)分開。n 型空井主體材料 186A，也就是全部主體材料 186A 與 212 的 186A 部分與 p 型源極 360 構成一源極-主體 pn 接面 364。深 n 井 212 與 n 型主體材料 186A 與汲極 186B/136B 構成汲極-主體 pn 接面 228。部分汲極-主體 pn 接面 228 位於深 n 井 212 與 p 型空主要井區 186B 間。空主要井區 186A 與 186B 於下文經常分別稱為空井主體材料 186A 與空井汲極材料 186B 以便闡明空井 186A 與 186B 的功能。

p 型源極 360 係由下述組成：一超重度摻雜的主要部 360M；及一較輕度摻雜但仍為重度摻雜的橫向延伸區 360E。連接至源極 360 的外部電氣接點係透過 p++主要源極部 360M 來達成。通道區帶 362 會沿著該上方半導體表面在 IGFET 106 的源極側終止於 p+源極延伸區 360E。

主要源極部 360M 會延伸至比源極延伸區 360E 更深的地方。因此，源極 360 的極大深度 y_S 為主要源極部 360M 的極大深度 y_{SM}。IGFET 106 的極大源極深度 y_S 顯示在圖 16b 中。主要源極部 360M 與源極延伸區 360E 分別由 p 型主要 S/D 摻雜物與淺源極延伸區摻雜物來定義。

由 n 型空井主體材料 186A 所組成的中度摻雜環袋部 366 會沿著源極 360 向上延伸至該上方半導體表面並且終止在主體材料 186A 裡面(且因而介於源極 360 和汲極 186B/136B 間)的某個位置處。圖 5.2 與 16b 係例示源極 360(明確說主要源極部 360M)延伸至比 n 源極側環袋 366 更深處的情形。在替代例中，環袋 366 亦能夠延伸至比源極

360 更深的地方。於此情況中，環袋 366 會橫向延伸在源極 360 的下方。環袋 366 係由 n 型源極環摻雜物所定義。

圖 5.2 與 16b 中的符號 368 係例示源極側環袋部 366 外面的 n 型空井主體材料 186A 部分。在從主體材料 186A 的深 n 型空井濃度極大值的位置處沿著環袋 366 外面的一選定虛擬垂直線經由通道區帶 362 朝該上方半導體表面移動時，主體材料部 368 中 n 型摻雜物的濃度會從符號「n」所示的中度摻雜逐漸降至符號「n-」所示的輕度摻雜。點線 372(僅標記在圖 16b 中)粗略地表示，在下方位置的主體材料部 368 中 n 型摻雜物濃度係中度 n 摻雜，而其上方位置的 368 部分之中 n 型摻雜物濃度則輕度 n-摻雜。直線 372 下的主體材料部 368 的中度摻雜部在圖 16b 被表示為 n 下方主體材料部 368L。在直線 372 上的主體材料部 368 的輕度摻雜部在圖 16b 則被表示為 n-上方主體材料部 368U。

n 型主體材料部 368 中的 n 型摻雜物係由 n 型空主要井摻雜物、構成深 n 井 212 的深 n 井摻雜物、及構成環袋部 366 的 n 型源極環摻雜物(在 n 環袋部 366 附近)所組成。相較於平均 n 型空主要井極大濃度深度 y_{NWPK} 處的 n 型空主要井摻雜物的濃度，該深 n 井摻雜物的濃度非常小。因為 n 型空井主體材料 186A 中的 n 型空主要井摻雜物會沿著一子表面位置在平均深度 y_{NWPK} 處達到一深子表面濃度極大值，所以主體材料部 368 中的 n 型空主要井摻雜物的存在會讓 368 部分中的全部 n 型摻雜物的濃度實質上在主體材料 186A 中的深子表面濃度極大值的位置處達到深局部子表

面濃度極大值。主體材料部 368 中的該深子表面濃度極大值(如圖 16b 中標記「MAX」的左邊雙點虛線所示)係橫向延伸在該上方半導體表面的下方且同樣出現在平均深度 y_{NWPK} 處。主體材料部 368 中的該深子表面濃度極大值的出現會使其橫向向外凸出。主體材料部 368 中的該極大凸出部(且同樣會在主體材料 186A 中)會出現在主體材料 186A 的 368 部分中的該深子表面濃度極大值的位置處。

p 型汲極 186B/136B(尤其是空井汲極材料 186B)包含一超重度摻雜的外部接點部 374，其係沿著該上方半導體表面位於主動式半導體島 146B 中。p++外部汲極接點部 374 在本文中有時候會被稱為主要汲極部，因為和主要源極部 360M 雷同，汲極接點部 374 係超重度摻雜、與通道區帶 362 隔開、並且用來製造連接至 IGFET 106 的外部電氣接點。圖 5.2 與 16b 中的符號 376 係例示位於 n++外部汲極接點部/主要汲極部 374 外面的空井部分 186B。

在從空井 186B 中的深 p 型空井濃度極大值的位置處沿著一選定虛擬垂直線經由島 146A 朝該上方半導體表面移動時，汲極 186B/136B 中 p 型摻雜物的濃度會從符號「p」所示的中度摻雜逐漸降至符號「p-」所示的輕度摻雜。點線 380(僅標記在圖 16b 中)粗略地表示，在下方位置的空井汲極部 376 中 p 型摻雜物濃度係中度 p 摻雜，而在上方位置的 376 部分中之 p 型摻雜物濃度則係輕度 p-摻雜。直線 380 下的汲極部 376 的中度摻雜部在圖 16b 中會被表示為 p 下方空井汲極部 376L。在直線 380 上的汲極部 376 的輕度摻

雜部在圖 16b 中則會被表示為 p-上方空井汲極部 376U。

p 型空井汲極部 376 中的 p 型摻雜物係由下述組成：p 型空主要井摻雜物；p-基板區 136 中大部分恆定的 p 型背景摻雜物；及 p 型主要 S/D 摻雜物(在 p++汲極接點部 374 附近)，如下文說明會被用來形成汲極接點部 374。因為 p 型汲極 186B/136B 中的 p 型空主要井摻雜物會在平均深度 y_{PWPK} 處達到一深子表面濃度極大值，所以，汲極部 376 中的 p 型空主要井摻雜物的存在會讓 376 部分中的全部 p 型摻雜物的濃度實質上在井 186B 中的深子表面濃度極大值的位置處達到深局部子表面濃度極大值。汲極部 376 中的該深子表面濃度極大值(如圖 16b 中標記著「MAX」的右邊雙點虛線所示者)係橫向延伸在該上方半導體表面的下方並且同樣出現在平均深度 y_{PWPK} 處。空井汲極部 376 中的該深子表面濃度極大值的出現會使其橫向向外凸出。汲極部 376 中的該極大凸出部(且因而在空井 186B 中)會出現在井 186B 的 376 部分中的該深子表面濃度極大值的位置處。

用於形成深 n 井 212 的深 n 井摻雜物會沿著橫向延伸在主要井 186A 與 186B 及位於主要井 186A 與 186B 之間的經摻雜單晶矽下方的位置於平均深度 y_{DNWPK} 處達到極大子表面摻雜物濃度。和每一個井 186A 或 186B 中的摻雜物濃度在從該極大井摻雜物濃度的位置處朝該上方半導體表面移動時的改變方式有些雷同，在從井 212 中的極大摻雜物濃度極大值的位置處沿著一延伸穿過位於主要井 186A 與 186B 之間的單晶矽的選定虛擬垂直線朝該上方半導體表面

移動時，深 n 井 212 中的 n 型摻雜物的濃度會從符號「n」所示的中度摻雜逐漸降至符號「n-」所示的輕度摻雜。點線 382(僅標記在圖 16b 中)粗略地表示，在下方位置的深 n 井 212 中 n 型摻雜物濃度係中度 n 摻雜，而在上方位置的深 n 井 212 中 n 型摻雜物濃度則係輕度 n-摻雜。直線 382 下的深 n 井 212 的中度摻雜部在圖 16b 中會被表示為 n 下方井部 212L。在直線 382 上的深 n 井 212 的輕度摻雜部在圖 16b 中則會被表示為 n-上方井部 212U。

空井主體材料 186A(明確說空井主體材料部 368)及空井汲極材料 186B(明確說空井汲極部 376)被半導體主體的井分隔部橫向分離。IGFET 106 的井分隔部由下述組成：(a)深 n 井 212 的輕度摻雜上方部(212U)，及(b)上覆的汲極部 136B。圖 16b 顯示出，空井主體材料 186A 與井 186B 之間的極小井至井分隔距離 L_{WW} 通常會出現在它們的極大橫向凸出部的位置中。這係因為在圖 5.2 與 16b 的範例中的主體材料 186A 與井 186B 中的深子表面濃度極大值的平均深度 y_{NWPK} 與 y_{PWPK} 大部分相等。深度 y_{NWPK} 與 y_{PWPK} 之間的差異通常會導致 IGFET 106 的極小井至井分隔距離 L_{WW} 的位置略微遠離圖 16b 中所示位置且略微傾斜於該上方半導體表面而非如圖 16b 所示完全橫向。

假設 IGFET 106 的井分隔部稱為井分隔部 212U/136B，井分隔部 212U/136B 的汲極部 136B 為輕度摻雜 p 型，因為 136B 部分係 p-基板區 136 的一部分。井分隔部 212U/136B 中的 212U 部分則為為輕度摻雜 n 型，因為

212U 部分為深 n 井 212 的輕度摻雜上方部。n 型空井主體材料 186A 中的 n 型摻雜物的深濃度極大值會出現在中度摻雜的下方部(368L)中。p 型空井 186B 中的 p 型摻雜物的深濃度極大值同樣會出現在中度摻雜的下方部(376L)中。因此，n 型主體材料 186A 的中度摻雜的下方部(368L)及 p 型井 186B 的中度摻雜的下方部(376L)會被該半導體主體中的一較輕度摻雜的部分橫向隔開。

通道區帶 362(圖 5.2 或 16b 未明確界定)由源極 360 和汲極 186B/136B 間的所有 n 型單晶矽組成。明確說，通道區帶 362 由主體材料部 368 的 n-上方部(368U)的表面鄰接區段及下述構成：(a)倘若源極 360 如圖 5.2 與 16b 範例所示延伸至比環袋 366 更深處，則為所有 n 環袋部 366，或(b)倘若環袋 366 的表面鄰接區段延伸至比源極 360 更深處，則為環袋 366 的表面鄰接區段。無論何者，環袋 366 的 n 型重度摻雜程度都大過通道區帶 362 中主體材料部 368 的 n-上方部(368U)的直接相鄰材料。因此，源極 360 中存有環袋 366 讓通道區帶 362 具有非對稱縱向摻雜物緩變的特性。

汲極 186B/136B 的井區 186B 會延伸在凹陷的場絕緣區 138 下方以將島 146A 中的汲極 186B/136B 的材料電氣連接至島 146B 中的汲極 186B/136B 的材料。明確說，場絕緣區 138 會橫向包圍 p++汲極接點部 374 及汲極 186B/136B 的下方較輕度摻雜部分 186B1。場絕緣區 138 中的一部分 138B 因而會橫向分隔汲極接點部 374 與較輕度摻雜下方汲極部 186B1 及位於島 146A 中的井 186B 的一部分 186B2。汲極

部 186B2 會接續輕度摻雜的井分隔部 212U/136B 並且向上延伸至該上方半導體表面。井 186B 的其餘部分在圖 16b 中係以符號 186B3 來表示並且係由從島 146A 與 146B 之底部向下延伸至井 186B 之底部的 n 型汲極材料所組成。

有 t_{GdH} 高厚度數值的閘極介電層 384 係位於該上方半導體表面上且延伸在通道區帶 362 上方。閘極電極 386 係位於通道區帶 362 上方的閘極介電層 384 上。閘極電極 386 會部分延伸在源極 360 和汲極 186B/136B 的上方。更明確地說，閘極電極 386 會部分延伸在源極延伸區 360E 的上方但卻沒有延伸在主要源極部 360M 的上方。閘極電極 386 會延伸在汲極部 136B 與 186B2 的上方且在中途(通常大約一半的地方)跨越場絕緣部 138B 朝汲極接點部 374 延伸。介電側壁間隔部 388 與 390 分別位於閘極電極 386 的相反橫斷側壁中。金屬矽化物層 392、394 及 396 分別位於閘極電極 386、主要源極部 360M、及汲極接點部 374 的頂端。

當下面條件成立時，延伸型汲極 IGFET 106 便會處於偏壓導通狀態之中：(a)閘極至源極電壓 V_{GS} 等於或小於負臨界電壓 V_T；及(b)汲極至源極 V_{DS} 位在足夠負值處以讓電洞從源極 360 經由通道區帶 362 流到汲極 186B/136B。當 IGFET 106 的閘極至源極電壓 V_{GS} 超過臨界電壓 V_T 但汲極至源極 V_{DS} 位在足夠負值處時，若閘極至源極電壓 V_{GS} 等於或小於臨界電壓 V_T 則電洞便從源極 360 經由通道區帶 362 流到汲極 186B/136B 而讓 IGFET 106 導通，IGFET 106 便處於偏壓關閉狀態中。在偏壓關閉狀態之中，只要汲極至源

極 V_{DS} 不夠低(也就是負值不夠高)而足以讓 IGFET 106 處於崩潰狀態，便不會有明顯的電洞流從該源極 360 處經由通道區帶 362 抵達汲極 186B/136B。

空井主體材料 186A 與汲極 186B/136B 的空井區 186B 的摻雜特徵同樣具有下面性質：當 IGFET 106 處於偏壓關閉狀態時，IGFET 106 的單晶矽中的電場的尖峰大小會明顯出現在該上方半導體表面下。結果，在 IGFET 操作期間，IGFET 106 因熱載子閘極介電質充電的關係所引起的惡化會遠小於習知的延伸型汲極 IGFET，在習知的延伸型汲極 IGFET 之中，單晶矽中的電場會在該上方半導體表面中達到極大值。IGFET 106 的可靠度會大幅提高。

當 IGFET 106 處於偏壓關閉狀態時 p 通道 IGFET 106 的單晶矽的電場的尖峰大小明顯出現在上方半導體表面下的空井摻雜特徵極雷同 n 通道 IGFET 104 的空井摻雜特徵。

在上提台灣專利申請案第 99108661 號，法律檔案編號第 NS-7005TW 號中有提出空井主體材料 186A 與汲極 186B/136B 的空井區 186B 的摻雜特徵如何在 IGFET 106 處於偏壓關閉狀態時讓 IGFET 106 的單晶矽中的電場的尖峰大小明顯出現在上方半導體表面下的解釋。簡言之，n 型空井主體材料 186A 的 n 型空主要井摻雜物的濃度沿著穿過主體材料 186A 之主體材料部 368 的一選定虛擬垂直線大部分於平均深度 y_{NWPK} 處達到極大濃度。n 型汲極 186B/136B 的空井 186B 的 186B2 部分與 186B3 部分的 p 型空主要井摻雜物的濃度沿著穿過空井 186B 的 186B2 部分與 186B3 部分的

一選定虛擬垂直線大部分於平均深度 y_{PWPK} 處達到極大濃度。如上提，空井主體材料 186A 與空井 186B 中大部分在約相等深度 y_{NWPK} 與 y_{PWPK} 處的摻雜物濃度極大值因個別離子植入 n 型空主要井摻雜物與 p 型空主要井摻雜物所造成。

IGFET 106 的空主要井極大摻雜物濃度深度 y_{NWPK} 與 y_{PWPK} 兩者皆大於源極 360 的極大深度 y_S。深度 y_{NWPK} 與 y_{PWPK} 中每一者通常為 IGFET 106 的極大源極深度 y_S 的至少 2 倍，但通常不超過 IGFET 106 的源極深度 y_S 的 10 倍，較佳不超過 5 倍，更佳不超過 4 倍。每一個深度 y_{PWPK} 或 y_{NWPK} 通常為源極深度 y_S 的 2 至 4 倍。

n 型空主要井摻雜物的濃度在從深度 y_{NWPK} 處該 n 型空主要井摻雜物之極大濃度位置處沿著該選定垂直線經由 n 型空井主體材料部 368(包含環袋部 366 外面的通道區帶 362 部分)向上移到上方半導體表面時通常會以實質單調方式遞減成最多 10%，較佳遞減成最多 20%，更佳遞減成最多 40%。例如，n 型空主要井摻雜物的濃度在從該 n 型空主要井摻雜物之極大濃度的 y_{NWPK} 位置處沿該選定垂直線經由主體材料部 368 向上移到該上方半導體表面時通常會遞減成不到 80%，落在不到 100%附近。主體材料部 368 中全部 n 型摻雜物的濃度會沿著該垂直線大部分在深度 y_{NWPK} 處達到一極大值，且在該垂直線中於不大於 y_{NWPK} 的深度 y 處會和該 n 型空主要井摻雜物的濃度具有大部分相同的變化。

接著參考汲極 186B/136B 的 p 型空井區 186B，該 p 型空主要井摻雜物的濃度在從深度 y_{PWPK} 處該 p 型空主要井摻

雜物之極大濃度的位置處沿著該選定虛擬垂直線經由汲極186B/136B的186B3部分與186B2部分向上移到該上方半導體表面時通常會以實質單調方式遞減成最多10%，較佳遞減成最多20%，更佳遞減成最多40%。舉例來說，p型空主要井摻雜物的濃度在從該p型空主要井摻雜物之極大濃度的y_{PWPK}位置處沿著該選定垂直線經由186B3部分與186B2部分移到該上方半導體表面時會遞減成不到80%，落在不到100%附近。空井區186B的186B2部分與186B3部分中的全部p型摻雜物沿著該垂直線的濃度在該垂直線中於不大於y_{PWPK}的深度y處會和該p型空主要井摻雜物的濃度具有大部分相同的變化。

F4.延伸型汲極p通道IGFET的操作物理性

在電壓與電荷極性相反的條件下，延伸型汲極p通道IGFET 106的裝置物理性及操作特徵和延伸型汲極n通道IGFET 104非常雷同。由於p-基板136的136B部分構成IGFET 106的p型汲極部186B/136B而基板136中雷同位置的136A部分構成IGFET 104的整體p型主體材料的一部分，所以IGFET 104與106的裝置物理性及操作的差異沒有很大。IGFET 106的汲極特徵取決於汲極186B/136B之空井區186B的186B2部分與186B3部分中的實質p型摻雜的程度大過取決於基板部分136B中較輕度的p型摻雜。

當IGFET 106處於偏壓關閉狀態時，該IGFET的單晶矽的電場會沿著汲極-主體接面228在由空井區186A與

186B 之彼此鄰近性及下述極大數值所決定的位置處達到尖峰數值：(a)n 型空井主體材料 186A 的 368 部分中的全部 n 型摻雜物的濃度；及(b)汲極 186B/136B 的 p 型空井汲極材料 186B 的 186B2 部分與 186B3 部分中的全部 p 型摻雜物的濃度。因為 n 型空井主體材料部 368 中的全部 n 型摻雜物的極大濃度處的深度 y_{NWPK} 通常約等於 p 型汲極 186B/136B 的 186B2 部分與 186B3 部分中的全部 p 型摻雜物的極大濃度處的深度 y_{PWPK}、且因為空井 186A 與 186B 在深度 y_{NWPK} 與 y_{PWPK} 處彼此最靠近，所以 IGFET 106 的單晶矽中的電場的尖峰數值約會出現在汲極-主體接面 228 中的深度 y_{PWPK} 處。圖 16b 中的圓圈 398 所示便係此位置。因為深度 y_{PWPK} 通常為源極 360 的極大深度 y_S 的至少 2 倍，所以 IGFET 106 的單晶矽中的尖峰電場的位置 398 便通常會係其在偏壓關閉狀態中時 IGFET 106 的極大源極深度 y_S 的至少 2 倍。

在一個方向中移動的電洞基本上構成在相反方向中遠離摻雜物原子移動的電子。當 IGFET 106 進入偏壓導通狀態時，從源極 360 流到汲極 186B/136B 的電洞剛開始沿空井主體材料 186A 的通道區帶 362 部分的上方表面在該單晶矽中前進。當電洞進入汲極 186B/136B 的 p-基板部分 136B 後，它們通常會往下移動且散開。在抵達汲極 186B/136B 的 186B2 部分時，該等電洞會更往下移動且進一步散開。

該等電洞(本文稱為一次電洞)的速度在從源極 360 前進到汲極 186B/136B 時會遞增而提高能量。當高能量的電荷載子撞擊汲極材料的原子時在汲極 186B/136B 中便發生

衝擊離子化，以創造二次電荷載子(同樣為電子與電洞皆有)，其大體上會在該局部電場的方向中前進。在高電場的本體區中所產生的某些該等二次電荷載子(尤其是二次電子)會朝位於汲極部分 186B2 上方的介電層 384 部分向上前進。

衝擊離子化的數額通常會隨著電場增加及該等一次電洞的電流密度增加而提高。明確說，最大數額的衝擊離子化係發生在電場向量與一次電洞電流密度向量之純量積為最高的地方。因為尖峰電場出現在汲極-主體接面 228 中的深度 y_{PWPK} 處，所以汲極 186B/136B 中的衝擊離子化會明顯地被強制往下。汲極 186B/136B 中最高數額的衝擊離子化通常會出現在大於 IGFET 106 之極大源極深度 y_S 的深度處。

對照尺寸與 IGFET 106 約略相同的習知延伸型 p 通道汲極 IGFET，IGFET 106 中的衝擊離子化所產生之抵達閘極介電層 384 的二次電荷載子(尤其是二次電子)非常少。因此，閘極介電質 384 所招致的熱載子充電作用非常少。因此，IGFET 106 中因為注入閘極介電質 384 之中由衝擊離子化產生的電荷載子造成的臨界電壓漂移會大幅降低。其操作特徵隨著操作時間流逝會非常穩定。結果係，IGFET 106 的可靠度與壽命則會大幅地提高。

當圖繪通道長度 L_{DR} 落在 0.5μm 附近而閘極介電質厚度為 6 至 6.5nm 時，p 通道 IGFET 106 的臨界電壓 V_T 為 -0.45V 至 -0.7V，一般為 -0.55V 至 -0.6V。如同延伸型汲極 IGFET 105，延伸型汲極 IGFET 106 特別適用於操作電壓範圍遠高於(舉例來說，12V)非對稱 p 通道 IGFET 102 之典型

3.0V 高電壓操作範圍的功率應用、高電壓切換應用、EEPROM 程式化應用、及 ESD 保護應用。

G.對稱低電壓低漏電 IGFET

接著從具有高 V_T(相較於個別 IGFET 120 與 122 的標稱 V_T)的對稱低電壓低漏電滿井互補式 IGFET 108 與 110 來開始說明圖中所示對稱 IGFET 的內部結構。如圖 5.3 所示的 n 通道 IGFET 108 之核心的放大圖顯示在圖 17 中。IGFET 108 具有一對 n 型 S/D 區帶 440 與 442，它們沿著該上方半導體表面位於主動式半導體島 148 中。S/D 區帶 440 與 442 會被由 p 型滿主要井區 188(其結合 p-基板區 136 構成 IGFET 108 的主體材料)所組成的通道區帶 444 分開。p 型主體材料滿井 188 會：(a)與 n 型 S/D 區帶 440 構成一第一 pn 接面 446，及(b)與 n 型 S/D 區帶 442 構成一第二 pn 接面 448。

S/D 區帶 440 與 442 大部分相同。每一個 n 型 S/D 區帶 440 或 442 皆係由下述組成：超重度摻雜的主要部 440M 或 442M；及較輕度摻雜但仍為重度摻雜的橫向延伸區 440E 或 442E。連接至 S/D 區帶 440 與 442 的外部電氣接點分別透過主要 S/D 部 440M 與 442M 來達成。因為 S/D 區帶 440 與 442 大部分相同，所以 n++主要 S/D 部 440M 與 442M 會大部分相同。n+ S/D 延伸區 440E 與 442E 同樣會大部分相同。

主要 S/D 部 440M 與 442M 會延伸至比 S/D 延伸區 440E 與 442E 更深的地方。據此，每一 S/D 區帶 440 或 442 的極大深度 y_{SD} 係主要 S/D 部 440M 或 442M 的極大深度。通道

區帶 444 會沿著該上方半導體表面終止於 S/D 延伸區 440E 與 442E。主要 S/D 部 440M 與 442M 係由 n 型主要 S/D 摻雜物定義。S/D 延伸區 440E 與 442E 則通常由被稱為 n 型淺 S/D 延伸區摻雜物的 n 型半導體摻雜物之離子植入定義。

p 型主體材料滿主要井 188 中的一對中度摻雜之橫向分隔的環袋部 450 與 452 會分別沿著 S/D 區帶 440 與 442 向上延伸至該上方半導體表面且終止於 S/D 區帶 440 與 442 之間的個別位置處。p 環袋 450 與 452 大部分相同。圖 5.3 與 17 係例示 S/D 區帶 440 與 442 延伸至比環袋 450 與 452 更深的地方的情形。另或者，環袋 450 與 452 亦能夠延伸至比 S/D 區帶 440 與 442 更深的地方。因此，環袋 450 與 452 會分別橫向延伸在 S/D 區帶 440 與 442 的下方。在定義環袋 450 與 452 時通常會運用被稱為 p 型 S/D 環摻雜物或被稱為 p 型 S/D 鄰接環摻雜物的 p 型半導體摻雜物的離子植入。該 p 型 S/D 環摻雜物會在該上方半導體表面下方的某個位置處於每一個環袋 450 或 452 中達到極大濃度。

在環袋部 450 與 452 外面的 p 型主體材料滿主要井 188 的材料係由下述組成：中度摻雜的主要主體材料部 454、中度摻雜的中間主體材料部 456、及中度摻雜的上方主體材料部 458。p 主要主體材料部 454 疊置在 p-基板區 136 上。p 中間主體材料部 456 疊置在主要主體材料部 454 上。主體材料部 454 與 456 中每一者皆橫向延伸在至少實質全部通道區帶 444 的下方並且通常橫向延伸在每一個通道區帶 444 及 S/D 區帶 440 與 442 之實質全部的下方。p 上方主體材料

部 458 疊置在中間主體材料部 456 上，垂直延伸至該上方半導體表面且橫向延伸在環袋部 450 與 452 之間。

p 主體材料部 454、456、及 458 通常係分別藉由 p 型滿主要井摻雜物、APT 摻雜物、及臨界調整摻雜物之離子植入來定義。雖然本文全部所述的主體材料部 454、456、及 458 皆為中度摻雜；不過，該等 p 型滿主要井摻雜物、APT 摻雜物、以及臨界調整摻雜物的濃度通常會達到不同的極大數值。主體材料部 454、456、及 458 在本文中經常分別被稱為 p 滿井主要主體材料部 454、p APT 主體材料部 456、以及 p 臨界調整主體材料部 458。

p 型滿主要井摻雜物的極大濃度、APT 摻雜物的極大濃度、及臨界調整摻雜物的極大濃度會出現在不同的平均深度處。明確說，由滿主要井 188 中的 p 型滿主要井摻雜物所產生的深 p 型滿井局部濃度極大值會出現在比由井 188 中的 p 型 APT 摻雜物與臨界調整摻雜物所產生的每一個淺 p 型滿井局部濃度極大值更深的地方。另外，因 p 型滿主要井摻雜物、APT 摻雜物、及臨界調整摻雜物中每一者所產生的局部濃度極大值實質上會完全橫向延伸跨越井 188。結果，p 型 APT 摻雜物及臨界調整摻雜物會填充由井 188 中該位置處的 p 型滿主要井摻雜物所定義的井區。

由 p 型滿井主要主體材料部 454 中的 p 型滿主要井摻雜物所產生的深滿井濃度極大值會出現在通道區帶 444 及 S/D 區帶 440 與 442 下方的某個位置處，該位置會橫向延伸在至少實質全部通道區帶 444 的下方且通常橫向延伸在每

一通道區帶 444 及 S/D 區帶 440 與 442 之實質全部的下方。如上示，由主體材料部 454 中的 p 型滿主要井摻雜物所提供的滿井濃度極大值的位置通常係在與 p 型空主要井摻雜物之濃度極大值約相同的平均深度 y_{PWPK} 處且因而通常會在 0.4 至 0.8 μm 的平均深度處，一般為 0.55 至 0.6 μm。

由 p 型 APT 主體材料部 456 中的 p 型 APT 摻雜物所產生的淺滿井濃度極大值會出現在某個位置處，該位置會橫向延伸跨越通道區帶 444 的至少實質完全橫向範圍並且通常會橫向延伸跨越通道區帶 444 及 S/D 區帶 440 與 442 之至少實質完全合成橫向範圍。由 p 型 APT 摻雜物所提供的滿井濃度極大值的位置會略低於通道區帶 444 及 S/D 區帶 440 與 442 的底部，但亦可能略高於通道區帶 444 及 S/D 區帶 440 與 442 的底部或是實質上一致。如上面所示，p 型 APT 摻雜物的極大濃度的位置通常會出現在大於 0.1 μm，但是不到 0.4 μm 的平均深度處。主體材料部 456 中的 p 型 APT 摻雜物的極大濃度的平均深度一般為 0.25 μm。

由 p 型臨界調整主體材料部 458 中的 p 型臨界調整摻雜物所產生的淺滿井濃度極大值同樣出現在某個位置處，該位置會橫向延伸跨越通道區帶 444 的至少實質完全橫向範圍且通常橫向延伸跨越通道區帶 444 及 S/D 區帶 440 與 442 之至少實質完全合成橫向範圍。所以，由 p 型臨界摻雜物所提供的滿井濃度極大值的位置會橫向延伸到上方主體材料部 458 外，進入環袋部 450 與 452 及 S/D 區帶 440 與 442 中。主體材料部 458 中的 p 型臨界調整摻雜物的極大濃

度的位置通常會出現在小於 0.1μm 的平均深度處，一般為 0.08 至 0.09μm。另外，主要滿井 188 中的 p 型臨界調整摻雜物的極大濃度一般都會小於井 188 中的 p 型滿主要井摻雜物、APT 摻雜物、及 S/D 環摻雜物的極大濃度。

通道區帶 444(圖 5.3 或 17 中未明確界定)係由 S/D 區帶 440 與 442 之間的所有 p 型單晶矽所組成。明確說，通道區帶 444 係由臨界調整主體材料部 458、APT 主體材料部 456 的下方區段、及下面所構成：(a)倘若 S/D 區帶 440 與 442 如圖 5.3 與 17 範例所示延伸至比環袋 450 與 452 更深處，則為所有 p 環袋部 450 與 452，或(b)倘若環袋 450 與 452 的表面鄰接區段延伸至比 S/D 區帶 440 與 442 更深處的話，則為環袋 450 與 452 的表面鄰接區段。因為主要滿井 188 中的 p 型臨界調整摻雜物的極大濃度通常明顯小於井 188 中的 p 型 S/D 環摻雜物的極大濃度，所以環袋 450 與 452 的重度摻雜 p 型的程度會大於井 188 的直接相鄰材料。

t_{GdL}低厚度數值的閘極介電層 460 係位於該上方半導體表面之上並且延伸在通道區帶 444 的上方。閘極電極 462 係位於通道區帶 444 上方的閘極介電層 460 之上。閘極電極 462 會部分延伸在 S/D 區帶 440 與 442 的上方。明確地說，閘極電極 462 會延伸在每一個 n+ S/D 延伸區 440E 或 442E 的一部分的上方但是通常不會延伸在 n++主要 S/D 部 440M 或 442M 中任一者的任何部分的上方。介電側壁間隔部 464 與 466 分別位於閘極電極 462 的相反橫斷側壁中。金屬矽化物層 468、470、及 472 分別位於閘極電極 462 以

及主要 S/D 部 440M 與 442M 的頂端。

低電壓低漏電 p 通道 IGFET 110 的組態基本上與低電壓低漏電 n 通道 IGFET 108 相同，不過導體類型相反。再次參考圖 5.3，p 通道 IGFET 110 具有一對大部分相同的 p 型 S/D 區帶 480 與 482，它們沿著該上方半導體表面位於主動式半導體島 150 中。S/D 區帶 480 與 482 會被由 n 型滿主要井區 190(其構成 IGFET 110 的主體材料)所組成的一通道區帶 484 分開。n 型主體材料滿井 190 會：(a)與 p 型 S/D 區帶 480 構成一第一 pn 接面 486，及(b)與 p 型 S/D 區帶 482 構成一第二 pn 接面 488。

因為 p 通道 IGFET 110 的主體材料由滿主要井構成而非如出現在 n 通道 IGFET 108 中由結合半導體主體的滿主要井與下方材料所構成，所以 p 通道 IGFET 110 的組態與 n 通道 IGFET 108 相同，不過導體類型相反。據此，p 通道 IGFET 110 含有大部分相同的中度摻雜 n 型環袋部 490 與 492；中度摻雜 n 型主要主體材料部 494；中度摻雜 n 型中間主體材料部 496；中度摻雜 n 型上方主體材料部 498；t_{GdL} 低厚度數值的閘極介電層 500；閘極電極 502；介電側壁間隔部 504 與 506；及金屬矽化物層 508、510、及 512，它們分別和 n 通道 IGFET 108 的區域 450、452、454、456、458、460、462、464、466、468、470 及 472 具有相同的組態。n 環袋部 490 與 492 係由被稱為 n 型 S/D 環摻雜物或 n 型 S/D 鄰接袋摻雜物的 n 型半導體摻雜物來定義。

n 主要主體材料部 494 疊置在 p-基板區 136 之上並且與

其構成 pn 接面 230。另外，每一個 p 型 S/D 區帶 480 或 482 皆係由下述組成：一超重度摻雜的主要部 480M 或 482M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 480E 或 482E。主要 S/D 部 480M 與 482M 係由 p 型主要 S/D 摻雜物來定義。S/D 延伸區 480E 與 482E 係由被稱為 p 型淺 S/D 延伸區摻雜物的 p 型半導體摻雜物來定義。和 n 通道 IGFET 108 的 p 型滿主要井 188 之摻雜有關的所有論述皆可套用至 p 通道 IGFET 110 的 n 型滿主要井 190，不過導體類型相反而且 n 通道 IGFET 108 的區域 188、440、442、444、450、452、454、456、及 458 分別被 p 通道 IGFET 110 的區域 190、480、482、484、490、492、494、496、及 498 取代。

p 通道 IGFET 110 的操作實質上與 n 通道 IGFET 108 相同，不過電壓極性相反。由於 IGFET 的摻雜物分佈與閘極介電質特徵之最佳化的關係，IGFET 108 與 110 中每一者在偏壓關閉狀態中的源極至汲極(S-D)漏電流會非常低。

當圖繪通道長度 L_{DR} 在短通道施行方式中為 0.13 μm 而閘極介電質厚度為 2nm 時，對稱低電壓低漏電 IGFET 108 的臨界電壓 V_T 通常為 0.3V 至 0.55V，一般為 0.4V 至 0.45V。當圖繪通道長度 L_{DR} 在短通道施行方式中為 0.13 μm 而閘極介電質厚度為 2nm 時，對稱低電壓低漏電 p 通道 IGFET 110 的臨界電壓 V_T 通常為 -0.3V 至 -0.5V，一般為 -0.4V。IGFET 108 與 110 特別適用於在偏壓關閉狀態中需要低 S-D 漏電流並且能夠適應於略高 V_T 的低電壓核心數位應用，舉例來說，1.2V 的典型電壓範圍。

H.對稱低電壓低臨界電壓 IGFET

現在將僅參考圖 5.4 來說明對稱低電壓低 V_T 空井互補式 IGFET 112 與 114。n 通道 IGFET 112 具有一對大部分相同的 n 型 S/D 區帶 520 與 522，它們沿著該上方半導體表面位於主動式半導體島 152 中。S/D 區帶 520 與 522 會被由 p 型空主要井區 192(其會結合 p-基板區 136 構成 IGFET 112 的主體材料)所組成的通道區帶 524 分開。p 型主體材料空井 192 會：(a)與 n 型 S/D 區帶 520 構成一第一 pn 接面 526，及(b)與 n 型 S/D 區帶 522 構成一第二 pn 接面 528。

每一個 n 型 S/D 區帶 520 或 522 皆係由下述組成：超重度摻雜的主要部 520M 或 522M；及較輕度摻雜但仍為重度摻雜的橫向延伸區 520E 或 522E。大部分相同的 n+ S/D 延伸區 520E 與 522E(其沿著該上方半導體表面終止通道區帶 524)會延伸到比大部分相同的 n++主要 S/D 部 520M 與 522M 更深的地方。事實上，每一個 S/D-主體接面 526 或 528 單獨就是空井 192 與 S/D 延伸區 520E 或 522E 間的 pn 接面。

如下述，S/D 延伸區 520E 與 522E 通常係在和非對稱 n 通道 IGFET 100 的汲極延伸區 242E 相同的時間藉由離子植入 n 型深 S/D 延伸區摻雜物來定義。如下面所示，定義對稱低電壓低漏電 n 通道 IGFET 108 之 S/D 延伸區 440E 與 442E 的 n 型淺 S/D 延伸區植入被實施的地方會淺於 n 型深 S/D 延伸區植入。因此，對稱空井 IGFET 112(同樣為一低電壓 n 通道裝置)之 S/D 延伸區 520E 與 522E 會延伸到比對稱滿井 IGFET 108 之 S/D 延伸區 440E 與 442E 更深的地方。

p型主體材料空主要井192中的p型摻雜物係由p型空主要井摻雜物以及p-基板區136中實質恆定的p型背景摻雜物所組成。因為空井192中的p型空主要井摻雜物會在平均深度 y_{PWPK} 處達到一深子表面濃度極大值，所以，井192中的p型空主要井摻雜物的存在會讓井192中的全部p型摻雜物的濃度實質上在井192中的深子表面濃度極大值的位置處達到深局部子表面濃度極大值。在從空井192中該深p型空井濃度極大值的位置處沿著一虛擬垂直線經由通道區帶524朝該上方半導體表面移動時，井192中的p型摻雜物的濃度會從符號「p」所示的中度摻雜逐漸降至符號「p-」所示的輕度摻雜。圖5.4中的點線530粗略表示在下方位置的空井192中p型摻雜物濃度係中度p摻雜，而在上方位置的井192中p型摻雜物濃度則係輕度p-摻雜。

IGFET 112並沒有位於p型空主要井192中、分別沿著S/D區帶520與522延伸、且重度摻雜p型的程度大過井192之相鄰材料的環袋部。通道區帶524(圖5.4未明確界定)係由S/D區帶520與522之間的所有p型單晶矽所組成，因此，僅係由井192之p-上方部的表面鄰接區段所構成。

t_{GdL} 低厚度數值的閘極介電層536係位於該上方半導體表面之上並且延伸在通道區帶524的上方。閘極電極538係位於通道區帶524上方的閘極介電層536之上。閘極電極538會延伸在每一個n+ S/D延伸區520E或522E中一部分的上方，但卻沒有延伸在n++主要S/D部520M或522M中任一者的任何部分的上方。介電側壁間隔部540與542

分別位於閘極電極 538 的相反橫斷側壁中。金屬矽化物層 544、546、以及 548 分別位於閘極電極 538 以及主要 S/D 部 520M 與 522M 的頂端。

低電壓低 V_T p 通道 IGFET 114 的組態基本上和 n 通道 IGFET 112 相同，導體類型相反。再次參考圖 5.4，p 通道 IGFET 114 具有一對大部分相同的 p 型 S/D 區帶 550 與 552，它們沿著該上方半導體表面位於主動式半導體島 154 中。S/D 區帶 550 與 552 會被由 n 型空主要井區 194(其構成 IGFET 114 的主體材料)所組成的通道區帶 554 分開。n 型主體材料空井 194 會：(a)與 p 型 S/D 區帶 550 構成一第一 pn 接面 556，及(b)與 p 型 S/D 區帶 552 構成一第二 pn 接面 558。

每一個 p 型 S/D 區帶 550 或 552 皆係由下述組成：一超重度摻雜的主要部 550M 或 552M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 550E 或 552E。通道區帶 554 會沿著該上方半導體表面終止於 S/D 延伸區 550E 與 552E。大部分相同的 p+ S/D 延伸區 550E 與 552E 會延伸到比大部分相同的 p++主要 S/D 部 550M 與 552M 更深的地方。

如下述，S/D 延伸區 550E 與 552E 通常係在和非對稱 p 通道 IGFET 102 的汲極延伸區 282E 相同的時間藉由離子植入 p 型深 S/D 延伸區摻雜物來定義。如下面所示，定義對稱低電壓低漏電 p 通道 IGFET 110 之 S/D 延伸區 480E 與 482E 的 p 型淺 S/D 延伸區植入被實施的地方會淺於 p 型深 S/D 延伸區植入。因此，對稱空井 IGFET 114(同樣係一低電壓 p 通道裝置)之 S/D 延伸區 550E 與 552E 會延伸到比對

稱滿井 IGFET 110 之 S/D 延伸區 480E 與 482E 更深的地方。

n 型主體材料空主要井 194 中的 n 型摻雜物僅由 n 型空主要井摻雜物所組成。因此，空井 194 中的 n 型摻雜物會在平均深度 y_{NWPK} 處達到一深子表面濃度極大值。在從空井 194 中該 n 型空井濃度極大值的位置處沿著一虛擬垂直線經由通道區帶 554 朝該上方半導體表面移動時，井 194 中的 n 型摻雜物的濃度會從符號「n」所示中度摻雜逐漸降至符號「n-」所示輕度摻雜。圖 5.4 中的點線 560 粗略表示在下方位置的空井 194 中 n 型摻雜物濃度係中度 n 摻雜，而在上方位置的井 194 中 n 型摻雜物濃度則係輕度 n-摻雜。

在前述前提下，p 通道 IGFET 114 進一步包含一 t_{GdL} 低厚度數值的閘極介電層 566，一閘極電極 568，介電側壁間隔部 570 與 572，及金屬矽化物層 574、576 及 578，它們的組態分別與 n 通道 IGFET 112 的區域 536、538、540、542、544、546 及 548 相同。和 n 通道 IGFET 112 類同，p 通道 IGFET 114 並沒有環袋部。通道區帶 554(圖 5.4 未明確界定)係由 S/D 區帶 550 與 552 之間的所有 n 型單晶矽所組成，僅係由井 194 之 n-上方部的表面鄰接區段所構成。

對稱低電壓低 V_T IGFET 112 與 114 中每一者的臨界電壓 V_T 通常為 -0.01V 至 0.19V，一般為 0.09V。據此，n 通道 IGFET 112 通常係一增強模式裝置，而 p 通道 IGFET 114 則通常係一空乏模式裝置。此 V_T 範圍及此等典型數值係用於圖繪通道長度 L_{DR} 為 0.3 μm 的 IGFET 112 與 114 的施行方式中。IGFET 112 與 114 特別適用於需要低臨界電壓 V_T

並且能夠適應於略大通道長度 L 的低電壓類比應用與數位應用，舉例來說，1.2V 的操作範圍。

I.標稱臨界電壓大小的對稱高電壓 IGFET

現在將僅參考圖 5.5 來說明標稱 V_T 大小的對稱高電壓滿井互補式 IGFET 116 與 118。n 通道 IGFET 116 具有一對大部分相同的 n 型 S/D 區帶 580 與 582，它們沿著該上方半導體表面位於主動式半導體島 156 中。S/D 區帶 580 與 582 會被由 p 型滿主要井區 196(其結合 p-基板區 136 構成 IGFET 116 的主體材料)所組成的通道區帶 584 分開。p 型主體材料滿井 196 會：(a)與 n 型 S/D 區帶 580 構成一第一 pn 接面 586，及(b)與 n 型 S/D 區帶 582 構成一第二 pn 接面 588。

每一個 n 型 S/D 區帶 580 或 582 皆係由下述組成：一超重度摻雜的主要部 580M 或 582M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 580E 或 582E。大部分相同的 n+ S/D 延伸區 580E 與 582E(其沿著該上方半導體表面終止通道區帶 584)會延伸到比大部分相同的 n++主要 S/D 部 580M 與 582M 更深的地方。

如下述，S/D 延伸區 580E 與 582E 通常係在和非對稱 n 通道 IGFET 100 的汲極延伸區 242E 相同的時間，而且所以通常同樣在和對稱低電壓低 V_T n 通道 IGFET 112 的 S/D 延伸區 520E 與 522E 相同的時間，藉由離子植入 n 型深 S/D 延伸區摻雜物來定義。因為用來定義對稱低電壓低漏電 n 通道 IGFET 108 之 S/D 延伸區 440E 與 442E 的 n 型淺 S/D

延伸區植入被實施的地方會淺於 n 型深 S/D 延伸區植入，因此對稱高電壓滿井 IGFET 116 的 S/D 延伸區 580E 與 582E 會延伸到比對稱低電壓滿井 IGFET 108 之 S/D 延伸區 440E 與 442E 更深的地方。

IGFET 116 並沒有位於 p 型主體材料空主要井 196 之中、分別沿著 S/D 區帶 580 與 582 延伸、而且重度摻雜 p 型的程度大過井 196 之相鄰材料的環袋部。因為有此差異，空井 196 的組態實質上和 n 通道 IGFET 108 的空井 188 相同。據此，p 型空井 196 係由一中度摻雜主要主體材料部 590、一中度摻雜中間主體材料部 592、及一中度摻雜上方主體材料部 594 所組成，它們分別和 IGFET 108 之空井 188 的主體材料部 454、456、及 458 具有相同的組態。

如同 IGFET 108 的 p 主體材料部 454、456 及 458，IGFET 116 的 p 主體材料部 590、592 及 594 分別利用 p 型滿主要井摻雜物、APT 摻雜物及臨界調整摻雜物來定義；它們的濃度會在不同平均深度處達到極大數值。所以 p 主體材料部 590、592 及 594 和 IGFET 108 的 p 主體材料部 454、456 及 458 具有相同摻雜物濃度特徵。p 主體材料部 590、592 及 594 在本文經常分別被稱為 p 滿井主要主體材料部 590、p APT 主體材料部 592 及 p 臨界調整主體材料部 594。因為 IGFET 116 缺少環袋部，所以 p 臨界調整主體材料部 594 會橫向延伸在 S/D 區帶 580 與 582 之間，明確說會橫向延伸在 S/D 延伸區 580E 與 582E 之間。通道區帶 584(圖 5.5 未明確界定)係由 S/D 區帶 580 與 582 之間的所有 p 型單晶矽

所組成，其僅由井 196 之 p-上方部的表面鄰接區段所構成。

t_{GdH}高厚度數值的閘極介電層 596 係位於該上方半導體表面上且延伸在通道區帶 584 上方。閘極電極 598 係位於通道區帶 584 上方的閘極介電層 596 上。閘極電極 598 會延伸在每一 n+ S/D 延伸區 580E 或 582E 中一部分上方，但沒有延伸在 n++主要 S/D 部 580M 或 582M 中任一者的任何部分上方。介電側壁間隔部 600 與 602 分別位於閘極電極 598 的相反橫斷側壁中。金屬矽化物層 604、606 及 608 分別位於閘極電極 598 及主要 S/D 部 580M 與 582M 的頂端。

高電壓 p 通道 IGFET 118 的組態基本上和 n 通道 IGFET 116 相同，而導體類型相反。再次參考圖 5.5，p 通道 IGFET 118 具有一對大部分相同的 p 型 S/D 區帶 610 與 612，它們沿著該上方半導體表面位於主動式半導體島 158 中。S/D 區帶 610 與 612 會被由 n 型滿主要井區 198(其構成 IGFET 118 的主體材料)所組成的通道區帶 614 分開。n 型主體材料滿井 198 會：(a)與 p 型 S/D 區帶 610 構成一第一 pn 接面 616，及(b)與 p 型 S/D 區帶 612 構成一第二 pn 接面 618。

每一個 p 型 S/D 區帶 610 或 612 皆係由下述組成：一超重度摻雜的主要部 610M 或 612M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 610E 或 612E。通道區帶 614 會沿著該上方半導體表面終止於 S/D 延伸區 610E 與 612E。大部分相同的 p+ S/D 延伸區 610E 與 612E 會延伸到比大部分相同的 p++主要 S/D 部 610M 與 612M 更深的地方。

如下述，S/D 延伸區 610E 與 612E 通常在和非對稱 p

通道 IGFET 102 的汲極延伸區 282E 相同的時間，且所以通常同樣在和對稱低電壓低 V_T p 通道 IGFET 114 的 S/D 延伸區 550E 與 552E 相同的時間，藉由離子植入 p 型深 S/D 延伸區摻雜物來定義。因為定義對稱低電壓低漏電 p 通道 IGFET 110 之 S/D 延伸區 480E 與 482E 的 p 型淺 S/D 延伸區植入被實施的地方會淺於 p 型深 S/D 延伸區植入，因此對稱高電壓 IGFET 118 之 S/D 延伸區 610E 與 612E 會延伸到比對稱低電壓 IGFET 110 之 S/D 延伸區 480E 與 482E 更深的地方。

因為 p 通道 IGFET 118 的主體材料由滿主要井構成而非如出現在 n 通道 IGFET 116 中由結合半導體主體的滿主要井與下方材料構成，所以 p 通道 IGFET 118 的組態與 n 通道 IGFET 116 相同不過導體類型相反。據此，p 通道 IGFET 118 含有中度摻雜 n 型主要主體材料部 620；中度摻雜 n 型中間主體材料部 622；中度摻雜 n 型上方主體材料部 624；閘極介電層 626；t_{GdH} 高厚度數值的閘極電極 628；介電側壁間隔部 630 與 632；及金屬矽化物層 634、636 及 638，分別和 n 通道 IGFET 116 的區域 590、592、594、596、598、600、602、604、606 及 608 具有相同組態。n 主要主體材料部 620 疊置在 p-基板區 136 上且予以構成 pn 接面 234。

當圖繪通道長度 L_{DR} 落在 0.4μm 附近而閘極介電質厚度為 6 至 6.5nm 時，對稱高電壓標稱 V_T n 通道 IGFET 116 的臨界電壓 V_T 通常為 0.4V 至 0.65V，一般為 0.5V 至 0.55V。當圖繪通道長度 L_{DR} 落在 0.3μm 附近而閘極介電質厚度為

6至6.5nm時，對稱高電壓標稱 V_T p通道IGFET 118的臨界電壓 V_T 通常為-0.5V至-0.75V，一般為-0.6V至-0.65V。對稱IGFET 116與118特別適用於在高電壓數位應用，舉例來說，3.0V的操作範圍。

J.標稱臨界電壓大小的對稱低電壓IGFET

現在將僅參考圖5.6來說明標稱 V_T 大小的對稱低電壓滿井互補式IGFET 120與122。IGFET 120與122的組態分別和高 V_T 的低電壓低漏電對稱IGFET 108與110雷同；不同是IGFET 120與122沒有和p臨界調整主體材料部458及n臨界調整主體材料部498類同的表面鄰接臨界調整主體材料部，它們會在IGFET 108與110中導致關閉狀態漏電流下降且提高臨界電壓大小。n通道IGFET 120的組態大體上與上提美國專利案第6,548,842號中所述n通道IGFET 20實質上相同。p通道IGFET 122的組態大體上與美國專利案第6,548,842號中所述p通道IGFET實質上相同。

記住前面論述，n通道IGFET 120具有一對大部分相同的n型S/D區帶640與642，它們沿著該上方半導體表面位於主動式半導體島160中。S/D區帶640與642會被一由p型滿主要井區200(其會結合p-基板區136構成IGFET 120的主體材料)所組成的通道區帶644分開。p型主體材料滿井200會：(a)與n型S/D區帶640構成一第一pn接面646，及(b)與n型S/D區帶642構成一第二pn接面648。

每一個n型S/D區帶640或642皆係由下述組成：一

超重度摻雜的主要部 640M 或 642M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 640E 或 642E。大部分相同的 n++主要 S/D 部 640M 與 642M 會延伸到比大部分相同的 n+ S/D 延伸區 640E 與 642E 更深的地方。通道區帶 644 會沿著該上方半導體表面終止於 S/D 延伸區 640E 與 642E。

S/D 延伸區 640E 與 642E 通常在和對稱低電壓低漏電 n 通道 IGFET 108 的 S/D 延伸區 440E 與 442E 相同的時間，藉由離子植入 n 型淺 S/D 延伸區摻雜物來定義。如下述，n 型淺 S/D 延伸區植入被實施的地方會淺於用來定義對稱低電壓低 V_T n 通道 IGFET 112 之 S/D 延伸區 520E 與 522E 以及對稱高電壓標稱 V_T n 通道 IGFET 116 之 S/D 延伸區 580E 與 582E 兩者的 n 型深 S/D 延伸區植入。因此，對稱空井 IGFET 112 之 S/D 延伸區 520E 與 522E 以及對稱滿井 IGFET 116 之 S/D 延伸區 580E 與 582E 會延伸到比對稱滿井 IGFET 120 之 S/D 延伸區 640E 與 642E 更深的地方。

p 型主體材料滿主要井 200 中的一對大部分相同的中度摻雜之橫向分隔的環袋部 650 與 652 會分別沿著 S/D 區帶 640 與 642 向上延伸至該上方半導體表面並且終止於 S/D 區帶 640 與 642 之間的個別位置處。在圖 5.6 所示的情形中，S/D 區帶 640 與 642 延伸至比環袋 650 與 652 更深的地方。或者，環袋 650 與 652 亦能夠延伸至比 S/D 區帶 640 與 642 更深的地方。因此，環袋 650 與 652 會分別橫向延伸在 S/D 區帶 640 與 642 下方。如同 IGFET 108 的環袋部 450 與 452，環袋 650 與 652 係利用 p 型 S/D 環摻雜物來定義，其會在

該上方半導體表面下方達到極大濃度。

在環袋部 650 與 652 外面的 p 型主體材料滿主要井 200 的材料係由下述組成：一中度摻雜的主要主體材料部 654 及一中度摻雜的另一主體材料部 656。p 主體材料部 654 與 656 的組態分別與 IGFET 108 的 p 主體材料部 454 與 456 相同，不過該 p 另一主體材料部 656 會延伸至介於環袋 650 與 652 之間的上方半導體表面。p 主體材料部 454 與 456 分別係利用 p 型滿主要井摻雜物以及 p 型 APT 摻雜物來定義。據此，主體材料部 654 與 656 在本文中分別經常會被稱為 p 滿井主要主體材料部 654 及 p APT 主體材料部 656。

通道區帶 644(圖 5.6 未明確界定)係由 S/D 區帶 640 與 642 之間的所有 p 型單晶矽所組成。更明確地說，通道區帶 644 係由 APT 主體材料部 656 的表面鄰接下方區段以及下面所構成：(a)倘若 S/D 區帶 640 與 642 如圖 5.6 的範例中所示般地延伸至比環袋 650 與 652 更深處，則為所有 p 環袋部 650 與 652，或(b)倘若環袋 650 與 652 的表面鄰接區段延伸至比 S/D 區帶 640 與 642 更深處，則為環袋 650 與 552 的表面鄰接區段。環袋 650 與 652 的重度摻雜 p 型的程度會大於井 200 的直接相鄰材料。

IGFET 120 還進一步包含一 t_{GdL} 低厚度的閘極介電層 660，一閘極電極 662，介電側壁間隔部 664 與 666，及金屬矽化物層 668、670 及 672，它們分別和 IGFET 108 的區域 460、462、464、466、468、470 及 472 具有相同的組態。

標稱 V_T 的低電壓 p 通道 IGFET 122 的組態基本上與 n

通道 IGFET 120 相同，不過導體類型相反。再次參考圖 5.6，p 通道 IGFET 122 具有一對大部分相同的 p 型 S/D 區帶 680 與 682，其沿著該上方半導體表面位於主動式半導體島 162 中。S/D 區帶 680 與 682 會被由 n 型滿主要井區 202(其構成 IGFET 122 的主體材料)所組成的通道區帶 684 分開。n 型主體材料滿井 202 會：(a)與 p 型 S/D 區帶 680 構成一第一 pn 接面 686，及(b)與 p 型 S/D 區帶 682 構成一第二 pn 接面 688。

因為 p 通道 IGFET 122 的主體材料係由滿主要井構成而非如出現在 n 通道 IGFET 120 中係由結合半導體主體的滿主要井與下方材料所構成，所以 p 通道 IGFET 122 的組態與 n 通道 IGFET 120 相同，不過導體類型相反。所以，p 通道 IGFET 122 含有：大部分相同的中度摻雜 n 型環袋部 690 與 692；一中度摻雜 n 型主要主體材料部 694；一中度摻雜 n 型另一主體材料部 696；一 t_{GdL} 低厚度數值的閘極介電層 700；一閘極電極 702；介電側壁間隔部 704 與 706；以及金屬矽化物層 708、710、及 712，它們分別和 n 通道 IGFET 120 的區域 650、6562、654、656、660、662、664、666、668、670、及 672 具有相同的組態。

n 主要主體材料部 694 疊置在 p-基板區 136 上且予以構成 pn 接面 236。另外，每一個 p 型 S/D 區帶 680 或 682 皆由下述組成：一超重度摻雜的主要部 680M 或 682M；及一較輕度摻雜但仍為重度摻雜的橫向延伸區 680E 或 682E。和 n 通道 IGFET 120 的 p 型滿主要井 200 之摻雜有關的所有論述皆可套用至 p 通道 IGFET 122 的 n 型滿主要井 202，不過

導體類型相反且 n 通道 IGFET 120 的區域 200、640、640M、640E、642、642M、642E、644、650、652、654 及 656 分別被 p 通道 IGFET 122 的區域 202、680、680M、680E、682、682M、682E、684、690、692、694 及 696 取代。

對稱低電壓標稱 V_T n 通道 IGFET 120 的臨界電壓 V_T 通常為 0.25V 至 0.45V，一般為 0.35V。對稱低電壓標稱 V_T p 通道 IGFET 122 的臨界電壓 V_T 通常為 -0.2V 至 -0.4V，一般為 -0.3V。該些 V_T 範圍與典型數值適用於 IGFET 120 與 122 的短通道施行方式中而圖繪通道長度 L_{DR} 為 0.13 μm 且閘極介電質厚度為 2nm。對稱 IGFET 120 與 122 特別適用於低電壓數位應用，舉例來說，1.2V 的操作範圍。

K.對稱高電壓低臨界電壓 IGFET

現在將僅參考圖 5.7 來說明對稱高電壓低 V_T 空井互補式 IGFET 124 與 126。如下面的進一步解釋，IGFET 124 與 126 的組態分別與低電壓低 V_T IGFET 112 與 114 實質上相同；不同是 IGFET 124 與 126 有較長的通道長度及較大的閘極介電質厚度，因而適用於高電壓操作。

n 通道 IGFET 124 具有一對大部分相同的 n 型 S/D 區帶 720 與 722，它們沿著該上方半導體表面位於主動式半導體島 164 中。S/D 區帶 720 與 722 會被一由 p 型空主要井區 204(其結合 p-基板區 136 構成 IGFET 124 的主體材料)所組成的通道區帶 724 分開。p 型主體材料空井 204 會：(a)與 n 型 S/D 區帶 720 構成一第一 pn 接面 726，及(b)與 n 型 S/D

區帶 722 構成一第二 pn 接面 728。

每一個 n 型 S/D 區帶 720 或 722 皆係由下述組成：一超重度摻雜的主要部 720M 或 722M；及一較輕度摻雜但仍為重度摻雜的橫向延伸區 720E 或 722E。大部分相同的 n+ S/D 延伸區 720E 與 722E 會延伸到比大部分相同的 n++主要 S/D 部 720M 與 722M 更深的地方。通道區帶 724 會沿著該上方半導體表面終止於 S/D 延伸區 720E 與 722E。

S/D 延伸區 720E 與 722E 通常在和非對稱 n 通道 IGFET 100 的汲極延伸區 242E 相同的時間，且所以通常同樣係在和對稱低電壓低 V_T n 通道 IGFET 112 的 S/D 延伸區 520E 與 522E 及對稱高電壓標稱 V_T n 通道 IGFET 116 的 S/D 延伸區 580E 與 582E 相同的時間，藉由離子植入 n 型深 S/D 延伸區摻雜物來定義。如下述，用來定義對稱低電壓低漏電 n 通道 IGFET 108 之 S/D 延伸區 440E 與 442E 及通常同樣用來定義對稱低電壓標稱 V_T n 通道 IGFET 120 之 S/D 延伸區 640E 與 642E 的 n 型淺 S/D 延伸區植入被實施的地方會淺於 n 型深 S/D 延伸區植入。因此，對稱空井 IGFET 124 之 S/D 延伸區 720E 與 722E 會延伸到比對稱滿井 IGFET 108 之 S/D 延伸區 440E 與 442E 及對稱滿井 IGFET 120 之 S/D 延伸區 640E 與 642E 兩者更深的地方。

p 型主體材料空主要井 204 中的 p 型摻雜物係由 p 型空主要井摻雜物以及 p-基板區 136 中實質恆定的 p 型背景摻雜物所組成。因為空井 204 中的 p 型空主要井摻雜物會在平均深度 y_{PWPK} 處達到一深子表面濃度極大值，所以井 204

中的 p 型空主要井摻雜物的存在會讓井 204 中的全部 p 型摻雜物的濃度實質上在井 204 中的深子表面濃度極大值的位置處達到深局部子表面濃度極大值。在從空井 204 中該深 p 型空井濃度極大值的位置處沿著一虛擬垂直線經由通道區帶 724 朝該上方半導體表面移動時，井 204 中的 p 型摻雜物的濃度會從符號「p」所示中度摻雜逐漸降至符號「p-」所示輕度摻雜。圖 5.7 中的點線 730 粗略表示在下方位置的空井 204 中 p 型摻雜物濃度係中度 p 摻雜，而在上方位置的井 204 中 p 型摻雜物濃度則係在輕度 p-摻雜。

如同 IGFET 112，IGFET 124 並沒有環袋部。通道區帶 724(圖 5.7 未明確界定)係由 S/D 區帶 720 與 722 間的所有 p 型單晶矽組成，因而僅係由井 204 之 p-上方部的表面鄰接區段所構成。IGFET 124 更包含：t_{GdH} 高厚度數值的閘極介電層 736，閘極電極 738，介電側壁間隔部 740 與 742，及金屬矽化物層 744、746 及 748，其組態分別與 n 通道 IGFET 112 的區域 536、538、540、542、544、546、及 548 相同。

高電壓低 V_T p 通道 IGFET 126 的組態基本上和 n 通道 IGFET 124 相同而導體類型相反。再次參考圖 5.7，p 通道 IGFET 126 具有一對大部分相同的 p 型 S/D 區帶 750 與 752，其沿著該上方半導體表面位於主動式半導體島 166 中。S/D 區帶 750 與 752 會被由 n 型空主要井區 206(其構成 IGFET 126 的主體材料)所組成的通道區帶 754 分開。n 型主體材料空井 206 會：(a)與 p 型 S/D 區帶 750 構成一第一 pn 接面 756，及(b)與 p 型 S/D 區帶 752 構成一第二 pn 接面 758。

每一個 n 型 S/D 區帶 750 或 752 皆係由下述組成：一超重度摻雜的主要部 750M 或 752M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 750E 或 752E。大部分相同的 n+ S/D 延伸區 750E 與 752E 會延伸到比大部分相同的 n++ 主要 S/D 部 750M 與 752M 更深的地方。通道區帶 754 會沿著該上方半導體表面終止於 S/D 延伸區 750E 與 752E。

S/D 延伸區 750E 與 752E 通常在和非對稱 p 通道 IGFET 102 的汲極延伸區 282E 相同的時間，且所以通常同樣在和對稱低電壓低 V_T p 通道 IGFET 114 的 S/D 延伸區 550E 與 552E 以及對稱高電壓標稱 V_T p 通道 IGFET 118 的 S/D 延伸區 610E 與 612E 相同的時間，藉由離子植入 p 型深 S/D 延伸區摻雜物來定義。如下面所述，用來定義對稱低電壓低漏電 p 通道 IGFET 110 之 S/D 延伸區 480E 與 482E 以及通常同樣用來定義對稱低電壓標稱 V_T p 通道 IGFET 122 之 S/D 延伸區 680E 與 682E 的 p 型淺 S/D 延伸區植入被實施的地方會淺於 p 型深 S/D 延伸區植入。據此，對稱空井 IGFET 126 之 S/D 延伸區 750E 與 752E 會延伸到比對稱滿井 IGFET 110 之 S/D 延伸區 480E 與 482E 及對稱滿井 IGFET 122 之 S/D 延伸區 680E 與 682E 兩者更深的地方。

n 型主體材料空主要井 206 中的 n 型摻雜物僅由 n 型空主要井摻雜物所組成。據此，空井 206 中的 n 型摻雜物會在平均深度 y_{NWPK} 處達到一深子表面濃度極大值。在從空井 206 中該 n 型空井濃度極大值的位置處沿著一虛擬垂直線經由通道區帶 754 朝該上方半導體表面移動時，井 206 中的 n

型摻雜物的濃度會從符號「n」所示中度摻雜逐漸降至符號「n-」所示輕度摻雜。圖 5.7 中的點線 760 粗略表示在下方位置的空井 206 中 n 型摻雜物濃度係中度 n 摻雜，而在上方位置的井 206 中 n 型摻雜物濃度則係輕度 n-摻雜。

在前述前提下，p 通道 IGFET 126 的組態和 n 通道 IGFET 124 相同而導體類型相反。所以，p 通道 IGFET 126 更包含一 t_{GdH} 高厚度數值的閘極介電層 766，閘極電極 768，介電側壁間隔部 770 與 772，及金屬矽化物層 774、776 及 778，其組態分別與 n 通道 IGFET 124 的區域 736、738、740、742、744、746 及 748 相同。如同 n 通道 IGFET 124，p 通道 IGFET 126 沒有環袋部。通道區帶 754(圖 5.7 未明確界定)係由 S/D 區帶 750 與 752 之間的所有 n 型單晶矽組成，僅由井 206 之 n-上方部的表面鄰接區段所構成。

當圖繪通道長度 L_{DR} 落在 0.5μm 附近而閘極介電質厚度為 6 至 6.5nm 時，對稱高電壓低 V_T n 通道 IGFET 124 的臨界電壓 V_T 通常為 -0.1V 至 0.05V，一般為 -0.025V。同樣地，當圖繪通道長度 L_{DR} 落在 0.5μm 附近而閘極介電質厚度為 6 至 6.5nm 時，對稱高電壓低 V_T p 通道 IGFET 126 的臨界電壓 V_T 通常為 0.05V 至 0.25V，一般為 0.15V。對稱 IGFET 124 與 126 特別適用於臨界電壓 V_T 必須低於高電壓 IGFET 116 與 118 並且能夠適應於長通道長度 L 的高電壓類比應用與數位應用，舉例來說，1.2V 的操作範圍。

L.對稱原生(native)低電壓 n 通道 IGFET

現在將僅參考圖 5.8 來說明對稱原生低電壓 IGFET 128 與 130，兩者皆為 n 通道。標稱 V_T 大小的 IGFET 128 具有一對大部分相同的 n 型 S/D 區帶 780 與 782，它們沿著該上方半導體表面位於主動式半導體島 168 中。S/D 區帶 780 與 782 會被一由 p 型主體材料(主要由 p-基板區 136 構成)所組成的通道區帶 784 分開。IGFET 128 的 p 型主體材料會：(a)與 n 型 S/D 區帶 780 構成一第一 pn 接面 786，及(b)與 n 型 S/D 區帶 782 構成一第二 pn 接面 788。

每一個 n 型 S/D 區帶 780 或 782 皆係由下述組成：一超重度摻雜的主要部 780M 或 782M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 780E 或 782E。大部分相同的 n++主要 S/D 部 780M 與 782M 會延伸到比大部分相同的 n+ S/D 延伸區 780E 與 782E 更深的地方。通道區帶 784 會沿著該上方半導體表面終止於 S/D 延伸區 780E 與 782E。

除 p-基板區 136 外，IGFET 128 的主體材料還包含一對大部分相同的中度摻雜之橫向分隔的環袋部 790 與 792，它們會分別沿著 S/D 區帶 780 與 782 向上延伸至該上方半導體表面且終止於 S/D 區帶 780 與 782 之間的個別位置處。在圖 5.8 所示情形中，S/D 區帶 780 與 782 延伸至比環袋 790 與 792 更深的地方。另或者，環袋 790 與 792 亦能夠延伸至比 S/D 區帶 780 與 782 更深的地方。因此，環袋 790 與 792 會分別橫向延伸在 S/D 區帶 780 與 782 的下方。

通道區帶 784(圖 5.8 未明確界定)係由 S/D 區帶 780 與 782 間的所有 p 型單晶矽所組成。明確說，通道區帶 784 係

由 p-基板區 136 的表面鄰接區段及下面所構成：(a)倘若 S/D 區帶 780 與 782 如圖 5.8 範例所示延伸至比環袋 790 與 792 更深處，則為所有 p 環袋部 790 與 792，或(b)倘若環袋 790 與 792 的表面鄰接區段延伸至比 S/D 區帶 780 與 782 更深處，則為環袋 790 與 792 的表面鄰接區段。因為 p-基板區 136 為輕度摻雜，所以環袋 790 與 792 的重度摻雜 p 型的程度會大於 IGFET 128 之主體材料的直接相鄰材料。

t_{GdL}低厚度數值的閘極介電層 796 係位於上方半導體表面上且延伸在通道區帶 784 上方。閘極電極 798 係位於通道區帶 784 上方的閘極介電層 796 上。閘極電極 798 會延伸在每一個 n+ S/D 延伸區 780E 或 782E 中一部分上方，但沒有延伸在 n++主要 S/D 部 780M 或 782M 中任一者的任何部分上方。介電側壁間隔部 800 與 802 分別位於閘極電極 798 的相反橫斷側壁中。金屬矽化物層 804、806 及 808 分別位於閘極電極 798 及主要 S/D 部 780M 與 782M 的頂端。

繼續參考圖 5.8，低 V_T 大小的對稱原生低電壓 n 通道 IGFET 130 具有一對大部分相同的 n 型 S/D 區帶 810 與 812，它們沿著該上方半導體表面位於主動式半導體島 170 中。S/D 區帶 810 與 812 會被由 p-基板區 136(其構成 IGFET 130 的 p 型主體材料)所組成的通道區帶 814 分開。p-主體材料基板區 136 會：(a)與 n 型 S/D 區帶 810 構成一第一 pn 接面 816，及(b)與 n 型 S/D 區帶 812 構成一第二 pn 接面 818。

每一個 n 型 S/D 區帶 810 或 812 皆係由下述組成：一超重度摻雜的主要部 810M 或 812M；以及一較輕度摻雜但

是仍為重度摻雜的橫向延伸區 810E 或 812E。大部分相同的 n+ S/D 延伸區 810E 與 812E 會延伸到比大部分相同的 n++ 主要 S/D 部 810M 與 812M 更深的地方。通道區帶 814 會沿著該上方半導體表面終止於 S/D 延伸區 810E 與 812E。

IGFET 130 並沒有位於該 IGFET 之 p 型主體材料中、分別沿著 S/D 區帶 810 與 812 延伸、且重度摻雜 p 型的程度大過該 IGFET 之 p 型主體材料之相鄰材料的環袋部。通道區帶 814(圖 5.8 未明確界定)係由 S/D 區帶 810 與 812 之間的所有 p 型單晶矽所組成，因而僅係由 p-基板區 136 的表面鄰接區段所構成。

t_{GdL}低厚度數值的閘極介電層 826 係位於上方半導體表面之上並且延伸在通道區帶 814 上方。閘極電極 828 係位於通道區帶 814 上方的閘極介電層 826 上。閘極電極 828 會延伸在每一 n+ S/D 延伸區 810E 或 812E 中一部分上方，但沒有延伸在 n++主要 S/D 部 810M 或 812M 中任一者的任何部分上方。介電側壁間隔部 830 與 832 分別位於閘極電極 828 的相反橫斷側壁中。金屬矽化物層 834、836 及 838 分別位於閘極電極 828 及主要 S/D 部 810M 與 812M 的頂端。

當圖繪通道長度 L_{DR} 為 0.3μm 而閘極介電質厚度為 2nm 時，對稱原生低電壓標稱 V_T n 通道 IGFET 128 的臨界電壓 V_T 通常 0.2V 至 0.45V，一般 0.3V 至 0.35V。當圖繪通道長度 L_{DR} 為 1μm 而閘極介電質厚度為 2nm 時，對稱原生低電壓低 V_T n 通道 IGFET 130 的臨界電壓 V_T 通常 -0.15V 至 0.1V，一般 -0.03V。對稱原生 IGFET 128 與 130 特別適

用於例如 1.2V 之操作範圍的低電壓類比應用與數位應用。

M.對稱原生高電壓 n 通道 IGFET

現在將僅參考圖 5.9 說明對稱原生高電壓 IGFET 132 與 134，兩者皆為 n 通道。標稱 V_T 大小的 IGFET 132 具有一對大部分相同的 n 型 S/D 區帶 840 與 842，它們沿著該上方半導體表面位於主動式半導體島 172 中。S/D 區帶 840 與 842 會被由 p 型主體材料(主要由 p-基板區 136 構成)所組成的通道區帶 844 分開。IGFET 132 的 p 型主體材料會：(a)與 n 型 S/D 區帶 840 構成第一 pn 接面 846，及(b)與 n 型 S/D 區帶 842 構成第二 pn 接面 848。每一 n 型 S/D 區帶 840 或 842 皆由下述組成：超重度摻雜的主要部 840M 或 842M；及較輕度摻雜但仍為重度摻雜的橫向延伸區 840E 或 842E。

IGFET 132 還進一步包含一對大部分相同的中度摻雜之橫向分隔的環袋部 850 與 852，一 t_{GdH} 高厚度數值的閘極介電層 856，閘極電極 858，介電側壁間隔部 860 與 862，及金屬矽化物層 864、866 及 868。比較圖 5.8 與 5.9 能看出原生 n 通道 IGFET 132 與 128 間僅有的結構性差異：IGFET 132 的閘極介電質厚度大於 IGFET 128，因此 IGFET 132 能操作跨越的電壓範圍大於 IGFET 128。據此，IGFET 132 的區域 840、842、844、850、852、856、858、860、862、864、866 及 868 的組態分別與 IGFET 128 的區域 780、782、784、790、792、796、798、800、802、804、806 及 808 相同。

繼續參考圖 5.9，低 V_T 的對稱原生高電壓 n 通道 IGFET

134 具有一對大部分相同的 n 型 S/D 區帶 870 與 872，它們沿著該上方半導體表面位於主動式半導體島 174 之中。S/D 區帶 870 與 872 會被一由 p-基板區 136(其會構成 IGFET 134 的 p 型主體材料)所組成的通道區帶 874 分開。p-主體材料基板區 136 會：(a)與 n 型 S/D 區帶 870 構成一第一 pn 接面 876，以及(b)與 n 型 S/D 區帶 872 構成一第二 pn 接面 878。每一個 n 型 S/D 區帶 870 或 872 皆係由下述組成：一超重度摻雜的主要部 870M 或 872M；及一較輕度摻雜但是仍為重度摻雜的橫向延伸區 870E 或 872E。

IGFET 134 還進一步包含一 t_{GdH} 高厚度數值的閘極介電層 886，一閘極電極 888，介電側壁間隔部 890 與 892，以及金屬矽化物層 894、896 及 898。比較圖 5.8 與 5.9 會顯示出原生 n 通道 IGFET 134 與 130 之間僅有的結構性差異為，IGFET 134 的閘極介電質厚度大於 IGFET 130，因此 IGFET 134 能夠操作跨越的電壓範圍大於 IGFET 130。所以，IGFET 134 的區域 870、872、874、886、888、890、892、894、896 及 898 的組態分別與 IGFET 130 的區域 810、812、814、826、828、830、832、834、836 及 838 相同。

當圖繪通道長度 L_{DR} 落在 0.3μm 附近而閘極介電質厚度為 6 至 6.5nm 時，對稱原生高電壓標稱 V_T n 通道 IGFET 132 的臨界電壓 V_T 通常為 0.5V 至 0.7V，一般為 0.6V。當圖繪通道長度 L_{DR} 落在 1.0μm 附近而閘極介電質厚度為 6 至 6.5nm 時，對稱原生高電壓低 V_T n 通道 IGFET 134 的臨界電壓 V_T 通常為 -0.3V 至 -0.05V，一般為 -0.2V 至 0.15V。

對稱原生 IGFET 132 與 134 特別適用於在高電壓類比應用與數位應用，舉例來說，3.0V 的操作範圍。

N.對稱 IGFET 中的摻雜物分佈

該等圖中所示對稱 IGFET 全部具有對稱縱向緩變摻雜物分佈。分別運用 p 型空主要井區 192 與 204 的對稱 n 通道 IGFET 112 與 124 的垂直 S/D 摻雜物分佈雷同於穿過非對稱 n 通道 IGFET 100 之汲極 242 的垂直摻雜物分佈。分別運用 n 型空主要井區 194 與 206 的對稱 p 通道 IGFET 114 與 126 的垂直 S/D 摻雜物分佈雷同於穿過非對稱 p 通道 IGFET 102 之汲極 282 的垂直摻雜物分佈。

在運用 p 型滿主要井區 188、196、或 200 的每一個對稱 n 通道 IGFET 108、116、或 120 的垂直摻雜物分佈中，該全部 p 型摻雜物的濃度在從極大井濃度深度 y_{PWPK} 處沿著一虛擬垂直線經由該 IGFET 之 S/D 區帶中每一者向上移到該上方半導體表面時會遞增 10 倍或遞減成大於 10%。相較於 IGFET 之 S/D 區帶中每一者的極大深度 y_{SD}，IGFET 108、116、或 120 的 p 型主要井 188、196、或 200 的深度 y_{PWPK} 會出現在該上方半導體表面下方不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳係不到 4 倍深的地方。

同樣在運用 n 型滿主要井區 190、198、或 202 的每一對稱 p 通道 IGFET 110、118、或 122 的垂直摻雜物分佈中，該全部 n 型摻雜物的濃度在從極大井濃度深度 y_{NWPK} 處沿著一虛擬垂直線經由該 IGFET 之 S/D 區帶中每一者向上移到

該上方半導體表面時會遞增 10 倍或遞減成大於 10%。相較於 IGFET 之 S/D 區帶中每一者的極大深度 y_{SD}，IGFET 110、118、或 122 的 n 型主要井 190、198、或 202 的深度 y_{NWPK} 會出現在該上方半導體表面下方不到 10 倍深的地方，較佳係不到 5 倍深的地方，更佳係不到 4 倍深的地方。

在上提台灣專利申請案第 99108661 號，法律檔案編號第 NS-7005TW 號中提出和圖中所示對稱 IGFET，包含圖中所示原生 IGFET 在內的摻雜物分佈有關的進一步資訊。

O.大體上可應用於全部現有 BJT 與 IGFET 的資訊

假設 BJT 101、101W、101Y、103、103V、103W、及 103Y 統稱為圖中所示之 BJT，該等圖中所示之 BJT 的橫向間隔部分 269-1、269-2、349-1、及 349-2 亦可以經摻雜的非單晶矽以外的材料來構成。舉例來說，橫向間隔部分 269-1、269-2、349-1、及 349-2 可以實質上本質的非單晶矽來構成，例如實質上本質的多晶矽、實質上本質的非晶矽、或是實質上本質的多重結晶矽。橫向間隔部分 269-1、269-2、349-1、及 349-2 亦可以利用耐火金屬來構成。

圖中所示 n 通道 IGFET 的閘極電極較佳係全部由圖 5 範例中超重度 n 型摻雜的多晶矽所組成。另或者，圖中所示 n 通道 IGFET 的閘極電極亦能由其它導電材料構成，例如耐火金屬、金屬矽化物、或充分 p 型摻雜而能導電的多晶矽。在圖 5 範例中，圖中所示 p 通道 IGFET 的閘極電極較佳係全部由超重度 p 型摻雜的多晶矽所組成。另或者，

圖中所示 p 通道 IGFET 的閘極電極亦能夠由其它導電材料構成，例如耐火金屬、金屬矽化物、或充分 n 型摻雜而能導電的多晶矽。每一個此等耐火金屬或金屬矽化物皆經過選擇，以便有適當的功函數以達合宜數值的臨界電壓 V_T。

每一閘極電極 262、302、346、386、462、502、538、568、598、628、662、702、738、768、798、828、858、或 888 及上覆金屬矽化物層 268、308、352、392、468、508、544、574、604、634、668、708、744、774、804、834、864、或 894 的結合皆可被視為合成閘極電極。該等金屬矽化物層(包含圖中所示 BJT 的金屬矽化物層 251、253-1、253-2、255、279-1、279-2、331、333-1、333-2、335、351-1 及 351-2)通常係由鈷的矽化物組成。另或者，亦能利用鎳的矽化物或鉑的矽化物作為該等金屬矽化物層。

為方便起見，圖中所示 BJT 的隔離介電間隔部 271-1、271-2、273-1、273-2、351-1、351-2、353-1 及 353-2 和圖 5 所示 IGFET 的閘極側壁間隔部 264、266、304、306、348、350、388、390、464、466、504、506、540、542、570、572、600、602、630、632、664、666、704、706、740、742、770、772、800、802、830、832、860、862、890 及 892 中每一者的剖面形狀從該電晶體的寬度方向看去大體上像是一有弧線斜邊的直角三角形。此間隔部形狀在本文中稱為弧狀三角形。該等隔離介電間隔部與閘極側壁間隔部可有其它形狀，例如「L」形狀。可在電晶體製造期間明顯修正該等隔離介電間隔部與閘極側壁間隔部的形狀。

為改善 IGFET 特徵，較佳係如上提台灣專利申請案第 99108622 號，法律檔案編號第 NS-7192TW 號中所述方式來處理該等閘極側壁間隔部。因為該等圖中所示 BJT 的隔離介電間隔部係利用和該等閘極介電間隔部相同的步驟構成，所以該等隔離介電間隔部同樣依此方式被處理。明確說，該等隔離介電間隔部與閘極側壁間隔部會先被創造成具有弧狀三角形形狀。在構成該等金屬矽化物層之前，該等隔離介電間隔部與閘極側壁間隔部被修正為 L 形狀，以幫助構成該等金屬矽化物層。接著，該等隔離介電間隔部與閘極側壁間隔部便會有圖 5 之半導體結構中的 L 形狀。

一空乏區(未圖示)在 IGFET 操作期間沿著每一圖中所示 IGFET 的通道區帶的上方表面延伸。每一圖中所示高電壓 IGFET 的表面空乏區的極大厚度通常小於 0.05μm，一般落在 0.03μm 附近。每一延伸型汲極 IGFET 104 或 106 的表面空乏區的極大厚度通常小於 0.06μm，一般落在 0.04μm 附近。每一個圖中所示低電壓 IGFET 的表面空乏區的極大厚度通常小於 0.04μm，一般落在 0.02μm 附近。

P.互補式 BJT/互補式 IGFET 半導體結構的製造

P1.通用製造資訊

圖 18a 至 18c、18d.0 至 18w.0、18d.1 至 18w.1、18d.2 至 18w.2、及 18d.3 至 18w.3(統稱圖 18)係例示根據本發明用於製造含有互補式 BJT 101 與 103 及所有圖中所示 IGFET(也就是，互補式非對稱高電壓 IGFET 100 與 102，互

補式延伸型汲極 IGFET 104 與 106，對稱非原生 n 通道 IGFET 108、112、116、120、及 124，分別對應的對稱非原生 p 通道 IGFET 110、114、118、122、及 126，和對稱原生 n 通道 IGFET 128、130、132、及 134)的 CBJT/CIGFET 半導體結構的半導體製程。為幫助圖繪解釋本發明的製程，圖 18 中描繪圖中所示 IGFET 的長通道版本的製造步驟。

圖 18a 至 18c 中大體上係例示 BJT 101 與 103 及圖中所示 IGFET 的製造一直到深 n 井(其包含深 n 井 207、210、及 212)之構成中所涉及的步驟。圖 18d.0 至 18w.0 係例示具體產生如圖 5.1 中所示 BJT 101 與 103 的後期步驟。圖 18d.1 至 18w.1 係例示具體產生如圖 5.1 所示非對會被稱為高電壓 IGFET 100 與 102 的後期步驟。圖 18d.2 至 18w.2 係例示具體產生如圖 5.2 所示延伸型汲極 IGFET 104 與 106 的後期步驟。圖 18d.3 至 18w.3 係例示具體產生如圖 5.3 中所示之對稱低電壓低漏電 IGFET 108 與 110 的後期步驟。

圖 18 雖未指示具體產生如圖 5.4 至 5.9 中所示任何對稱非原生 IGFET 112、114、116、118、120、122、124 及 126 或任何對稱原生 n 通道 IGFET 128、130、132 及 134 的後期步驟，在下文中亦沒提出用於製造任何對稱 IGFET 112、114、116、118、120、122、124、126、128、130、132 及 134 的後期步驟的說明，不過圖 18 的製程卻可被用以製造 IGFET 112、114、116、118、120、122、124、126、128、130、132 及 134 中每一者。具體產生 IGFET 112、114、116、118、120、122、124、126、128、130、132 及 134 的

後期步驟的說明皆已在上面提及的台灣專利申請案第99108661號，法律檔案編號第NS-7005TW號中被提出。就此方面來說，IGFET 112、114、116、118、120、122、124、126、128、130、132、134沒有任一者會在用於離子植入BJT 101與103的p型基極摻雜物與n型基極摻雜物的步驟期間接收任何大量的半導體摻雜物。

更明確說，圖18的半導體製程係一種半導體製造平台，除BJT 101與103及圖中所示IGFET外還提供用於製造許多類型半導體裝置的功能。舉例來說，可以根據圖18的半導體製造平台來製造npn BJT 101W、pnp BJT 103V、及pnp BJT 103W中任何一者。

可以根據用於製造圖中所示之對稱長通道IGFET的製造步驟來同步製造每一個圖中所示之對稱長通道IGFET的短通道版本。IGFET 108、110、112、114、116、及118的短通道版本的通道長度短過長通道IGFET 108、110、112、114、116、及118，但通常會有相同的中型IGFET外觀。同步製造BJT 101與103；BJT 101W、103V、及103W中任何一者；圖中所示對稱長通道IGFET；及它們的短通道版本可以具有用於該等BJT以及用於該等長通道IGFET與短通道IGFET兩者之圖樣的遮罩板(主遮罩)來施行。

電阻器、電容器及電感器皆可輕易地配備圖18的半導體製造平台。該等電阻器可能係單晶矽與多晶矽兩種類型。二極體可被提供，而不會增加用於製造圖中所示IGFET與BJT所需要的步驟數量。

圖 18 的半導體製造平台包含選擇性提供深 n 井(其範例為深 n 井 207、210、212、381 及 391)的功能。在本發明 CBJT/CIGEFT 結構中的某個特殊位置處存在或不存在深 n 井係相依於用來定義該等深 n 井的遮罩板是否有或沒有用於該位置的深 n 井的圖樣。具有隔離深 n 井 381 的 pnp BJT 103V 可根據用於創造沒有隔離深 n 井的 pnp BJT 103 的製造步驟來同步創造，只要組態設計該深 n 井遮罩板用以在深 n 井 381 的位置處定義一深 n 井即可。亦可在該深 n 井遮罩板中進行雷同改變，以便將 npn BJT 101 的深 n 集極井 207 轉換成 npn BJT 101W 與 pnp BJT 103W 的深 n 井 391。倘若需要有慢速響應的 npn BJT，則可根據用於創造 BJT 101 的製造步驟來同步創造沒有深 n 集極井 207 的 npn BJT 101 的慢速響應變化例，只要組態設計該深 n 井遮罩板用以避免在該 BJT 101 之變化例的位置處定義一深 n 井即可。

應注意：雖然非對稱 IGFET 100 與 102 運用深 n 井 210；不過，藉由組態深 n 井遮罩板以避免在沒有深 n 井的 IGFET 100 或 102 的版本的深 n 井位置處定義深 n 井，便可依照用於創造具有深 n 井 210 的 IGFET 100 或 102 的製造步驟來同步創造沒有深 n 井的每一個非對稱 IGFET 100 或 102 的版本。依照互補方式，藉由組態深 n 井遮罩板用以在圖中所示對稱 IGFET 的版本中的深 n 井位置處定義深 n 井，用於創造沒有深 n 井的每一個圖中所示非原生對稱 IGFET 的製造步驟便能夠同步被用在其具有深 n 井的版本中。這同樣適用於圖中所示之對稱 IGFET 的短通道版本。

圖中所示 BJT 與 IGFET(包含其上述的任何變化例)中的任何一者的製造可能會從圖 18 的半導體製造平台的任何特殊施行方式中被刪除。如此一來，用於製造此遭刪除之 BJT 或 IGFET 的任何步驟皆可從本發明半導體製造平台的施行方式中被刪除，俾使得該步驟不會被用來製造要在該平台施行方式中被製造的任何其它 BJT 或 IGFET。

被植入該半導體主體中的半導體摻雜物的離子會照射在大體上平行照射軸的上方半導體表面。為在該上方半導體表面上達到大體上非垂直離子照射目的，該照射軸會與垂直線(也就是，大體上垂直於該上方(或下方)半導體表面延伸的虛擬垂直線，更明確說垂直於大體上延伸平行該上方(或下方)半導體表面的平面延伸的虛擬垂直線)形成某個傾角 α。因為該等 BJT 的隔離介電層及該等 IGFET 的閘極介電層大體上橫向延伸平行該上方半導體表面，所以另或者，傾角 α 可被描述為從大體上垂直一 BJT 的隔離介電層或一 IGFET 的閘極介電層延伸的虛擬垂直線處所測得。

經離子植入的半導體摻雜物的範圍大體上會被定義為含有該摻雜物之種類中的一離子在從該植入表面中離子進入被植入材料的位置點處移到該被植入材料中該摻雜物之極大濃度的位置處時前進通過該被植入材料的距離。當一半導體摻雜物以非零數值的傾角 α 被離子植入時，植入範圍便會超過從該植入表面處移到該被植入材料中該摻雜物之極大濃度的位置處的深度。另或者，經離子植入的半導體摻雜物的範圍會被定義成含有該摻雜物之物種中的離子

在停止之前前進通過該被植入材料的平均距離。此兩種植入範圍定義通常大部分會產生相同的數值結果。

除環袋離子植入步驟以及某些 S/D 延伸區離子植入步驟外，圖 18 的半導體製造平台中的所有離子植入步驟的實施方式皆約略垂直於該上方(或下方)半導體表面。更明確說，某些該等約略垂直的離子植入步驟係以實際上垂直於該上方半導體表面的方式被實施，也就是實質上為零的傾角 α 數值。在下文所述未提供任何傾角 α 數值或數值範圍的每一個離子植入中，其傾角 α 的數值實質上為零。

該等約略垂直的離子植入步驟的其餘步驟則以設在小數值的傾角 α (一般為 7°)來實施。此小額的垂直度偏離係用來避免非所希的離子穿隧效應（channeling effect）。為簡化起見，圖 18 中通常不會表明該小額的垂直度偏離。

有角度的離子植入係指以明顯非零數值的傾角 α 來植入半導體摻雜物的離子。對有角度的離子植入來說，傾角 α 通常至少 15°。端視 IGFET 究竟有一個環袋部或是一對環袋部而定，有角度的離子植入通常係讓 IGFET 在每一個此等環袋部中具備半導體摻雜物。有角度的離子植入有時候也會用來讓特定的 IGFET 具備 S/D 延伸區。傾角 α 在每一次特殊的有角度離子植入期間通常為恆定，不過有時候亦可能會在有角度植入期間改變。

當從垂直於大體上延伸平行於該上方(或下方)半導體表面的平面處看去時，該傾角的照射軸在該平面上的影像會與至少其中一個 IGFET 的縱向方向形成方位角 β 並且因

而會與該半導體主體的其中一個主橫向方向形成方位角β。以非零數值的傾角α進行的每一次離子植入通常會在一或多個非零數值的方位角β處來實施。這可套用至以小數值傾角α(再次地，一般為 7°)來實施的有角度離子植入以及斜向植入兩者，以避免發生離子穿隧。

大部分以非零數值的傾角α所進行的離子植入通常會在一或多對不同數值的方位角β處來實施。每一對方位角β數值通常相差約 180°。在該等方位角數值對中每一對之中的兩個數值的每一個數值處通常會提供約略相同劑量的經離子植入半導體摻雜物。

倘若在斜向離子植入期間接收半導體摻雜物的一群IGFET中的所有IGFET的縱向方向皆延伸在該半導體主體的相同主橫向方向之中的話，便僅需要一對相差約 180°的方位角數值。於此情況中，可能會在該等方位角數值中的其中一個數值處供應全部植入劑量的一半，並且在另一個方位角數值處供應全部植入劑量的另一半。該等兩個方位角數值其中一種選擇係相對於延伸平行於IGFET之縱向方向的半導體主體的主橫向方向為 0°與 180°。

在其縱向方向分別延伸在半導體主體的兩個主橫向方向的一群IGFET中同步實施的斜向離子植入可能會用到四個不同數值的方位角β來說，也就是，兩對不同的方位角數值。因此，每一對連續的方位角β數值通常會相差約 90°。換言之，該等四個方位角β數值為β_0、β_0+90°、β_0+180°及β_0+270°，其中β_0為基礎方位角數值，其範圍從 0°到

90°。舉例來說，倘若基礎數值β_0為45°的話，該等四個方位角β數值便為45°、135°、225°及315°。以90°的角度增額於四個方位角數值處進行離子植入稱為四象植入(quadrant implant)。在該等四個方位角數值中的每一個數值處會供應全部植入劑量的約莫四分之一。

可以各種其它方式來進行斜向離子植入，其包含傾角α通常至少15°的有角度離子植入。倘若在被佈局成具有相同配向的一群非對稱IGFET上同步實施有角度離子植入俾讓該群之中的每一個非對稱IGFET僅具有一個源極延伸區或僅具有一個源極側環袋部的話，便可以在很小的單一方位角β數值(舉例來說，0°)處進行該有角度植入。斜向離子植入亦能夠在該半導體主體繞著該半導體摻雜物來源旋轉時進行，俾讓方位角β隨著時間改變。舉例來說，方位角β會以可變或不變的速率隨著時間改變。因此，植入劑量通常會以可變或不變的速率被提供給該半導體主體。

雖然能夠在不同的斜向植入步驟中以不同方式進行斜向離子植入，不過在定義一群IGFET之閘極電極的形狀之後於該等IGFET上同步實施的每一次斜向植入較佳的係會在四個方位角數值β_0、β_0+90°、β_0+180°及β_0+270°處實施，在每一個方位角數值處會供應全部植入劑量的約莫四分之一。半導體主體上被配向在其中一個方向中的IGFET的斜向植入特徵分別與該半導體主體上以另一種方式被配向在另一個方向中具有相同組態的IGFET的斜向離子植入特徵實質相同。這讓IC設計者更容易設計根據圖18的半

導體製造平台之施行方式所製成的IC。

在閘極電極形狀被定義且用來經由一光阻遮罩中的一或多個開口將半導體摻雜物引入該半導體主體的一或多個選定部分後所實施的每一次離子植入中，該光阻遮罩、該等閘極電極(或其前驅物)、及位於該等閘極電極側邊的任何材料的組合會當作摻雜物阻隔擋板，阻止摻雜物離子照射在該半導體主體上。位於該等閘極電極側邊的材料可包含位於該等閘極電極之至少橫斷側壁中的介電側壁間隔部。

當離子植入以四個 90°的方位角 β 增額數值實施的有角度植入而依此經植入之區域(舉例來說，環袋部及某些S/D 延伸區)的材料明顯延伸在該等閘極電極下方時，該摻雜物阻隔擋板可能導致每一閘極電極下方之經植入的材料會收到照射在四個增額 β 數值中不超過兩個以上數值處的離子。倘若基礎方位角數值 β_0 為零而使得該等四個方位角數值為 0°、90°、180°及 270°，那麼在閘極電極下方的材料大部分會接收僅照射在該等四個 0°、90°、180°及 270°數值中一對應數值處的離子。此照射離子的劑量 N'稱為四分之一劑量 N'_1。倘若基礎方位角數值 β_0 大於零的話，那麼，在閘極電極下方的材料大部分便會接收照射在該等四個 β_0、β_0+90°、β_0+180°及 β_0+270°數值中一對應數值處的某些離子以及照射在該等四個 β_0、β_0+90°、β_0+180°及 β_0+270°數值中一對應相鄰數值處的其它離子。閘極電極下方的材料所收到的離子的全部劑量 N'約為：

$$N'=N'_1(\sin\beta_0+\cos\beta_0) \qquad (1)$$

閘極電極下方的材料所收到的離子的極大劑量 N'_{max} 會出現在當基礎方位角數值 β_0 為 45°時。利用公式 1，極大劑量 N'_{max} 為 $\sqrt{2}N'_1$。因為 $\sqrt{2}$ 約為 1.4，所以極大劑量 N'_{max} 僅比四分之一劑量 N'_1 高出約 40%。為簡化起見，除非另外提及，否則即使實際劑量 N'會相依於基礎方位角數值 β_0 而從 N'_1 變到約 $1.4N'_1$，本文中仍將閘極電極下方的材料所收到的離子的劑量 N'近似為四分之一劑量 N'_1。

除非另外提及，否則圖 18 製程中每一次 n 型離子植入中所運用的 n 型半導體摻雜物之含有摻雜物的粒子物種皆係由元素形式的指定 n 型摻雜物所組成。換言之，每一次 n 型離子植入皆係利用指定的 n 型摻雜物元素的離子來實施，而非利用含有該摻雜物元素的化學化合物的離子來實施。每一次 p 型離子植入中所運用的 p 型半導體摻雜物之含有摻雜物的粒子物種分別係由元素形式或化學化合物形式的 p 型摻雜物(通常為硼)所組成。所以，每一次 p 型離子植入通常係利用硼離子或是利用含硼的化學化合物(例如，二氟化硼)來實施。除非另外提及，否則每一次離子植入期間的離子化電荷狀態皆為正類型的單離子化。

該等 n 型摻雜物與 p 型摻雜物會在高溫(也就是溫度明顯大於室溫)操作期間以橫向與垂直兩種方式擴散。用於定義源極/汲極區帶及環袋部的摻雜物的橫向與垂直擴散大體上顯示在圖 18。定義空主要井區的摻雜物的向上垂直擴散會顯示在圖 18，因為要在本發明 CBJT/CIGFET 結構中達到利用空主要井區的優點，該些摻雜物的向上擴散非常重

要。為簡化圖說，圖 18 不會顯示空主要井摻雜物的向下與橫向擴散。圖 18 通常亦不會顯示任何其它井摻雜物的擴散。

下文所述在高溫處實施的每一次退火或其它操作皆包含升溫區段與降溫區段。在升溫區段期間，當時存在的半導體結構的溫度會從低數值提高到指定高溫。在降溫區段期間，該半導體結構的溫度則會從該指定高溫下降到低數值。下文提出的每一次退火或其它高溫操作的時間週期為該半導體結構處於該指定高溫處的時間。下文並未針對尖峰式退火(spike anneal)提出處於該指定高溫時的任何時間週期，因為其降溫區段會在升溫區段結束以及該半導體結構的溫度達到該指定高溫之後立刻開始。

在圖 18 的某些製造步驟中，多個開口會延伸穿過兩個 IGFET 的主動式半導體區域上方的光阻遮罩。當該等兩個 IGFET 在圖 18 的示範性剖面圖中被形成彼此橫向相鄰時，那麼，即使下文所述的兩個光阻開口為分離的開口，圖 18 中仍會將它們顯示為單一開口。

出現在圖 18 之圖式中的元件符號末端處的字母「P」表示某一區域的前驅物，該區域會顯示在圖 5 中並且於圖 5 中以「P」前面的元件符號部分來表示。當該前驅物已經充分發展成大部分構成圖 5 中之對應區域時，便會從圖 18 之圖式中的元件符號處剔除字母「P」。

圖 18d.1 至 18w.1、18d.2 至 18w.2、18d.3 至 18w.3、18d.4 至 18w.4、及 18d.5 至 18w.5 中的剖面圖包含許多情形，其中由於出現某個物件(例如光阻遮罩)，部分半導體結

構在兩個連續剖面圖中為實質相同，而實質上為避免從前圖到後圖中，該部分半導體結構出現任何變化。為簡化圖18的圖說，每一情形中的後圖通常會有明顯減量的標記。

P2.井構成

圖18製程的起點為單晶矽半導體主體，其通常由下述組成：重度摻雜的p型基板920；及上覆輕度摻雜的p型磊晶層136P。參見圖18a。p+基板920係由摻雜濃度為$4x10^{18}$至$5x10^{18}$個原子/cm^3的硼的<100>單晶矽構成的半導體晶圓，以達到約0.015歐姆-公分的典型電阻係數。為簡化起見，基板920沒有顯示在圖18的其餘部分。另或者，起點亦可僅實質上與p-磊晶層136P相同輕度摻雜的p型基板。

磊晶層136P係由輕度摻雜p型之經磊晶成長的<100>單晶矽所組成，硼的濃度約為$4x10^{14}$個原子/cm^3，以便達到30歐姆-公分的典型電阻係數。磊晶層136P的厚度一般為5.5μm。當圖18之製程的起點為一輕度摻雜的p型基板時，符號136P便係p-基板。

場絕緣區138會如圖18b所示被設置在p-磊晶層(或p-基板)136P的上方表面中，以定義一群橫向分離的主動式單晶矽半導體島922，它們包含全部圖中所示BJT與IGFET的主動式半導體島。該等圖中所示BJT與IGFET的主動式島並未個別顯示在圖18b中。額外(及圖18b中沒有分別顯示)的主動式島922會被用來提供電氣接點，用以連接至IGFET主要井區180、182、184A、186A、188、190、192、

194、196、198、200、202、204、及 206；IGFET 深 n 井區 210 與 212；及基板區 136。

場絕緣區 138 較佳的係根據溝槽氧化技術所創造；不過，亦能夠根據局部氧化技術來創造。場絕緣區的深度通常為 0.35 至 0.55μm，一般為 0.45μm。在提供場絕緣區 138 時，一由矽質氧化物所製成的薄網絕緣層 924 會沿著磊晶層 136P 的上方表面被熱成長。

一光阻遮罩 926 會如圖 18c 中所示被形成在網氧化物層 924 上，其在深 n 井 207、210、212、及任何其它深 n 井的位置上方會有開口。深 n 井摻雜物會以中劑量被離子植入經過光阻 926 中的該等開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分之中，以便定義一群橫向分離的深 n 型井區 928，該等深 n 型井區 928 中一者顯示在圖 18c 中。光阻 926 會被移除。深 n 型井區 928(它們係位於該上方半導體表面的下方並且向上延伸至該等主動式島 922 中選定的主動式島之中)分別構成深 n 井區 207、210、212、及任何其它深 n 井的前驅物。

深 n 井摻雜物的劑量通常 $1x10^{13}$ 至 $1x10^{14}$ 個離子/cm^2，一般 $1.5x10^{13}$ 個離子/cm^2。該深 n 井摻雜物通常由磷或砷組成。在典型情況中，磷會構成該深 n 井摻雜物，植入能量通常 1,000 至 3,000 千電子伏特(keV)，一般 1,500 keV。

在最終半導體結構上會實施初始快速熱退火(Rapid Thermal Anneal，RTA)，用以修補晶格損壞(lattice damage)且將被植入的深 n 井摻雜物的原子置於能量更穩定的狀態

中。該初始 RTA 會在 900 至 1050℃，通常為 950 至 1000℃處，於無抗環境(non-reactive environment)中實施 5 至 20s，一般為 10s。該深 n 井摻雜物會在初始 RTA 期間以垂直及橫向的方式擴散。此摻雜物擴散未指示在圖 18 之中。

在圖 18 製程的其餘部分中，會利用四個圖式「18z.0」、「18z.1」、「18z.2」及「18z.3」來圖解每一處理階段處的 CBJT/CIGFET 結構，其中「z」為從「d」變到「w」的字母。每一圖 18z.0 圖解用以創造圖 5.0 中的 BJT 101 與 103 的額外處理。每一圖 18z.1 圖解用以創造圖 5.1 中的非對稱高電壓 IGFET 100 與 102 的額外處理。每一圖 18z.2 圖解用以創造圖 5.2 中非對稱延伸型汲極 IGFET 104 與 106 的額外處理。每一圖 18z.3 圖解用以創造圖 5.3 中對稱低電壓低漏電 IGFET 108 與 110 的額外處理。為方便起見，下文中將每一群四個圖 18z.0 至 18z.3 統稱為「圖 18z」，其中「z」會從「d」變到「w」。例如圖 18d.0 至 18d.3 統稱為「圖 18d」。

一光阻遮罩 930 會如圖 18d 中所示被形成在網氧化物層 924 上，其在 npn BJT 101 的島 135B 上方、非對稱 p 通道 IGFET 102 的島 142 上方、及延伸型汲極 IGFET 104 與 106 的 n 型空主要井區 184B 與 186A 之位置的上方會有開口。定義最接近 IGFET 104 之 p 型空主要井區 184A 的預期位置的空主要井 184B 側邊的光阻遮罩 930 的邊緣會嚴格地受到控制，以便控制空井 184A 與 184B 之間的分隔距離 L_{WW}。定義最接近 IGFET 106 之 p 型空主要井區 186B 的預期位置的空主要井 186A 側邊的光阻 930 的邊緣會嚴格受到

控制，以便控制空井 188A 與 188B 之間的分隔距離 L_{ww}。

n型空主要井摻雜物(或n型集極/空主要井摻雜物)會以中劑量被離子植入經過光阻 930 中的該等開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分中，以便定義(a)BJT 101 的淺集極井區 175B 的 n 前驅物 175BP，(b)IGFET 102 的空主要井區 182 的 n 前驅物 182P，及(c)IGFET 104 與 106 之個別空主要井區 184B 與 186A 的 n 前驅物 184BP 與 186AP。光阻 930 會被移除。前驅物淺 n 井 175BP 會延伸至深 n 集極井區 207 的前驅物 207P 中(但僅在中途經過)。n 前驅物空主要井 182P 與 186AP 會分別延伸至前驅物 210P 與 212P 之中(但僅是在中途經過)，最終會延伸至深 n 井區 210 與 212。

n 型空主要井摻雜物的劑量通常為 $1x10^{13}$ 至 $5x10^{13}$ 個離子/cm^2，一般為 $2.5x10^{13}$ 至 $3x10^{13}$ 個離子/cm^2。該 n 型空主要井摻雜物通常係由磷或砷所組成。在典型的情況中，磷會構成該 n 型空主要井摻雜物，植入能量通常為 350 至 500 keV，一般為 425 至 450 keV。

n 前驅物空主要井區 182P、184BP 及 186AP 中的 n 型空主要井摻雜物的濃度會沿著和 n 型最終空主要井區 182、184B 及 186A 中大部分相同的個別位置達到個別局部極大值。前驅物空主要井 182P、184BP 及 186AP 中各者的 n 型空主要井摻雜物濃度約略以高斯形式在垂直方向中改變。

在從前驅物空主要井 182P、184BP 及 186AP 中每一者之中的 n 型空主要井摻雜物濃度極大值的位置處朝該上方

半導體表面移動時，該 n 型空主要井摻雜物濃度會從符號「n」所示的中度摻雜逐漸降至符號「n-」所示的輕度摻雜。圖 18d 中的點線 296P、340P、及 372P 基本上構成圖 5 中點線 296、340、及 372 的個別前驅物。圖 5.2 中雖然有顯示；不過，上面提及的 IGFET 104 與 106 的點線 340 與 372 則僅標記在圖 16a 與 16b 之中。因此，每一條前驅物點線 296P、340P、或 372P 皆粗略表示在下方位置的對應前驅物空主要井 182P、184BP、或 186AP 中 n 型空主要井摻雜物濃度係中度 n 摻雜，而在上方位置的前驅物井 182P、184BP、或 186AP 中 n 型摻雜物濃度則係輕度 n-摻雜。

n 前驅物空主要井區 182P、184BP 及 186AP 的 n 前驅物並不會在製程中的此位置點處抵達該上方半導體表面。因此，p-磊晶層 136P 中的三個隔離表面鄰接部 136P1、136P2 及 136P3 分別存在於 n 前驅物空主要井 182P、184BP 及 186AP 上方的島 142、144B 及 146A 中。隔離 p-磊晶層部 136P3 還會橫向延伸在前驅物深 n 井區 212P 的上方。隔離 p-磊晶層部 136P1 至 136P3 全部會藉由場絕緣區 138 和 n 型單晶矽之組合而與磊晶層 136P 的下方其餘部分分離。

由下面之中的區段所構成的該等兩個 p-單晶矽區域在最終的 CBJT/CIGFET 結構中會變成個別空主要井 182 及 186A 的 n-單晶矽：(a)島 142 中的隔離磊晶層部 136P1，及 (b)島 146A 中位於 n 前驅物空主要井 186AP 上方的隔離磊晶層部 136P3。此外，由島 144B 中的隔離磊晶層部 136P2 及島 144A 中位於 n 前驅物空主要井 184BP 上方的一部分(非

隔離)磊晶層 136P 在最終 CBJT/CIGFET 結構中則會變成空主要井 184B 的 n-單晶矽。因此，此等四個 p-單晶矽區域必須被轉換成 n-單晶矽。如下述，該等四個 p-單晶矽區域通常會藉由在後續的製造步驟期間(主要為在高溫處實施的步驟)藉由向上擴散來自 n 前驅物空主要井區 182P、184BP 及 186AP 的一部分 n 型空主要井摻雜物而被轉換成 n-單晶矽。

例如，倘若在後續的高溫製造步驟期間透過向上擴散一部分 n 型空主要井摻雜物並不確定前述四個 p-單晶矽區域中的每一個區域會完全被轉換成 n-單晶矽，則可以實施一分離的 n 型摻雜操作，用以將該等四個 p-單晶矽區域轉換成 n-單晶矽。在移除光阻 930 前，一 n 型半導體摻雜物(稱為 n 型補償摻雜物)可能會以低劑量被離子植入經過網氧化物 924 中未被覆蓋的區段，且抵達下方單晶矽之中，用以將該等四個 p-單晶矽區域轉換成 n-單晶矽。

倘若希望任何四個 p-單晶矽區域不接收該 n 型補償摻雜物，一額外光阻遮罩(未圖示)便被形成在網氧化物 924 上，該光阻遮罩具有位於下述所選定上方的開口：(a)島 142；及(b)n 型空主要井區 184B 與 186A 的位置。接著，該 n 型補償摻雜物會以低劑量被離子植入經過該額外光阻遮罩中的開口且抵達該半導體主體中，爾後移除該額外光阻。於任一情況中，該 n 型補償摻雜物的劑量通常應越低越好以保持最終主要井區 182、184B 及 186A 的空井特性。

同樣，BJT 101 的前驅物淺 n 集極井區 175BP 不會在製程中的此位置點處抵達該上方半導體表面。因此，p-磊晶層

136P 中的另一隔離表面鄰接部 136P11 存在於前驅物淺 n 集極井 175BP 上方的島 135B 中。p-單晶矽部 136P11 被轉換成最終 CBJT/CIGFET 結構中的 n 中間集極部 245I 及 n++集極接點部 245C。和前述四個 p-單晶矽區域不同，此轉換係因稍後將 n 型離子植入 p-單晶矽部 136P11 而出現的結果。

光阻遮罩 932 被形成在網氧化物層 924 上，其在 pnp BJT 103 的島 137B 上方、非對稱 n 通道 IGFET 100 的島 140 上方、延伸型汲極 IGFET 104 與 106 的 p 型空主要井區 184A 與 186B 之位置上方、及隔離 p 井區 216 之位置上方會有開口。參見圖 18e。定義最接近 IGFET 104 之 n 型空主要井區 184B 的預期位置的空主要井 184A 側邊的光阻遮罩 932 的邊緣會嚴格受到控制，以便控制空井 184A 與 184B 間的分隔距離 L_{ww}。定義最接近 IGFET 106 之 n 型空主要井區 186A 的預期位置的空主要井 186B 側邊的光阻 932 的邊緣會嚴格地到控制，以便控制空井 186A 與 186B 間的分隔距離 L_{ww}。

p 型空主要井摻雜物(或 p 型集極/空主要井摻雜物)會以中劑量被離子植入經過光阻 932 中的開口，經過網氧化物 924 中未覆蓋區段，且抵達下方單晶矽中垂直對應部分以便定義(a)BJT 103 的淺集極井區 177B 的 p 前驅物 177BP，(b)IGFET 100 的空主要井區 180 的 p 前驅物 180P，(c)IGFET 104 與 106 之個別空主要井 184A 與 186B 的 p 前驅物 184AP 與 186BP，及(d)隔離 p 井 216 的前驅物 216P。光阻 932 被移除。p 前驅物空主要井區 180P 與 186BP 會分別延伸至前驅物深 n 井區 210P 與 212P 中(但僅在中途經過)。

p 型空主要井摻雜物的劑量通常為 $1x10^{13}$ 至 $5x10^{13}$ 個離子/cm^2，一般為 $2.5x10^{13}$ 至 $3x10^{13}$ 個離子/cm^2。該 p 型空主要井摻雜物通常由元素形式的硼或二氟化硼的形式所組成。在典型情況中，元素硼會構成該 p 型空主要井摻雜物，植入能量通常為 100 至 225keV，一般為 150 至 175keV。

p 前驅物空主要井區 180P、184AP 及 186BP 中的 p 型空主要井摻雜物的濃度會沿著和 p 型最終空主要井區 180、184A 及 186B 中大部分相同的個別位置達到個別局部極大值。前驅物空主要井 180P、184AP 及 186BP 各者中的 p 型空主要井摻雜物濃度約略以高斯形式在垂直方向中改變。在從前驅物空主要井 180P、184AP 及 186BP 中每一者之中的 p 型空主要井摻雜物濃度極大值的位置處朝該上方半導體表面移動時，該 p 型空主要井摻雜物濃度會從符號「p」所示的中度摻雜逐漸降至符號「p-」所示的輕度摻雜。圖 18e 中的點線 256P、332P 及 380P 基本上構成圖 5 中點線 256、332 及 380 的個別前驅物。圖 5.2 中雖然有顯示，不過上提 IGFET 104 與 106 的點線 332 與 380 則僅標記在圖 16a 與 16b 中。因此，每一條前驅物點線 256P、332P、或 380P 皆粗略表示在下方位置的對應前驅物空主要井 180P、184AP、或 186BP 中 p 型空主要井摻雜物濃度係在中度 p 摻雜，而在上方位置的前驅物井 180P、184AP、或 186BP 中 p 型摻雜物濃度則係在輕度 p-摻雜。

IGFET 102 與 106 的 p 前驅物空主要井區 180P、184AP、及 186BP 並不會在製程中的此位置點處抵達該上方

半導體表面。所以，p-磊晶層 136P 中的兩個額外表面鄰接部 136P5 及 136P6 會分別存在於 p 前驅物空主要井 180P 以及 186BP 上方的島 140 以及 146B 之中。p-磊晶層部 136P5 以及 136P6 全部會藉由下面之組合而與 p-磊晶層 136P 的下方本體分離：(a)場絕緣區 138；及(b)中度摻雜 p 型單晶矽以及中度摻雜 n 型單晶矽。由於和磊晶層 136 的下方本體分離的關係，本文中將磊晶層部 136P5 及 136P6 稱為隔離 p-磊晶層部。同樣，BJT 103 的 p 前驅物淺集極區 177BP 並不會在製程中的此位置點處抵達該上方半導體表面。因此，p-磊晶層 136P 中的另一隔離表面鄰接部 136P12 會存在於 p 前驅物淺井 177BP 上方的島 137B 中。

一光阻遮罩 934 會如圖 18f 中所示被形成在網氧化物層 924 上，其在 npn BJT 101 的島 135A 與 135B 上方及對稱 p 通道 IGFET 110 的島 150 上方有開口。n 型滿主要井摻雜物(或 n 型集極/滿主要井摻雜物)以中劑量被離子植入經過光阻 934 中的開口，經過網氧化物 924 中未被覆蓋的區段，並抵達下方單晶矽中垂直對應部分中，以便定義(a)BJT 101 的淺集極井區 175A 的 n 前驅物 175AP，及(b)IGFET 110 的滿井主要主體材料部 494 的 n 前驅物 494P。前驅物淺 n 集極井 175AP 會延伸至前驅物深 n 集極井區 207P 之中(但僅是在中途經過)。該 n 型滿主要井摻雜物同樣會進入前驅物淺 n 集極井區 175BP 中，以便提高其 n 型摻雜。該 n 型滿主要井植入通常在和 n 型空主要井植入相同的條件處進行且利用和 n 型空主要井植入相同的 n 型摻雜物進行。

讓光阻遮罩 934 仍保持在正確地方，該 n 型 APT 摻雜物(或 n 型集極/APT 摻雜物)會以中劑量被離子植入經過光阻 934 中的該等開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分中，以便定義(a)npn BJT 101 的主要集極部 245M 的 n 前驅物 245MP，(b)BJT 101 的中間集極部 245I 的 n 前驅物 245IP，及(c)p 通道 IGFET 110 的中間主體材料部 496 的 n 前驅物 496P。光阻 934 現在會被移除。隔離 p-磊晶層部 136P11 因而會被轉換成 n 前驅物中間集極部 245IP。

前驅物 n 主要集極部 245MP 與前驅物 n 中間集極部 245IP 分別位於前驅物淺 n 集極井區 175AP 與 175BP 上。n 前驅物中間主體材料部 496P 位於 n 前驅物滿井主要主體材料部 494P 上。n 前驅物主體材料部 494P 與 496P 中每一者通常會橫向延伸在 IGFET 110 的通道區帶 484 以及 S/D 區帶 480 與 482 中每一者實質全部的預期位置的下方。

n 型 APT 摻雜物的劑量通常 $1x10^{12}$ 至 $6x10^{12}$ 個離子/cm^2，一般 $3x10^{12}$ 個離子/cm^2。該 n 型 APT 摻雜物通常由磷或砷組成。在典型情況中，磷會構成該 n 型 APT 摻雜物，植入能量通常 75 至 150keV，一般 100 至 125keV。該 n 型 APT 植入可在 n 型滿主要井植入前利用光阻 934 來實施。

一光阻遮罩 936 會被形成在網氧化物層 924 上，其在 pnp BJT 103 的島 137A 與 137B 上方及對稱 n 通道 IGFET 108 的島 148 上方有開口。參見圖 18g。p 型滿主要井摻雜物(或 p 型集極/滿主要井摻雜物)以中劑量被離子植入經過

光阻 936 中的開口，經過網氧化物 924 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以定義(a)BJT 103 的淺集極井區 177A 的 n 前驅物 177AP，及(b)IGFET 108 的滿井主要主體材料部 454 的 p 前驅物 454P。該 p 型滿主要井摻雜物同樣會進入前驅物淺 n 集極井區 177BP 中，以便提高它的 p 型摻雜。該 p 型滿主要井植入通常會在和 p 型空主要井植入相同的條件處且利用相同的 p 型摻雜物來完成。

讓光阻遮罩 936 仍保持在正確地方，該 p 型 APT 摻雜物(或 p 型集極/APT 摻雜物)以中劑量被離子植入經過光阻 936 中的開口，經過網氧化物 924 中未被覆蓋區段，且抵達下方單晶矽中垂直對應部分以定義(a)pnn BJT 103 的主要集極部 325M 的 p 前驅物 325MP，(b)BJT 103 的中間集極部 325I 的 p 前驅物 325IP，及(c)IGFET 108 的中間主體材料部 456 的 p 前驅物 456P。光阻 936 現被移除。因此，隔離 p-磊晶層部 136P12 會被轉換成 p 前驅物中間集極部 325IP。

前驅物 p 主要集極部 325MP 與前驅物 p 中間集極部 325IP 分別位於前驅物淺 p 集極井區 177AP 與 177BP 上。p 前驅物中間主體材料部 456P 位於 p 前驅物滿井主要主體材料部 454P 上。p 前驅物主體材料部 454P 與 456P 中的每一者通常會橫向延伸在 IGFET 108 的通道區帶 444 及 S/D 區帶 440 與 442 中每一者實質全部的預期位置下方。

p 型 APT 摻雜物的劑量通常為 $4x10^{12}$ 至 $1.2x10^{13}$ 個離子/cm^2，一般為 $7x10^{12}$ 個離子/cm^2。該 p 型 APT 摻雜物通常係由元素形式的硼或二氟化硼的形式所組成。在典型情

況中，元素硼會構成該 p 型 APT 摻雜物，植入能量通常為 50 至 125keV，一般為 75 至 100keV。該 p 型 APT 植入可在 p 型滿主要井植入前利用光阻 936 來實施。

被引入該半導體主體的剩餘半導體摻雜物中沒有任一者會明顯跑進前驅物深 n 集極井 207P 或前驅物深 n 井 210P 與 212P(或跑進任何其它前驅物深 n 井)。因為初始 RTA 會讓深 n 井摻雜物的原子進入能量更穩定狀態，所以前驅物深 n 集極井 207P、210P 及 212P 分別實質上為最終的深 n 井 207、210 及 212 並且會被顯示在圖 18 的其餘圖式中。

一光阻遮罩 938 如圖 18h 所示被形成在網氧化物層 924 上，其在對稱 p 通道 IGFET 110 的島 150 上方有開口。n 型臨界調整摻雜物會以輕度至中劑量被離子植入經過光阻 938 中的開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分中，以便定義 IGFET 110 的上方主體材料部 498 的 n 前驅物 498P。光阻 938 會被移除。n 前驅物上方主體材料部 498P 位於 n 前驅物中間主體材料部 496P 之上。n 前驅物主體材料部 494P、496P 及 498P 會構成 IGFET 110 之滿井區 190 的 n 前驅物 190P。

n 型臨界調整摻雜物的劑量通常為 $1x10^{12}$ 至 $6x10^{12}$ 個離子/cm^2，一般為 $3x10^{12}$ 個離子/cm^2。n 型臨界調整摻雜物通常由砷或磷組成。在典型情況中，砷會構成該 n 型臨界調整摻雜物，植入能量通常為 60 至 100keV，一般為 80keV。

一光阻遮罩 940 會被形成在網氧化物層 924 上，其在對稱 n 通道 IGFET 108 的島 148 上方會有開口。參見圖 18i。

p 型臨界調整摻雜物會以輕度至中度劑量被離子植入經過光阻 940 中的開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分中，以便定義 IGFET 108 的上方主體材料部 458 的 p 前驅物 458P。光阻 940 會被移除。p 前驅物上方主體材料部 458P 位於 p 前驅物中間主體材料部 456P 之上。p 前驅物主體材料部 454P、456P 及 458P 會構成 IGFET 108 之滿井區 188 的 p 前驅物 188P。

p 型臨界調整摻雜物的劑量通常為 $2x10^{12}$ 至 $8x10^{12}$ 個離子/cm^2，一般為 $4x10^{12}$ 個離子/cm^2。該 p 型臨界調整摻雜物通常係由元素形式的硼或是二氟化硼的形式所組成。在典型的情況中，元素硼會構成該 p 型臨界調整摻雜物，植入能量通常為 15 至 35keV，一般為 25keV。

n 型 APT 植入、p 型 APT 植入、及 p 型臨界調整植入的傾角 α 通常約為 7°。前述植入中其餘植入的傾角 α 則約為 0°。該等前述植入中每一者僅會在一個方位角 β 數值處來實施，也就是它們每一者都是單象限植入。n 型 APT 植入、p 型 APT 植入、及 p 型臨界調整植入的方位角 β 為 30°至 35°，而前述植入中其餘植入的方位角 β 則約為 0°。

P3.閘極構成

一光阻遮罩 939 會如圖 18j 所示被形成在網氧化物層 924 上，其在 npn BJT 101 的島 135A 上方以及 pnp BJT 103 的島 137B 上方會有開口。p 型半導體摻雜物(本文稱為 p 型基極摻雜物)會以中劑量被離子植入經過光阻 939 中的該等

開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分之中，以便定義 BJT 101 的 p 型基極 243。p 前驅物基極 243P 位於前驅物 n 主要集極部 245MP 之上。該 p 型基極摻雜物同樣會進入前驅物 p 中間集極部 325IP 以便提高其 p 型摻雜。光阻 939 會被移除。

p 型基極摻雜物的劑量通常 $1x10^{13}$ 至 $5x10^{13}$ 個離子/cm^2，一般 $2x10^{13}$ 至 $4x10^{13}$ 個離子/cm^2。p 型基極摻雜物通常由元素形式的硼或二氟化硼的形式組成。在典型情況中，硼構成該 p 型基極摻雜物，植入能量通常 40 至 120keV，一般 60 至 80keV。該 p 型基極植入的傾角 α 實質上為 0°。

一光阻遮罩 941 會被形成在網氧化物層 924 之上，其在 pnn BJT 103 的島 137A 上方以及 npn BJT 101 的島 135B 上方會有開口。參見圖 18k。n 型半導體摻雜物(本文稱為 n 型基極摻雜物)以中劑量被離子植入經過光阻 941 中的開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分中，以便定義 BJT 103 的 n 型基極 323。n 前驅物基極 323P 位於前驅物 p 主要集極部 325MP 之上。該 n 型基極摻雜物同樣會進入前驅物 n 中間集極部 245IP，以便提高它的 n 型摻雜。光阻 941 會被移除。

n 型基極摻雜物的劑量通常為 $1x10^{13}$ 至 $5x10^{13}$ 個離子/cm^2，一般為 $2x10^{13}$ 至 $4x10^{13}$ 個離子/cm^2。該 n 型基極摻雜物通常係由砷或是磷所組成。在典型情況中，n 型基極摻雜物係由磷所組成，植入能量通常為 80 至 240keV，一般為 160 至 180keV。該 n 型基極植入的傾角 α 實質上為 0°。

P4.橫向間隔部分以及閘極電極的構成

該上方半導體表面會因移除網氧化物層 924 而露出，且通常會藉由濕式化學製程來進行清潔。一由矽質氧化物所製成的犧牲層(未圖示)會沿著該上方半導體表面被熱成長，用以製備該上方半導體表面，以達閘極介電質構成之目的。該犧牲氧化物層的厚度一般至少為 10nm。接著，該犧牲氧化物層便會被移除。該清潔操作以及該犧牲氧化物層的構成與移除會移除該上方半導體表面中的缺陷及/或污染，以便產生高品質上方半導體表面。

一比較厚之含閘極介電質的介電層 942 會如圖 181 中所示般地被設置在該上方半導體表面中。厚介電層 942 中的一部分係在橫向位置，且稍後會構成下述一部分：(a)npn BJT 101 的隔離介電層 267-1 與 267-2，(b)pnp BJT 103 的隔離介電層 347-1 與 347-2，及(c)有高閘極介電質厚度 t_{GdH} 的閘極介電層，也就是非對稱 IGFET 100 與 102 的閘極介電層 260 與 300、延伸型汲極 IGFET 104 與 106 的閘極介電層 344 與 384、及圖中所示高電壓對稱 IGFET 的閘極介電層。為允許在後面增加介電層 942 中位於該等 t_{GdH} 高厚度閘極介電層之橫向位置處的區段的厚度，層 942 的厚度會略小於該預期的 t_{GdH} 厚度(一般會少 0.2nm)。

厚介電層 942 通常會被熱成長。該熱成長會在 900 至 1100℃(一般為 1000℃)的濕式氧化環境之中實施 30 至 90s，一般為 45 至 60s。層 942 通常係由實質上為純矽質氧化物所組成，其中該濕式氧化環境係由氧與氫所構成。

厚介電層 942 的熱成長的高溫條件係用於退火，其會修補因被植入的 p 型主要井摻雜物和 n 型主要井摻雜物所造成的晶格損壞並且將該等被植入的p型主要井摻雜物和n型主要井摻雜物的原子置於能量更穩定的狀態中。因此，前驅物井區 216P 實質上會變成隔離 p 井區 216。前驅物滿井主要主體材料部 454 會變成 IGFET 108 的 p 滿井主要主體材料部 454。前驅物滿井主要主體材料部 494P 會變成 IGFET 110 的 n 滿井主要主體材料部 494。

厚介電層 942 的熱成長的高溫條件也會導致 p 型和 n 型井摻雜物、APT 摻雜物、臨界調整摻雜物、及基極摻雜物(尤其是主要井摻雜物)垂直與橫向擴散。圖 181 僅表示空主要井摻雜物的向上擴散。由於空主要井摻雜物的向上擴散的關係，前驅物空主要井區 180P、182P、184AP、184BP、186AP、及 186BP 會向上朝該上方半導體表面擴展。

倘若厚介電層熱成長的力道夠強，前驅物空主要井 180P、182P、184AP、184BP、186AP 及 186BP 可在該厚介電層熱成長期間抵達上方半導體表面。不過，前驅物空井 180P、182P、184AP、184BP、186AP 及 186BP 在該厚介電層熱成長期間一般僅部分朝上擴展至上方半導體表面。此情況圖解在圖 181。由於前驅物空井 180P、182P、184AP、184BP、186AP 及 186BP 朝上擴展，隔離 p-磊晶層部 136P1 至 136P3、136P5 及 136P6 在垂直方向的尺寸便會縮小。

形成光阻遮罩(未圖示)在厚介電層 942 上，其在對稱低電壓 IGFET 108 與 110 的島 148 與 150 上有開口。移除介

電層 942 中未被覆蓋材料以露出島 148 與 150。參考圖 18m，符號 942R 為厚含閘極介電質的介電層 942 的剩餘部分。

一薄矽層(未圖示)同樣會沿著對稱低電壓 IGFET 108 與 110 的島 148 與 150 中每一者的上方表面被移除，用以補償蝕刻製程中不理想的矽質氧化物對矽的選擇性(silicon-oxide-to-silicon selectivity)。這會確保完全移除該等移除位置處之厚介電層 942 的材料。在移除該等薄矽層的過程中便會移除出現在島 148 與 150 的上方表面中的額外缺陷及/或污染，舉例來說，因光阻所造成的污染。接著便會移除該光阻。

一較薄含閘極介電質的介電層 944 會被設置在對稱低電壓 IGFET 108 與 110 的島 148 與 150 上方的上方半導體表面中並且因而會被設置在它們的閘極介電層 344 與 384 的個別橫向位置處。再次參見圖 18m。薄介電層 944 中的一部分稍後會分別構成閘極介電層 344 與 384。

薄介電層 944 通常係藉由結合熱成長和電漿氮化產生。薄介電層 944 的熱成長會起始在 800 至 1000℃(一般為 900℃)的濕式氫/氧氧化環境中，其會進行 10 至 20s，一般為 15s。因此，層 944 係由實質上為純矽質氧化物所組成。

氮通常藉由接續在濕式氧化熱氧化物成長後實施的電漿氮化操作而被併入薄介電層 944，以防止對稱低電壓 p 通道 IGFET 110 的 p++閘極電極 502 中的硼擴散至它的通道區帶 484 中。層 944 因而會被轉換成矽、氧、及氮之組合。該電漿氮化操作通常在實施之後會讓氮構成層 944 之質量

百分比的 6 至 12%，較佳係 9 至 11%，一般為 10%。

一中間 RTA 會在 800 至 1000℃(一般為 900℃)的氧氣中在該半導體結構上實施 10 至 20s，一般為 15s。由於氧，薄介電層 944 的厚度會在該中間 RTA 期間因熱成長而略為增加。介電層 944 的厚度現在實質上會等於該等圖中所示之低電壓 IGFET 的 1.2V 操作的低閘極介電質厚度 t_{GdL}，也就是 1 至 3nm，較佳係 1.5 至 2.5nm，一般為 2nm。

厚含閘極介電質的介電質剩餘部分 942R 的厚度在薄介電層 944 的熱成長期間因熱成長而略增加。由於滲透到被厚介電質剩餘部分 942R 覆蓋的島 135A、135B、137A、137B、140、142、144A、144B、146A 及 146B 之上方表面的氧很少，介電質剩餘部分 942R 的厚度增額會遠小於薄介電層 944 的厚度。厚介電質剩餘部分 942R 之較小的厚度增額未指示在圖 18 中。

厚介電質剩餘部分 942R 在電漿氮化操作期間接收氮。因為厚介電質剩餘部分 942R 的厚度大過薄介電層 944，所以厚介電質剩餘部分 942R 中氮的質量百分比低於薄介電層 944。在薄介電層 944 的熱成長及後續電漿氮化結束時，厚介電質剩餘部分 942R 的厚度實質上等於該等圖中所示高電壓 IGFET(其包含非對稱 IGFET 100 與 102)的 3.0V 操作的 t_{GdH} 高厚度閘極介電質厚度數值，也就是通常為 4 至 8nm，較佳係 5 至 7nm，一般為 6 至 6.5nm。厚介電層 942R 中氮的質量百分比約等於薄介電層 944 中氮的質量百分比乘以低介電質厚度數值 t_{GdL} 與高介電質厚度數值 t_{GdH} 的比值。

薄介電層 944 的熱成長的高溫係用於退火，而導致被植入的 p 型和 n 型井摻雜物、APT 摻雜物、臨界調整摻雜物、及基極摻雜物進一步垂直與橫向擴散。相較厚介電層 942 之熱成長，薄介電層 944 之熱成長係在較低的溫度處實施，而且時間週期明顯較短，所以井摻雜物、APT 摻雜物、臨界調整摻雜物、及基極摻雜物在薄介電層熱成長期間的擴散會明顯小於厚介電層熱成長期間。圖 18m 中僅顯示薄介電層熱成長期間該等空主要井摻雜物的向上擴散。

BJT 101 與 103 的個別橫向間隔部分 269-1、269-2、349-1 及 349-2 的前驅物 269-1P、269-2P、349-1P 及 349-2P 現在會被形成在圖 18m 的已部分完成 CBJT/CIGFET 結構上。參見圖 18n。IGFET 100、102、104、106、108 及 110 的個別閘極電極 262、302、346、386、462 及 502 的前驅物 262P、302P、346P、386P、462P 及 502P 現在會同步被形成在已部分完成的 CBJT/CIGFET 結構之上。

更明確地說，BJT 101 與 103 的前驅物橫向間隔部分 269-1P、269-2P、349-1P 及 349-2P 會被形成在島 135A 與 137A 之選定區段之上之厚的含有閘極介電質的介電質剩餘部分 942R 之上。非對稱高電壓 IGFET 100 與 102 的前驅物閘極電極 262P 與 302P 會被形成在分別位於島 140 與 142 之選定區段上方的厚介電質剩餘部分 942R 上。延伸型汲極 n 通道 IGFET 104 的前驅物閘極電極 346P 會被形成在厚介電質剩餘部分 942R 以部分場絕緣部 138A 上，以便疊置在島 144A 之選定區段上方而不會延伸在島 144B 的上方。延

伸型汲極 p 通道 IGFET 106 的前驅物閘極電極 386P 同樣會被形成在厚介電質剩餘部分 942R 以及部分的場絕緣部 138B 上，以便疊置在島 146A 之選定區段上方而不會延伸在島 146B 的上方。對稱低電壓 IGFET 108 與 110 的前驅物閘極電極 462P 與 502P 會被形成在分別位於島 148 與 150 之多個區段上方的薄的含有閘極介電質的介電層 944 上。

前驅物橫向間隔部分 269-1P、269-2P、349-1P 及 349-2P 和前驅物閘極電極 262P、302P、346P、386P、462P 及 502P 係藉由在介電質剩餘部分 942R 上沉積一層大部分未摻雜(本質)的多晶矽、且接著利用合宜關鍵光阻遮罩(未圖示)來圖樣化該多晶矽層而產生的。該橫向間隔部分/閘極電極多晶矽層中的一部分(未圖示)可用於多晶矽電阻器。該多晶矽層中的每一個此類電阻器部一般會疊置在場絕緣區 138 的上方。該多晶矽層的厚度為 160 至 200nm，一般為 180nm。

重要是該多晶矽的厚度會經過選擇，俾使其非常厚而不會讓大量的半導體摻雜物在後面被離子植入經過，或是通過，閘極電極 262P、302P、346P、386P、462P、及 502P，而進入該下方單晶矽之中。因此，橫向間隔部分 269-1P、269-2P、349-1P、及 349-2P 會非常厚，以便防止任何大量的半導體摻雜物於後面通過它們並且分別損壞下方的基極鏈部 243L-1、243L-2、323L-1、及 323L-2。

該多晶矽層會經過圖樣化，俾讓前驅物多晶矽橫向間隔部分 269-1P 與 269-2P 之間的空間會疊置在 npn BJT 101 的 n++射極 241 的預期位置的上方。前驅物橫向間隔部分

349-1P 與 349-2P 之間的空間同樣會疊置在 pnp BJT 103 的 p++射極 321 的預期位置的上方。在 BJT 101 或 103 的基極鍵長度 L_{BL} 方向中的前驅物橫向間隔部分 269-1P 與 269-2P 或是 349-1P 與 349-2P 中每一者的維度 d_{LS} 會取決於用於定義該等前驅物橫向間隔部分的關鍵光阻遮罩所達成的圖樣化作業並且會受到很好的控制。

此外，前驅物多晶矽閘極電極 262P、302P、462P、及 502P 會分別疊置在非延伸型汲極 IGFET 100、102、108、及 110 之通道區帶 244、284、444、及 484 的預期位置的上方。延伸型汲極 n 通道 IGFET 104 的前驅物多晶矽閘極電極 346P 會疊置在通道區帶 322 的預期位置(其包含 p-基板區 136 之 136A 部分之通道區帶區段的預期位置，參見圖 16a)上方且延伸在空主要井區 184B 之 184B2 部分的預期位置上方，中途跨越場絕緣部 138A 朝空主要井 184B 的 184B1 部分延伸。延伸型汲極 p 通道 IGFET 106 的前驅物多晶矽閘極電極 386P 會疊置在通道區帶 362 的預期位置及 p-基板區 136 之 136B 部分的預期位置(參見圖 16a)上方並且會延伸在空主要井區 186B 之 186B2 部分的預期位置上方，中途跨越場絕緣部 138B 朝空主要井 186B 的 186B1 部分延伸。

厚介電質剩餘部分 942R 中位於前驅物橫向間隔部分 269-1P、269-2P、349-1P、以及 349-2P 下方的部分會分別構成 BJT 101 與 103 的隔離介電層 267-1、267-2、347-1、以及 347-2。厚介電質剩餘部分 942R 中位於 IGFET 100、102、104、以及 106 的前驅物閘極電極 262P、302P、346P、

以及 386P 下方的部分會分別構成它們的閘極介電層 260、300、344、以及 384。薄介電層 944 中位於低電壓 IGFET 108 與 110 的前驅物閘極電極 462P 與 502P 下方的部分會分別構成它們的閘極介電層 460 與 500。由該等圖中所示之 IGFET 的閘極介電層所構成的閘極介電材料通常會分別分離該等圖中所示之 IGFET 的該等前驅物閘極電極以及預期會成為它們的個別通道區帶之經摻雜的單晶矽。

在移除於圖樣化該多晶矽層中所使用的光阻的過程中，厚介電質剩餘部分 942R 中未被前驅物橫向間隔部分以及前驅物閘極電極(其包含前驅物橫向間隔部分 269-1P、269-2P、349-1P 及 349-2P 和前驅物閘極電極 262P、302P、346P、386P、462P 及 502P)覆蓋的所有部分皆會被移除。島 135A 與 137A 中位於前驅物橫向間隔部分 269-1P、269-2P、349-1P 及 349-2P 側邊的區段因而會露出。島 135B 與 137B 同樣會露出。島 140、142、144A、144B、146A、146B、148 及 150 中位於前驅物閘極電極 262P、302P、346P、386P、462P 及 502P 側邊的區段同樣會露出。

一薄密封介電層 946 沿著 BJT 101 與 103 的前驅物橫向間隔部分 269-1P、269-2P、349-1P 及 349-2P 的外露表面和 IGFET 100、102、104、106、108 及 110 的前驅物閘極電極 262P、302P、346P、386P、462P 及 502P 的外露表面被熱成長。再次參見圖 18n。一薄表面介電層 948 會同步沿著島 135A、137A、140、142、144A、144B、146A、146B、148 及 150 和島 135B 與 137B 中的外露區段形成。介電層 946

與 948 的熱成長會在 900 至 1050℃(一般為 950 至 1000℃)處實施 5 至 25s，一般為 10s。密封介電層 946 的厚度為 1 至 3nm，一般為 2nm。

介電層 946 與 948 的熱成長的高溫條件會進行進一步退火，而導致被植入的 p 型和 n 型井摻雜物、APT 摻雜物、臨界調整摻雜物、及基極摻雜物額外的垂直與橫向擴散。相較厚介電層 942 之熱成長，介電層 946 與 948 之熱成長的完成時間週期明顯較短，所以井摻雜物、APT 摻雜物、臨界調整摻雜物、及基極摻雜物在介電層 946 與 948 之熱成長期間的擴散明顯小於厚介電層熱成長期間。圖 18n 未指示因介電層 946 與 948 之熱成長造成的額外摻雜物擴散。

在圖 18n 所示範例介電層 946 與 948 之熱成長結束時，前驅物空主要井區 180P、182P、184AP、184BP、186AP 及 186BP 中各者的頂端皆位於該上方半導體表面的下方。同樣在圖中所示範例的此時點處，空主要井區 204 與 206 的前驅物的頂端亦位於上方半導體表面下方。不過，前驅物空主要井 180P、182P、184AP、184BP、186AP 及 186BP 亦可在介電層 946 與 948 之熱成長結束前達到該上方半導體。

P5.源極/汲極延伸區和環袋部的構成

一光阻遮罩 950 會如圖 18o 所示被形成在介電層 946 與 948 之上，其在對稱 n 通道 IGFET 108 的島 148 上方會有開口。n 型淺 S/D 延伸區摻雜物會以高度劑量被離子植入經過光阻 950 中的該等開口，經過表面介電質 948 中未被

覆蓋的區段，並且抵達下方單晶矽中垂直對應部分之中，以便定義 IGFET 108 之個別 S/D 延伸區 440E 與 442E 的一對橫向分離大部分相同的 n+前驅物 440EP 與 442EP。

該 n 型淺 S/D 延伸區植入係四象植入，其傾角 α 約等於 7°而基礎方位角數值 β_0 等於 20°至 25°。該 n 型淺 S/D 延伸區摻雜物的劑量通常為 $1x10^{14}$ 至 $1x10^{15}$ 個離子/cm^2，一般為 $5x10^{14}$ 個離子/cm^2。該 n 型淺 S/D 延伸區植入劑量中的約四分之一會在每一個方位角數值處被植入。該 n 型淺 S/D 延伸區摻雜物通常係由砷或磷所組成。在典型的情況中，砷會構成該 n 型淺 S/D 延伸區摻雜物，植入能量通常為 6 至 15keV，一般為 10keV。

讓光阻遮罩 950 仍保持在正確地方，該 p 型 S/D 環摻雜物以中劑量且明顯角度方式被離子植入經過光阻 950 中的開口，經過表面介電層 948 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以便定義 IGFET 108 之個別環袋部 450 與 452 的一對橫向分離大部分相同的 p 前驅物 450EP 與 452EP。再次參見圖 18o。光阻 950 會被移除。

p 前驅物環袋部 450P 與 452P 會分別延伸至比 n+前驅物 S/D 延伸區 440EP 與 442EP 更深的地方。由於該 p 型 S/D 環摻雜物之有角度植入，IGFET 108 的 p 前驅物環袋 450P 與 452P 會部分橫向延伸在其前驅物閘極電極 462P 的下方，分別超出其 n+前驅物 S/D 延伸區 440EP 與 442EP。

有角度的 p 型 S/D 環植入的傾角 α 至少 15°，通常為 20° 至 45°，一般為 30°。該 p 型 S/D 環摻雜物的劑量通常

為 $1x10^{13}$ 至 $5x10^{13}$ 個離子/cm^2，一般為 $2.5x10^{13}$ 個離子/cm^2。該有角度的 p 型 S/D 環植入係四象植入，其基礎方位角數值 β_0 約等於 30°。該 p 型 S/D 環植入劑量中的約四分之一會在每一個方位角數值處被植入。該 p 型 S/D 環摻雜物通常係由元素形式的硼或二氟化硼的形式所組成。在典型情況中，元素硼會構成該 p 型 S/D 環摻雜物，植入能量通常為 50 至 100keV，一般為 75keV。該 p 型 S/D 環植入可能會在 n 型淺 S/D 延伸區植入之前利用光阻 950 來實施。

一光阻遮罩 952 會如圖 18p 所示被形成在介電層 946 與 948 之上，其在非對稱 n 通道 IGFET 100 的汲極延伸區 242E 的位置上方會有開口。光阻遮罩 952 會精確地對齊 IGFET 100 的前驅物閘極電極 262P。該 n 型深 S/D 延伸區摻雜物會以高劑量以有明顯角度的方式被離子植入經過光阻 952 中的開口，經過表面介電質 948 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以定義 IGFET 100 之汲極延伸區 242E 的 n+前驅物 242EP。光阻 952 會被移除。

有角度的 n 型深 S/D 延伸區植入的傾角 α 至少 15°，通常為 20°至 45°，一般為 30°。因此，非對稱 IGFET 100 的前驅物汲極延伸區 242EP 會明顯地橫向延伸在其前驅物閘極電極 262P 的下方。

該 n 型深 S/D 延伸區植入係四象植入，其基礎方位角數值 β_0 等於 20°至 25°。n 型深 S/D 延伸區摻雜物的劑量通常 $2x10^{13}$ 至 $1x10^{14}$ 個離子/cm^2，一般 $5x10^{13}$ 至 $6x10^{13}$ 個離子/cm^2。該 n 型深 S/D 延伸區植入劑量中約四分之一會在每

一個方位角數值處被植入。該 n 型深 S/D 延伸區摻雜物通常係由磷或砷組成。在典型情況中，磷會構成該 n 型深 S/D 延伸區摻雜物，植入能量通常為 15 至 45keV，一般為 30keV。

一光阻遮罩 954 被形成在介電層 946 與 948 上，其在非對稱 n 通道 IGFET 100 的源極延伸區 240E 的位置上方及延伸型汲極 n 通道 IGFET 104 的源極延伸區 320E 的位置上方有開口。參見圖 18q。光阻遮罩 954 精確對齊 IGFET 100 與 104 的前驅物閘極電極 262P 與 346P。n 型淺源極延伸區摻雜物以高劑量被離子植入經過關鍵光阻 954 中的開口，經過表面介電質 948 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以定義(a)IGFET 100 之源極延伸區 240E 的 n+前驅物 240EP，及(b)IGFET 104 之源極延伸區 320E 的 n+前驅物 320EP。該 n 型淺源極延伸區植入的傾角 α 約 7°。

該 n 型淺源極延伸區摻雜物通常為砷，其原子重量百分比大於通常用於 n 型深 S/D 延伸區摻雜物的磷。請注意，非對稱 IGFET 100 的前驅物源極延伸區 240EP 及前驅物汲極延伸區 242EP 係分別由 n 型淺源極延伸區植入以及有角度的 n 型深 S/D 延伸區植入來定義，用於實施此等兩種 n 型植入之步驟的植入參數(其包含該 n 型深 S/D 延伸區植入的傾角與方位角參數)會經過選擇，俾讓前驅物汲極延伸區 242EP 中的 n 型深 S/D 延伸區摻雜物的極大濃度會小於前驅物源極延伸區 240EP 中的 n 型淺源極延伸區摻雜物的極大濃度，通常不超過一半，較佳係不超過四分之一，更佳係不超過十分之一，甚至更佳係不超過二十分之一。另或者，

前驅物源極延伸區 240EP 中的 n 型淺源極延伸區摻雜物的極大濃度會明顯大於前驅物汲極延伸區 242EP 中的 n 型深 S/D 延伸區摻雜物的極大濃度，通常至少 2 倍，較佳係至少 4 倍，更佳係至少 10 倍，甚至更佳係至少 20 倍。

非對稱 IGFET 100 的前驅物源極延伸區 240E 中 n 型淺源極延伸區摻雜物的極大濃度通常出現在和最終源極延伸區 240E 中大部分相同的位置且因而通常出現在和源極延伸區 240E 中全部 n 型摻雜物之極大濃度大部分相同的位置。IGFET 100 的前驅物汲極延伸區 242EP 中 n 型深 S/D 延伸區摻雜物的極大濃度亦通常出現在和最終汲極延伸區 242E 中大部分相同的位置且因而通常出現在和最終汲極延伸區 242E 中全部 n 型摻雜物之極大濃度大部分相同的位置。

n 型淺源極延伸區植入及 n 型深 S/D 延伸區植入的能量及其它植入參數(包含有角度的 n 型深 S/D 延伸區植入的傾角與方位角參數)會受到控制，讓前驅物汲極延伸區 242EP 中 n 型深 S/D 延伸區摻雜物的極大濃度位置會出現在明顯深過前驅物源極延伸區 240EP 中 n 型淺源極延伸區摻雜物的極大濃度位置。明確說，前驅物汲極延伸區 242EP 中 n 型深 S/D 延伸區摻雜物的極大濃度出現的位置通常會深過前驅物源極延伸區 240EP 中 n 型淺源極延伸區摻雜物的極大濃度的位置至少 10%，較佳係至少 20%，更佳係至少 30%。

該 n 型深 S/D 延伸區植入所需範圍遠大於 n 型淺源極延伸區植入所需範圍，因為(a)前驅物汲極延伸區 242EP 中 n 型深 S/D 延伸區摻雜物的極大濃度的位置深過前驅物源極

延伸區 240EP 中 n 型淺源極延伸區摻雜物的極大濃度的位置，及(b)實施 n 型深 S/D 延伸區植入的傾角 α 的數值高過實施 n 型淺源極延伸區植入。因此，前驅物汲極延伸區 242EP 的延伸深度大於前驅物源極延伸區 240EP，通常至少 20%，較佳至少 30%，更佳至少 50%，甚至更佳至少 100%。

因為該 n 型淺源極延伸區植入以幾乎垂直於大體上延伸平行該上方半導體表面之平面的方式來實施(傾角 α 通常約為 7°)，所以非對稱 IGFET 100 的前驅物源極延伸區 240EP 通常不會明顯橫向延伸在前驅物閘極電極 262P 下方。由於用於形成前驅物汲極延伸區 242EP 的 n 型深 S/D 延伸區摻雜物的有角度植入會導致其明顯橫向延伸在前驅物閘極電極 262P 下方，所以相較於前驅物源極延伸區 240EP，前驅物汲極延伸區 242EP 會明顯進一步橫向延伸在前驅物閘極電極 262P 的下方。所以，前驅物閘極電極 262P 與前驅物汲極延伸區 242EP 的重疊數額明顯超過前驅物閘極電極 262P 與前驅物源極延伸區 240EP 的重疊數額。前驅物汲極延伸區 242EP 上的前驅物閘極電極 262P 的重疊數額通常會比前驅物源極延伸區 240EP 上的前驅物閘極電極 262P 的重疊數額大至少 10%，較佳至少 15%，更佳至少 20%。

該 n 型淺源極延伸區植入係四象植入，其基礎方位角數值 β_0 等於 20°至 25°。在符合 IGFET 100 的前驅物源極延伸區 240EP 和前驅物汲極延伸區 242EP 間之差異的上面條件下，該 n 型淺源極延伸區摻雜物的劑量通常為 $1x10^{14}$ 至 $1x10^{15}$ 個離子/cm^2，一般為 $5x10^{14}$ 個離子/cm^2。該 n 型

淺源極延伸區植入劑量中約四分之一會在每一個方位角數值處被植入。在典型情況中，砷會構成該 n 型淺源極延伸區摻雜物，植入能量通常為 3 至 15keV，一般為 10keV。

讓關鍵光阻遮罩 954 仍保持在正確的地方，該 p 型源極環摻雜物會以中劑量以有明顯角度的方式被離子植入經過光阻 954 中的該等開口，經過表面介電層 948 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分中，以便定義(a)非對稱 IGFET 100 之環袋部 250 的 p 前驅物 250P，以及(b)延伸型汲極 IGFET 104 之環袋部 326 的 p 前驅物 326P。參見圖 18q。光阻 954 會被移除。

p 前驅物環袋部 250P 與 326P 會分別延伸至比 IGFET 100 與 104 的 n+前驅物源極延伸區 240EP 與 320EP 更深的地方。由於 p 型源極環摻雜物之有角度植入，IGFET 100 的 p 前驅物環袋 250P 會部分橫向延伸在其前驅物閘極電極 262P 的下方且超出其 n+前驅物源極延伸區 240EP。IGFET 104 的 p 前驅物環袋 326P 亦部分橫向延伸在其前驅物閘極電極 346P 的下方並且超出其 n+前驅物 S/D 延伸區 320EP。

有角度的 p 型源極環植入的傾角 α 至少 15°，通常為 20°至 45°，一般為 30°。該有角度的 p 型源極環植入係四象植入，其基礎方位角數值 β_0 約等於 45°。該 p 型源極環摻雜物的劑量通常為 $1x10^{13}$ 至 $5x10^{13}$ 個離子/cm^2，一般為 $2.5x10^{13}$ 個離子/cm^2。該 p 型源極環植入劑量中約四分之一會在每一個方位角數值處被植入。該 p 型源極環摻雜物通常係由二氟化硼的形式或是元素形式的硼所組成。在典型

情況中，二氟化硼形式的硼會構成該 p 型源極環摻雜物，植入能量通常為 50 至 100keV，一般為 75keV。該 p 型源極環植入可在 n 型淺源極延伸區植入前利用光阻 954 來實施。

一光阻遮罩 956 會如圖 18r 所示被形成在介電層 946 與 948 之上，其在對稱 p 通道 IGFET 110 的島 150 上方會有開口。該 p 型淺 S/D 延伸區摻雜物會以高劑量被離子植入經過光阻 956 中的開口，經過表面介電質 948 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分之中，以便定義 IGFET 110 之個別 S/D 延伸區 480E 與 482E 的一對橫向分離大部分相同的 p+前驅物 480EP 與 482EP。

該 p 型淺 S/D 延伸植入係四象植入，其傾角 α 約等於 7°而基礎方位角數值 β_0 等於 20°至 25°。該 p 型淺 S/D 延伸區摻雜物的劑量通常為 $5x10^{13}$ 至 $5x10^{14}$ 個離子/cm^2，一般為 $1x10^{14}$ 至 $2x10^{14}$ 個離子/cm^2。該 p 型淺 S/D 延伸區植入劑量中約四分之一會在每一方位角數值處植入。該 p 型淺 S/D 延伸區摻雜物通常由二氟化硼的形式或元素形式的硼組成。在典型情況中，二氟化硼形式的硼會構成該 p 型淺 S/D 延伸區摻雜物，植入能量通常 2 至 10keV，一般 5keV。

讓光阻遮罩 956 仍保持在正確地方，該 n 型 S/D 環摻雜物以中劑量且有明顯角度方式被離子植入經過光阻 956 中的開口，經過表面介電層 948 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以定義 IGFET 110 之個別環袋部 490 與 492 的一對橫向分離大部分相同的 n 前驅物 490EP 與 492EP。再次參見圖 18r。光阻 956 會被移除。

n 前驅物環袋部 490P 與 492P 會分別延伸至比 p+前驅物 S/D 延伸區 480EP 與 482EP 更深的地方。由於 n 型 S/D 環摻雜物之有角度植入的關係，IGFET 110 的 n 前驅物環袋 490P 與 492P 會部分橫向延伸在其前驅物閘極電極 502P 的下方，分別超出其 p+前驅物 S/D 延伸區 480EP 與 482EP。

有角度的 n 型 S/D 環植入的傾角 α 至少 15°，通常為 20°至 45°，一般為 30°。該有角度的 n 型 S/D 環植入係四象植入，其基礎方位角數值 β_0 約等於 45°。該 n 型 S/D 環摻雜物的劑量通常為 $1x10^{13}$ 至 $5x10^{13}$ 個離子/cm^2，一般為 $2.5x10^{13}$ 個離子/cm^2。該 n 型 S/D 環植入劑量中的約四分之一會在每一個方位角數值處被植入。該 n 型 S/D 環摻雜物通常係由砷或磷所組成。在典型的情況中，砷會構成該 n 型 S/D 環摻雜物，植入能量通常為 100 至 200keV，一般為 150keV。該 n 型 S/D 環植入可能會在 p 型淺 S/D 延伸區植入之前利用光阻 956 來實施。

一光阻遮罩 958 會如圖 18s 所示被形成在介電層 946 與 948 上，其在非對稱 p 通道 IGFET 102 的汲極延伸區 282E 的位置上方會有開口。光阻遮罩 958 會精確對齊 IGFET 102 的前驅物閘極電極 302P。

該 p 型深 S/D 延伸區摻雜物以高劑量略為傾斜方式被離子植入經過光阻 958 中的開口，經過表面介電質 948 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以便定義 IGFET 102 之汲極延伸區 282E 的 p+前驅物 282EP。

該 p 型深 S/D 延伸區植入的傾角 α 約為 7°。由於該 p

型深 S/D 延伸區摻雜物植入係在小額數值的傾角 α 進行，所以非對稱 IGFET 102 的前驅物汲極延伸區 282EP 會略為橫向延伸在前驅物閘極電極 302P 下方。光阻 958 會被移除。

該 p 型 S/D 延伸區植入亦能以明顯斜向方式來實施，其包含在足以構成有角度植入的傾角處來實施。據此，圖 18s 中代表該 p 型 S/D 延伸區植入的箭頭會被圖解成斜向垂直線，但是傾斜程度不及代表以明顯傾斜方式來實施的離子植入(例如，圖 18s 的 n 型深 S/D 延伸區植入)的箭頭。

該 p 型深 S/D 延伸區植入係四象植入，其基礎方位角數值 β_0 等於 20°至 25°。p 型深 S/D 延伸區摻雜物的劑量通常為 $2x10^{13}$ 至 $1x10^{14}$ 個離子/cm^2，一般為 $8x10^{13}$ 個離子/cm^2。該 p 型深 S/D 延伸區植入劑量中約四分之一會在每一個方位角數值處被植入。該 p 型深 S/D 延伸區摻雜物通常係由二氟化硼的形式或元素形式的硼所組成。在典型情況中，二氟化硼形式的硼會構成該 p 型深 S/D 延伸區摻雜物，植入能量通常為 5 至 20keV，一般為 10keV。

一光阻遮罩 960 會被形成在介電層 946 與 948 之上，其在非對稱 p 通道 IGFET 102 的源極延伸區 280E 的位置上方以及延伸型汲極 p 通道 IGFET 106 的源極延伸區 360E 的位置上方會有開口。參見圖 18t。光阻遮罩 960 會精確地對齊 IGFET 102 與 106 的前驅物閘極電極 302P 與 386P。該 p 型淺源極延伸區摻雜物會以高電劑量被離子植入經過關鍵光阻 960 中的該等開口，經過表面介電層 948 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分以便定義

(a)IGFET 102 之源極延伸區 280E 的 p+前驅物 280P，及(b)IGFET 106 之源極延伸區 360E 的 p+前驅物 360EP。

該 p 型淺源極延伸區植入通常係利用和稍為斜向 p 型深 S/D 延伸區植入相同的 p 型摻雜物(硼)來實施。此等兩種 p 型植入通常也會在相同的粒子離子化電荷狀態處利用含有相同 p 型摻雜物的粒子物種(二氟化硼或元素硼)來實施。

該 p 型淺源極延伸區植入係四象植入，其傾角 α 約等於 7°而基礎方位角數值 β_0 等於 20°至 25°。因為該 p 型淺源極延伸區植入係以幾乎垂直於大體上延伸平行於該上方半導體表面之平面的方式來實施，所以非對稱 p 通道 IGFET 102 的前驅物源極延伸區 280EP 僅會略為橫向延伸在前驅物閘極電極 302P 的下方。

該 p 型淺源極延伸區摻雜物的劑量通常 $2x10^{13}$ 至 $2x10^{14}$ 個離子/cm^2，一般 $8x10^{13}$ 個離子/cm^2。該 p 型淺源極延伸區植入劑量中約四分之一會在每一方位角數值處植入。在典型情況中，二氟化硼形式的硼會構成該 p 型淺源極延伸區摻雜物，植入能量通常 5 至 20keV，一般 10keV。

該 p 型深 S/D 延伸區植入同樣係四象植入，其傾角 α 約等於 7°而基礎方位角數值 β_0 等於 20°至 25°。檢視前面植入劑量和能量資訊顯示：p 型淺源極延伸區植入和 p 型深 S/D 延伸區植入皆運用相同的植入劑量和能量典型數值。因為此等兩種 p 型植入通常係利用相同的 p 型半導體摻雜物原子物種、且在相同的粒子離子化電荷狀態處利用含有相同 p 型摻雜物的粒子物種來實施，該等兩種 p 型植入一般

係在相同條件下實施。結果，非對稱 p 通道 IGFET 102 的前驅物汲極延伸區 282EP 中的 p 型深 S/D 延伸區摻雜物的極大濃度的深度 y_{DEPK} 一般會與前驅物源極延伸區 280EP 中的 p 型淺源極延伸區摻雜物的極大濃度的深度 y_{SEPK} 相同。

該經 p 型植入的深 S/D 延伸區摻雜物及該經 p 型植入的淺源極延伸區摻雜物在高溫處實施的後續步驟期間會經歷熱擴散。經離子植入的半導體摻雜物的熱擴散會導致其向外散開，但不會明顯垂直影響其極大濃度的位置。因此，p 通道 IGFET 102 的前驅物源極延伸區 280EP 中 p 型淺源極延伸區摻雜物的極大濃度通常會垂直出現在和最終源極延伸區 280E 中大部分相同的位置且因而通常會垂直出現在和源極延伸區 280E 中全部 p 型摻雜物之極大濃度大部分相同的位置。IGFET 102 的前驅物汲極延伸區 282EP 中的 p 型深 S/D 延伸區摻雜物的極大濃度同樣通常會垂直出現在和在最終汲極延伸區 282E 之中大部分相同的位置並且因而通常會垂直出現在和最終汲極延伸區 282E 中全部 p 型摻雜物之極大濃度大部分相同的位置。基於該些理由，IGFET 102 的最終汲極延伸區 282E 中 p 型深 S/D 延伸區摻雜物的極大濃度的深度 y_{DEPK} 一般會與最終源極延伸區 280E 中的 p 型淺源極延伸區摻雜物的極大濃度的深度 y_{SEPK} 相同。

讓光阻遮罩 960 仍保持在正確地方，該 n 型源極環摻雜物會以中劑量以有明顯角度的方式被離子植入經過光阻 960 中的開口，經過表面介電層 948 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以定義(a)非對稱 IGFET

102之環袋部290的n前驅物290P，及(b)延伸型汲極IGFET 106之環袋部366的n前驅物366P。參見圖18t。光阻960會被移除。

n前驅物環袋部290P與366P會分別延伸至比IGFET 102與106之p+前驅物源極延伸區280EP與360EP更深的地方。由於n型源極環摻雜物之有角度植入，IGFET 102的n前驅物環袋290P會部分橫向延伸在其前驅物閘極電極302P的下方且超出其p+前驅物源極延伸區280EP。IGFET 106的n前驅物環袋366P亦會部分橫向延伸在其前驅物閘極電極386P的下方且超出其p+前驅物源極延伸區360EP。

有角度的n型源極環植入的傾角α至少15°，通常為20°至45°，一般為30°。該有角度的n型源極環植入係四象植入，其基礎方位角數值β_0約等於45°。該n型源極環摻雜物的劑量通常為$2x10^{13}$至$8x10^{14}$個離子/cm^2，一般約為$4x10^{13}$個離子/cm^2。該n型源極環植入劑量中的約四分之一會在每一個方位角數值處被植入。該n型源極環摻雜物通常係由砷或磷所組成。在典型的情況中，砷會構成該n型源極環摻雜物，植入能量通常為75至150keV，一般為125keV。該n型源極環植入可能會在p型淺源極延伸區植入之前利用光阻960來實施。

定義橫向S/D延伸區及環袋部的光阻遮罩950、952、954、956、958及960可以任何順序運用。倘若由光阻遮罩950、952、954、956、958及960中一特殊光阻遮罩所定義的橫向S/D延伸區或環袋部中沒有任何一者出現在根據圖

18 半導體製造平台施行方式所製成的任何 IGFET，便可從該平台施行方式中刪去該遮罩及相關聯的(多個)植入操作。

在最終半導體結構上實施一額外 RTA 以修補因被植入的 p 型與 n 型 S/D 延伸區摻雜物和環袋摻雜物所造成的晶格損壞、且將該等 S/D 延伸區摻雜物和環袋摻雜物的原子置於能量更穩定狀態中。該額外 RTA 會在 900 至 1050℃(通常 950 至 1000℃處)於無抗環境中實施 10 至 50s，一般 25s。

該額外 RTA 會讓該等 S/D 延伸區摻雜物及環袋部摻雜物以垂直及橫向方式擴散。該等井摻雜物、APT 摻雜物、臨界調整摻雜物、及基極摻雜物(尤其是空主要井摻雜物)會在該額外 RTA 期間以垂直及橫向方式進一步擴散。圖 18 中的其餘圖式僅顯示空主要井摻雜物的向上擴散。倘若前驅物空主要井區 180P、182P、184AP、184BP、186AP 及 186BP 在介電層 946 與 948 的熱成長結束前並不會抵達該上方半導體表面，前驅物空主要井區 180P、182P、184AP、184BP、186AP 及 186BP 通常會在該額外 RTA 結束之前抵達該上方半導體表面。此情形顯示在圖 18 中的其餘圖式中。

前驅物主要集極部 245MP 現在實質上為 npn BJT 101 的 n 主要集極部 245M。前驅物淺集極井區 175AP 與 175BP 現在實質上為 BJT 101 個別的淺 n 集極井區 175A 與 175B。前驅物主要集極部 325MP 現在實質上為 pnp BJT 103 的 p 主要集極部 325M。前驅物淺集極井區 177AP 與 177BP 現在實質上為 BJT 103 個別的淺 p 集極井。

隔離 p-磊晶層部 136P1 至 136P3、136P5、及 136P6 會

縮小至零並且不會出現在圖 18 中其餘圖式。p-磊晶層 136P 實質上會變成 p-基板區 136。對延伸型汲極 n 通道 IGFET 104 來說，p-基板區 136 的表面鄰接部 136A 會橫向分離 p 前驅物空主要井區 184AP 和 n 前驅物空主要井區 184BP。對延伸型汲極 p 通道 IGFET 106 來說，p-基板區 136 的表面鄰接部 136B 則係位於 n 前驅物空主要井區 186AP、p 前驅物空主要井區 186BP、及深 n 井 212 之間。

P6.間隔部、射極、接點部、及主要源極/汲極部的構成

隔離介電間隔部 271-1、273-1、271-2、273-2、351-1、353-1、351-2 及 353-2 如圖 18u 所示沿 BJT 101 與 103 的前驅物多晶矽橫向間隔部分 269-1P、269-2P、349-1P 及 349-2P 的橫斷側壁被形成。閘極側壁間隔部 264、266、304、306、348、350、388、390、464、466、504 及 506 沿著 IGFET 100、102、104、106、108 及 110 的前驅物多晶矽閘極電極 262P、302P、346P、386P、462P 及 502P 的橫斷側壁被同步形成。

BJT 101 與 103 的該等隔離介電間隔部以及 IGFET 100、102、104、106、108 及 110 的該等閘極側壁間隔部較佳的係根據上面提及的台灣專利申請案第 99108622 號，法律檔案編號第 NS-7192TW 號中所述的程序被形成弧狀三角形形狀。簡言之，一由四乙氧基矽烷(tetraethyl orthosilicate)製成的介電內襯層(未圖示)會被沉積在介電層 946 與 948 之上。另一介電材料會被沉積在該內襯層之上。接著，該另一介電材料中非預期要構成該等隔離介電間隔部以及該等

閘極側壁間隔部的部分便會被移除，主要係藉由大體上垂直於該上方半導體表面所進行的各向異性蝕刻來移除。圖18u中的密封介電層962係例示密封層946和該內襯層之上覆材料的最終組合。表面介電層964係例示表面層948和該內襯層之上覆材料的最終組合。

側壁間隔部(未圖示)會同步被設置在該閘極電極多晶矽層中被指定要成為多晶矽電阻器的任何部分中。

假設和npn BJT 101的前驅物橫向間隔部分269-1P或269-2P的射極側橫斷橫向側275-1或275-2反向的每一個射極側隔離介電間隔部271-1或271-2的橫向側稱為該射極側間隔部271-1或271-2的「外側」。參見圖7與8。同樣，假設和npn BJT 101的前驅物橫向間隔部分269-1P或269-2P的基極接點側橫斷橫向側277-1或277-2反向的每一個基極接點側隔離介電間隔部273-1或273-2的橫向側稱為該基極接點側間隔部273-1或273-2的「外側」。

依照前面的方式形成該等隔離介電間隔部以及該等閘極側壁間隔部會讓npn BJT 101的射極側隔離介電間隔部271-1或271-2的厚度在通過該等前驅物橫向間隔部分的任何橫向平面的橫斷方向中大部分為恆定。結果，每一個射極側間隔部271-1或271-2的外側在通過該等前驅物橫向間隔部分的任何橫向平面中會大部分保形於前驅物橫向間隔部分269-1P或269-2P的射極側橫斷橫向側275-1或275-2。同樣的關係亦適用於pnp BJT 103的前驅物橫向間隔部分349-1P或349-2P及射極側間隔部351-1或351-2。簡言之，

每一個射極側間隔部的外側會大部分保形於其前驅物橫向間隔部分的射極側橫向側。

同樣，npn BJT 101 的基極側隔離介電間隔部 273-1 或 273-2 的厚度在通過該等前驅物橫向間隔部分的任何橫向平面的橫斷方向中大部分為恆定。每一基極接點側間隔部 273-1 或 273-2 的外側在通過該等前驅物橫向間隔部分的任何橫向平面中因而會大部分保形於前驅物橫向間隔部分 269-1P 或 269-2P 的基極接點側橫斷橫向側 277-1 或 277-2。此關係亦適用於 pnp BJT 103 的前驅物橫向間隔部分 349-1P 或 349-2P 及基極接點側間隔部 353-1 或 353-2。同樣簡言之，每一個基極接點側間隔部的外側會大部分保形於其前驅物橫向間隔部分的基極接點側橫向側。

此外，射極側隔離介電間隔部 271-1、271-2、351-1、或 351-2 在通過該等前驅物橫向間隔部分的一橫向平面中於表面介電層 964 之頂端的高度處的厚度會約略為該上方半導體表面中最終射極側間隔部厚度 d_{SE}。基極接點側隔離介電間隔部 273-1、273-2、353-1、或 353-2 在該橫向平面中於表面介電層 964 之頂端的高度處的厚度會約略為該上方半導體表面中的最終基極接點側間隔部厚度 d_{SB}。所以，射極側間隔部厚度 d_{SE} 和基極接點側間隔部厚度 d_{SB} 在該橫斷方向中大部分為恆定。間隔部厚度 d_{SE} 和 d_{SB} 通常為相同。

一光阻遮罩 970 會被形成在介電層 962 與 964、該等隔離介電間隔部、及該等閘極側壁間隔部上，其在下面位置的上方有開口：(a)npn BJT 101 的射極側隔離介電間隔部

271-1 與 271-2 之間的空間，也就是射極 241 的預期位置；(b)BJT 101 的島 135B；(c)pnp BJT 103 的場絕緣區 138 與基極接點側隔離介電間隔部 353-1 之間的空間，也就是第一基極接點部 323C-1 的預期位置；及(d)BJT 103 的場絕緣區 138 與基極接點側隔離介電間隔部 353-2 之間的空間，也就是第二基極接點部 323C-2 的預期位置。參見圖 18v。光阻遮罩 970 在 n 通道 IGFET 100、104、及 108 的島 140、144A、144B、及 148 上方同樣會有開口。

n 型主要 S/D 摻雜物(或 n 型射極-集極-基極/主要 S/D 摻雜物)以超高劑量被離子植入經過光阻 970 中的開口，經過表面介電層 964 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以定義(a)npn BJT 101 的 n++射極 241，(b)BJT 101 的 n++集極接點部 245C，(c)pnp BJT 103 的 n++基極接點部 323C-1 與 323C-2，(d)非對稱 n 通道 IGFET 100 的 n++主要源極部 240M 以及 n++主要汲極部 242M，(e)延伸型汲極 n 通道 IGFET 104 的 n++主要源極部 320M 以及 n++汲極接點部 334M，及(f)對稱 n 通道 IGFET 108 的 n++主要 S/D 部 440M 與 442M。

此外，n 型主要 S/D 摻雜物亦進入 npn BJT 101 的前驅物橫向間隔部分 269-1P 與 269-2P 及 pnp BJT 103 的前驅物橫向間隔部分 349-1P 與 349-2P。n 型主要 S/D 摻雜物亦進入 n 通道 IGFET 100、104 及 108 的前驅物閘極電極 262P、346P 及 462P，從而將前驅物電極 262P、346P 及 462P 分別轉換成 n++閘極電極 262、346 及 462。光阻 970 被移除。

n 型主要 S/D 摻雜物的劑量通常 $2x10^{15}$ 至 $2x10^{16}$ 個離子/cm^2，一般 $7x10^{15}$ 個離子/cm^2。該 n 型主要 S/D 摻雜物通常由砷或磷所組成。在典型情況中，砷會構成該 n 型主要 S/D 摻雜物，植入能量通常 50 至 100keV，一般 60 至 70keV。

前驅物多晶矽橫向間隔部分 269-1P、269-2P、349-1P、及 349-2P 以及隔離介電間隔部 271-1、273-1、271-2、273-2、351-1、353-1、351-2、及 353-2 一起充當一摻雜物阻隔擋板，用以主要防止 n 型主要 S/D 摻雜物被離子植入到該下方單晶矽中。更明確說，前驅物橫向間隔部分 269-1P 與 269-2P、射極側間隔部 271-1 與 271-2、及基極接點側間隔部 273-1 與 273-2 的組合充當一摻雜物阻隔擋板，其會實質上防止該 n 型主要 S/D 摻雜物被植入到 npn BJT 101 的 p 基極鏈部 243L-1 與 243L-2 的預期位置之中。

npn BJT 101 的摻雜物阻隔擋板中的射極側間隔部 271-1 與 271-2 的存在會讓 BJT 101 的 n++射極 241 的橫斷側邊在通過該等前驅物橫向間隔部分的任何橫向平面中大部分分別保形於射極側間隔部 271-1 與 271-2 的外側。此類型的保形作用通常會被稱為「自動對齊」。因為每一個射極側間隔部 271-1 或 271-2 的外側大部分會保形於前驅物橫向間隔部分 269-1P 或 269-2P 的射極側橫向側，所以該上方半導體表面中的射極 241 的橫斷邊緣大部分會分別保形於前驅物橫向間隔部分 269-1P 與 269-2P 的射極側橫向側。

前驅物橫向間隔部分 349-1P 與 349-2P、基極接點側間隔部 353-1 與 353-2、及射極側間隔部 351-1 與 351-2 的組

合充當一摻雜物阻隔擋板，其會實質上防止該 n 型主要 S/D 摻雜物被植入到 pnp BJT 103 的 n 基極鏈部 323L-1 與 323L-2 的預期位置之中。在此擋板中的基極接點側間隔部 353-1 與 353-2 的存在會讓 BJT 103 的 n++基極接點部 323C-1 與 323C-2 的射極側橫斷側邊在通過該等前驅物橫向間隔部分的任何橫向平面中大部分分別保形於，也就是，分別自動對準，基極接點側間隔部 353-1 與 353-2 的外側。因為每一個基極接點側間隔部 353-1 或 353-2 的外側大部分會保形於前驅物橫向間隔部分 349-1P 或 349-2P 的基極接點側橫向側，所以，該上方半導體表面中的基極接點部 323C-1 與 323C-2 的射極側橫斷邊緣大部分會分別保形於前驅物橫向間隔部分 349-1P 與 349-2P 的基極接點側橫向側。

於此時點處，通常會在最終半導體結構上實施一初始尖峰式退火以修補因被植入的 n 型主要 S/D 摻雜物所造成的晶格損壞並且將該 n 型主要 S/D 摻雜物的原子置於能量更穩定的狀態之中。進行該尖峰式退火時會將該半導體結構的溫度提升到 1000 至 1200℃，一般為 1100℃。該等被植入的 p 型摻雜物與 n 型摻雜物的擴散通常會發生在該初始尖峰式退火期間，因為該尖峰式退火溫度相當高。該尖峰式退火還會導致 BJT 101 與 103 的橫向間隔部分 269-1、269-2、349-1、及 349-2 中和該等圖中所示 n 通道 IGFET 的閘極電極中的 n 型主要 S/D 摻雜物向外擴散。

初始尖峰式退火完成後，在 n++射極 241 下方的前驅物基極 243P 的部分實質上會構成 npn BJT 101 的 p 本質基極

部 243I。在 n++集極接點部 245C 下方的前驅物中間集極部 245IP 的部分實質上會構成 BJT 101 的 n 中間集極部 245I。

非對稱 n 通道 IGFET 100 的 n++主要 S/D 部 240M 與 242M 外面的前驅物區域 240EP、242EP、及 250P 的部分現在分別實質上會構成其 n+源極延伸區 240E、它的 n+汲極延伸區 242E、及其 p 源極側環袋部 250。在源極 240、汲極 242、及環袋部 250 外面的 p 前驅物空主要井區 180P(現在為 p 型空井主體材料 180)的部分實質上會構成 IGFET 100 的 p 型空井主要主體材料部 254。前驅物點線 256P 現在實質上為點線 256，其大體上界定主要主體材料部 254 中的 p 型摻雜在向上移動時會於何處從中度降為輕度。

延伸型汲極 n 通道 IGFET 104 的 n++主要源極部 320M 外面的前驅物區域 320EP 與 326EP 的部分分別實質上會構成它的 n+源極延伸區 320E 及其 p 源極側環袋部 326。在環袋部 326 外面的 p 前驅物空主要井區 1804AP(現在為 p 型空井主體材料 184A)的部分實質上會構成 IGFET 104 的 p 主體材料部 328。在 n++外部汲極接點部 334 外面的 n 前驅物空主要井區 1804BP(現在為汲極 184B)的部分實質上會構成 IGFET 104 的 n 空井汲極部 336。前驅物點線 332P 與 340P 現在實質上分別為點線 332 與 340，其分別大體上界定主體材料部 328 與汲極部 336 中的淨摻雜在向上移動時會於何處從中度降為輕度。

非對稱 n 通道 IGFET 108 的 n++主要 S/D 部 440M 與 442M 外面的前驅物區域 440EP、442EP、450P 及 452P 的部

分分別實質上構成其 n+ S/D 延伸區 440E 與 442E 及其環袋部 450 與 452。在 S/D 區帶 440 與 442 及環袋 450 與 452 外面的 p 前驅物主體材料部 456P 與 458P 的部分實質上構成 IGFET 108 的 p 主體材料部 456 與 458。在 S/D 區帶 440 與 442 外面的 p 前驅物滿主要井區 188P 的部分實質上構成由 p 主體材料部 454、456 及 458 所形成的 p 型滿主要井區 188。

n 通道 IGFET 100、104、以及 108 的源極-主體接面和汲極-主體接面可能會垂直緩變，以便當位於正確地方時經由光阻遮罩 970 中的開口植入 n 型半導體摻雜物(本文稱為 n 型接面緩變摻雜物)來降低接面電容。相較於 n 型主要 S/D 摻雜物，該 n 型接面緩變摻雜物會以較大範圍及較低劑量的方式被植入。n 型主要 S/D 植入或是 n 型接面緩變 S/D 植入皆能先被實施。於任一情況中，初始尖峰式退火皆同樣會修補因被植入的 n 型接面緩變 S/D 摻雜物所造成的晶格損壞並且將該 n 型接面緩變 S/D 摻雜物的原子置於能量更穩定的狀態中。

該 n 型接面緩變摻雜物會進入 BJT 101 與 103 的經 n 摻雜的部分中。因此，npn BJT 101 的 n 型射極 241 係由一超重度摻雜的主要部以及一較輕度摻雜的下方部所組成。這可能會略為降低 BJT 101 的增益，但卻會提高其基極射極崩潰電壓。該 n 型接面緩變摻雜物的存在通常不會對 pnp BJT 103 有任何嚴重的影響。

一光阻遮罩 972 會如圖 18w 中所示被形成在介電層 962 與 964、該等隔離介電間隔部、及該等閘極側壁間隔部之

上，其在下面位置的上方會有開口：(a)pnp BJT 103 的射極側隔離介電間隔部 351-1 與 351-2 之間的空間，也就是射極 321 的預期位置；(b)BJT 103 的島 137B；(c)npn BJT 101 的場絕緣區 138 與基極接點側隔離介電間隔部 273-1 之間的空間，也就是第一基極接點部 243C-1 的預期位置；及(d)BJT 101 的場絕緣區 138 與基極接點側隔離介電間隔部 273-2 之間的空間，也就是第二基極接點部 243C-2 的預期位置。光阻遮罩 972 在 p 通道 IGFET 102、106 及 110 的島 142、146A、146B 及 150 上方同樣會有開口。

p 型主要 S/D 摻雜物(或是 p 型射極-集極-基極/主要 S/D 摻雜物)會以超高劑量被離子植入經過光阻 972 中的開口，經過表面介電層 964 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分中以定義(a)pnp BJT 103 的 p++射極 321，(b)BJT 103 的 p++集極接點部 325C，(c)npn BJT 103 的 p++基極接點部 243C-1 與 243C-2，(d)非對稱 p 通道 IGFET 102 的 p++主要源極部 280M 以及 p++主要汲極部 282M，(e)延伸型汲極 p 通道 IGFET 106 的 p++主要源極部 360M 以及 p++汲極接點部 374M，及(f)對稱 p 通道 IGFET 110 的 p++主要 S/D 部 480M 與 482M。

此外，p 型主要 S/D 摻雜物也會進入 npn BJT 101 的前驅物橫向間隔部分 269-1P 與 269-2P 及 pnp BJT 103 的前驅物橫向間隔部分 349-1P 與 349-2P。每一前驅物橫向間隔部分 269-1P、269-2P、349-1P、或 349-2P 因而會被轉換成混合導體類型的最終橫向間隔部分 269-1、269-2、349-1、或

349-2。該 n 型主要 S/D 摻雜物也會進入 p 通道 IGFET 102、106、及 110 的前驅物閘極電極 302P、386P、及 502P 中，從而將前驅物電極 302P、386P、及 502P 分別轉換成 p++閘極電極 302、386、及 502。光阻 970 會被移除。

該 p 型主要 S/D 摻雜物的劑量通常為 $2x10^{15}$ 至 $2x10^{16}$ 個離子/cm^2，一般為 $7x10^{15}$ 個離子/cm^2。該 p 型主要 S/D 摻雜物通常係由元素形式的硼或是二氟化硼的形式所組成。在典型的情況中，該 p 型主要 S/D 摻雜物為元素硼，植入能量通常為 2 至 10keV，一般為 5keV。

在早期的 n 型主要 S/D 植入期間，最終的多晶矽橫向間隔部分 269-1、269-2、349-1、以及 349-2 的形狀分別大部分和它們的前驅物形狀相同。據此，在該上方半導體表面中的 npn BJT 101 的射極 241 的橫斷邊緣大部分會分別保形於間隔部分 269-1P 與 269-2P 的射極側橫向側。另外，在該上方半導體表面中的 pnp BJT 103 的基極接點部 323C-1 與 323C-2 的射極側橫斷邊緣大部分會分別保形於間隔部分 349-1P 與 349-2P 的基極接點側橫向側。

接著，在 p 型主要 S/D 植入後，橫向間隔部分 269-1、269-2、349-1 及 349-2 和隔離介電間隔部 271-1、273-1、271-2、273-2、351-1、353-1、351-2 及 353-2 會一起充當一摻雜物阻隔擋板，用以主要防止 p 型主要 S/D 摻雜物被離子植入到該下方單晶矽之中。明確說，橫向間隔部分 269-1 與 269-2、基極接點側間隔部 273-1 與 273-2、及射極側間隔部 271-1 與 271-2 的組合充當一摻雜物阻隔擋板，其會實

質上防止該 p 型主要 S/D 摻雜物被植入到 npn BJT 101 的 p 基極鏈部 243L-1 與 243L-2 的預期位置之中。

npn BJT 101 的前述摻雜物阻隔擋板中的基極接點側間隔部 273-1 與 273-2 的存在會讓 BJT 101 的 p++基極接點部 243C-1 與 243C-2 的射極側橫斷側邊在通過該等橫向間隔部分的任何橫向平面中大部分分別保形於(也就是分別自動對齊)基極接點側間隔部 273-1 與 273-2 的外側。因為每一個基極接點側間隔部 273-1 或 273-2 的外側大部分會保形於橫向間隔部分 269-1 或 269-2 的基極接點側橫向側，所以該上方半導體表面中的基極接點部 243C-1 與 243C-2 的射極側橫斷邊緣大部分會分別保形於橫向間隔部分 269-1 與 269-2 的基極接點側橫向側。如上面所示，npn BJT 101 的基極鏈部 243L-1 或 243L-2 的基極鏈長度 L_{BL} 係從射極 241 的相關聯橫斷邊緣延伸到基極接點部 243C-1 或 243C-2。據此，BJT 101 的基極鏈部 243L-1 或 243L-2 的基極鏈長度 L_{BL} 大部分會以線性的方式隨著橫向間隔部分 269-1 或 269-2 在基極鏈長度 L_{BL} 之方向中的維度 d_{LS} 而改變。

依照互補的方式，這同樣適用於 pnp BJT 103。橫向間隔部分 349-1 與 349-2、射極側間隔部 351-1 與 351-2、以及基極接點側間隔部 353-1 與 353-2 的組合充當一摻雜物阻隔擋板，其會實質上防止該 p 型主要 S/D 摻雜物被植入到 p 基極鏈部 323L-1 與 323L-2 的預期位置之中。在此擋板中的射極側間隔部 351-1 與 351-2 的存在會讓 p++射極 321 的側橫斷側邊在通過該等橫向間隔部分的任何橫向平面中大部

分分別保形於，也就是，分別自動對準，射極側間隔部 351-1 與 351-2 的外側。因為每一個射極側間隔部 351-1 或 351-2 的外側大部分會保形於橫向間隔部分 349-1P 或 349-2P 的射極側橫向側，所以該上方半導體表面中的射極 321 的橫斷邊緣大部分會分別保形於間隔部分 349-1P 與 349-2P 的射極側橫向側。注意基極鏈長度 L_{BL} 的定義，其淨結果係，BJT 103 的基極鏈部 323L-1 或 323L-2 的基極鏈長度 L_{BL} 大部分會以線性的方式隨著橫向間隔部分 349-1 或 349-2 在基極鏈長度 L_{BL} 之方向中的維度 d_{LS} 而改變。

如上提，向間隔部分的維度 d_{LS} 會取決於定義該等橫向間隔部分的光阻遮罩所達成的圖樣化作業且能夠受到非常精確控制。這會讓基極鏈長度 L_{BL} 受到非常精確的控制。

該閘極電極多晶矽層中被指定成為一多晶矽電阻器的任何部分通常會在沉積該閘極電極多晶矽層後所實施的上述摻雜步驟中的一或多道步驟期間被 n 型半導體摻雜物或 p 型半導體摻雜物摻雜。舉例來說，一多晶矽電阻器部分可能會被 n 型主要 S/D 摻雜物或 p 型主要 S/D 摻雜物摻雜。

現在會在最終的半導體結構上實施另一尖峰式退火，用以修補因被植入的 p 型主要 S/D 摻雜物所造成的晶格損壞並且將該 p 型主要 S/D 摻雜物的原子置於能量更穩定的狀態中。進行該另一尖峰式退火時會將該半導體結構的溫度提升到 900 至 1200℃，一般為 1100℃。該等被植入的 p 型摻雜物與 n 型摻雜物的擴散通常會發生在該另一尖峰式退火期間，因為該另一尖峰式退火溫度相當高。該另一尖

峰式退火還會導致 BJT 101 與 103 的橫向間隔部分 269-1、269-2、349-1 及 349-2 中和該等圖中所示之 p 通道 IGFET 的閘極電極中的 p 型主要 S/D 摻雜物向外擴散。

作為該 n 型主要 S/D 摻雜物的元素(砷或磷)的原子會大於硼(作為該 p 型主要 S/D 摻雜物的元素)的原子。結果，該 n 型主要 S/D 植入可能造成的晶格損壞會大於硼 p 型主要 S/D 植入。因為緊接在該 n 型主要 S/D 植入後面實施的初始尖峰式退火並不會修補因該 n 型主要 S/D 植入所導致的所有晶格損壞，所以，該另一尖峰式退火會修補因該 n 型主要 S/D 植入所導致的其餘晶格損壞。除此之外，相較於作為 n 型主要 S/D 摻雜物的任何元素，硼的擴散速度會比較快且因而在給定數額的高溫擴散刺激下會擴散更遠。藉由在實施該 n 型主要 S/D 植入和相關聯的尖峰式退火之後來實施該 p 型主要 S/D 植入和相關聯的尖峰式退火，便可以避免該 p 型主要 S/D 摻雜物發生非所希的擴散，其不會使得該 n 型主要 S/D 摻雜物發生明顯的非所希擴散。

當該另一尖峰式退火完成之後，前驅物基極 243P 中介於下面之間的部分會構成 npn BJT 101 的基極鏈部 243L-1 或 243L-2：(a)p 本質基極部 243I 和 n++射極 241 之組合，以及(b)p++基極接點部 243C-1 或 243C-2。在基極接點部 243C-1 或 243C-2 下方的前驅物基極 243P 的部分則會構成 BJT 101 的其餘基極部 243R-1 或 243R-2。

位於 p++射極 321 下方的前驅物基極 243P 的部分會構成 pnp BJT 103 的 n 本質基極部 323I。前驅物基極 243P 中

介於下面之間的部分會構成 BJT 103 的基極鏈部 323L-1 或 323L-2：(a)n 本質基極部 323I 和 p++射極 321 之組合，以及(b)n++基極接點部 323C-1 或 323C-2。在基極接點部 323C-1 或 323C-2 下方的前驅物基極 323P 的部分則會構成 BJT 103 的其餘基極部 323R-1 或 323R-2。位於 p++集極接點部 325C 下方的前驅物中間集極部 325IP 的部分會構成 BJT 103 的 p 中間集極部 325I。

前驅物區域 280EP、282EP 及 290P 中位於非對稱 p 通道 IGFET 102 的 p++主要 S/D 部 280M 與 282M 外面的部分現在會分別構成其 p+源極延伸區 280E、其 p+汲極延伸區 282E 及其 n 源極側環袋部 290。n 前驅物空主要井區 182P(現在為 n 型空井主體材料 182)中位於源極 280、汲極 282、以及環袋部 290 外面的部分會構成 IGFET 102 的 n 型空井主要主體材料部 294。前驅物點線 296P 現在為點線 296，其大體上界定主要主體材料部 294 中的 n 型摻雜在向上移動時從中度降為輕度的地方。

前驅物區域 360EP 以及 366P 中位於延伸型汲極 p 通道 IGFET 106 的 p++主要源極部 360M 外面的部分分別會構成其 p+源極延伸區 360E 及其 n 源極側環袋部 366。n 前驅物空主要井區 186AP(現在為 n 型空井主體材料 186A)中位於環袋部 366 外面的部分會構成 IGFET 106 的 n 主體材料部 368。p 前驅物空主要井區 186BP(現為空井汲極 186B)中位於 p++外部汲極接點部 374 外面的部分會構成 IGFET 106 的 p 空井汲極部 376。前驅物點線 372P 與 380P 現分別為點

線 372 與 380，它們大體上分別界定主體材料部 368 及汲極部 376 中的淨摻雜在向上移動時從中度降為輕度的地方。

前驅物區域 480EP、482EP、490E 及 492E 中位於對稱 p 通道 IGFET 110 的 p++主要 S/D 部 480M 與 482M 外面的部分分別會構成其 p+S/D 延伸區 480E 與 482E 及其 n 環袋部 490 與 492。n 前驅物主體材料部 496P 與 498P 中位於 S/D 區帶 480 與 482 及環袋部 490 與 492 外面的部分會構成 IGFET 110 的 n 主體材料部 496 與 498。n 前驅物滿主要井區 190P 中位於 S/D 區帶 480 與 482 外面的部分會構成由 n 主體材料部 494、496 及 498 所形成的 n 型滿主要井區 190。

p 通道 IGFET 102、104 及 106 的源極-主體接面和汲極-主體接面可垂直緩變以在位於正確地方時經由光阻遮罩 972 中的開口植入 p 型半導體摻雜物(本文稱為 p 型接面緩變摻雜物)來降低接面電容。相較於 p 型主要 S/D 摻雜物，該 p 型接面緩變摻雜物會以較大範圍及較低劑量方式被植入。p 型主要 S/D 植入或是 p 型接面緩變 S/D 植入皆能先被實施。於任一情況中，該另一尖峰式退火皆亦修補因被植入的 p 型接面緩變 S/D 摻雜物所造成的晶格損壞、且將該 p 型接面緩變 S/D 摻雜物的原子置於能量更穩定狀態中。

該 p 型接面緩變摻雜物會進入 BJT 101 與 103 的經 p 摻雜的部分中。這對 npn BJT 101 不會有任何嚴重的影響。因此，pnp BJT 103 的 p 型射極 321 係由一超重度摻雜的主要部以及一較輕度摻雜的下方部所組成。這可能會略為降低 BJT 103 的增益，但卻會提高它的基極射極崩潰電壓。

P7.最終處理

介電層 962 與 964 的外露部被移除。由介電材料(通常為矽質氧化物)製成的遮蓋層(capping layer)(未圖示)形成在結構頂端。該半導體結構上實施一最終退火(通常為 RTA)以取得所希最終摻雜物分佈並修補任何殘留的晶格損壞。

使用(必要時)一合宜光阻遮罩(未圖示)便可從該結構中的選定區域處移除該遮蓋材料。明確說，該遮蓋材料會從 BJT 101 與 103 的島上方的區域處被移除以露出射極 241 與 321；基極接點部 243C-1、243C-2、323C-1 及 323C-2；集極接點部 245C 與 325C；和橫向間隔部分 269-1、269-2、349-1 及 349-2。該遮蓋材料也從 IGFET 100、102、104、106、108 及 110 的島上方的區域處被移除以露出閘極電極 262、302、346、386、462 及 502；主要源極部 240M、280M、320M、360M；主要汲極部 242M 與 282M；汲極接點部 334 與 374；和主要 S/D 部 440、442、480 及 482。在閘極電極多晶矽層中被指定要成為多晶矽電阻器的任何部分中，大部分上方的遮蓋材料通常會被保留以防止在下一個操作期間沿著該多晶矽部中依此被遮蓋的部分形成金屬矽化物。在移除該遮蓋材料的過程中，如上面提及的台灣專利申請案第 99108622 號，法律檔案編號第 NS-7192TW 號中所述，該等閘極側壁間隔部較佳的係會被轉換成 L 形狀。

BJT 101 與 103 和 IGFET 100、102、104、106、108 及 110 的金屬矽化物層分別被形成在下方多晶矽區與單晶矽區的上方表面。這通常必須在該結構的上方表面上沉積一

合宜薄金屬(通常為鈷)層且實施一低溫步驟以讓該金屬與下方矽進行反應。沒有反應的金屬則被移除。一第二低溫步驟會被實施以完成該金屬與該下方矽的反應且從而形成BJT 101 與 103 及該等圖中所示 IGFET 的金屬矽化物層。

該金屬矽化物構形會結束非對稱 BJT 101 與 103 和 IGFET 100、102、104、106、108 及 110 的基本製造。最終 CBJT/CIGFET 結構如圖 5 中所示。

配合 BJT 101 與 103 特別參考圖 6，第一層介電層 285 會被形成在圖 5 的結構頂端。介電層 285 通常由多個子層(圖未明確界定)所組成，該等子層會被設置成讓介電層 285 的上方表面大部分為平面。使用一合宜光阻遮罩(未圖示)，多個開口會被蝕刻穿過介電層 285 往下達到該等金屬矽化物層，其包含沿著橫向間隔部分 269-1、269-2、349-1 及 349-2 頂端的金屬矽化物層 279-1、279-2、359-1 及 359-2。金屬會被沉積至該等開口之中，以便接觸該等金屬矽化物層。介電層 285 頂端的金屬會利用一光阻遮罩(未圖示)被圖樣化以產生一包含圖 6 之結構的 CBJT/CIGFET 結構。

P8.BJT 變化例的構成

下面的操作會被併入於圖 18 的製程以創造含有 npn BJT 101X 與 pnp BJT 103X 的圖 11 的變化例。在圖 18b 與 18c 的階段之間，以及在形成場隔離區 138 之後但在進行各種井植入之前，一光阻遮罩(未圖示)會被形成在網氧化物 924 上，該光阻遮罩在 n+深集極層 401 的位置上方會有開

口。n 型半導體摻雜物(本文稱為 n 型高劑量深集極層摻雜物)會以高劑量被離子植入經過該光阻遮罩中的該等開口，經過網氧化物 924 中未被覆蓋的區段，並且抵達下方單晶矽中垂直對應部分中以便定義 n+深集極層 401。植入能量非常高，使得深集極層 401 稍候會沿著 npn BJT 101X 的 n 集極井區 175A 與 175B 的底部延伸。該光阻會被移除。

一第二光阻遮罩(亦未圖示)會被形成在網氧化物 924 上，該光阻遮罩在 p+深集極層 407 的位置上方會有開口。p 型半導體摻雜物(本文稱為 p 型高劑量深集極層摻雜物)會以高劑量被離子植入經過該第二光阻遮罩中的開口，經過網氧化物 924 中未被覆蓋的區段，且抵達下方單晶矽中垂直對應部分以定義 p+深集極層 407。植入能量非常高，使得深集極層 407 稍候會沿著 pnp BJT 103X 的 p 集極井區 177A 與 177B 的底部延伸。該第二光阻會被移除。

該等高劑量深集極層植入中任一者皆能先被實施。在完成該等兩個高劑量深集極層植入且兩個光阻遮罩被移除後，便會在該半導體結構上實施熱退火(一般為 RTA)以修補晶格損壞且將該等被植入的高劑量深集極層摻雜物的原子置於能量更穩定的狀態中。該處理接著會回到圖 18c 的階段用以創造深 n 井區 928，但深 n 集極井 207 的構形則會被刪除。高劑量深集極層 401 與 407 中一選定層的構形可被刪除以產生僅具有 BJT 101X 與 103X 中一者的變化例。

含有 npn BJT 101Y 與 pnp BJT 103Y 的圖 13 變化例以下述方式製造。起點係輕度摻雜的 p 型單晶矽半導體基板

411。光阻遮罩(未圖示)被形成在 p-基板 411 的上方表面上。該光阻遮罩在 n+埋植集極層 415 的預期位置處有開口。n 型半導體摻雜物(本文稱為 n 型埋植層摻雜物)以高劑量經由該遮罩開口被引入基板 411 中。該光阻會被移除。

一第二光阻遮罩(亦未圖示)會被形成在 p-基板 411 的上方表面上。該第二光阻遮罩在 p+埋植集極層 423 的預期位置處會有開口。p 型半導體摻雜物(本文稱為 p 型埋植層摻雜物)以高劑量經由該遮罩開口被引入基板 411 中。該第二光阻會被移除。

該等埋植層植入中的任一者皆能先被實施。在該等埋植層植入且移除該等兩個光阻遮罩被移除之後，p-基板 411 的上方表面便會被適當的清洗以便露出它的單晶矽。p-基板區 136 會被磊晶成長在基板 411 的外露矽材之上。在將 p-基板區 136 形成一磊晶層期間，該等 n 型埋植層摻雜物與 p 型埋植層摻雜物會向上擴散至磊晶層 136 之中，用以形成 n+埋植集極層 415 與 p+埋植集極層 423。含有 BJT 101Y 與 103Y 的 CBJT/CIGFET 結構之製造的其餘部分通常會以和圖 5 的 CBJT/CIGFET 結構相同的方式來實施，不過深 n 集極井 207 的構形會被刪除。

p-基板 411 可能係一較大型半導體主體的一部分，例如該較大型半導體主體含有一下方經較重度摻雜的單晶矽區域。基板 411 未必為輕度 p 摻雜，取而代之亦可為輕度 n 摻雜。埋植集極層 415 與 423 中一選定層的構形可被刪除以產生僅具有 BJT 101Y 與 103Y 中一者的變化例。

Q.其它變化例

雖然本文已經參考特殊實施例說明過本發明，不過本說明僅為達解釋目的，而不應被視為限制下文主張的本發明的範疇。舉例來說，半導體主體中及/或橫向間隔部分與閘極電極中的矽亦可利用其它半導體材料來取代。取代候選物包含：鍺；矽鍺合金；及 3a 族-5a 族合金，例如砷化鎵。由經摻雜的多晶矽閘極電極及個別上覆的金屬矽化物層所構成的合成閘極電極亦可以利用下面實質上完全由耐火金屬或實質上完全由金屬矽化物(舉例來說，矽化鈷、矽化鎳、或是矽化鉑)所組成的閘極電極來取代，該等矽化物閘極電極中所提供的摻雜物係用以控制它們的功函數。

上面所述的橫向間隔部分及閘極電極較佳的係由經摻雜的多晶矽所組成；另或者，亦可能係由另一種類型之經摻雜的非單晶矽所組成，例如，經摻雜的非晶矽或經摻雜的多結晶矽。即使當該等橫向間隔部分以及閘極電極係由經摻雜的多晶矽所組成，該等橫向間隔部分以及閘極電極的前驅物仍可被沉積為非晶矽或多晶矽以外的另一種類型非單晶矽。在沉積該等前驅物橫向間隔部分以及前驅物閘極電極之後的高溫步驟期間的高溫會讓該等橫向間隔部分以及閘極電極中的矽被轉換成多晶矽。

此外，該等橫向間隔部分中的非單晶矽未必要被半導體摻雜物明顯地摻雜。其並不必讓該等 n 型摻雜物與 p 型摻雜物通過光阻遮罩 970 與 972 中的開口並進入該等橫向間隔部分，取而代之的係，光阻遮罩 970 與 972 能夠被組

態成使得它們大部分疊置在該等橫向間隔部分的上方。

另或者，該等圖中所示 IGFET 的閘極介電層亦能利用例如氧化鉿之高介電常數的材料形成。於該情況中，閘極介電質厚度的 t_{GdL} 低數值與 t_{GdH} 高數值通常會分別略為提高。因為 npn BJT 101 的隔離介電層 267-1 與 267-2 及 pnp BJT 103 的隔離介電層 347-1 與 347-2 係根據和該等閘極介電層相同步驟形成，因此，隔離介電層 267-1、267-2、347-1 及 347-2 係由和該等閘極介電層相同的替代材料所組成。

於 n 型深 S/D 延伸區摻雜物的 n 型摻雜物和 n 型淺源極延伸區摻雜物相同的替代例中，可視情況在(i)用於該 n 型深 S/D 延伸區植入的圖 18p 的階段，及(ii)用於該 n 型淺源極延伸區植入的圖 18q 的階段間實施退火以讓該 n 型深 S/D 延伸區摻雜物擴散，而不讓 n 型淺源極延伸區摻雜物擴散，因為 n 型淺源極延伸區摻雜物的植入尚未被實施。

在上面提及的台灣專利申請案第 99108661 號，法律檔案編號第 NS-7005TW 號中所述的任何該等變化例皆可套用至本發明的 CBJT/CIGFET 結構的組態與製造。因此，熟習本技術的人士便可進行各種修正，其並不會脫離隨附申請專利範圍中所定義之本發明的範疇。

【圖式簡單說明】

圖 1 係例示一先前技術 CIGFET 結構的正面剖視圖。

圖 2 係例示三個先前技術 BJT/CIGFET 半導體結構的個別正面剖視圖。

圖 5.0 至 5.9 係例示根據本發明所組態的 CBJT/CIGFET

半導體結構中十個部分的個別正面剖視圖。

圖 6 係例示圖 5.0 的互補式 BJT 的正面剖視圖以及該上覆電氣互連系統的其中一層。

圖 7 係例示圖 5.0 與圖 6 的 npn BJT 的核心的放大正面剖視圖。

圖 8 係例示圖 7 中所示之 npn BJT 部分的示範性俯視圖。圖 8 中所示之圖 7 的剖面係貫穿平面 7-7 所取得的。

圖 9 與 10 係例示圖 5.0 之互補式 BJT 的兩對變化例之個別的正面剖視圖。

圖 11 係例示圖 5.0 之互補式 BJT 的一對增強型版本的正面剖視圖。

圖 12 係例示圖 11 的互補式 BJT 的正面剖視圖以及該上覆電氣互連系統的其中一層。

圖 13 係例示圖 5.0 之互補式 BJT 的另一對增強型版本的正面剖視圖。

圖 14 係例示圖 13 的互補式 BJT 的正面剖視圖以及該上覆電氣互連系統的其中一層。

圖 15 係例示圖 5.1 的非對稱 n 通道 IGFET 的核心的放大正面剖視圖。

圖 16a 與 16b 係例示圖 5.2 的延伸型汲極 n 通道 IGFET 與 p 通道 IGFET 的個別放大正面剖視圖。

圖 17 係例示圖 5.3 的對稱低漏電流 n 通道 IGFET 的核心的放大正面剖視圖。

圖 18a 至 18c、18d.0 至 18w.0、18d.1 至 18w.1、18d.2

至 18w.2、以及 18d.3 至 18w.3 係例示製造根據本發明圖 5.0 至 5.9 的 CBJT/CIGFET 半導體結構之圖 5.0 至 5.3 中所示的四個部分的步驟的正面剖視圖。圖 18a 至 18c 的步驟應用於全部圖 5.0 至 5.3 中所示的結構性部分。圖 18d.0 至 18w.0 呈現會導致圖 5.0 的結構性部分的進一步步驟。圖 18d.1 至 18w.1 呈現會導致圖 5.1 的結構性部分的進一步步驟。圖 18d.2 至 18w.2 呈現會導致圖 5.2 的結構性部分的進一步步驟。圖 18d.3 至 18w.3 呈現會導致圖 5.3 的結構性部分的進一步步驟。

在較佳實施例的圖式和說明中會運用相同的元件符號來表示相同或非常雷同的項目或多個項目。代表一製程中某一道步驟的圖式中的元件符號末端的字母「P」表示代表該製程之後期階段(包含最終階段在內)的圖式中所示的某一區域的前驅物，而在該後期階段圖式中「P」前面的元件符號部分便係表示該區域。

在某一半導體區域的導體類型取決於在單組摻雜物引入條件下(也就是，基本上在單次摻雜操作中)被引入至該區域中的半導體摻雜物且該區域中的摻雜物濃度會從其中一個通用摻雜位準(舉例來說，由「p」或「n」表示的中等位準)改變成另一個通用摻雜物位準(舉例來說，由「p-」或「n-」表示的輕度位準)的實例中，該區域中位於該等兩個摻雜位準處的部分通常會以點狀線來表示。IGFET 之剖視圖中的點虛線代表該等垂直摻雜物分佈關係圖中的摻雜物分佈位置。IGFET 之剖視圖中的極大摻雜物濃度則係由含有縮寫

「MAX」的雙點虛線來表示。

介電層，尤其是隔離與閘極介電層，的厚度會遠小於眾多其它 BJT/IGFET 元件和區域的維度。為清楚表示介電層，在 BJT 與 IGFET 的剖視圖中通常會放大它們的厚度。

為方便起見，圖 5.3 至 5.9 中所示的對稱 IGFET 的閘極電極全部會被顯示成相同長度，如下面給定的通道長度數值所示；圖 5.4、5.5、以及 5.7 至 5.9 的 IGFET 的通道長度通常會遠大於圖 5.3 與 5.6 的 IGFET。

【主要元件符號說明】

20,20V,20W：對稱 n 通道絕緣閘 FET(IGFET)

22,22V,22W：對稱 p 通道 IGFET

24：p 磊晶層

26：p-基板

28,28W：凹陷的場絕緣區

30,32,35,37：半導體島

33,33V,33W：垂直 npn 雙極接面電晶體(BJT)

34,36：n+源極/汲極(S/D)區帶

34W,36W：n 型 S/D 區帶

39：n+射極，n+射極部

40：閘極介電層

41C：p+基極接點部

41I：p 本質基極部

41L：p 基極鏈部

42：閘極電極

43C：n+集極接點部

43M：n主要集極部

44,46：p+ S/D區帶，p型S/D區帶

48：n井區

50：閘極介電層

52：閘極電極

54：p-基板

56：n磊晶層

58：p井區

60B：n+埋植層

60M：n磊晶區段

61B：n+埋植集極層

61C：n+集極接點部

61M：n磊晶集極區段

62：隔離p井區

63：本質磊晶層

64B：p埋植層

64C：p+主體接點部

64W：p井區

65B：n+埋植集極層

65C：n+集極接點部

65M：n磊晶集極區段

66,68 l 介電閘極側壁間隔部

67：隔離多結晶矽(多晶矽)填滿型深溝槽

69：p+反反轉區

70B：n+埋植層

70C：n+主體接點部

70W：N井區

71：電氣絕緣層

72：通道部

73：n型多晶矽部

75,77：射極-接點介電間隔部

76,78：介電閘極側壁間隔部

100：非對稱高電壓n通道IGFET

101,101W,101X,101Y：垂直npn BJT

102：非對稱高電壓p通道IGFET

103,103V,103W,103X,103Y：垂直pnp BJT

104：非對稱延伸型汲極n通道IGFET

106：非對稱延伸型汲極p通道IGFET

108：對稱低電壓低漏電高 V_T n通道IGFET

110：對稱低電壓低漏電高 V_T p通道IGFET

112：對稱低電壓低 V_T n通道IGFET

114：對稱低電壓低 V_T p通道IGFET

116：對稱高電壓標稱 V_T n通道IGFET

118：對稱高電壓標稱 V_T p通道IGFET

120：對稱低電壓標稱 V_T n通道IGFET

122：對稱低電壓標稱 V_T p通道IGFET

124：對稱高電壓低 V_T n通道IGFET

126：對稱高電壓低 V_T p 通道 IGFET

128,130：對稱低電壓原生 n 通道 IGFET

132,134：對稱高電壓原生 n 通道 IGFET

135A,135B,137A,137B,140,142,144A,144B,146A,146B,

148,150,152,154,156,158,160,162,164,166,168,170,172,

174：主動式半導體島

136：p-基板區

136A,136B：p-基板區的表面鄰接部

136P：p-磊晶層

136P1-136P3,136P5,136P6,136P11,136P12：p-磊晶層中的隔離表面鄰接部

138：場絕緣區

138A,138B：部分場絕緣區

175A,175B：淺 n 集極井區

175AP,175BP：前驅物淺 n 集極井區

177A,177B：淺 p 集極井區

177AP,177BP：前驅物淺 p 集極井區

180,184A,192,204：p 型 IGFET 空主要井區

180P,184AP：前驅物 p 型 IGFET 空主要井區

182,186A,194,206：n 型 IGFET 空主要井區

182P,186AP：前驅物 n 型 IGFET 空主要井區

184B：n 型空井汲極(n 型 IGFET 空主要井區)

184BP：前驅物 n 型空井汲極

184B1-184B3：部分 n 型空井汲極

186B：p 型空井汲極材料(p 型 IGFET 空主要井區)

186BP：前驅物 p 型空井汲極材料

186B1-186B3：部分 p 型空井汲極材料

188,196,200：p 型 IGFET 滿主要井區

188P：前驅物 p 型 IGFET 滿主要井區

190,198,202：n 型 IGFET 滿主要井區

190P：前驅物 n 型 IGFET 滿主要井區

207：深 n 集極井

207P：前驅物深 n 集極井

210,212：深 n 井區

210P,212P：前驅物深 n 井區

216：隔離 p 井區

217,220,222,224,230,232,234,236,238：隔離 pn 接面

226,228：汲極-主體 pn 接面

240：n 型源極

240E：n+橫向源極延伸區

240EP：前驅物 n+橫向源極延伸區

240M：n++主要源極部

241：n++射極

242：n 型汲極

242E：n+橫向汲極延伸區

242EP：前驅物 n+橫向汲極延伸區

242M：n++主要汲極部

243：p 型基極

243C-1,243C-2：p++基極接點部

243E-1,243E-2：p型異質基極部

243I：p型本質基極部

243L-1,243L-2：p型基極鏈部

243P：前驅物p基極

243R-1,243R-2：p剩餘基極部

244：p型通道區帶

245：n型集極

245C：n++集極接點部

245I：n中間集極部

245IP：前驅物n中間集極部

245L：n橫向集極部

245M：n主要集極部

245MP：前驅物n主要集極部

246：源極-主體pn接面

248：汲極-主體pn接面

250：p環袋部

250P：前驅物p環袋部

251,253-1,253-2,255：金屬矽化物層

254：p型主要主體材料部

254L：p下方主體材料部

254U：p-上方主體材料部

256：p型主要主體材料部中p型摻雜物濃度在中度和輕度間的轉變位置

256P：p 型主要主體材料部中 p 型摻雜物濃度在中度和輕度之間轉變的前驅物位置

260：閘極介電層

261,263-1,263-2：外部電氣接點的位置

262：閘極電極

262P：前驅物閘極電極

264,266：介電閘極側壁間隔部

265-1,265-2：間隔結構

267-1,267-2：隔離介電層

268,270,272：金屬矽化物層

269-1,269-2：橫向間隔部

269-1P,269-2P：前驅物橫向間隔部

269-3,269-4：互連部

271-1,271-2：射極側隔離介電間隔部

271-3,271-4：互連介電間隔部

273-1,273-2：基極接點側隔離介電間隔部

273-3,273-4：互連介電間隔部

275-1,275-2：射極側橫斷橫向側

277-1,277-2：基極接側橫斷橫向側

279-1,279-2：金屬矽化物層

279-3,279-4：金屬矽化物互連層

280：p 型源極

280E：p+橫向源極延伸區

280EP：前驅物 p+橫向源極延伸區

280M：p++主要源極部

281-1,281-2：外部電氣接點的位置

282：p型汲極

282E：p+橫向汲極延伸區

282EP：前驅物 p+橫向汲極延伸區

282M：p++主要汲極部

284：n型通道區帶

285：第一層介電層

286：源極-主體 pn 接面

287：射極電極

288：汲極-主體 pn 接面

289：基極電極

290：n環袋部

290P：前驅物 n 環袋部

291：集極電極

294：n型主要主體材料部

296：n型主要主體材料部中 n 型摻雜物濃度在中度和輕度間的轉變位置

297-1,297-2：射極側上方橫斷邊緣

299-1,299-2：基極接點側上方橫斷邊緣

300：閘極介電層

302：閘極電極

304,306：介電閘極側壁間隔部

305-1,305-2：射極側下方橫斷邊緣

307-1,308-2：基極接點側下方橫斷邊緣

308,310,312：金屬矽化物層

311-1,311-2：遠端射極側下方橫斷邊緣

313-1,313-2：遠端基極接點側下方橫斷邊緣

320：n 型源極

320E：n+橫向源極延伸區

320EP：前驅物 n+源極延伸區

320M：n++主要源極部

321：p++射極

322：p 型通道區帶

323：n 型基極

323C-1,323C-2：n++基極接點部

323E-1,323E-2：n 型異質基極部

323I：n 型本質基極部

323L-1,323L-2：n 型基極鏈部

323P：前驅物 n 基極

323R-1,323R-2：n 剩餘基極部

324：源極-主體 pn 接面

325：p 型集極

325C：p++集極接點部

325I：p 中間集極部

325IP：前驅物 p 中間集極部

325L：p 橫向集極部

325M：p 主要集極部

325MP：前驅物 p 主要集極部

326：p 環袋部

326P：前驅物 p 環袋部

328：p 型空井主體材料部

328L：p 下方主體材料部

328U：p-上方主體材料部

331,333-1,333-2,335：金屬矽化物層

332：p 型空主要井區中 p 型摻雜物濃度在中度和輕度間的轉變位置

332P：p 型空主要井區中 p 型摻雜物濃度在中度和輕度之間轉變的前驅物位置

334：n++汲極接點部/主要汲極部

336：n 型空井汲極部

336L：n 下方空井汲極部

336U：n-上方空井汲極部

340：n 型空井汲極部中 n 型摻雜物濃度在中度和輕度間的轉變位置

340P：n 型空井汲極部中 n 型摻雜物濃度在中度和輕度之間轉變的前驅物位置

344：閘極介電層

345-1,345-2：間隔結構

346：閘極電極

346P：前驅物閘極電極

347-1,347-2：隔離介電層

348,350：介電閘極側壁間隔部

349-1,349-2：橫向間隔部

349-1P,349-2P：前驅物橫向間隔部

351-1,351-2：射極側隔離介電間隔部

352,354,356：金屬矽化物層

353-1,353-2：基極接點側隔離介電間隔部

358：電場的尖峰數值的位置

359-1,359-2：金屬矽化物層

360：p型源極

360E：p+橫向源極延伸區

360EP：前驅物 p+橫向源極延伸區

360L：p+下方源極部

360M：p++主要源極部

362：n型通道區帶

364：源極-主體 pn 接面

366：n環袋部

366P：前驅物 n 環袋部

367：射極電極

368：n型空井主體材料部

368L：n下方主體材料部

368U：n-上方主體材料部

369：基極電極

371：集極電極

372：n型空主要井區中 n 型摻雜物濃度在中度和輕度

間的轉變位置

372P：n型空主要井區中n型摻雜物濃度在中度和輕度之間轉變的前驅物位置

374：p++汲極接點部/主要汲極部

376：p型空井汲極部

376L：p下方空井汲極部

376U：p-上方空井汲極部

380：p型空井汲極部中p型摻雜物濃度在中度和輕度間的轉變位置

380P：p型空井汲極部中p型摻雜物濃度在中度和輕度之間轉變的前驅物位置

381：隔離深n井區

382：深n井區中n型摻雜物濃度在中度和輕度間的轉變位置

383,385：隔離pn接面

384：閘極介電層

386：閘極電極

386P：前驅物閘極電極

387：隔離p井區

388,390：介電閘極側壁間隔部

391：深n集極井區

392,394,396：金屬矽化物層

393,395：隔離pn接面

398：電場的尖峰數值的位置

401：n+深集極層

403,405：隔離 pn 接面

407：p+深集極層

411：基板

413：金屬介面

415：n+埋植集極層

417,419,421：隔離 pn 接面

423：p+埋植集極層

440,442：n 型 S/D 區帶

440E,442E：n+橫向 S/D 延伸區

440EP,442EP：前驅物 n+橫向 S/D 延伸區

440M,442M：n++主要 S/D 部

444：p 型通道區帶

446,448：S/D-主體 pn 接面

450,452：p 環袋部

450P,452P：前驅物 p 環袋部

454：p 主要主體材料部

454P：前驅物 p 主要主體材料部

456：p 中間主體材料部

456P：前驅物 p 中間主體材料部

458：p 上方主體材料部

458P：前驅物 p 上方主體材料部

460：閘極介電層

462：閘極電極

462P：前驅物閘極電極

464,466：介電閘極側壁間隔部

468,470,472：金屬矽化物層

480,482：p 型 S/D 區帶

480E,482E：p+橫向 S/D 延伸區

480EP,482EP：前驅物 p+橫向 S/D 延伸區

480M,482M：p++主要 S/D 部

484：n 型通道區帶

486,488：S/D-主體 pn 接面

490,492：n 環袋部

490P,492P：前驅物 n 環袋部

494：n 主要主體材料部

494P：前驅物 n 主要主體材料部

496：n 中間主體材料部

496P：前驅物 n 中間主體材料部

498：n 上方主體材料部

498P：前驅物 n 上方主體材料部

500：閘極介電層

502：閘極電極

502P：前驅物閘極電極

504,506：介電閘極側壁間隔部

508,510,512：金屬矽化物層

520,522：n 型 S/D 區帶

520E,522E：n+橫向 S/D 延伸區

520M,522M：n++主要 S/D 部

524：p 型通道區帶

526,528：S/D-主體 pn 接面

530：p 型空主要井區中 p 型摻雜物濃度在中度和輕度間的轉變位置

536：閘極介電層

538：閘極電極

540,542：介電閘極側壁間隔部

544,546,548：金屬矽化物層

550,552：p 型 S/D 區帶

550E,552E：p+橫向 S/D 延伸區

550M,552M：p++主要 S/D 部

554：n 型通道區帶

556,558：S/D-主體 pn 接面

560：n 型空主要井區中 n 型摻雜物濃度在中度和輕度間的轉變位置

566：閘極介電層

568：閘極電極

570,572：介電閘極側壁間隔部

574,576,578：金屬矽化物層

580,582：n 型 S/D 區帶

580E,582E：n+橫向 S/D 延伸區

580M,582M：n++主要 S/D 部

584：p 型通道區帶

586,588：S/D-主體 pn 接面

590：p 主要主體材料部

592：p 中間主體材料部

594：p 上方主體材料部

596：閘極介電層

598：閘極電極

600,602：介電閘極側壁間隔部

604,606,608：金屬矽化物層

610,612：p 型 S/D 區帶

610E,612E：p+橫向 S/D 延伸區

610M,612M：p++主要 S/D 部

614：n 型通道區帶

616,618：S/D-主體 pn 接面

620：n 主要主體材料部

622：n 中間主體材料部

624：n 上方主體材料部

626：閘極介電層

628：閘極電極

630,632：介電閘極側壁間隔部

634,636,638：金屬矽化物層

640,642：n 型 S/D 區帶

640E,642E：n+橫向 S/D 延伸區

640M,642M：n++主要 S/D 部

644：p 型通道區帶

646,648：S/D-主體 pn 接面

650,652：p 環袋部

654：p 主要主體材料部

656：p 另一主體材料部

660：閘極介電層

662：閘極電極

664,666：介電閘極側壁間隔部

668,670,672：金屬矽化物層

680,682：p 型 S/D 區帶

680E,682E：p+橫向 S/D 延伸區

680M,682M：p++主要 S/D 部

684：n 型通道區帶

686,688：S/D-主體 pn 接面

690,692：n 環袋部

694：n 主要主體材料部

696：n 另一主體材料部

700：閘極介電層

702：閘極電極

704,706：介電閘極側壁間隔部

708,710,712：金屬矽化物層

720,722：n 型 S/D 區帶

720E,722E：n+橫向 S/D 延伸區

720M,722M：n++主要 S/D 部

724：p 型通道區帶

726,728：S/D-主體 pn 接面

730：p 型空主要井區中 p 型摻雜物濃度在中度和輕度間的轉變位置

736：閘極介電層

738：閘極電極

740,742：介電閘極側壁間隔部

744,746,748：金屬矽化物層

750,752：p 型 S/D 區帶

750E,752E：p+橫向 S/D 延伸區

750M,752M：p++主要 S/D 部

754：n 型通道區帶

756,758：S/D-主體 pn 接面

760：n 型空主要井區中 n 型摻雜物濃度在中度和輕度間的轉變位置

766：閘極介電層

768：閘極電極

770,772：介電閘極側壁間隔部

774,776,778：金屬矽化物層

780,782：n 型 S/D 區帶

780E,782E：n+橫向 S/D 延伸區

780M,782M：n++主要 S/D 部

784：p 型通道區帶

786,788：S/D-主體 pn 接面

790,792：p 環袋部

796：閘極介電層

798：閘極電極

800,802：介電閘極側壁間隔部

804,806,808：金屬矽化物層

810,812：n 型 S/D 區帶

810E,812E：n+橫向 S/D 延伸區

810M,812M：n++主要 S/D 部

814：p 型通道區帶

816,818：S/D-主體 pn 接面

826：閘極介電層

828：閘極電極

830,832：介電閘極側壁間隔部

834,836,838：金屬矽化物層

840,842：n 型 S/D 區帶

840E,842E：n+橫向 S/D 延伸區

840M,842M：n++主要 S/D 部

844：p 型通道區帶

846,848：S/D-主體 pn 接面

850,852：p 環袋部

856：閘極介電層

858：閘極電極

860,862：介電閘極側壁間隔部

864,866,868：金屬矽化物層

870,872：n 型 S/D 區帶

870E,872E：n+橫向 S/D 延伸區

870M,872M：n++主要 S/D 部

874：p 型通道區帶

876,878：S/D-主體 pn 接面

886：閘極介電層

888：閘極電極

890,892：介電閘極側壁間隔部

894,896,898：金屬矽化物層

920：p+基板

922：主動式半導體島

924：薄網絕緣層

926,930,932,934,936,938-941：光阻遮罩

928：深 n 井區

942,944：含閘極介電質的介電層

942R：厚介電質剩餘部分

946,962：密封介電層

948,964：表面閘極介電層

950,952,954,956,958,960,970,972：光阻遮罩

201108413

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：99108823

※申請日：99.3.24　　※IPC 分類：H01L 29/73 (2006.01)
H01L 21/28 (2006.01)
H01L 21/328 (2006.01)

一、發明名稱：（中文/英文）

組態和製造其中非單結晶半導體間隔部分控制基極鏈長之具有雙極接面電晶體的半導體結構

CONFIGURATION AND FABRICATION OF SEMICONDUCTOR STRUCTURE HAVING BIPOLAR JUNCTION TRANSISTOR IN WHICH NON-MONOCRYSTALLINE SEMICONDUCTOR SPACING PORTION CONTROLS BASE-LINK LENGTH

二、中文發明摘要：

本發明所提供一種半導體結構含有一雙極電晶體(101)及一間隔結構(265-1 或 265-2)。該電晶體具有一射極(241)、一基極(243)、及一集極(245)。該基極包含：一基極接點部(243C-1)；一本質基極部(243I-1)，其位於該射極的下方和該集極之材料的上方；及一基極鏈部(243L-1)，其會延伸在該等本質基極部與基極接點部之間。該間隔結構包含一間隔結構及一沿著該上方半導體表面延伸的隔離介電層(267-1 或 267-2)。該間隔組件包含由位於該基極鏈部上方的介電層上之大部分為非單結晶半導體材料(較佳係多重結晶半導體材料)的一橫向間隔部分(269-1 或 269-2)。該橫向間隔部分的相反第一下方邊緣與第二下方邊緣(305-1 與 307-1)

會橫向保形於該基極鏈部的相反的第一上方邊緣與第二上方邊緣(297-1 與 299-1)，以便決定且從而控制其長度。

三、英文發明摘要：

A semiconductor structure contains a bipolar transistor (101) and a spacing structure (265-1 or 265-2). The transistor has an emitter (241), a base (243), and a collector (245). The base includes a base contact portion (243C-1), an intrinsic base portion (243I-1) situated below the emitter and above material of the collector, and a base link portion (243L-1) extending between the intrinsic base and base contact portions. The spacing structure includes a spacing structure and an isolating dielectric layer (267-1 or 267-2) extending along the upper semiconductor surface. The spacing component includes a lateral spacing portion (269-1 or 269-2) of largely non-monocrystalline semiconductor material, preferably polycrystalline semiconductor material, situated on the dielectric layer above the base link portion. Opposite first and second lower edges (305-1 and 307-1) of the lateral spacing portion laterally conform to opposite first and second upper edges (297-1 and 299-1) of the base link portion so as to determine, and thereby control, its lentgh.

七、申請專利範圍：

1.一種半導體結構，其包括：

一主要雙極接面電晶體(BJT)，其包括作為具有一上方表面之一半導體主體的個別區帶的一主要基極、一主要射極、及一主要集極，該基極為第一導體類型且包括：(i)一主要本質基極部，其係位於該射極的下方及該集極之材料上，(ii)一主要基極接點部，其會延伸至該主體的上方表面，和(iii)一主要基極鏈部，其會延伸在該等本質基極部與基極接點部之間，該射極與集極係和第一導體類型相反的第二導體類型且藉由該基極而彼此分離，以便與該基極形成個別的主要pn接面，該射極會延伸到該主體的上方表面且藉由該基極鏈部來與該基極接點部橫向分離；以及

一主要間隔結構，其包括：(i)一主要隔離介電層，其係位於該主體的上方表面半導體表面中，及(ii)一主要間隔組件，其包括由位於該基極鏈部上方的介電層上之大部分為非單結晶半導體材料的一主要橫向間隔部分，該基極鏈部的大部分相反的第一上方邊緣與第二上方邊緣大部分會橫向保形於該橫向間隔部分之個別大部分相反的第一下方邊緣與第二下方邊緣。

2.如申請專利範圍第1項的半導體結構，其中該基極鏈部的第一上方邊緣與第二上方邊緣會與該橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的第一橫向距離與第二橫向距離。

3.如申請專利範圍第1項的半導體結構，其中該基極鏈

部的第一上方邊緣與第二上方邊緣的分隔距離大於該橫向間隔部分的第一下方邊緣與第二下方邊緣。

4.如申請專利範圍第 1 項的半導體結構，其中該間隔組件包含第一介電間隔部與第二介電間隔部，其等係分別位於該橫向間隔部分中大部分相反的第一橫向側與第二橫向側，俾使得該橫向間隔部分的第一橫向側與第二橫向側分別包含其第一下方邊緣與第二下方邊緣。

5.如申請專利範圍第 4 項的半導體結構，其中該等第一介電間隔部與第二介電間隔部會分別位於該基極鏈部的第一上方邊緣與第二上方邊緣的上方。

6.如申請專利範圍第 1 項的半導體結構，其中該基極接點部的摻雜程度重過該等本質基極部與基極鏈部。

7.如申請專利範圍第 1 項的半導體結構，其中該橫向間隔部分的非單結晶半導體材料含有半導體摻雜物俾使得其具有明顯的導電性，該結構進一步包含一電壓供應器，用以提供一參考電壓給該橫向間隔部分。

8.如申請專利範圍第 1 項的半導體結構，其中該集極包括一主要集極部以及一下方較重度摻雜的深集極層。

9.如申請專利範圍第 1 項的半導體結構，其中：

該半導體主體包括一基板及位於該基板上的一磊晶層；以及

該集極包括一主要集極部及一下方較重度摻雜的埋植集極層，該下方較重度摻雜的埋植集極層位於該基板與該磊晶層之間的介面中。

10.如申請專利範圍第 1 至 9 項中任一項的半導體結構，其中該橫向間隔部分的非單結晶半導體材料大部分為多結晶半導體材料。

11.如申請專利範圍第 1 項的半導體結構，其中：

該基極包含(i)一額外基極接點部，其會延伸至該主體的上方表面，和(ii)一額外基極鏈部，其會延伸在該等本質基極部與額外基極接點部之間，該本質基極部會藉由該額外基極鏈部來與該額外基極接點部橫向分離；以及

該半導體結構包含一額外間隔結構，其包括(i)一額外介電層，其位於該主體的上方表面半導體表面中，和(ii)一額外間隔組件，其包括由位於該額外基極鏈部上方的額外介電層上的大部分為非單結晶半導體材料所組成的一額外橫向間隔部分，該額外基極鏈部的大部分相反的第一上方邊緣與第二上方邊緣大部分會橫向保形於該額外橫向間隔部分之個別大部分相反的第一下方邊緣與第二下方邊緣。

12.如申請專利範圍第 11 項的半導體結構，其中：

主要基極鏈部的第一上方邊緣與第二上方邊緣會與主要橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的主要第一橫向距離與主要第二橫向距離；及

額外基極鏈部的第一上方邊緣與第二上方邊緣會與額外橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的額外第一橫向距離與額外第二橫向距離。

13.如申請專利範圍第 1 項的半導體結構，其更包含：

互補於該主要 BJT 的另一 BJT，該另一 BJT 包括作為

該半導體主體之個別區帶的另一基極、另一射極、及另一集極，該另一基極為第二導體類型且包括(i)另一本質基極部，其位於該另一射極的下方及該另一集極之材料上，(ii)另一基極接點部，其會延伸至該主體的上方表面，及(iii)另一基極鏈部，其會延伸在該等另一本質基極部與另一基極接點部之間，該另一射極與另一集極係第一導體類型並且會藉由該另一基極而彼此分離，以便與該另一基極形成個別的另一 pn 接面，該另一射極會延伸到該主體的上方表面且藉由該另一基極鏈部來與該另一基極接點部橫向分離；以及

另一間隔結構，其包括：(i)另一隔離介電層，其係位於該主體的上方表面半導體表面之中，及(ii)另一間隔組件，其包括一由位於該基極鏈部上方的介電層之上的大部分為非單結晶半導體材料所組成的另一橫向間隔部分，該另一橫向間隔部分係由位於該另一基極鏈部上方的另一介電層之上的大部分為非單結晶半導體材料所組成，該另一基極鏈部的大部分相反的第一上方邊緣與第二上方邊緣大部分會橫向保形於該另一橫向間隔部分之個別大部分相反的第一下方邊緣與第二下方邊緣。

14.如申請專利範圍第 13 項的半導體結構，其中：

主要基極鏈部的第一上方邊緣與第二上方邊緣會與主要橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的主要第一橫向距離與主要第二橫向距離；及

另一基極鏈部的第一上方邊緣與第二上方邊緣會與另

一橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的另一第一橫向距離與另一第二橫向距離。

15.如申請專利範圍第13項的半導體結構，其中：

該主要基極鏈部的第一上方邊緣與第二上方邊緣的分隔距離大於該主要橫向間隔部分的第一下方邊緣與第二下方邊緣；以及

該另一基極鏈部的第一上方邊緣與第二上方邊緣的分隔距離大於該另一橫向間隔部分的第一下方邊緣與第二下方邊緣。

16.如申請專利範圍第13項的半導體結構，其中：

該主要間隔組件包含主要第一介電隔離間隔部與主要第二介電隔離間隔部，它們分別位於該主要橫向間隔部分之分別大部分相反的第一橫向側與第二橫向側中，俾使得該主要橫向間隔部分的第一橫向側與第二橫向側分別包含其第一下方邊緣與第二下方邊緣；以及

該另一間隔組件包含另一第一介電隔離間隔部與另一第二介電隔離間隔部，它們分別位於該另一橫向間隔部分之分別大部分相反的第一橫向側與第二橫向側中，俾使得該另一橫向間隔部分的第一橫向側與第二橫向側分別包含其第一下方邊緣與第二下方邊緣。

17.如申請專利範圍第16項的半導體結構，其中：

主要第一介電間隔部與主要第二介電間隔部分別位於主要基極鏈部的第一上方邊緣與第二上方邊緣之上；以及

另一第一介電間隔部與另一第二介電間隔部分別位於

另一基極鏈部的第一上方邊緣與第二上方邊緣之上。

18.如申請專利範圍第13項的半導體結構，其中每一集極皆包括一主要集極部及一下方較重度摻雜的深集極層。

19.如申請專利範圍第13項的半導體結構，其中：

該半導體主體包括一基板及位於該基板上的一磊晶層；以及

每一個集極皆包括一主要集極部及一下方較重度摻雜的埋植集極層，該下方較重度摻雜的埋植集極層位於該基板與該磊晶層之間的介面中。

20.如申請專利範圍第11至19項中任一項的半導體結構，其中該等橫向間隔部分的非單結晶半導體材料大部分為多重結晶半導體材料。

21.如申請專利範圍第1項的半導體結構，其中該半導體主體包含第一導體類型的主要主體材料，該結構還進一步包含一主要場效電晶體，其包括：

該主體材料的一主要通道區帶；

一對主要源極/汲極(S/D)區帶，它們係沿著該半導體主體的上方表面位於半導體主體中、被該通道區帶橫向分離且為第二導體類型，以便和該主體材料形成個別的pn接面；

一主要閘極介電層，其疊置於該通道區帶上方；以及

一主要閘極電極，其疊置位於該通道區帶上方的閘極介電層上且包括經摻雜的非單結晶半導體材料。

22.如申請專利範圍第21項的半導體結構，其中每一S/D區帶皆包括一主要部及一較輕度摻雜的橫向延伸區，該

通道區帶沿著該主體的上方表面終止於該等橫向延伸區。

23.如申請專利範圍第22項的半導體結構，其更包含一對介電側壁間隔部，它們分別位於閘極電極的橫斷側中。

24.如申請專利範圍第21至23項中任一項的半導體結構，其中橫向間隔部分與閘極電極具有約略相同的厚度。

25.如申請專利範圍第21項的半導體結構，其中該半導體主體包含第二導體類型的另一主體材料，該結構還進一步包含互補於該主要場效電晶體的另一場效電晶體，該另一場效電晶體包括：

該另一主體材料的另一通道區帶；

一對另一 S/D 區帶，它們係沿著該半導體主體的上方表面位於半導體主體中、被該另一通道區帶橫向分離且為第二導體類型，以便和該另一主體材料形成個別的 pn 接面；

另一閘極介電層，其疊置於該另一通道區帶上；以及

另一閘極電極，其疊置於該另一通道區帶上方的另一閘極介電層上且包括經摻雜的非單結晶半導體材料。

26.如申請專利範圍第25項的半導體結構，其中每一個 S/D 區帶皆包括一主要部及一較輕度摻雜的橫向延伸區，每一個 FET 的通道區帶會沿著該主體的上方表面終止於它的橫向延伸區。

27.如申請專利範圍第26項的半導體結構，其更包含：

一對主要介電側壁間隔部，分別位於該主要閘極電極的橫斷側中；

另一對介電側壁間隔部，分別位於該另一閘極電極的

橫斷側中。

28.如申請專利範圍第25至27項中任一項的半導體結構，其中橫向間隔部分與閘極電極具有約略相同的厚度。

29.一種製造包括一主要雙極接面電晶體(BJT)的一半導體結構的方法，該方法包括：

(a)將第一導體類型的第一半導體摻雜物引入該半導體主體中預期要成為該 BJT 之第一導體類型的主要基極的主要基極鏈部與主要本質基極部的材料中，及(b)將和第一導體類型相反的第二導體類型的第一半導體摻雜物引入該半導體主體中預期要成為該 BJT 之第二導體類型的主要集極之至少一部分的材料中；

提供主體上覆結構，其包括一主要間隔結構，該主要間隔結構包括：(i)一主要隔離介電層，其係位於該半導體主體中預期要成為該基極鏈部的材料中，及(ii)一主要間隔組件，其包括一由位於該半導體主體中預期要成為該基極鏈部的材料上方的介電層上的大部分為非單結晶半導體材料所組成的主要橫向間隔部分，俾使得該半導體主體中預期要成為該基極鏈部的材料的大部分相反的第一上方邊緣與第二上方邊緣大部分會橫向保形於該橫向間隔部分之個別大部分相反的第一下方邊緣與第二下方邊緣；以及

(a)利用該橫向間隔部分及其橫向側中的任何材料作為摻雜物阻隔擋板將第一導體類型的第二半導體摻雜物引入該半導體主體以定義該基極的一主要基極接點部，及(b)同樣利用該橫向間隔部分及其橫向側中的任何材料作為摻雜

物阻隔擋板以將第二導體類型的第二半導體摻雜物引入該半導體主體以定義該 BJT 的第二導體類型的一主要射極，使得在完成該半導體結構的製造後，(i)該射極與集極會藉由該基極而彼此分離以與該基極形成個別的主要 pn 接面，(ii)該本質基極部位於該射極的下方及該集極之材料上，(iii)該基極鏈部延伸在該等本質基極部與基極接點部之間且橫向分離該射極與該基極接點部，及(iv)該半導體主體具有一上方表面，該基極接點部與該射極延伸至該上方表面。

30.如申請專利範圍第 29 項的方法，其中第一導體類型與第二導體類型的第二摻雜物之引入被實施使得完成半導體結構的製造後，該基極鏈部的第一上方邊緣與第二上方邊緣與該橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的第一橫向距離與第二橫向距離。

31.如申請專利範圍第 29 項的方法，其中：

提供主體上覆結構的動作包含形成該間隔組件以便包含第一介電隔離間隔部與第二介電隔離間隔部，該等第一介電隔離間隔部與第二介電隔離間隔部分別位於該橫向間隔部分之分別大部分相反的第一橫向側與第二橫向側中，俾使得該橫向間隔部分的第一橫向側與第二橫向側分別包含其第一下方邊緣與第二下方邊緣；

引入該第一導體類型之第二摻雜物以定義該基極接點部期間所使用的摻雜物阻隔擋板包含介電間隔部；以及

引入該第二導體類型之第二摻雜物以定義該射極期間所使用的摻雜物阻隔擋板也包含該等介電間隔部。

32.如申請專利範圍第31項的方法，其中第一導體類型與第二導體類型的第二摻雜物之引入被實施使得完成半導體結構的製造後，第一介電間隔部與第二介電間隔部會分別位於該基極鏈部的第一上方邊緣與第二上方邊緣之上。

33.如申請專利範圍第29項的方法，其中該集極的一主要集極部至少部分由該第二導體類型的第一摻雜物來定義，該方法還包含將該第二導體類型的額外半導體摻雜物引入該半導體主體中以定義一深集極層，該深集極層位於該主要集極部的下方而且摻雜程度重過該主要集極部。

34.如申請專利範圍第29項的方法，其進一步包含：

藉由必須在一基板上成長一磊晶層的程序來形成該半導體主體；以及

形成該集極，使其包括(i)一主要集極部，其至少部分係由該第二導體類型的第一摻雜物來定義，及(ii)一下方較重度摻雜的埋植集極層，其會被設置在該基板與該磊晶層之間的介面中。

35.如申請專利範圍第29至34項中任一項的方法，其中完成該半導體結構的製造後，該橫向間隔部分的非單結晶半導體材料大部分為多重結晶半導體材料。

36.如申請專利範圍第29項的方法，其中：

該半導體結構包含互補於該主要BJT的另一BJT；

該方法包含：(a)將第二導體類型的另一半導體摻雜物引入該半導體主體中預期要成為該另一BJT之第二導體類型的另一基極的另一基極鏈部與另一本質基極部的材料

中，及(b)將第一導體類型的另一半導體摻雜物引入該半導體主體中預期要成為該另一 BJT 之第一導體類型的另一集極之至少一部分的材料中；

提供主體上覆結構的動作包含予以擴增而包含另一間隔結構，該另一間隔結構包括：(i)另一隔離介電層，其係位於該半導體主體中預期要成為該另一基極鏈部的材料中，及(ii)另一間隔組件，其包括由位於該半導體主體中預期要成為該另一基極鏈部的材料上方的另一介電層上的大部分為非單結晶半導體材料所組成的另一橫向間隔部分，俾使得該該半導體主體中預期要成為該另一基極鏈部的材料的大部分相反的第一上方邊緣與第二上方邊緣大部分會橫向保形於該另一橫向間隔部分之個別大部分相反的第一下方邊緣與第二下方邊緣；以及

第一導體類型與第二導體類型的第二摻雜物的引入包含：(a)利用該另一橫向間隔部分及其橫向側中的任何材料作為摻雜物阻隔擋板將第二導體類型的第二摻雜物引入該半導體主體中，以定義該另一基極的另一基極接點部，及(b)同樣利用該另一橫向間隔部分及其橫向側中的任何材料作為摻雜物阻隔擋板將第一導體類型的第二摻雜物引入該半導體主體中，以定義該另一 BJT 的第一導體類型的另一射極，使得在完成該半導體結構的製造後，(i)該另一射極與另一集極會藉由該另一基極而彼此分離以與該另一基極形成個別的主要 pn 接面，(ii)該另一本質基極部會位於該另一射極的下方以及該另一集極之材料上，(iii)該另一基極鏈部

會延伸在該等另一本質基極部與另一基極接點部之間並且會橫向分離該另一射極與該另一基極接點部，及(iv)該另一基極接點部與該另一射極會延伸至該主體的上方表面。

37.如申請專利範圍第36項的方法，其中該等第一導體類型與第二導體類型的第二摻雜物的引入會被實施使得在完成該半導體結構的製造後：

主要基極鏈部的第一上方邊緣與第二上方邊緣與主要橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的主要第一橫向距離與主要第二橫向距離；以及

另一基極鏈部的第一上方邊緣與第二上方邊緣與另一橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的另一第一橫向距離與另一第二橫向距離。

38.如申請專利範圍第36項的方法，其中：

提供主體上覆結構的動作包含(a)形成該主要間隔組件以便包含主要第一介電隔離間隔部與主要第二介電隔離間隔部，該等主要第一介電隔離間隔部與主要第二介電隔離間隔部分別位於該主要橫向間隔部分之分別大部分相反的第一橫向側與第二橫向側中，使得該主要橫向間隔部分的第一橫向側與第二橫向側分別包含其第一下方邊緣與第二下方邊緣，及(b)形成該另一間隔組件以包含另一第一介電隔離間隔部與另一第二介電隔離間隔部，該等另一第一介電隔離間隔部與另一第二介電隔離間隔部分別位於該另一橫向間隔部分之分別大部分相反的第一橫向側與第二橫向側中，使得該另一橫向間隔部分的第一橫向側與第二橫向

側分別包含其第一下方邊緣與第二下方邊緣；

引入第一導體類型之第二摻雜物以定義主要基極接點部期間所使用的摻雜物阻隔擋板包含主要介電間隔部；

引入第一導體類型之第二摻雜物以定義另一射極期間所使用的摻雜物阻隔擋板包含另一介電間隔部；

引入第二導體類型之第二摻雜物以定義主要射極期間所使用的摻雜物阻隔擋板也包含主要介電間隔部；以及

引入第二導體類型之第二摻雜物以定義另一基極接點部期間所使用的摻雜物阻隔擋板也包含另一介電間隔部。

39.如申請專利範圍第38項的方法，其中該等第一導體類型與第二導體類型的第二摻雜物之引入被實施以使得在完成該半導體結構的製造後：

主要第一介電間隔部與主要第二介電間隔部分別位於主要基極鏈部的第一上方邊緣與第二上方邊緣之上；以及

另一第一介電間隔部與另一第二介電間隔部分別位於另一基極鏈部的第一上方邊緣與第二上方邊緣之上。

40.如申請專利範圍第36項的方法，其中(a)該主要集極的主要集極部至少部分係由該第二導體類型的第一摻雜物來定義，且(b)該另一集極的另一主要集極部至少部分係由該第一導體類型的另一摻雜物來定義，該方法更包含：

將該第二導體類型的額外半導體摻雜物引入該半導體主體中以定義一主要的深集極層，該主要的深集極層位於該主要的主要集極部的下方而且摻雜程度重過該主要的主要集極部；以及

將該第一導體類型的額外半導體摻雜物引入該半導體主體中以定義另一深集極層，該另一深集極層位於該另一主要集極部的下方而且摻雜程度重過該另一主要集極部。

41.如申請專利範圍第36項的方法，其進一步包含：

藉由必須在一基板上成長一磊晶層的一程序來形成該半導體主體；

形成該主要集極，使其包括(i)一主要集極部，其至少部分係由該第二導體類型的第一摻雜物來定義，及(ii)一下方較重度摻雜的埋植集極層，其會被設置在該基板與該磊晶層之間的介面中；以及

形成該另一集極，使其包括(i)一主要集極部，其至少部分係由該第一導體類型的另一摻雜物來定義，及(ii)一下方較重度摻雜的埋植集極層，其會被設置在該基板與該磊晶層之間的介面中。

42.如申請專利範圍第29項的方法，其中：

該半導體結構包含一主要的場效電晶體(FET)；

該半導體主體包含第一導體類型的主要主體材料；

該提供主體上覆結構的動作包含予以擴增以包含該FET的一主要的閘極介電層及一主要的閘極電極，俾使得(i)該閘極介電層會位於該主體材料中預期要成為該FET之第一導體類型的一主要通道區帶的部分上方，及(ii)該閘極電極包括位於該主體材料中預期要成為該通道區帶的部分上方的閘極介電層上的非單結晶半導體材料；

該第二導體類型的第二摻雜物的引入包含將第二導體

類型的第二摻雜物引入該半導體主體中，以至少部分定義該 FET 的第二導體類型的一對主要源極/汲極(S/D)區帶，俾使得該等 S/D 區帶會被該通道區帶橫向分離，以便和該主體材料形成個別的 pn 接面。

43.如申請專利範圍第 42 項的方法，其中該提供主體上覆結構的動作包含：

提供該半導體主體一表面介電層，其包含該等絕緣介電層與閘極介電層的材料；

將一大部分為非單結晶的半導體材料層沉積在該表面介電層上；以及

圖樣化該大部分為非單結晶的半導體材料層，用以定義該橫向間隔部分與該閘極電極。

44.如申請專利範圍第 43 項的方法，其中該圖樣化動作包括：

在該大部分為非單結晶的半導體材料層上形成一光阻遮罩；以及

移除經由該遮罩中的開口而露出的非單結晶半導體材料，用以定義該橫向間隔部分與該閘極電極。

45.如申請專利範圍第 43 項的方法，其中該提供主體上覆結構的動作包含形成具有約略相同厚度的橫向間隔部分與閘極電極。

46.如申請專利範圍第 42 項的方法，其中：

每一個 S/D 區帶皆會被形成以包括一主要部及一較輕度摻雜的橫向延伸區，使得該等橫向延伸區會終止該閘極

介電層下方的通道區帶；

該方法包含在引入第二導體類型的第二摻雜物前事先利用閘極電極及其橫向側中的任何材料作為摻雜物阻隔擋板將第二導體類型的額外半導體摻雜物引入該半導體主體中預期要成為 S/D 區帶之橫向延伸區的至少一對部分中；

該提供主體上覆結構的動作包含在引入第二導體類型的額外摻雜物之後擴增該主體上覆結構，已使其包含分別位於閘極電極之橫斷側邊中的一對介電側壁間隔部；以及

該等 S/D 區帶的主要部係利用該閘極電極與該等側壁間隔部作為摻雜物阻隔擋板藉由引入該第二導體類型的第二半導體摻雜物來定義。

47.如申請專利範圍第 42 項的方法，其中：

該半導體結構包含互補於該主要 FET 的另一 FET；

該半導體主體包含第二導體類型的另一主體材料；

提供主體上覆結構的動作包含予以擴增以包含該另一 FET 的另一閘極介電層及另一閘極電極，使得(i)另一閘極介電層會位於該另一主體材料中預期要成為另一 FET 之第二導體類型的另一通道區帶的部分上方，及(ii)另一閘極電極包括位於該另一主體材料中預期要成為另一通道區帶的部分上方的另一閘極介電層上的非單結晶半導體材料；

該第一導體類型的第二摻雜物的引入包含將第一導體類型的第二摻雜物引入該半導體主體中，用以至少部分定義該另一 FET 的第一導體類型的另一對 S/D 區帶，使得該等另一 S/D 區帶會被該另一通道區帶橫向分離，以便和該

另一主體材料形成個別的 pn 接面。

48.如申請專利範圍第 47 項的方法，其中該提供主體上覆結構的動作包含：

提供該半導體主體一表面介電層，其包含該等絕緣介電層與閘極介電層的材料；

將一大部分為非單結晶的半導體材料層沉積在該表面介電層上；以及

圖樣化該大部分為非單結晶的半導體材料層，用以定義該橫向間隔部分與該等閘極電極。

49.如申請專利範圍第 48 項的方法，其中該圖樣化動作包括：

在該大部分為非單結晶的半導體材料層上形成一光阻遮罩；以及

移除經由該遮罩中的開口而露出的非單結晶半導體材料，用以定義該橫向間隔部分與該等閘極電極。

50.如申請專利範圍第 47 項的方法，其中該提供主體上覆結構的動作包含形成具有約略相同厚度的橫向間隔部分與閘極電極。

51.如申請專利範圍第 47 項的方法，其中：

每一個 S/D 區帶皆被形成以包括一主要部及一較輕度摻雜的橫向延伸區，使得每一個 FET 的橫向延伸區會終止其閘極介電層下方的通道區帶；

該方法包含在引入該等第一與第二導體類型的第二摻雜物之前事先(a)利用該主要閘極電極及其橫向側中的任何

材料作為摻雜物阻隔擋板將第二導體類型的額外半導體摻雜物引入該半導體主體中預期要成為該等主要 S/D 區帶之橫向延伸區的至少一對部分中，及(b)利用該另一閘極電極及其橫向側中的任何材料作為摻雜物阻隔擋板將第一導體類型的額外半導體摻雜物引入該半導體主體中預期要成為該等另一 S/D 區帶之橫向延伸區的至少一對部分中；

該提供主體上覆結構的動作包含在引入該等額外摻雜物後擴增該主體上覆結構，使其包含(a)分別位於該主要的閘極電極之橫斷側邊中的一對主要的介電側壁間隔部，及(b)分別位於該另一閘極電極之橫斷側邊中的另一對介電側壁間隔部；

該等主要的 S/D 區帶的主要部係藉由利用該主要的閘極電極與該等主要的側壁間隔部作為摻雜物阻隔擋板引入該第二導體類型的第二摻雜物來定義；以及

該等另一 S/D 區帶的主要部係利用該另一閘極電極與該等另一側壁間隔部作為摻雜物阻隔擋板藉由引入該第一導體類型的第二摻雜物來定義。

52.如申請專利範圍第 51 項的方法，其中該提供主體上覆結構的動作包含：

提供該半導體主體一表面介電層，其包含該等絕緣介電層與閘極介電層的材料；

將一大部分為非單結晶的半導體材料層沉積在該表面介電層上；以及

圖樣化該大部分為非單結晶的半導體材料層，用以形

成該橫向間隔部分與該等閘極電極。

53.如申請專利範圍第47項的方法，其中該第二導體類型的第一摻雜物的引入包含將該第二導體類型的第一摻雜物引入該半導體主體中預期要成為構成該第二導體類型之另一主體材料的至少一部分的井區的材料中。

54.如申請專利範圍第47至53項中任一項的方法，其中該提供主體上覆結構的動作包含形成具有約略相同厚度的橫向間隔部分與閘極電極。

55.如申請專利範圍第54項的方法，其中在完成該半導體結構的製造後，該橫向間隔部分與該等閘極電極的非單結晶半導體材料大部分為多重結晶半導體材料。

56.如申請專利範圍第47項的方法，其中：

該半導體結構包含互補於該主要BJT的另一BJT；

該方法包含：(a)將第二導體類型的另一半導體摻雜物引入該半導體主體中預期要成為該另一BJT之第二導體類型的另一基極的另一基極鏈部與另一本質基極部的材料中，及(b)將第一導體類型的另一半導體摻雜物引入該半導體主體中預期要成為該另一BJT之第一導體類型的另一集極之至少一部分的材料中；

該提供主體上覆結構的動作包含予以擴增以包含另一間隔結構，該另一間隔結構包括：(i)另一隔離介電層，位於該半導體主體中預期要成為該另一基極鏈部的材料中，及(ii)另一間隔組件，包括由位於該半導體主體中預期要成為該另一基極鏈部的材料上方的另一介電層上的大部分為

非單結晶半導體材料所組成的另一橫向間隔部分，使得該該半導體主體中預期要成為該另一基極鏈部的材料的大部分相反的第一上方邊緣與第二上方邊緣大部分會橫向保形於該另一橫向間隔部分之個別大部分相反的第一下方邊緣與第二下方邊緣；以及

該等第一導體類型與第二導體類型的第二摻雜物的引入包含：(a)利用該另一橫向間隔部分及其橫向側中的任何材料作為摻雜物阻隔擋板將第二導體類型的第二摻雜物引入該半導體主體中，以定義該另一基極的另一基極接點部，及(b)同樣利用該另一橫向間隔部分及其橫向側中的任何材料作為摻雜物阻隔擋板將第一導體類型的第二摻雜物引入該半導體主體中，用以定義該另一 BJT 的第一導體類型的另一射極，使得(i)該另一射極與另一集極會藉由該另一基極而彼此分離以與該另一基極形成個別的主要 pn 接面，(ii)該另一本質基極部會位於該另一射極的下方以及該另一集極之材料之上，(iii)該另一基極鏈部會延伸在該等另一本質基極部與另一基極接點部之間並且會橫向分離該另一射極與該另一基極接點部，及(iv)該另一基極接點部與該另一射極會延伸至該主體的上方表面。

57.如申請專利範圍第 56 項的方法，其中該等第一導體類型與第二導體類型的第二摻雜物的引入被實施使得：

主要基極鏈部的第一上方邊緣與第二上方邊緣與主要橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的主要第一橫向距離與主要第二橫向距離；以及

另一基極鏈部的第一上方邊緣與第二上方邊緣與另一橫向間隔部分的第一下方邊緣與第二下方邊緣分別分離大部分恆定的另一第一橫向距離與另一第二橫向距離。

58.如申請專利範圍第56項的方法，其中：

該半導體結構包含互補於該主要FET的另一FET；

該半導體主體包含第二導體類型的另一主體材料；

該提供主體上覆結構的動作包含予以擴增以包含另一FET的另一閘極介電層及另一閘極電極，使得(i)另一閘極介電層會位於另一主體材料中預期要成為該另一FET之第二導體類型的另一通道區帶的部分上方，及(ii)另一閘極電極包括位於另一主體材料中預期要成為該另一通道區帶的部分上方的另一閘極介電層上的非單結晶半導體材料；

第一導體類型的第二摻雜物的引入包含將第一導體類型的第二摻雜物引入該半導體主體中，以至少部分定義該另一FET的第一導體類型的另一對S/D區帶，使得該等另一S/D區帶會被該另一通道區帶橫向分離以便和該另一主體材料形成個別的pn接面。

59.如申請專利範圍第58項的方法，其中：

該第一導體類型的第一摻雜物的引入包含將該第二導體類型的第一摻雜物引入該半導體主體中預期要成為構成該第一導體類型之主要主體材料的至少一部分的主要井區的材料中；以及

該第二導體類型的第一摻雜物的引入包含將該第二導體類型的第一摻雜物引入該半導體主體中預期要成為構成

該第二導體類型之另一主體材料的至少一部分的另一井區的材料中。

60.如申請專利範圍第58或59項的方法，其中該提供主體上覆結構的動作包含形成具有約略相同厚度的橫向間隔部分與閘極電極。

八、圖式：

（如次頁）

該第二導體類型之另一主體材料的至少一部分的另一井區的材料中。

60.如申請專利範圍第58或59項的方法，其中該提供主體上覆結構的動作包含形成具有約略相同厚度的橫向間隔部分與閘極電極。

八、圖式：

（如次頁）

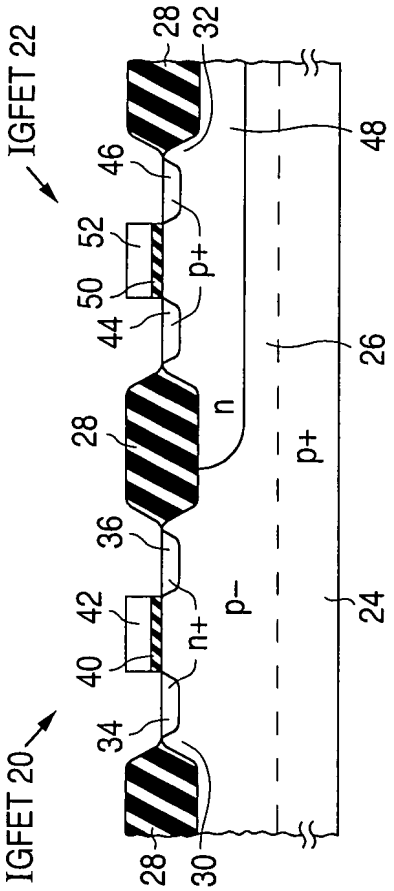

IGFET 22
IGFET 20
28
32
46
52
50
44
42
40
34
36
28
28
30
n+
p+
n
p−
48
26
24

圖 1

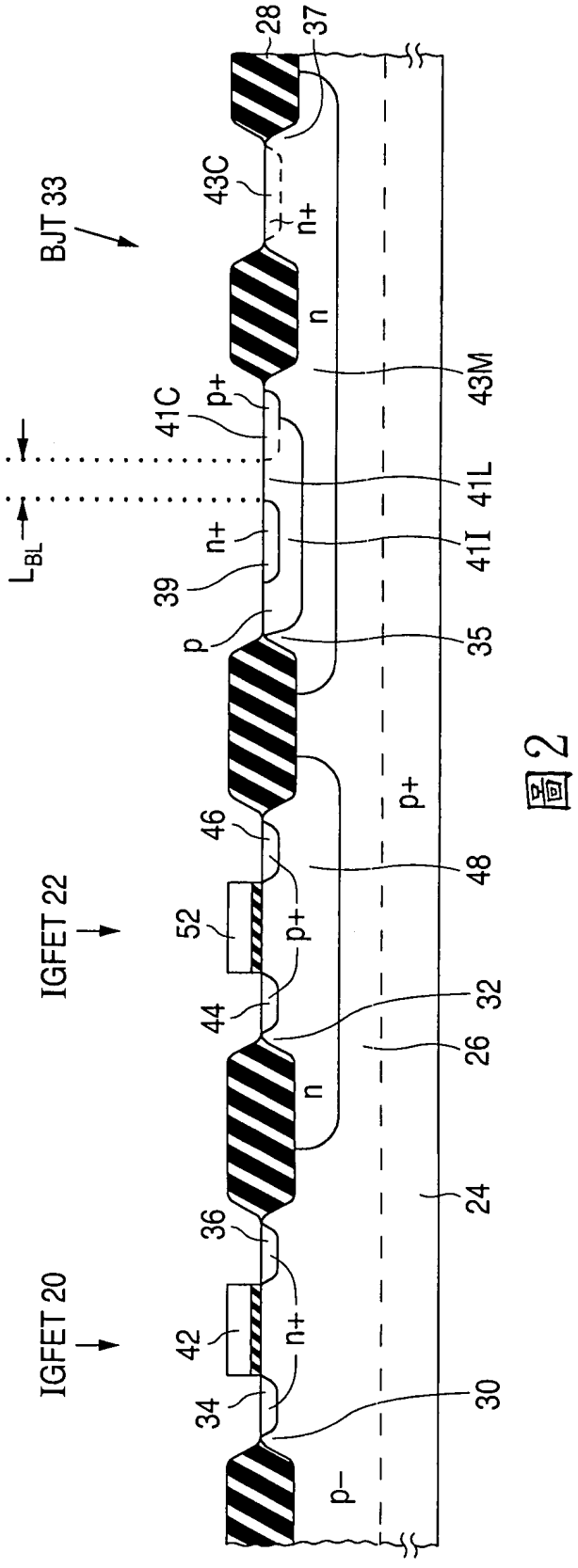

BJT 33
IGFET 22
IGFET 20
L_{BL}
28
37
43C
n+
n
43M
41C
p+
41L
41I
39
n+
p
35
46
52
p+
48
44
32
26
n
36
24
42
n+
34
30
p−

圖 2

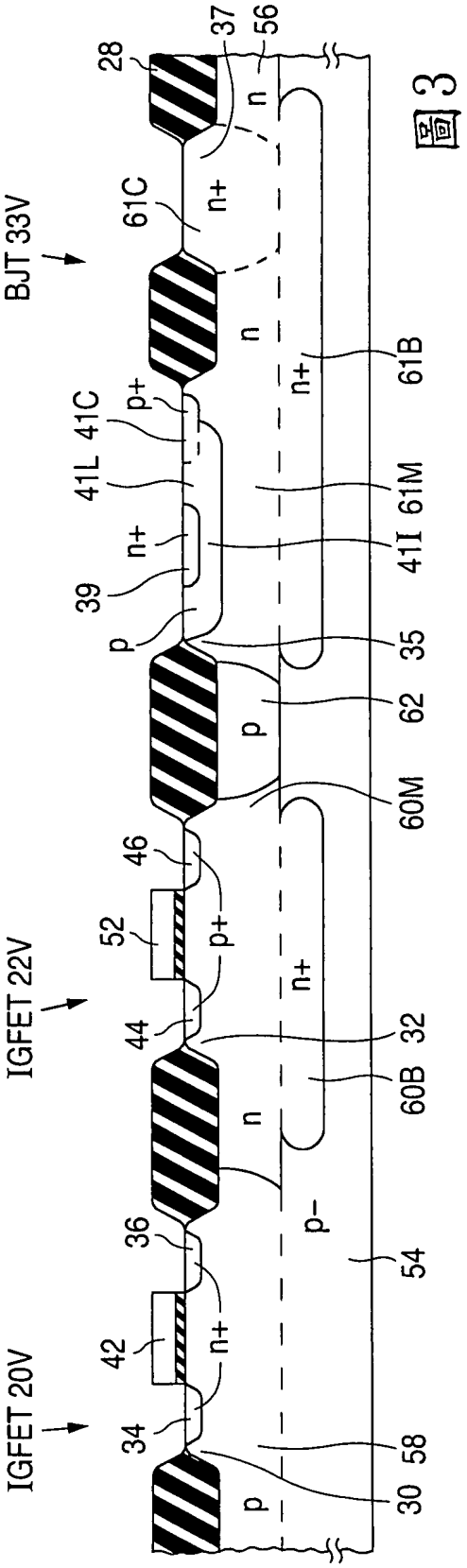

BJT 33V
IGFET 22V
IGFET 20V
28
37
56
61C
n+
n
61B
41C
p+
41L
61M
41I
39
35
62
60M
46
52
44
32
60B
36
54
58
30
p
p-

圖3

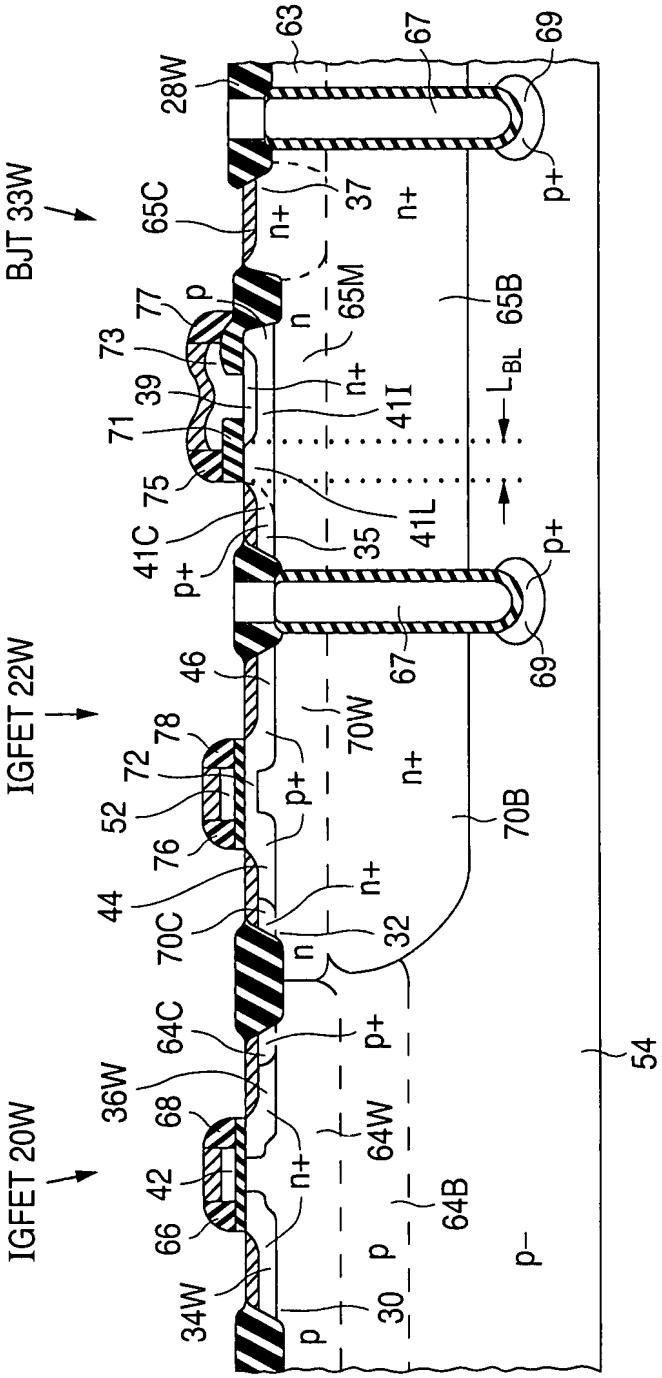

BJT 33W
IGFET 22W
IGFET 20W
28W
63
67
69
65C
37
65M
65B
77
73
71
75
41I
41L
L_{BL}
35
41C
46
70W
70B
72
78
52
76
44
70C
32
64C
36W
68
64W
64B
42
66
34W
30
54

圖4

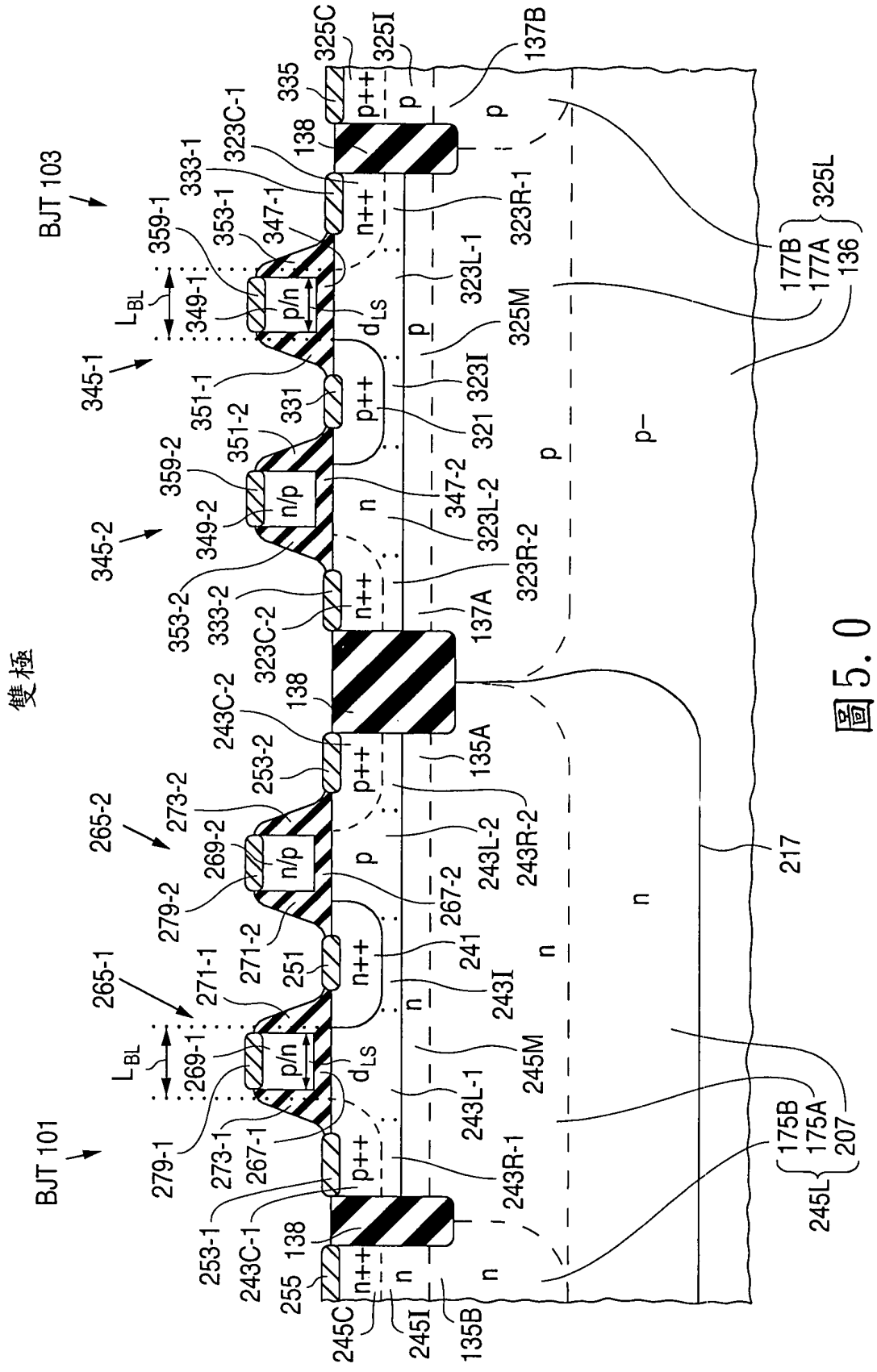

雙極
BJT 101
BJT 103
L_{BL}
d_{LS}
p/n
n/p
n++
p++
p
n
p-
265-1
265-2
345-1
345-2
269-1
269-2
271-1
271-2
273-1
273-2
279-1
279-2
267-1
267-2
253-1
253-2
243C-1
243C-2
255
251
241
243I
243L-1
243L-2
243R-1
243R-2
245M
245C
245I
245L
135B
135A
137A
137B
138
217
175B
175A
207
177B
177A
136
359-1
359-2
349-1
349-2
351-1
351-2
353-1
353-2
333-1
333-2
323C-1
323C-2
347-1
347-2
331
321
323I
323L-1
323L-2
323M
323R-1
323R-2
325C
325I
325L
335

圖5.0

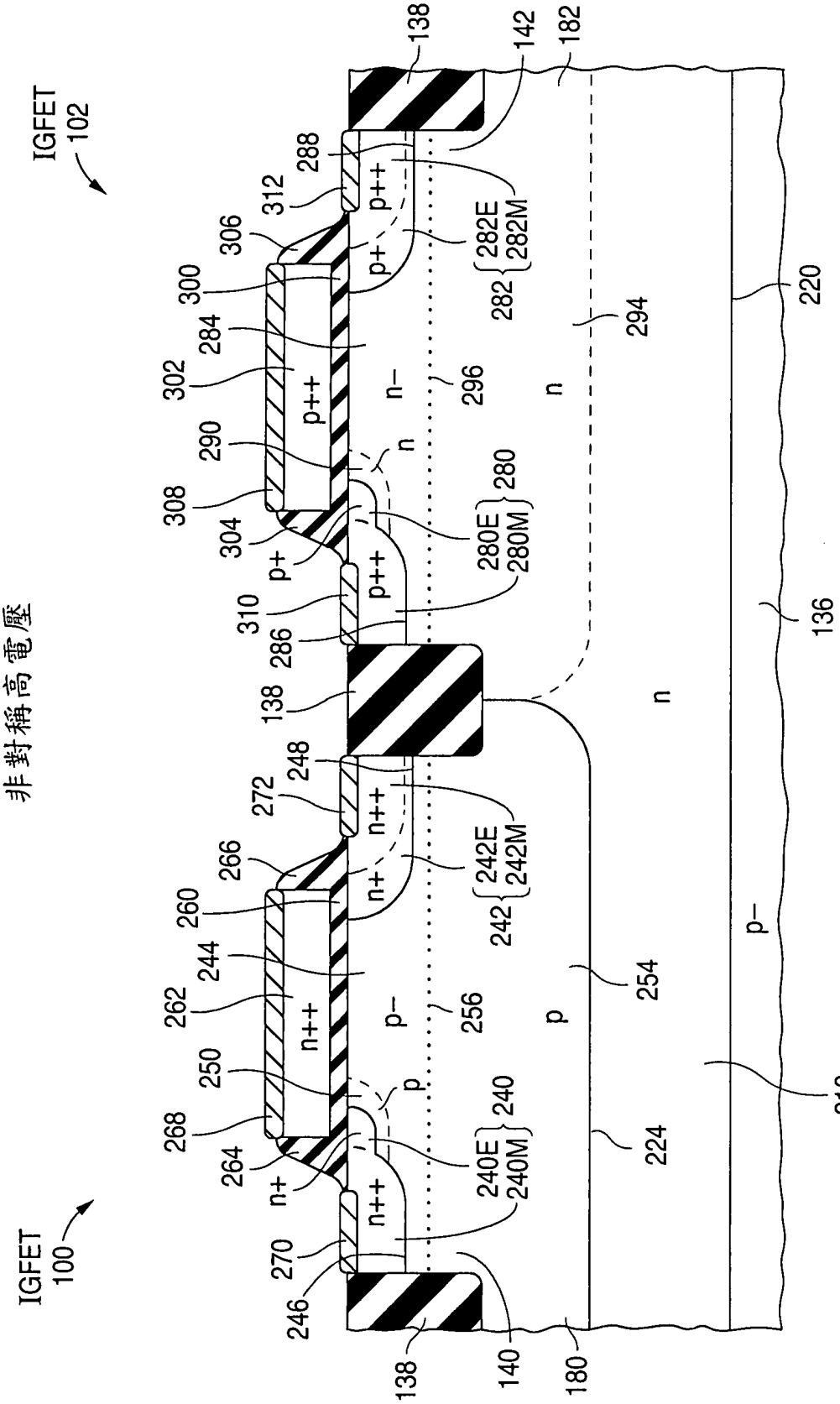

IGFET
102
非對稱高電壓
IGFET
100
138
142
182
288
312
306
300
284
302
290
308
304
310
286
138
248
272
266
260
244
262
250
268
264
246
270
138
140
180
220
294
296
136
254
256
224
210
282E
282M
282
280
280E
280M
242
242E
242M
240
240E
240M
p++
p+
n–
n
p–
p
n++
n+

圖5.1

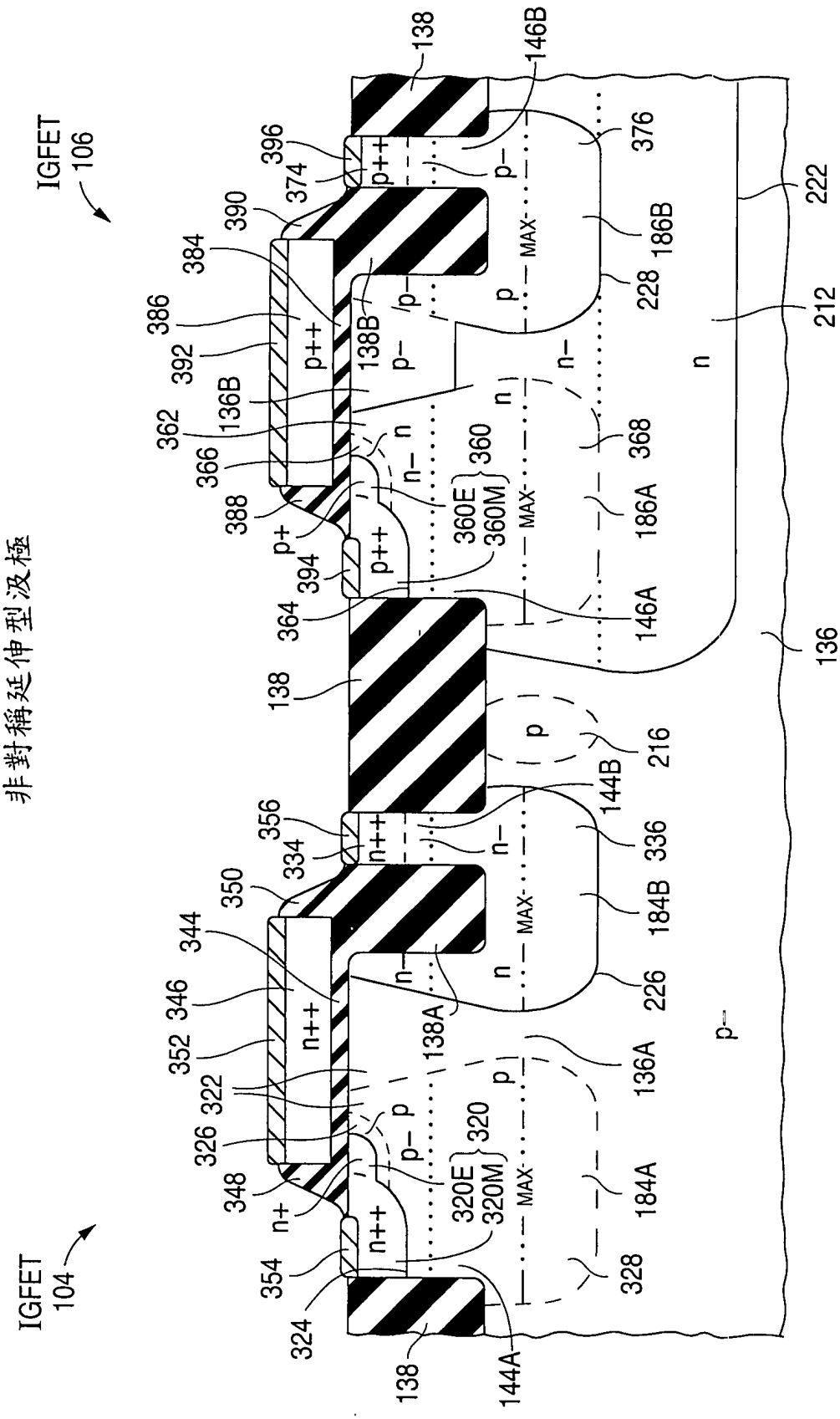

IGFET
106
非對稱延伸型汲極
IGFET
104
n++
n+
p++
p+
n−
p−
n
p
MAX
320E
320M
360E
360M
136A
136B
138A
138B
144A
144B
146A
146B
184A
184B
186A
186B
212
216
222
226
228
322
324
326
328
334
336
344
346
348
350
352
354
356
360
362
364
366
368
376
384
386
388
390
392
394
396
374
136
138

圖5.2

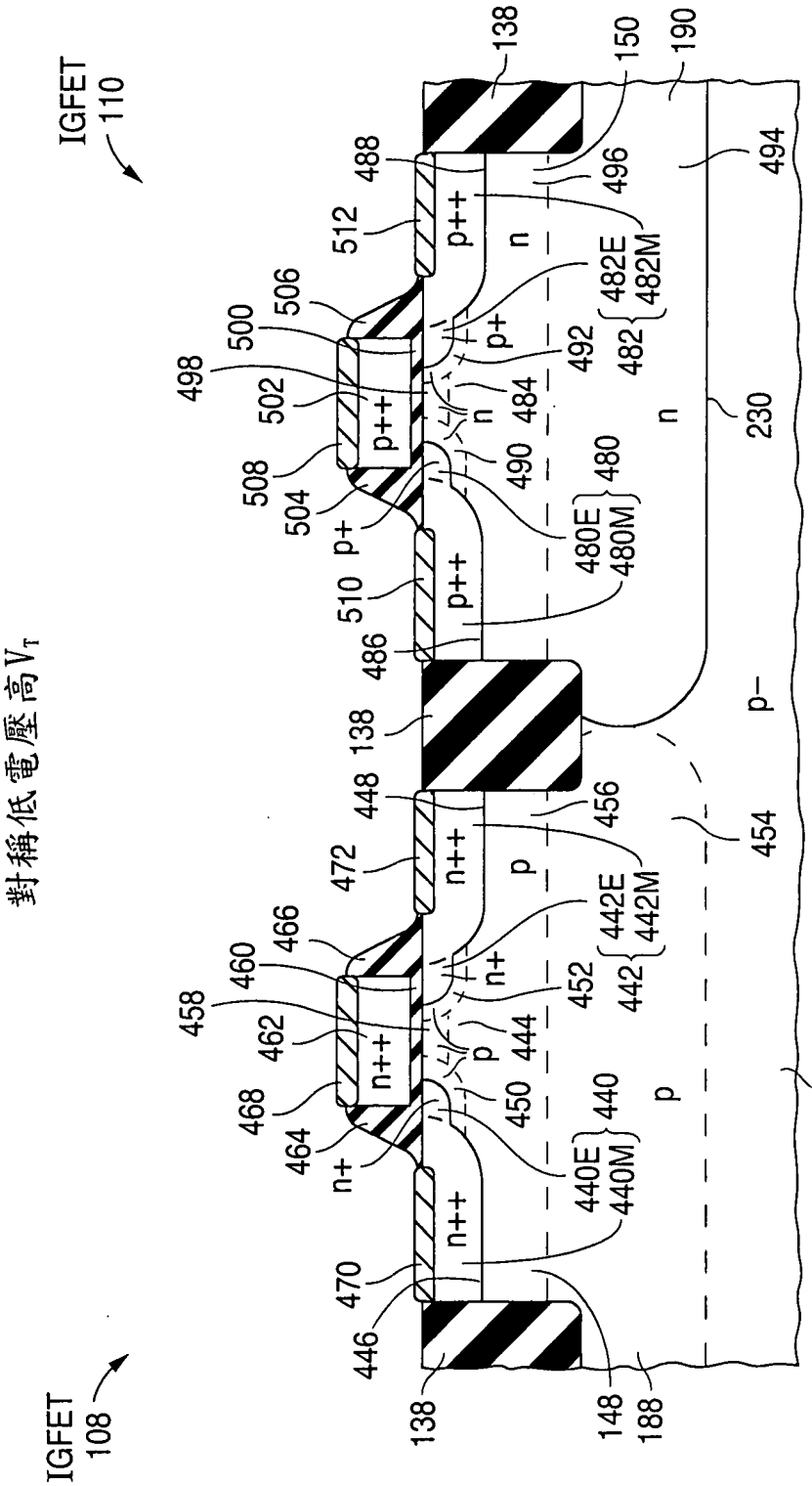

IGFET
110
IGFET
108
對稱低電壓高V_T
p++
n
p+
n
p++
p+
p++
n++
p
n+
p
n++
n+
p
n++
p
n
p−
482E
482M
482
480E
480M
480
442E
442M
442
440E
440M
440
492
484
490
494
496
498
500
502
504
506
508
510
512
486
488
448
456
472
452
444
450
446
470
460
462
464
466
468
458
138
150
190
230
454
136
148
188

圖5.3

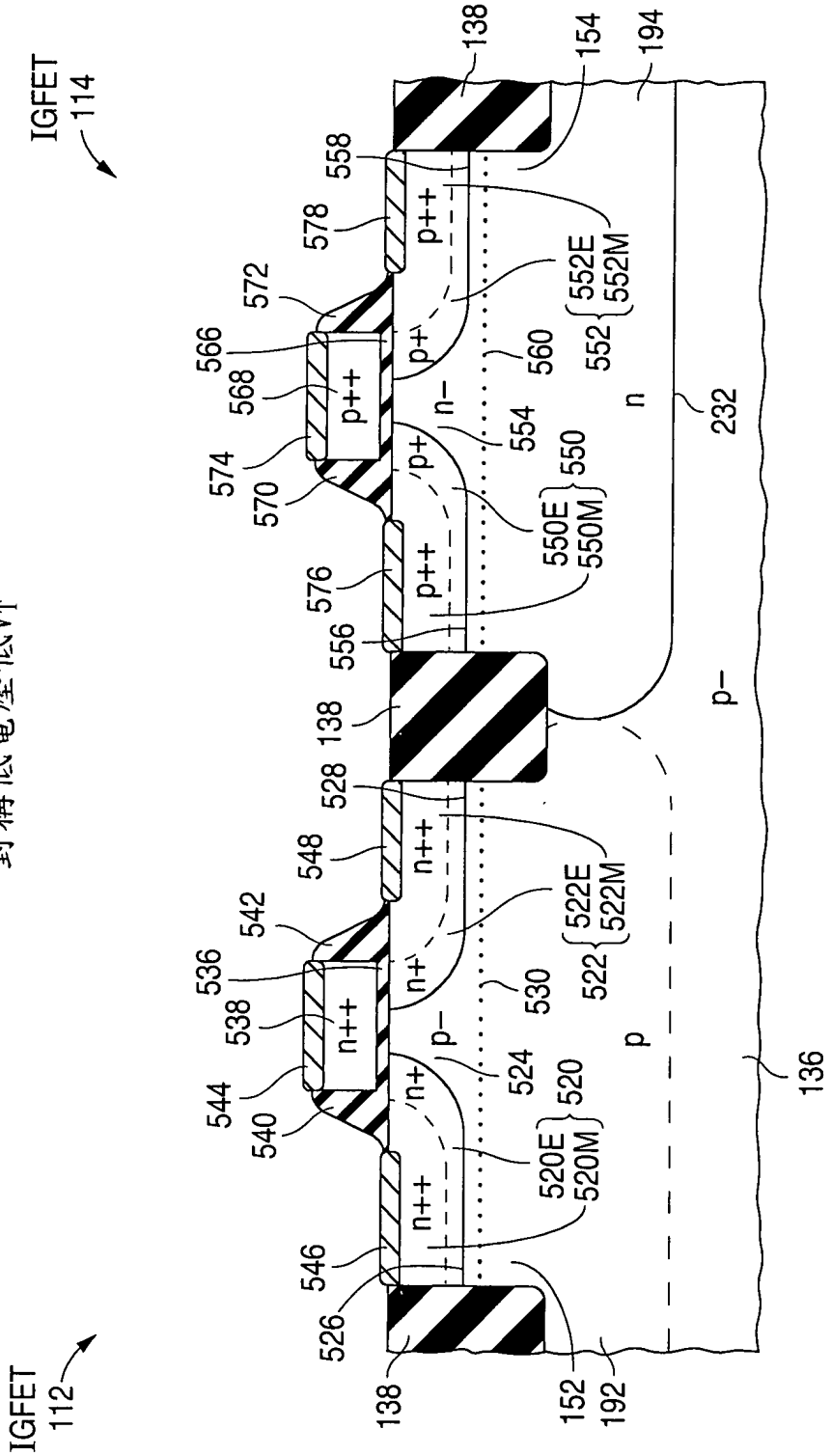

IGFET
114
對稱低電壓低V_T
IGFET
112
138
154
194
558
578
572
566
568
574
570
576
556
138
528
548
542
536
538
544
540
546
526
138
152
192
552E
552M
552
560
554
550
550E
550M
522E
522M
522
530
524
520
520E
520M
232
136
p++
n++
n+
p+
n–
p–
n
p

圖5. 4

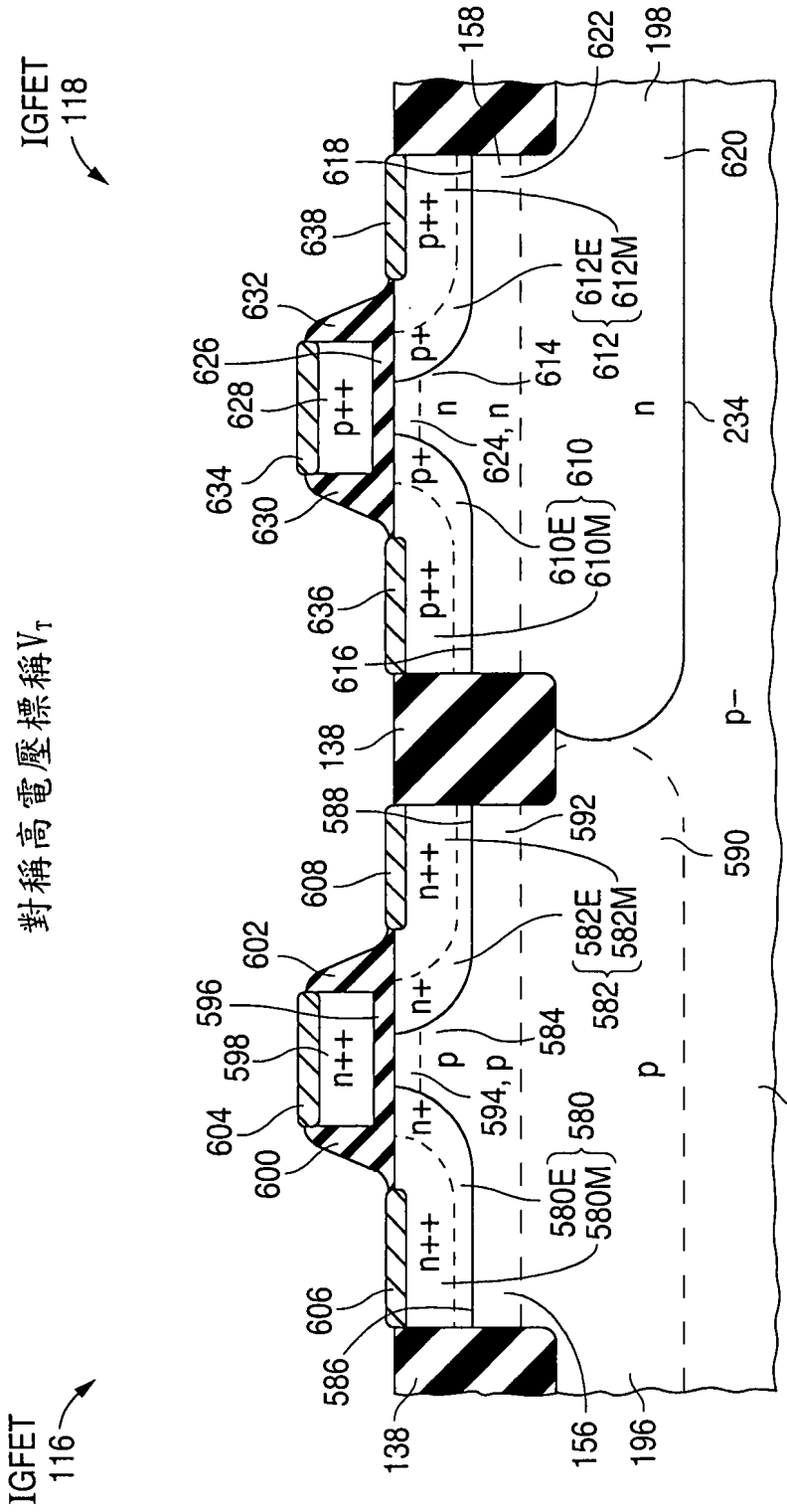

IGFET
118
IGFET
116
對稱高電壓標稱V_T
158
622
198
618
620
638
632
626
628
634
630
636
616
138
588
608
602
596
598
604
600
606
586
138
156
196
612E
612M
612
614
624, n
610
610E
610M
234
590
592
582E
582M
582
584
594, p
580
580E
580M
136
p++
p+
n
p
p-
n++
n+

圖5.5

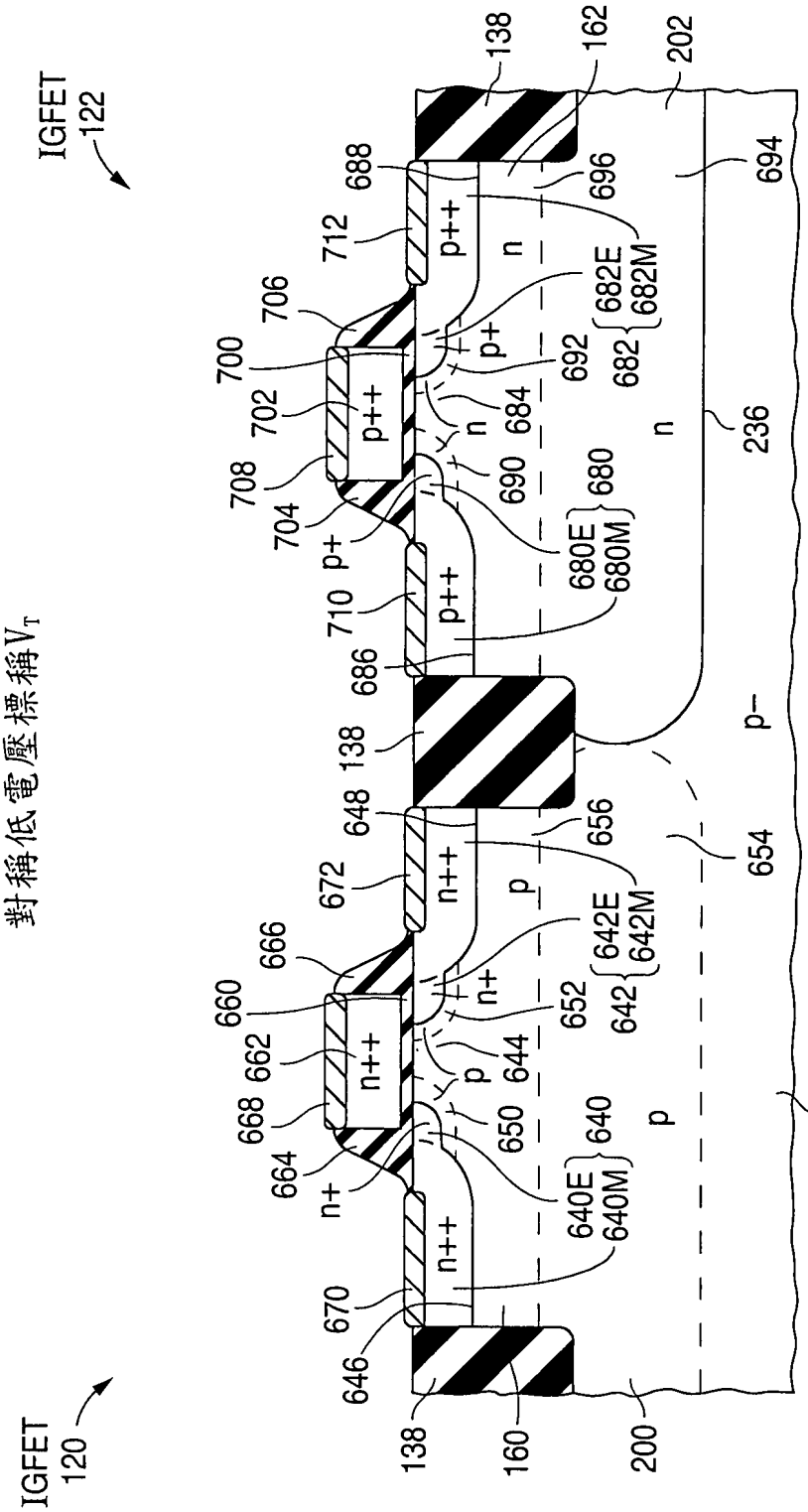

IGFET
122
IGFET
120
對稱低電壓標稱V_T
138
162
202
688
696
694
712
706
700
702
692
682
682E
682M
708
704
684
690
680
680E
680M
710
686
236
138
648
656
654
672
666
660
662
668
664
652
642
642E
642M
644
650
640
640E
640M
670
646
136
138
160
200
p++
n
p+
n++
p
n+
p-

圖5.6

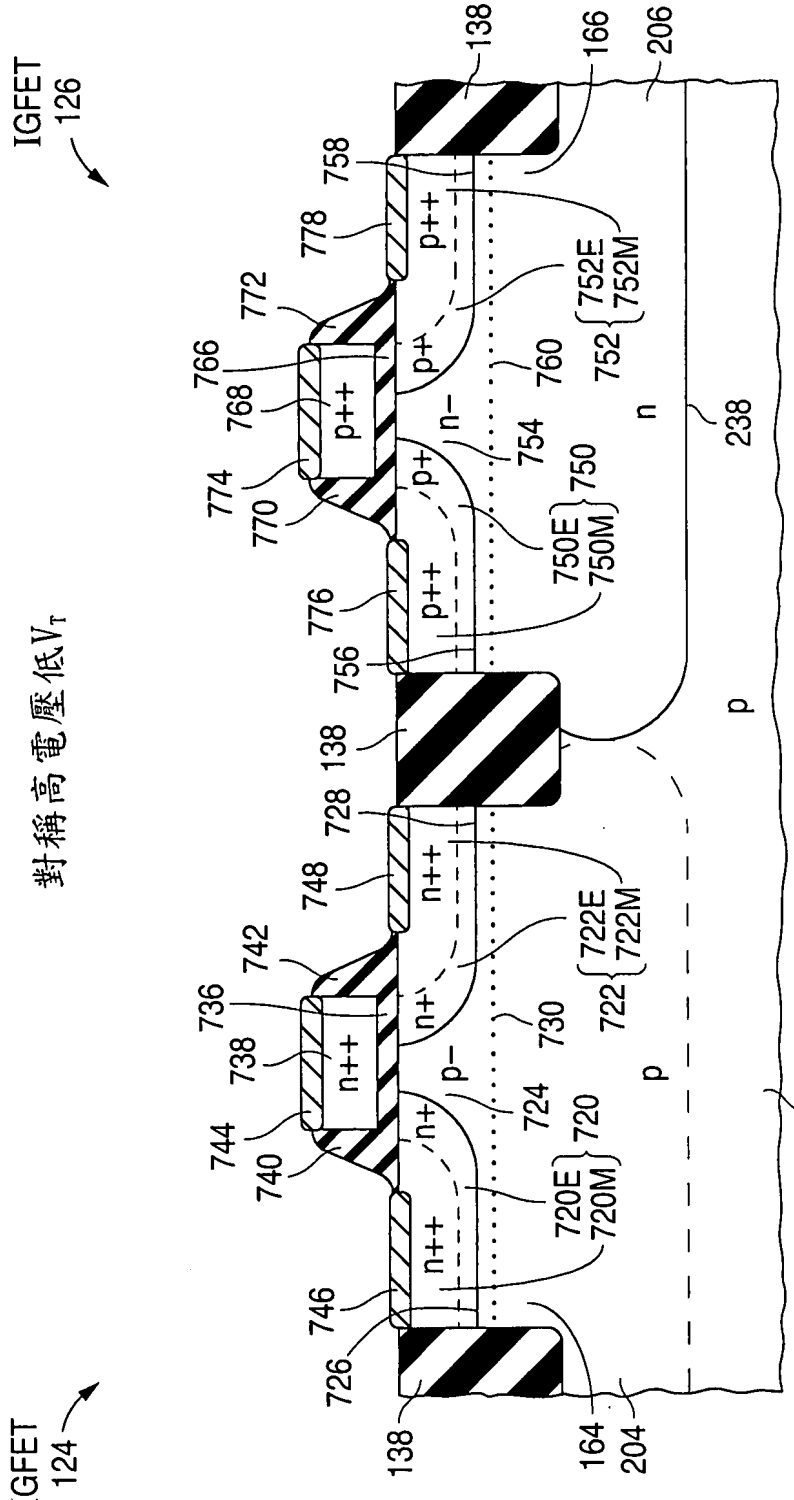

IGFET
126
對稱高電壓低V_T
IGFET
124
138
166
206
758
778
772
766
768
774
770
776
756
728
748
742
736
738
744
740
746
726
752E
752M
752
760
754
750
750E
750M
722E
722M
722
730
724
720
720E
720M
n
p
238
136
164
204
p++
p+
n−
n++
n+
p−

圖5.7

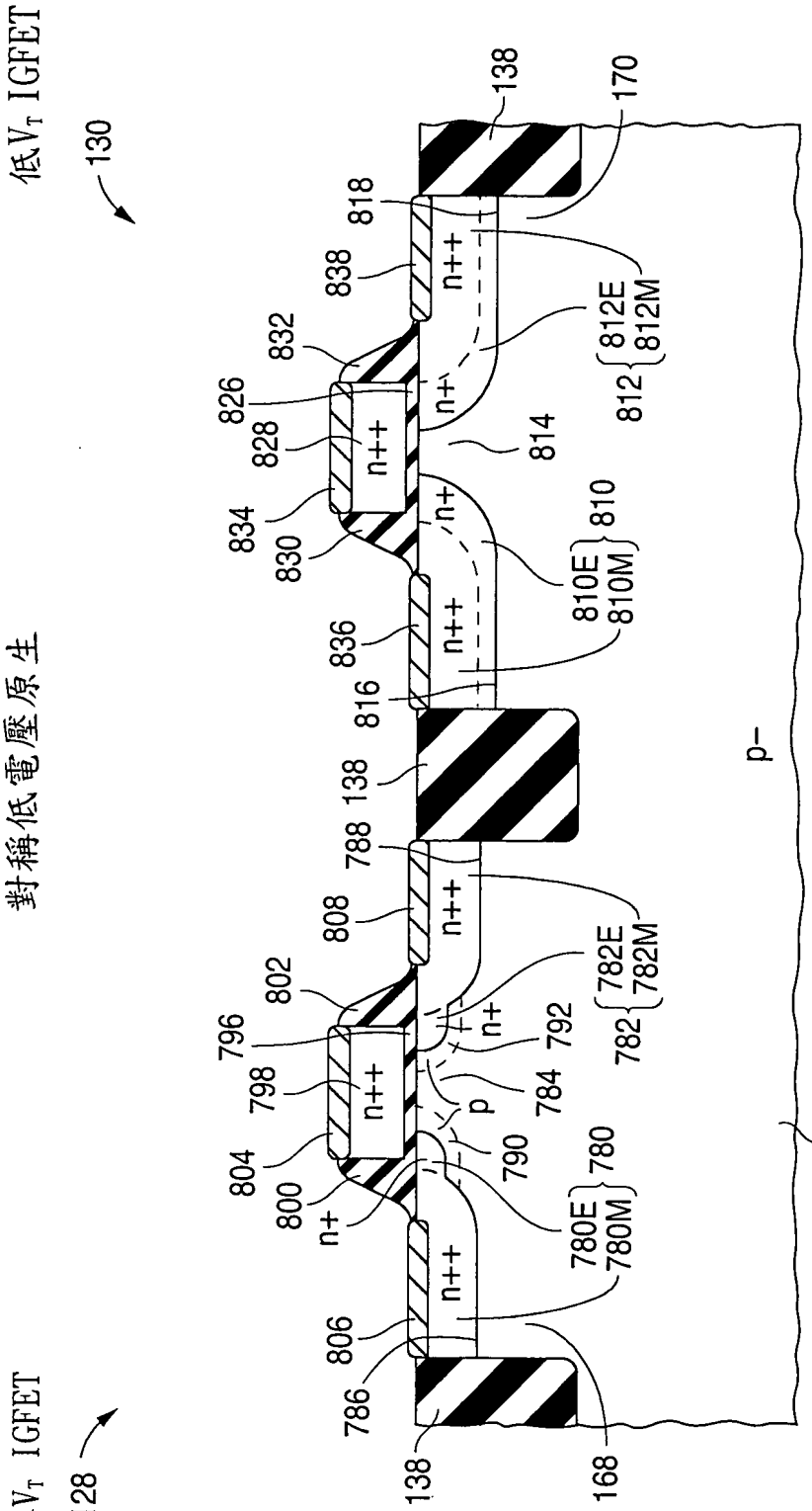

標稱V_T IGFET
128
對稱低電壓原生
低V_T IGFET
130
138
170
818
838
832
826
828
834
830
836
816
812E
812M
812
814
810E
810M
810
788
808
802
796
798
804
800
806
786
782E
782M
782
792
784
790
780E
780M
780
n++
n+
p
p-
136
168

圖5.8

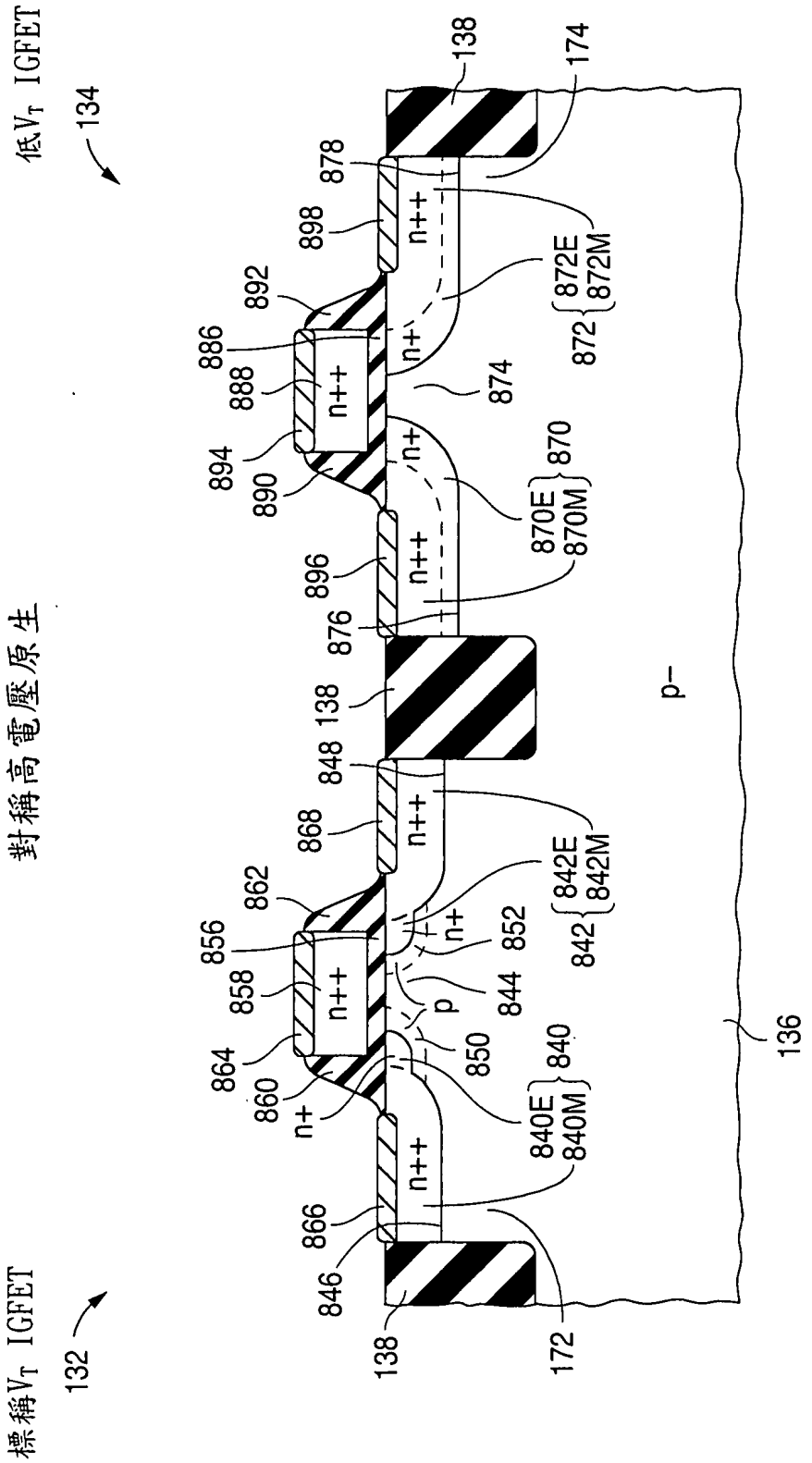

標稱V_T IGFET
132
對稱高電壓原生
低V_T IGFET
134
n++
n+
p
p-
138
174
878
898
892
886
888
894
890
896
876
848
868
862
856
858
864
860
866
846
872E
872M
872
874
870E
870M
870
842E
842M
842
852
844
850
840E
840M
840
136
172

圖5.9

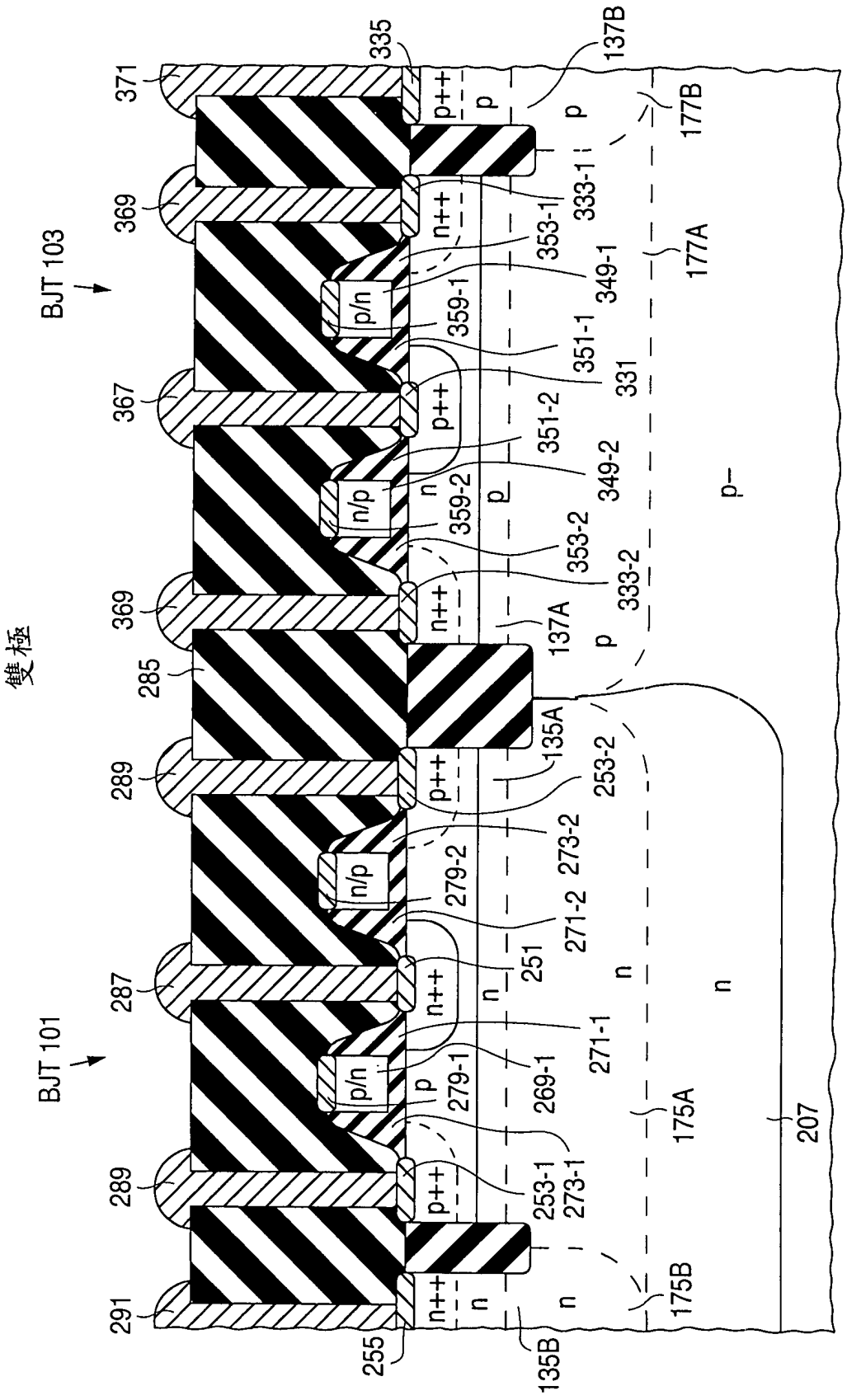

雙極
BJT 101
BJT 103
291
289
287
285
369
367
371
335
137B
177B
177A
175A
175B
207
255
135B
135A
137A
p++
n++
n/p
p/n
n
p
p-
333-1
333-2
331
349-1
349-2
351-1
351-2
353-1
353-2
359-1
359-2
269-1
271-1
271-2
273-1
273-2
279-1
279-2
251
253-1
253-2

圖6

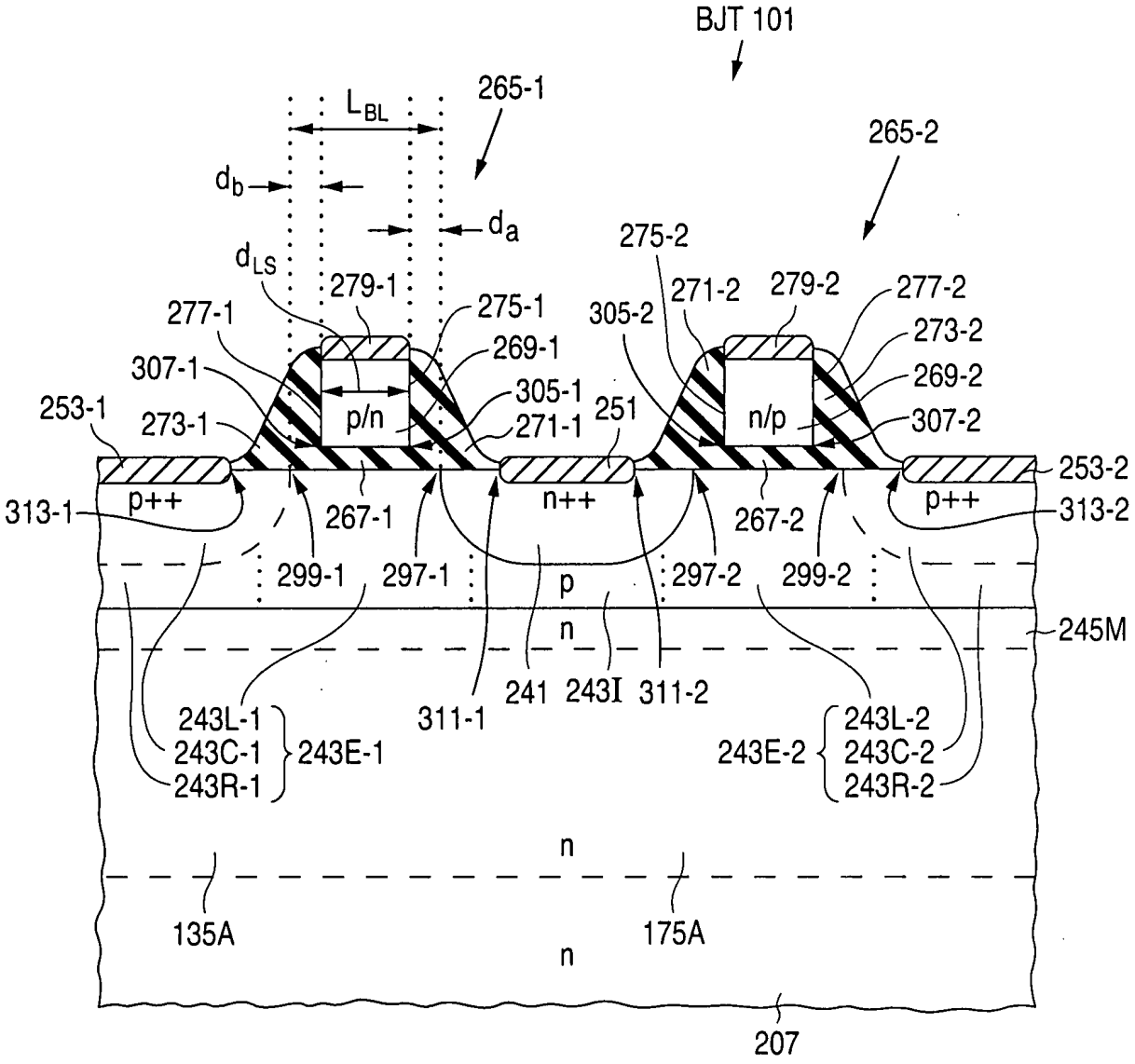

BJT 101
265-1
265-2
L_{BL}
d_b
d_a
d_{LS}
279-1
277-1
275-1
269-1
307-1
305-1
253-1
273-1
271-1
251
p/n
n/p
275-2
271-2
279-2
277-2
305-2
273-2
269-2
307-2
253-2
313-1
313-2
p++
n++
p++
267-1
267-2
299-1
297-1
297-2
299-2
p
n
245M
241
243I
311-1
311-2
243L-1
243C-1
243R-1
243E-1
243E-2
243L-2
243C-2
243R-2
n
135A
175A
n
207

圖7

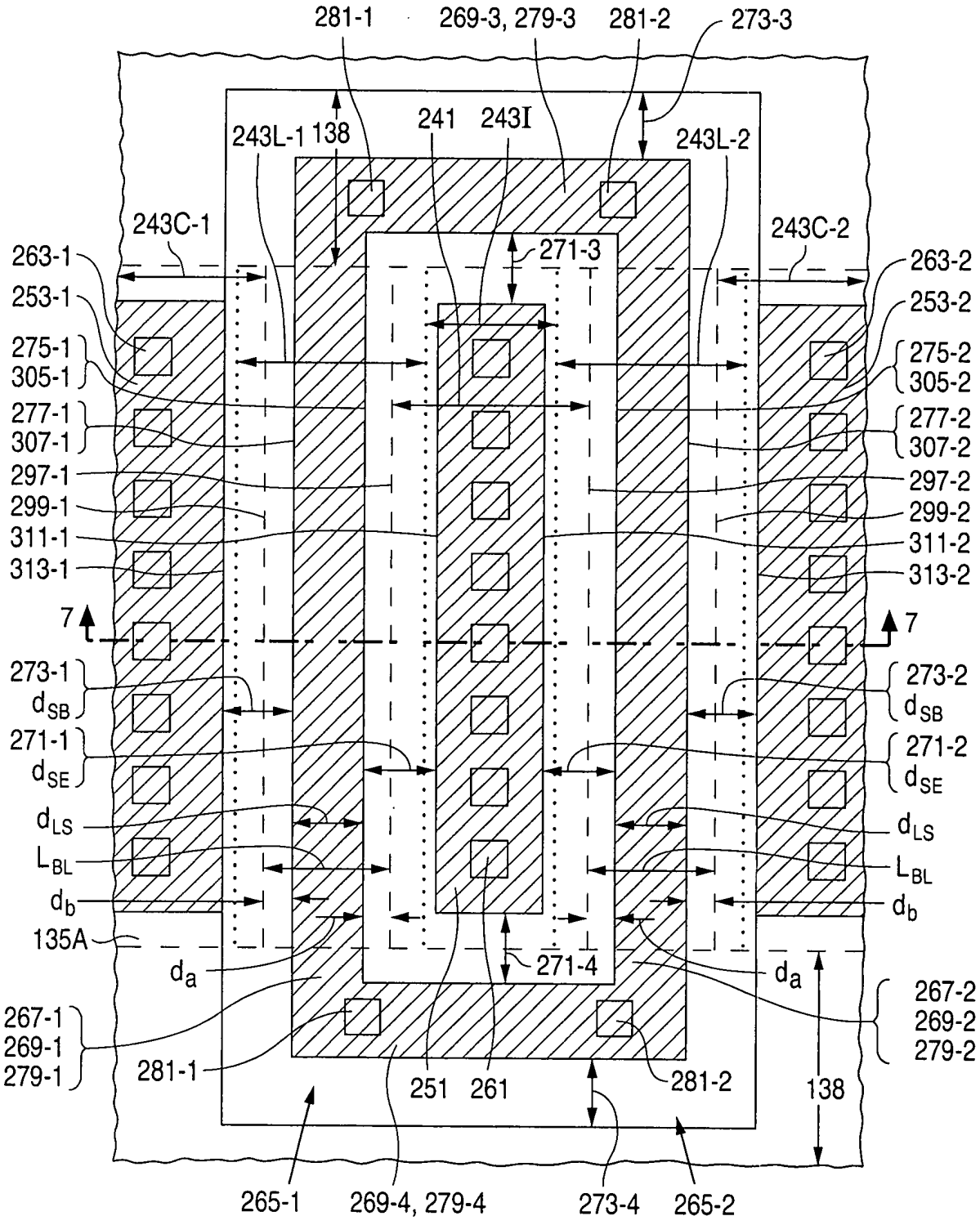

281-1
269-3, 279-3
281-2
273-3
243L-1
138
241
243I
243L-2
243C-1
243C-2
271-3
263-1
253-1
275-1
305-1
277-1
307-1
297-1
299-1
311-1
313-1
263-2
253-2
275-2
305-2
277-2
307-2
297-2
299-2
311-2
313-2
7
7
273-1
d_{SB}
271-1
d_{SE}
d_{LS}
L_{BL}
d_b
135A
d_a
267-1
269-1
279-1
281-1
273-2
d_{SB}
271-2
d_{SE}
d_{LS}
L_{BL}
d_b
d_a
267-2
269-2
279-2
271-4
251
261
281-2
138
265-1
269-4, 279-4
273-4
265-2

圖8

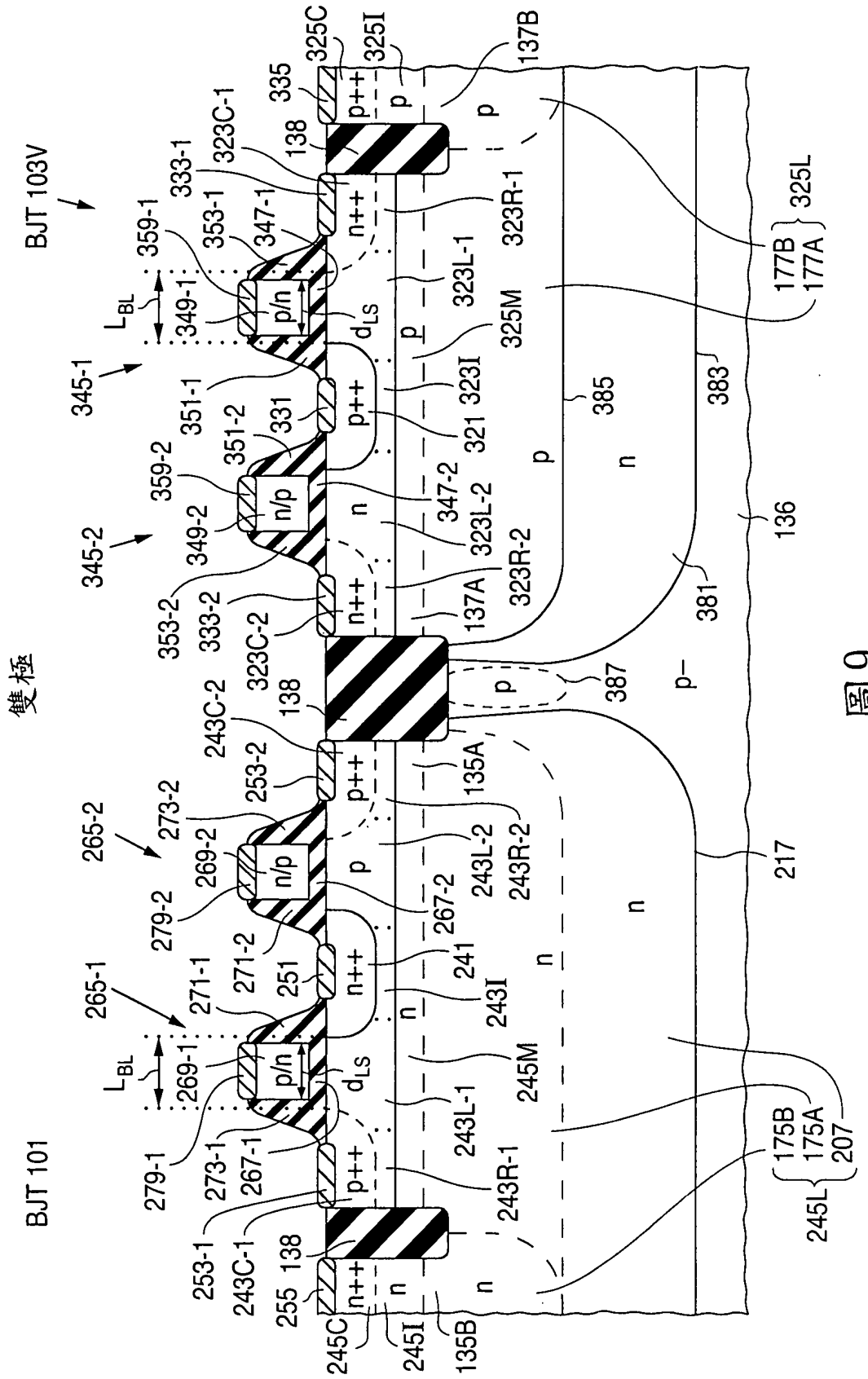

BJT 101
BJT 103V
雙極
L_{BL}
d_{LS}
p/n
n/p
n++
p++
n
p
p−
245C
245I
135B
253-1
243C-1
255
138
279-1
273-1
267-1
269-1
265-1
271-1
251
241
243I
243L-1
243R-1
245M
135A
253-2
243C-2
279-2
273-2
269-2
265-2
271-2
267-2
243L-2
243R-2
217
245L
175B
175A
207
137A
137B
177B
177A
325L
325C
325I
325M
323C-1
323L-1
323R-1
323C-2
323L-2
323R-2
323I
321
331
333-1
333-2
335
345-1
345-2
347-1
347-2
349-1
349-2
351-1
351-2
353-1
353-2
359-1
359-2
383
385
387
381
136

圖 9

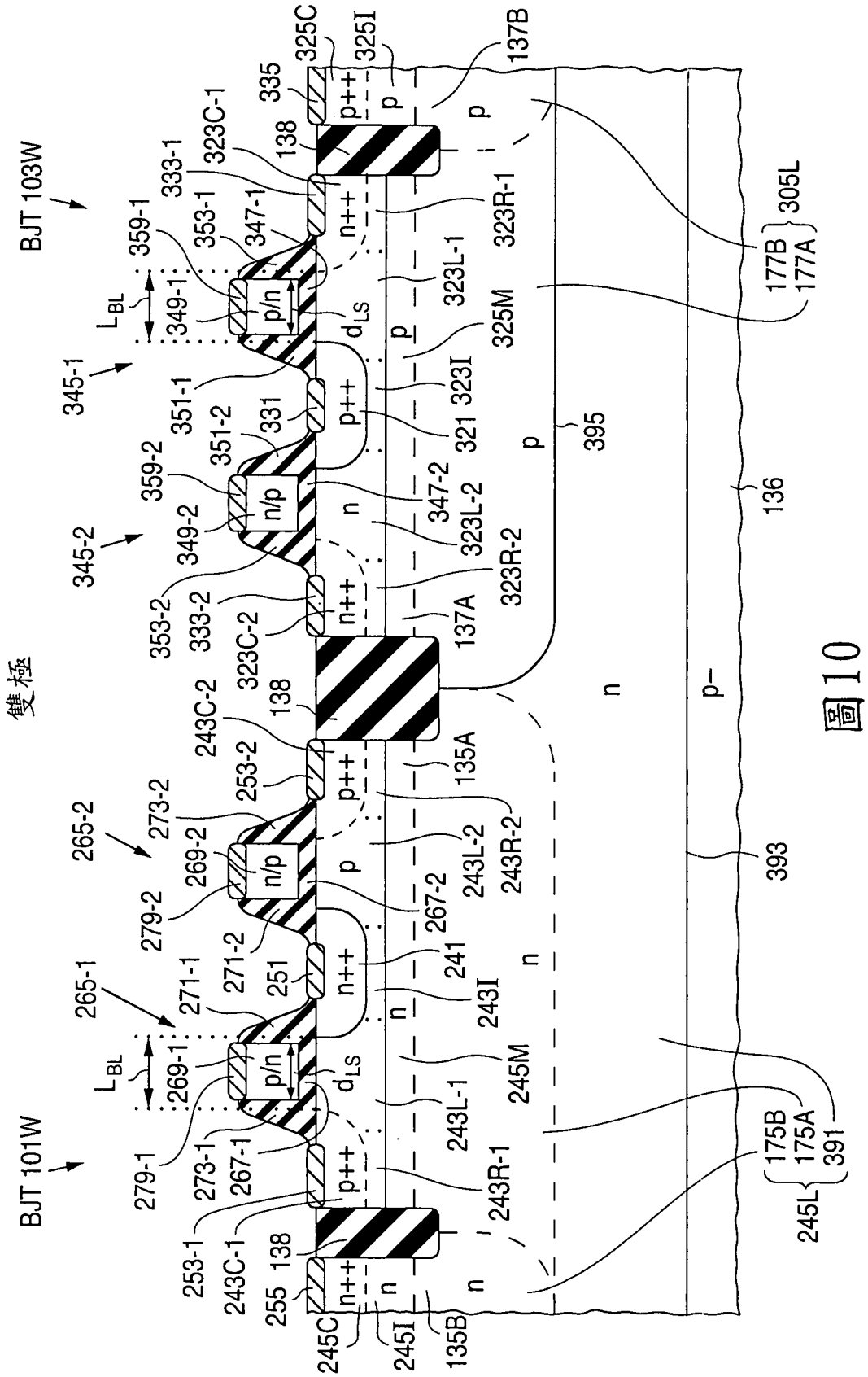

雙極
BJT 101W
BJT 103W
L_{BL}
d_{LS}
p/n
n/p
n++
p++
n
p
p-
265-1
265-2
269-1
269-2
271-1
271-2
273-1
273-2
279-1
279-2
267-1
267-2
241
243I
243L-1
243L-2
243R-1
243R-2
245M
253-1
253-2
251
243C-1
243C-2
255
138
245C
245I
135B
135A
245L
175B
175A
391
393
345-1
345-2
359-1
359-2
349-1
349-2
351-1
351-2
331
353-1
353-2
333-1
333-2
323C-1
323C-2
347-1
347-2
323L-1
323L-2
323R-1
323R-2
323I
321
325M
325C
325I
335
137B
137A
177B
177A
305L
395
136

圖10

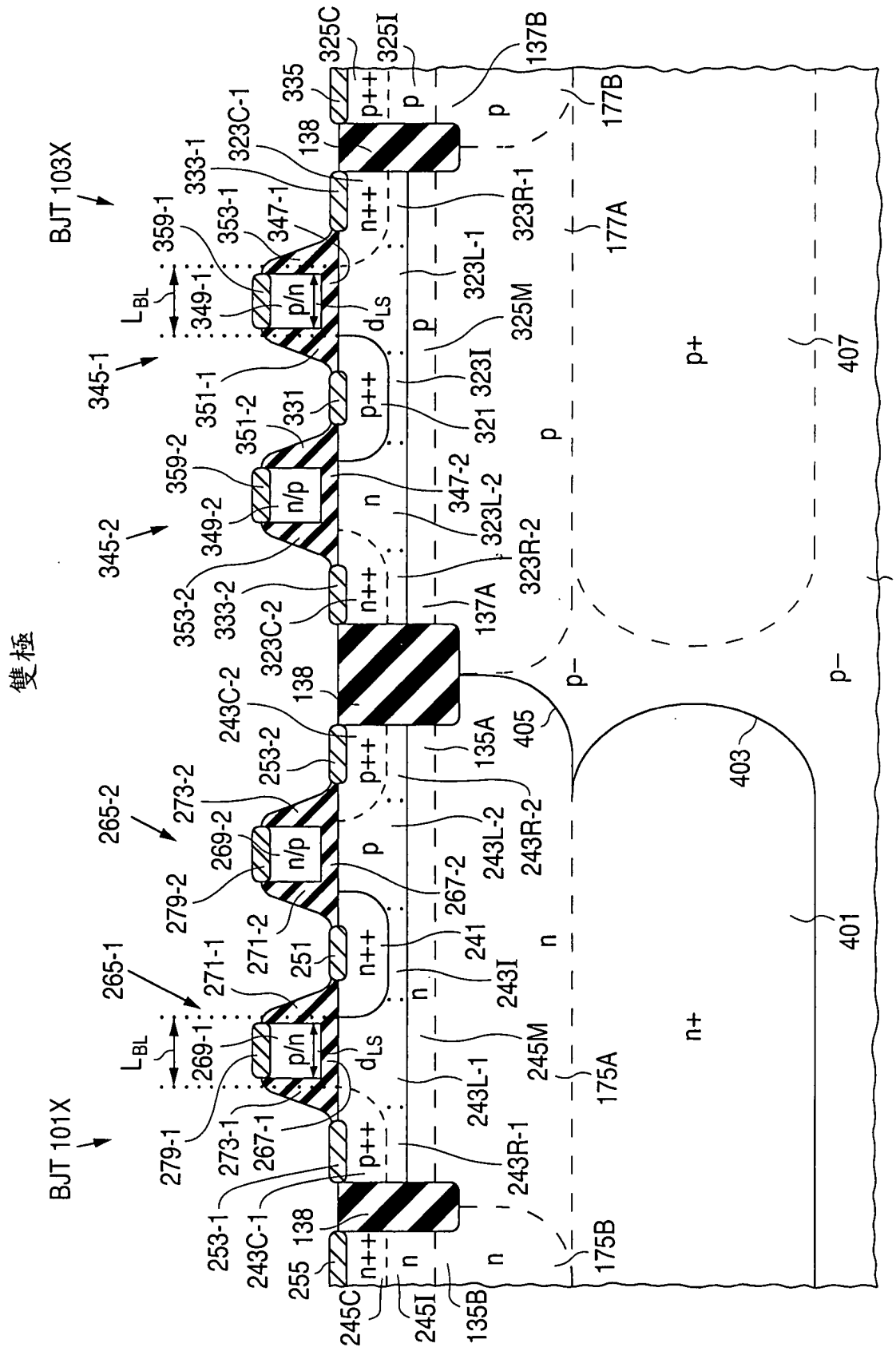

雙極
BJT 101X
BJT 103X
L_{BL}
d_{LS}
p/n
n/p
n++
p++
n+
p+
p
p−
n
n−
265-1
269-1
271-1
279-1
273-1
267-1
253-1
243C-1
255
245C
135B
245I
175B
243R-1
245M
175A
243I
241
251
243L-1
271-2
279-2
269-2
273-2
265-2
253-2
243C-2
243L-2
243R-2
135A
405
403
401
267-2
345-1
359-1
349-1
353-1
351-1
347-1
333-1
323C-1
335
325C
325I
137B
177B
177A
323R-1
323L-1
325M
323I
321
331
345-2
359-2
349-2
353-2
351-2
347-2
333-2
323C-2
323L-2
323R-2
137A
136
407
138

圖11

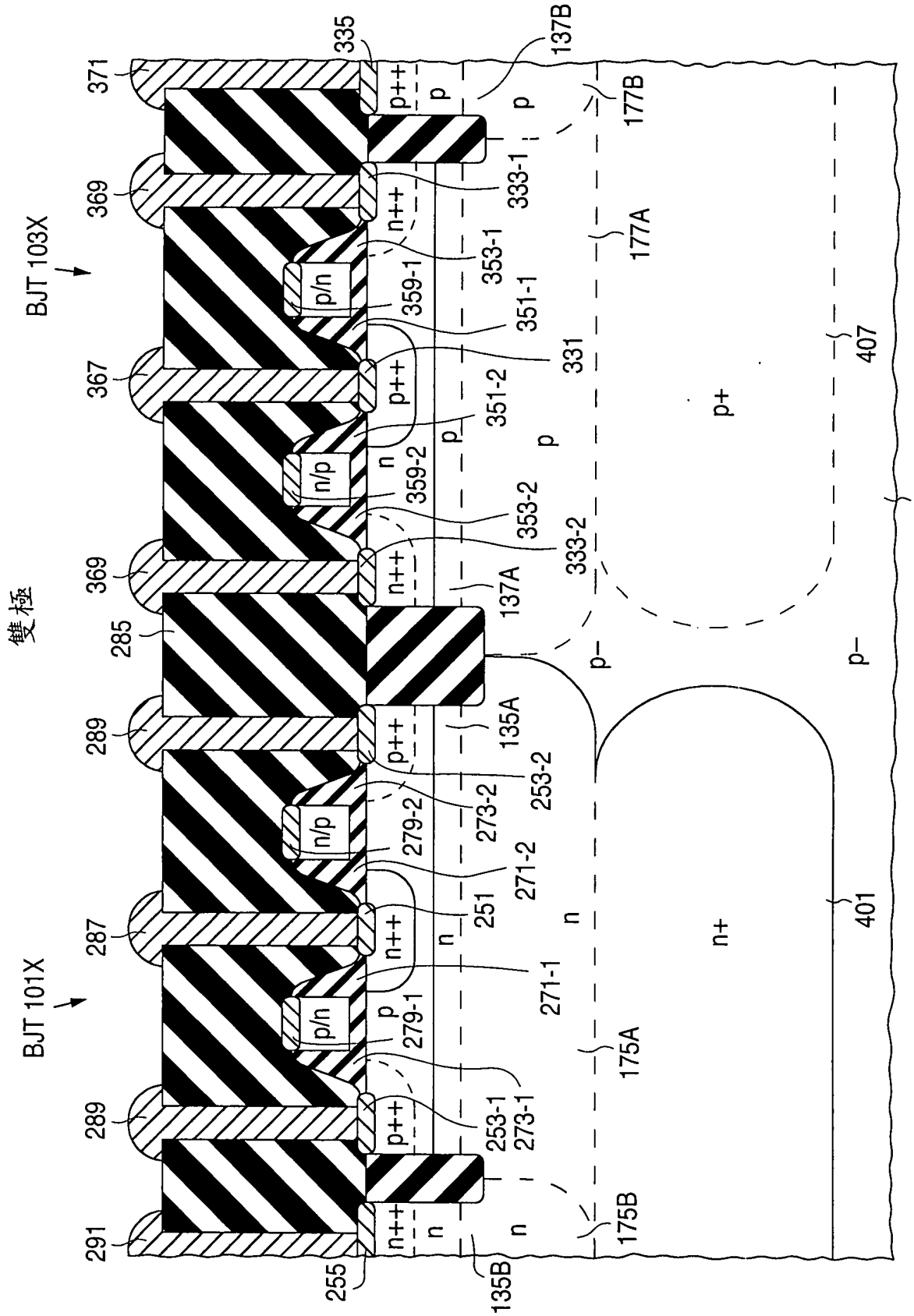

雙極
BJT 101X
BJT 103X
371
369
367
369
285
289
287
289
291
335
137B
177B
177A
333-1
353-1
359-1
351-1
331
351-2
359-2
353-2
333-2
137A
135A
253-2
273-2
279-2
271-2
251
271-1
279-1
253-1
273-1
175A
175B
135B
255
136
407
401
p++
p
n++
p/n
n/p
n
p+
p-
n+

圖12

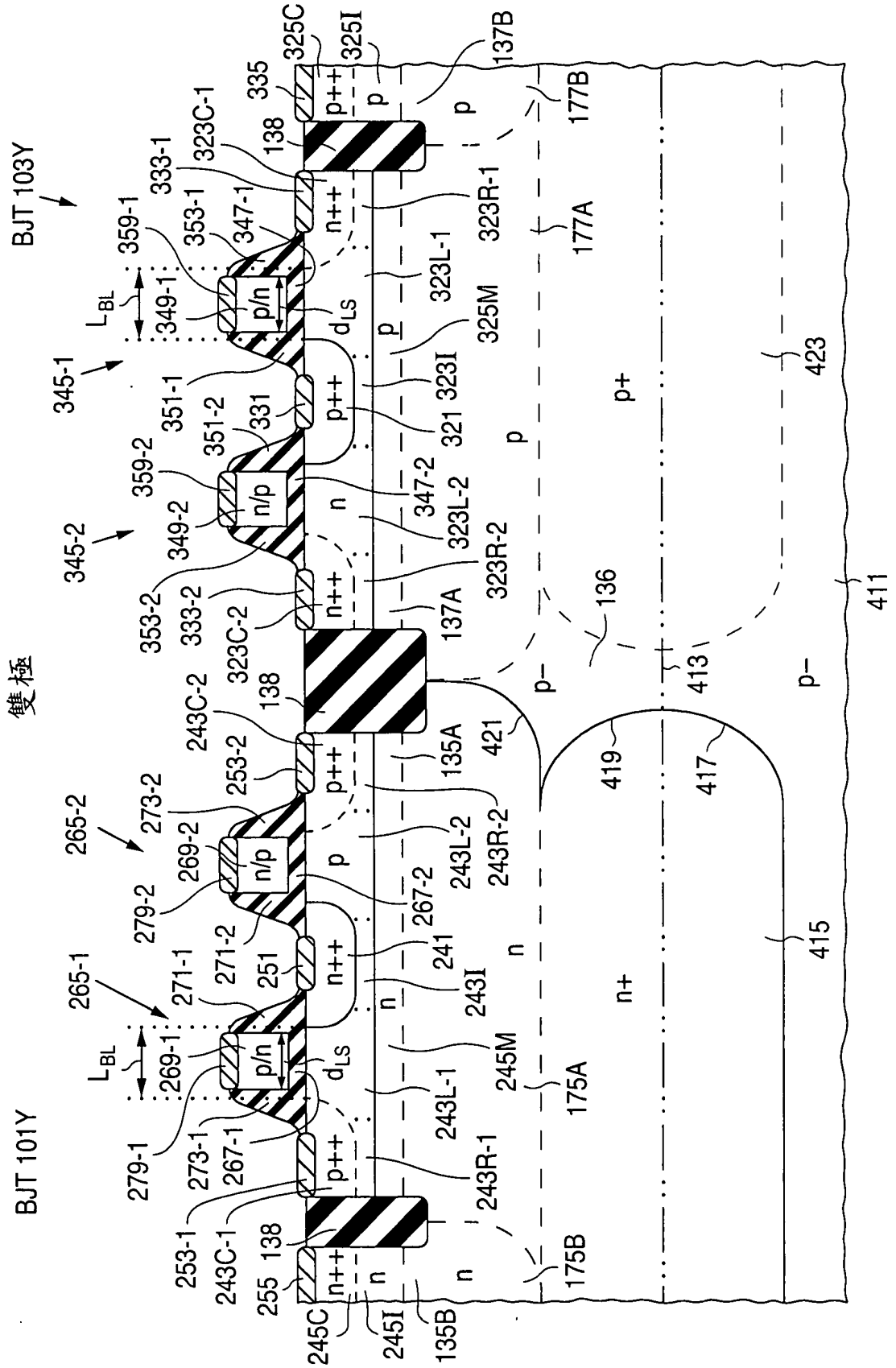

BJT 103Y
BJT 101Y
雙極
L_{BL}
d_{LS}
p/n
n/p
p++
n++
p
n
p+
n+
p-
345-1
345-2
265-1
265-2
359-1
359-2
349-1
349-2
269-1
269-2
279-1
279-2
351-1
351-2
271-1
271-2
353-1
353-2
273-1
273-2
333-1
333-2
253-1
253-2
347-1
347-2
267-1
267-2
331
251
241
243I
243L-1
243L-2
243R-1
243R-2
245M
175A
175B
177A
177B
323C-1
323C-2
323L-1
323L-2
323R-1
323R-2
325M
325C
325I
321
323I
137A
137B
135A
135B
136
138
335
243C-1
243C-2
255
245C
245I
413
415
417
419
421
423
411

圖13

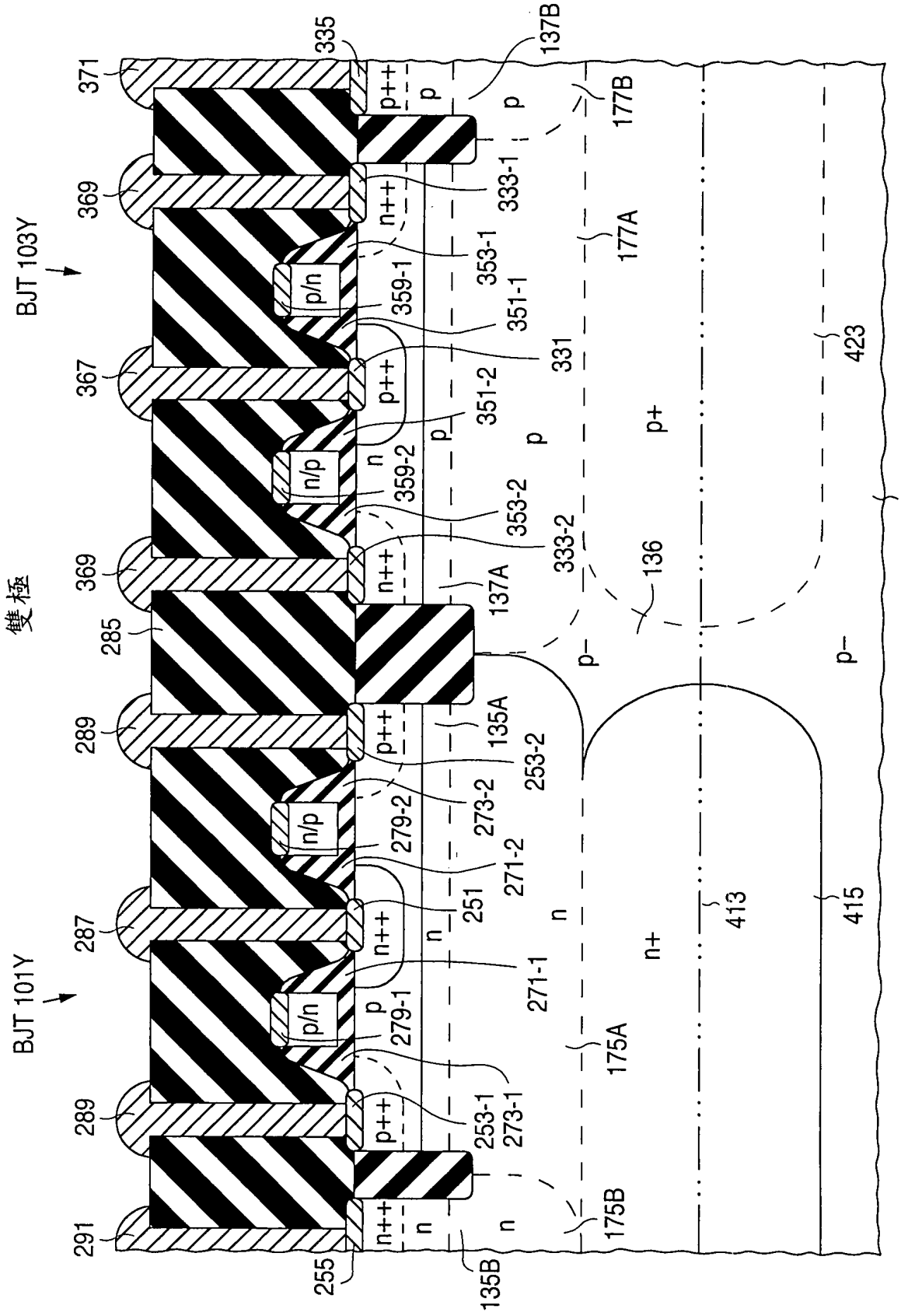

雙極
BJT 101Y
BJT 103Y
291
289
287
289
285
369
367
369
371
335
137B
177B
177A
175A
175B
135B
255
135A
137A
136
411
423
413
415
331
333-1
333-2
351-1
351-2
353-1
353-2
359-1
359-2
279-1
279-2
271-1
271-2
273-1
273-2
253-1
253-2
251
n++
p++
n
p
p-
p+
n+
p/n
n/p

圖14

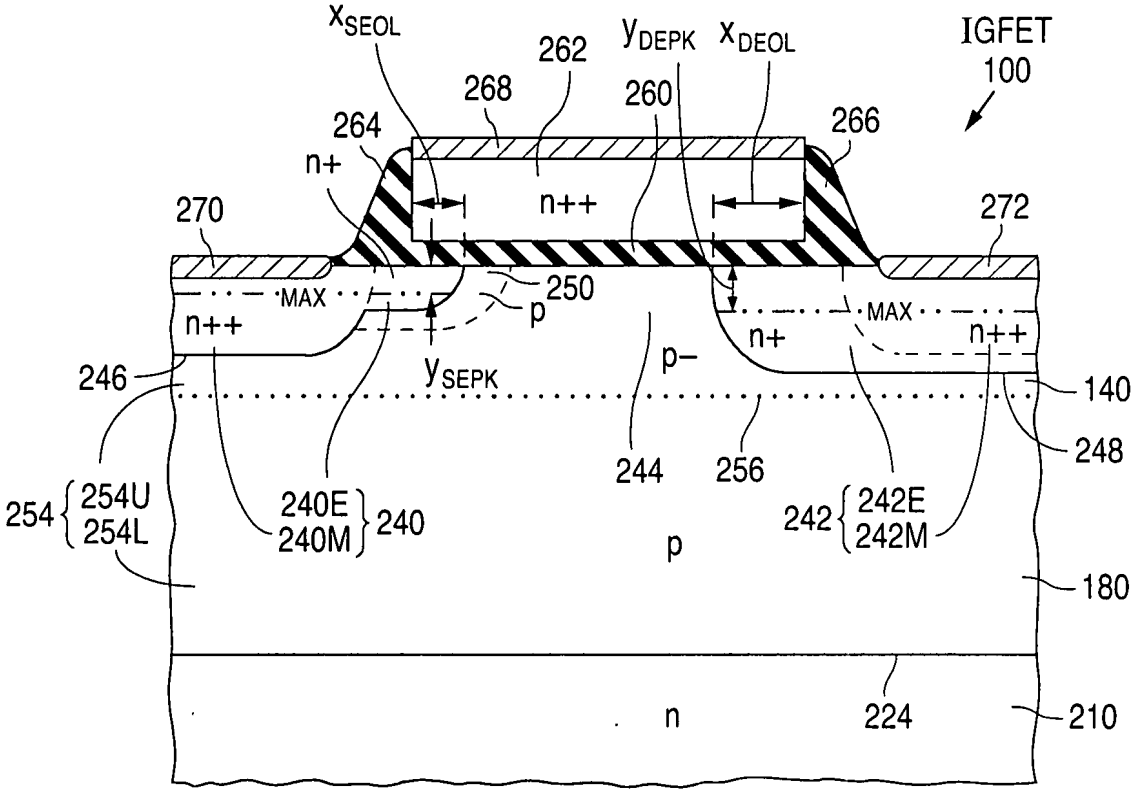

x_{SEOL}
262
y_{DEPK}
x_{DEOL}
IGFET
100
268
260
264
266
n+
n++
270
272
MAX
250
p
n++
n+
n++
246
y_{SEPK}
p–
140
248
244
256
254 { 254U 254L
240E 240M } 240
242 { 242E 242M
p
180
n
224
210

圖15

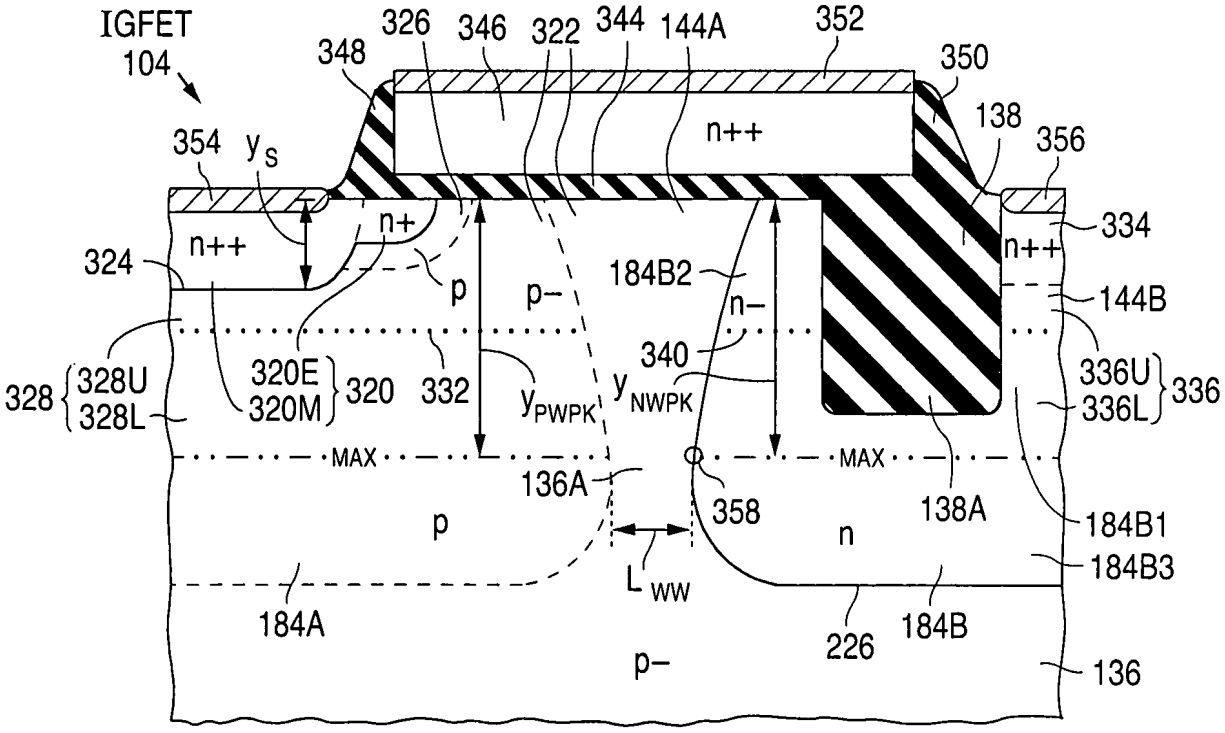

IGFET
104
326
346
322
344
144A
352
348
350
138
354
y_S
356
n++
n+
334
n++
324
p
p–
184B2
144B
n–
340
328 { 328U 328L
320E 320M } 320
332
y_{PWPK}
y_{NWPK}
336U 336L } 336
MAX
MAX
136A
358
138A
184B1
p
n
184B3
L_{WW}
184A
226
184B
p–
136

圖16a

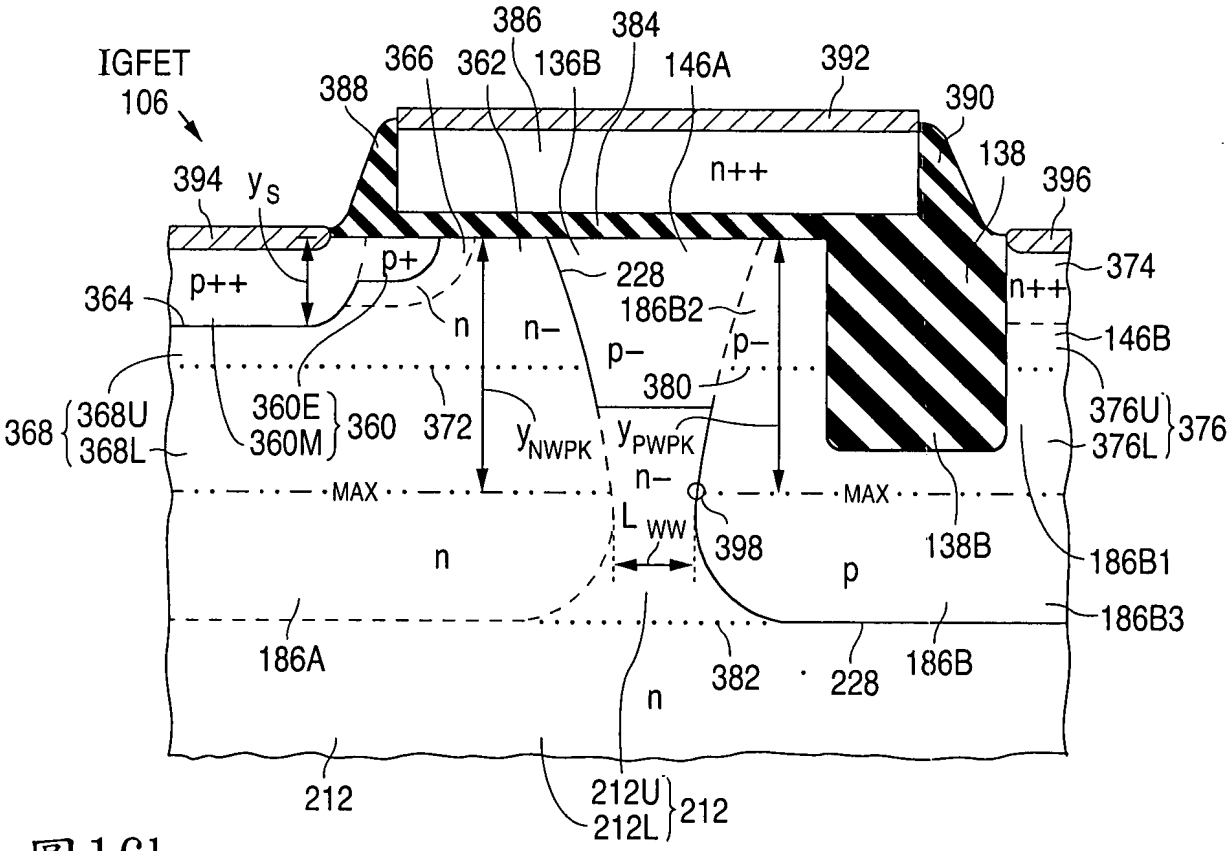

IGFET
106
386
384
366
362
136B
146A
392
388
390
138
394
y_S
396
n++
p+
374
p++
364
228
186B2
n++
n
n–
p–
p–
146B
380
368
368U
368L
360E
360M
360
372
y_{NWPK}
y_{PWPK}
376U
376L
376
n–
MAX
MAX
L_{WW}
398
138B
186B1
n
p
186B3
186A
382
228
186B
n
212
212U
212L
212

圖16b

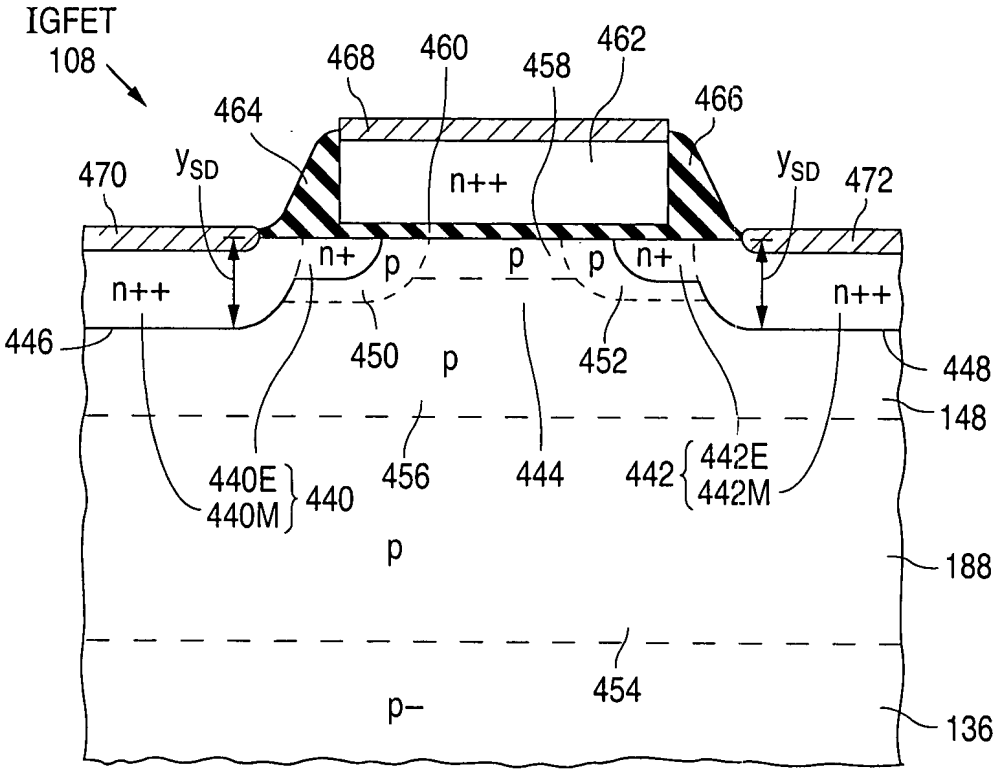

IGFET
108
468
460
458
462
464
466
470
y_{SD}
n++
y_{SD}
472
n+
p
p
p
n+
n++
n++
446
450
p
452
448
148
440E
440M
440
456
444
442
442E
442M
p
188
454
p–
136

圖17

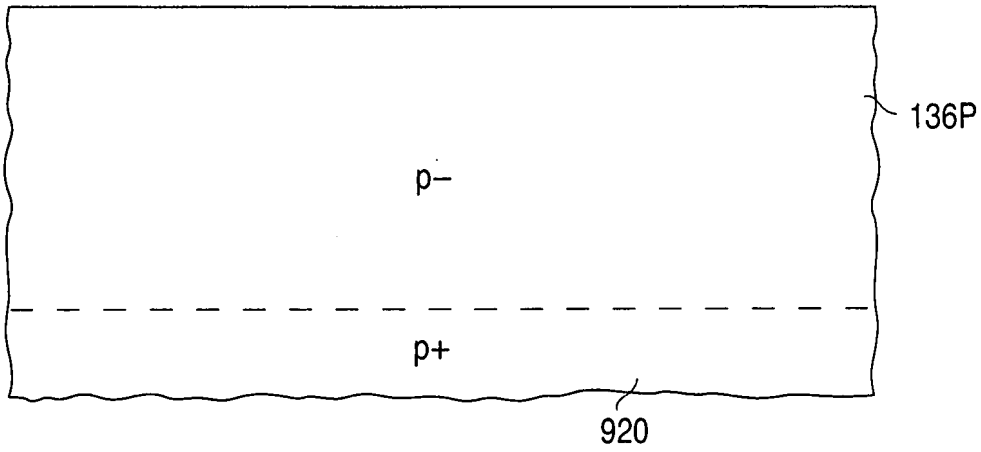


圖18a

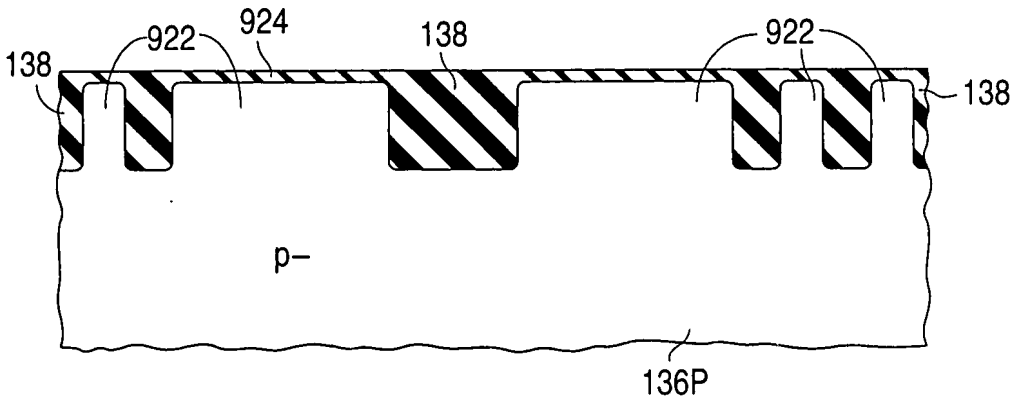


圖18b

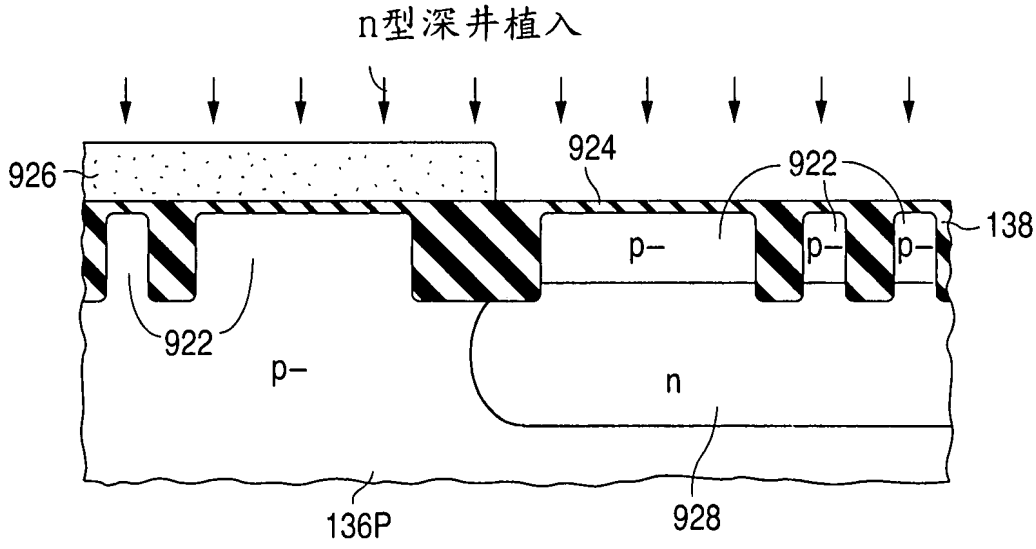


圖18c

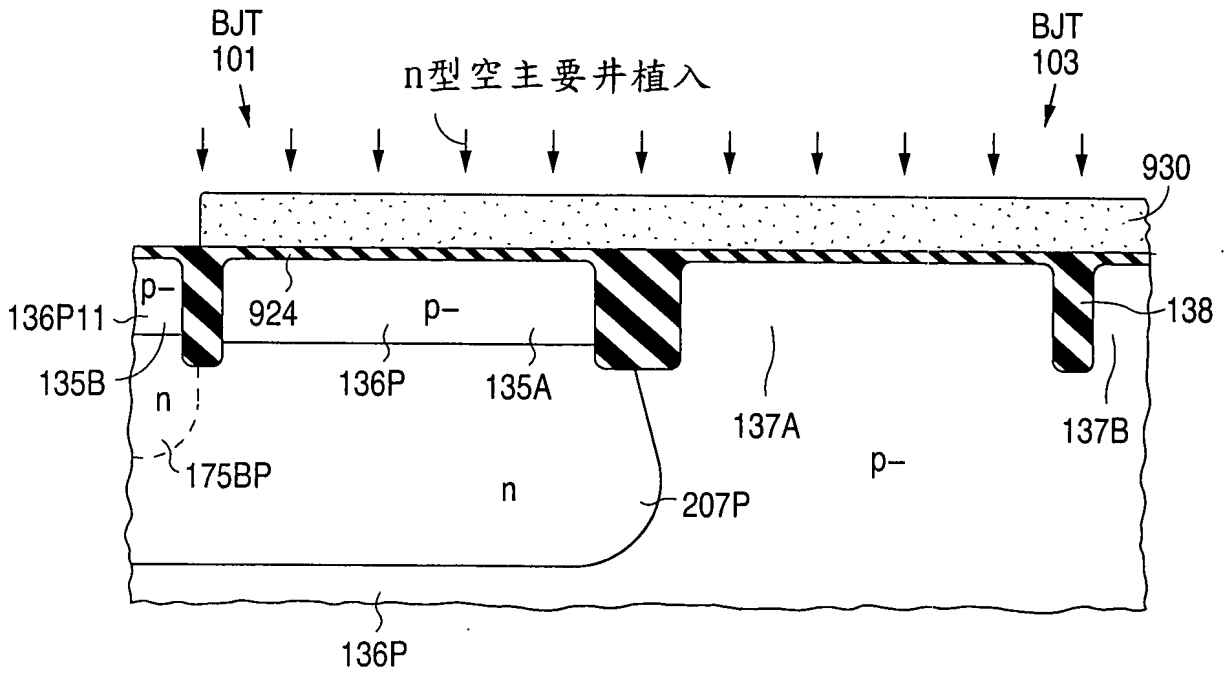

BJT
101
n型空主要井植入
BJT
103
930
p-
136P11
924
p-
138
135B
n
136P
135A
137A
137B
175BP
n
p-
207P
136P

圖18d. 0

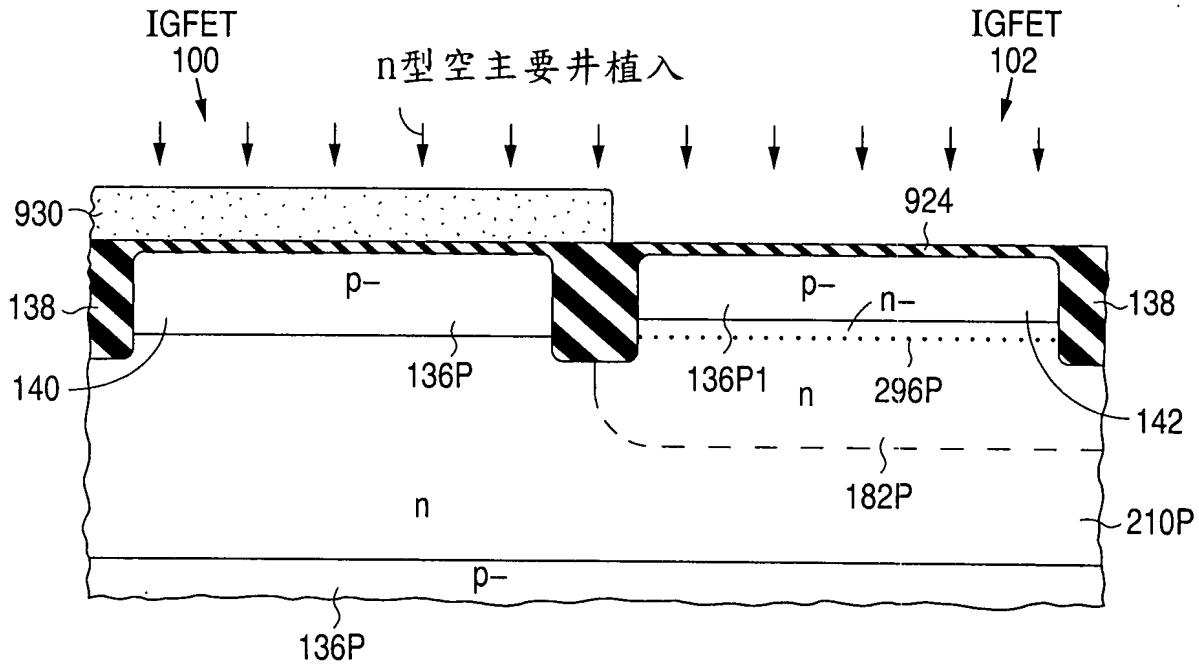

IGFET
100
n型空主要井植入
IGFET
102
930
924
p-
p-
n-
138
138
140
136P
136P1
n
296P
142
182P
n
210P
p-
136P

圖18d. 1

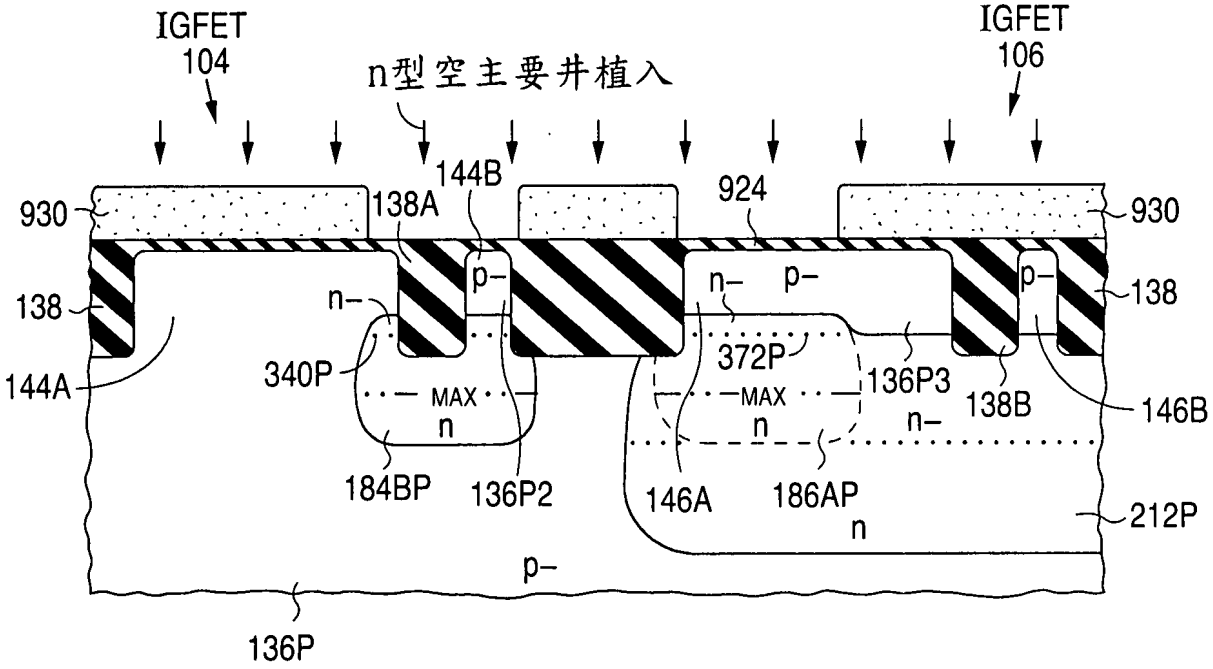

IGFET
104
n型空主要井植入
IGFET
106
930
138A
144B
924
930
138
n-
p-
n-
p-
p-
138
144A
340P
372P
136P3
138B
146B
MAX
n
MAX
n
n-
184BP
136P2
146A
186AP
n
212P
p-
136P

圖18d. 2

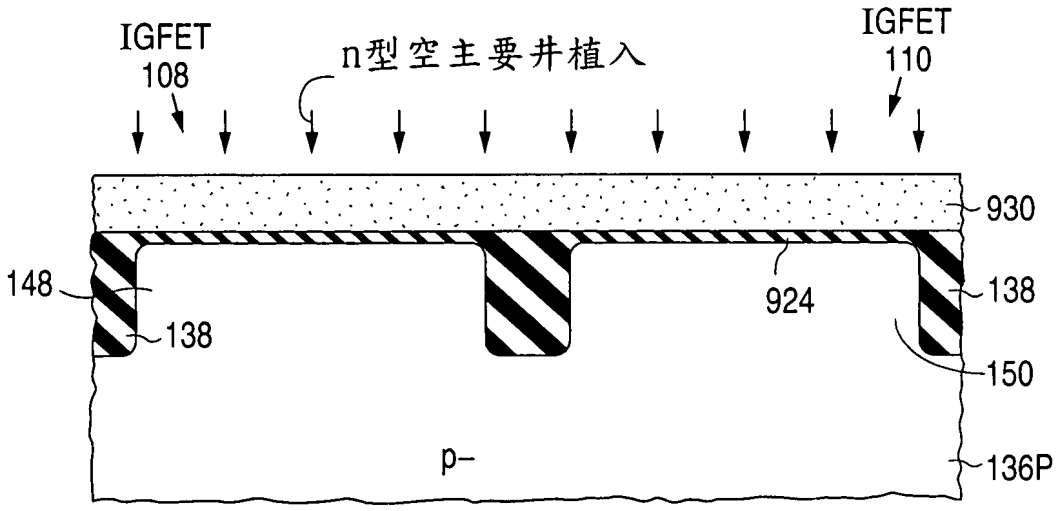

IGFET
108
n型空主要井植入
IGFET
110
930
148
924
138
138
150
p-
136P

圖18d. 3

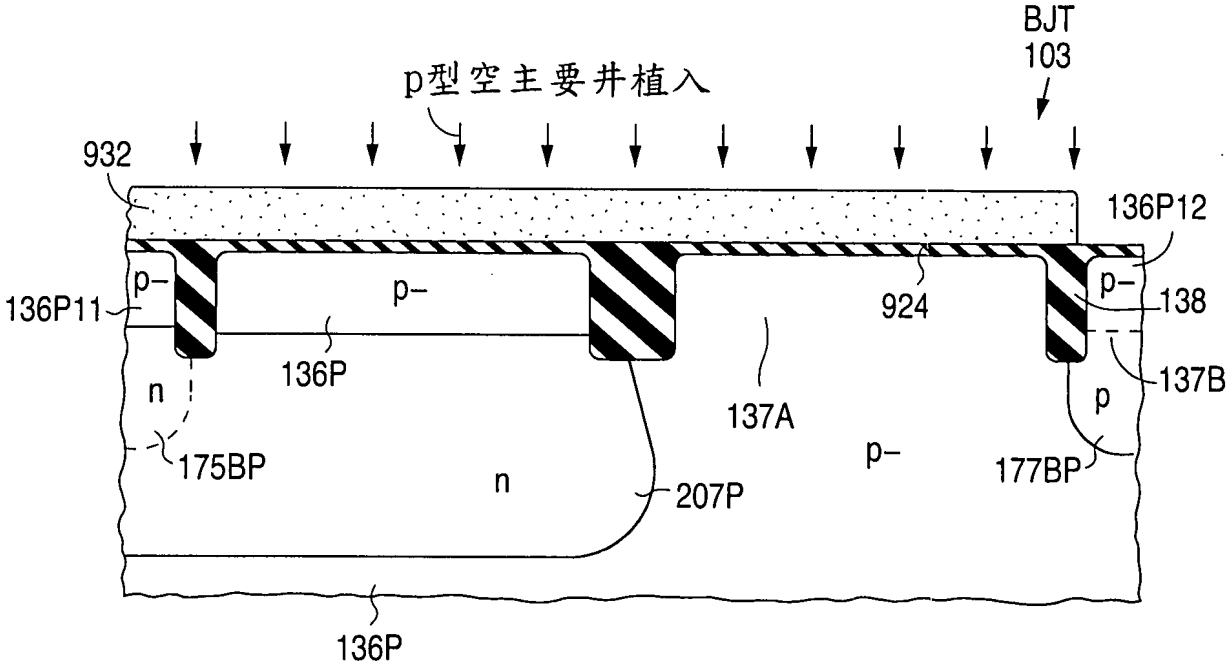

BJT
103
p型空主要井植入
932
136P12
p-
p-
p-
136P11
924
138
136P
137B
n
137A
p
175BP
p-
177BP
n
207P
136P

圖18e. 0

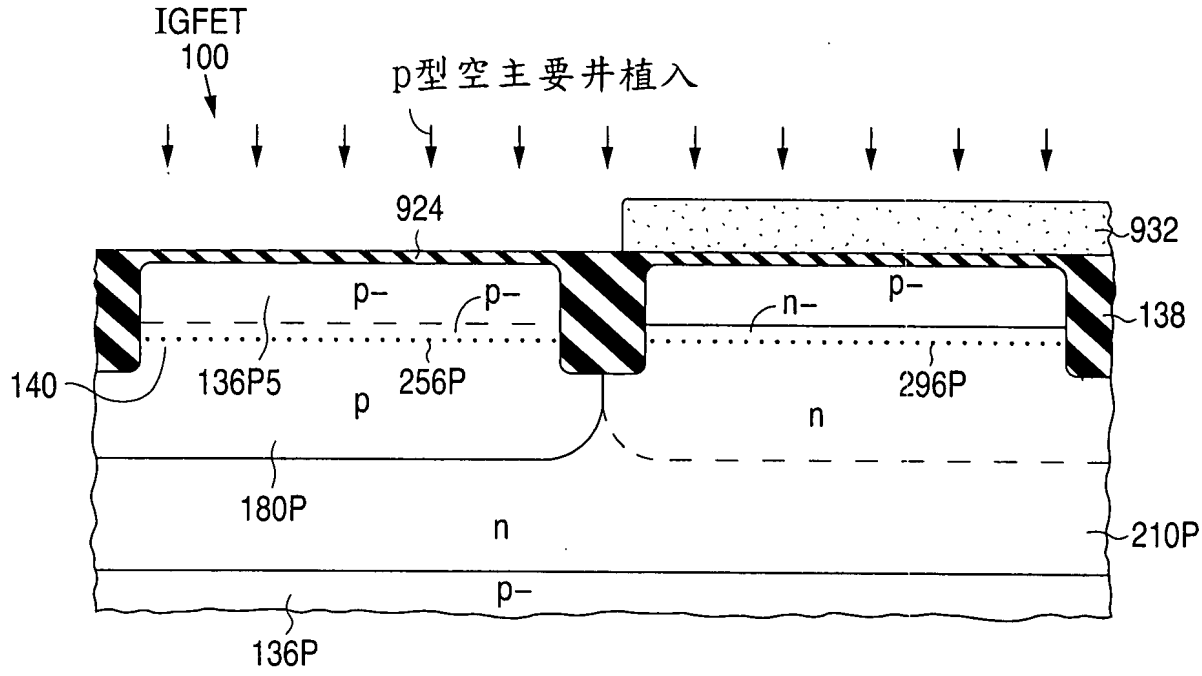

IGFET
100
p型空主要井植入
924
932
p-
p-
n-
p-
138
140
136P5
256P
296P
p
n
180P
n
210P
p-
136P

圖18e. 1

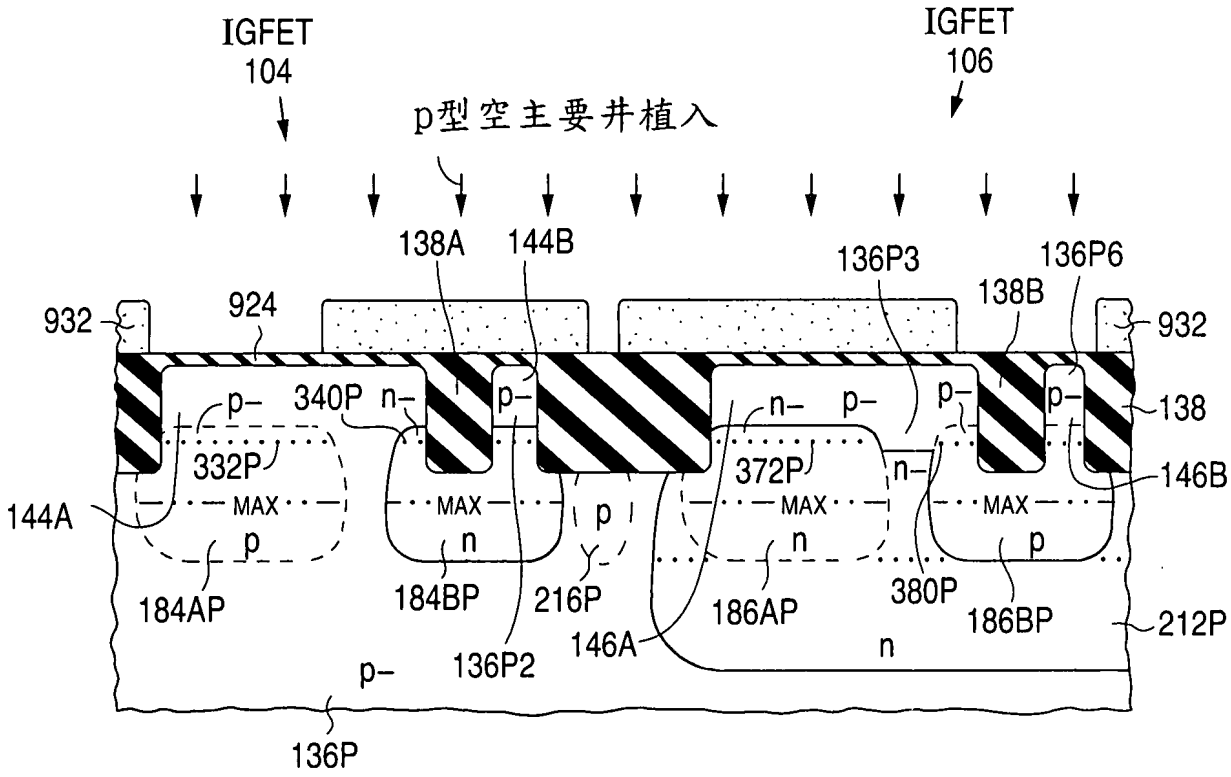

IGFET
104
IGFET
106
p型空主要井植入
138A
144B
136P3
136P6
138B
932
924
932
p-
340P
n-
p-
n-
p-
p-
p-
138
332P
372P
n-
146B
144A
MAX
MAX
MAX
MAX
p
n
p
n
p
184AP
184BP
216P
186AP
380P
186BP
212P
146A
n
p-
136P2
p-
136P

圖18e. 2

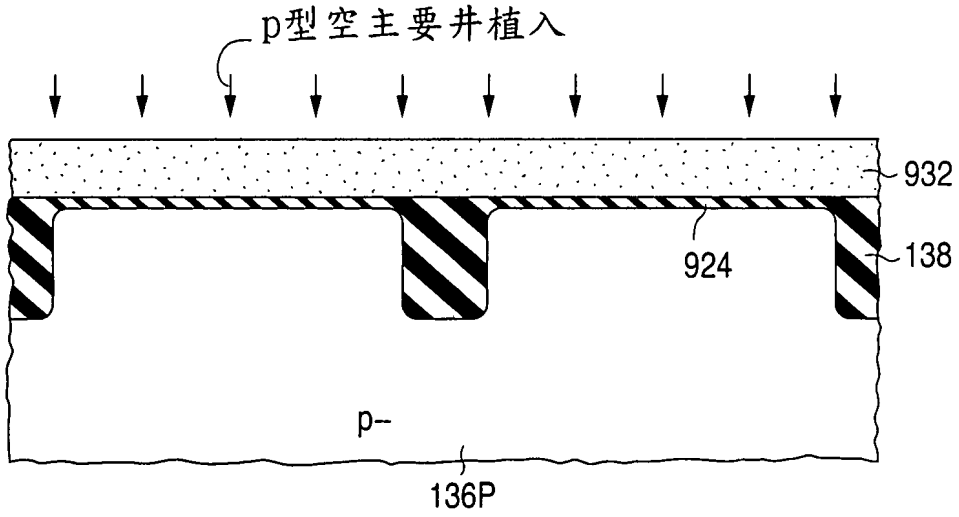

p型空主要井植入
932
924
138
p-
136P

圖18e. 3

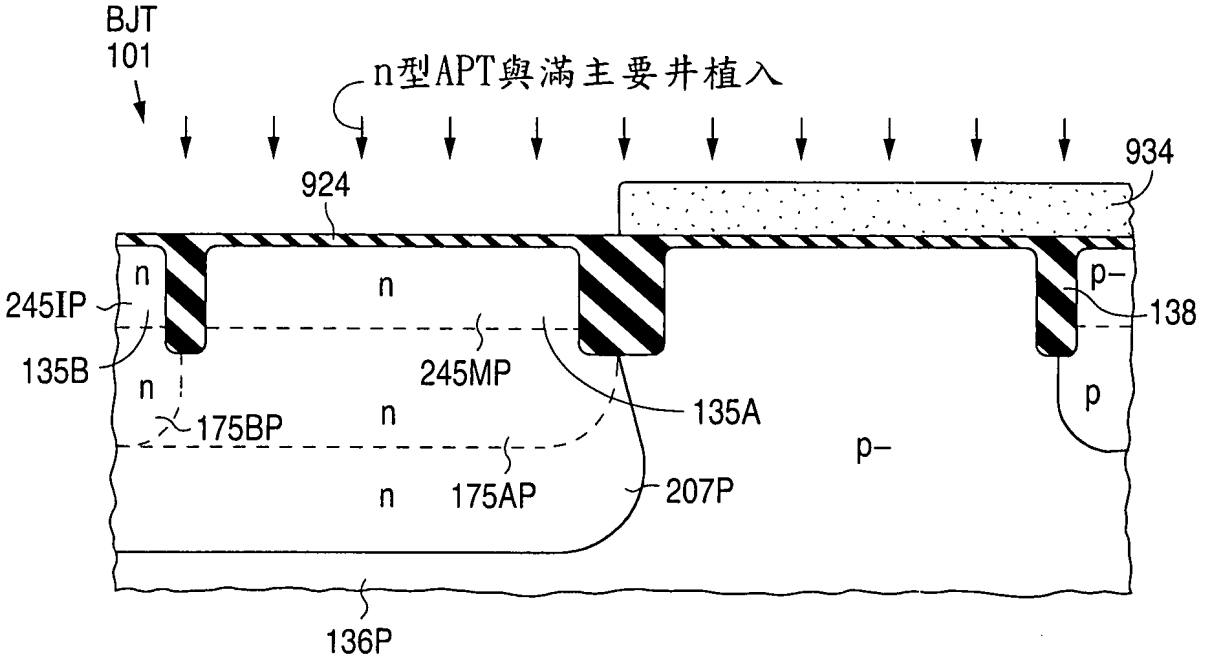

BJT
101
n型APT與滿主要井植入
924
934
n
n
p-
245IP
138
135B
245MP
n
p
n
175BP
135A
p-
n
175AP
207P
136P

圖18f.0

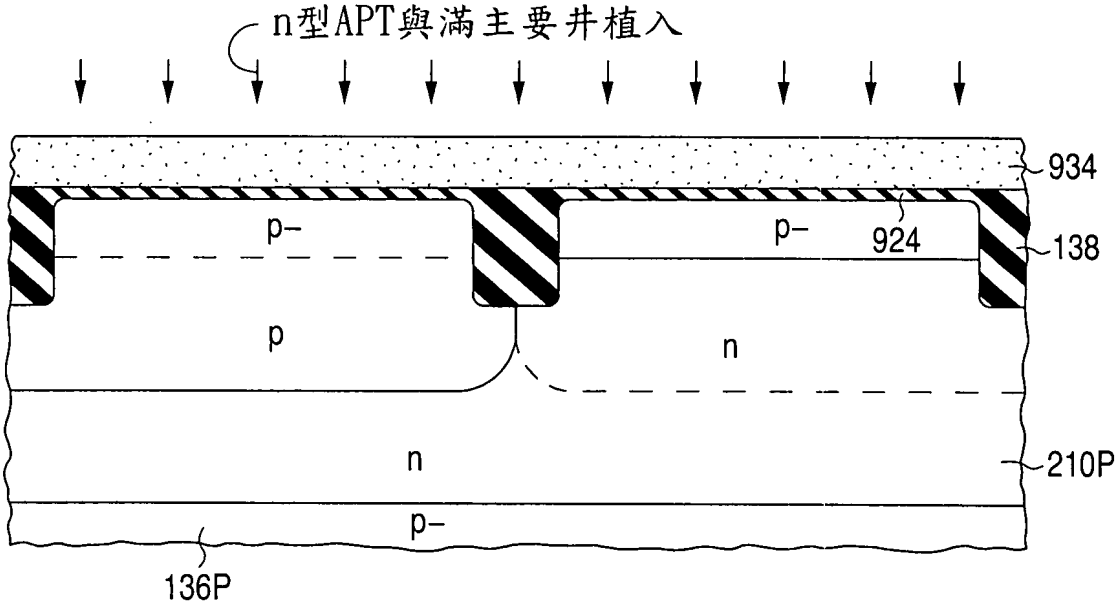

n型APT與滿主要井植入
934
p-
p-
924
138
p
n
n
210P
p-
136P

圖18f.1

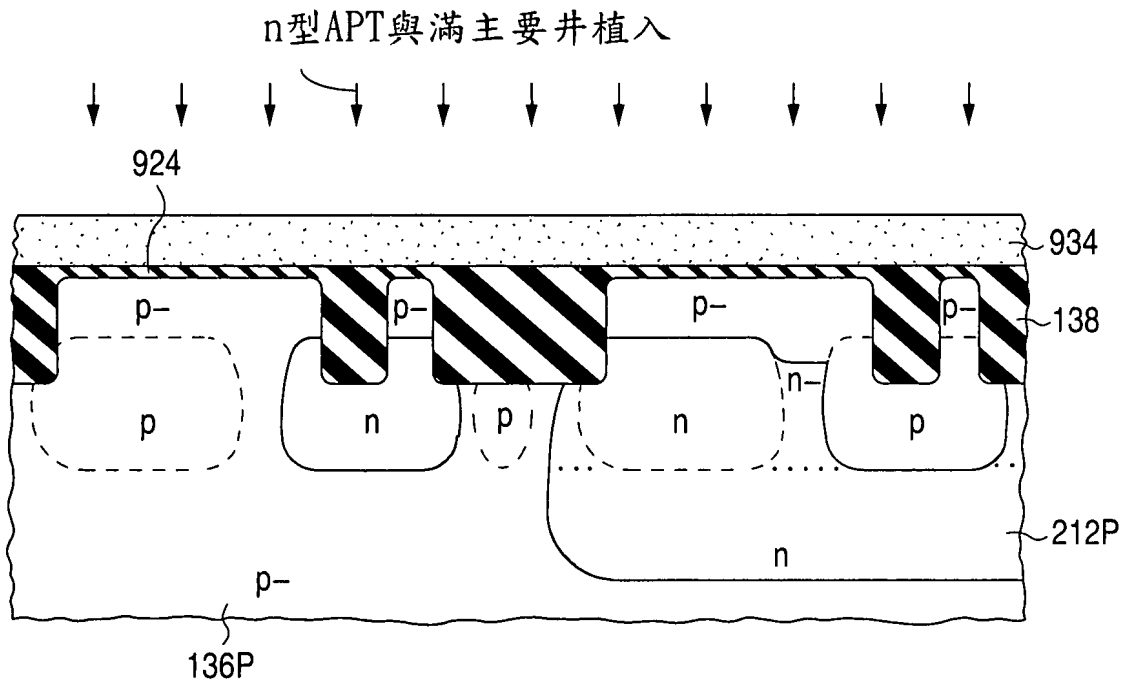

n型APT與滿主要井植入
924
934
p-
p-
p-
p-
138
n-
p
n
p
n
p
212P
n
p-
136P

圖18f.2

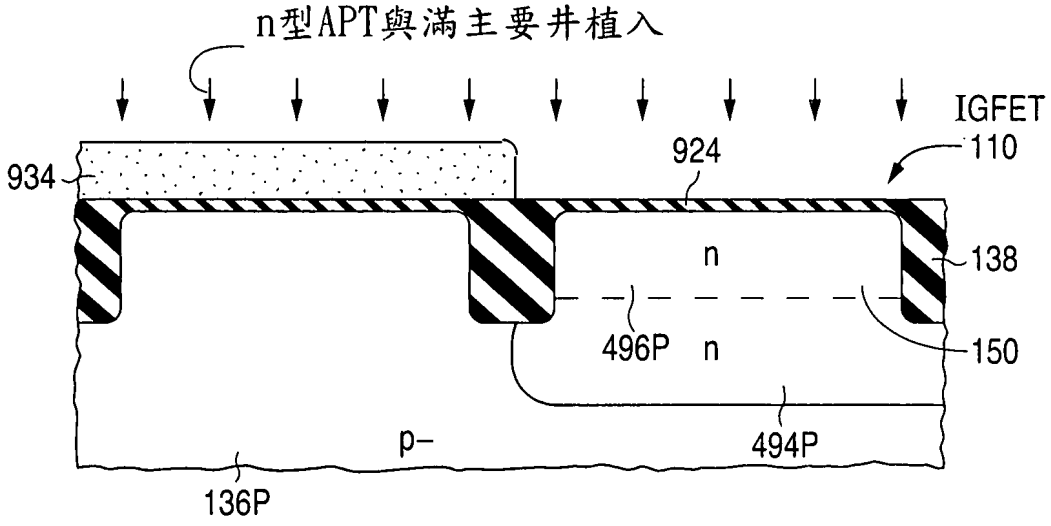

n型APT與滿主要井植入
IGFET
110
924
934
n
138
496P
n
150
494P
p-
136P

圖18f.3

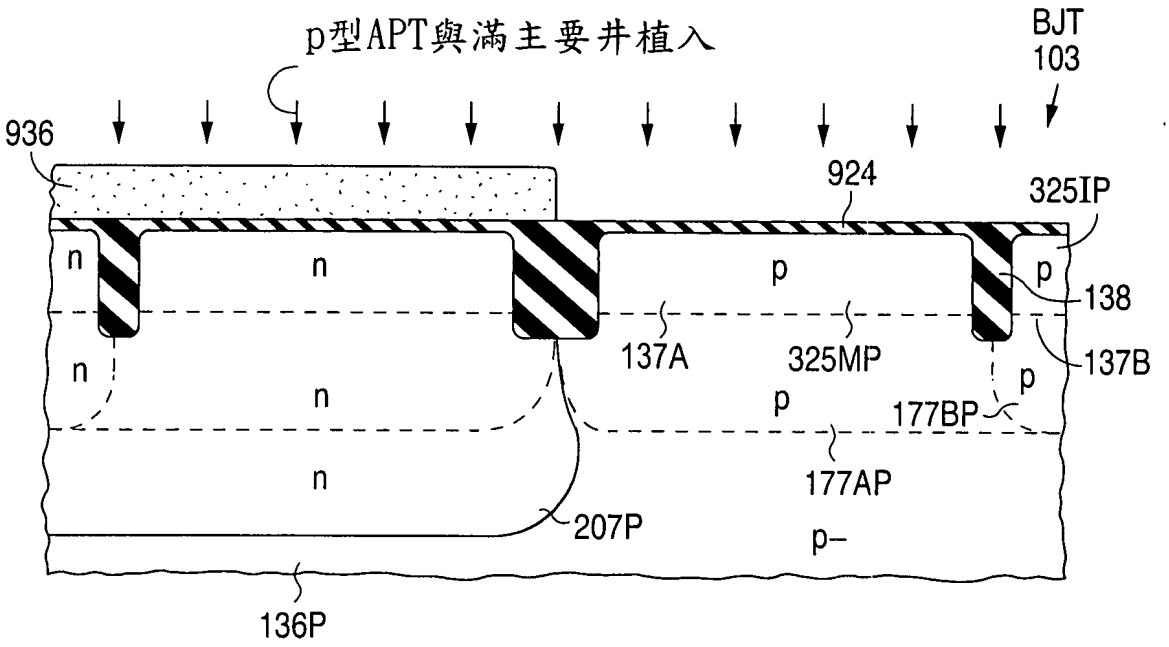

p型APT與滿主要井植入
BJT
103
936
924
325IP
n
n
p
p
138
137A
325MP
137B
n
n
p
177BP
p
n
177AP
207P
p-
136P

圖18g. 0

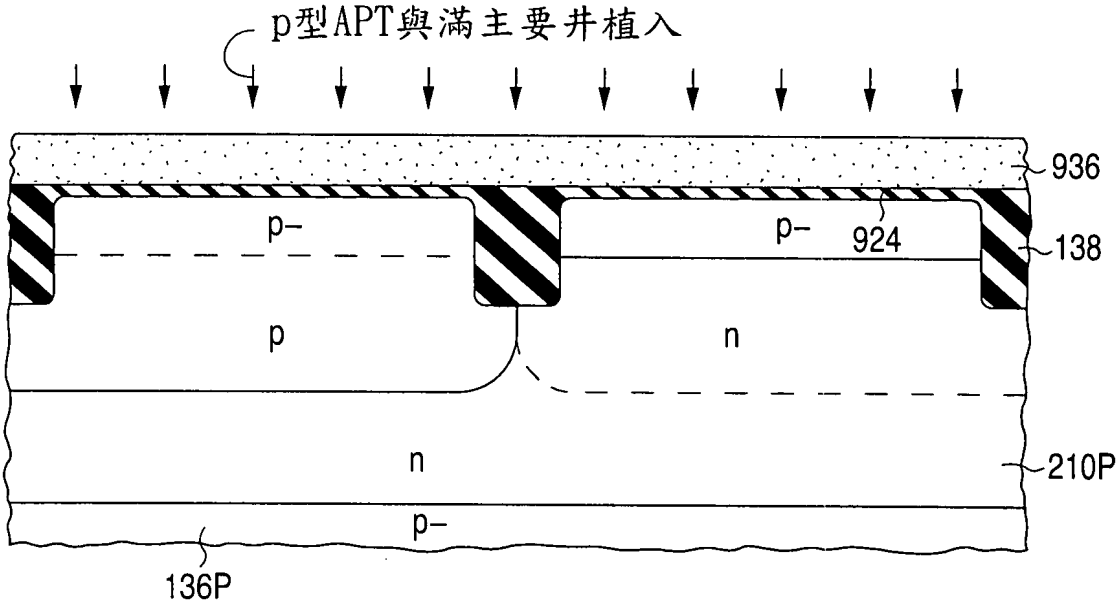

p型APT與滿主要井植入
936
p-
p-
924
138
p
n
n
210P
p-
136P

圖18g. 1

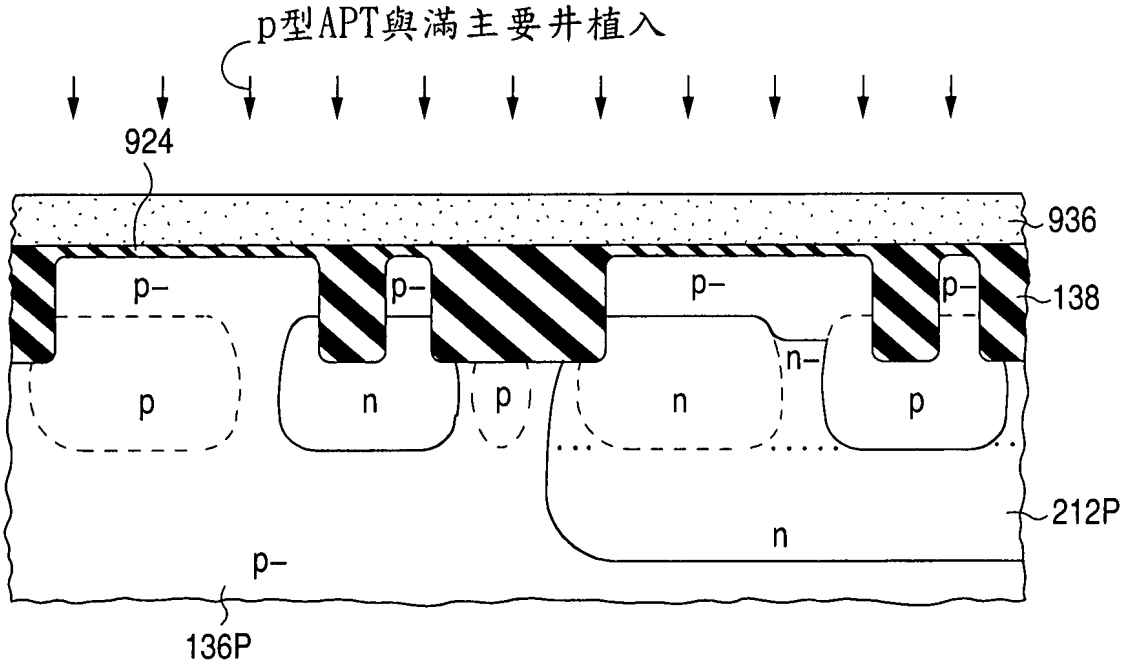

p型APT與滿主要井植入
924
936
p-
p-
p-
p-
138
n-
p
n
p
n
p
212P
n
p-
136P

圖18g. 2

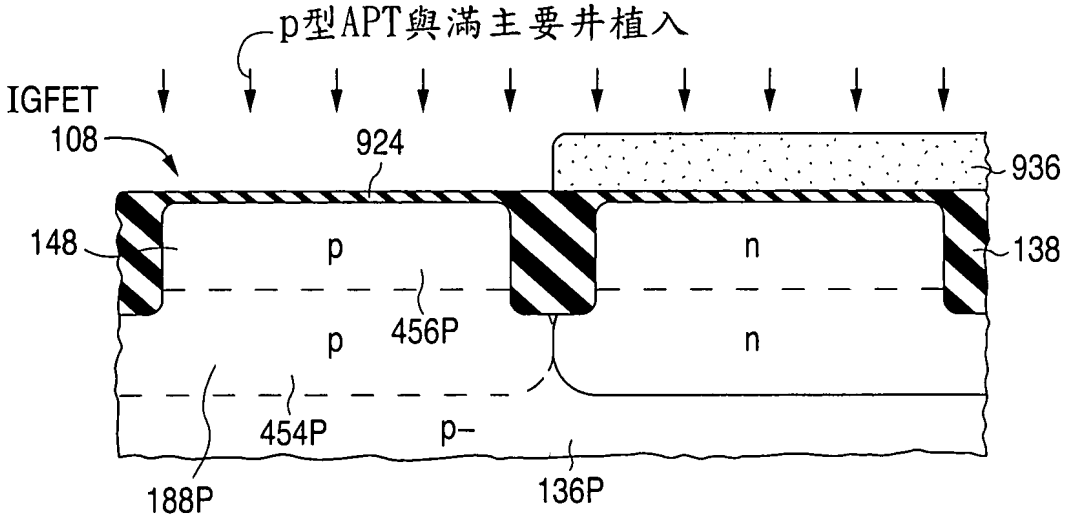

p型APT與滿主要井植入
IGFET
108
924
936
148
p
n
138
p
456P
n
454P
p-
188P
136P

圖18g. 3

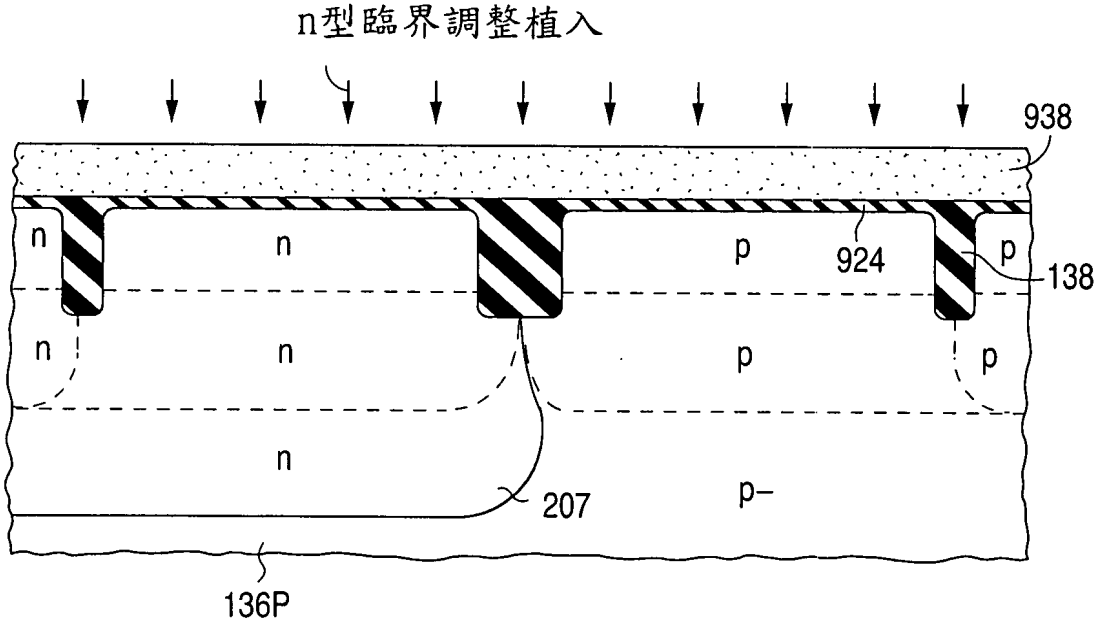

n型臨界調整植入
938
n
n
p
924
p
138
n
n
p
p
n
207
p-
136P

圖18h. 0

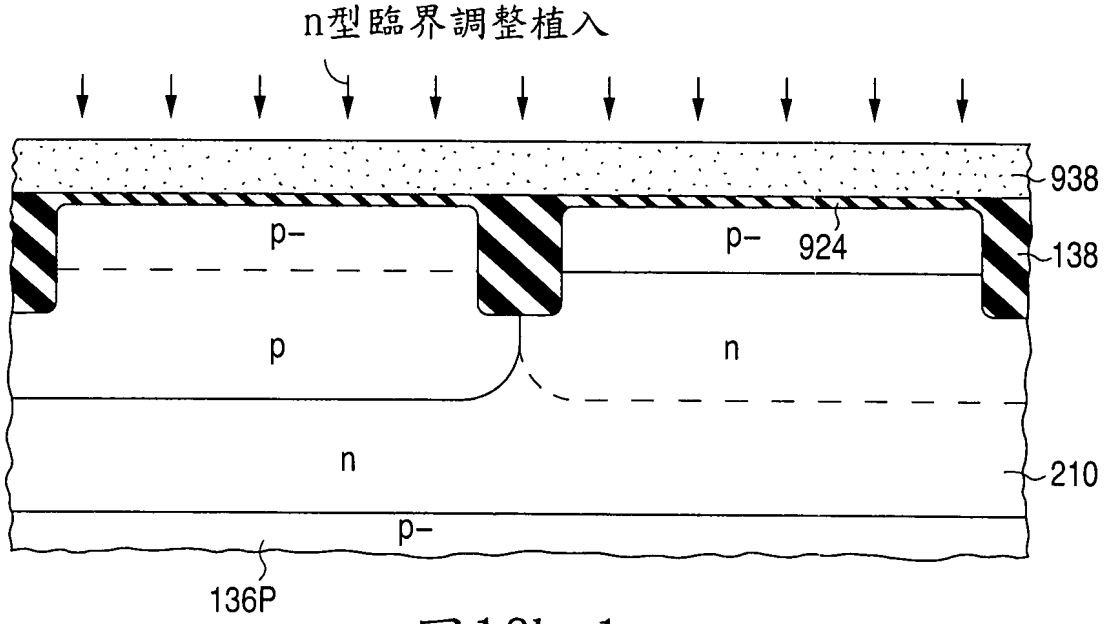

n型臨界調整植入
938
p-
p-
924
138
p
n
n
210
p-
136P

圖18h. 1

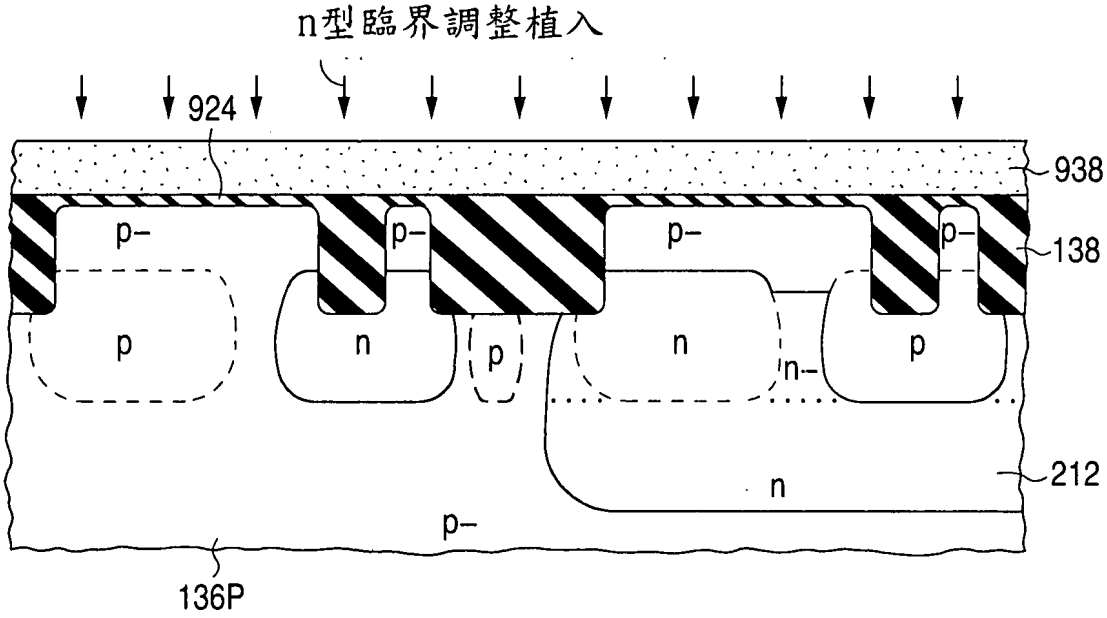

n型臨界調整植入
924
938
p-
p-
p-
p-
138
p
n
p
n
n-
p
212
n
p-
136P

圖18h. 2

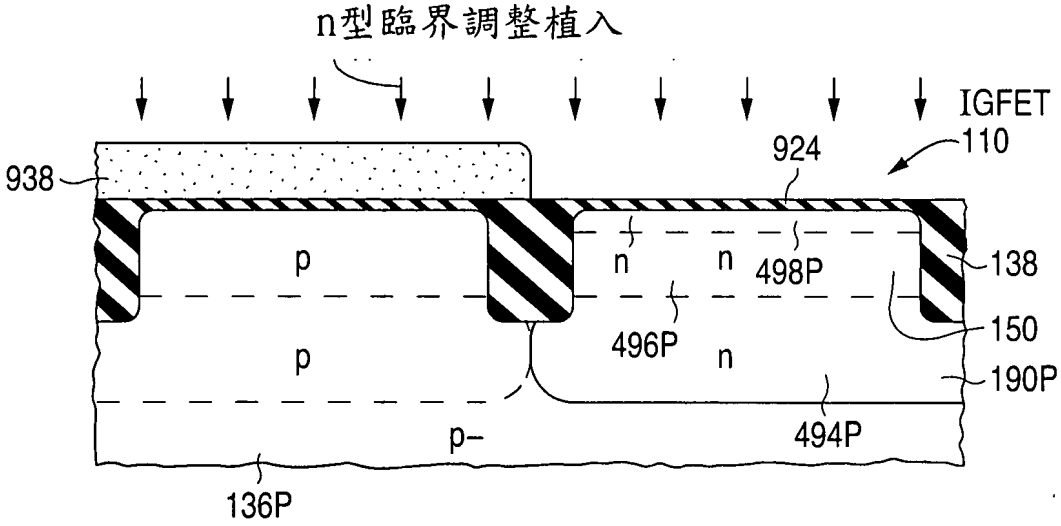

n型臨界調整植入
IGFET
110
924
938
p
n
n
498P
138
150
496P
p
n
190P
p-
494P
136P

圖18h. 3

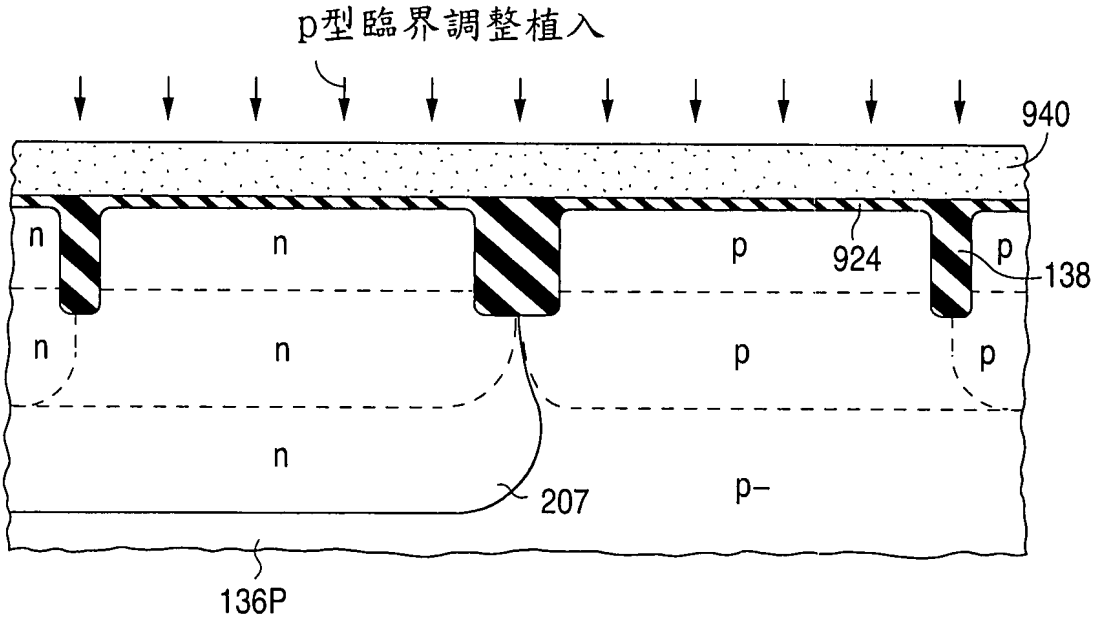

p型臨界調整植入
940
n
n
p
924
p
138
n
n
p
p
n
207
p-
136P

圖18i.0

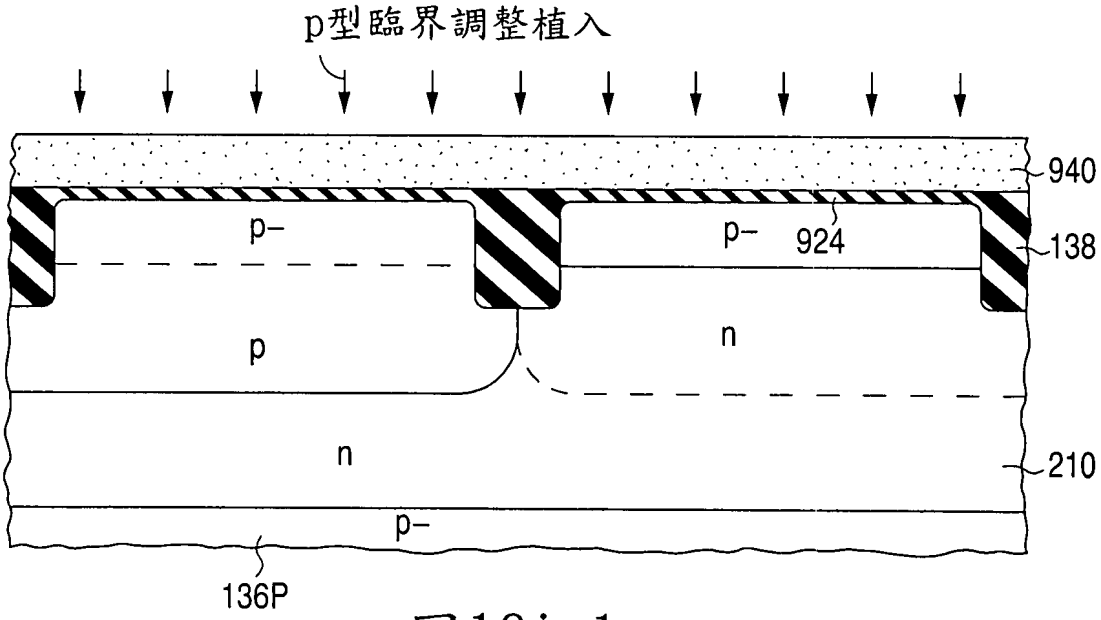

p型臨界調整植入
940
p-
p-
924
138
p
n
n
210
p-
136P

圖18i.1

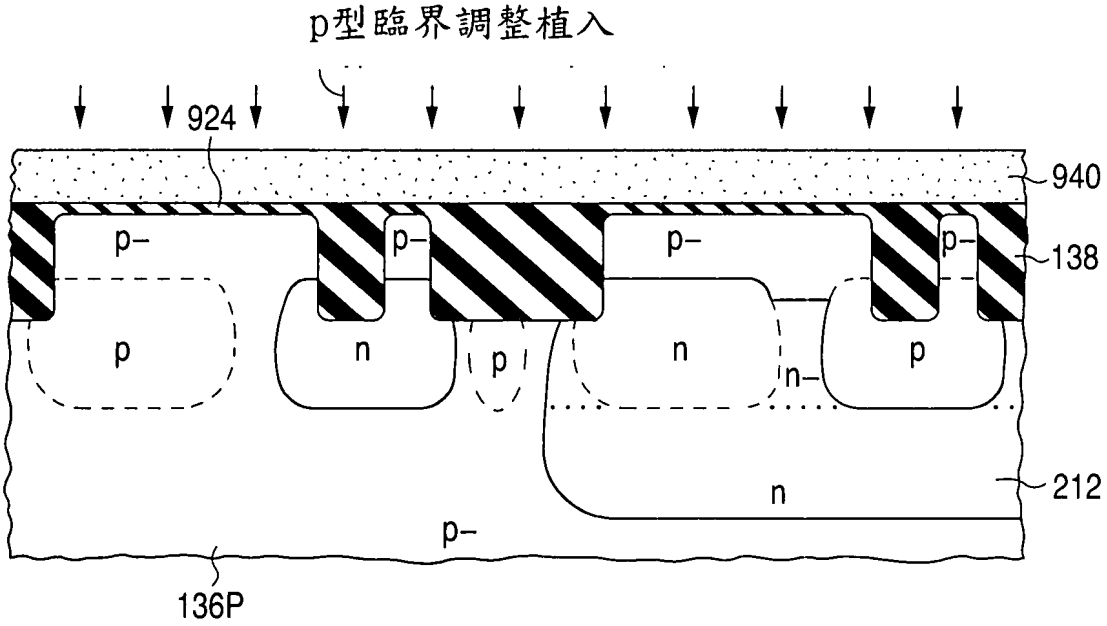

p型臨界調整植入
924
940
p-
p-
p-
p-
138
p
n
p
n
n-
p
212
n
p-
136P

圖18i.2

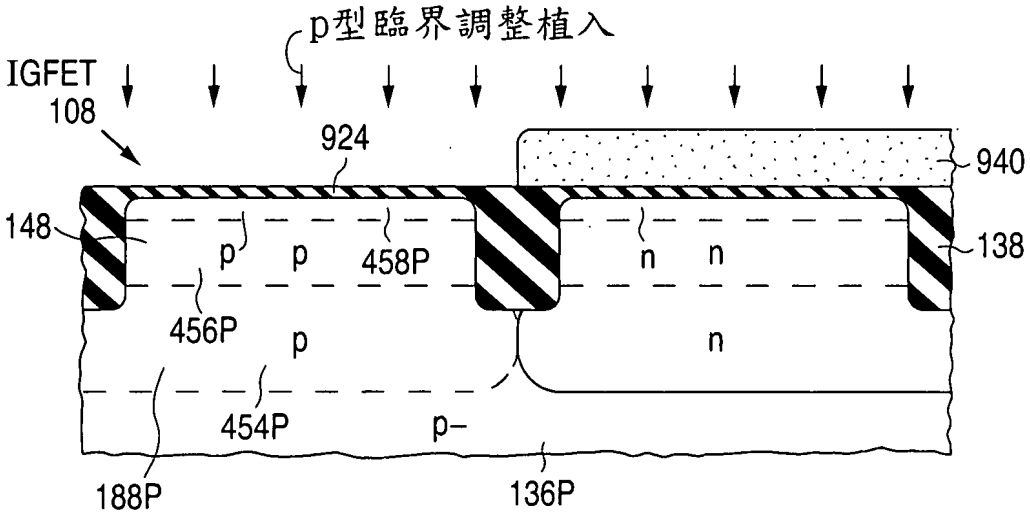

p型臨界調整植入
IGFET
108
924
940
148
p
p
458P
n
n
138
456P
p
n
454P
p-
188P
136P

圖18i.3

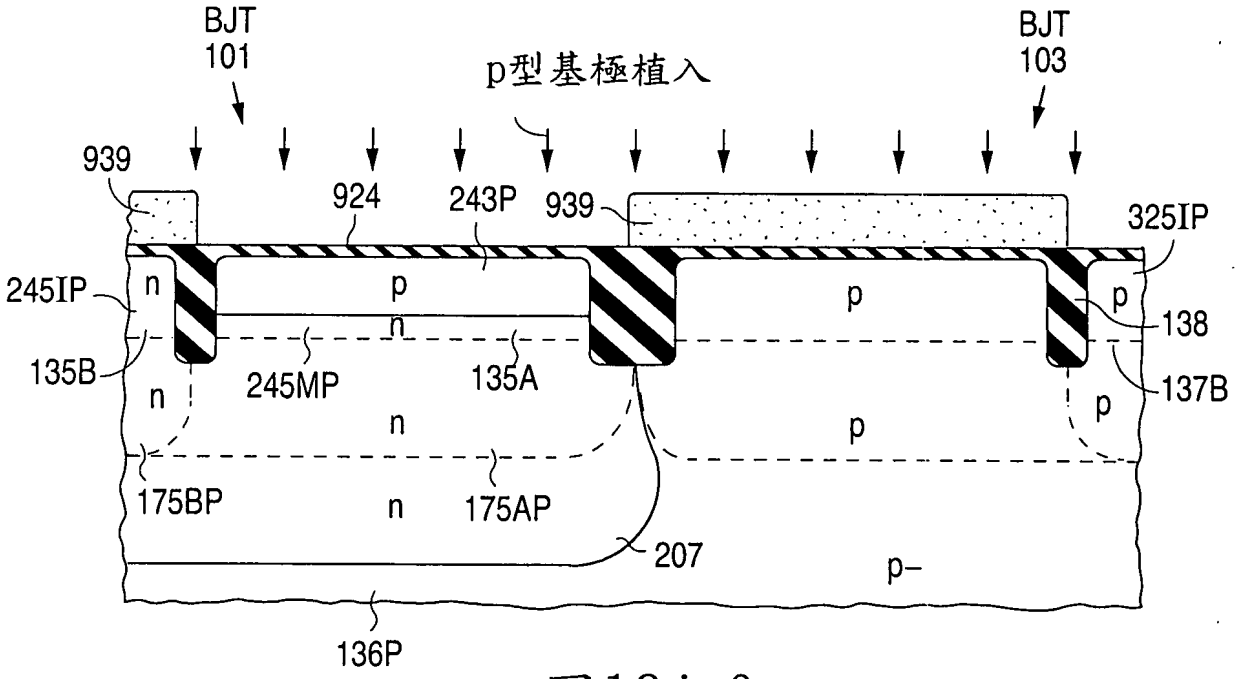

BJT
101
p型基極植入
BJT
103
939
924
243P
939
325IP
245IP
n
p
p
p
138
n
135B
245MP
135A
137B
n
n
p
p
175BP
n
175AP
207
p-
136P

圖18j.0

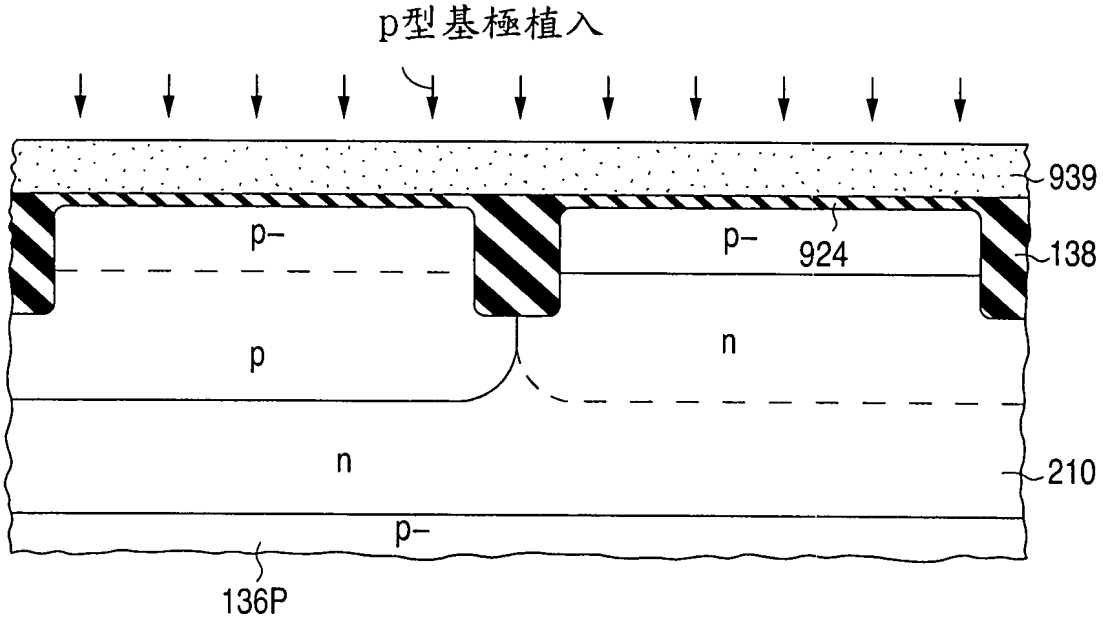

p型基極植入
939
p-
p-
924
138
p
n
n
210
p-
136P

圖18j.1

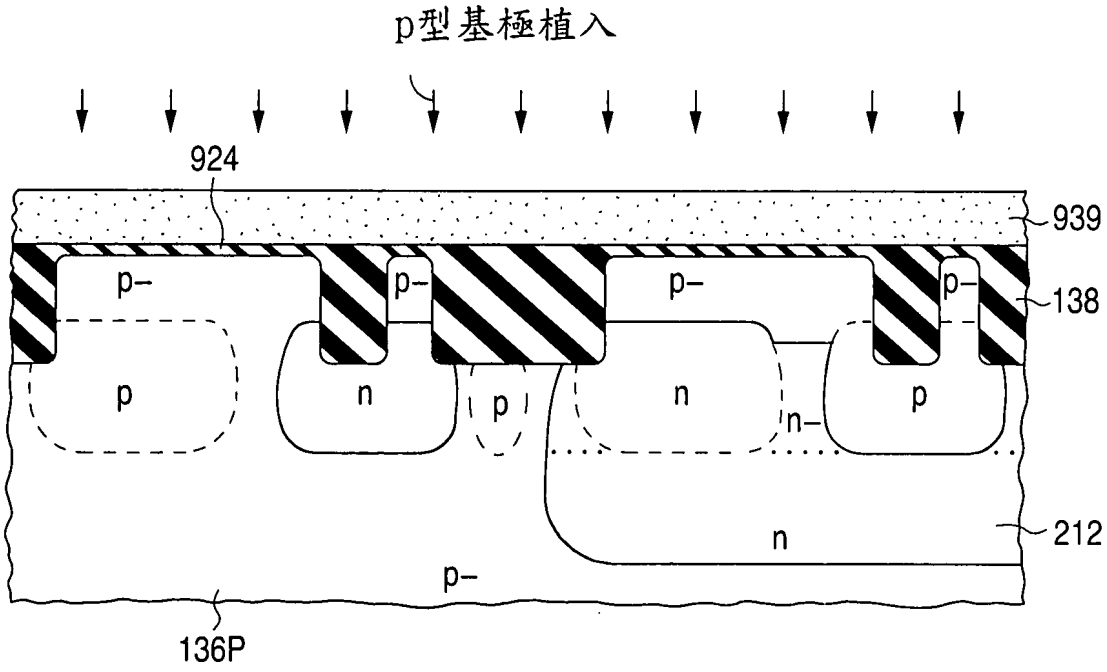


圖18j.2

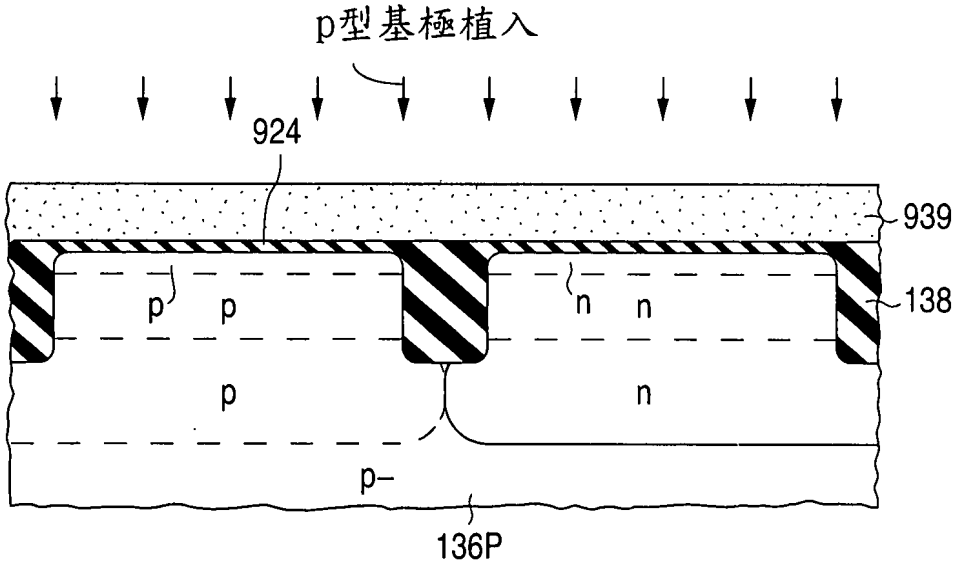


圖18j.3

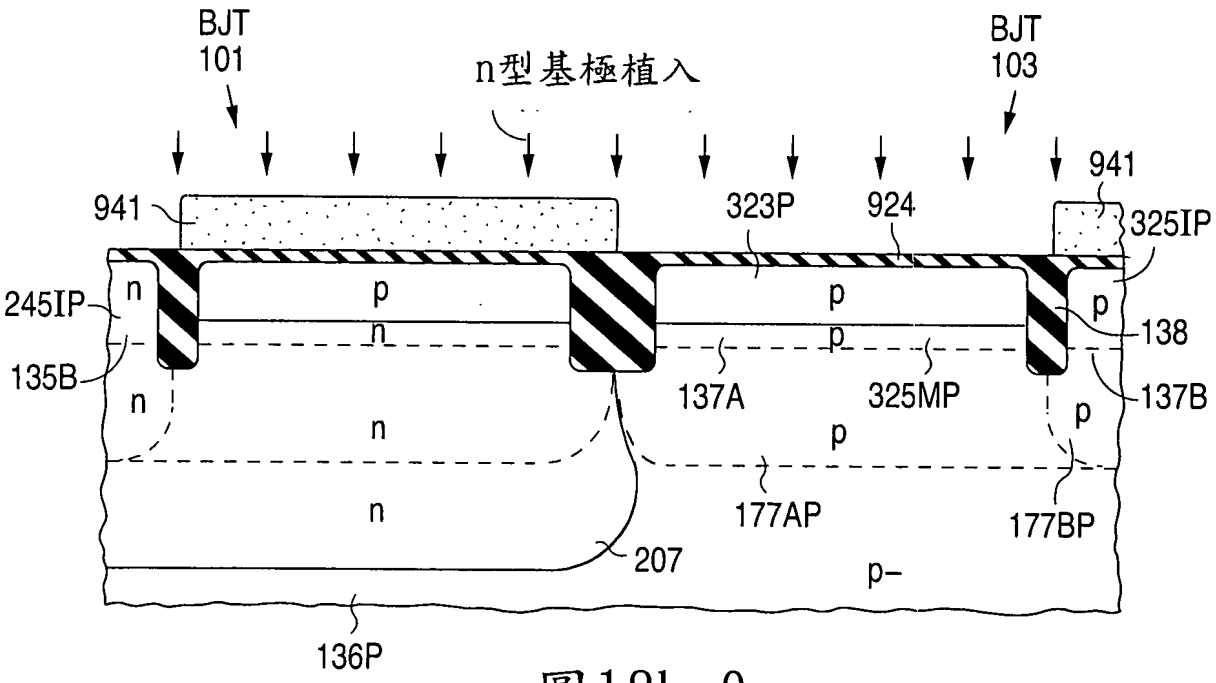

BJT
101
n型基極植入
BJT
103
941
941
323P
924
325IP
245IP
n
p
p
p
138
135B
n
n
p
137A
325MP
137B
n
n
p
p
177AP
177BP
n
207
p-
136P

圖18k. 0

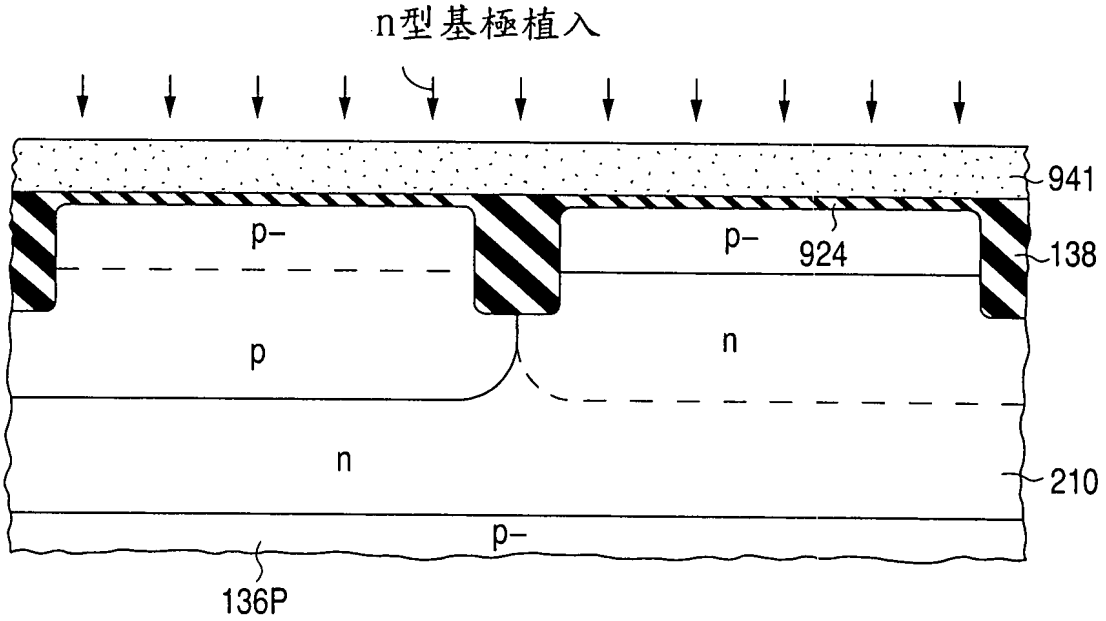

n型基極植入
941
p-
p-
924
138
p
n
n
210
p-
136P

圖18k. 1

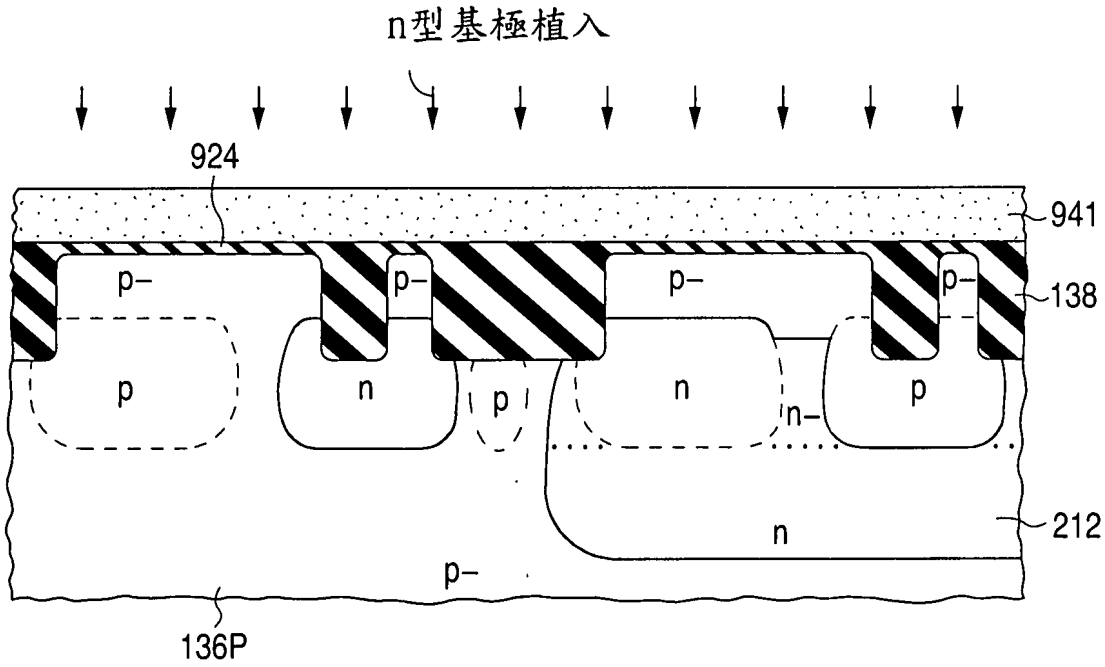


圖18k. 2

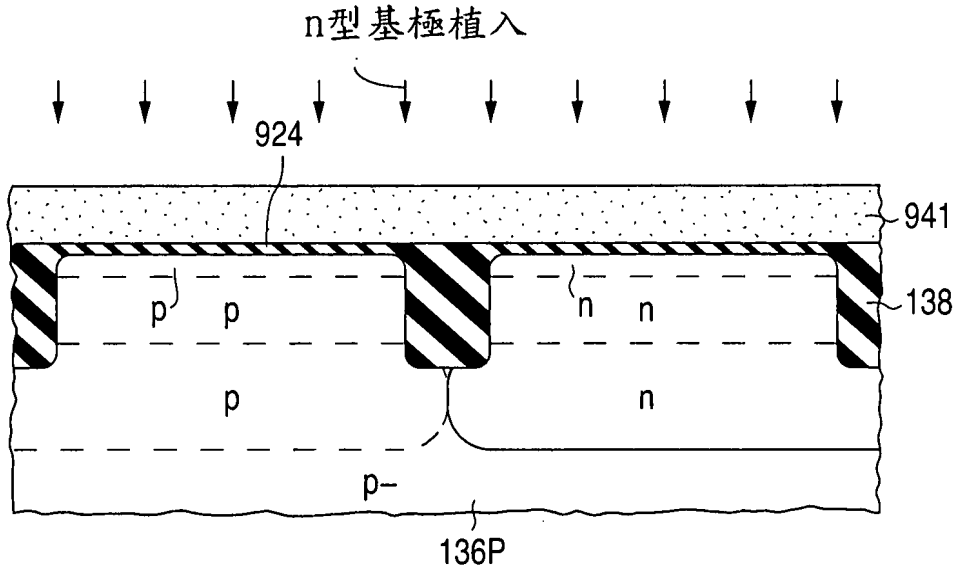


圖18k. 3

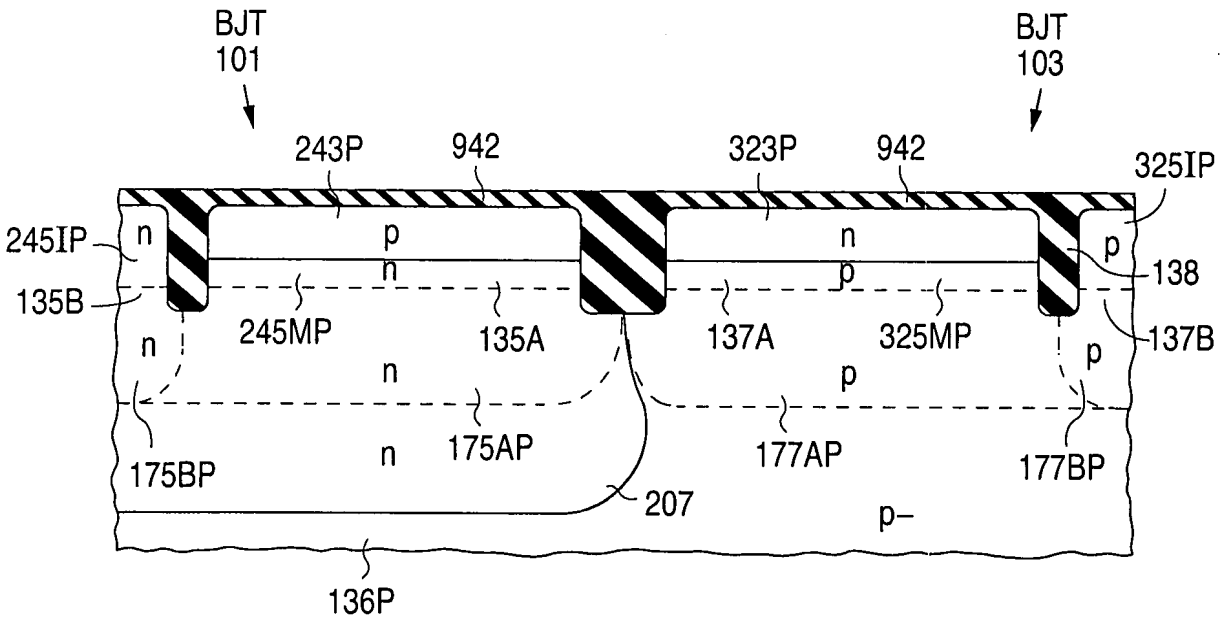

BJT
101
BJT
103
243P
942
323P
942
325IP
245IP
n
p
n
p
138
135B
245MP
135A
137A
325MP
137B
n
n
p
p
175BP
n
175AP
177AP
177BP
207
p–
136P

圖181.0

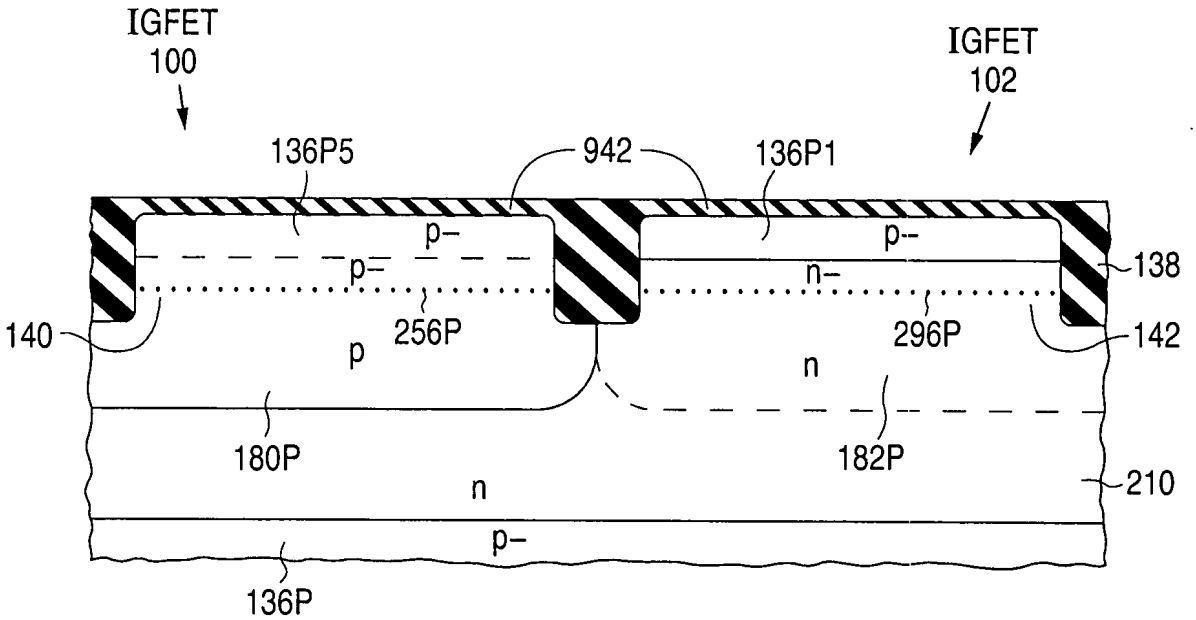

IGFET
100
IGFET
102
136P5
942
136P1
p–
p–
p–
n–
138
140
256P
296P
142
p
n
180P
182P
210
n
p–
136P

圖181.1

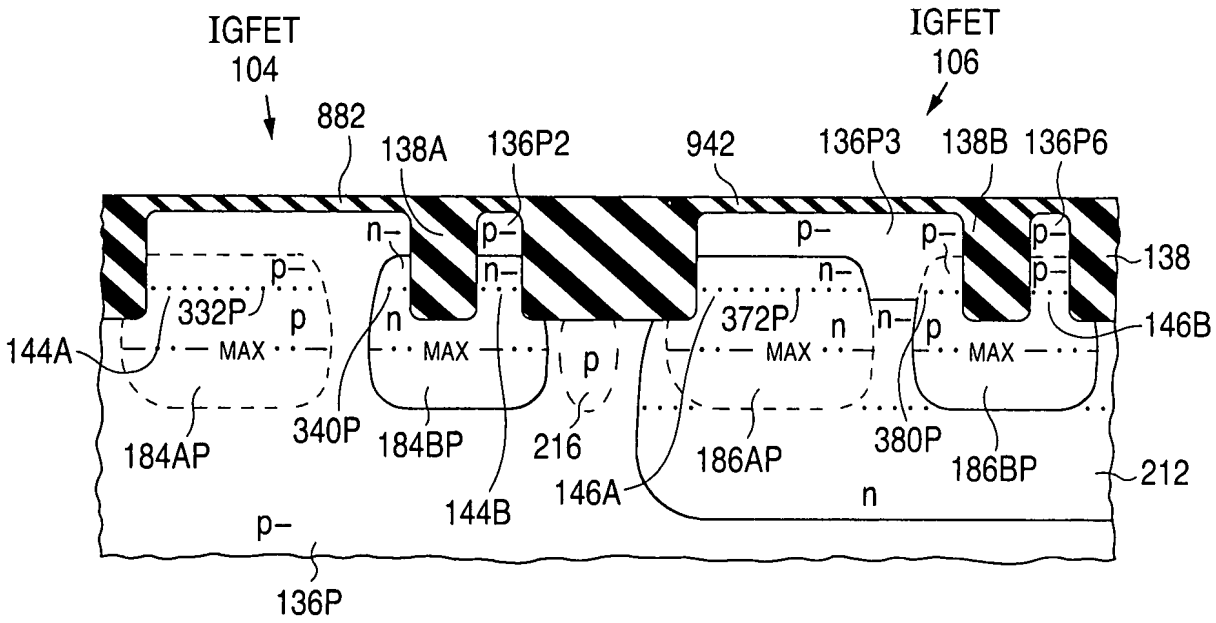

IGFET
104
IGFET
106
882
138A
136P2
942
136P3
138B
136P6
138
146B
144A
332P
372P
MAX
340P
184BP
216
184AP
186AP
380P
186BP
212
144B
146A
136P

圖181.2

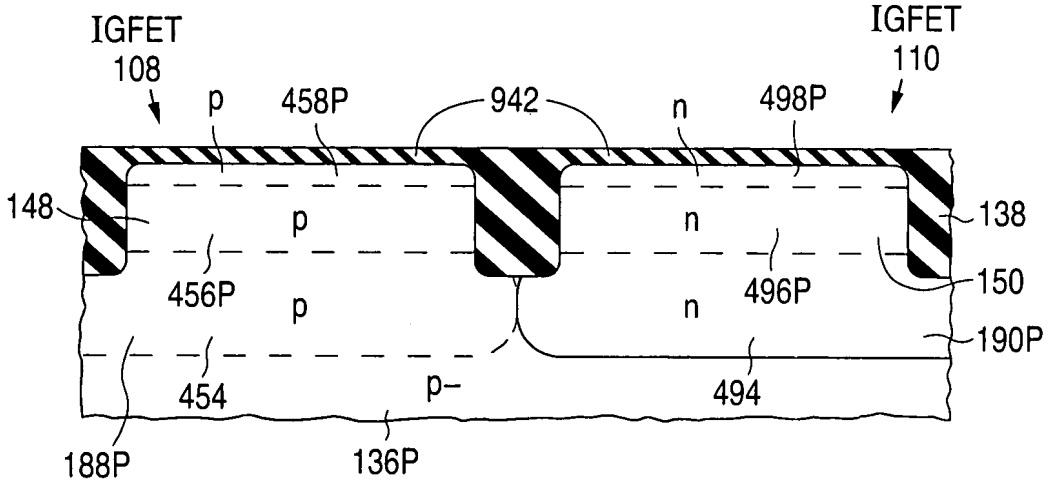

IGFET
108
IGFET
110
458P
942
498P
148
138
456P
496P
150
190P
454
494
188P
136P

圖181.3

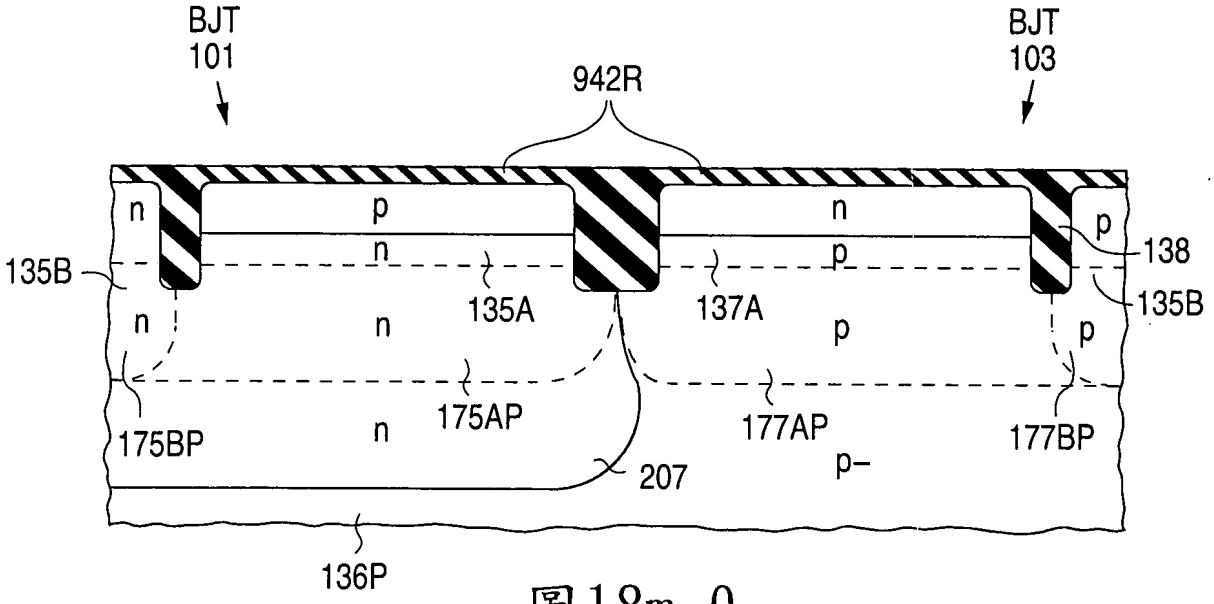

BJT
101
942R
BJT
103
n
p
n
p
138
135B
n
n
135A
137A
p
p
135B
n
n
p
175BP
175AP
177AP
177BP
207
p-
136P

圖18m. 0

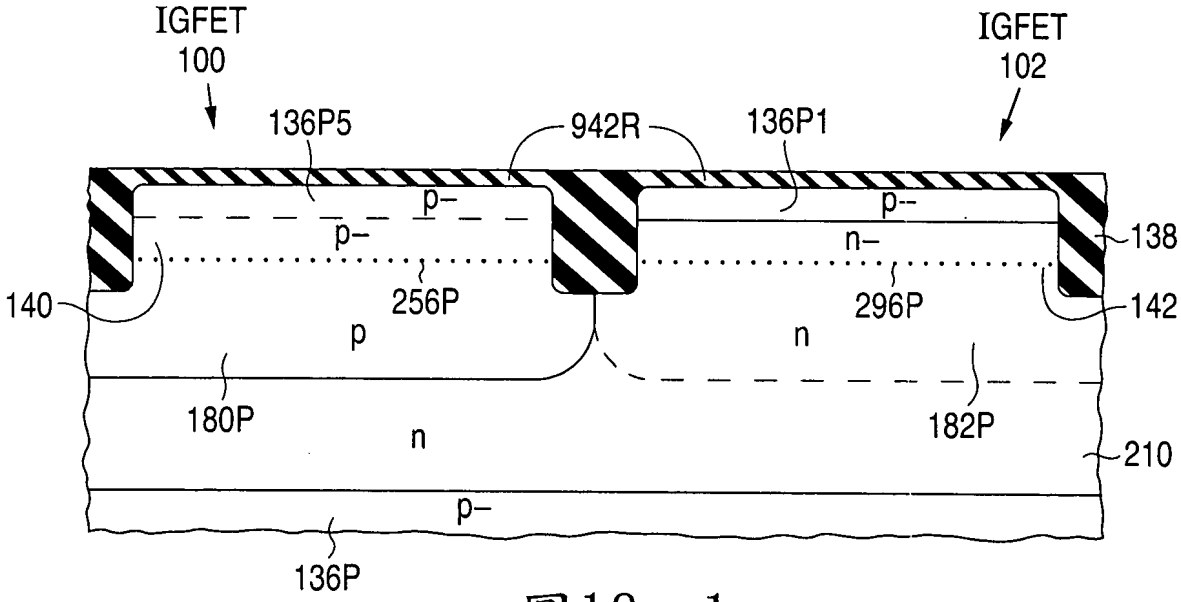

IGFET
100
IGFET
102
136P5
942R
136P1
p-
p--
p-
n-
138
140
256P
296P
142
p
n
180P
182P
n
210
p-
136P

圖18m. 1

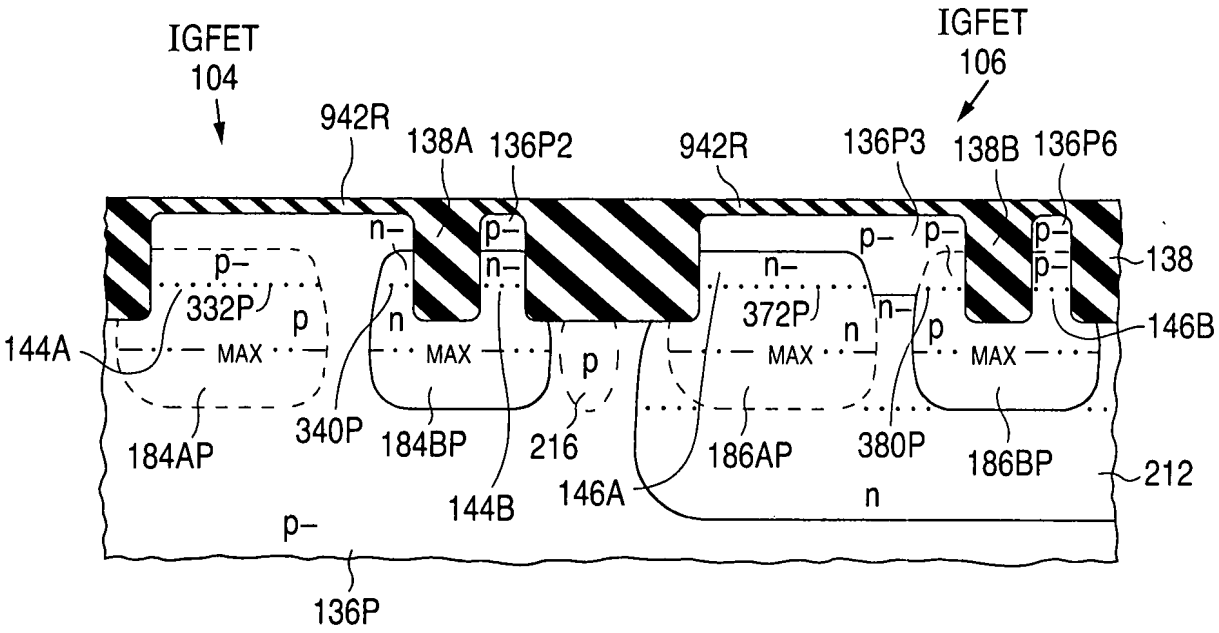

IGFET
104
IGFET
106
942R
138A
136P2
942R
136P3
138B
136P6
n–
p–
p–
n–
p–
p–
p–
p–
138
332P
372P
146B
144A
MAX
MAX
MAX
MAX
p
n
n
n–
p
184AP
340P
184BP
216
186AP
380P
186BP
212
144B
146A
n
p–
136P

圖18m. 2

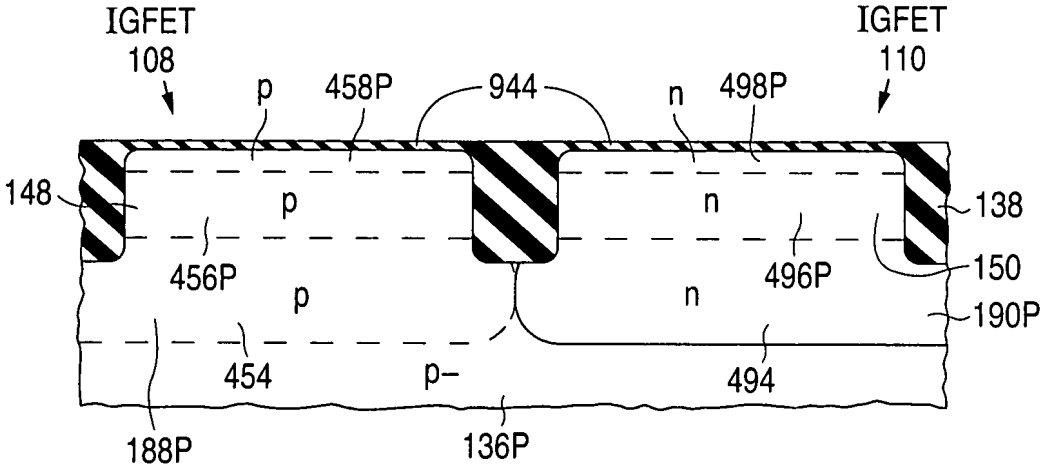

IGFET
108
IGFET
110
p
458P
944
n
498P
148
p
n
138
456P
496P
150
p
n
190P
454
p–
494
188P
136P

圖18m. 3

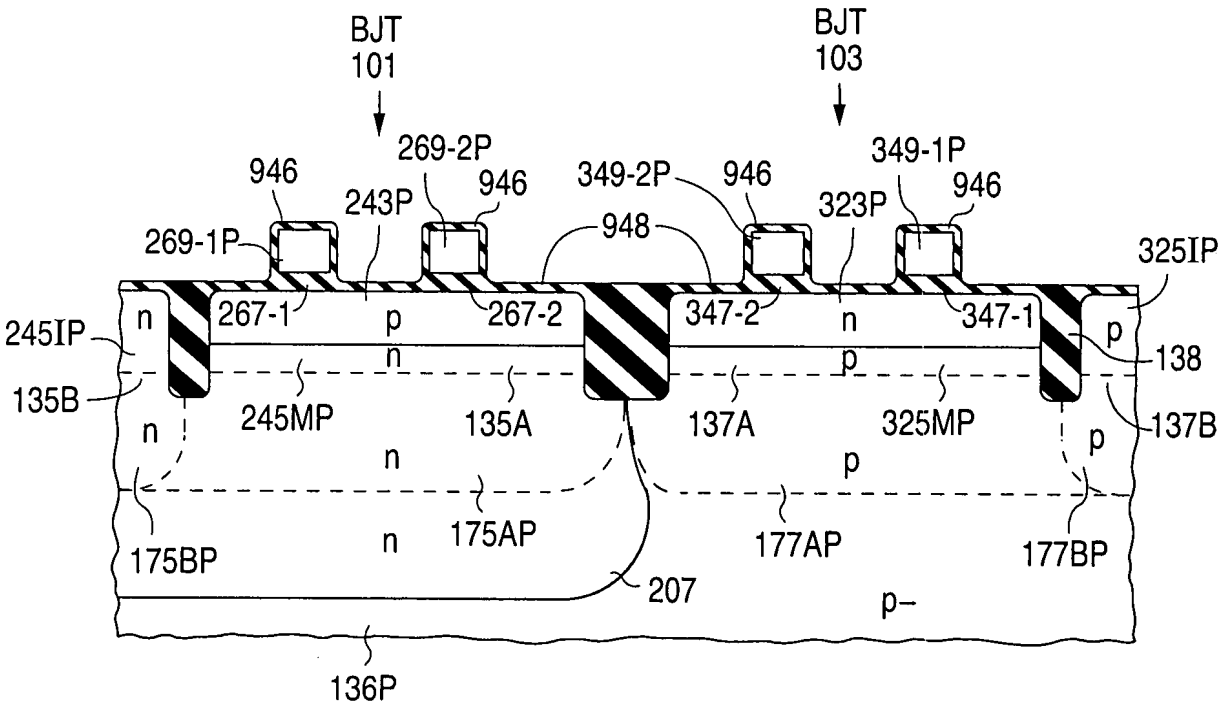

BJT
101
BJT
103
269-2P
946
946
243P
946
349-2P
946
323P
946
349-1P
269-1P
948
325IP
245IP
n
267-1
p
267-2
347-2
n
347-1
p
138
n
p
135B
245MP
135A
137A
325MP
137B
n
p
n
p
175BP
n
175AP
177AP
177BP
207
p–
136P

圖18n. 0

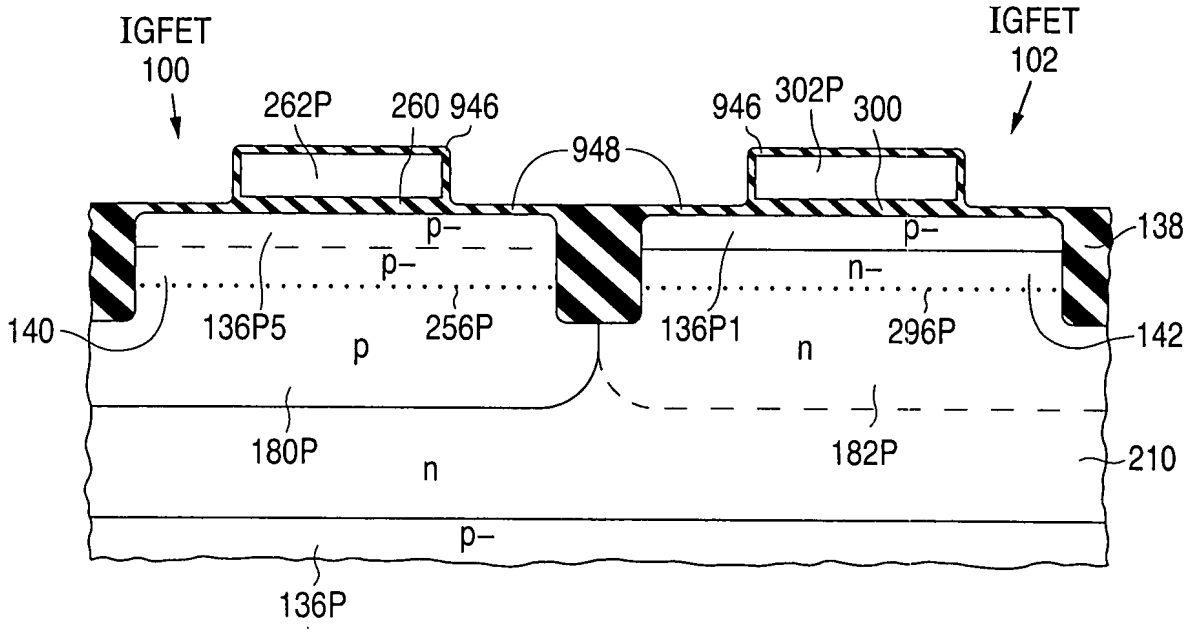

IGFET
100
IGFET
102
262P
260
946
946
302P
300
948
p–
p–
p–
n–
138
140
136P5
256P
136P1
296P
142
p
n
180P
182P
210
n
p–
136P

圖18n. 1

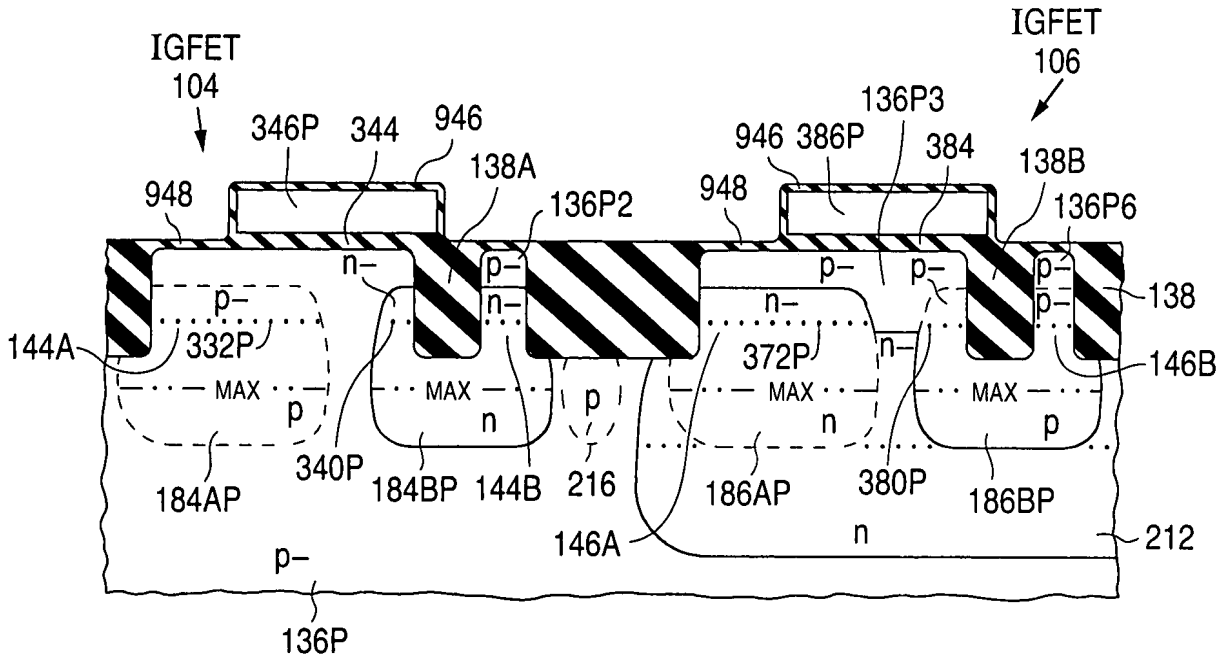

IGFET
104
IGFET
106
346P
344
946
138A
136P2
948
946
386P
136P3
384
138B
136P6
948
138
144A
332P
372P
146B
MAX
MAX
MAX
MAX
340P
184AP
184BP
144B
216
186AP
380P
186BP
146A
212
136P

圖18n. 2

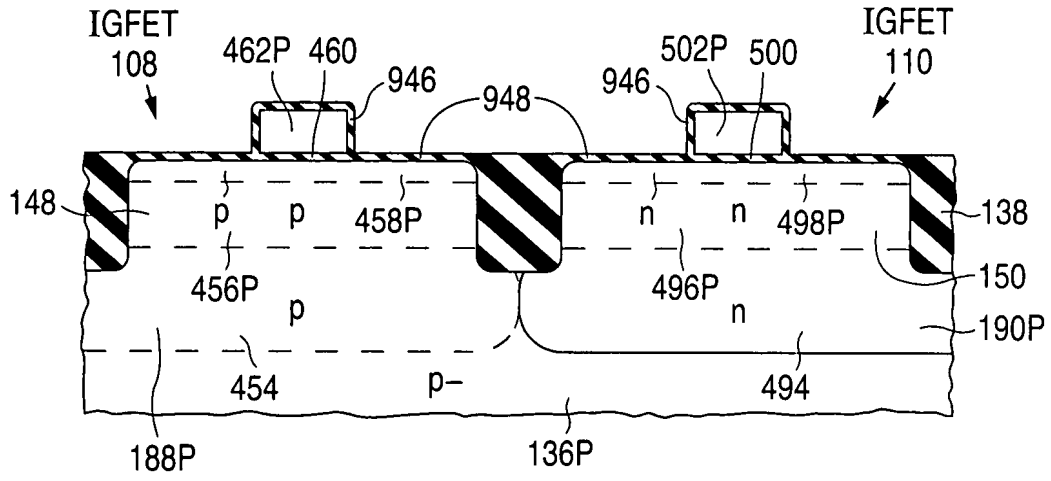

IGFET
108
IGFET
110
462P
460
946
948
946
502P
500
148
458P
498P
138
456P
496P
150
190P
454
494
188P
136P

圖18n. 3

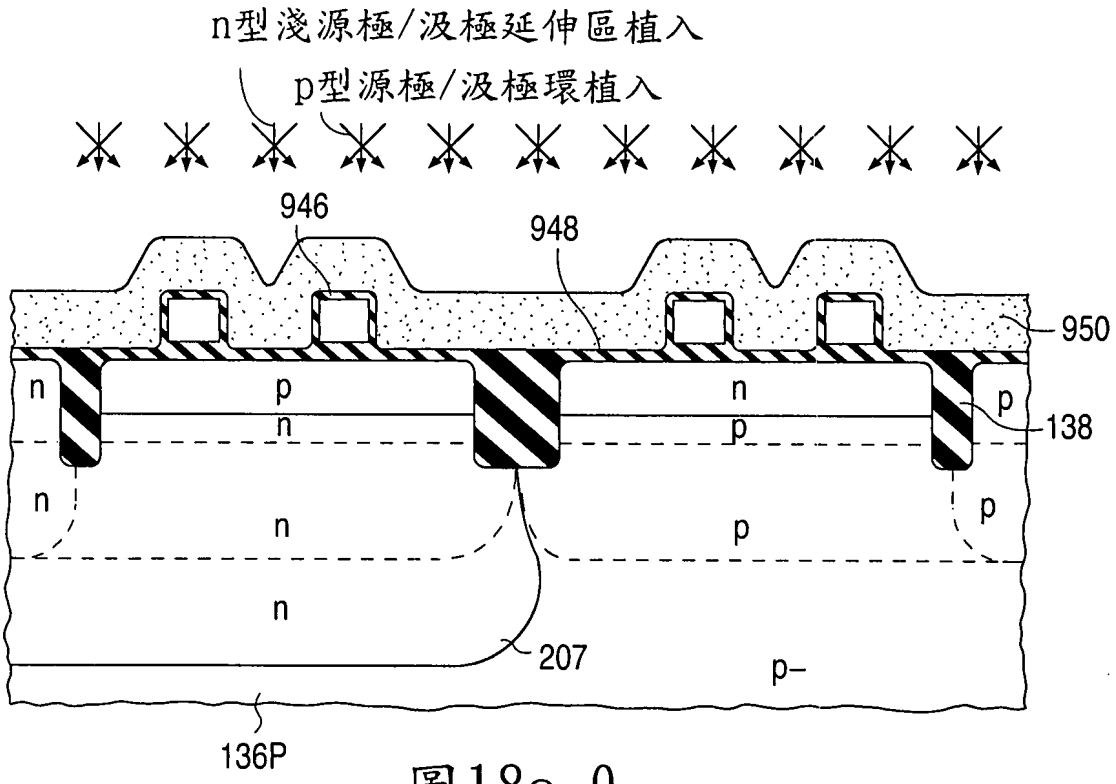

n型淺源極/汲極延伸區植入
p型源極/汲極環植入
946
948
950
138
207
136P
n
p
p-

圖18o. 0

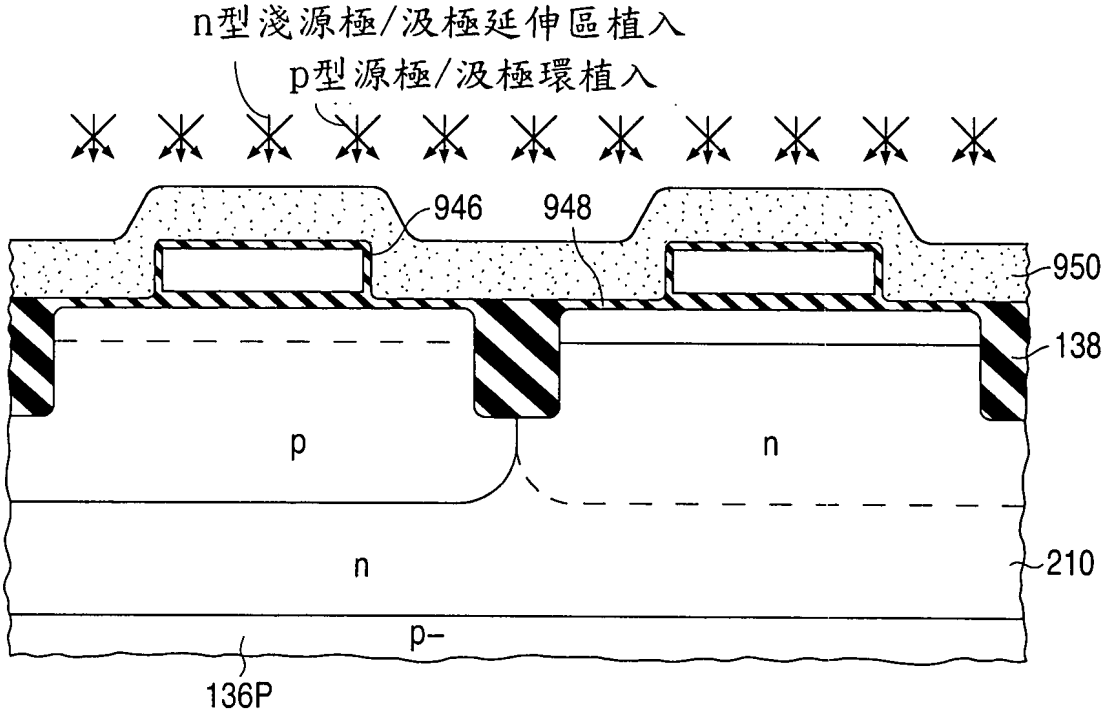

n型淺源極/汲極延伸區植入
p型源極/汲極環植入
946
948
950
138
210
136P
n
p
p-

圖18o. 1

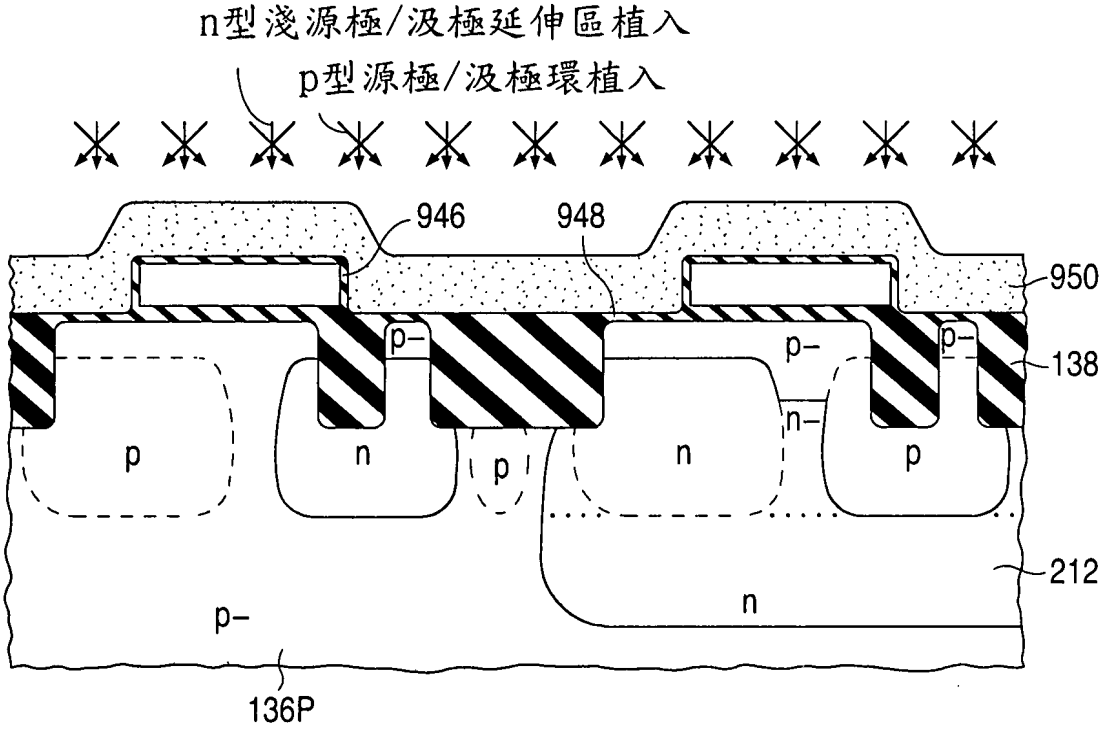

n型淺源極/汲極延伸區植入
p型源極/汲極環植入
946
948
950
138
p-
p-
p-
n-
p
n
p
n
p
212
n
p-
136P

圖18o. 2

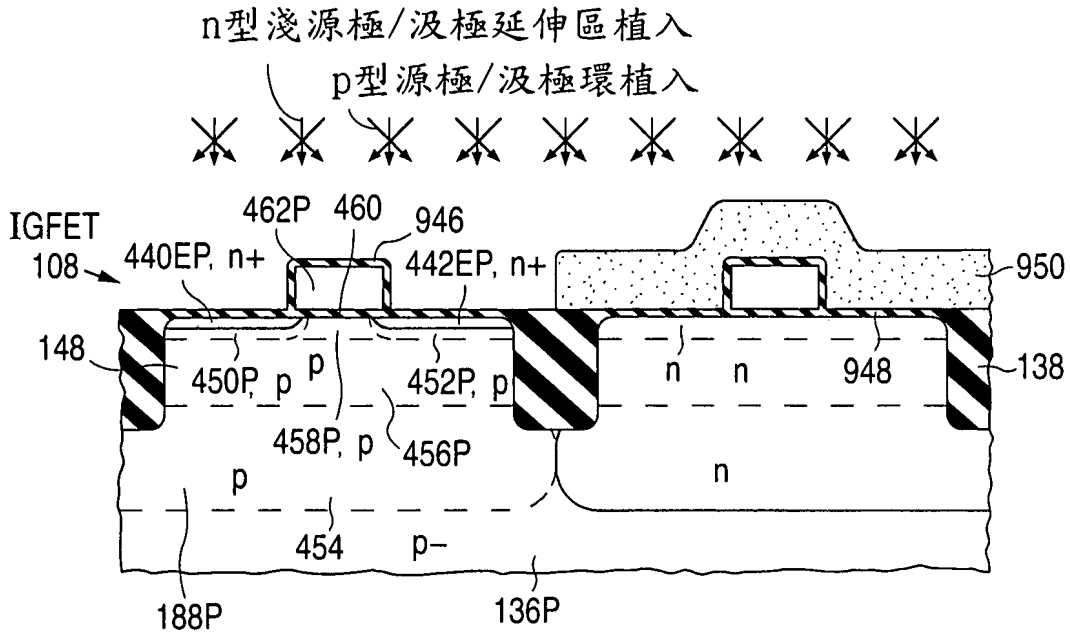

n型淺源極/汲極延伸區植入
p型源極/汲極環植入
IGFET
108
462P
460
946
440EP, n+
442EP, n+
950
148
450P, p
p
452P, p
n
n
948
138
458P, p
456P
p
n
454
p-
188P
136P

圖18o. 3

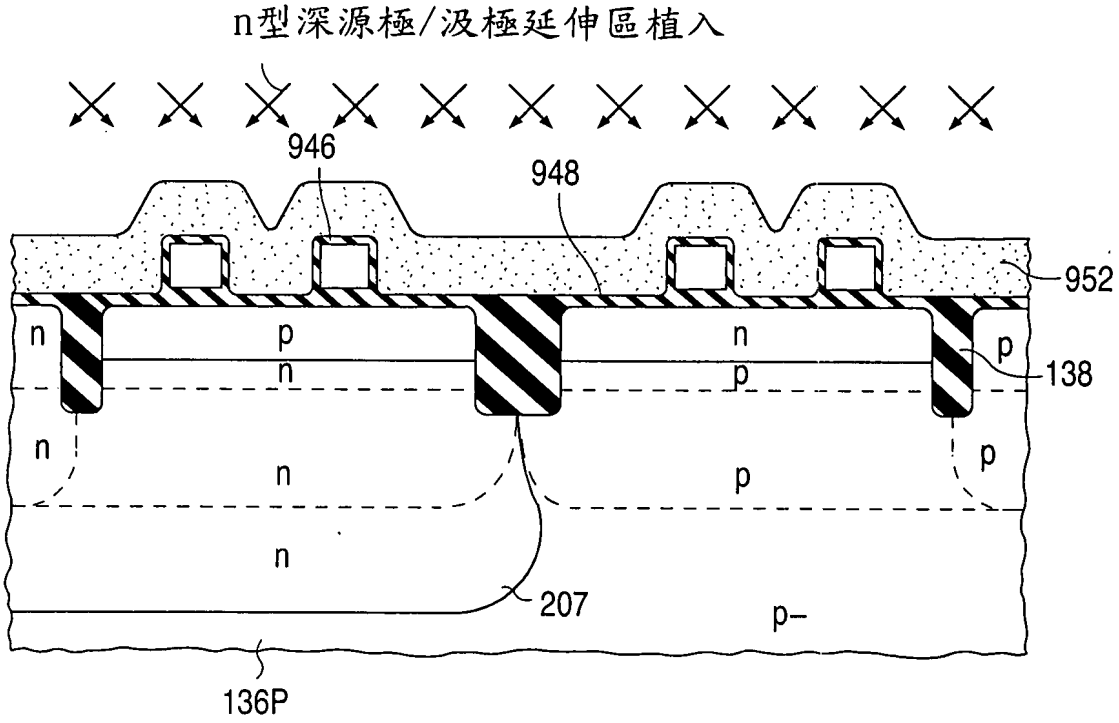

n型深源極/汲極延伸區植入
946
948
952
n
p
n
p
138
n
n
p
p
n
207
p–
136P

圖18p. 0

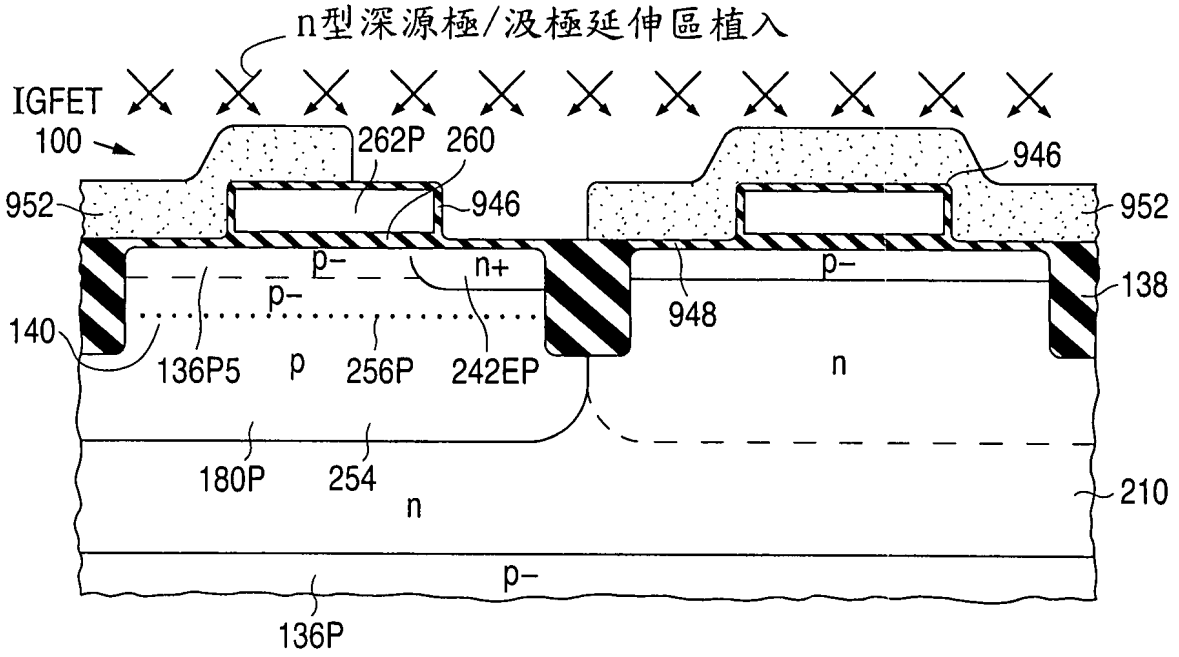

n型深源極/汲極延伸區植入
IGFET
100
262P
260
946
952
946
952
p–
n+
p–
138
p–
948
140
136P5
p
256P
242EP
n
180P
254
n
210
p–
136P

圖18p. 1

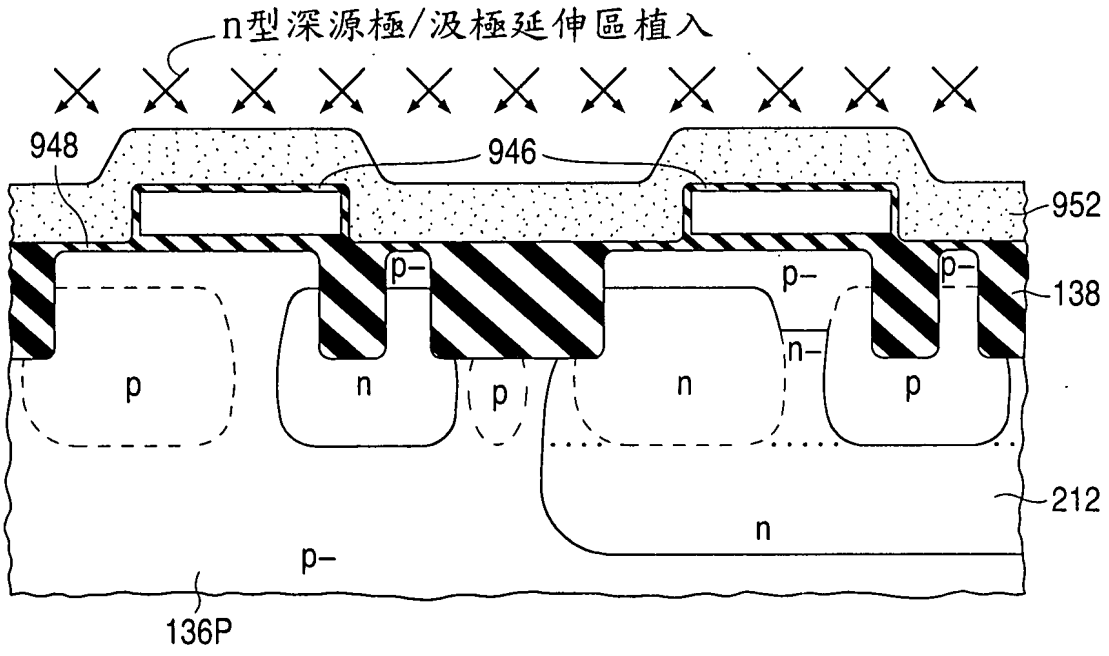

n型深源極/汲極延伸區植入
948
946
952
138
p-
p-
p-
n-
p
n
p
n
p
212
n
p-
136P

圖18p. 2

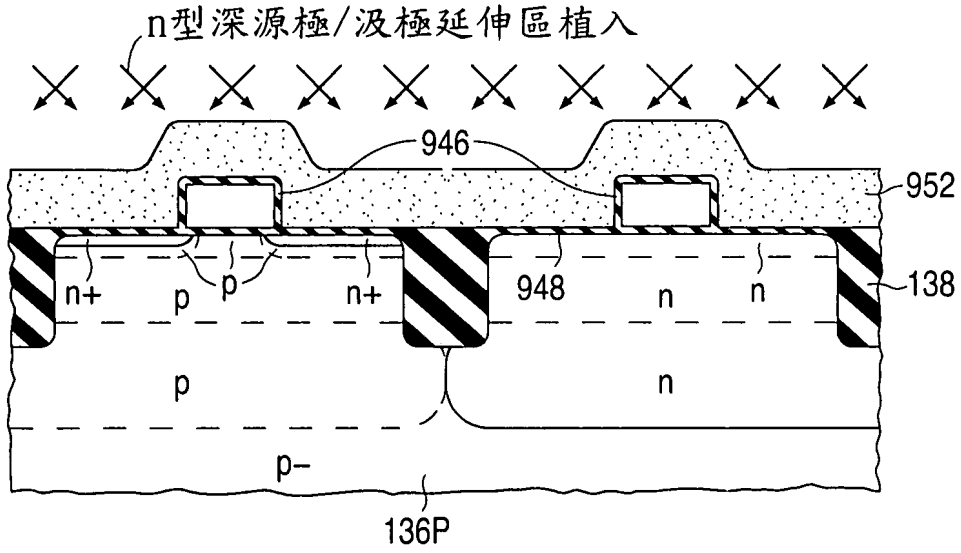

n型深源極/汲極延伸區植入
946
952
138
n+
p
p
n+
948
n
n
p
n
p-
136P

圖18p. 3

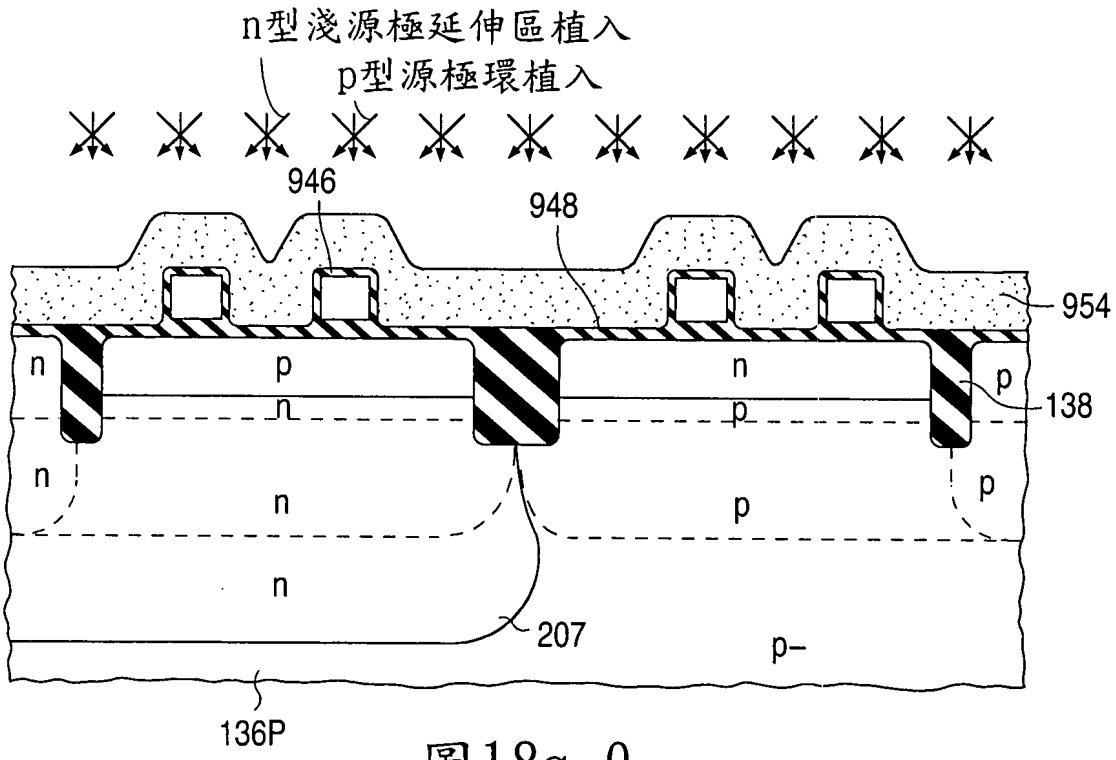

n型淺源極延伸區植入
p型源極環植入
946
948
954
n
p
n
p
138
n
n
p
p
n
207
p–
136P

圖18q. 0

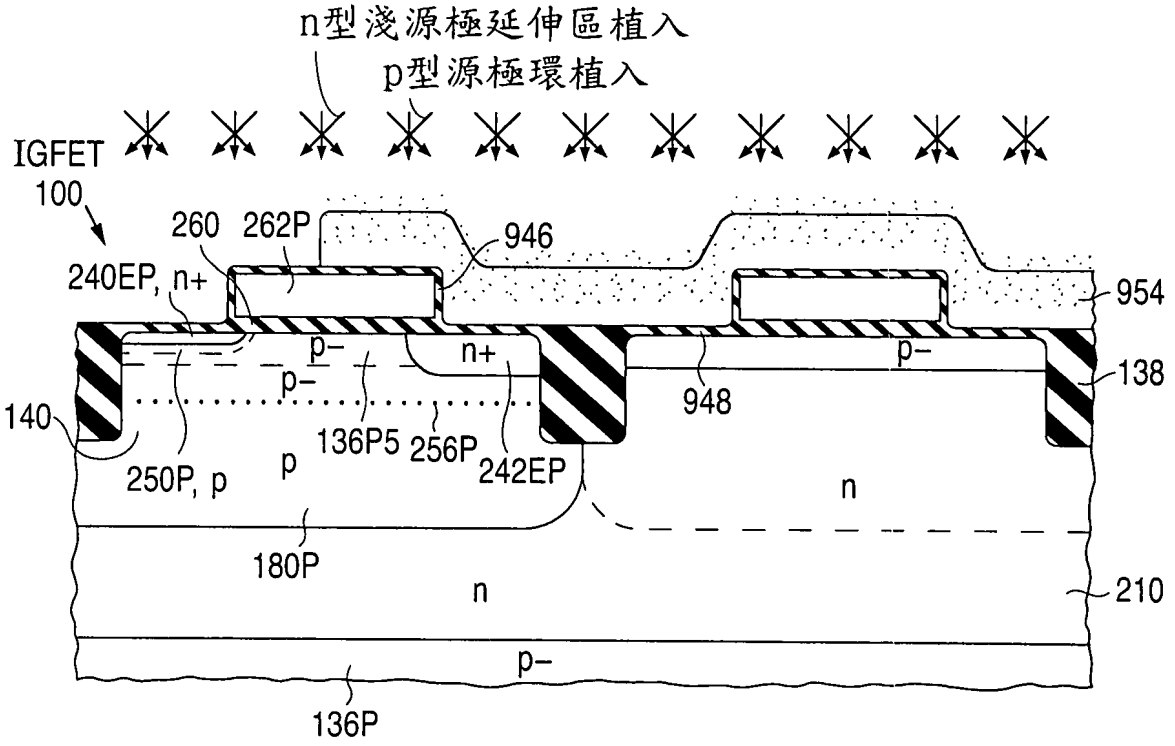

n型淺源極延伸區植入
p型源極環植入
IGFET
100
260
262P
946
240EP, n+
954
p–
n+
p–
138
p–
948
140
136P5
256P
250P, p
p
242EP
n
180P
n
210
p–
136P

圖18q. 1

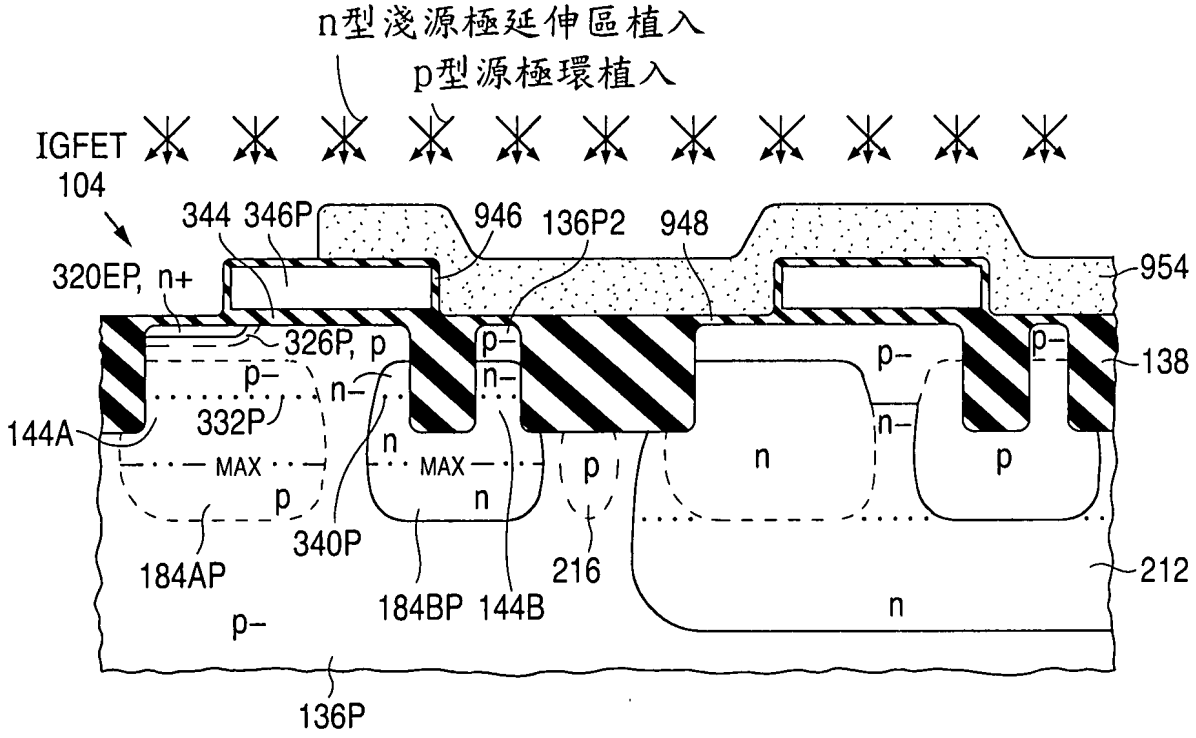

n型淺源極延伸區植入
p型源極環植入
IGFET
104
344
346P
946
136P2
948
320EP, n+
954
326P, p
p−
n−
138
144A
332P
MAX
n
p
340P
184AP
184BP
144B
216
212
136P

圖18q. 2

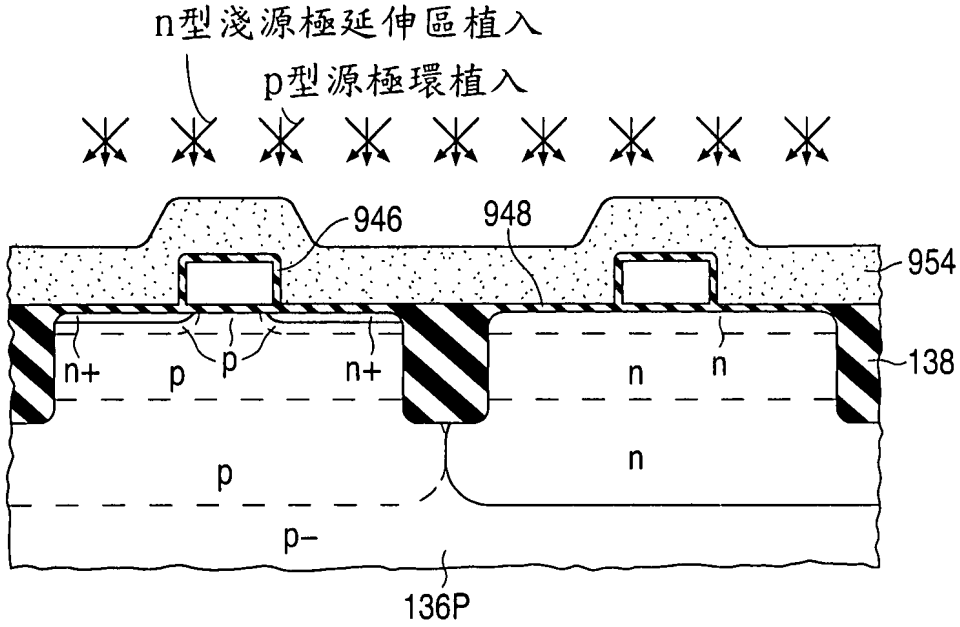

n型淺源極延伸區植入
p型源極環植入
946
948
954
n+
p
138
n
p−
136P

圖18q. 3

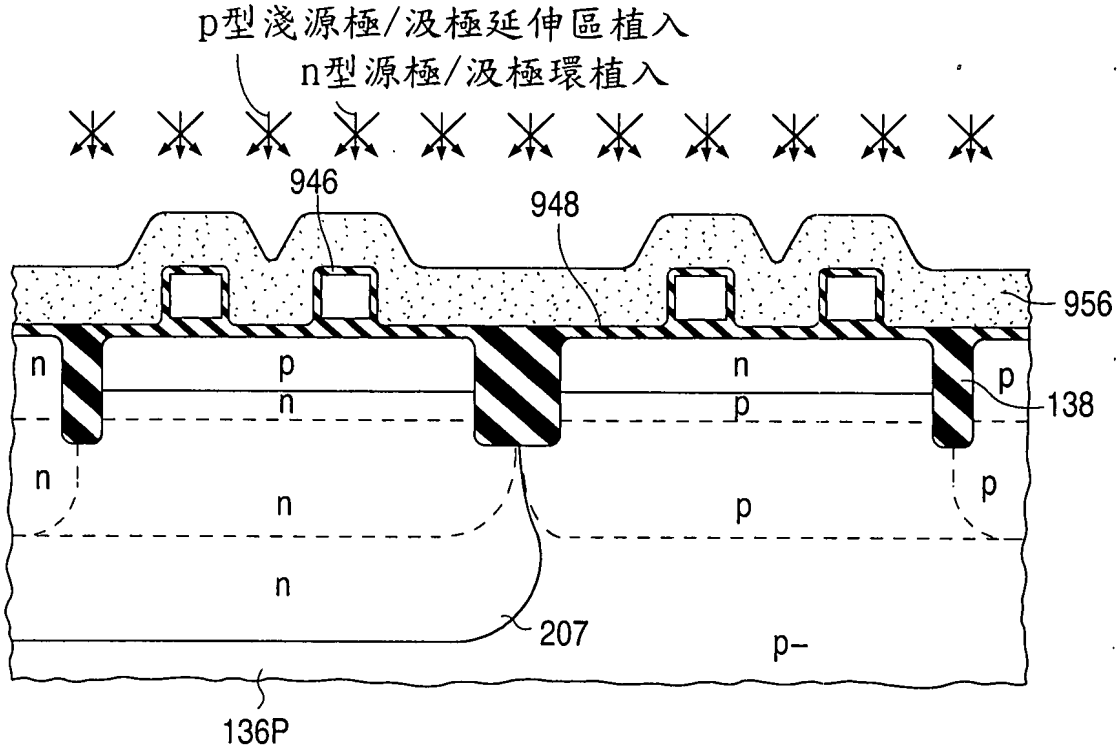

p型淺源極/汲極延伸區植入
n型源極/汲極環植入
946
948
956
138
207
136P
n
p
p-

圖18r. 0

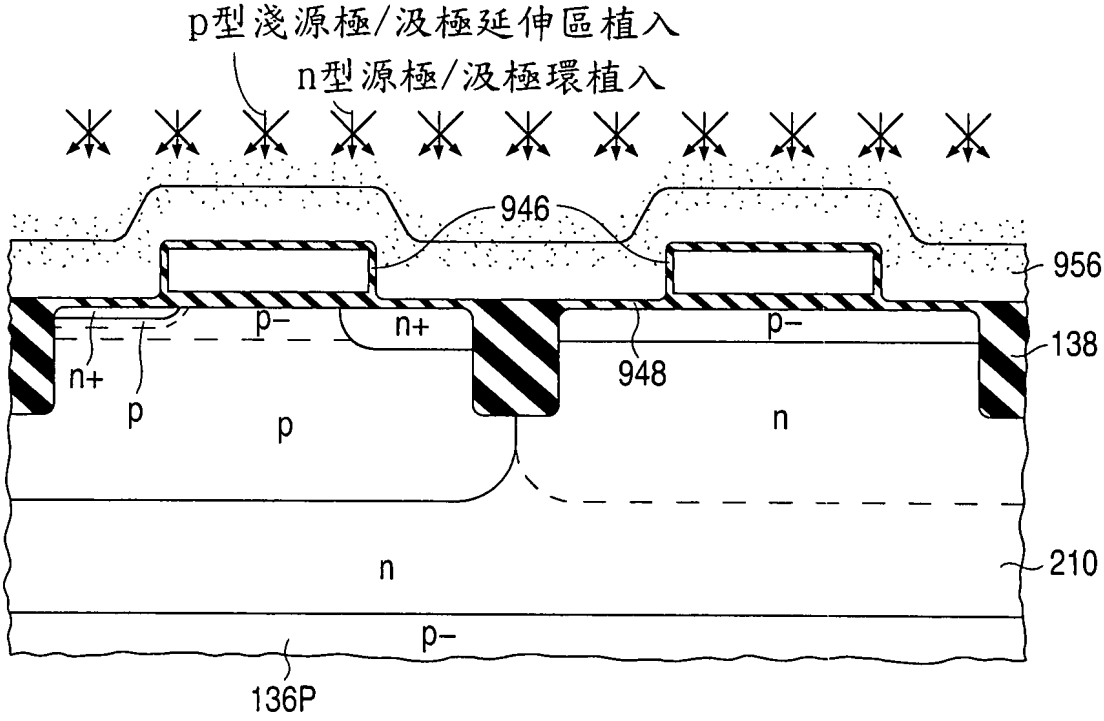

p型淺源極/汲極延伸區植入
n型源極/汲極環植入
946
956
138
948
210
136P
n+
p
p-

圖18r. 1

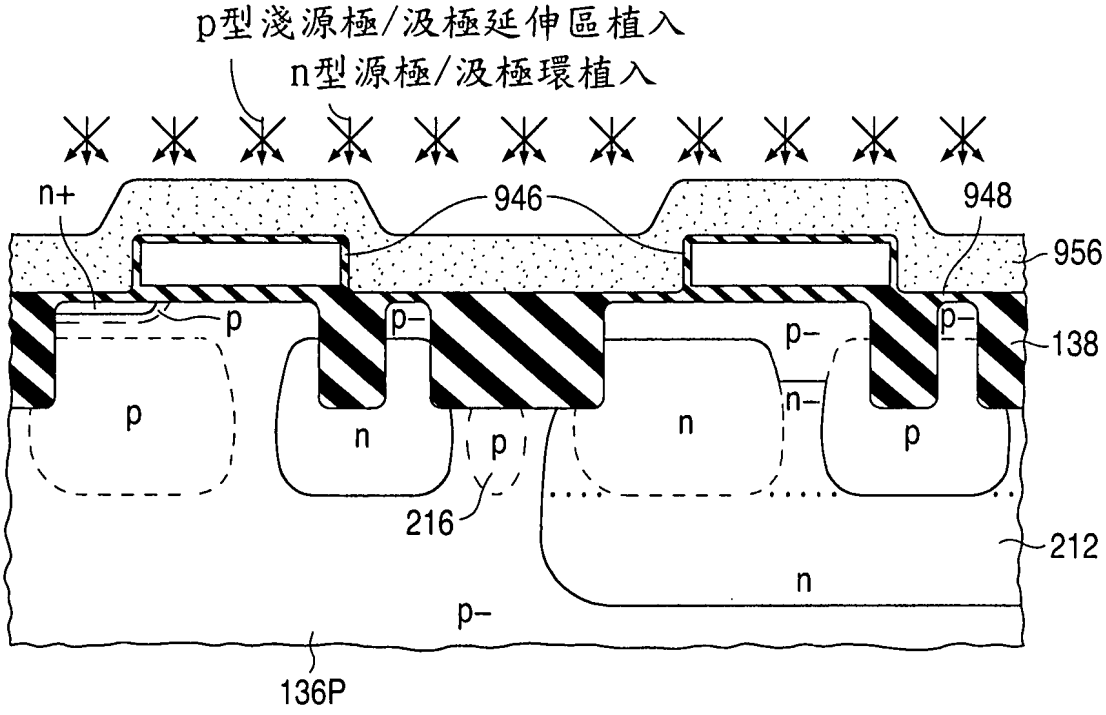

p型淺源極/汲極延伸區植入
n型源極/汲極環植入
n+
946
948
956
p
p-
p-
p-
138
p
n
p
n
n-
p
216
212
n
p-
136P

圖18r. 2

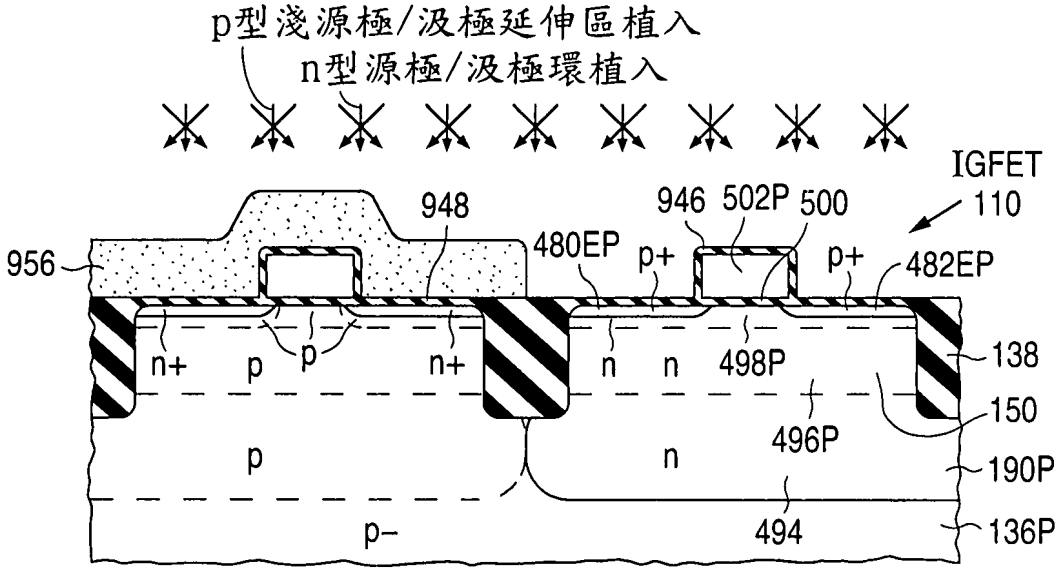

p型淺源極/汲極延伸區植入
n型源極/汲極環植入
IGFET
110
948
946
502P
500
956
480EP
p+
p+
482EP
n+
p
p
n+
n
n
498P
138
150
496P
p
n
190P
p-
494
136P

圖18r. 3

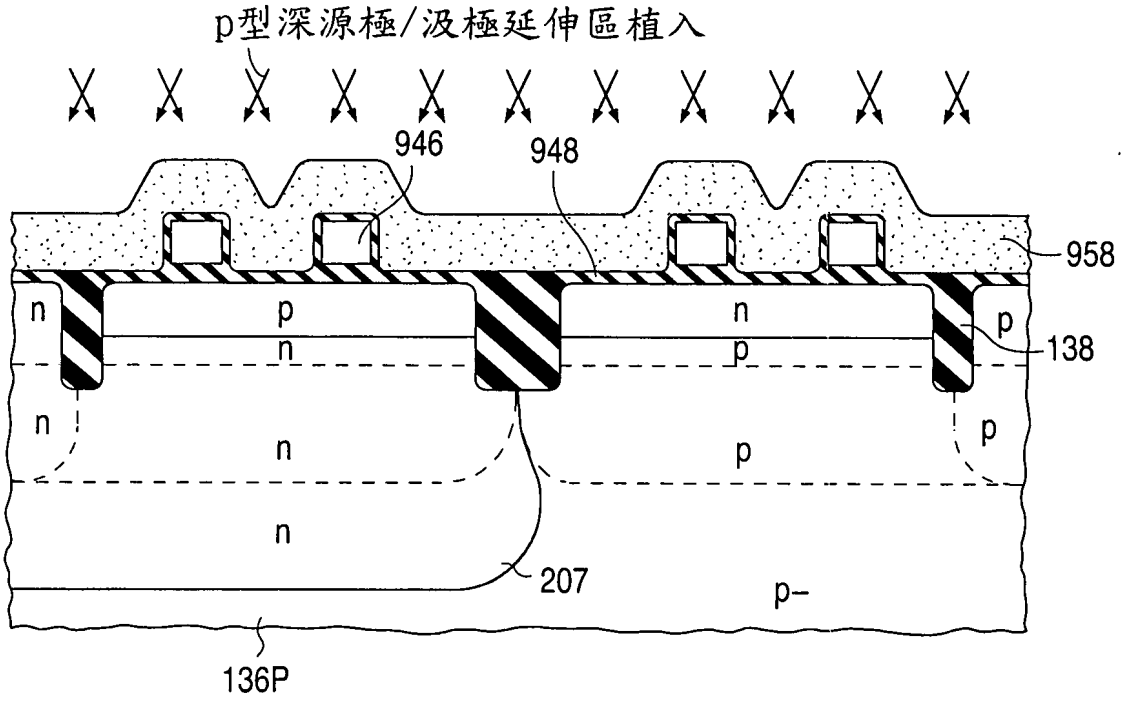

p型深源極/汲極延伸區植入
946
948
958
n
p
n
p
138
n
n
p
n
p
n
207
p-
136P

圖18s. 0

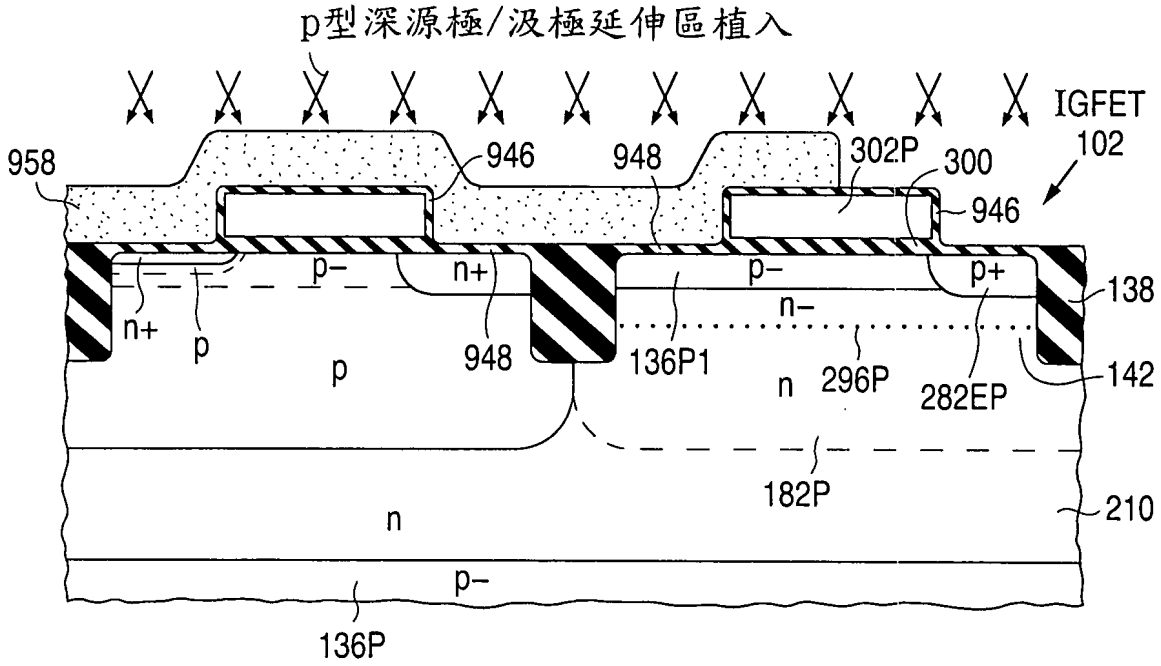

p型深源極/汲極延伸區植入
IGFET
102
958
946
948
302P
300
946
p-
n+
p-
p+
138
n+
p
n-
p
948
136P1
n
296P
282EP
142
182P
210
n
p-
136P

圖18s. 1

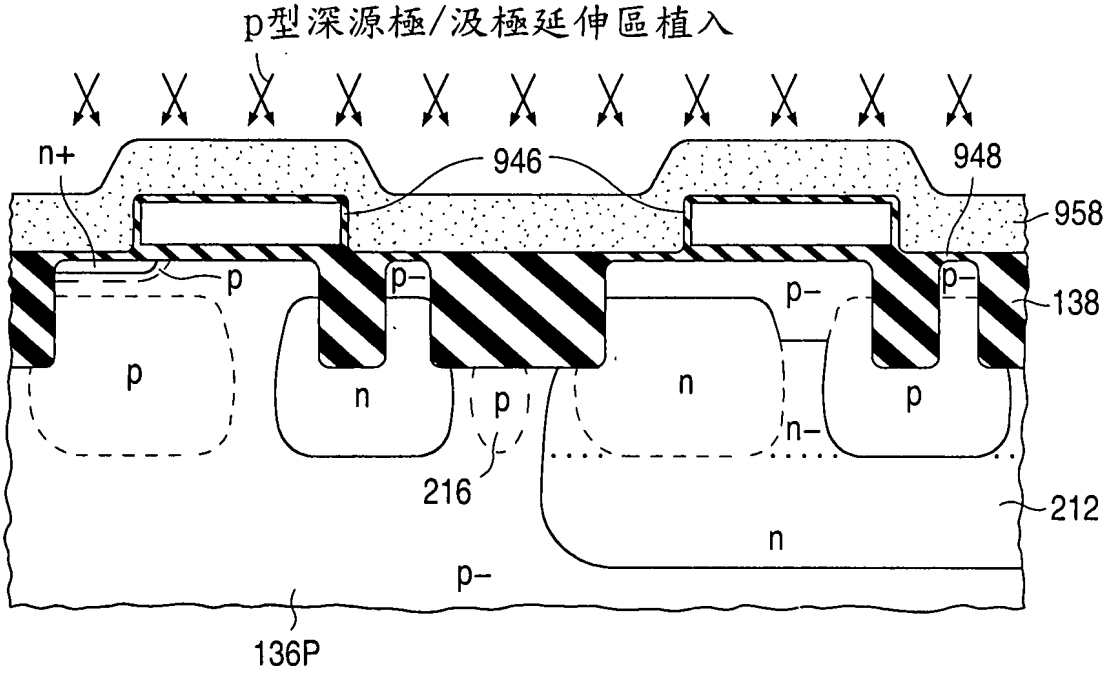

p型深源極/汲極延伸區植入
n+
946
948
958
p
p-
p-
p-
138
p
n
p
n
p
n-
216
212
n
p-
136P

圖18s. 2

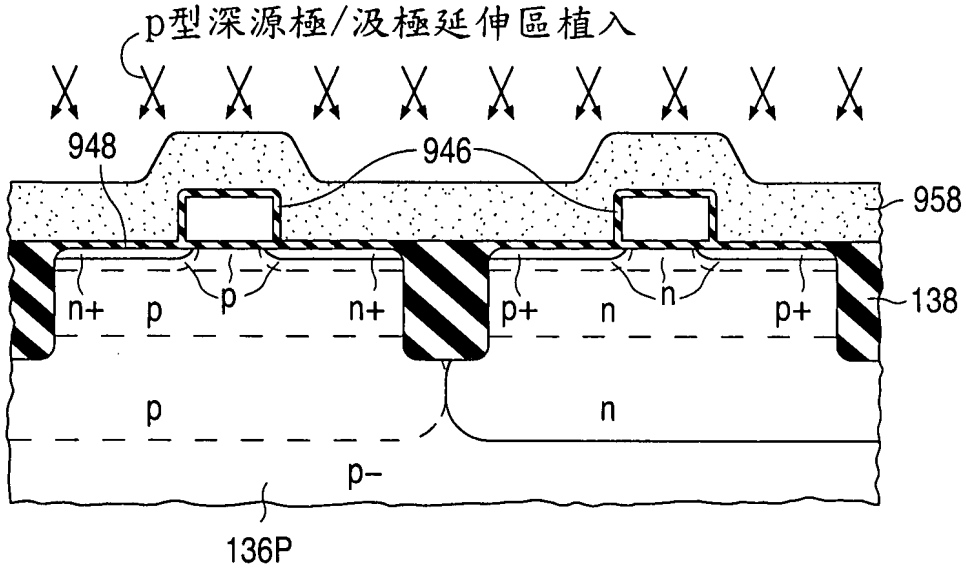

p型深源極/汲極延伸區植入
948
946
958
n+
p
p
n+
p+
n
n
p+
138
p
n
p-
136P

圖18s. 3

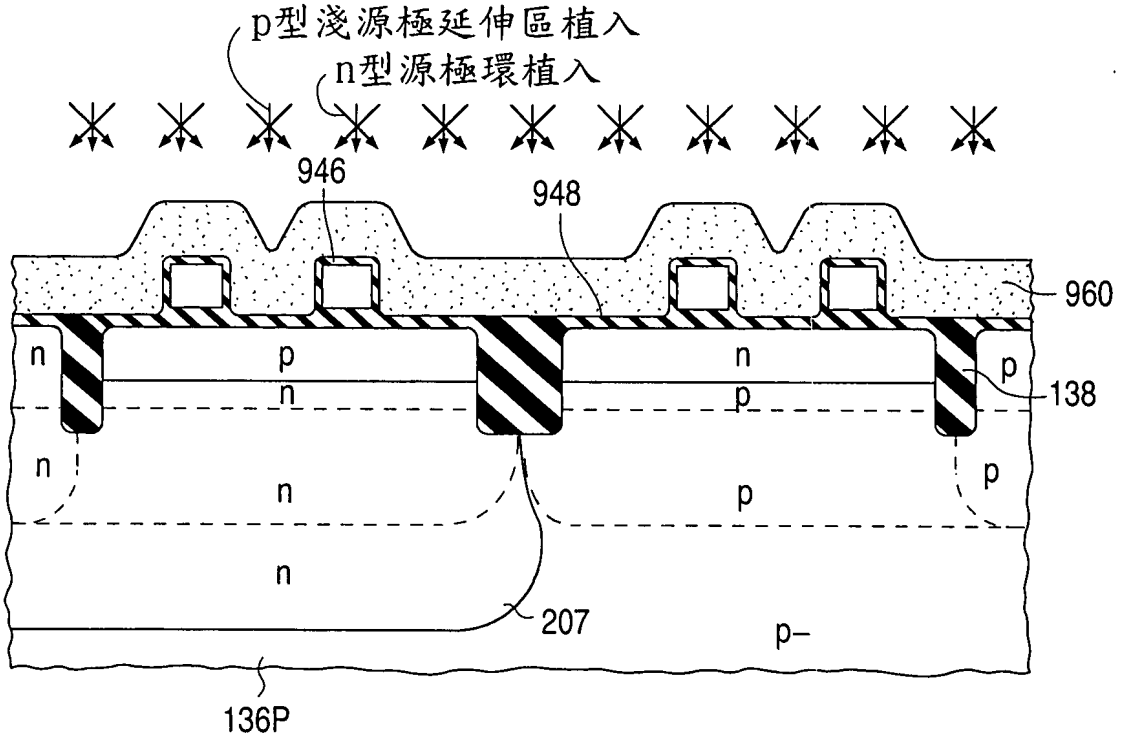

p型淺源極延伸區植入
n型源極環植入
946
948
960
n
p
n
p
138
n
n
p
p
n
207
p−
136P

圖18t.0

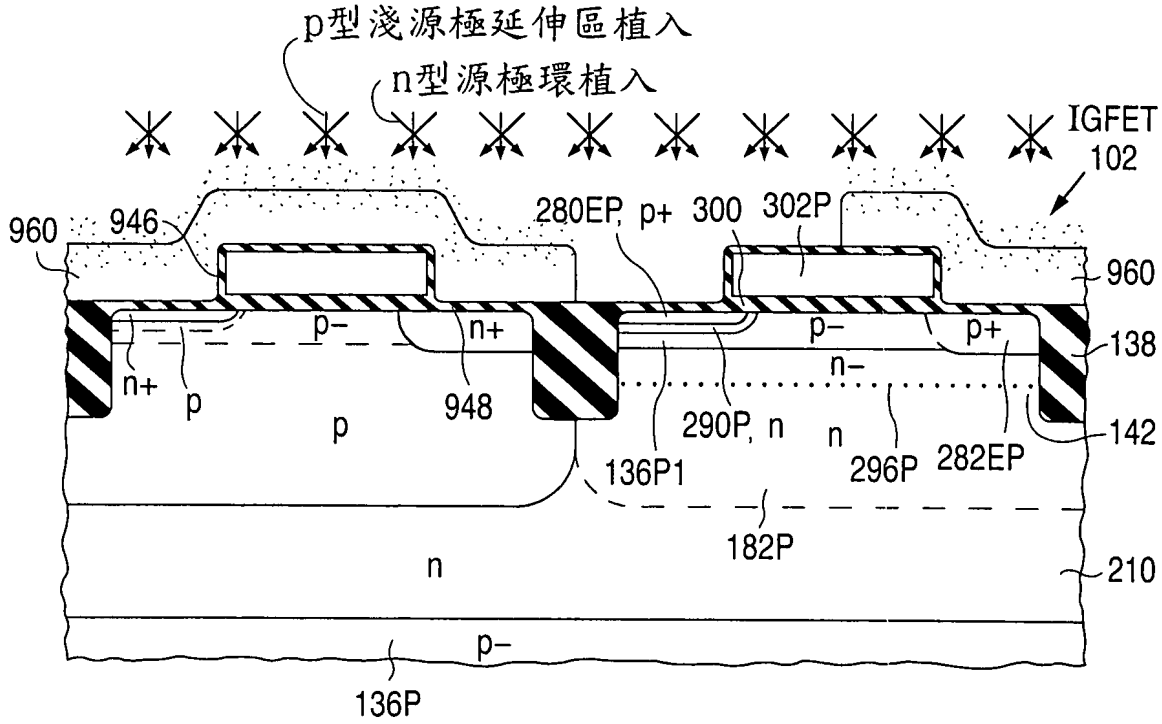

p型淺源極延伸區植入
n型源極環植入
IGFET
102
960
946
280EP
p+
300
302P
960
p−
n+
p−
p+
138
n+
p
948
n−
p
290P
n
n
296P
282EP
142
136P1
182P
n
210
p−
136P

圖18t.1

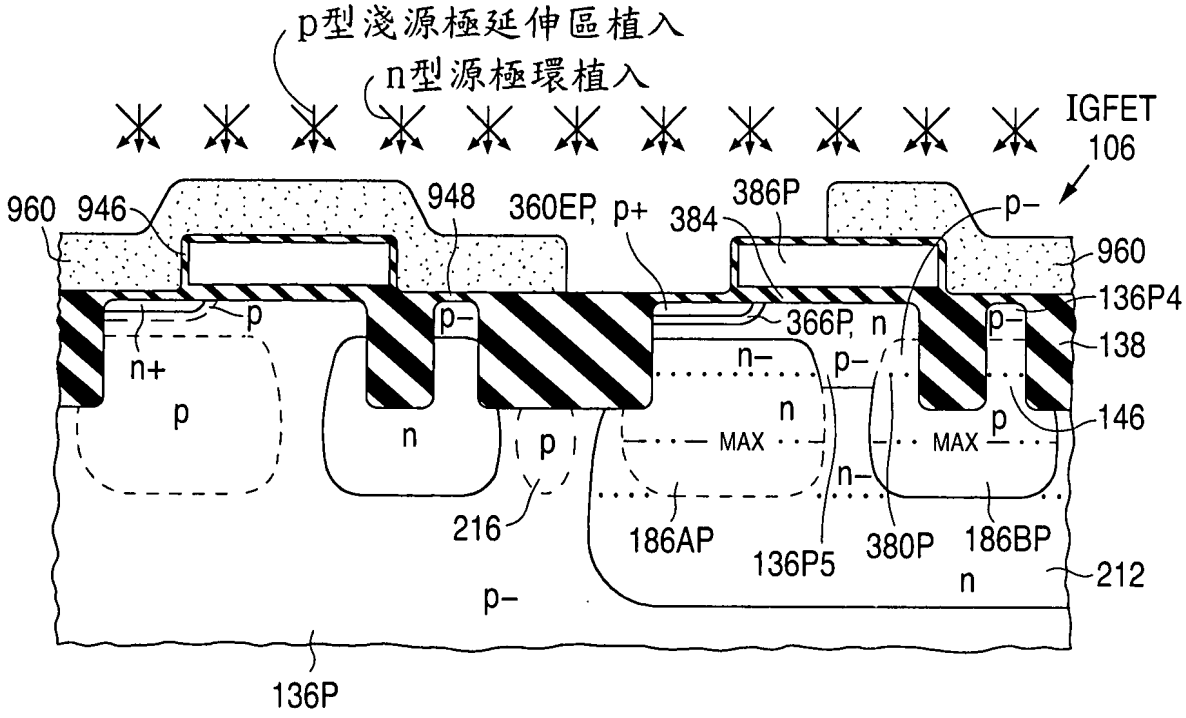

p型淺源極延伸區植入
n型源極環植入
IGFET
106
960
946
948
360EP
p+
384
386P
p−
960
136P4
138
146
212
366P
n
n−
p−
p
n+
MAX
216
186AP
136P5
380P
186BP
136P

圖18t. 2

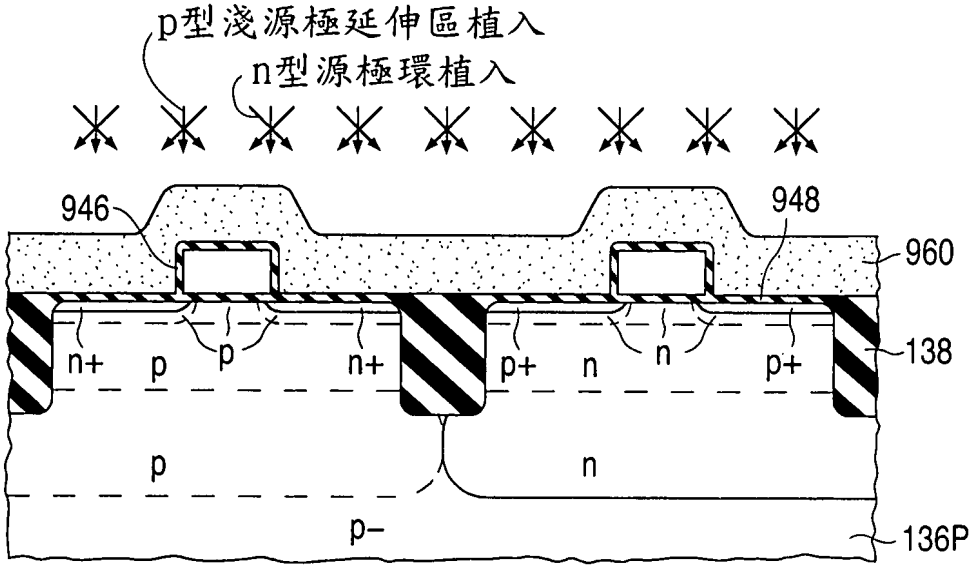

p型淺源極延伸區植入
n型源極環植入
946
948
960
138
n+
p
n+
p+
n
p+
136P

圖18t. 3

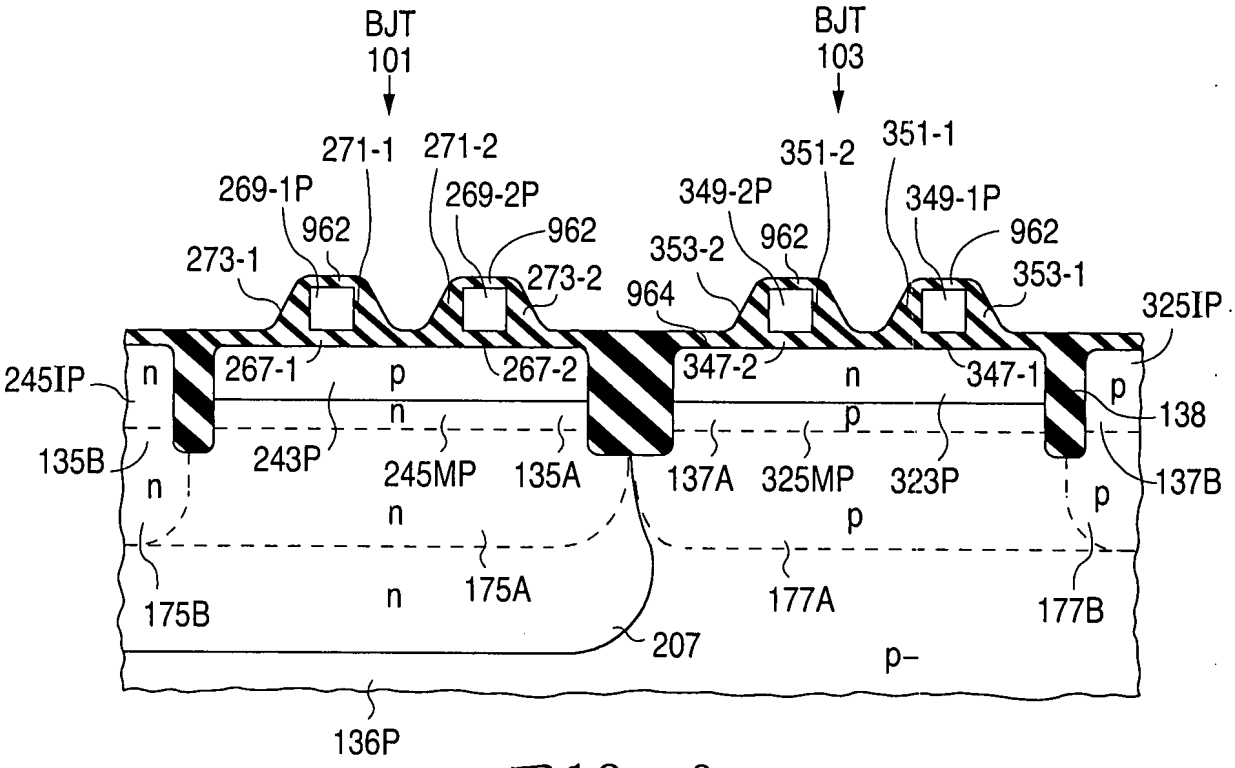

BJT
101
BJT
103
271-1
271-2
351-1
351-2
269-1P
962
269-2P
962
349-2P
962
349-1P
962
273-1
273-2
353-2
353-1
964
325IP
245IP
n
267-1
p
267-2
347-2
n
347-1
p
138
135B
n
243P
245MP
135A
137A
325MP
323P
137B
n
p
175B
n
175A
177A
177B
207
p–
136P

圖18u. 0

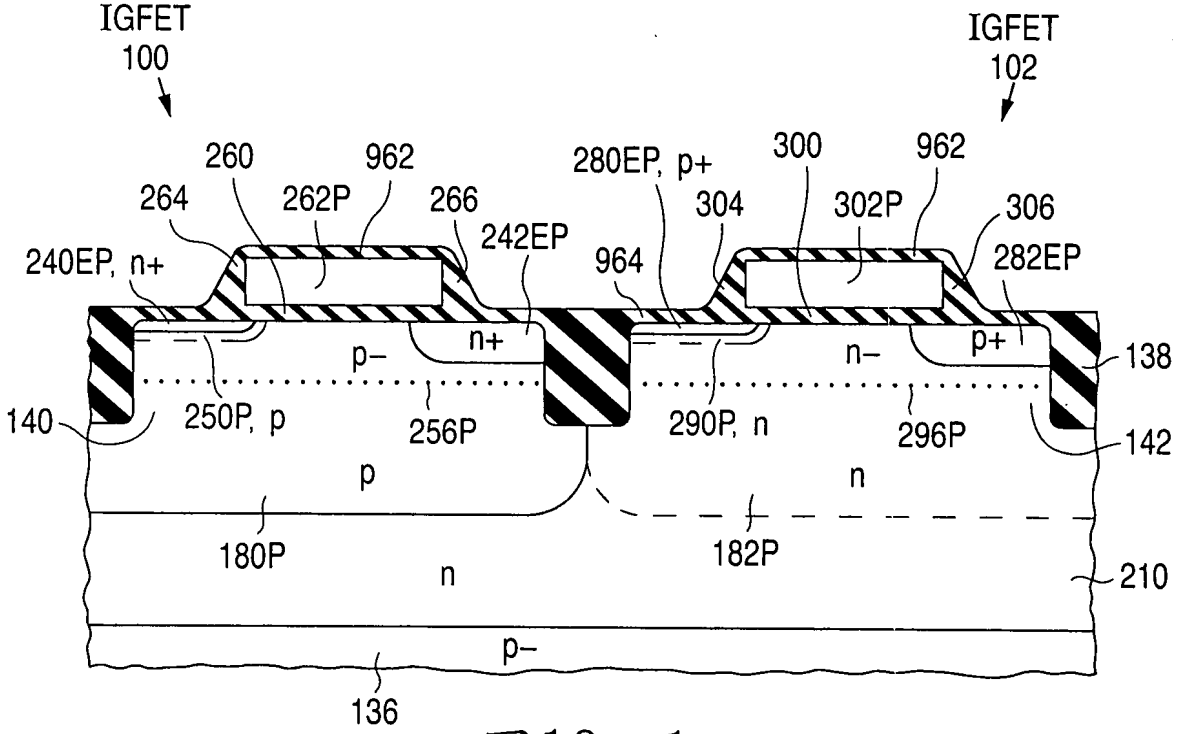

IGFET
100
IGFET
102
260
962
280EP, p+
300
962
264
262P
266
242EP
304
302P
306
240EP, n+
964
282EP
p–
n+
n–
p+
138
140
250P, p
256P
290P, n
296P
142
p
n
180P
182P
n
210
p–
136

圖18u. 1

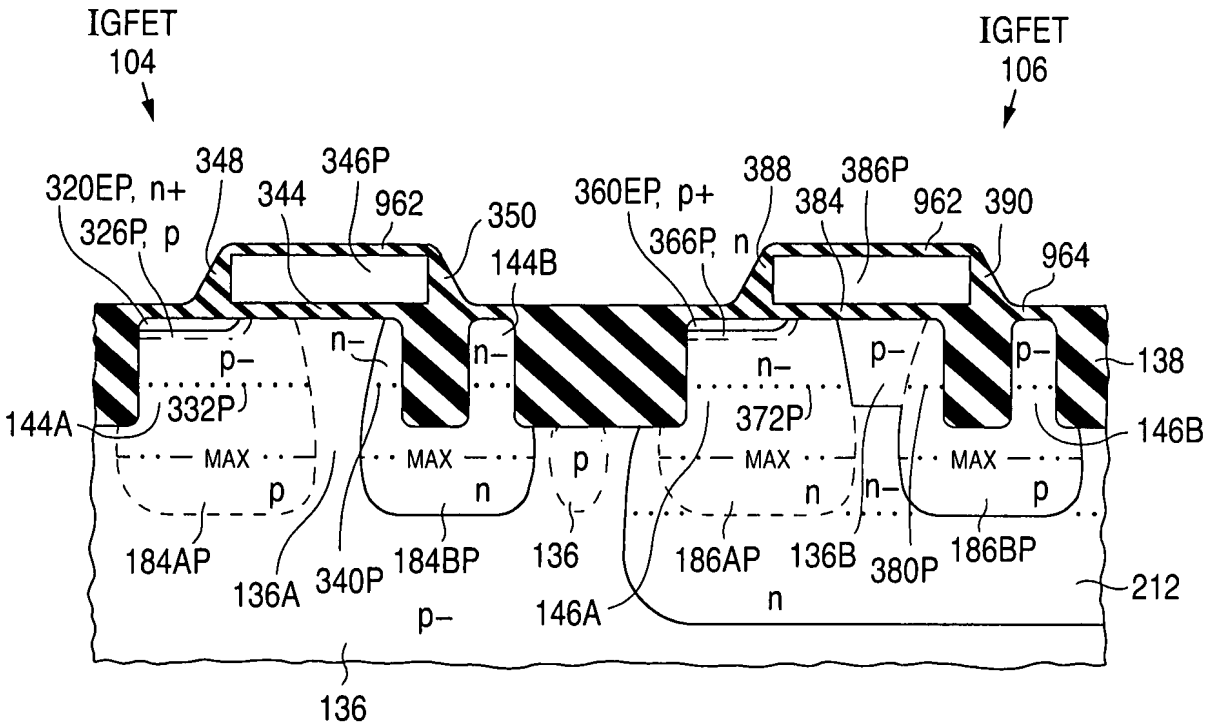

IGFET
104
IGFET
106
320EP, n+
326P, p
348
344
346P
962
350
144B
360EP, p+
366P, n
388
384
386P
962
390
964
138
146B
144A
332P
372P
MAX
p
n
p–
n–
184AP
136A
340P
184BP
136
146A
186AP
136B
380P
186BP
212
136

圖18u. 2

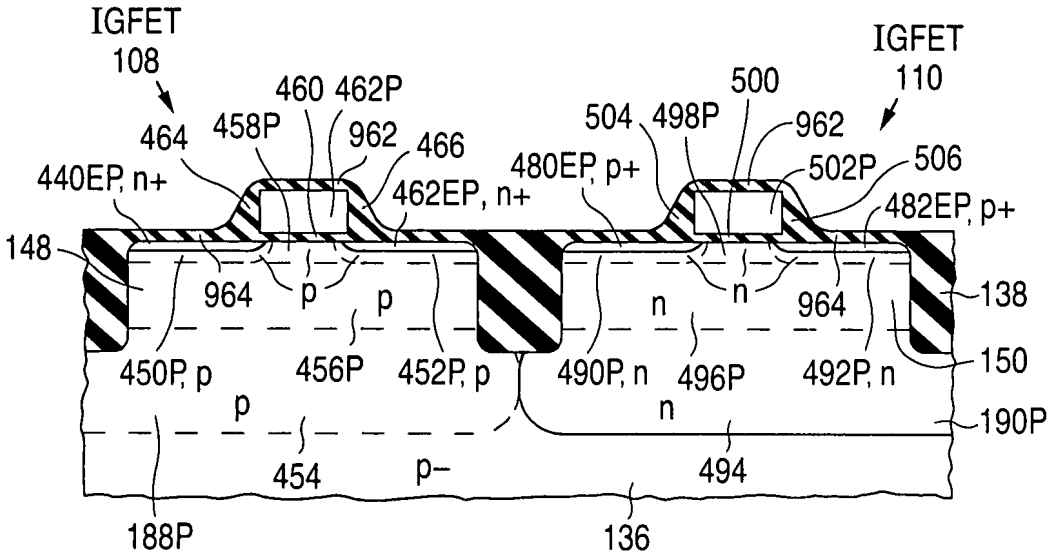

IGFET
108
IGFET
110
440EP, n+
464
458P
460
462P
962
466
462EP, n+
480EP, p+
504
498P
500
962
502P
506
482EP, p+
148
964
138
150
190P
450P, p
456P
452P, p
490P, n
496P
492P, n
454
494
188P
136

圖18u. 3

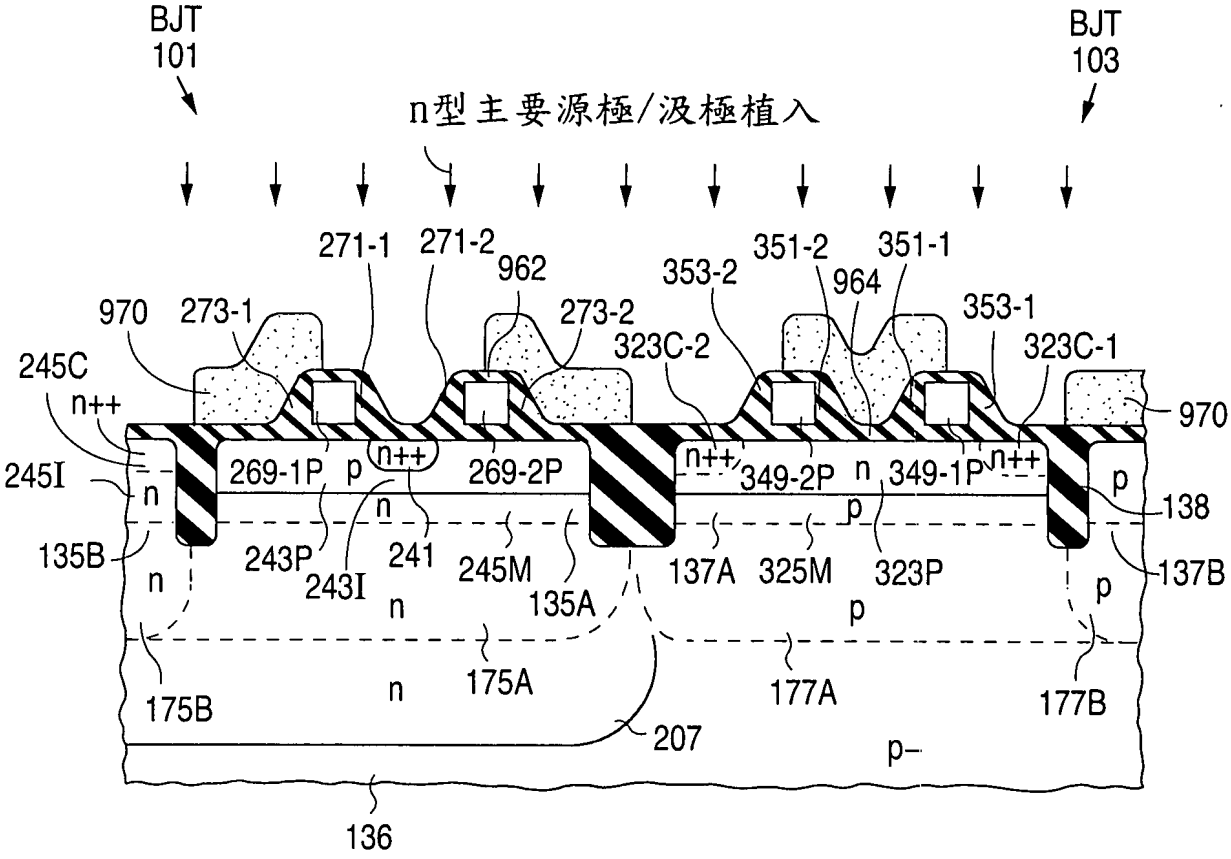

BJT
101
BJT
103
n型主要源極/汲極植入
271-1
271-2
962
353-2
351-2
351-1
964
970
273-1
273-2
353-1
323C-2
323C-1
245C
n++
970
245I
269-1P
p
n++
269-2P
n++
349-2P
n
349-1P
n++
p
138
n
n
p
135B
243P
243I
241
245M
137A
325M
323P
137B
n
135A
p
n
p
175A
177A
175B
177B
207
p–
136

圖18v. 0

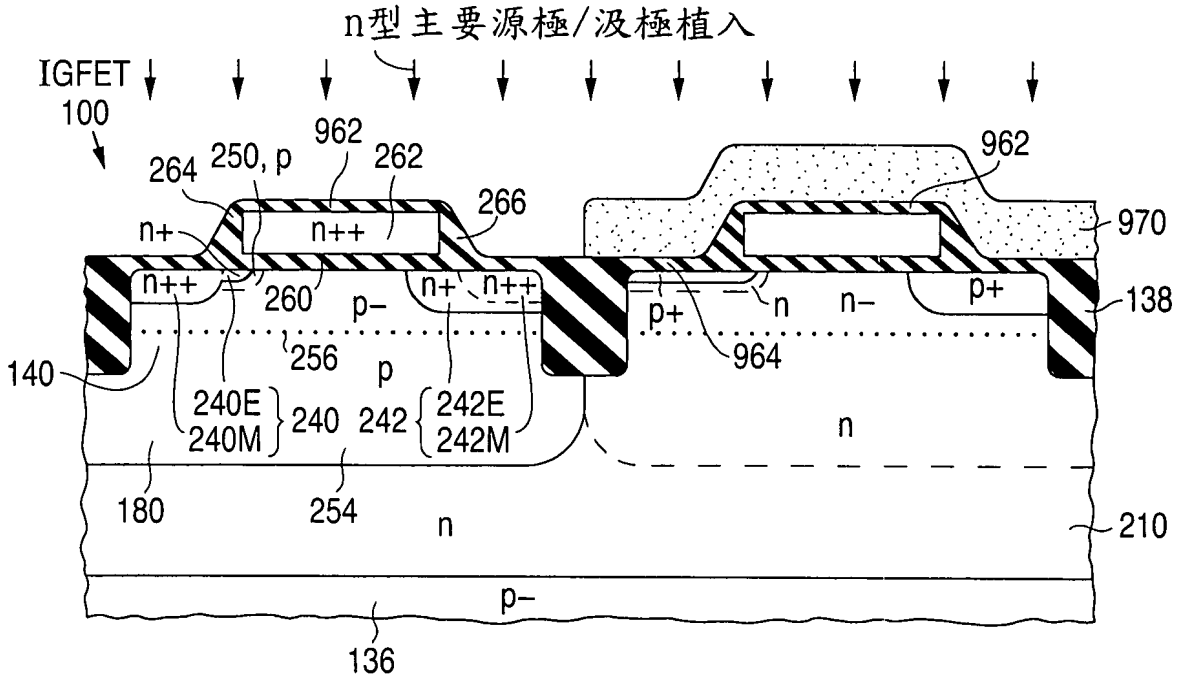

n型主要源極/汲極植入
IGFET
100
962
962
264
250, p
262
266
970
n+
n++
n++
n++
260
p–
n+
n++
p+
n
n–
p+
138
256
964
140
p
240E
240M
240
242
242E
242M
n
180
254
n
210
p–
136

圖18v. 1

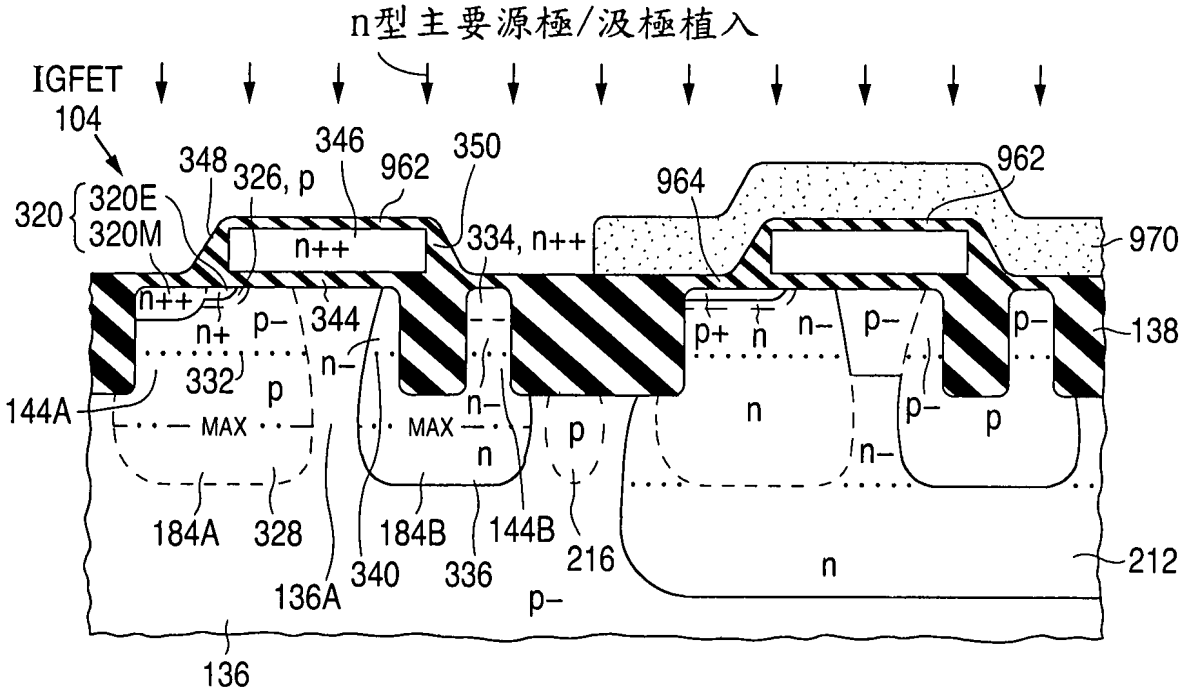

n型主要源極/汲極植入
IGFET
104
348
326, p
346
962
350
964
962
320
320E
320M
n++
334, n++
970
n++
n+
p−
344
p+
n
n−
p−
p−
138
332
p
n−
144A
MAX
MAX
n−
p
n
p−
p
n
184A
328
184B
144B
216
212
136A
340
336
p−
n
136

圖18v. 2

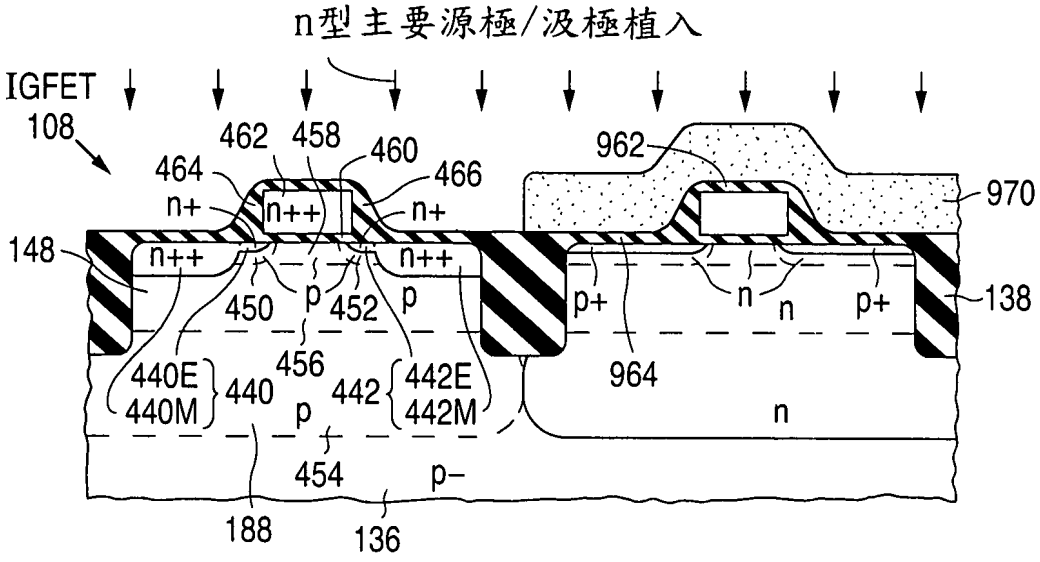

n型主要源極/汲極植入
IGFET
108
462
458
460
962
464
466
970
n+
n++
n+
148
n++
n++
p+
n
n
p+
138
450
p
452
p
456
964
440E
440M
440
442
442E
442M
p
n
454
p−
188
136

圖18v. 3

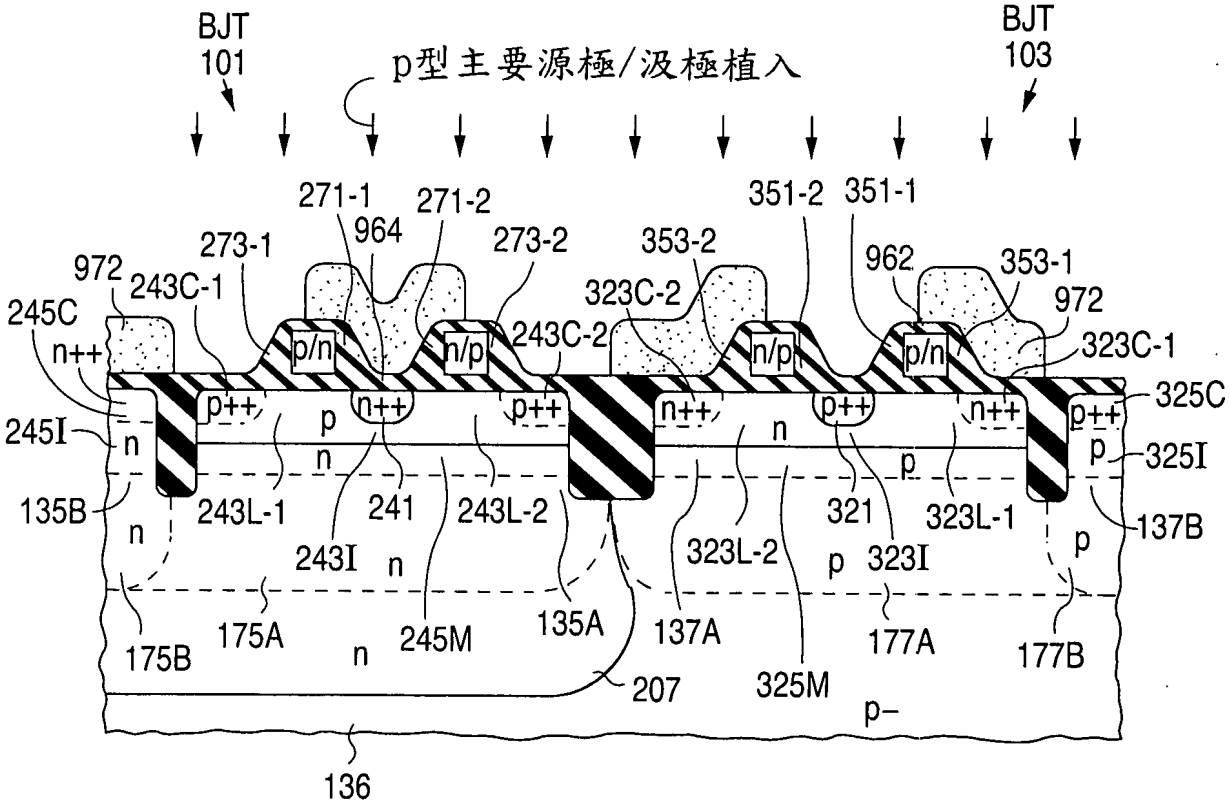

BJT
101
p型主要源極/汲極植入
BJT
103
271-1
964
271-2
351-2
351-1
273-1
273-2
353-2
962
353-1
972
243C-1
323C-2
972
245C
243C-2
323C-1
n++
p/n
n/p
n/p
p/n
325C
p++
n++
p++
n++
p++
n++
p++
245I
n
p
n
n
p
p
325I
135B
243L-1
241
243L-2
321
323L-1
137B
n
243I
n
323L-2
p
323I
p
175B
175A
n
245M
135A
137A
177A
177B
207
325M
p−
136

圖18w. 0

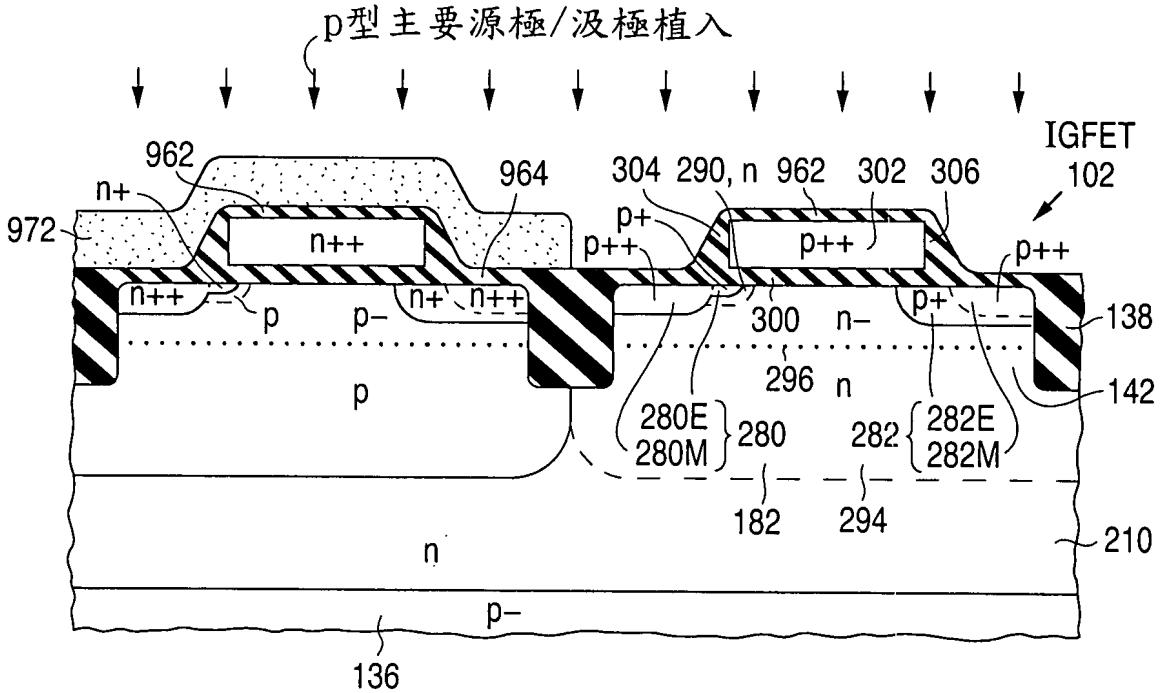

p型主要源極/汲極植入
IGFET
102
962
964
304
290, n
962
302
306
n+
p+
972
n++
p++
p++
p++
p++
n++
n++
p
p−
n+
n++
300
n−
p+
138
p
296
n
142
280E
280M
280
282
282E
282M
182
294
210
n
p−
136

圖18w. 1

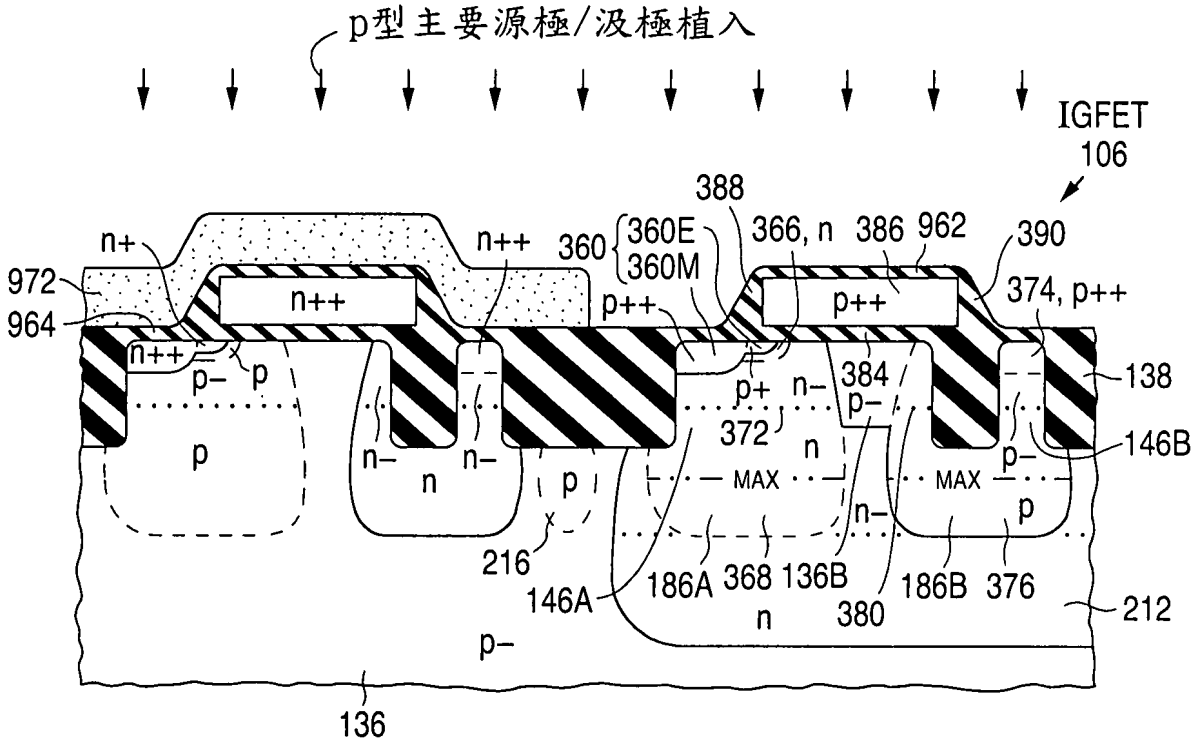

p型主要源極/汲極植入
IGFET
106
388
n+
n++
360
360E
360M
366, n
386
962
390
972
964
n++
p++
p++
374, p++
n++
p–
p
384
138
p+
n–
p–
372
n
146B
p
n–
n
n–
p
MAX
MAX
p–
n–
p
216
146A
186A
368
136B
186B
376
212
380
n
p–
136

圖18w. 2

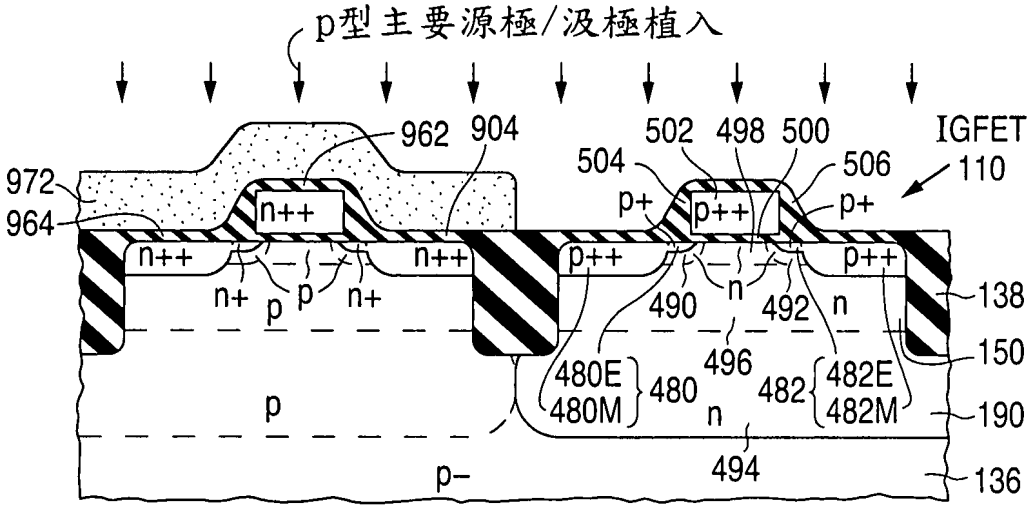

p型主要源極/汲極植入
962
904
502
498
500
IGFET
110
504
506
972
964
n++
p+
p++
p+
n++
n++
p++
p++
n+
p
p
n+
490
n
492
n
138
150
480E
480M
480
496
482
482E
482M
190
p
n
p–
494
136

圖18w. 3

四、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明:

100：非對稱高電壓 n 通道 IGFET

101：垂直 npn BJT

102：非對稱高電壓 p 通道 IGFET

103：垂直 pnp BJT

104：非對稱延伸型汲極 n 通道 IGFET

106：非對稱延伸型汲極 p 通道 IGFET

108：對稱低電壓低漏電高 V_T n 通道 IGFET

110：對稱低電壓低漏電高 V_T p 通道 IGFET

112：對稱低電壓低 V_T n 通道 IGFET

114：對稱低電壓低 V_T p 通道 IGFET

116：對稱高電壓標稱 V_T n 通道 IGFET

118：對稱高電壓標稱 V_T p 通道 IGFET

120：對稱低電壓標稱 V_T n 通道 IGFET

122：對稱低電壓標稱 V_T p 通道 IGFET

124：對稱高電壓低 V_T n 通道 IGFET

126：對稱高電壓低 V_T p 通道 IGFET

128,130：對稱低電壓原生 n 通道 IGFET

132,134：對稱高電壓原生 n 通道 IGFET

135A,135B,137A,137B,140,142,144A,144B,146A,146B,

148,150,152,154,156,158,160,162,164,166,168,170,172,

174：主動式半導體島

136：p-基板區

136A,136B：p-基板區的表面鄰接部

138：場絕緣區

138A,138B：部分場絕緣區

175A,175B：淺 n 集極井區

177A,177B：淺 p 集極井區

180,184A,192,204：p 型 IGFET 空主要井區

182,186A,194,206：n 型 IGFET 空主要井區

184B：n 型空井汲極(n 型 IGFET 空主要井區)

186B：p 型空井汲極材料(p 型 IGFET 空主要井區)

188,196,200：p 型 IGFET 滿主要井區

190,198,202：n 型 IGFET 滿主要井區

207：深 n 集極井

210,212：深 n 井區

216：隔離 p 井區

217,220,222,224,230,232,234,236,238：隔離 pn 接面

226,228：汲極-主體 pn 接面

240：n 型源極

240E：n+橫向源極延伸區

240M：n++主要源極部

241：n++射極

242：n 型汲極

242E：n+橫向汲極延伸區

242M：n++主要汲極部

243C-1,243C-2：p++基極接點部

243I：p型本質基極部

243L-1,243L-2：p型基極鏈部

243R-1,243R-2：p剩餘基極部

244：p型通道區帶

245C：n++集極接點部

245I：n中間集極部

245L：n橫向集極部

245M：n主要集極部

246：源極-主體pn接面

248：汲極-主體pn接面

250：p環袋部

251,253-1,253-2,255：金屬矽化物層

254：p型主要主體材料部

256：p型主要主體材料部中p型摻雜物濃度在中度和輕度間的轉變位置

260：閘極介電層

262：閘極電極

264,266：介電閘極側壁間隔部

265-1,265-2：間隔結構

267-1,267-2：隔離介電層

268,270,272：金屬矽化物層

269-1,269-2：橫向間隔部

271-1,271-2：射極側隔離介電間隔部

273-1,273-2：基極接點側隔離介電間隔部

279-1,279-2：金屬矽化物層

280：p型源極

280E：p+橫向源極延伸區

280M：p++主要源極部

282：p型汲極

282E：p+橫向汲極延伸區

282M：p++主要汲極部

284：n型通道區帶

286：源極-主體pn接面

288：汲極-主體pn接面

290：n環袋部

294：n型主要主體材料部

296：n型主要主體材料部中n型摻雜物濃度在中度和輕度間的轉變位置

300：閘極介電層

302：閘極電極

304,306：介電閘極側壁間隔部

308,310,312：金屬矽化物層

320：n型源極

320E：n+橫向源極延伸區

320M：n++主要源極部

321：p++射極

322：p型通道區帶

323C-1,323C-2：n++基極接點部

323I：n型本質基極部

323L-1,323L-2：n型基極鏈部

323R-1,323R-2：n剩餘基極部

324：源極-主體pn接面

325C：p++集極接點部

325I：p中間集極部

325L：p橫向集極部

325M：p主要集極部

326：p環袋部

328：p型空井主體材料部

331,333-1,333-2,335：金屬矽化物層

334：n++汲極接點部/主要汲極部

336：n型空井汲極部

344：閘極介電層

345-1,345-2：間隔結構

346：閘極電極

347-1,347-2：隔離介電層

348,350：介電閘極側壁間隔部

349-1,349-2：橫向間隔部

351-1,351-2：射極側隔離介電間隔部

352,354,356：金屬矽化物層

353-1,353-2：基極接點側隔離介電間隔部

359-1,359-2：金屬矽化物層

360：p 型源極

360E：p+橫向源極延伸區

360M：p++主要源極部

362：n 型通道區帶

364：源極-主體 pn 接面

366：n 環袋部

368：n 型空井主體材料部

374：p++汲極接點部/主要汲極部

376：p 型空井汲極部

384：閘極介電層

386：閘極電極

388,390：介電閘極側壁間隔部

392,394,396：金屬矽化物層

440,442：n 型 S/D 區帶

440E,442E：n+橫向 S/D 延伸區

440M,442M：n++主要 S/D 部

444：p 型通道區帶

446,448：S/D-主體 pn 接面

450,452：p 環袋部

454：p 主要主體材料部

456：p 中間主體材料部

458：p 上方主體材料部

460：閘極介電層

462：閘極電極

464,466：介電閘極側壁間隔部

468,470,472：金屬矽化物層

480,482：p型S/D區帶

480E,482E：p+橫向S/D延伸區

480M,482M：p++主要S/D部

484：n型通道區帶

486,488：S/D-主體pn接面

490,492：n環袋部

494：n主要主體材料部

496：n中間主體材料部

498：n上方主體材料部

500：閘極介電層

502：閘極電極

504,506：介電閘極側壁間隔部

508,510,512：金屬矽化物層

520,522：n型S/D區帶

520E,522E：n+橫向S/D延伸區

520M,522M：n++主要S/D部

524：p型通道區帶

526,528：S/D-主體pn接面：

530：p型空主要井區中p型摻雜物濃度在中度和輕度間的轉變位置

536：閘極介電層

538：閘極電極

540,542：介電閘極側壁間隔部

544,546,548：金屬矽化物層

550,552：p型S/D區帶

550E,552E：p+橫向S/D延伸區

550M,552M：p++主要S/D部

554：n型通道區帶

556,558：S/D-主體pn接面

560：n型空主要井區中n型摻雜物濃度在中度和輕度間的轉變位置

566：閘極介電層

568：閘極電極

570,572：介電閘極側壁間隔部

574,576,578：金屬矽化物層

580,582：n型S/D區帶

580E,582E：n+橫向S/D延伸區

580M,582M：n++主要S/D部

584：p型通道區帶

586,588：S/D-主體pn接面

590：p主要主體材料部

592：p中間主體材料部

594：p上方主體材料部

596：閘極介電層

598：閘極電極

600,602：介電閘極側壁間隔部

604,606,608：金屬矽化物層

610,612：p型S/D區帶

610E,612E：p+橫向S/D延伸區

610M,612M：p++主要S/D部

614：n型通道區帶

616,618：S/D-主體pn接面

620：n主要主體材料部

622：n中間主體材料部

624：n上方主體材料部

626：閘極介電層

628：閘極電極

630,632：介電閘極側壁間隔部

634,636,638：金屬矽化物層

640,642：n型S/D區帶

640E,642E：n+橫向S/D延伸區

640M,642M：n++主要S/D部

644：p型通道區帶

646,648：S/D-主體pn接面

650,652：p環袋部

654：p主要主體材料部

656：p另一主體材料部

660：閘極介電層

662：閘極電極

664,666：介電閘極側壁間隔部

668,670,672：金屬矽化物層

680,682：p型S/D區帶

680E,682E：p+橫向S/D延伸區

680M,682M：p++主要S/D部

684：n型通道區帶

686,688：S/D-主體pn接面

690,692：n環袋部

694：n主要主體材料部

696：n另一主體材料部

700：閘極介電層

702：閘極電極

704,706：介電閘極側壁間隔部

708,710,712：金屬矽化物層

720,722：n型S/D區帶

720E,722E：n+橫向S/D延伸區

720M,722M：n++主要S/D部

724：p型通道區帶

726,728：S/D-主體pn接面

730：p型空主要井區中p型摻雜物濃度在中度和輕度間的轉變位置

736：閘極介電層

738：閘極電極

740,742：介電閘極側壁間隔部

744,746,748：金屬矽化物層

750,752：p 型 S/D 區帶

750E,752E：p+橫向 S/D 延伸區

750M,752M：p++主要 S/D 部

754：n 型通道區帶

756,758：S/D-主體 pn 接面

760：n 型空主要井區中 n 型摻雜物濃度在中度和輕度間的轉變位置

766：閘極介電層

768：閘極電極

770,772：介電閘極側壁間隔部

774,776,778：金屬矽化物層

780,782：n 型 S/D 區帶

780E,782E：n+橫向 S/D 延伸區

780M,782M：n++主要 S/D 部

784：p 型通道區帶

786,788：S/D-主體 pn 接面

790,792：p 環袋部

796：閘極介電層

798：閘極電極

800,802：介電閘極側壁間隔部

804,806,808：金屬矽化物層

810,812：n 型 S/D 區帶

810E,812E：n+橫向 S/D 延伸區

810M,812M：n++主要 S/D 部

814：p 型通道區帶

816,818：S/D-主體 pn 接面

826：閘極介電層

828：閘極電極

830,832：介電閘極側壁間隔部

834,836,838：金屬矽化物層

840,842：n 型 S/D 區帶

840E,842E：n+橫向 S/D 延伸區

840M,842M：n++主要 S/D 部

844：p 型通道區帶

846,848：S/D-主體 pn 接面

850,852：p 環袋部

856：閘極介電層

858：閘極電極

860,862：介電閘極側壁間隔部

864,866,868：金屬矽化物層

870,872：n 型 S/D 區帶

870E,872E：n+橫向 S/D 延伸區

870M,872M：n++主要 S/D 部

874：p 型通道區帶

876,878：S/D-主體 pn 接面

886：閘極介電層

888：閘極電極

890,892：介電閘極側壁間隔部

894,896,898：金屬矽化物層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無