(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102184969 B
(45)授权公告日 2014.06.25

(21)申请号 201110111609.2
(22)申请日 2008.07.17
(30)优先权数据
2007-190219 2007.07.20 JP
(62)分案原申请数据
200810133995.3 2008.07.17
(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县
(72)发明人 山崎舜平
(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 茅翊忞
(51)Int.Cl.
H01L 29/786(2006.01)
H01L 29/49(2006.01)
H01L 27/12(2006.01)
(56)对比文件
CN 1620215 A,2005.05.25,
CN 1655039 A,2005.08.17,
TW 376588 A,1999.12.11,
US 2005164423 A1,2005.07.28,
US 6271062 B1,2001.08.07,
审查员 张弘

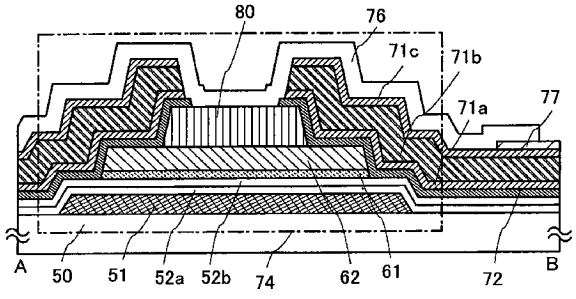
权利要求书2页 说明书22页 附图27页

(54)发明名称

薄膜晶体管

(57)摘要

本发明的目的在于提供具有电特性高且可靠性高的薄膜晶体管的半导体装置。在具有沟道截止型的反交错型薄膜晶体管的半导体装置中，该沟道截止型的反交错型薄膜晶体管包括：栅电极；栅电极上的栅极绝缘膜；栅极绝缘膜上的包括沟道形成区域的微晶半导体膜；微晶半导体膜上的缓冲层；与微晶半导体膜的沟道形成区域重叠地形成在缓冲层上的沟道保护层。



CN 102184969 B

1. 一种薄膜晶体管，包括：

栅电极；

形成在所述栅电极上的栅极绝缘膜；

形成在所述栅极绝缘膜上的包括沟道形成区域的微晶半导体膜；

形成在所述微晶半导体膜上的缓冲层；

形成在所述缓冲层上以与所述微晶半导体膜的所述沟道形成区域重叠的沟道保护层；

形成在所述沟道保护层上的源区及漏区；以及

形成在所述源区及所述漏区上的源电极及漏电极，

绝缘膜形成在所述沟道保护层、所述源电极及所述漏电极上，

其中，形成为与所述栅电极重叠的所述微晶半导体膜的端部比所述栅电极的端部靠内侧。

2. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述缓冲层由非晶半导体膜形成。

3. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述缓冲层由包含氮的非晶半导体膜形成。

4. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述缓冲层由包含氢的非晶半导体膜形成。

5. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述缓冲层由包含氟、氯、溴或碘的非晶半导体膜形成。

6. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述缓冲层由以大于或等于 $1\times10^{20}atoms/cm^3$ 和小于或等于 $15\times10^{20}atoms/cm^3$ 的总浓度包含氮、碳及氧的非晶半导体膜形成。

7. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述源区及所述漏区形成在所述缓冲层上。

8. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述源区及所述漏区超出所述源电极及所述漏电极的边缘，

并且，彼此相对的所述源区及所述漏区的边缘之间的距离比彼此相对的所述源电极及所述漏电极的边缘之间的距离短。

9. 根据权利要求 1 所述的薄膜晶体管，其特征在于，所述缓冲层具有在 10nm 至 50nm 的范围内的厚度。

10. 一种薄膜晶体管，包括：

栅电极；

形成在所述栅电极上的栅极绝缘膜；

形成在所述栅极绝缘膜上的包括沟道形成区域的微晶半导体膜；

形成在所述微晶半导体膜上的缓冲层；

形成在所述缓冲层上以与所述微晶半导体膜的所述沟道形成区域重叠的沟道保护层；

形成在所述沟道保护层上的源区及漏区；

形成在所述源区及所述漏区上的源电极及漏电极；以及

形成在所述沟道保护层、所述源电极及所述漏电极上的绝缘膜，

其中，所述源区及所述漏区超出所述源电极及所述漏电极的边缘，并且

其中，彼此相对的所述源区及所述漏区的边缘之间的距离比彼此相对的所述源电极及所述漏电极的边缘之间的距离短。

11. 根据权利要求 10 所述的薄膜晶体管，其特征在于，所述缓冲层由非晶半导体膜形成。

12. 根据权利要求 10 所述的薄膜晶体管，其特征在于，所述缓冲层由包含氮的非晶半导体膜形成。

13. 根据权利要求 10 所述的薄膜晶体管，其特征在于，所述缓冲层由包含氢的非晶半导体膜形成。

14. 根据权利要求 10 所述的薄膜晶体管，其特征在于，所述缓冲层由包含氟、氯、溴或碘的非晶半导体膜形成。

15. 根据权利要求 10 所述的薄膜晶体管，其特征在于，所述缓冲层由以大于或等于 $1\times10^{20}atoms/cm^3$ 和小于或等于 $15\times10^{20}atoms/cm^3$ 的总浓度包含氮、碳及氧的非晶半导体膜形成。

16. 根据权利要求 10 所述的薄膜晶体管，其特征在于，所述源区及所述漏区形成在所述缓冲层上。

17. 根据权利要求 10 所述的薄膜晶体管，其特征在于，所述缓冲层具有在 10nm 至 50nm 的范围内的厚度。

薄膜晶体管

技术领域

[0001] 本发明涉及一种将薄膜晶体管至少用于像素部的液晶显示装置。

背景技术

[0002] 近年来，使用形成于具有绝缘表面的衬底上的半导体薄膜(厚度为几 nm 至几百 nm 左右)构成薄膜晶体管的技术正在受到关注。薄膜晶体管在如 IC 和电光学装置的电子装置中获得了广泛应用，特别地，正在加快开发作为图像显示装置的开关元件的薄膜晶体管。

[0003] 将使用非晶半导体膜的薄膜晶体管、使用多晶半导体膜的薄膜晶体管等用作图像显示装置的开关元件。作为多晶半导体膜的形成方法，已知如下技术，即通过光学系统将脉冲振荡的受激准分子激光束加工成线形，将线形光束对非晶半导体膜照射并扫描，以使非晶半导体膜结晶化。

[0004] 另外，将使用微晶半导体膜的薄膜晶体管用作图像显示装置的开关元件(参照专利文献 1 及专利文献 2)。

[0005] 作为制造薄膜晶体管的常规方法，已知如下方法 ：在将非晶硅膜形成在栅极绝缘膜上之后，在其上面形成金属膜，对该金属膜照射二极管激光，以将非晶硅膜改变为微晶硅膜(例如，参照非专利文献 1)。在该方法中，形成在非晶硅膜上的金属膜是将二极管激光的光能转换为热能而提供的，必须在完成薄膜晶体管之后去除该金属膜。换言之，该方法是非晶半导体膜只受到来自金属膜的传导加热而被加热，以形成微晶半导体膜的方法。

[0006] [专利文献 1] 日本专利申请特开 Hei4-242724 号公报

[0007] [专利文献 2] 日本专利申请特开 2005-49832 号公报

[0008] [非专利文献 1]Toshiaki Arai 和其他，SID07DIGEST，2007，p. 1370-1373

[0009] 使用多晶半导体膜的薄膜晶体管具有如下优点 ：与使用非晶半导体膜的薄膜晶体管相比，其迁移率高 2 位数以上，并且可以在同一个衬底上集成地形成显示装置的像素部和其外围驱动电路。然而，与使用非晶半导体膜的情况相比，因为半导体膜的结晶化，制造工序变复杂，因而有降低成品率并提高成本的问题。

发明内容

[0010] 鉴于上述问题，本发明的目的之一在于提供一种包括电特性良好且可靠性高的薄膜晶体管的液晶显示装置。

[0011] 一种包括反交错型薄膜晶体管的液晶显示装置，所述反交错型薄膜晶体管具有将微晶半导体膜用作沟道形成区域的沟道截止结构，其中在反交错型薄膜晶体管中，在栅电极上形成栅极绝缘膜，在栅极绝缘膜上形成用作沟道形成区域的微晶半导体膜(也称为半晶半导体膜)，在微晶半导体膜上形成缓冲层，与微晶半导体膜的沟道形成区域重叠的区域地形成在缓冲层上的沟道保护层，在沟道保护层及缓冲层上形成一对源区及漏区，并且形成与源区及漏区接触的一对源电极及漏电极。

[0012] 由于具有中间夹缓冲层在微晶半导体膜的沟道形成区域上提供沟道保护层(也简

单地称为保护层）的结构，因此可以防止在进行工序时微晶半导体膜的沟道形成区域上的缓冲层受到损伤（受到当蚀刻时使用的等离子体或蚀刻剂的影响而导致的膜厚度的降低和氧化等）。由此，可以提高薄膜晶体管的可靠性。另外，由于微晶半导体膜的沟道形成区域上的缓冲层不被蚀刻，所以不需要将缓冲层的厚度形成为厚，而可以缩短成膜时间。另外，沟道保护层在形成源区及漏区的蚀刻工序中起到停止蚀刻的作用，从而也可以称为沟道停止层。

[0013] 作为缓冲层使用非晶半导体膜，优选使用包含氮、氢和卤素中的任一种以上的非晶半导体膜。通过在非晶半导体膜中包含氮、氢和卤素中的任一种，可以抑制包含在微晶半导体膜中的结晶被氧化。微晶半导体膜的能隙为 1.1eV 至 1.5eV，缓冲层的能隙比微晶半导体膜的大，其为 1.6eV 至 1.8eV，并且缓冲层的迁移率低。缓冲层的迁移率典型为微晶半导体膜的迁移率的 1/5 至 1/10。由此，沟道形成区域为微晶半导体膜，缓冲层为高电阻区域。另外，将包含在微晶半导体膜中的碳、氮、氧各个的浓度设定为 3×10^{19}atoms/cm^3 以下，优选为 5×10^{18}atoms/cm^3 以下。将微晶半导体膜的厚度设定为 2nm 至 50nm（优选为 10nm 至 30nm）即可。

[0014] 缓冲层可以通过等离子体 CVD 法、溅射法等来形成。另外，可以在形成非晶半导体膜之后利用氮等离子体、氢等离子体或卤素等离子体对非晶半导体膜的表面进行处理来使非晶半导体膜的表面氮化、氢化或卤化。

[0015] 由于通过在微晶半导体膜的表面提供缓冲层，可以抑制包含在微晶半导体膜中的晶粒被氧化，因此可以抑制薄膜晶体管的电特性的退化。

[0016] 与多晶半导体膜不同，微晶半导体膜可以直接形成在衬底上。具体而言，可以以氢化硅为原料气体并使用频率为 1GHz 以上的微波等离子体 CVD 装置来形成微晶半导体膜。通过使用上述方法制造的微晶半导体膜也包括在非晶半导体中包含 0.5nm 至 20nm 的晶粒的微晶半导体膜。由此，与使用多晶半导体膜的情况不同，形成半导体膜后不需要进行结晶化的工序。因此，可以减少制造薄膜晶体管时的工序数量，提高液晶显示装置的成品率，并且抑制成本。另外，利用频率为 1GHz 以上的微波的等离子体的电子密度高，从而容易离解作为原料气体的氢化硅。因此，与频率为几十 MHz 至几百 MHz 的微波等离子体 CVD 法相比，可以容易制造微晶半导体膜，而可以提高成膜速度。据此，可以提高液晶显示装置的批量生产性。

[0017] 另外，使用微晶半导体膜制造薄膜晶体管（TFT），将该薄膜晶体管用于像素部及驱动电路来制造液晶显示装置。使用微晶半导体膜的薄膜晶体管的迁移率为 1cm^2/V·sec 至 20cm^2/V·sec，这是使用非晶半导体膜的薄膜晶体管的 2 倍至 20 倍的迁移率，因此，可以在与像素部同一个衬底上集成地形成驱动电路的一部分或整体以形成系统型面板（system on panel）。

[0018] 栅极绝缘膜、微晶半导体膜、缓冲层、沟道保护层、以及形成源区及漏区的添加有赋予一种导电类型的杂质的半导体膜既可以使用一个反应室形成，又可以对于每个膜分别使用不同的反应室形成。

[0019] 在将衬底搬入反应室并进行成膜前，优选对反应室进行清洗处理、冲洗（洗涤）处理（使用氢作为冲洗物质的氢冲洗、使用硅烷作为冲洗物质的硅烷冲洗等）、以及使用保护膜在各个反应室的内墙上涂层的处理（也称为预涂处理）。预涂处理是这样一种处理，即通

过将成膜气体流进反应室中并进行等离子体处理，预先利用由要形成的膜构成的厚度薄的保护膜覆盖反应室内侧。借助于冲洗处理和预涂处理，可以防止要形成的膜所受到的由于反应室中的氧、氮、氟等的杂质导致的污染。

[0020] 本发明的液晶显示装置之一包括：栅电极、栅电极上的栅极绝缘膜、栅极绝缘膜上的包括沟道形成区域的微晶半导体膜、微晶半导体膜上的缓冲层、与微晶半导体膜的沟道形成区域重叠地形成在缓冲层上的沟道保护层沟道保护层及缓冲层上的源区及漏区、以及在源区及漏区上的源电极及漏电极。

[0021] 本发明的液晶显示装置之一包括：栅电极、栅电极上的栅极绝缘膜、栅极绝缘膜上的包括沟道形成区域的微晶半导体膜、微晶半导体膜上的缓冲层、与微晶半导体膜的沟道形成区域重叠地形成在缓冲层上的沟道保护层、沟道保护层及缓冲层上的源区及漏区、源区及漏区上的源电极及漏电极、以及覆盖沟道保护层的一部分和源电极及漏电极的绝缘膜。

[0022] 在上述结构中，还提供与沟道截止型薄膜晶体管的源电极或漏电极电连接的像素电极，通过像素电极使液晶元件和薄膜晶体管彼此电连接。

[0023] 另外，液晶显示装置包括显示元件。作为显示元件可以使用液晶元件(液晶显示元件)。另外，也可以利用因受电气作用而改变对比度的显示介质，诸如电子墨水等。

[0024] 另外，液晶显示装置包括液晶元件被密封的状态的面板、以及该面板安装有包括控制器的 IC 等的状态的模块。而且本发明涉及相当于在制造该液晶显示装置的工序中完成液晶元件前的一个方式的元件衬底，该元件衬底在多个像素中分别具备对液晶元件供给电流的单元。具体而言，元件衬底既可以是仅形成液晶元件的像素电极的状态，又可以是在形成成为像素电极的导电膜之后且通过蚀刻形成像素电极前的状态，无论是任何状态都可以。

[0025] 注意，本说明书中的液晶显示装置是指图像显示装置、显示装置、或光源(包括照明装置)。液晶显示装置还包括安装有连接器诸如 FPC（柔性印刷电路)、TAB（载带自动键合)胶带或 TCP（带载封装)的模块；在 TAB 胶带或 TCP 端部上提供有印刷线路板的模块；以及 IC（集成电路）通过 COG（玻璃上芯片）方式直接安装在显示元件的模块。

[0026] 通过本发明，可以制造具有电特性高且可靠性高的薄膜晶体管的液晶显示装置。

附图说明

[0027] 图 1 是说明本发明的液晶显示装置的图；

[0028] 图 2A 至 2D 是说明本发明的液晶显示装置的制造方法的图；

[0029] 图 3A 至 3C 是说明本发明的液晶显示装置的制造方法的图；

[0030] 图 4A 至 4D 是说明本发明的液晶显示装置的制造方法的图；

[0031] 图 5 是说明本发明的液晶显示装置的图；

[0032] 图 6A 至 6D 是说明本发明的液晶显示装置的制造方法的图；

[0033] 图 7A 至 7C 是示出应用本发明的电子设备的图；

[0034] 图 8 是示出应用本发明的电子设备的主要结构的框图；

[0035] 图 9A 至 9C 是说明本发明的液晶显示装置的图；

[0036] 图 10A 和 10B 是说明本发明的等离子体 CVD 装置的俯视图；

[0037] 图 11A 和 11B 是说明本发明的液晶显示装置的图；

[0038] 图 12 是说明本发明的液晶显示装置的图；

[0039] 图 13 是说明本发明的液晶显示装置的图；

[0040] 图 14 是说明本发明的液晶显示装置的图；

[0041] 图 15 是说明本发明的液晶显示装置的图；

[0042] 图 16 是说明本发明的液晶显示装置的图；

[0043] 图 17 是说明本发明的液晶显示装置的图；

[0044] 图 18 是说明本发明的液晶显示装置的图；

[0045] 图 19 是说明本发明的液晶显示装置的图；

[0046] 图 20 是说明本发明的液晶显示装置的图；

[0047] 图 21 是说明本发明的液晶显示装置的图；

[0048] 图 22 是说明本发明的液晶显示装置的图；

[0049] 图 23 是说明本发明的液晶显示装置的图；

[0050] 图 24 是说明本发明的液晶显示装置的图；

[0051] 图 25 是说明本发明的液晶显示装置的图；

[0052] 图 26 是说明本发明的液晶显示装置的图；

[0053] 图 27 是说明本发明的液晶显示装置的图。

具体实施方式

[0054] 将参照附图详细说明本发明的实施方式。但是，本发明不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。另外，在以下所说明的本发明的结构中，在不同附图之间共同使用相同的参考符号来表示相同的部分或具有相同功能的部分，省略其重复说明。

[0055] 实施方式 1

[0056] 在本实施方式中，使用图 1 至图 4D 说明用于液晶显示装置的薄膜晶体管及其制造工序。图 1 至图 3C 为表示薄膜晶体管及其制造工序的截面图，图 4A 至 4D 为表示在一个像素中的薄膜晶体管及像素电极的连接区域的俯视图。图 1 至图 3C 为沿图 4A 至 4D 中的线 A-B 的薄膜晶体管及其制造工序的截面图。

[0057] 具有微晶半导体膜的 n 型薄膜晶体管更优选用于驱动电路，因为其迁移率高于具有微晶半导体膜的 p 型薄膜晶体管的迁移率。然而，在本发明中，n 型薄膜晶体管和 p 型薄膜晶体管都可以使用。在使用 n 型及 p 型中的任一薄膜晶体管的情况下，优选使形成在同一个衬底上的所有薄膜晶体管的极性为相同，以抑制工序数的增加。在此，使用 n 沟道型的薄膜晶体管进行说明。

[0058] 图 1 示出本实施方式的具有底栅极结构的沟道截止型(也称为沟道保护型)薄膜晶体管 74。

[0059] 在图 1 中，在衬底 50 上提供有沟道截止型薄膜晶体管 74，该沟道截止型薄膜晶体管 74 包括栅电极 51、栅极绝缘膜 52a、栅极绝缘膜 52b、微晶半导体膜 61、缓冲层 62、沟道

保护层 80、源区及漏区 72、源电极及漏电极 71a、源电极及漏电极 71b、以及源电极及漏电极 71c，并且与源电极及漏电极 71c 接触地提供有像素电极 77。以覆盖薄膜晶体管 74 及像素电极 77 的一部分的方式提供有绝缘膜 76。另外，图 1 对应于图 4D。

[0060] 由于具有中间夹缓冲层 62 在微晶半导体膜 61 的沟道形成区域上提供沟道保护层 80 的结构，所以可以防止在进行工序中微晶半导体膜 61 的沟道形成区域上的缓冲层 62 所受到的损伤（蚀刻时使用的等离子体或蚀刻剂导致的膜厚度的降低或氧化等）。由此，可以提高薄膜晶体管 74 的可靠性。另外，因为微晶半导体膜 61 的沟道形成区域上的缓冲层 62 不被蚀刻，所以不需要将缓冲层 62 形成为厚，而可以缩短成膜时间。

[0061] 另外，微晶半导体膜 61 的端部比中间夹着栅极绝缘膜 52a 及 52b 重叠的栅电极 51 的端部更靠内侧，它不超出栅电极 51 的范围地形成在栅电极 51 上。由此，可以在栅电极 51、栅极绝缘膜 52a、以及栅极绝缘膜 52b 上的平坦区域形成微晶半导体膜 61，因而可以获得覆盖性好且在其中具有均匀特性（结晶状态）的膜。

[0062] 在下文中，详细说明制造方法。在衬底 50 上形成栅电极 51（参照图 2A 及图 4A）。图 2A 相当于沿图 4A 中的线 A-B 的截面图。作为衬底 50，可以使用通过熔化法或浮法制造的无碱玻璃衬底例如钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、铝硅酸盐玻璃等；或陶瓷衬底，还可以使用具有可承受本制造工序的处理温度的耐热性的塑料衬底等。此外，还可以使用在不锈钢合金等金属衬底表面上设置绝缘膜的衬底。衬底 50 的尺寸可以采用 320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、或者 2850mm×3050mm 等。

[0063] 使用钛、钼、铬、钽、钨、铝等金属材料或它们的合金材料来形成栅电极 51。可以通过溅射法或真空蒸镀法在衬底 50 上形成导电膜，通过光刻技术或喷墨法在该导电膜上形成掩模，并且使用该掩模蚀刻导电膜，来形成栅电极 51。另外，也可以使用银、金、铜等导电纳米膏通过喷墨法喷射并焙烧来形成栅电极 51。另外，作为为了提高栅电极 51 的紧密性且防止栅电极 51 扩散到基底中的阻挡金属，可以在衬底 50 及栅电极 51 之间提供上述金属材料的氮化物膜。另外，栅电极 51 可以由叠层结构形成，例如可以使用从衬底 50 侧依次层叠铝膜和钼膜的叠层、铜膜和钼膜的叠层、铜膜和氮化钛膜的叠层、铜膜和氮化钽膜的叠层等。在上述叠层结构中，形成在上层的钼膜或氮化物膜如氮化钛膜、氮化钽膜等具有阻挡金属的效果。

[0064] 注意，在栅电极 51 上形成半导体膜或布线，因此其端部优选加工为锥形形状，以便防止断开。此外，虽然未图示，但是也可以通过形成栅电极的工序同时形成连接到栅电极的布线。

[0065] 接着，在栅电极 51 上依次形成栅极绝缘膜 52a、栅极绝缘膜 52b、微晶半导体膜 53、以及缓冲层 54（参照图 2B）。

[0066] 可以在进行氢等离子体处理的同时（或在进行氢等离子体处理之后），将微晶半导体膜 53 形成在栅极绝缘膜 52b 的表面上。若在进行了氢等离子体处理的栅极绝缘膜上形成微晶半导体膜，则可以促进微晶的晶体生长。另外，可以降低栅极绝缘膜及微晶半导体膜之间的界面的晶格畸变，并可以提高栅极绝缘膜及微晶半导体膜之间的界面特性，因此所获得的微晶半导体膜的电特性高且可靠性高。

[0067] 另外，也可以不暴露于大气地连续形成栅极绝缘膜 52a、栅极绝缘膜 52b、微晶半导体膜 53、以及缓冲层 54。通过不暴露于大气地连续形成栅极绝缘膜 52a、栅极绝缘膜 52b、微晶半导体膜 53、以及缓冲层 54，能够在不受到大气成分或大气中悬浮的污染杂质元素污染的情况下形成各个叠层的界面，因此，能够降低薄膜晶体管特性的不均匀性。

[0068] 栅极绝缘膜 52a 及栅极绝缘膜 52b 可以分别通过 CVD 法或溅射法等并使用氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜形成。在此示出如下形态，即依次层叠氮化硅膜或氮氧化硅膜、以及氧化硅膜或氧氮化硅膜形成栅极绝缘膜 52a 及栅极绝缘膜 52b。另外，可以从衬底一侧按顺序层叠氮化硅膜或氮氧化硅膜、氧化硅膜或氧氮化硅膜、以及氮化硅膜或氮氧化硅膜的三个层来形成栅极绝缘膜，而不层叠两个层。另外，栅极绝缘膜还可以由氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜的单层形成。进而，优选使用频率为 1GHz 的微波等离子体 CVD 装置形成栅极绝缘膜。使用微波等离子体 CVD 装置形成的氧氮化硅膜、氮氧化硅膜的耐压性高，可以提高之后形成的薄膜晶体管的可靠性。

[0069] 作为栅极绝缘膜的三层叠层结构的例子，可以在栅电极上形成氮化硅膜或氮氧化硅膜作为第一层，层叠氧氮化硅膜作为第二层，层叠氮化硅膜作为第三层，并且在最上层的氮化硅膜上形成微晶半导体膜。在此情况下，第一层的氮化硅膜或氮氧化硅膜的厚度优选大于 50nm，该膜具有作为阻挡钠等的杂质的阻挡膜的效果，并且具有防止栅电极的小丘的产生和栅电极氧化的效果。第三层的氮化硅膜具有提高微晶半导体膜的紧密性的效果、以及当进行对微晶半导体膜进行激光照射，即 LP 处理时防止氧化的效果。

[0070] 像这样，通过在栅极绝缘膜表面上形成极薄的氮化膜如氮化硅膜，可以提高微晶半导体膜的紧密性。氮化膜可以通过等离子体 CVD 法形成，也可以通过使用微波的高密度且低温的等离子体处理进行氮化处理。另外，也可以在对反应室进行硅烷冲洗处理时形成氮化硅膜、氮氧化硅膜。

[0071] 在此，氧氮化硅膜为在其组成中氧含量高于氮含量的膜，其中以 55 原子％至 65 原子％的浓度范围包含氧，以 1 原子％至 20 原子％的范围包含氮，以 25 原子％至 35 原子％的范围包含 Si，以 0.1 原子％至 10 原子％的范围包含氢。另外，氮氧化硅膜为在其组成中氮含量高于氧含量的膜，其中以 15 原子％至 30 原子％的浓度范围包含氧，以 20 原子％至 35 原子％的范围包含氮，以 25 原子％至 35 原子％的范围包含 Si，以 15 原子％至 25 原子％的范围包含氢。

[0072] 微晶半导体膜 53 是包括具有非晶体和晶体结构(包括单晶、多晶)的中间结构的半导体的膜。该半导体是具有自由能方面很稳定的第三状态的半导体，并且是具有短程有序且具有晶格畸变的结晶，从其膜表面观察时的粒径为 0.5nm 至 20nm 的柱状或针状晶体相对于衬底表面以法线方向生长。另外，微晶半导体和非单晶半导体混合存在。作为微晶半导体的代表实例的微晶硅的拉曼光谱偏移到低于表示单晶硅的 521cm^{-1} 的波数一侧。亦即，在表示单晶硅的 521cm^{-1} 和表示非晶硅的 480cm^{-1} 之间有微晶硅的拉曼光谱的高峰。此外，使该半导体膜含有至少 1 原子％或更多的氢或卤素，以便终止悬空键。进而，通过使该半导体包含氦、氩、氪、氖等稀有气体元素，进一步助长其晶格畸变，从而可以提高稳定性并获得良好的微晶半导体膜。例如在美国专利 4,409,134 号公开关于这种微晶半导体膜的记载。

[0073] 该微晶半导体膜可以通过频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法或频率为 1GHz 以上的微波等离子体 CVD 装置形成。典型地说，可以使用氢稀释 SiH_4、Si_2H_6、

SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4 等的氢化硅来形成微晶半导体膜。另外，可以对氢化硅及氢添加选自氦、氩、氪、氖中的一种或多种的稀有气体元素进行稀释来形成微晶半导体膜。将相对于此时的氢化硅的氢的流量比设定为5倍以上200倍以下，优选为50倍以上150倍以下，更优选为100倍。

[0074] 另外，由于微晶半导体膜在不是有意地添加以价电子控制为目的的杂质元素时呈现微弱的n型导电性，所以可以通过在进行成膜的同时或在进行成膜之后对用作薄膜晶体管的沟道形成区域的微晶半导体膜添加赋予p型的杂质元素来控制阈值。作为赋予p型的杂质元素，典型有硼，优选将 B_2H_6、BF_3 等的杂质气体以1ppm至1000ppm，优选以1ppm至100ppm的比率混入氢化硅中。并且，优选将硼浓度例如设定为 $1\times10^{14}atoms/cm^3$ 至 $6\times10^{16}atoms/cm^3$。

[0075] 此外，微晶半导体膜的氧浓度为 $5\times10^{19}atoms/cm^{-3}$ 以下，优选为 $1\times10^{19}atoms/cm^{-3}$ 以下，氮及碳的浓度优选分别为 $1\times10^{18}atoms/cm^{-3}$ 以下。通过降低混入到微晶半导体膜中的氧、氮、及碳的浓度，可以防止微晶半导体膜的n型化。

[0076] 以厚于0nm至50nm以下，优选厚于0nm至20nm以下的厚度形成微晶半导体膜53。

[0077] 微晶半导体膜53用作后面形成的薄膜晶体管的沟道形成区域。通过以上述范围内的厚度形成微晶半导体膜53，后面形成的薄膜晶体管成为完全耗尽型。另外，由于微晶半导体膜由微晶构成，因此其电阻比非晶半导体膜低。由此，在使用微晶半导体膜的薄膜晶体管中表示电流电压特性的曲线的上升部分的倾斜急剧，其作为开关元件的响应性优良且可以进行高速驱动。此外，通过将微晶半导体膜用于薄膜晶体管的沟道形成区域，可以抑制薄膜晶体管的阈值变动。因此，可以制造电特性的不均匀少的液晶显示装置。

[0078] 另外，微晶半导体膜的迁移率比非晶半导体膜高。因此，通过使用其沟道形成区域由微晶半导体膜形成的薄膜晶体管作为显示元件的开关，可以缩小沟道形成区域的面积，即薄膜晶体管的面积。由此，在每一个像素中的薄膜晶体管所占的面积缩小，从而可以提高像素的开口率。结果，可以制造分辨率高的装置。

[0079] 另外，微晶半导体膜为从下面以纵方向生长的针状晶体。在微晶半导体膜中混合存在非晶体和晶体结构，在晶体区域和非晶体区域之间容易产生因局部应力而导致的裂缝而出现间隙。另外的自由基进入该间隙而会导致晶体生长。然而，由于上面的晶体面增大，所以易于以针状向上生长。像这样，即使微晶半导体膜以纵方向生长，其速度也是非晶半导体膜的成膜速度的1/10至1/100。

[0080] 可以通过使用 SiH_4、Si_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4 等的硅气体(氢化硅气体、卤化硅气体)并采用等离子体CVD法形成缓冲层54。此外，可以对上述硅烷使用选自氦、氩、氪、氖中的一种或多种的稀有气体元素进行稀释来形成非晶半导体膜。通过使用其流量为氢化硅的流量的1倍以上20倍以下，优选为1倍以上10倍以下，更优选为1倍以上5倍以下的氢，可以形成包含氢的非晶半导体膜。此外，通过使用上述氢化硅和氮或氨，可以形成包含氮的非晶半导体膜。另外，通过使用上述氢化硅和包含氟、氯、溴、或碘的气体(F_2、Cl_2、Br_2、I_2、HF、HCl、HBr、HI 等)，可以形成包含氟、氯、溴、或碘的非晶半导体膜。

[0081] 此外，作为缓冲层54，可以将非晶半导体用作靶子并使用氢或稀有气体进行溅射来形成非晶半导体膜。此时，通过将氨、氮、或 N_2O 包含在气氛中，可以形成含有氮的非晶半导体膜。另外，通过将含有氟、氯、溴、或碘的气体(F_2、Cl_2、Br_2、I_2、HF、HCl、HBr、HI 等)包含

在气氛中，可以形成含有氟、氯、溴、或碘的非晶半导体膜。

[0082] 此外，作为缓冲层 54，也可以在微晶半导体膜 53 的表面上采用等离子体 CVD 法或溅射法形成非晶半导体膜，然后对非晶半导体膜的表面进行使用氢等离子体、氮等离子体、卤素等离子体、或稀有气体（氦、氩、氪、氖）等离子体的处理，来使非晶半导体膜表面氢化、氮化、或卤化。

[0083] 优选使用非晶半导体膜形成缓冲层 54。因此，在采用频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法、或微波等离子体 CVD 法形成非晶半导体膜的情况下，优选控制成膜条件以使它成为非晶半导体膜。

[0084] 典型地说，缓冲层 54 优选以 10nm 以上 50nm 以下的厚度形成。另外，优选将包含在缓冲层中的氮、碳、以及氧的总浓度设定为 1×10^{20}atoms/cm^3 至 15×10^{20}atoms/cm^3。若是上述浓度，则即使厚度为 10nm 以上 50nm 以下，也可以使缓冲层 54 用作高电阻区域。

[0085] 也可以将缓冲层 54 的厚度设定为 150nm 以上 200nm 以下，将所包含的碳、氮、氧各个的浓度设定为 3×10^{19}atoms/cm^3 以下，优选为 5×10^{18}atoms/cm^3 以下。

[0086] 通过在微晶半导体膜 53 的表面上形成非晶半导体膜或包含氢、氮或卤素的非晶半导体膜作为缓冲层，可以防止包含在微晶半导体膜 53 中的晶粒的表面的自然氧化。通过在微晶半导体膜 53 的表面上形成缓冲层，可以防止微晶粒的氧化。通过在缓冲层中混入氢及 / 或氟，可以防止氧进入微晶半导体膜中。

[0087] 此外，由于使用非晶半导体膜或者使用包含氢、氮、或卤素的非晶半导体膜形成缓冲层 54，因此缓冲层 54 的电阻比用作沟道形成区域的微晶半导体膜的电阻高。由此，在后面形成的薄膜晶体管中，形成在源区及漏区和微晶半导体膜之间的缓冲层用作高电阻区域。因此，可以减少薄膜晶体管的截止电流。当将该薄膜晶体管用作液晶显示装置的开关元件时，可以提高液晶显示装置的对比度。

[0088] 接着，与微晶半导体膜 53 的沟道形成区域重叠地形成在缓冲层 54 上的沟道保护层 80（参照图 2C）。沟道保护层 80 也可以与栅极绝缘膜 52a、栅极绝缘膜 52b、微晶半导体膜 53、以及缓冲层 54 不暴露于大气地连续形成。若不暴露于大气地连续形成要层叠的薄膜，生产性则提高。

[0089] 作为沟道保护层 80，可以使用无机材料（氧化硅、氮化硅、氧氮化硅、氮氧化硅等）。可以使用光敏或非光敏的有机材料（有机树脂材料）（聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺、抗蚀剂、苯并环丁烯等）、由该材料的多种构成的膜、或者这些膜的叠层等。另外，也可以使用硅氧烷。作为制造方法，可以采用等离子体 CVD 法、热 CVD 法等的气相生长法或溅射法。另外，也可以采用作为湿法的如旋涂法等的涂敷法、液滴喷射法、印刷法（丝网印刷或平版印刷等的形成图案的方法）。沟道保护层 80 既可以在成膜之后通过蚀刻进行加工来形成，又可以通过液滴喷射法等选择性地形成。

[0090] 接着，通过蚀刻对微晶半导体膜 53 及缓冲层 54 进行加工，以形成微晶半导体膜 61 及缓冲层 62 的叠层（参照图 2D）。可以通过光刻技术或液滴喷射法形成掩模，并使用该掩模蚀刻微晶半导体膜 53 及缓冲层 54 来形成微晶半导体膜 61 及缓冲层 62。另外，图 2D 相当于沿图 4B 的 A-B 的截面图。

[0091] 可以将微晶半导体膜 61、缓冲层 62 的端部蚀刻成锥形。将端部的锥形角设定为 30 度至 90 度，优选为 45 度至 80 度。由此，可以防止由于台阶形状而导致的布线的断开。

[0092] 接着，在栅极绝缘膜 52b、微晶半导体膜 61、缓冲层 62、沟道保护层 80 上形成添加有赋予一种导电类型的杂质的半导体膜 63 及导电膜 65a 至 65c（参照图 3A）。在添加有赋予一种导电类型的杂质的半导体膜 63 及导电膜 65a 至 65c 上形成掩模 66。掩模 66 通过光刻技术或喷墨法形成。

[0093] 在形成 n 沟道型薄膜晶体管的情况下，对于添加有赋予一种导电类型的杂质的半导体膜 63，作为典型杂质元素添加磷即可，即对于氢化硅添加 PH_3 等的杂质气体即可。此外，在形成 p 沟道型薄膜晶体管的情况下，作为典型杂质元素添加硼即可，即对于氢化硅添加 B_2H_6 等的杂质气体即可。可以使用微晶半导体或非晶半导体形成添加有赋予一种导电类型的杂质的半导体膜 63。将添加有赋予一种导电类型的杂质的半导体膜 63 形成为具有 2nm 至 50nm（优选为 10nm 至 30nm）的厚度。

[0094] 优选使用铝、铜、或者添加有硅、钛、钕、钪、钼等提高耐热性的元素或防止小丘产生的元素的铝合金的单层或叠层形成导电膜。此外，也可以采用如下叠层结构：使用钛、钽、钼、钨或上述元素的氮化物形成与添加有赋予一种导电类型的杂质的半导体膜接触一侧的膜，并且在其上形成铝或铝合金。再者，还可以采用如下叠层结构：使用钛、钽、钼、钨或上述元素的氮化物将铝或铝合金的上面及下面夹住。在此，作为导电膜示出具有层叠有导电膜 65a 至 65c 的三层的结构的导电膜，例如示出将钼膜用作导电膜 65a、65c 并将铝膜用作导电膜 65b 的叠层导电膜、以及将钛膜用作导电膜 65a、65c 并将铝膜用作导电膜 65b 的叠层导电膜。

[0095] 通过溅射法及真空蒸镀法形成导电膜 65a 至 65c。此外，也可以使用银、金、铜等的导电纳米膏通过丝网印刷法、喷墨法等喷出并焙烧来形成导电膜 65a 至 65c。

[0096] 接着，使用掩模 66 蚀刻来分离导电膜 65a 至 65c，以形成源电极及漏电极 71a 至 71c（参照图 3B）。如本实施方式的图 3B 那样对导电膜 65a 至 65c 进行湿蚀刻，导电膜 65a 至 65c 以各向同性的方式被蚀刻，从而掩模 66 的端部和源电极及漏电极 71a 至 71c 的端部不一致，源电极及漏电极 71a 至 71c 的端部在更内侧。接着，使用掩模 66 蚀刻添加有赋予一种导电类型的杂质的半导体膜 63 来形成源区及漏区 72（参照图 3C）。注意，由于沟道保护层 80 用作沟道停止层，所以缓冲层 62 不被蚀刻。

[0097] 源电极及漏电极 71a 至 71c 的端部和源区及漏区 72 的端部不一致而偏离，即在源电极及漏电极 71a 至 71c 的端部的外侧形成源区域及漏区 72 的端部。然后，去除掩模 66。注意，图 3C 相当于沿着图 4C 的线 A-B 的截面图。从图 4C 可知，源区及漏区 72 的端部位于源电极及漏电极 71c 的端部的外侧。换言之，可知，源区及漏区 72 的面积大于源电极及漏电极 71a 至 71c 的面积。此外，源电极或漏电极的一方还起到源布线或漏布线的功能。

[0098] 如图 3C 所示，由于源电极及漏电极 71a 至 71c 的端部和源区及漏区 72 的端部不一致而偏离，所以源电极及漏电极 71a 至 71c 的端部的距离远离，从而可以防止源电极及漏电极之间的漏电流及短路。换言之，可知，源区及漏区超出源电极及漏电极的端部，并且彼此相对的源区及漏区的端部之间的距离比彼此相对的源电极及漏电极的端部之间的距离短。因此可以制造可靠性高且耐压性高的薄膜晶体管。

[0099] 通过上述工序，可以形成沟道截止（保护）型薄膜晶体管 74。

[0100] 形成在源区及漏区 72 下的缓冲层 62 和形成在微晶半导体膜 61 的沟道形成区域上的缓冲层 62 是由相同材料构成且同时形成的连续膜。微晶半导体膜 61 上的缓冲层 62

利用所包含的氢防止外部空气和蚀刻残渣的进入，以保护微晶半导体膜 61。

[0101] 通过提供不包含赋予一种导电类型的杂质的缓冲层 62，可以使包含在源区及漏区的赋予一种导电类型的杂质和用于控制微晶半导体膜 61 的阈值电压的赋予一种导电类型的杂质彼此不混合。当混合赋予一种导电类型的杂质时，产生重组中心，漏电流流过，从而不能获得降低截止电流的效果。

[0102] 通过如上那样提供缓冲层及沟道保护层，可以制造漏电流降低了的耐压性高的沟道截止型薄膜晶体管。由此，还可以可靠性高且适当地应用到施加 15V 的电压的用于液晶显示装置的薄膜晶体管。

[0103] 接着，形成与源电极或漏电极 71c 接触的像素电极 77。在源电极及漏电极 71a 至 71c、源区及漏区 72、沟道保护层 80、栅极绝缘膜 52b、以及像素电极 77 上形成绝缘膜 76。绝缘膜 76 可以与栅极绝缘膜 52a 及 52b 同样地形成。另外，绝缘膜 76 是为了防止悬浮在大气中的有机物、金属物、或水蒸气等的污染杂质的进入而提供的，因此优选为致密的膜。

[0104] 典型地说，缓冲层 62 优选以 10nm 以上 50nm 以下的厚度形成。微晶半导体膜 61 的沟道形成区域上的缓冲层 62 没有被蚀刻，因此，缓冲层 62 不必形成为厚，并且可以缩短成膜时间。另外，优选将包含在缓冲层中的氮、碳、以及氧的总浓度设定为 1×10^{20}atoms/cm^3 至 15×10^{20}atoms/cm^3。若是上述浓度，则即使厚度为 10nm 以上 50nm 以下，也可以使缓冲层 62 用作高电阻区域。

[0105] 然而，也可以以 150nm 以上 200nm 以下的厚度形成缓冲层 62，并且将所包含的碳、氮、氧的浓度设定为 3×10^{19}atoms/cm^3 以下，优选为 5×10^{18}atoms/cm^3 以下。在此情况下，通过将氮化硅膜用作绝缘膜 76，可以将缓冲层 62 中的氧浓度设定为 5×10^{19}atoms/cm^3 以下，优选为 1×10^{19}atoms/cm^3 以下。

[0106] 接着，蚀刻绝缘膜 76 来使像素电极 77 的一部分露出。可以以与像素电极 77 的露出区域接触的方式形成液晶元件，以使薄膜晶体管 74 和液晶元件彼此电连接。例如，在像素电极 77 上形成取向膜，使它与同样地提供取向膜的相对电极对峙，并且在取向膜之间形成液晶层即可。

[0107] 作为像素电极 77，可以使用具有透光性的导电材料诸如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物（下面称为 ITO）、铟锌氧化物、添加有氧化硅的铟锡氧化物等。

[0108] 此外，也可以使用包含导电高分子（也称为导电聚合体）的导电组成物形成像素电极 77。使用导电组成物形成的像素电极优选具有如下条件：薄层电阻为 10000Ω/m^2 以下，当波长为 550nm 时的透光率为 70％以上。另外，包含在导电组成物中的导电高分子的电阻率优选为 0.1Ω·cm 以下。

[0109] 作为导电高分子，可以使用所谓的 π 电子共轭类导电高分子。例如，可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物质中的两种以上而构成的共聚体等。

[0110] 另外，也可以采用源区及漏区的端部和源电极及漏电极的端部一致的形状。图 26 示出具有源区及漏区的端部和源电极及漏电极的端部一致的形状的沟道截止型薄膜晶体管 79。当通过干蚀刻进行对于源电极及漏电极的蚀刻以及对于源区及漏区的蚀刻时，可以获得像薄膜晶体管 79 那样的形状。另外，当将源电极及漏电极用作掩模蚀刻添加有赋予一

种导电类型的杂质的半导体膜来形成源区及漏区时，也可以获得像薄膜晶体管 79 那样的形状。

[0111] 通过形成沟道截止型薄膜晶体管，可以提高薄膜晶体管的可靠性。此外，通过使用微晶半导体膜构成沟道形成区域，可以获得 $1cm^2/V \cdot sec$ 至 $20cm^2/V \cdot sec$ 的电场效应迁移率。因此，可以将该薄膜晶体管用作像素部的像素的开关元件，而且还可以用作形成扫描线（栅极线）一侧的驱动电路的元件。

[0112] 通过本实施方式，可以制造具有电特性高且可靠性高的薄膜晶体管的液晶显示装置。

[0113] 实施方式 2

[0114] 本实施方式描述薄膜晶体管的形状与实施方式 1 不同的例子。因此，其它部分可以与实施方式 1 同样地形成，从而省略对于与实施方式 1 相同的部分、具有相同功能的部分、以及相同工序的重复说明。

[0115] 在本实施方式中，使用图 5、图 6A 至 6D、以及图 27 说明用于液晶显示装置的薄膜晶体管及其制造工序。图 5 及图 27 为示出薄膜晶体管及像素电极的截面图，图 6A 至 6D 为在一个像素中的薄膜晶体管及像素电极的连接区域的俯视图。图 5 及图 27 相当于沿图 6A 至 6D 中的线 Q-R 的薄膜晶体管及其制造工序的截面图。

[0116] 将本实施方式的底栅结构的沟道截止型（也称为沟道保护型）薄膜晶体管 274 示出于图 5 及图 6A 至 6D。

[0117] 在图 5 中，在衬底 250 上提供有沟道截止型薄膜晶体管 274，该沟道截止型薄膜晶体管 274 包括栅电极 251、栅极绝缘膜 252a、栅极绝缘膜 252b、微晶半导体膜 261、缓冲层 262、沟道保护层 280、源区及漏区 272、源电极及漏电极 271a、源电极及漏电极 271b、以及源电极及漏电极 271c，并且以覆盖薄膜晶体管 274 的方式提供有绝缘膜 276。在形成在绝缘膜 276 中的接触孔中与源电极及漏电极 271c 接触地提供有像素电极 277。注意，图 5 对应于图 6D。

[0118] 由于具有中间夹着缓冲层 262 在微晶半导体膜 261 的沟道形成区域上提供沟道保护层 280 的结构，所以可以防止微晶半导体膜 261 的沟道形成区域上的缓冲层 262 在进行工序时所受到的损伤（蚀刻时使用的等离子体的自由基或蚀刻剂导致的膜厚度的降低或氧化等）。由此，可以提高薄膜晶体管 274 的可靠性。另外，因为微晶半导体膜 261 的沟道形成区域上的缓冲层 262 不被蚀刻，所以不需要将缓冲层 262 形成为厚，而可以缩短成膜时间。

[0119] 在下文中，使用图 6A 至 6D 说明制造方法。在衬底 250 上形成栅电极 251（参照图 6A）。在栅电极 251 上形成栅极绝缘膜 252a、栅极绝缘膜 252b、微晶半导体膜、以及缓冲层 262。与微晶半导体膜的沟道形成区域重叠地形成在缓冲层 262 上的沟道保护层 280（参照图 6A）。

[0120] 虽然在实施方式 1 中示出了在形成沟道保护层 80 之后对微晶半导体膜 53 和缓冲层 54 进行蚀刻工序来将它们加工成岛状微晶半导体膜 61 及缓冲层 62 的例子，但在本实施方式中示出通过与蚀刻源电极及漏电极以及添加有赋予一种导电类型的杂质的半导体膜相同的工序进行对于微晶半导体膜及缓冲层的蚀刻工序的例子。由此，使用相同的掩模形成微晶半导体膜、缓冲层、添加有赋予一种导电类型的杂质的半导体膜、源电极及漏电极。像这样，同时进行蚀刻工序，不仅简化工序数，而且可以减少用于蚀刻工序的掩模数量。

[0121] 通过蚀刻微晶半导体膜、缓冲层、添加有赋予一种导电类型的杂质的半导体膜、以及导电膜，形成微晶半导体膜 261、缓冲层 262、源区及漏区 272、以及源电极及漏电极 271a 至 271c，以形成沟道截止型薄膜晶体管 274(参照图 6C)。形成覆盖薄膜晶体管 274 上的绝缘膜 276，并且形成到达源电极及漏电极 271c 的接触孔。在接触孔中形成像素电极 277 来将薄膜晶体管 274 和像素电极 277 彼此电连接(参照图 6D)。

[0122] 另外，也可以采用源区及漏区的端部和源电极及漏电极的端部一致的形状。图 27 示出具有源区及漏区的端部和源电极及漏电极的端部一致的形状的沟道截止型薄膜晶体管 279。当通过干蚀刻进行对于源电极及漏电极的蚀刻以及对于源区及漏区的蚀刻时，可以获得像薄膜晶体管 279 那样的形状。另外，当将源电极及漏电极用作掩模蚀刻添加有赋予一种导电类型的杂质的半导体膜来形成源区及漏区时，也可以获得像薄膜晶体管 279 那样的形状。

[0123] 通过形成沟道截止型的薄膜晶体管，可以提高薄膜晶体管的可靠性。此外，通过使用微晶半导体膜构成沟道形成区域，可以获得 $1cm^2/V \cdot sec$ 至 $20cm^2/V \cdot sec$ 的电场效应迁移率。因此，可以将该薄膜晶体管用作像素部的像素的开关元件，而且还可以用作形成扫描线(栅极线)一侧的驱动电路的元件。

[0124] 通过本实施方式，可以制造具有电特性高且可靠性高的薄膜晶体管的液晶显示装置。

[0125] 实施方式 3

[0126] 在本实施方式中，将说明对微晶半导体膜照射激光的制造工序的例子。

[0127] 在衬底上形成栅电极，并且以覆盖栅电极的方式形成栅极绝缘膜。然后在栅极绝缘膜上层叠微晶硅(SAS)膜作为微晶半导体膜。微晶半导体膜的厚度 1nm 以上小于 15nm，更优选为 2nm 以上 10nm 以下。尤其在具有 5nm (4nm 至 8nm)厚时，对于激光的吸收率高，而提高生产性。

[0128] 在通过等离子体 CVD 法等将微晶半导体膜形成在栅极绝缘膜上的情况下，有时在栅极绝缘膜和包含晶体的半导体膜的界面附近形成包含比半导体膜多的非晶成分的区域(这里称为界面区域)。另外，在通过等离子体 CVD 法等形成厚度为 10nm 左右以下的极薄微晶半导体膜的情况下，虽然可以形成包含微晶颗粒的半导体膜，但不容易获得在整个膜中均匀地包含质量好的微晶颗粒的半导体膜。在此情况下，以下所示的照射激光的激光处理是有效的。

[0129] 接下来，从微晶硅膜的表面一侧照射激光。以微晶硅膜不熔化的能量密度照射激光。换言之，本实施方式的激光处理(Laser Process，以下也称为“LP”)是利用固相晶体生长来进行的，其中不使微晶硅膜受辐射加热而熔化。换言之，该激光处理是利用层叠的半晶硅膜不成为液相的临界区域，因此，也可以称为“临界生长”。

[0130] 可以使激光作用到微晶硅膜和栅极绝缘膜的界面。由此，可以将在微晶硅膜的表面一侧的晶体作为种子，晶体从该表面向栅极绝缘膜的界面进行固相晶体生长而出现大致柱状的晶体。通过 LP 处理的固相晶体生长不是扩大粒径，而是改善在膜厚度方向上的结晶性。

[0131] 在 LP 处理中，通过将激光集聚为长矩形状(线状激光)，可以进行一次激光扫描来处理例如 730mm×920mm 的玻璃衬底上的微晶硅膜。在此情况下，重叠线状激光的比率(重

叠率)为 0％至 90％ (优选为 0％至 67％)。由此,每一个衬底的处理时间缩减,而可以提高生产率。激光的形状不局限于线状,可以使用面状激光同样地进行处理。另外,该 LP 处理不局限于上述玻璃衬底的尺寸,可以适于各种尺寸。

[0132] 通过 LP 处理,改善栅极绝缘膜界面区域的结晶性,而具有提高像本实施方式的薄膜晶体管那样的具有底栅极结构的薄膜晶体管的电特性的作用。

[0133] 这种临界生长的特征之一如下,即不形成在常规的低温多晶硅中存在的表面凹凸(也称为脊(ridge)的凸状体),在 LP 处理之后的硅表面保持平坦性。

[0134] 如本实施方式所示,对成膜后的微晶硅膜直接照射激光而获得的结晶硅膜与常规的只堆叠的微晶硅膜及通过传导加热改变性质的微晶硅膜(记载于上述非专利文献 1 中)在生长机理及膜性质上显着不同。在本说明书中,将对成膜后的微晶半导体膜进行 LP 处理而获得的具有结晶性的半导体膜称为 LPSAS 膜。

[0135] 在形成 LPSAS 膜等的微晶半导体膜之后,通过等离子体 CVD 法以 300℃至 400℃的温度形成非晶硅(a-Si:H)膜作为缓冲层。通过该成膜处理,氢被供给到 LPSAS 膜,而可以获得与使 LPSAS 膜氢化相同的效果。换言之,通过在 LPSAS 膜上层叠非晶硅膜,可以在 LPSAS 膜中扩散氢,来终结悬空键。

[0136] 以下工序与实施方式 1 相同,其中形成沟道保护层,并在其上形成掩模。接着,使用掩模蚀刻来分离微晶半导体膜及缓冲层。接下来,形成添加有赋予一种导电类型的杂质的半导体膜,形成导电膜,并在其导电膜上形成掩模。接着,使用该掩模蚀刻来分离导电膜,以形成源电极及漏电极。再者,使用相同的掩模将沟道保护层作为蚀刻停止层来蚀刻,以形成源区及漏区。

[0137] 通过上述工序,可以形成沟道截止型的薄膜晶体管,而可以制造包括沟道截止型薄膜晶体管的液晶显示装置。

[0138] 另外,本实施方式可以自由地与实施方式 1 或实施方式 2 组合。

[0139] 实施方式 4

[0140] 在本实施方式中,详细说明实施方式 1 至 3 中的液晶显示装置的制造工序的例子。因此,省略对于与实施方式 1 至 3 相同的部分或具有相同功能的部分、以及相同的工序的说明。

[0141] 在实施方式 1 至 3 中,还可以在形成微晶半导体膜前对反应室进行清洗处理及冲洗(洗涤)处理(使用氢作为冲洗物质的氢冲洗、使用硅烷作为冲洗物质的硅烷冲洗等)。通过冲洗处理,可以防止反应室中的氧、氮、氟等的杂质给要形成的膜带来的污染。

[0142] 借助于冲洗处理,可以去除反应室中的氧、氮、氟等的杂质。例如,通过使用等离子体 CVD 装置使用甲硅烷作为冲洗物质,在 8SLM 至 10SLM 的气体流量且 5 分钟至 20 分钟(优选为 10 分钟至 15 分钟)的条件下将甲硅烷连续引入到反应室中,以进行硅烷冲洗处理。注意,1SLM 相当于 1000sccm,即是 0.06m^3/h。

[0143] 例如可以利用氟基来进行清洗。注意,通过将氟化碳、氟化氮、或氟引入到设置在反应室外侧的等离子体产生器中并离解,然后将氟基引入到反应室中,可以对反应室进行清洗。

[0144] 也可以在形成栅极绝缘膜、缓冲层、沟道保护层、以及添加有赋予一种导电类型的杂质的半导体膜前进行冲洗处理。注意,在清洗处理后进行冲洗处理是有效的。

[0145] 在将衬底搬入反应室并进行成膜前，也可以进行使用由与要形成的膜相同种类的膜形成的保护膜在各个反应室的内墙上涂层的处理(也称为预涂处理)。预涂处理是这样一种处理，即通过将成膜气体流进反应室中并进行等离子体处理，预先利用厚度薄的保护膜覆盖反应室内。例如，在形成微晶硅膜作为微晶半导体膜前，进行以 0.2μm 至 0.4μm 的非晶硅膜覆盖反应室中的预涂处理即可。也可以在预涂处理后进行冲洗处理(氢冲洗、硅烷冲洗等)。在进行清洗处理及预涂处理的情况下，需要从反应室中搬出衬底，而在进行冲洗处理(氢冲洗、硅烷冲洗等)的情况下，由于不进行等离子体处理而可以在搬入衬底的状态下进行处理。

[0146] 若预先在用于形成微晶硅膜的反应室中形成由非晶硅膜形成的保护膜，并且在形成膜前进行氢等离子体处理，则保护膜被蚀刻而在衬底上淀积极少的硅，其成为晶体生长的核。

[0147] 借助于预涂处理，可以防止反应室中的氧、氮、氟等的杂质给要形成的膜带来的污染。

[0148] 也可以在形成栅极绝缘膜、添加有赋予一种导电类型的杂质的半导体膜前进行预涂处理。

[0149] 再者，详细说明形成栅极绝缘膜、微晶半导体膜、以及缓冲层的方法的例子。

[0150] 使用图 10A 和 10B 说明可用于本发明的等离子体 CVD 装置的例子。图 10A 和 10B 是可以连续形成膜的微波等离子体 CVD 装置。图 10A 和 10B 是示出微波等离子体 CVD 装置的俯视截面图的示意图，其为在公共室 1120 的周围具备装载室 1110、卸载室 1115、反应室(1)1111 至反应室(4)1114 的结构。在公共室 1120 和每个室之间具备闸阀 1122 至 1127，以防止在每个室内进行的处理互相干涉。注意，反应室不局限于四个，也可以有更少或更多。若有多个反应室，则可以按每个膜种类分别使用反应室，而可以减少清洗反应室的次数。图 10A 是具有四个反应室的例子，图 10B 是具有三个反应室的例子。

[0151] 将说明使用图 10A 和 10B 的等离子体 CVD 装置形成栅极绝缘膜、微晶半导体膜、缓冲层、以及沟道保护层的例子。衬底装载在装载室 1110、卸载室 1115 的盒子 1128、1129，并且由公共室 1120 的传送单元 1121 传送到反应室(1) 1111 至反应室(4) 1114。该装置能够按每个堆积膜种类分配反应室，从而可以在不与大气接触的状态下连续形成多个不同的膜。另外，在反应室中既可以进行成膜工序，又可以进行蚀刻工序或激光照射工序。若提供进行各种工序的反应室，则可以在不与大气接触的状态下进行多个不同的工序。

[0152] 在每个反应室(1) 至反应室(4) 中，分别层叠形成栅极绝缘膜、微晶半导体膜、缓冲层、以及沟道保护层。在此情况下，通过更换原料气体，可以连续地层叠多个不同种类的膜。在此，形成栅极绝缘膜，然后将硅烷等的氢化硅引入到反应室内，使残留氧及氢化硅反应，并将反应物排出到反应室的外部，从而可以降低反应室内的残留氧浓度。结果，可以降低包含在微晶半导体膜中的氧浓度。此外，可以防止包含在微晶半导体膜中的晶粒的氧化。

[0153] 另外，在等离子体 CVD 装置中，也可以在多个反应室中形成相同的膜，以便提高生产率。若可以在多个反应室中形成相同的膜，则可以同时在多个衬底上形成膜。例如在图 10A 中，将反应室(1) 及反应室(2) 用作形成微晶半导体膜的反应室，将反应室(3) 用作形成非晶半导体膜的反应室，并且将反应室(4)用作形成沟道保护层的反应室。像这样，在同时对多个衬底进行处理时，通过提供多个形成成膜速度慢的膜的反应室，可以提高生产率。

[0154] 在将衬底搬入反应室并进行成膜前，优选进行使用由与要形成的膜相同种类的膜形成的保护膜在各个反应室的内墙上涂层的处理(也称为预涂处理)。预涂处理是这样一种处理，即通过将成膜气体流进反应室中并进行等离子体处理，预先利用厚度薄的保护膜覆盖反应室内。例如，在形成微晶硅膜作为微晶半导体膜前，进行以 0.2μm 至 0.4μm 的非晶硅膜覆盖反应室中的预涂处理即可。也可以在预涂处理后进行冲洗处理(氢冲洗、硅烷冲洗等)。在进行清洗处理及预涂处理的情况下，需要从反应室中搬出衬底，而在进行冲洗处理(氢冲洗、硅烷冲洗等)的情况下，由于不进行等离子体处理而可以在搬入衬底的状态下进行处理。

[0155] 若预先在用于形成微晶硅膜的反应室中形成由非晶硅膜形成的保护膜，并且在形成膜前进行氢等离子体处理，则保护膜被蚀刻而在衬底上淀积极少的硅，其成为晶体生长的核。

[0156] 像这样，由于可以使用连接有多个处理室的微波等离子体 CVD 装置同时形成栅极绝缘膜、微晶半导体膜、缓冲层、沟道保护层、以及添加有赋予一种导电类型的杂质的半导体膜，因此可以提高批量生产性。此外，即使在某个反应室中进行维护及清洗，也可以在其他反应室中形成膜，从而可以改善成膜的节拍时间(takt time)。另外，因为可以在不被大气成分及悬浮在大气中的污染杂质元素污染的状态下形成各个叠层界面，所以可以减少薄膜晶体管的特性的不均匀。

[0157] 由于当使用这种结构的微波等离子体 CVD 装置时，可以在各个反应室中形成类似的种类的膜或一种膜，并且在不暴露在大气的状态下连续形成上述膜，因此可以在不被已形成的膜的残留物及悬浮在大气中的杂质元素污染的状态下形成各个叠层界面。

[0158] 再者，也可以与微波产生器一起提供高频产生器，通过微波等离子体 CVD 法形成栅极绝缘膜、微晶半导体膜、沟道保护层、以及添加有赋予一种导电类型的杂质的半导体膜，并且通过高频等离子体 CVD 法形成缓冲层。

[0159] 注意，虽然在图 10A 和 10B 所示的微波等离子体 CVD 装置中分别设置有装载室及卸装室，但是也可以设置一个装载 / 卸装室。此外，在微波等离子体 CVD 装置中也可以设置备用室。由于可以通过在备用室中对衬底进行预热而缩短各个反应室中的加热直到成膜的加热时间，因此可以提高生产率。在这种成膜处理中，根据其目的而选择从气体供给部供给的气体，即可

[0160] 本实施方式可以适当地与其他实施方式所记载的结构组合来实施。

[0161] 实施方式 5

[0162] 在本实施方式中，使用图 12 至图 25 说明具有实施方式 1 至 4 所示的薄膜晶体管的液晶显示装置的例子。用于图 12 至图 25 的液晶显示装置的 TFT628、629 可以与实施方式 1 或实施方式 2 所示的薄膜晶体管同样制造，其是电特性及可靠性高的薄膜晶体管。TFT628 具有沟道保护层 608，TFT629 具有沟道保护层 611，它们是将微晶半导体膜用作沟道形成区域的反交错薄膜晶体管。

[0163] 首先，示出 VA (垂直配向) 型液晶显示装置。VA 型液晶显示装置是控制液晶面板的液晶分子的排列的方式之一种。VA 型液晶显示装置是当不被施加电压时液晶分子朝向对于面板表面垂直的方向的方式。在本实施方式中，尤其设法将像素分割为几个区域(亚像素)，使分子倒向不同的方向。上述方法称为多畴(multi-domain)化或多畴设计。在下面

的说明中，说明采用多畴设计的液晶显示装置。

[0164] 图 13 及图 14 分别示出像素电极及相对电极。注意，图 13 是形成有像素电极的衬底一侧的俯视图，而图 12 示出对应于沿图 13 中的 G-H 线的截面结构。此外，图 14 是形成有相对电极的衬底一侧的俯视图。在下面的说明中，参照上述附图进行说明。

[0165] 图 12 示出层叠形成有 TFT628、与其连接的像素电极 624、以及保持电容部 630 的衬底 600 和形成有相对电极 640 等的相对衬底 601 并注入有液晶的状态。

[0166] 在相对衬底 601 中的形成隔离物 642 的位置上形成有遮光膜 632、第一着色膜 634、第二着色膜 636、第三着色膜 638、相对电极 640。通过该结构，使用来控制液晶的取向的突起 644 和隔离物 642 的高度为不同。在像素电极 624 上形成取向膜 648，在相对电极 640 上也同样地形成取向膜 646。其间形成有液晶层 650。

[0167] 在此，使用柱状隔离物示出隔离物 642，但是也可以散布珠状隔离物。再者，也可以在形成在衬底 600 上的像素电极 624 上形成隔离物 642。

[0168] 在衬底 600 上形成 TFT628、与其连接的像素电极 624、以及保持电容部 630。像素电极 624 在接触孔 623 中连接到布线 618，该接触孔 623 贯通覆盖 TFT628、布线、以及保持电容部 630 的绝缘膜 620 和覆盖绝缘膜 620 的第三绝缘膜 622。适当地使用实施方式 1 所示的薄膜晶体管作为 TFT628。此外，保持电容部 630 由第一电容布线 604、栅极绝缘膜 606 和第二电容布线 617 构成，该第一电容布线 604 与 TFT628 的栅极布线 602 同样地形成，而该第二电容布线 617 与布线 616、618 同样地形成。另外，在图 12 至图 15 中，关于 TFT628，微晶半导体膜、缓冲层、作为源区或漏区的添加有赋予一种导电类型的杂质的半导体膜、兼用作源电极或漏电极的布线通过相同的工序被加工，并且层叠为大致相同的形状。

[0169] 通过重叠像素电极 624、液晶层 650、以及相对电极 640，形成液晶元件。

[0170] 图 13 示出衬底 600 上的结构。使用实施方式 1 所示的材料形成像素电极 624。在像素电极 624 中设置槽缝 625。槽缝 625 用来控制液晶的取向。

[0171] 图 13 所示的 TFT629 和与其连接的像素电极 626 及保持电容部 631 分别可以与像素电极 624 及保持电容部 630 同样地形成。TFT628 和 TFT629 都与布线 616 连接。其液晶显示面板的像素由像素电极 624 和像素电极 626 构成。像素电极 624 和像素电极 626 是亚像素。

[0172] 图 14 示出相对衬底一侧的结构。在遮光膜 632 上形成有相对电极 640。相对电极 640 优选使用与像素电极 624 同样的材料形成。在相对电极 640 上形成有控制液晶的取向的突起 644。此外，根据遮光膜 632 的位置形成有隔离物 642。

[0173] 图 15 示出该像素结构的等效电路。TFT628 和 TFT629 都连接到栅极布线 602、布线 616。在此情况下，通过使电容布线 604 和电容布线 605 的电位为不同，可以使液晶元件 651 的工作和液晶元件 652 的工作为不同。就是说，通过分别控制电容布线 604 和电容布线 605 的电位，精密地控制液晶的取向来扩大视角。

[0174] 当对设置有槽缝 625 的像素电极 624 施加电压时，在槽缝 625 的近旁产生电场应变(倾斜电场)。通过将该槽缝 625 和相对衬底 601 一侧的突起 644 配置为相互咬合，有效地产生倾斜电场而控制液晶的取向。由此，在每个部分中使液晶取向的方向为不同。就是说，进行多畴化来扩大液晶面板的视角。

[0175] 接着，对于与上述不同的 VA 型液晶显示装置，参照图 16 至图 19 进行说明。

[0176] 图 16 和图 17 示出 VA 型液晶面板的像素结构。图 17 是衬底 600 的俯视图，而图 16 示出对应于沿图 17 所示的截断线 Y-Z 的截面结构。在下面的说明中，参照上述两个附图进行说明。

[0177] 在其像素结构中，一个像素包括多个像素电极，并且每个像素电极与 TFT 连接。每个 TFT 构成为由不同的栅极信号驱动。就是说，在多畴设计的像素中具有独立地控制施加到各个像素电极的信号的结构。

[0178] 像素电极 624 在接触孔 623 中通过布线 618 连接到 TFT628。此外，像素电极 626 在接触孔 627 中通过布线 619 连接到 TFT629。TFT628 的栅极布线 602 和 TFT629 的栅极布线 603 彼此分离，以可以接收不同的栅极信号。另一方面，TFT628 和 TFT629 共同使用用作数据线的布线 616。TFT628 和 TFT629 可以适当地使用实施方式 1 所示的薄膜晶体管。另外，还提供有电容布线 690。另外，在图 16 至图 25 中，关于 TFT628 及 TFT629 作为源区或漏区的添加有赋予一种导电类型的杂质的半导体膜、以及兼用作源电极或漏电极的布线通过相同的蚀刻工序被加工，并且以大致相同的形状层叠。

[0179] 像素电极 624 和像素电极 626 的形状不同，并且由槽缝 625 分离。像素电极 626 以围绕舒展为 V 字形的像素电极 624 的外侧的方式形成。通过由 TFT628 和 TFT629 使施加到像素电极 624 和像素电极 626 的电压的时序为不同，控制液晶的取向。图 19 示出该像素结构的等效电路。TFT628 与栅极布线 602 连接，而 TFT629 与栅极布线 603 连接。通过将不同的栅极信号提供到栅极布线 602 和栅极布线 603，可以使 TFT628 和 TFT629 的工作时序为不同。

[0180] 在相对衬底 601 上形成有遮光膜 632、第二着色膜 636、相对电极 640。此外，在第二着色膜 636 和相对电极 640 之间形成平坦化膜 637，以防止液晶的取向无序。图 18 示出相对衬底一侧的结构。相对电极 640 是不同的像素之间共同使用的电极，其中形成有槽缝 641。通过将该槽缝 641 和像素电极 624 及像素电极 626 一侧的槽缝 625 配置为互相咬合，可以有效地产生倾斜电场而控制液晶的取向。由此，可以在每个部分中使液晶取向的方向为不同，以扩大视角。

[0181] 通过重叠像素电极 624、液晶层 650、以及相对电极 640，形成第一液晶元件。此外，通过重叠像素电极 626、液晶层 650、以及相对电极 640，形成第二液晶元件。另外，采用一个像素中设置有第一液晶元件和第二液晶元件的多畴结构。

[0182] 接着，示出水平电场方式的液晶显示装置。水平电场方式是通过对于单元内的液晶分子在水平方向上施加电场驱动液晶来进行灰度级表达的方式。通过该方式，可以将视角扩大为大约 180 度。在下面的说明中，说明采用水平电场方式的液晶显示装置。

[0183] 图 20 示出重叠形成有 TFT628 和与其连接的像素电极 624 的衬底 600 和相对衬底 601 并注入有液晶的状态。相对衬底 601 形成有遮光膜 632、第二着色膜 636、平坦化膜 637 等。像素电极位于衬底 600 一侧，而不设置在相对衬底 601 一侧。在衬底 600 和相对衬底 601 之间形成有液晶层 650。

[0184] 在衬底 600 上形成第一像素电极 607、连接到第一像素电极 607 的电容布线 604、以及实施方式 1 所示的 TFT628。第一像素电极 607 可以使用与实施方式 1 所示的像素电极 77 相同的材料。此外，第一像素电极 607 以大致区分为像素形状的形状而形成。注意，在第一像素电极 607 及电容布线 604 上形成栅极绝缘膜 606。

[0185] TFT628 的布线 616、布线 618 形成在栅极绝缘膜 606 上。布线 616 是在液晶面板中传送视频信号的数据线，且是在一个方向上延伸的布线，同时，还与 TFT628 的源区连接而成为源极及漏极中的一方电极。布线 618 是成为源极及漏极中的另一方电极且与第二像素电极 624 连接的布线。

[0186] 在布线 616、布线 618 上形成第二绝缘膜 620。此外，在绝缘膜 620 上形成第二像素电极 624，该第二像素电极 624 在形成在绝缘膜 620 中的接触孔中与布线 618 连接。像素电极 624 使用与实施方式 1 所示的像素电极 77 同样的材料形成。

[0187] 通过上述方法，在衬底 600 上形成 TFT628 和与其连接的第一像素电极 624。注意，保持电容形成在第一像素电极 607 和第二像素电极 624 之间。

[0188] 图 21 是示出像素电极的结构的俯视图。图 20 示出对应于沿图 21 所示的截断线 O-P 的截面结构。在像素电极 624 中，设置槽缝 625。槽缝 625 用来控制液晶的取向。在此情况下，在第一像素电极 607 和第二像素电极 624 之间产生电场。第一像素电极 607 和第二像素电极 624 之间形成有栅极绝缘膜 606，但是栅极绝缘膜 606 的厚度为 50nm 至 200nm，与厚度为 2μ 至 10μm 的液晶层相比充分薄，因此实际上在与衬底 600 平行的方向（水平方向）上产生电场。由该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子在水平方向上旋转。在此情况下，由于液晶分子在任何状态下都处于水平状态，所以因观看角度的对比度等的影响很少，从而扩大视角。此外，因为第一像素电极 607 和第二像素电极 624 都是透光电极，所以可以提高开口率。

[0189] 接着，说明水平电场方式的液晶显示装置的其他例子。

[0190] 图 22 和图 23 示出 IPS 型液晶显示装置的像素结构。图 23 是俯视图，而图 22 示出对应于沿图 23 所示的截断线 I-J 的截面结构。在下面的说明中，参照上述两个附图进行说明。

[0191] 图 22 示出重叠形成有 TFT628 和与其连接的像素电极 624 的衬底 600 和相对衬底 601 并注入有液晶的状态。相对衬底 601 形成有遮光膜 632、第二着色膜 636、平坦化膜 637 等。像素电极位于衬底 600 一侧，而不设置在相对衬底 601 一侧。在衬底 600 和相对衬底 601 之间形成有液晶层 650。

[0192] 在衬底 600 上形成共同电位线 609、以及实施方式 1 所示的 TFT628。共同电位线 609 可以与薄膜晶体管 628 的栅极布线 602 同时形成。此外，第一像素电极 607 以大致区分为像素形状的形状而形成。

[0193] TFT628 的布线 616、布线 618 形成在栅极绝缘膜 606 上。布线 616 是在液晶面板中传送视频信号的数据线，且是在一个方向上延伸的布线，同时，还与 TFT628 的源区连接而成为源极及漏极中的一方电极。布线 618 是成为源极及漏极中的另一方电极且与第二像素电极 624 连接的布线。

[0194] 在布线 616、布线 618 上形成第二绝缘膜 620。此外，在绝缘膜 620 上形成第二像素电极 624，该第二像素电极 624 在形成在绝缘膜 620 中的接触孔 623 中与布线 618 连接。像素电极 624 使用与实施方式 1 所示的像素电极 77 同样的材料形成。注意，如图 23 所示，像素电极 624 被形成为和与共同电位线 609 同时形成的梳形电极之间产生水平电场。像素电极 624 的梳齿部和与共同电位线 609 同时形成的梳形电极互相咬合。

[0195] 当施加到像素电极 624 的电位与共同电位线 609 的电位之间产生电场时，由该电

场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子在水平方向上旋转。在此情况下，由于液晶分子在任何状态下都处于水平状态，所以因观看角度的对比度等的影响很少，从而扩大视角。

[0196] 像这样，在衬底 600 上形成 TFT628 以及与其连接的像素电极 624。保持电容通过在共同电位线 609 和电容电极 615 之间设置栅极绝缘膜 606 而形成。电容电极 615 和像素电极 624 通过接触孔 633 相互连接。

[0197] 接着，示出 TN 型的液晶显示装置的方式。

[0198] 图 24 和图 25 示出 TN 型液晶显示装置的像素结构。图 25 是俯视图，而图 24 示出对应于沿图 25 所示的截断线 K-L 的截面结构。在下面的说明中，参照上述两个附图进行说明。

[0199] 像素电极 624 在接触孔 623 中通过布线 618 与 TFT628 连接。用作数据线的布线 616 与 TFT628 连接。作为 TFT628，可以应用实施方式 1 所示的 TFT 的任何一种。

[0200] 像素电极 624 使用实施方式 1 所示的像素电极 77 形成。

[0201] 在相对衬底 601 上形成有遮光膜 632、第二着色膜 636、相对电极 640。此外，在第二着色膜 636 和相对电极 640 之间形成平坦化膜 637，以防止液晶的取向无序。液晶层 650 中间夹取向膜 648 及取向膜 646 形成在像素电极 624 和相对电极 640 之间。

[0202] 通过重叠像素电极 624、液晶层 650、以及相对电极 640，形成液晶元件。

[0203] 此外，在衬底 600 或相对衬底 601 上也可以形成有颜色滤光片、用来防止向错(disclination)的屏蔽膜(黑矩阵)等。此外，在衬底 600 的与形成有薄膜晶体管的面相反的面上贴附偏振片，或者在相对衬底 601 的与形成有相对电极 640 的面相反的面上贴附偏振片。

[0204] 通过上述工序，可以制造液晶显示装置。由于本实施方式的液晶显示装置使用截止电流少且电特性及可靠性高的薄膜晶体管，因此成为对比度高且可见度高的液晶显示装置。

[0205] 实施方式 6

[0206] 接着，下面示出本发明的液晶显示装置的一个方式的液晶显示面板(也称为液晶面板)的结构。

[0207] 图 9A 示出一种液晶显示面板的方式，其中只有信号线驱动电路 6013 另行形成且该信号线驱动电路 6013 与形成在衬底 6011 上的像素部 6012 连接。像素部 6012 及扫描线驱动电路 6014 采用使用微晶半导体膜的薄膜晶体管形成。通过采用可获得比使用微晶半导体膜的薄膜晶体管高的迁移率的晶体管形成信号线驱动电路，可以使被要求比扫描线驱动电路高的驱动频率的信号线驱动电路的工作稳定。注意，信号线驱动电路 6013 也可以是使用单晶半导体的晶体管、使用多晶半导体的薄膜晶体管、或使用 SOI 的薄膜晶体管。对于像素部 6012、信号线驱动电路 6013、扫描线驱动电路 6014 分别通过 FPC6015 供给电源电位、各种信号等。

[0208] 此外，信号线驱动电路及扫描线驱动电路也可以一起形成在与像素部相同的衬底上。

[0209] 另外，在另行形成驱动电路的情况下，不一定需要将形成有驱动电路的衬底贴附在形成有像素部的衬底上，例如也可以贴附在 FPC 上。图 9B 示出一种液晶显示面板的方式，

其中只有信号线驱动电路 6023 另行形成，且该信号线驱动电路 6023 与形成在衬底 6021 上的像素部 6022 及扫描线驱动电路 6024 连接。像素部 6022 及扫描线驱动电路 6024 采用使用微晶半导体膜的薄膜晶体管形成。信号线驱动电路 6023 通过 FPC6025 与像素部 6022 连接。对于像素部 6022、信号线驱动电路 6023、扫描线驱动电路 6024 分别通过 FPC6025 供给电源电位、各种信号等。

[0210] 此外，也可以采用使用微晶半导体膜的薄膜晶体管只将信号线驱动电路的一部分或扫描线驱动电路的一部分形成在与像素部相同的衬底上，并且另行形成其他部分并使它电连接到像素部。图 9C 示出一种液晶显示面板的方式，将信号线驱动电路所具有的模拟开关 6033a 形成在与像素部 6032、扫描线驱动电路 6034 相同的衬底 6031 上，并且将信号线驱动电路所具有的移位寄存器 6033b 另行形成在不同的衬底上并彼此贴合。像素部 6032 及扫描线驱动电路 6034 采用使用微晶半导体膜的薄膜晶体管形成。信号线驱动电路所具有的移位寄存器 6033b 通过 FPC6035 与像素部 6032 连接。对于像素部 6032、信号线驱动电路、扫描线驱动电路 6034 分别通过 FPC6035 供给电源电位、各种信号等。

[0211] 如图 9A 至 9C 所示，在本发明的液晶显示装置中，可以采用使用微晶半导体膜的薄膜晶体管将驱动电路的一部分或全部形成在与像素部相同的衬底上。

[0212] 注意，对于另行形成的衬底的连接方法没有特别的限制，可以使用已知的 COG 方法、引线键合方法、或 TAB 方法等。此外，若是能够电连接，则连接位置不局限于图 9A 至 9C 所示的位置。另外，也可以另行形成控制器、CPU、存储器等而连接。

[0213] 注意，用于本发明的信号线驱动电路不局限于只有移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关之外，也可以具有其他电路如缓冲器、电平转移器、源极跟随器等。此外，不一定设置移位寄存器和模拟开关，例如既可以使用如译码器电路的能够选择信号线的其他电路代替移位寄存器，又可以使用锁存器等代替模拟开关。

[0214] 接着，参照图 11A 和 11B 说明相当于本发明的液晶显示装置的一个方式的液晶显示面板的外观及截面。图 11A 是一种面板的俯视图，其中在与第二衬底 4006 之间使用密封材料 4005 密封形成在第一衬底 4001 上的包括微晶半导体膜的薄膜晶体管 4010 及液晶元件 4013。图 11B 相当于沿着图 11A 的 M-N 线的截面图。

[0215] 以围绕形成在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封材料 4005。此外，在像素部 4002 和扫描线驱动电路 4004 上设置第二衬底 4006。因此，使用第一衬底 4001、密封材料 4005 以及第二衬底 4006 将像素部 4002 和扫描线驱动电路 4004 与液晶 4008 一起密封。另外，在第一衬底 4001 上的与由密封材料 4005 围绕的区域不同的区域中安装有使用多晶半导体膜形成在另行准备的衬底上的信号线驱动电路 4003。注意，本实施方式说明将具有使用多晶半导体膜的薄膜晶体管的信号线驱动电路贴附到第一衬底 4001 的例子，但是也可以采用使用单晶半导体的晶体管形成信号线驱动电路并贴合。图 11A 和 11B 例示包括在信号线驱动电路 4003 中的由多晶半导体膜形成的薄膜晶体管 4009。

[0216] 此外，设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 包括多个薄膜晶体管，图 11B 例示包括在像素部 4002 中的薄膜晶体管 4010。薄膜晶体管 4010 相当于使用微晶半导体膜的薄膜晶体管，该薄膜晶体管可以与实施方式 1 至 4 所示的工序同样地形成。

[0217] 此外，附图标记 4013 相当于液晶元件，该液晶元件 4013 所具有的像素电极 4030 通过布线 4040 电连接到薄膜晶体管 4010。而且，液晶元件 4013 的相对电极 4031 形成在第二衬底 4006 上。像素电极 4030、相对电极 4031、以及液晶 4008 重叠的部分相当于液晶元件 4013。

[0218] 注意，作为第一衬底 4001、第二衬底 4006，可以使用玻璃、金属（典型的是不锈钢）、陶瓷、塑料。作为塑料，可以使用 FRP（纤维增强塑料）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外，也可以采用具有使用 PVF 薄膜及聚酯薄膜夹铝箔的结构的薄片。

[0219] 另外，附图标记 4035 表示球状隔离物，该球状隔离物 4035 是为控制像素电极 4030 和相对电极 4031 之间的距离（单元间隙）而设置的。注意，也可以使用通过选择性地蚀刻绝缘膜来获得的隔离物。

[0220] 此外，提供到另行形成的信号线驱动电路 4003 和扫描线驱动电路 4004 或像素部 4002 的各种信号及电位从 FPC4018 通过引导布线 4014、4015 供给。

[0221] 在本实施方式中，连接端子 4016 由与液晶元件 4013 所具有的像素电极 4030 相同的导电膜形成。此外，引导布线 4014、4015 由与布线 4041 相同的导电膜形成。

[0222] 连接端子 4016 通过各向异性导电膜 4019 电连接到 FPC4018 所具有的端子。

[0223] 注意，虽然未图示，但是本实施方式所示的液晶显示装置具有取向膜、偏振片，还可以具有颜色滤光片及屏蔽膜。

[0224] 此外，图 11A 和 11B 示出另行形成信号线驱动电路 4003 而安装到第一衬底 4001 的例子，但是本实施方式不局限于此。既可以另行形成扫描线驱动电路而安装，又可以只将信号线驱动电路的一部分或扫描线驱动电路的一部分另行形成而安装。

[0225] 本实施方式可以适当地与其他实施方式所记载的结构组合而实施。

[0226] 实施方式 7

[0227] 根据本发明获得的液晶显示装置等可以使用于液晶显示模块（也称为液晶模块）。就是说，在将该模块安装到显示部中的所有电子设备中可以实施本发明。

[0228] 作为这种电子设备的例子，可以举出如下：拍摄装置如摄影机、数字照相机等；头戴式显示器（护目镜型显示器）；汽车导航系统；投影机；汽车音响；个人计算机；便携式信息终端（便携式计算机、移动电话、或电子书籍等）等。图 7A 至 7C 示出了它们的一个例子。

[0229] 图 7A 示出电视装置。如图 7A 所示，可以将液晶显示模块嵌入到框体中来完成电视装置。还安装有 FPC 的液晶显示面板也称为液晶显示模块。由液晶显示模块形成主屏 2003，并且作为其他辅助设备还具有扬声器部 2009、操作开关等。像这样，可以完成电视装置。

[0230] 如图 7A 所示，将利用液晶元件的液晶显示用面板 2002 安装在框体 2001 中，可以由接收器 2005 接收普通的电视广播。而且，可以通过经由调制解调器 2004 连接到采用有线或无线方式的通信网络，进行单方向（从发送者到接收者）或双方向（在发送者和接收者之间或在接收者之间）的信息通信。可以使用安装在框体中的开关或遥控装置 2006 来操作电视装置。也可以在遥控装置中设置用于显示输出信息的显示部 2007。

[0231] 另外，除了主屏 2003 之外，在电视装置中，可以使用第二液晶显示用面板形成子屏 2008，附加有显示频道或音量等的结构。

[0232] 图 8 示出表示电视装置的主要结构的框图。在液晶显示面板中，形成有像素部

901。信号线驱动电路 902 和扫描线电路 903 也可以以 COG 方式安装到液晶显示面板上。

[0233] 作为其他外部电路的结构，在图像信号的输入一侧配备图像信号放大电路 905、图像信号处理电路 906、以及控制电路 907 等，该图像信号放大电路 905 放大由调谐器 904 接收的信号中的图像信号，该图像信号处理电路 906 将从视频信号放大电路 905 输出的信号转换为对应于红、绿、蓝各种颜色的颜色信号，该控制电路 907 将图像信号处理电路 906 的图像信号转换为驱动器 IC 的输入规格。控制电路 907 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下，也可以具有如下结构，即在信号线一侧设置信号分割电路 908，并且将输入数字信号分成 m 个来供给。

[0234] 由调谐器 904 接收的信号中的音频信号被传送到音频信号放大电路 909，并且其输出经过音频信号处理电路 910 供给到扬声器 913。控制电路 911 从输入部 912 接收接收站(接收频率)和音量的控制信息，并且将信号传送到调谐器 904、音频信号处理电路 910。

[0235] 当然，本发明不局限于电视装置，并且可以适用于各种各样的用途，如个人计算机的监视器、尤其是大面积的显示媒体如火车站或机场等的信息显示板或者街头上的广告显示板等。

[0236] 图 7B 示出移动电话 2301 的一个例子。该移动电话机 2301 包括显示部 2302、操作部 2303 等构成。在显示部 2302 中，通过应用上述实施方式所说明的液晶显示装置可以提高可靠性及批量生产性。

[0237] 此外，图 7C 所示的便携式计算机包括主体 2401、显示部 2402 等。通过将上述实施方式所示的液晶显示装置应用于显示部 2402，可以提高可靠性及批量生产性。

[0238] 本说明书根据 2007 年 7 月 20 日在日本专利局受理的日本专利申请编号 2007-190219 而制作，所述申请内容包括在本说明书中。

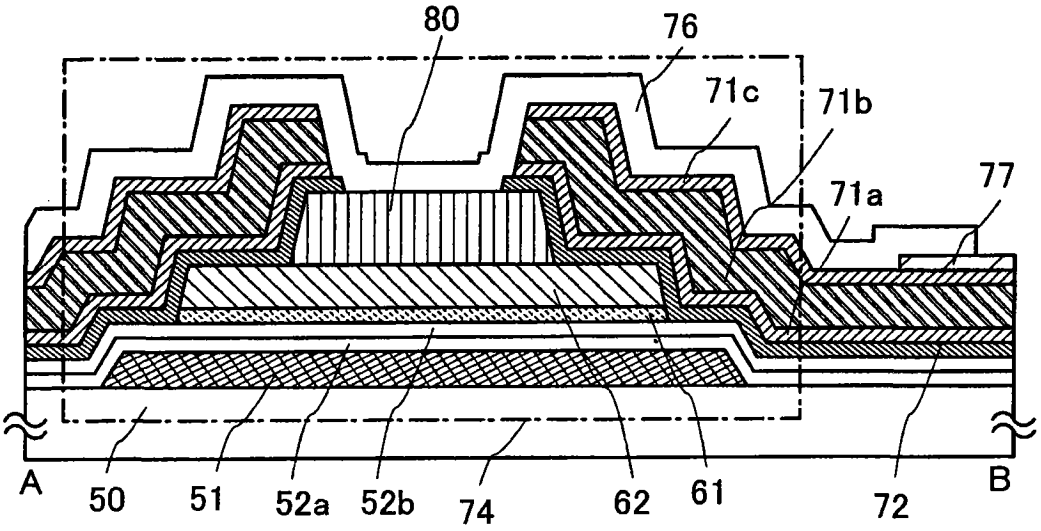

80
76
71c
71b
71a
77
A
50
51
52a
52b
74
62
61
72
B

图 1

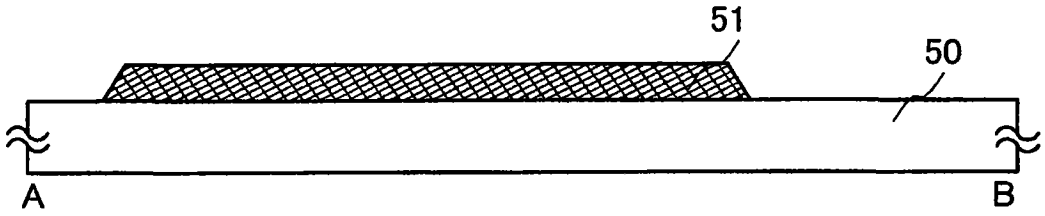

51
50
A
B

图 2A

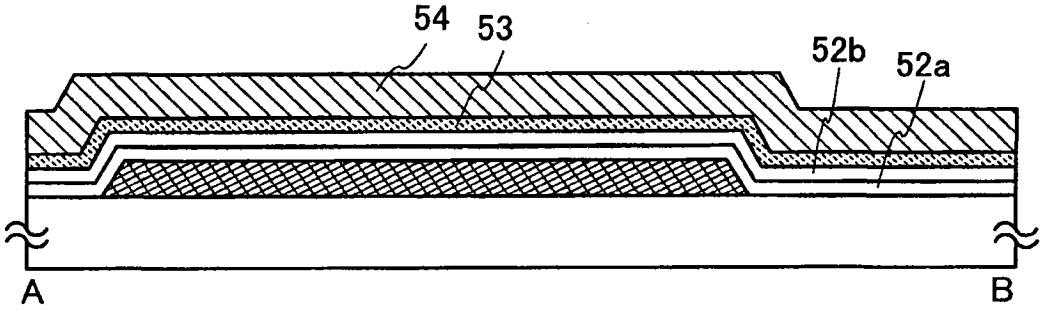

54
53
52b
52a
A
B

图 2B

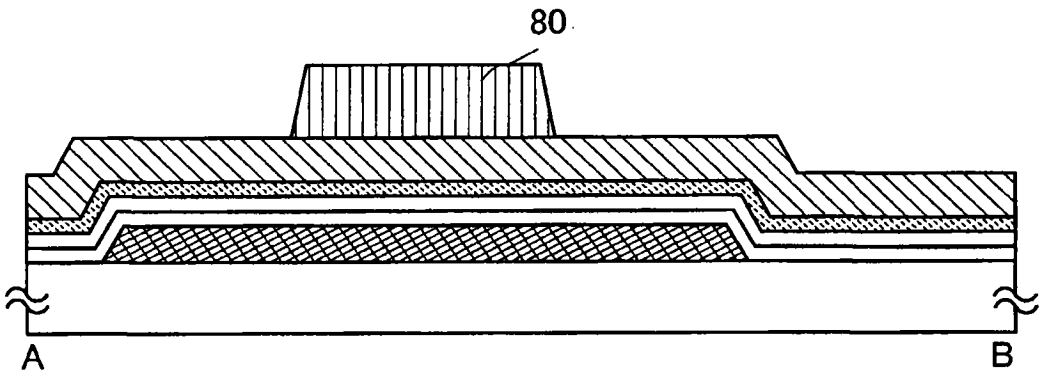


图 2C

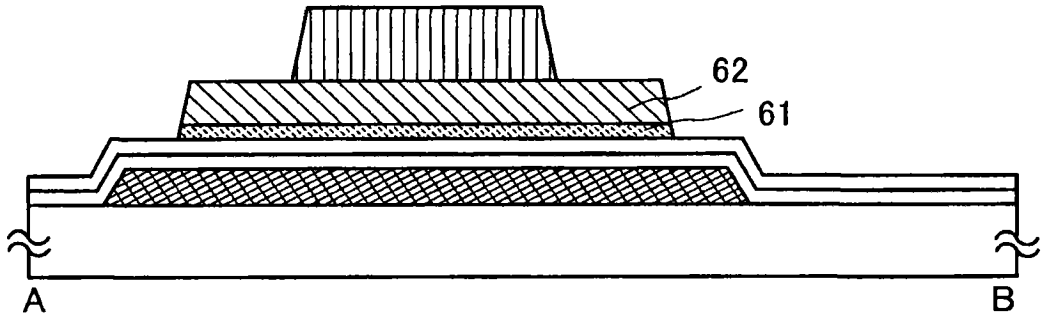


图 2D

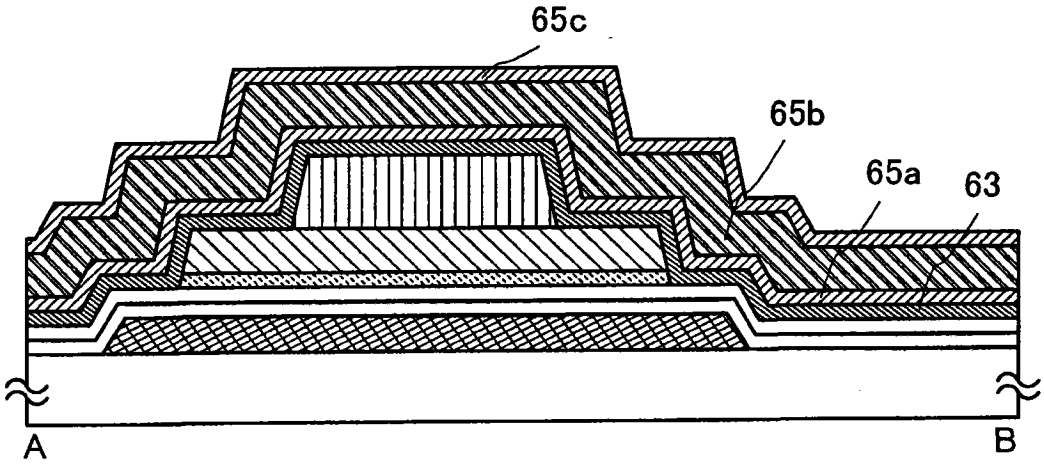


图 3A

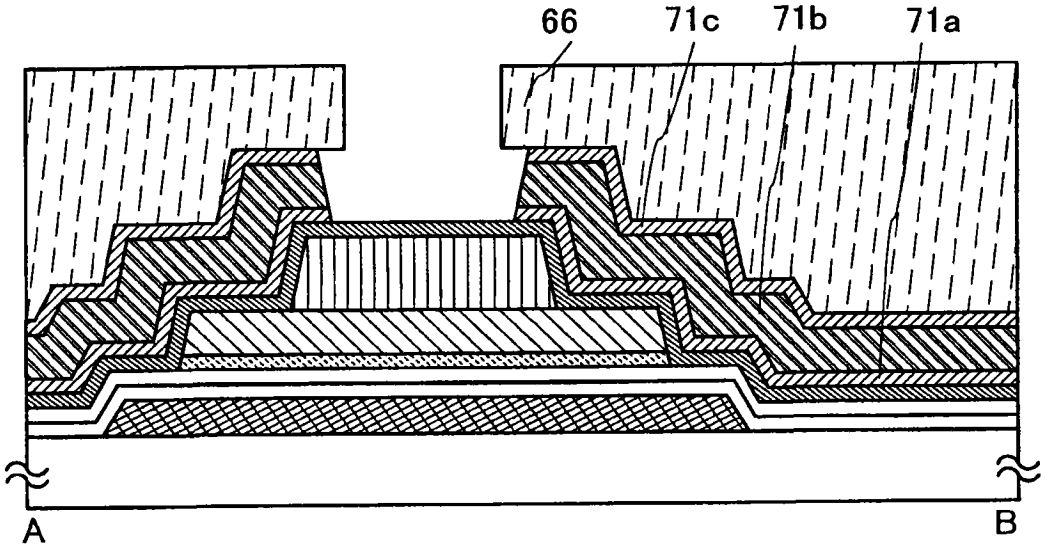


图 3B

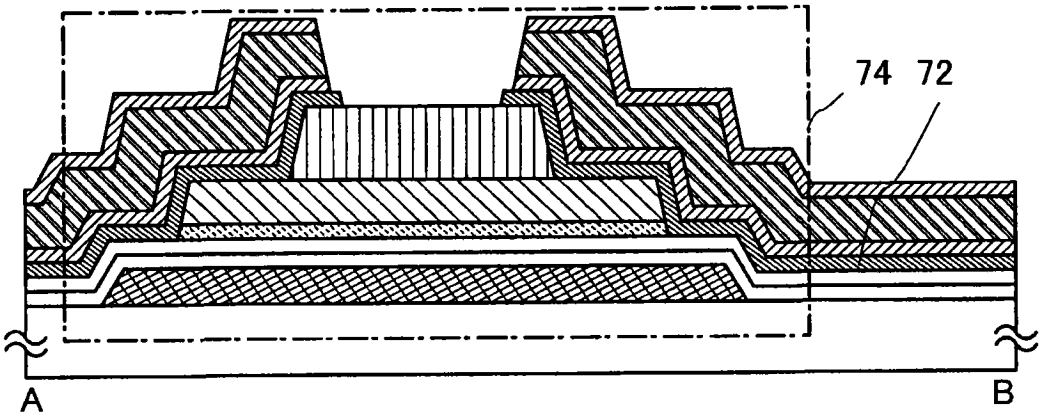


图 3C

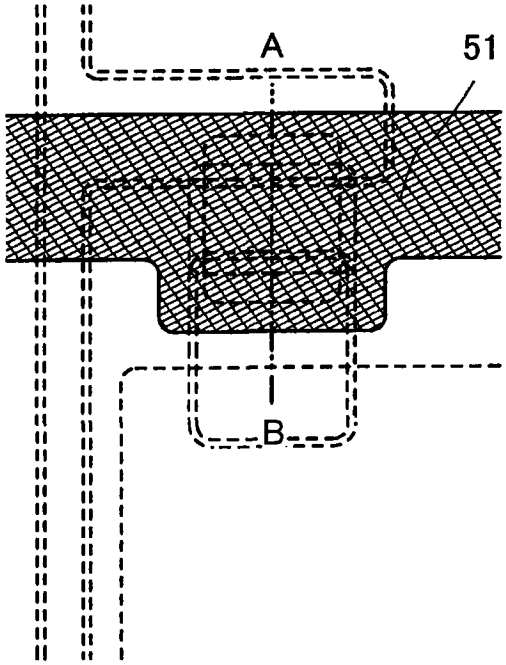


图 4A

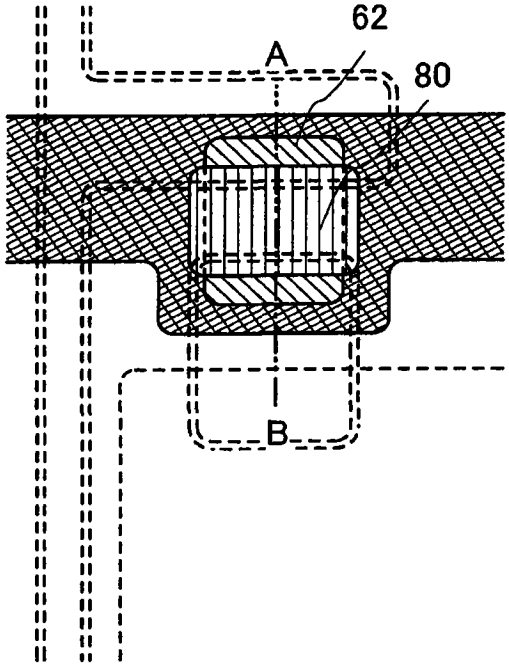


图 4B

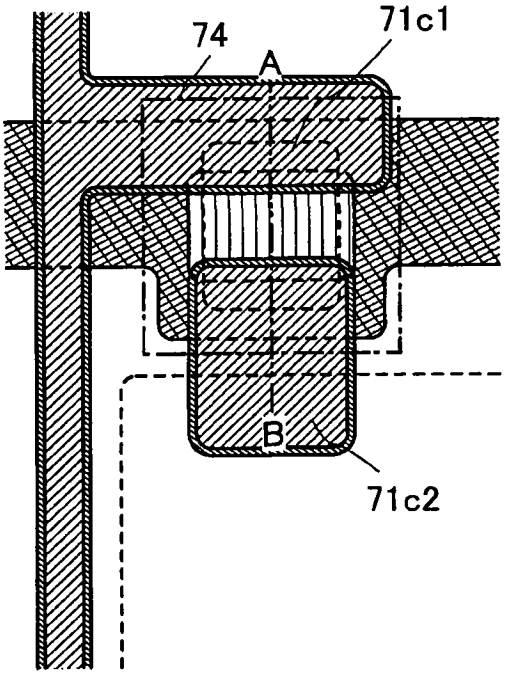


图 4C

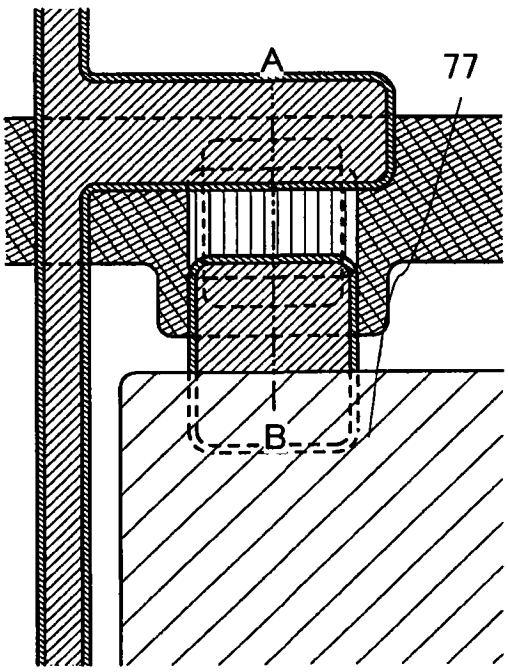


图 4D

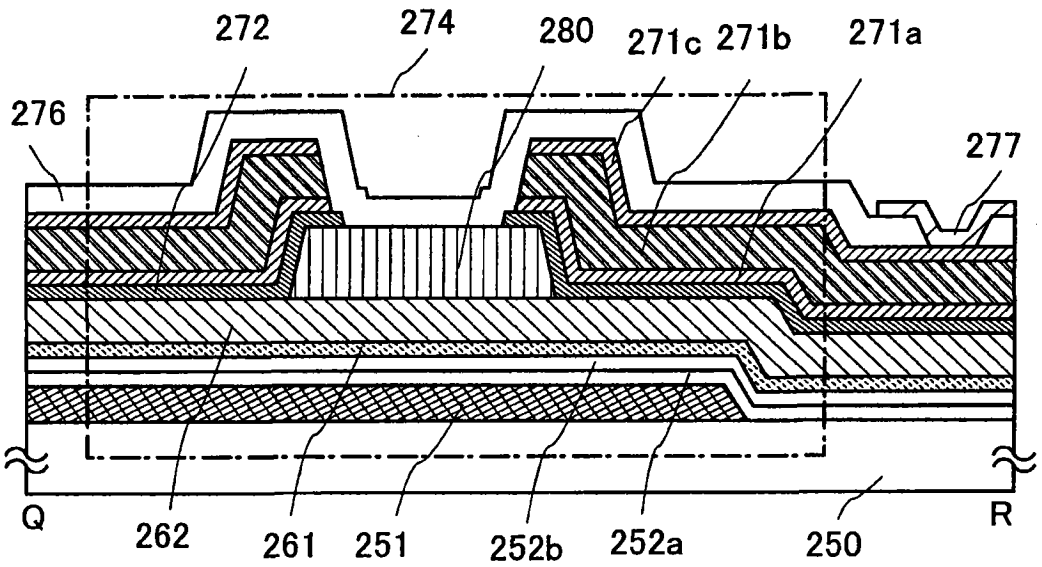

272
274
280
271c
271b
271a
276
277
Q
262
261
251
252b
252a
250
R

图 5

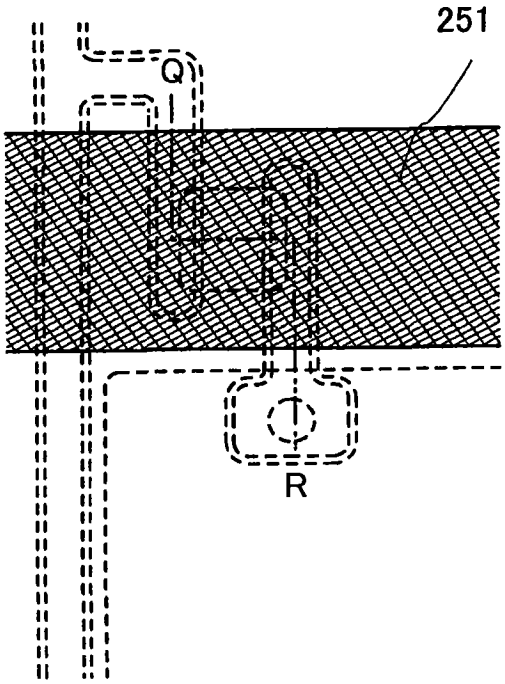

251
Q
R

图 6A

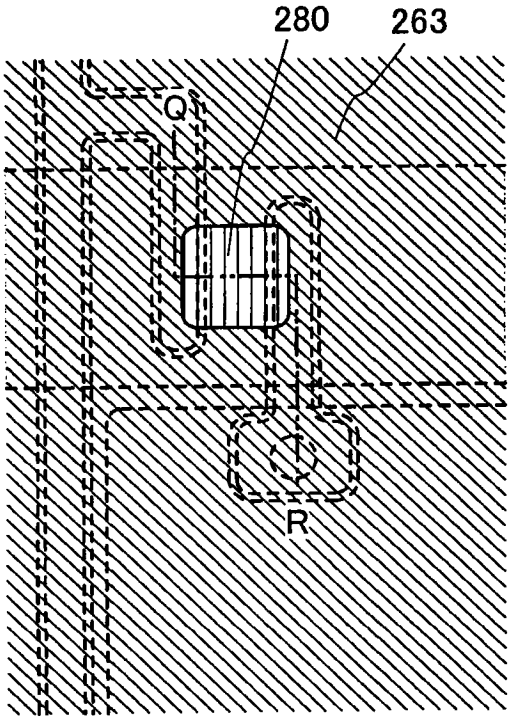

280
263
Q
R

图 6B

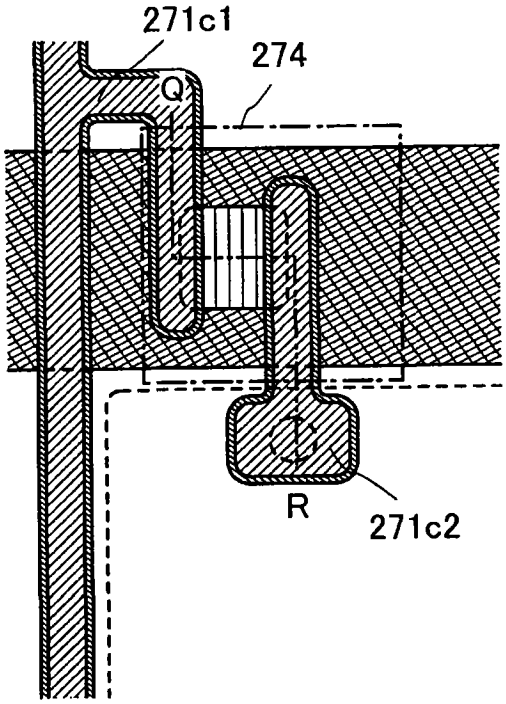


图 6C

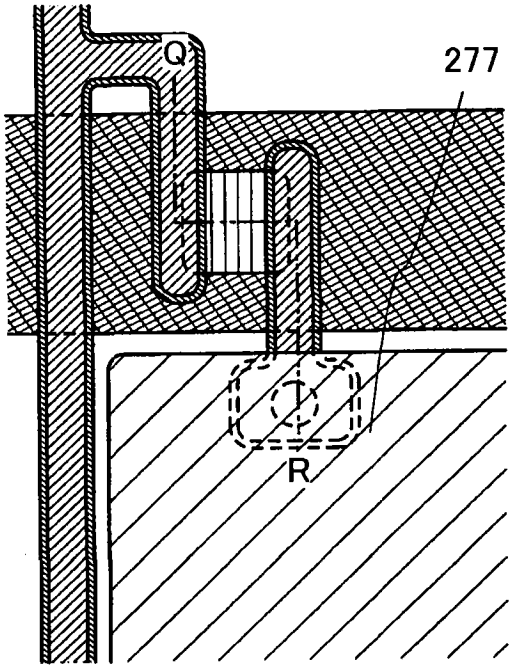


图 6D

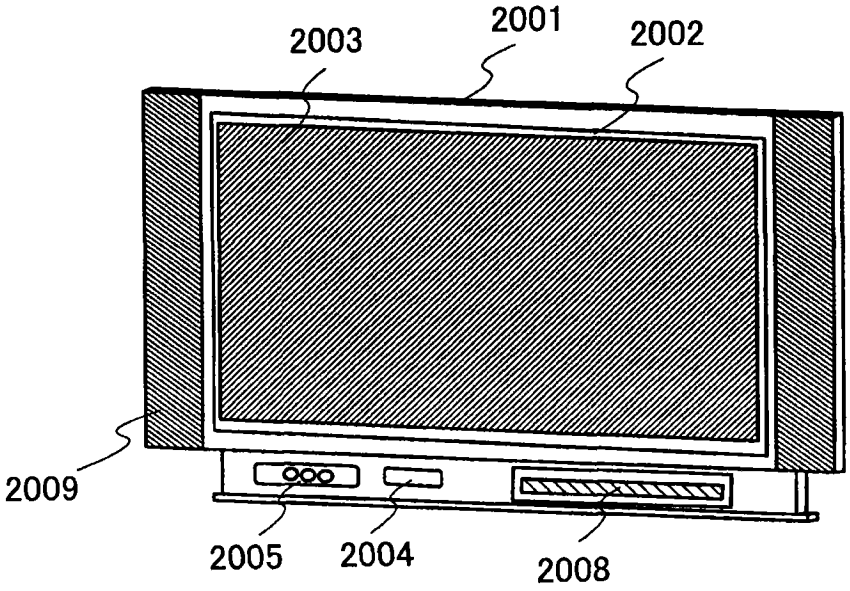


图 7A

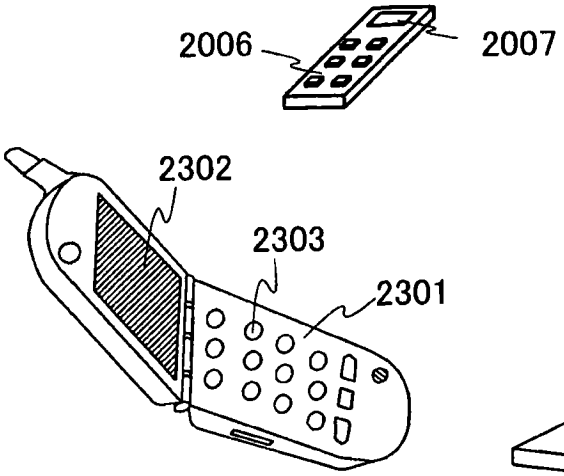


图 7B

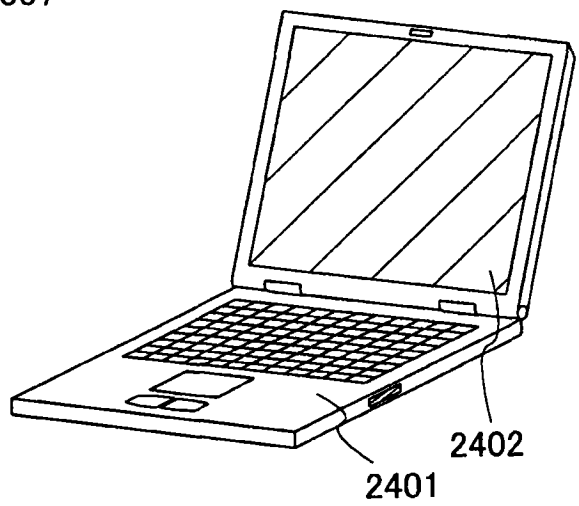


图 7C

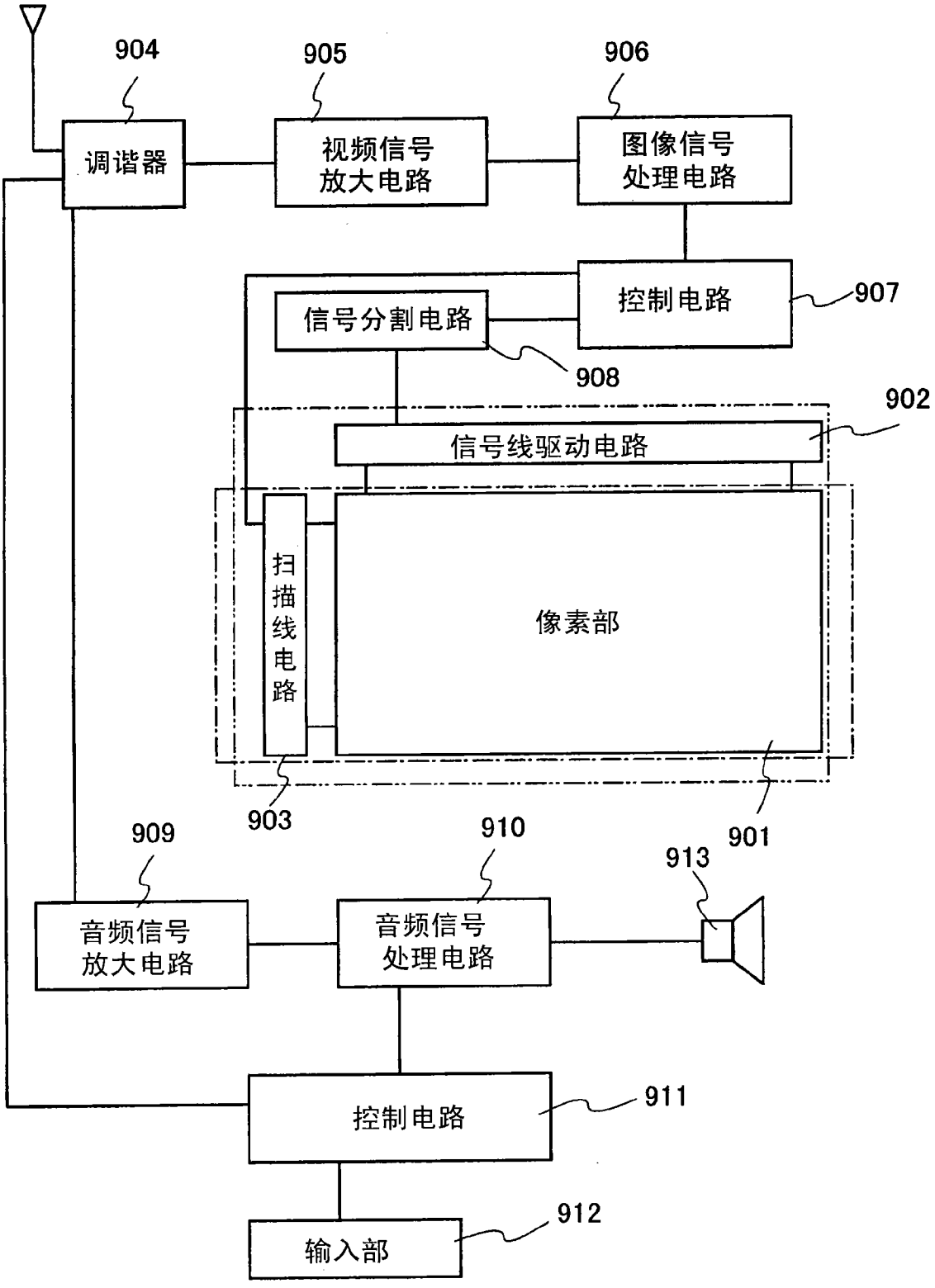

904
905
906
调谐器
视频信号
放大电路
图像信号
处理电路
控制电路
907
信号分割电路
908
902
信号线驱动电路
扫描线电路
像素部
903
901
909
910
913
音频信号
放大电路
音频信号
处理电路
控制电路
911
912
输入部

图 8

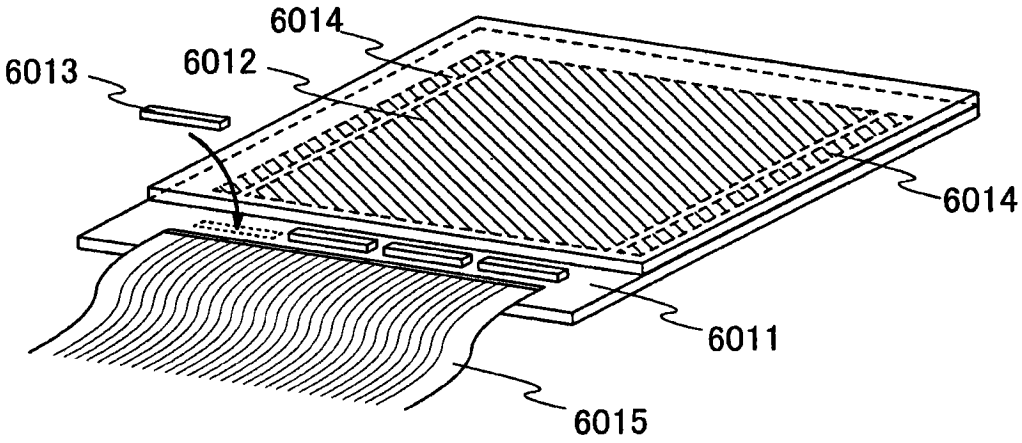

6014
6012
6013
6014
6011
6015

图 9A

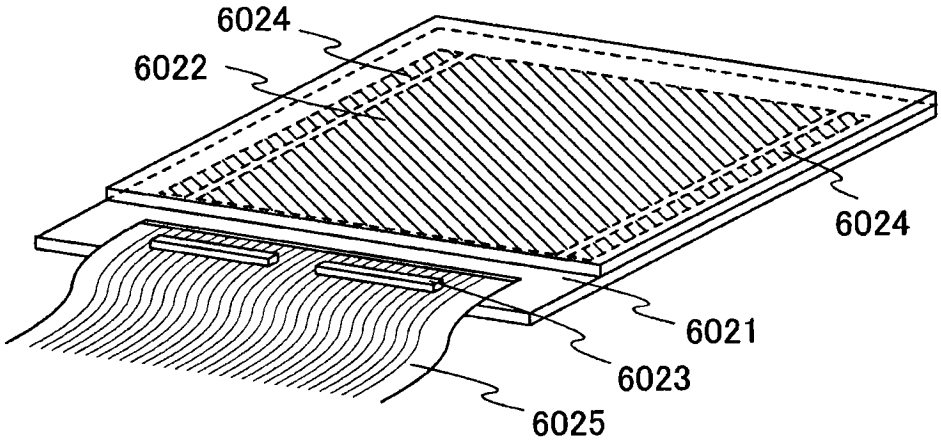

6024
6022
6024
6021
6023
6025

图 9B

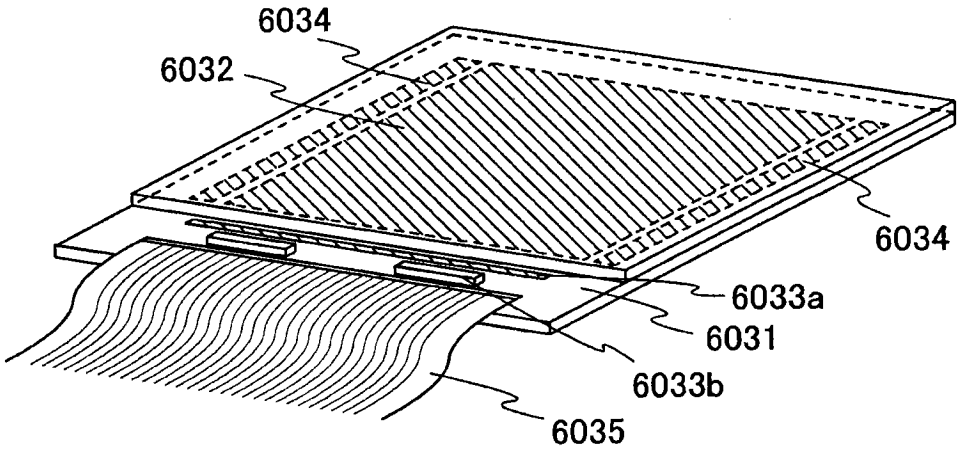

6034
6032
6034
6033a
6031
6033b
6035

图 9C

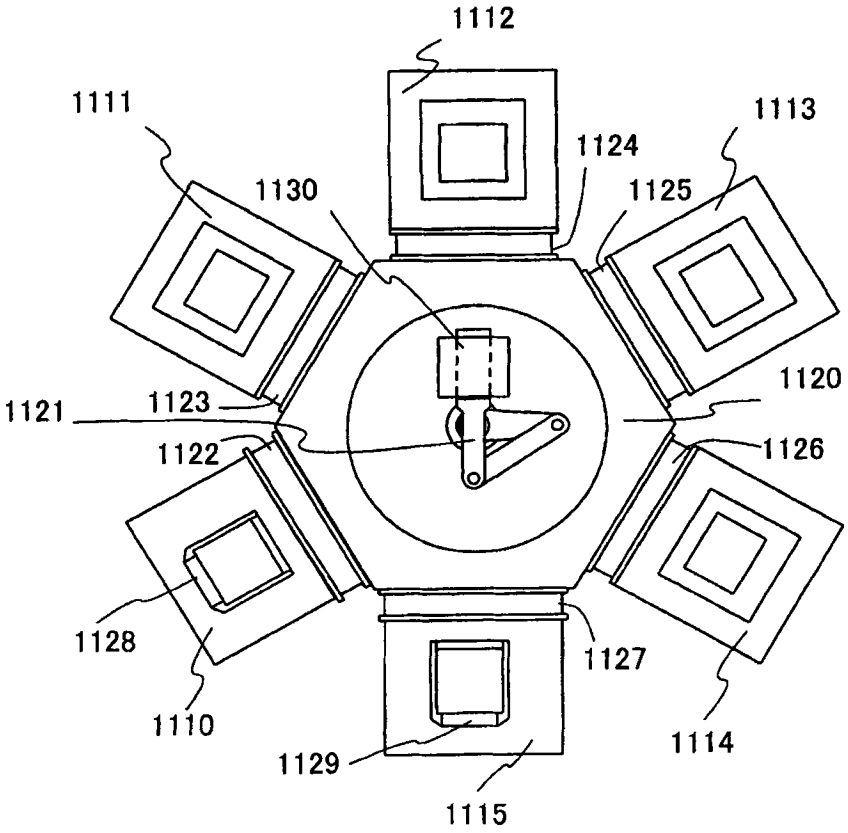

1112
1111
1113
1124
1130
1125
1120
1121
1123
1122
1126
1128
1127
1110
1114
1129
1115

图 10A

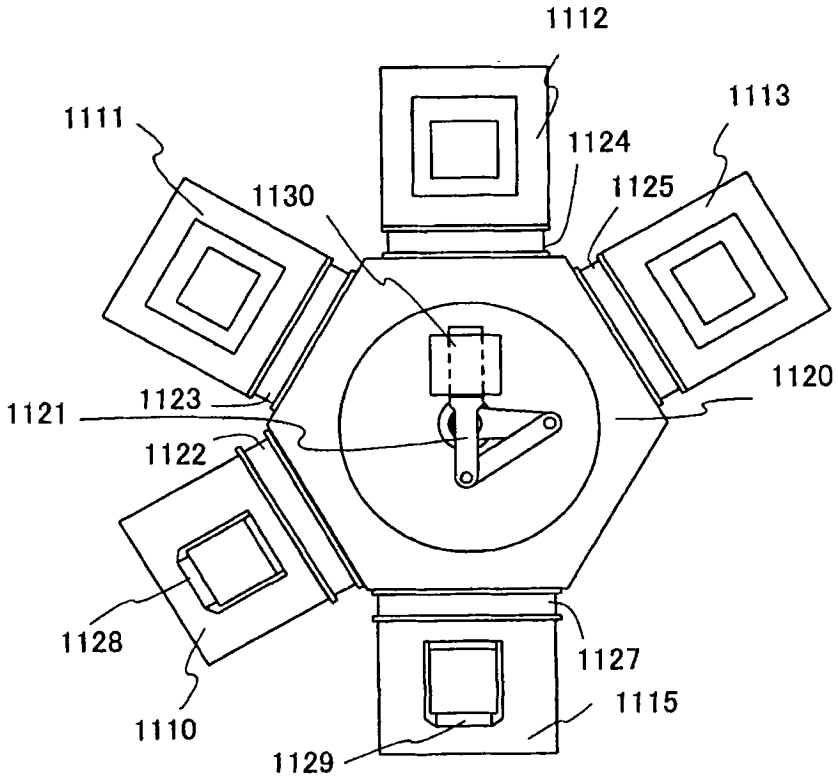

1112
1111
1113
1124
1130
1125
1120
1121
1123
1122
1128
1127
1115
1110
1129

图 10B

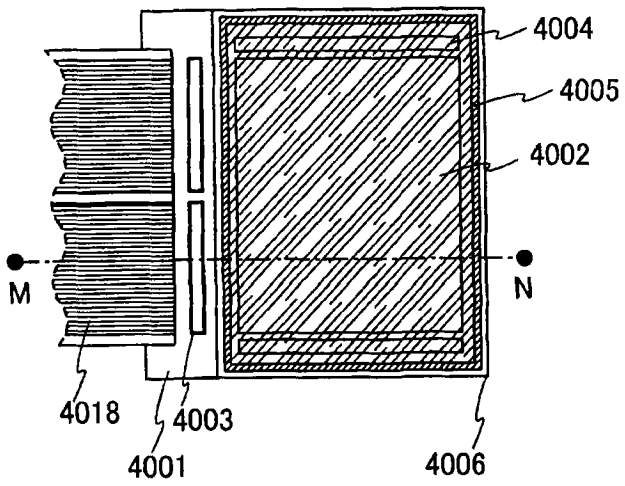

4004
4005
4002
M
N
4018
4003
4001
4006

图 11A

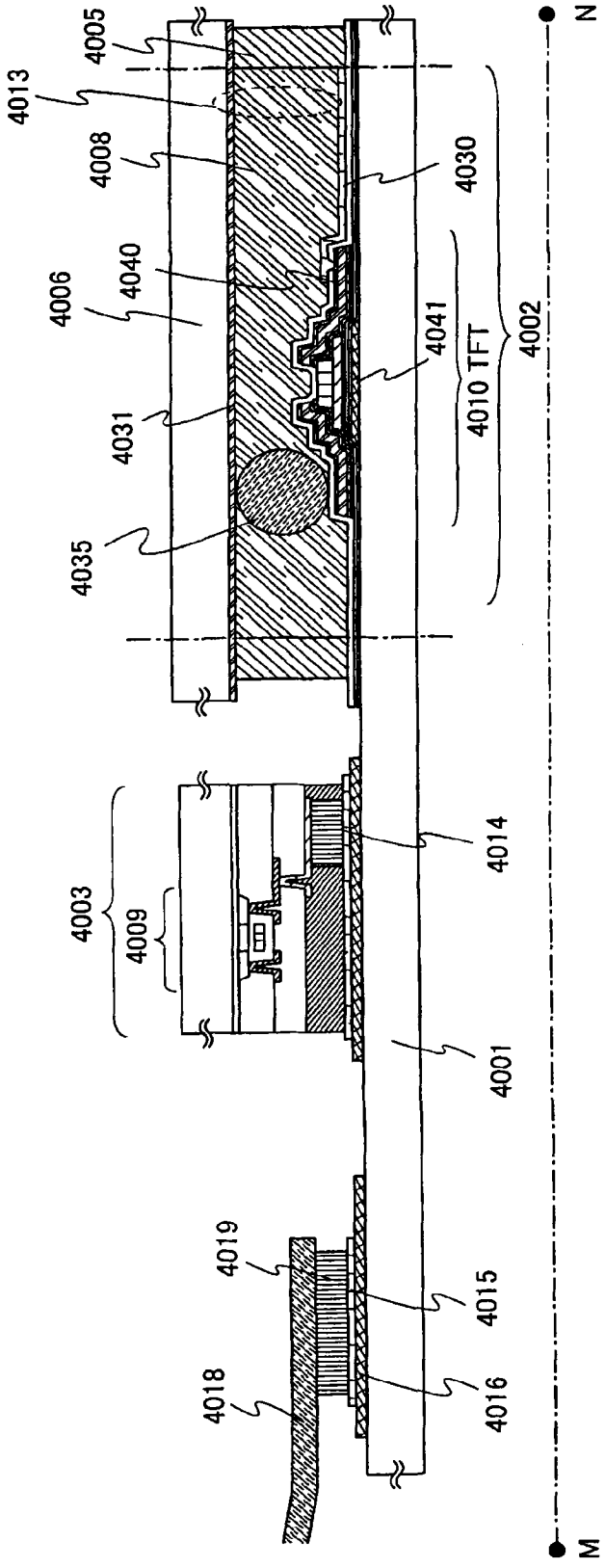

N
M
4005
4013
4008
4030
4006
4040
4041
4002
4010 TFT
4031
4035
4014
4003
4009
4001
4019
4015
4018
4016

图 11B

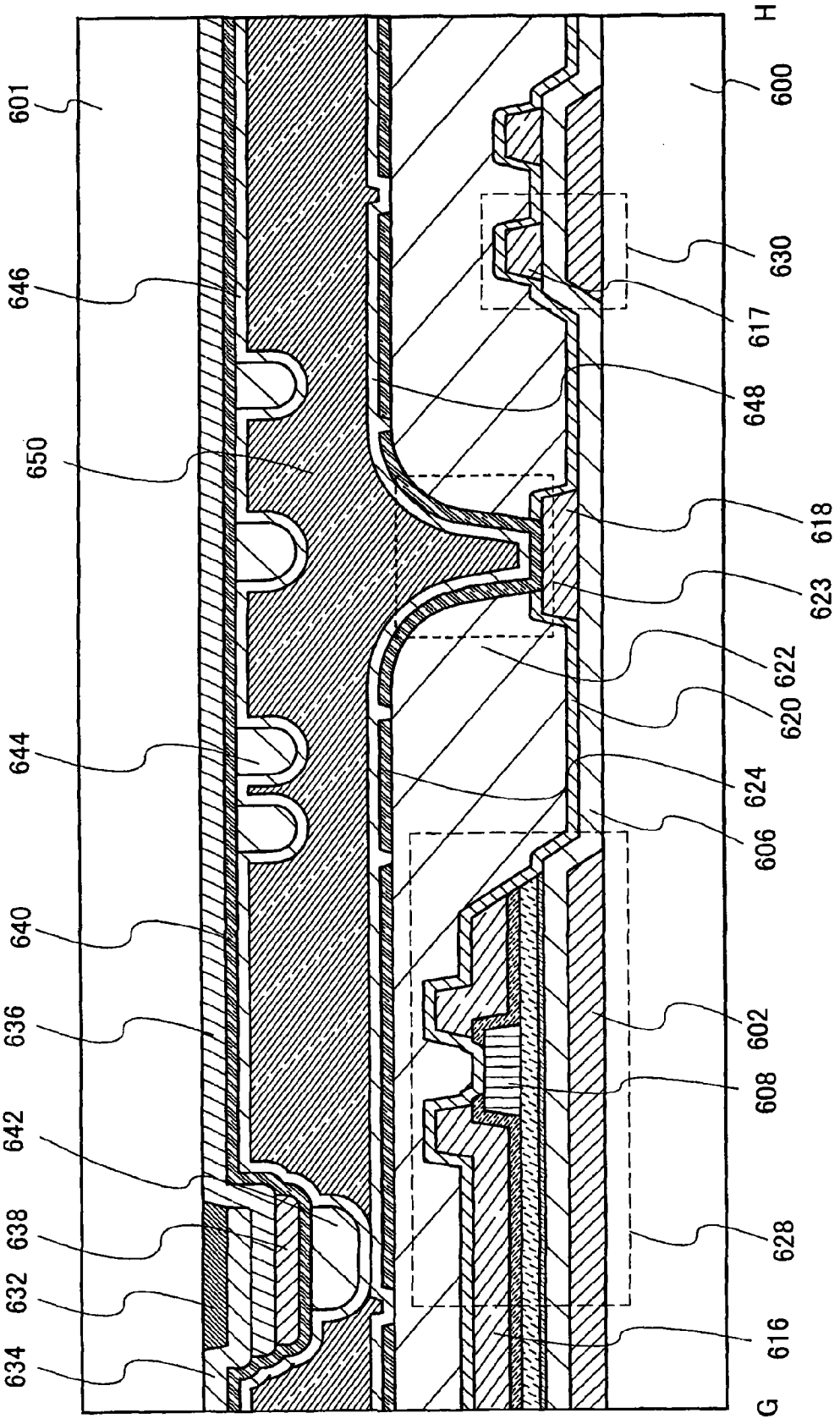

H
601
600
646
630
617
648
650
618
623
622
620
644
624
606
640
602
636
608
642
628
638
632
616
634
G

图 12

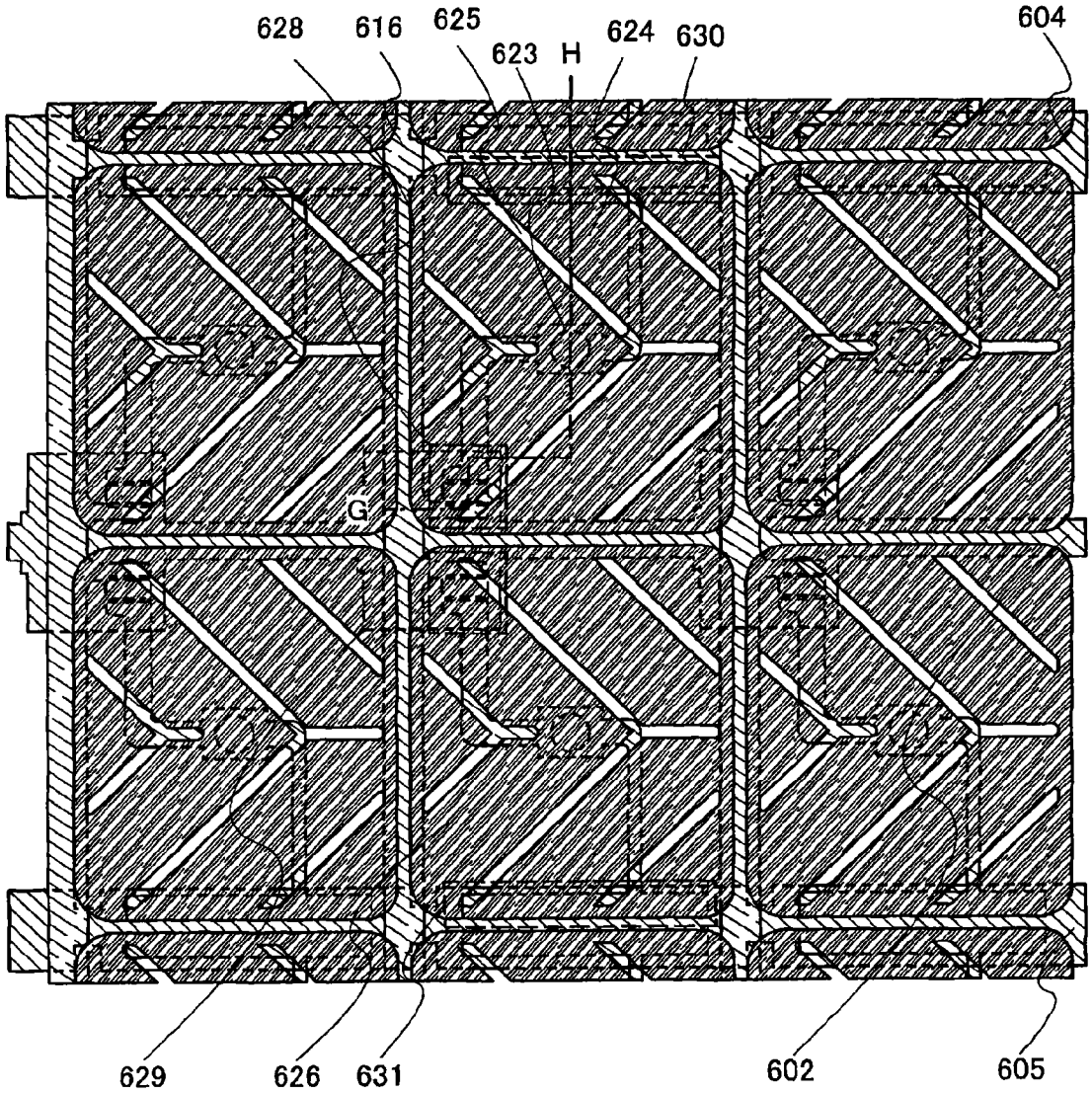


图 13

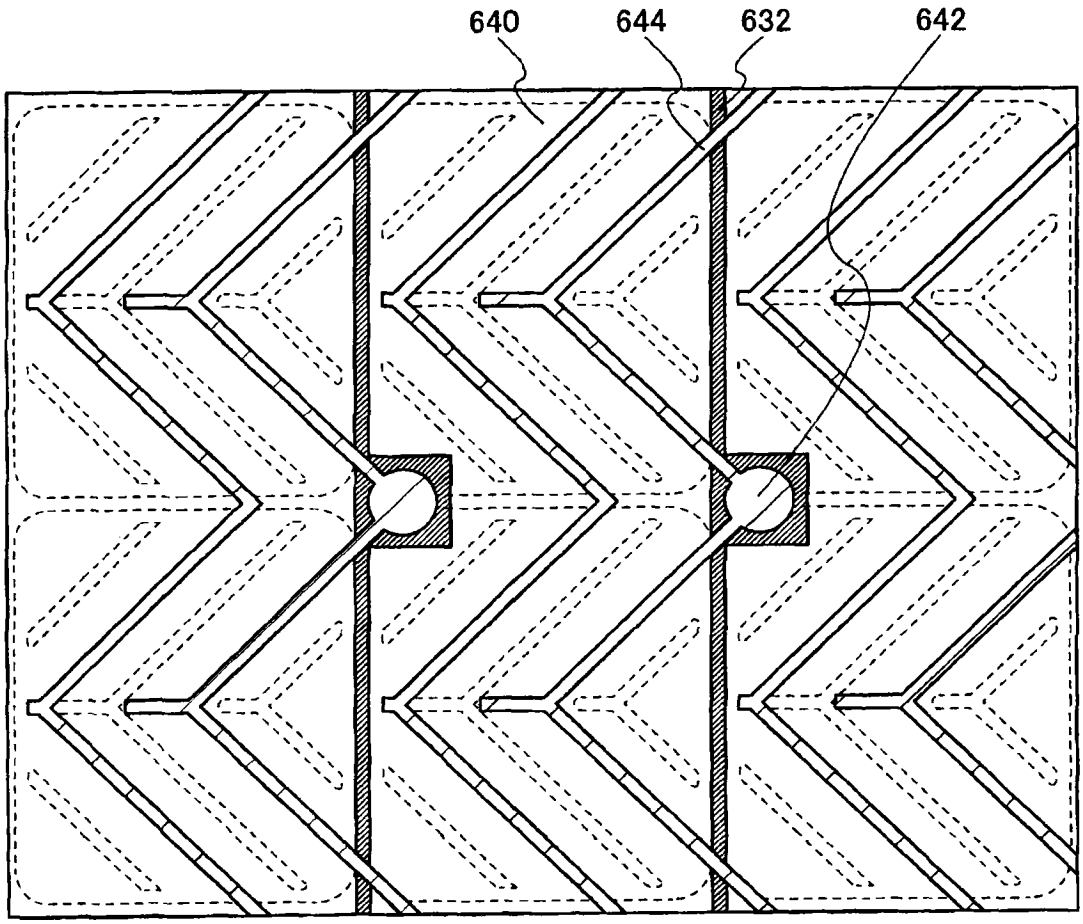


图 14

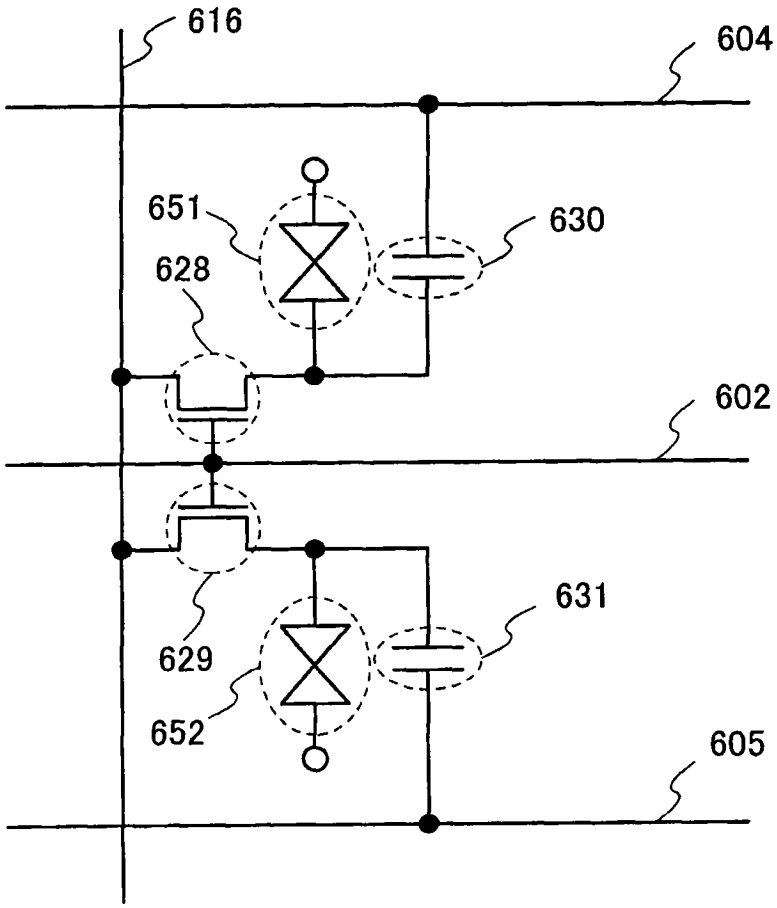


图 15

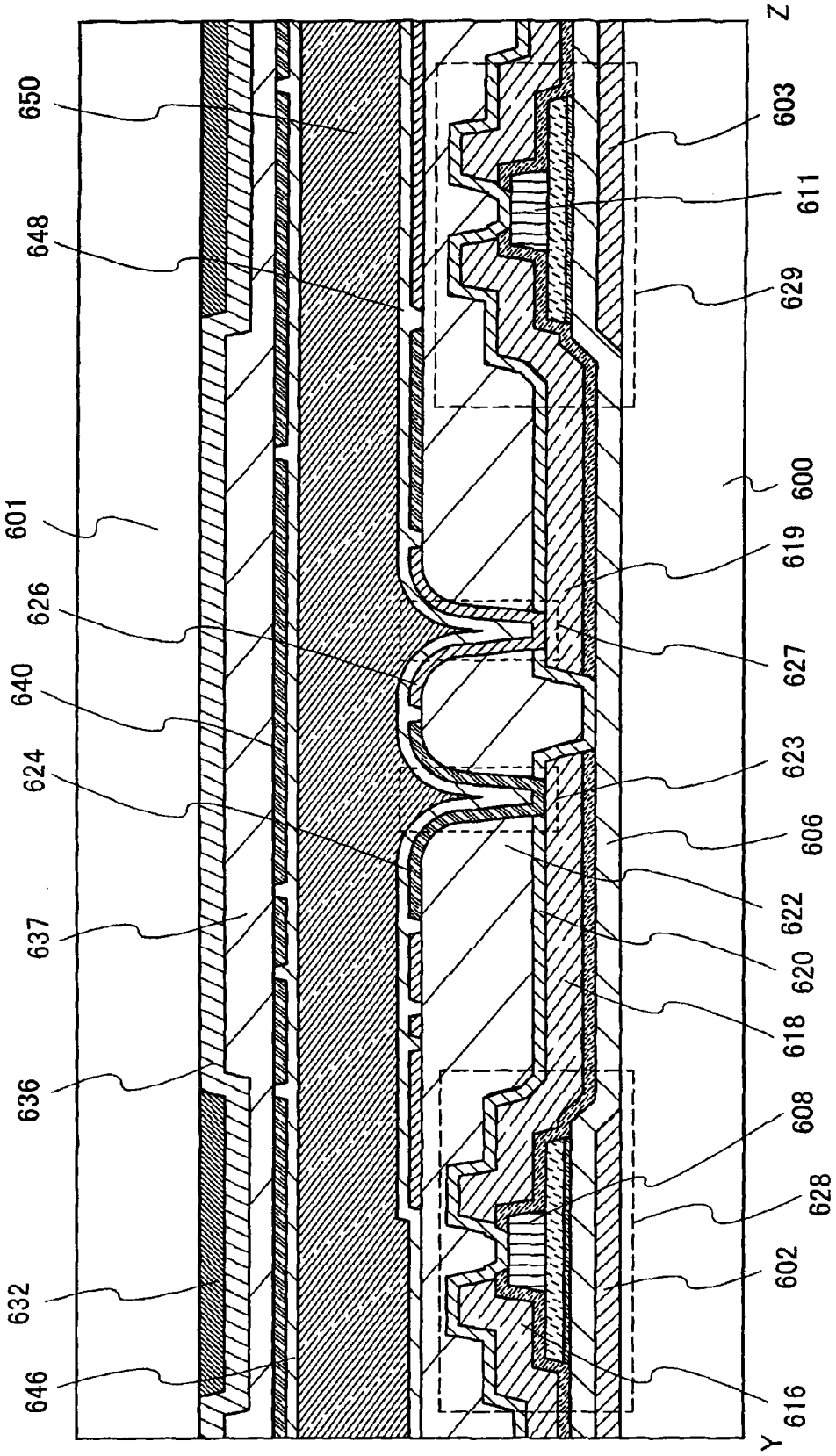

Z
650
603
611
648
629
600
601
619
626
627
640
623
624
606
622
637
620
618
636
608
628
632
602
646
616
Y

图 16

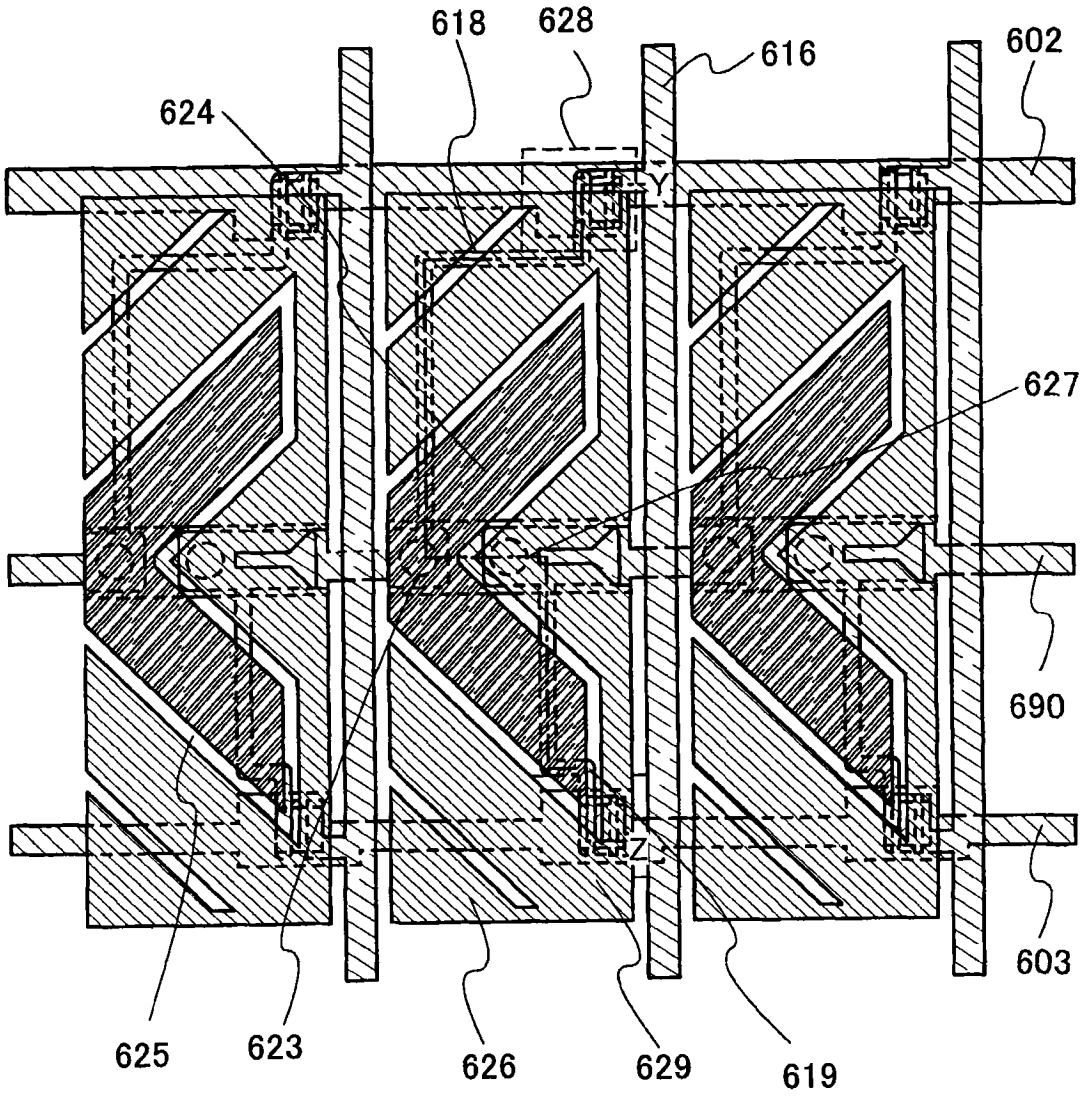


图 17

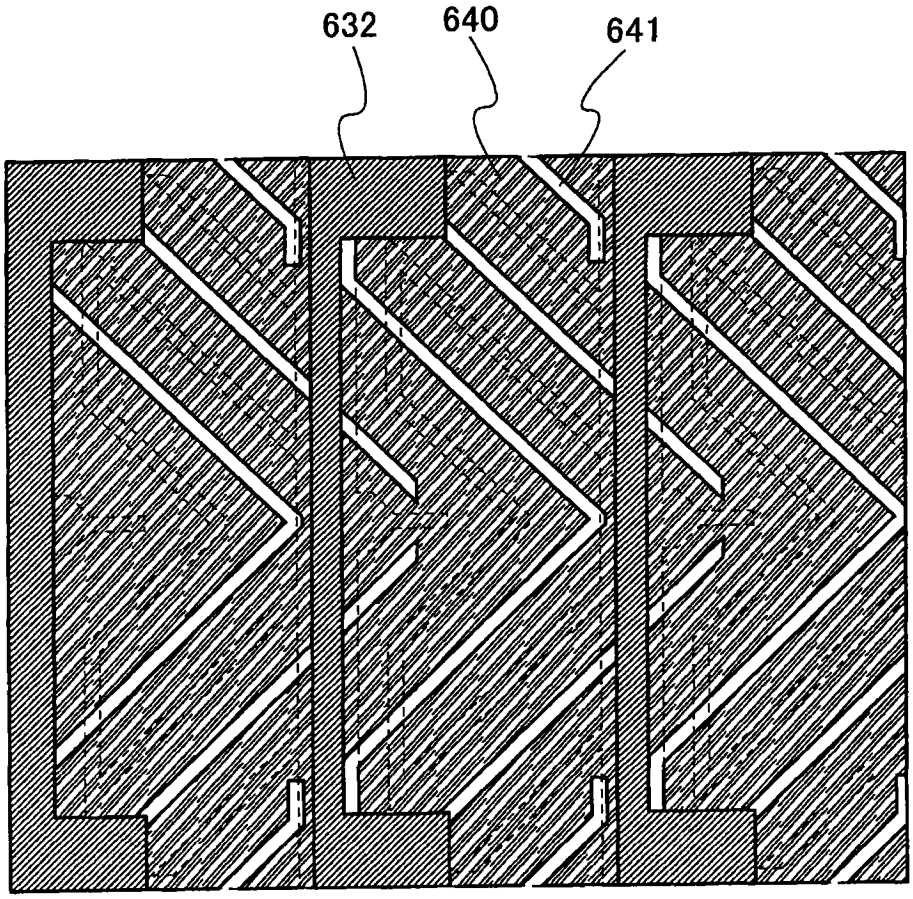


图 18

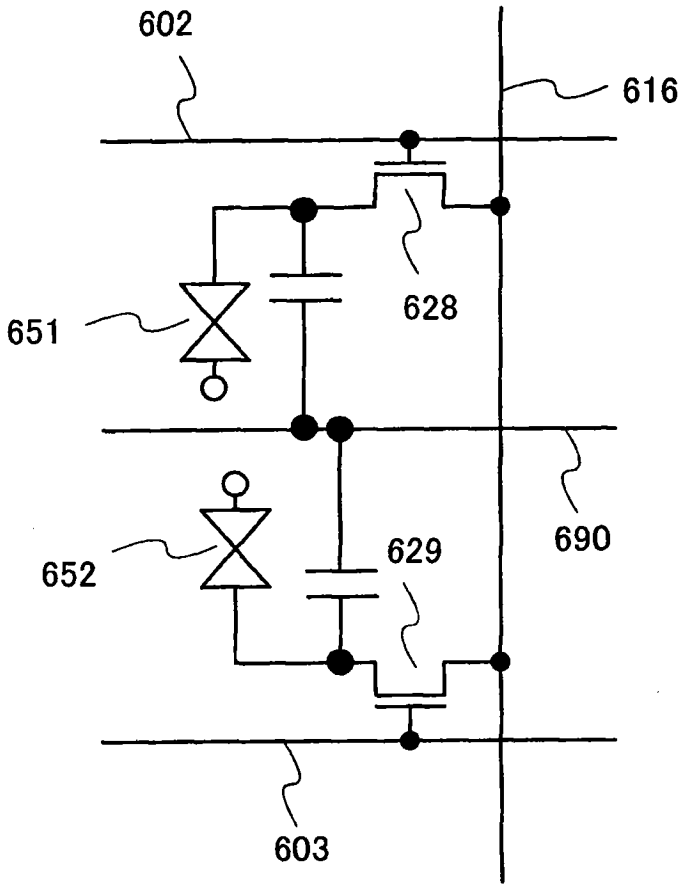


图 19

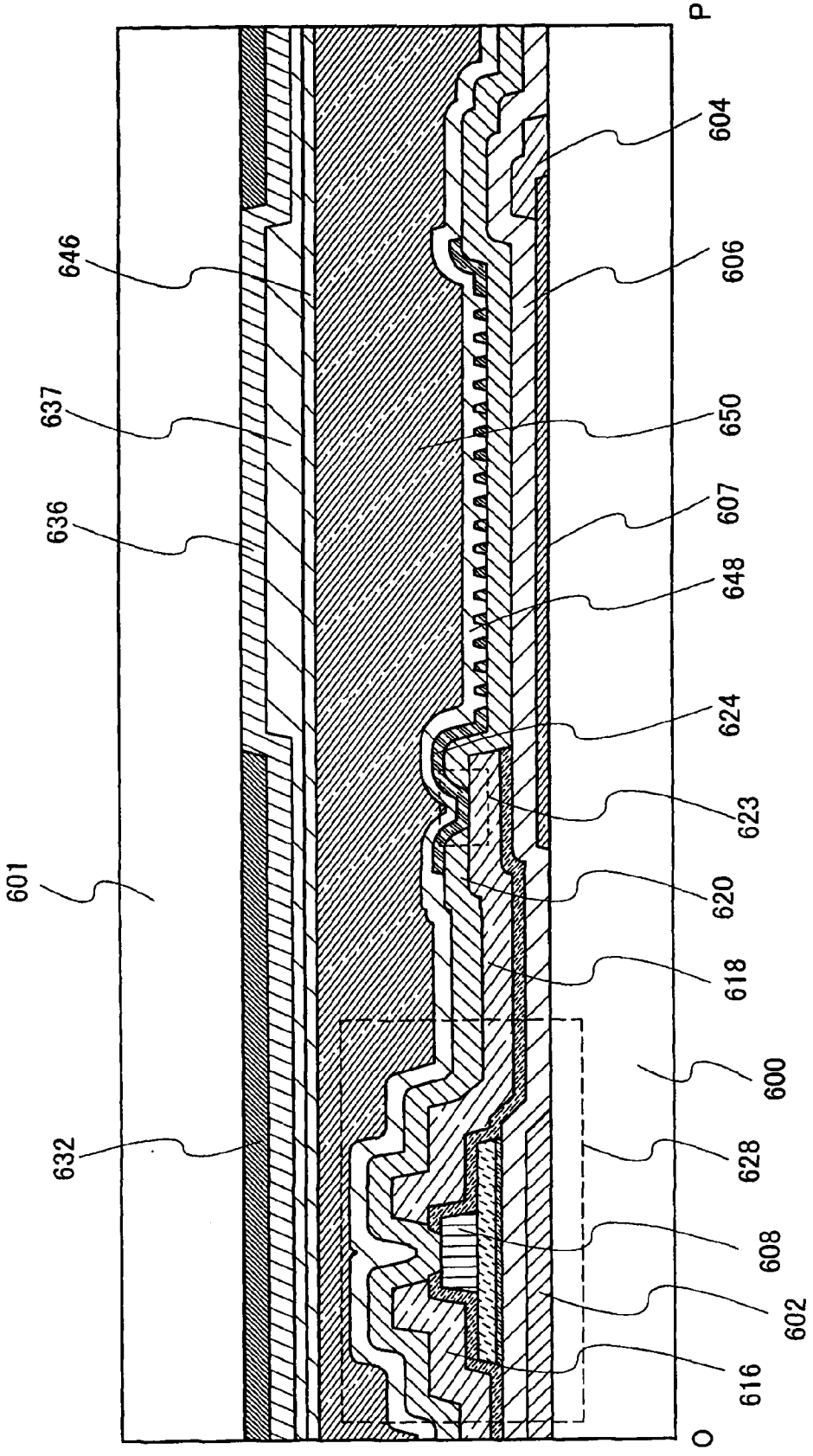

P
604
646
606
637
650
636
607
648
624
623
601
620
618
600
632
628
608
602
616
O

图 20

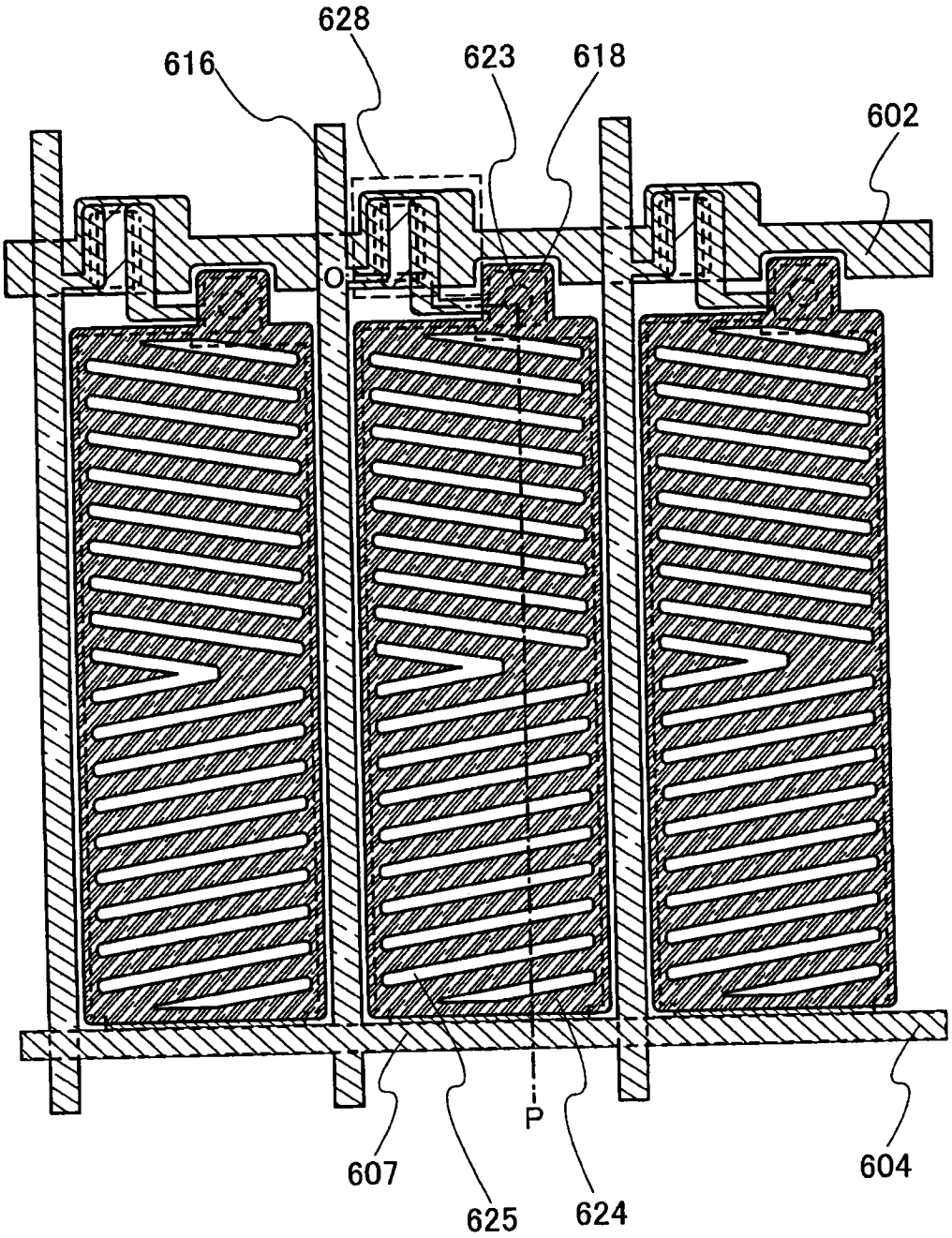


图 21

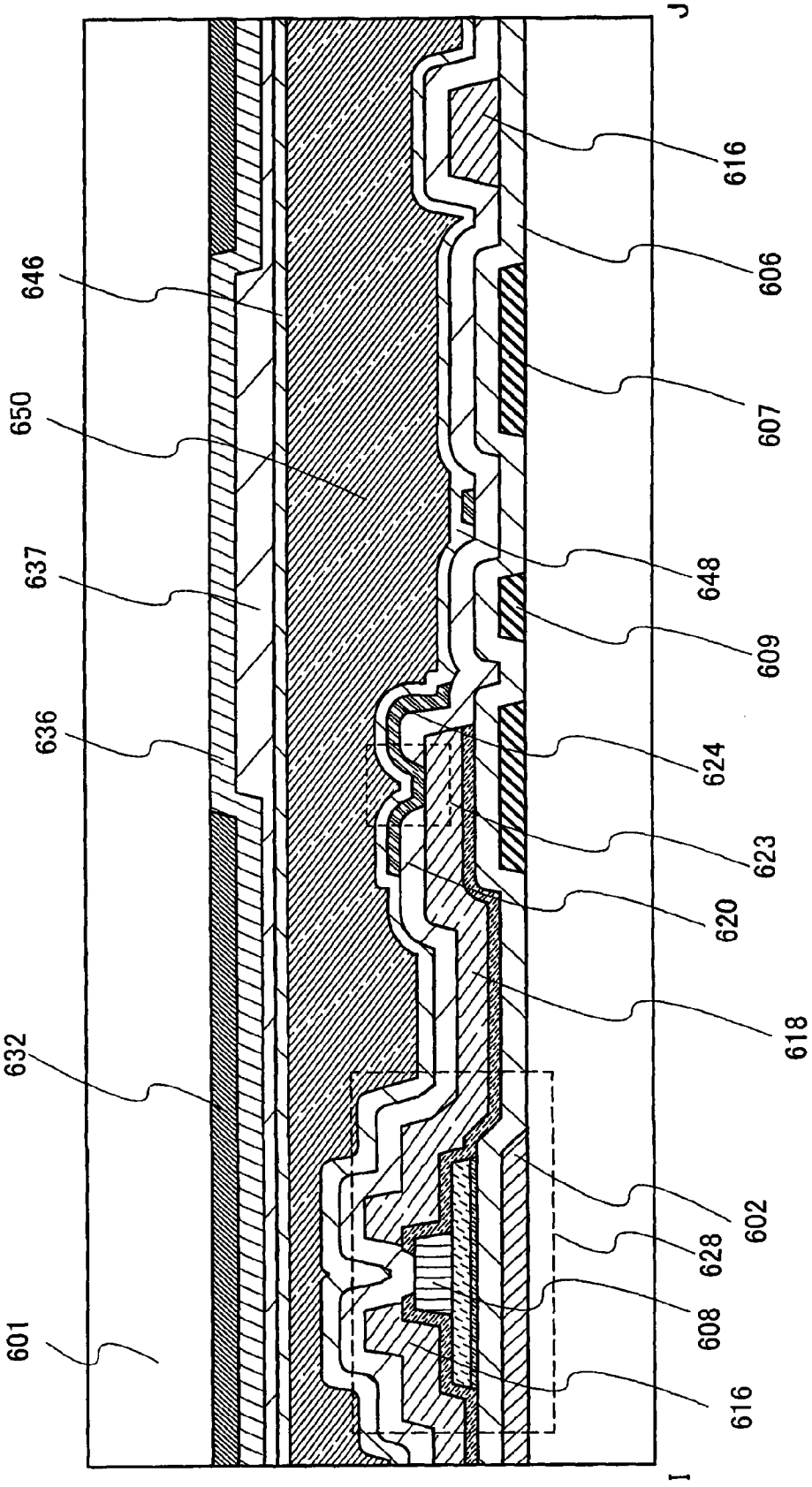

J
616
606
646
607
650
648
637
609
636
624
623
620
618
632
602
628
608
601
616
I

图 22

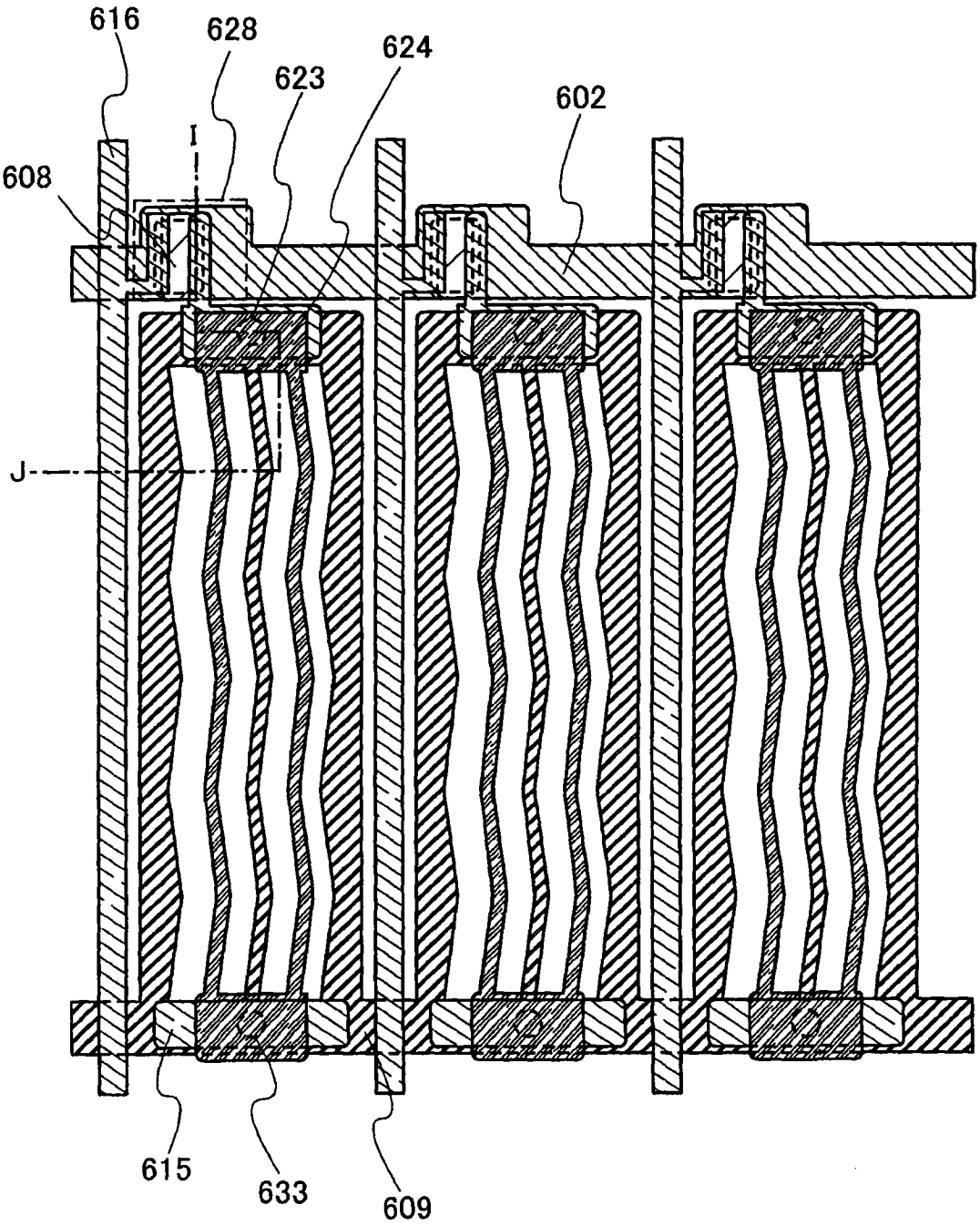


图 23

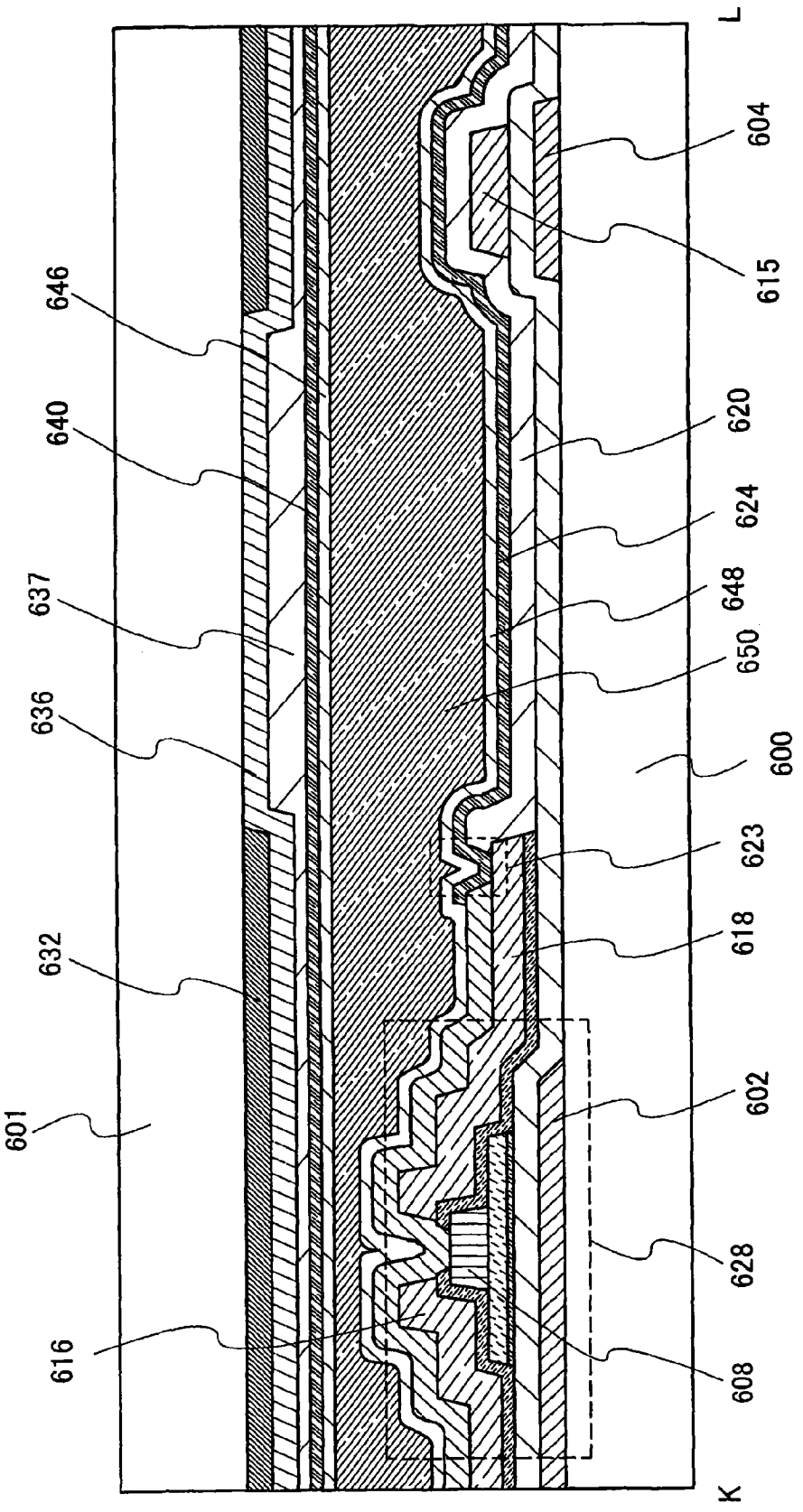

L
604
615
646
620
640
624
637
648
650
636
600
623
618
632
602
601
628
616
608
K

图 24

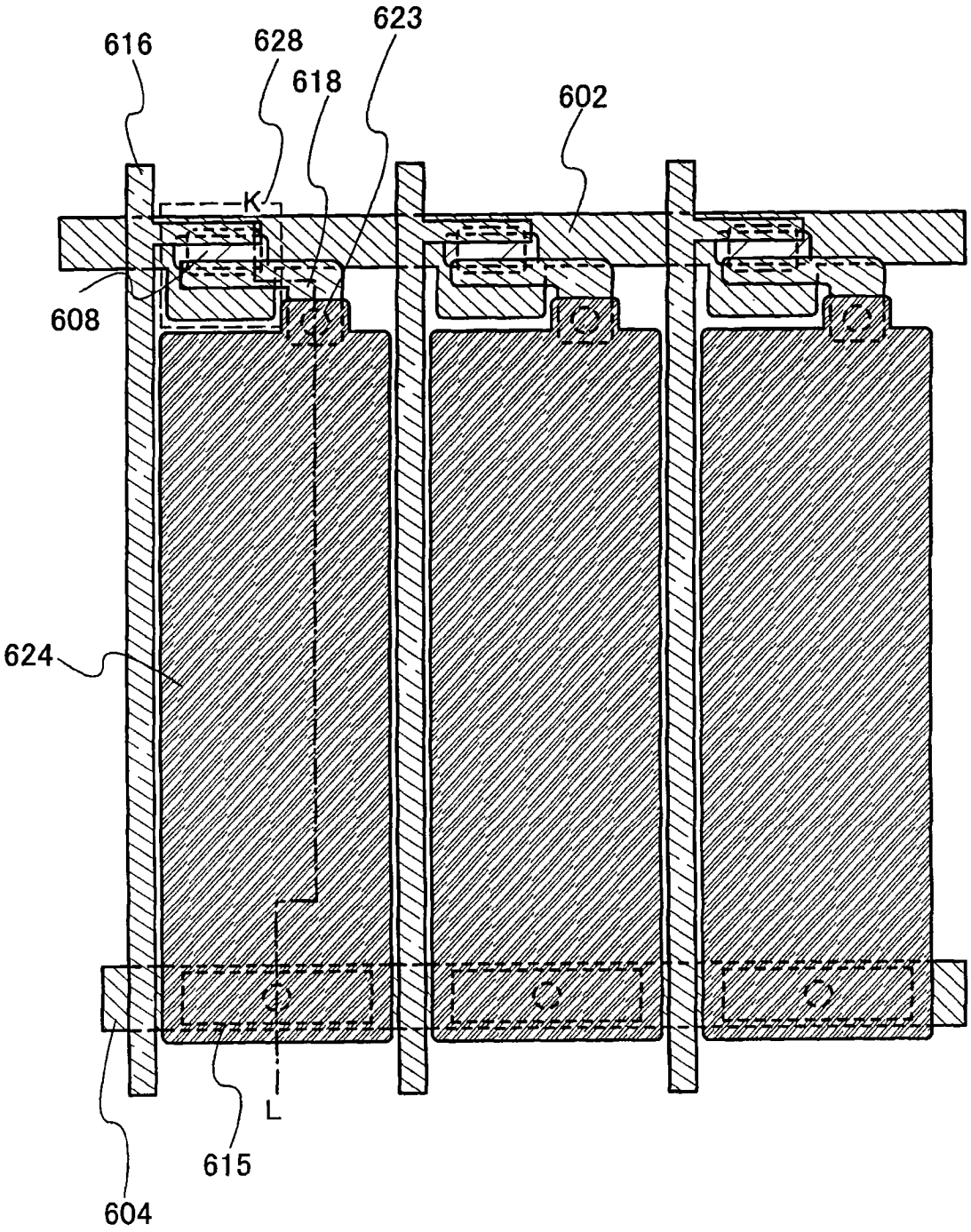


图 25

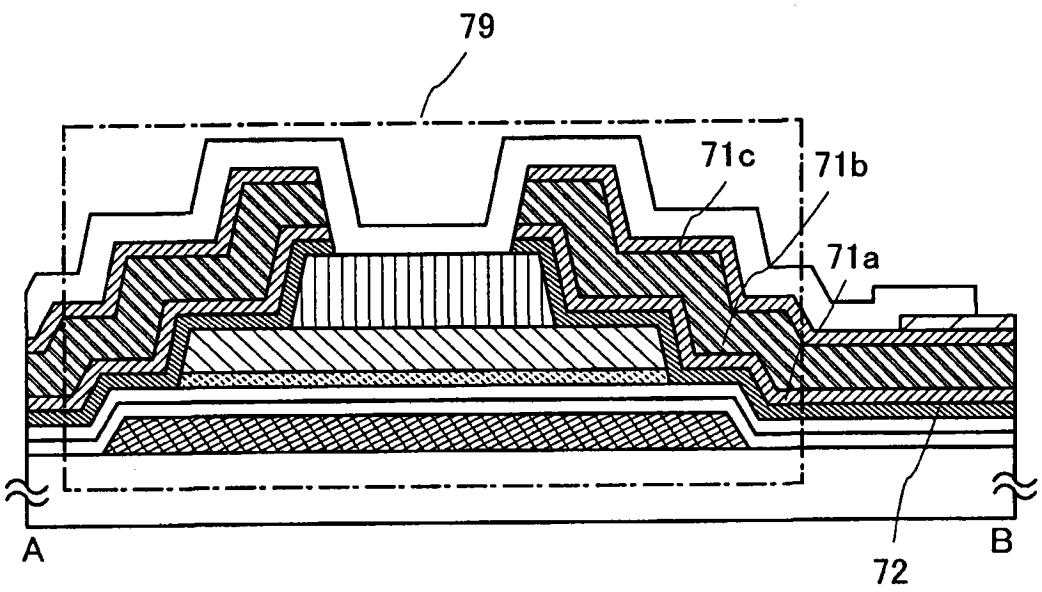


图 26

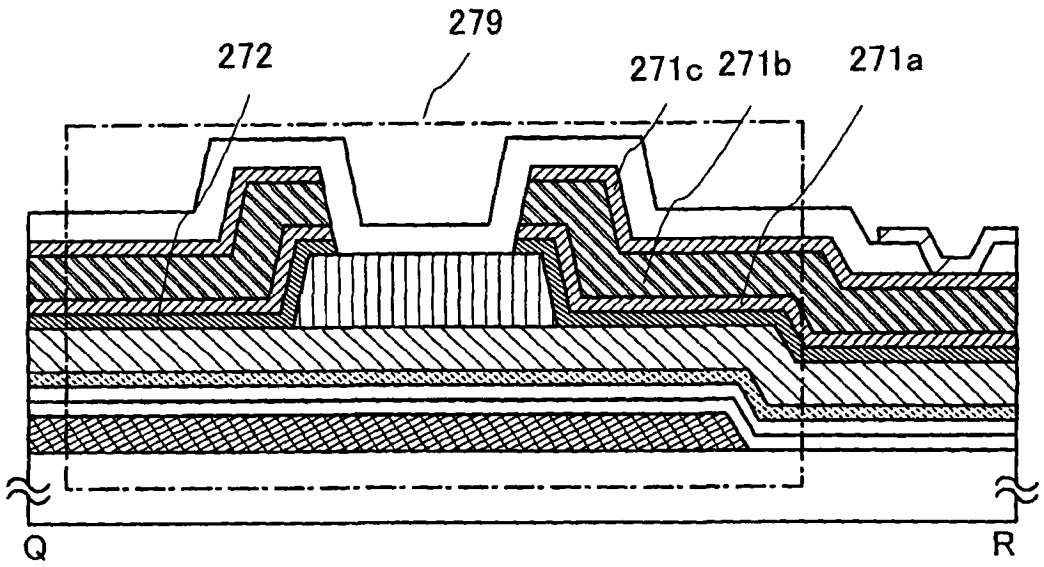


图 27