I680518

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I680518 B**

(45)公告日： 中華民國 108 (2019) 年 12 月 21 日

(21)申請案號：104137340 (22)申請日： 中華民國 104 (2015) 年 11 月 12 日

(51)Int. Cl.： ***H01L21/60 (2006.01)*** ***H01L21/58 (2006.01)***

H01L23/12 (2006.01)

(30)優先權：2015/06/10 美國 14/735,229

(71)申請人：美商微協通用半導體有限責任公司 (美國) VISHAY GENERAL SEMICONDUCTOR LLC (US)

美國

(72)發明人：丁慧英 DING, HUI-YING (CN) ；王鵬年 WANG, PENGNIAN (CN) ；于濤 YU, TAO (CN) ；劉俊鋒 LIU, JUN-FENG (CN) ；白俊凱 BAI, JUN-KAI (CN) ；彭智平 PENG, CHIH PING (TW)

(74)代理人：林志剛

(56)參考文獻：

US 2003075785A1 US 2010109147A1

US 2015097195A1

審查人員：吳松屏

申請專利範圍項數：21 項 圖式數：5 共 20 頁

(54)名稱

具有用於安裝半導體晶粒減少夾子移動之導體夾子的導線架

(57)摘要

一種半導體總成包含半導體晶粒其具有上部及下部電子接點。一個具有下部晶粒墊的導線架以電性地及機械地方式連結至晶粒下部電子接點。一個上部的導體元件具有第一部分以電性地及機械地的連結至該晶粒的上部電子接點。導線端子具有表面部分電性地及機械地連結至導體元件的第二部分。導線端子的表面部分及/或導體元件的第二部分具有設置於其中的一序列凹槽。封裝材料封裝半導體晶粒、導線架的至少一部分、上部導體元件的至少一部分、以及導線端子的至少一部分。

A semiconductor assembly includes a semiconductor die comprising lower and upper electrical contacts. A lead frame having a lower die pad is electrically and mechanically connected to the lower electrical contact of the die. An upper conductive member has a first portion electrically and mechanically connected to the upper electrical contact of the die. A lead terminal has a surface portion electrically and mechanically connected to a second portion of the conductive member. The surface portion of the lead terminal and/or the second portion of the conductive member has a series of grooves disposed therein. Packaging material encapsulates the semiconductor die, at least a portion of the lead frame, at least a portion of the upper conducive member and at least a portion of the lead terminal.

指定代表圖：

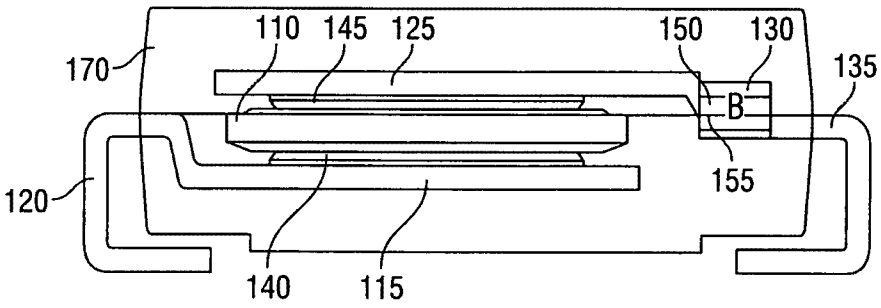


圖 1

符號簡單說明：

110・・・晶粒

115・・・晶粒墊

120・・・導線架

125・・・導體元件

130・・・接觸表面

135・・・導線端子

140・・・焊接劑

145・・・焊接劑

150・・・焊接劑

155・・・上部表面

170・・・封裝外殼

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

具有用於安裝半導體晶粒減少夾子移動之導體夾子的導線架

Lead frame with conductive clip for mounting a semiconductor die with reduced clip shifting

【技術領域】

本發明係關於具有用於安裝半導體晶粒減少夾子移動之導體夾子的導線架。

【先前技術】

電子工業的迅速成長產生了對電子裝置的尺寸越來越小但於高功率架構中操作以支援多項特徵/功能的需求。高功率裝置通常支援高電流以及產生非常高的功率，而其需要該裝置具有有效散熱能力。典型的雙端子表面安裝分散的功率半導體裝置是由其上安裝有半導體晶粒或晶片之陰極/底側的導線架以及連結至半導體晶粒之陽極/頂側的夾子所組成。製造商已經開始使用導體夾子於高功率裝置而非使用金線或鋁線去連結晶粒頂部之金屬薄層至導線架的導線。

用於連結導體夾子至該裝置上的元件的夾子連接程序通常包含從夾盤上切割夾子、從夾盤上拿出夾子、以及連

接夾子至晶粒表面。然而導體夾的使用則會引發如夾子移動，其會增加製造半導體封裝的困難及花費以及減少總成的每小時單位（“UPH”）的問題。

【發明內容】

根據本發明所描述的標的一個態樣，半導體總成包含一個半導體晶粒，具有下部及上部的電子接點。具有下部晶粒墊的導線架以電性地及機械地連結至晶粒的下部電子接點。具有第一部分的上部的導體元件以電性地及機械地的連結至晶粒的上部電子接點。一個導線端子具有一個表面部分電性地及機械地連結至該導體元件的第二部分。導線端子的表面部分及/或導體元件的第二部分具有設置於其中的一序列凹槽。封裝材料封裝半導體晶粒、導線架的至少一部分、上部導體元件的至少一部分、以及導線端子的至少一部分。

根據本發明所描述的標的另一態樣，提供形成一種半導體總成的方法。根據該方法，一種導電黏合劑被施加於一個導線架的晶粒墊上。半導體晶粒被定位於晶粒墊上以致於半導體晶粒之下部電極係與導電黏合劑接觸。導電黏合劑被施加於半導體晶粒之上部電極。於導線端子的表面部分形成凹槽圖案。施加導電黏著劑於導線端子的表面部分，其中凹槽已形成於表面部分上。一個導體元件被定位以致於其中的近端部分係與半導體晶粒的上部電極上的導電黏合劑接觸，且其中的遠端部分係與已形成該些凹槽的

導線端子的表面部分上的導電黏合劑接觸。施加熱源以造成在半導體晶粒的上部電極上的導電黏合劑，導線端子的表面部分上的導電黏合劑，以及晶粒墊上的導電黏合劑回焊。封裝材料封裝半導體晶片，導線架的至少一部分，上部導體元件的至少一部分，以及導線端子的至少一部分。

【圖式簡單說明】

圖 1 為一個半導體晶片封裝範例的剖面視圖。

圖 2a 示出導體元件就位前，晶片的子總成的平面視圖以及圖 2b 示出導體元件就位且焊接劑已開始回焊後，晶片的子總成。

圖 3 示出於導體元件就位前且其中一序列的平行凹槽已成形於導電端子的表面以在焊接劑回焊後強化接合強度以及減少夾子位移的晶片子總成的平面視圖。

圖 4 示出於該導體元件就位前且其中凹槽的柵格圖案已形成於導線端子的表面中以在焊接劑回焊後強化接合強度以及減少夾子位移的另一晶片子總成的平面視圖。

圖 5 為一流程圖展示了一種形成具有夾子以提供電子連結的半導體總成的方法範例。

【實施方式】

提供一種半導體總成，其包括半導體晶粒和導體夾子及提供一種適合高功率應用的總成方式。夾子接合被使用於數種半導體總成中，例如包括，表面結合封裝、功率封

裝、以及橋式整流器封裝。在一個實施例中，總成程序通常包含於其上安裝有半導體晶粒的晶粒墊之間形成第一接點，以及於半導體晶粒及夾子的一個導體元件之間形成第二接點。在該導體元件及導線端子之間形成第三接點，它們共同形成該夾子。形成第三接點的導體元件表面及/或導線端子的表面具有形成於其中的凹槽用以於隨後焊接劑回焊的程序中強化接點的強度以及減少夾子的移動。

在下面的描述中對許多具體的細節闡述以提供對半導體總成、半導體總成形成程序的各種實施例的全面的理解。然而，本領域技術人員可以理解，本發明所描述的總成及程序可以在沒有這些具體細節的情況下被實踐。在其他實施例中，習知結構及功能沒有被示出或具體描述以避免不必要地混淆本發明所描述的這些實施例。

半導體晶片封裝 100 的一個範例係在圖 1 的剖面圖中概略地示出。如所示，晶粒或晶片 110 位於導線架 120 的晶粒墊 115 上。舉例來說晶粒 110 可能係雙端子裝置，像是二極體、暫態電壓抑制器（transient voltage suppressor）或發光二極體。晶粒 110 利用焊接劑 140 焊接於晶粒墊 115 的表面以用於建立於晶粒墊 115 以及晶粒 110 下部表面上的電極之間的電性接觸。同樣，晶粒 110 利用焊接劑 145 焊接至導體元件 125 靠近晶粒 110 的一端的表面。焊接劑 145 於導體元件 125 及晶粒 110 的上部表面上的電極之間建立電性接觸。晶粒 110 的電極從金屬的暴露區域或者與晶粒 110 中相對應的半導體裝置結構電性

接觸的其他電子導電材料來形成。

晶粒墊 115 及導體元件 125 可能由任何合適的電子導電材料所形成，如銅（Cu），鋁（Al），鎳，鈦（Ti），或基於這些金屬製造的合金。

導體元件 125 遠離晶粒 110 的一端具有接觸表面 130，其與一個導線端子 135 的上部表面 155 電性接觸。焊接劑 150 被用於建立接觸表面 130 以及導線端子 135 的上部表面 155 之間的接觸。導體元件 125 以及導線端子 135 形成一個導體夾子。

封裝外殼 170 形成於半導體裝置的該些元件地周圍。尤其是，晶粒 110、晶粒墊 115、導體元件 125、焊接劑 140、145 和 150 以及導線架 120 的部分以及導線端子 135 被封裝或包裹在環氧樹酯或是其他適合該裝置的化合物中。

在總成程序中，藉由放置焊接劑於晶粒 110 的上部表面以及導線端子 135 的上部表面兩者上來形成夾子。該導體元件 115 被放置於焊接劑之上並作為搭起晶粒 110 以及導線端子 135 之間的橋樑。在合適地定位之後，總成於爐內被加熱以致使焊接劑回焊，其冷卻後固定導體元件 125 就定位。

於總成過程中有時候會發生某個問題，該導體元件 125 的位置於焊接劑回焊後離開其原先被定位的設計位置上。這個問題如圖 2a 及 2b 所示。圖 2a 示出於導體元件就位前，晶片的子總成的平面視圖。如所示，焊膏 180 已

被施加至晶粒 110 的上部表面以及導線端子 135 的上部表面兩者。圖 2b 示出於該導體元件 125 就位後且焊接劑已開始回焊的晶片的子總成。在此例中，導體元件 125 已於 X 軸方向位移（例如，如圖 1 所示沿著連結 A 跟 B 兩點的線段的方向）距離其回焊前的位置距離 d。

如上所示的夾子位移可以造成多種品質問題其可能導致裝置性能的劣化，包含裝置可能無法工作。舉例來說，如裝置的短路或過多的電流洩漏的問題可能產生。

不受限於理論，夾子位移就像是造成圖 1 之中 A 跟 B 點之間的接點的接點強度不平衡。特別是，於 A 點的近端接點是由該導體元件 125、焊接劑 145 以及晶粒 110 所形成，假設導體元件 125 是由銅所形成，由銅層、焊接劑層以及晶片金屬（舉例如金）所構成。另一方面，於 B 點的遠端接點是由該導體元件 125、焊接劑以及導線端子 135 所形成，假設該導線端子 135 也是由銅所形成，由銅層、焊接劑層以及銅層所構成。其中形成兩個接點的不同材料導致不同的接點強度。

在習知的晶片總成程序中，夾子位移有時候可以經由調整製程條件來控制。舉例來說，調整使用焊膏的用量及調整焊接劑回焊的溫度分布以減少晶片位移的情況。然而在其他的問題上，這些技術可能隨著時間推移受到不一致性，導致封裝至封裝上的結構差異。

除了調整該些製程參數外，於本發明描述的製程應用了於導體元件 125 的表面所形成的凹槽及/或遠端接點形

成處的導線端子 135。該些凹槽具有各種任何不同的分佈配置以及可能是，舉例來說，V 型或 U 型。另外，該些凹槽可以不同的方式圖案化以及可能形成，以舉例來說，平行線段的圖案、水平或垂直線段的柵格、包含平行線的菱形圖案、不規則或非週期性的圖案等等。該些凹槽可以有效的控制夾架的位移以致於導體元件 125 維持在其被放置的位置上。

相似於圖 2a，圖 3 示出於導電性元件就位前，晶片的子總成的平面視圖。在此例中，定義平行線段的圖案的凹槽 165，形成於導線端子 135 的表面中，導線端子 135 形成了遠端接點 B。圖 4 示出了於導體元件被放置於凹槽 165 定義柵格圖案處前的晶片子總成的平面視圖。

如上所述藉由使用凹槽可達成的減少夾子位移已經以多種總成應用來示範。舉例來說，在已形成許多半導體晶片封裝的一個製程中，在發生的時間在於放置於晶粒之上時與沒有使用凹槽表面既開始回焊後之間的導體元件中的位移被發現其範圍介於 2.52 密耳（mil）與 7.81 mil 之間。然而當平行的凹槽的圖案形成於導體元件的表面中時，該位移減少至大約-1.19 mil 到 4.21 mil 之間。同樣地，當使用柵格圖案的凹槽時，該位移減少至大約-1.41 mil 到 3.30 mil 之間。

圖 5 為示出了一種用於形成具有夾子以提供電性連接的半導體封裝的方法的一個範例的流程圖。總成程序包含形成導線架以及形成夾子結構，其包含形成凹槽於導線端

子的表面中，其係用以電性地及機械地連結至導體元件，而其又接續地以電性地及機械地連結至半導體晶粒的電極。

在方塊 405 中，焊接劑被施加於導線架 120 的晶粒墊 115 的一個或多個部分。在方塊 410 中，半導體晶粒 110 的第一表面被安裝於焊接劑表面之上。第一表面可能為晶粒的底部表面，但是並不被限制在其他的實施例中。底部表面可能是晶粒的陽極或陰極作為適合裝置的方式。下一個方塊 415 中，焊接劑被施加至晶粒 110 的第二表面。第二表面可能是晶粒的頂部表面，但是不被限制在其他的實施例中。頂部表面可能是該晶粒的陽極或陰極作為適合裝置的方式。除此之外，在方塊 420 中，焊接劑被施加至導線端子 135 的凹槽的頂部表面。導體元件 125 被安裝於晶粒 110 及導線端子 135 上的焊接劑表面。導體元件 125 可能藉由適合的方式適當地定位或對準於晶粒及導線端子上。在方塊 425 中，所得的組件被加熱以致使焊接劑進行回焊。當如上所述的半導體總成程序利用焊接劑以連結晶粒及裝置的其他元件時，代替的實施例可能使用其他導電黏合化合物以用於接合晶粒至裝置的其他元件作為適合裝置的方式。

最後，在方塊 430 中，封裝外殼形成於半導體裝置的元件周圍。形成外殼包括封裝或包裹導電晶粒 110、晶粒墊 115、導體元件 125 及包含遠端接點 B 的導線端子 135 的一部分在環氧樹酯或是其他適合該裝置的化合物中，並

使用適合該裝置的製程。

可以被理解如空間上地相關術語，像是“上方”，“上部”，“之下”，“下面”，“下部”，和類似物，可能在本文內使用以便於說明以描述圖中所示之一個元件或特徵對另一元件（多個）或特徵（多個特徵）的關係。另可以理解的是，空間相對術語旨在涵蓋除了附圖描述的方位之外，應含該裝置於使用或操作時的不同方位。舉例來說，假設圖中的裝置被翻轉，描述為“下方”或“之下”的元件或特徵隨後將被定位為其它元件或特徵“上方”。因此，“上方”示範性術語可涵蓋既是上方和下方方位。

【符號說明】

100：半導體晶片封裝

110：晶粒

115：晶粒墊

125：導體元件

130：接觸表面

135：導線端子

140：焊接劑

145：焊接劑

150：焊接劑

155：上部表面

165：凹槽

170：封裝外殼

180：焊膏

公告本

I680518

發明摘要

※申請案號：104137340

※申請日：104年11月12日　　※IPC分類：*H01L 21/60* (2006.01)
H01L 21/58 (2006.01)
H01L 23/12 (2006.01)

【發明名稱】(中文/英文)

具有用於安裝半導體晶粒減少夾子移動之導體夾子的導線架

Lead frame with conductive clip for mounting a semiconductor die with reduced clip shifting

【中文】

一種半導體總成包含半導體晶粒其具有上部及下部電子接點。一個具有下部晶粒墊的導線架以電性地及機械地方式連結至晶粒下部電子接點。一個上部的導體元件具有第一部分以電性地及機械地的連結至該晶粒的上部電子接點。導線端子具有表面部分電性地及機械地連結至導體元件的第二部分。導線端子的表面部分及/或導體元件的第二部分具有設置於其中的一序列凹槽。封裝材料封裝半導體晶粒、導線架的至少一部分、上部導體元件的至少一部分、以及導線端子的至少一部分。

【英文】

A semiconductor assembly includes a semiconductor die comprising lower and upper electrical contacts. A lead frame having a lower die pad is electrically and mechanically connected to the lower electrical contact of the die. An upper conductive member has a first portion electrically and mechanically connected to the upper electrical contact of the die. A lead terminal has a surface portion electrically and mechanically connected to a second portion of the conductive member. The surface portion of the lead terminal and/or the second portion of the conductive member has a series of grooves disposed therein. Packaging material encapsulates the semiconductor die, at least a portion of the lead frame, at least a portion of the upper conducive member and at least a portion of the lead terminal.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

110：晶粒

115：晶粒墊

120：導線架

125：導體元件

130：接觸表面

135：導線端子

140：焊接劑

145：焊接劑

150：焊接劑

155：上部表面

170：封裝外殼

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖 式

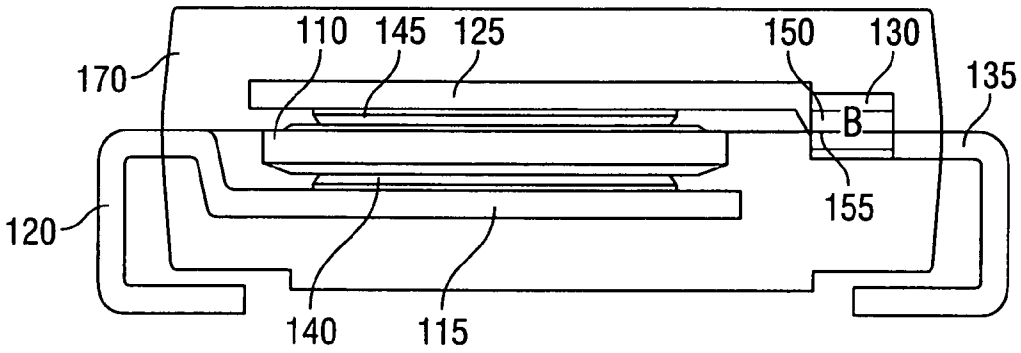


圖 1

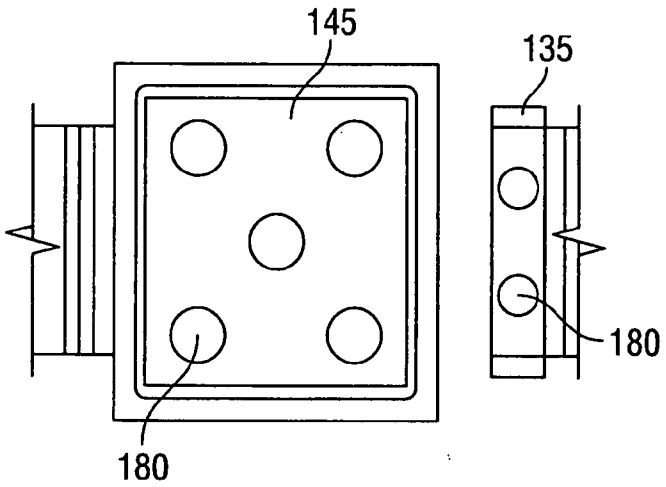


圖 2a

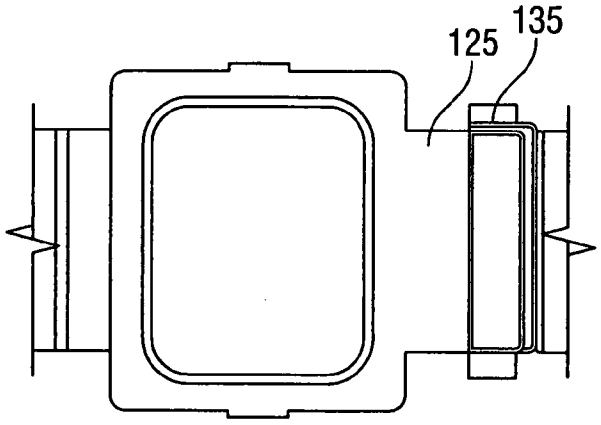


圖 2b

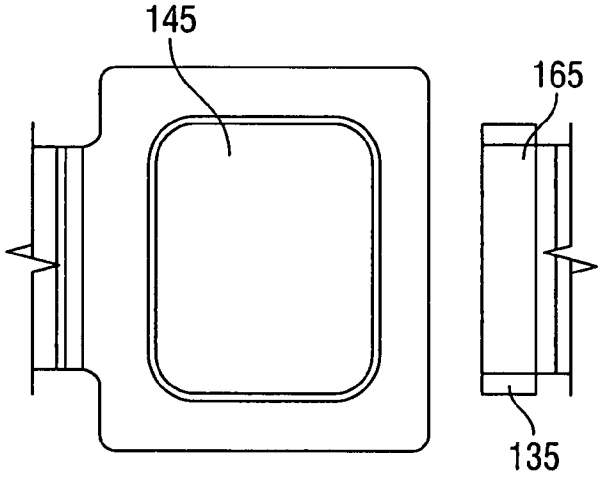


圖 3

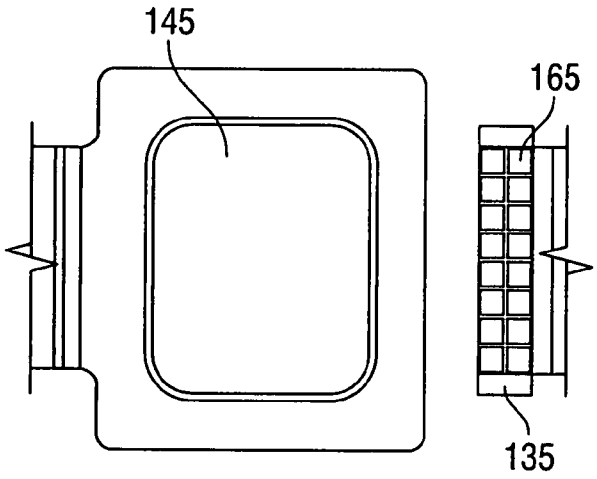

145
165
135

圖 4

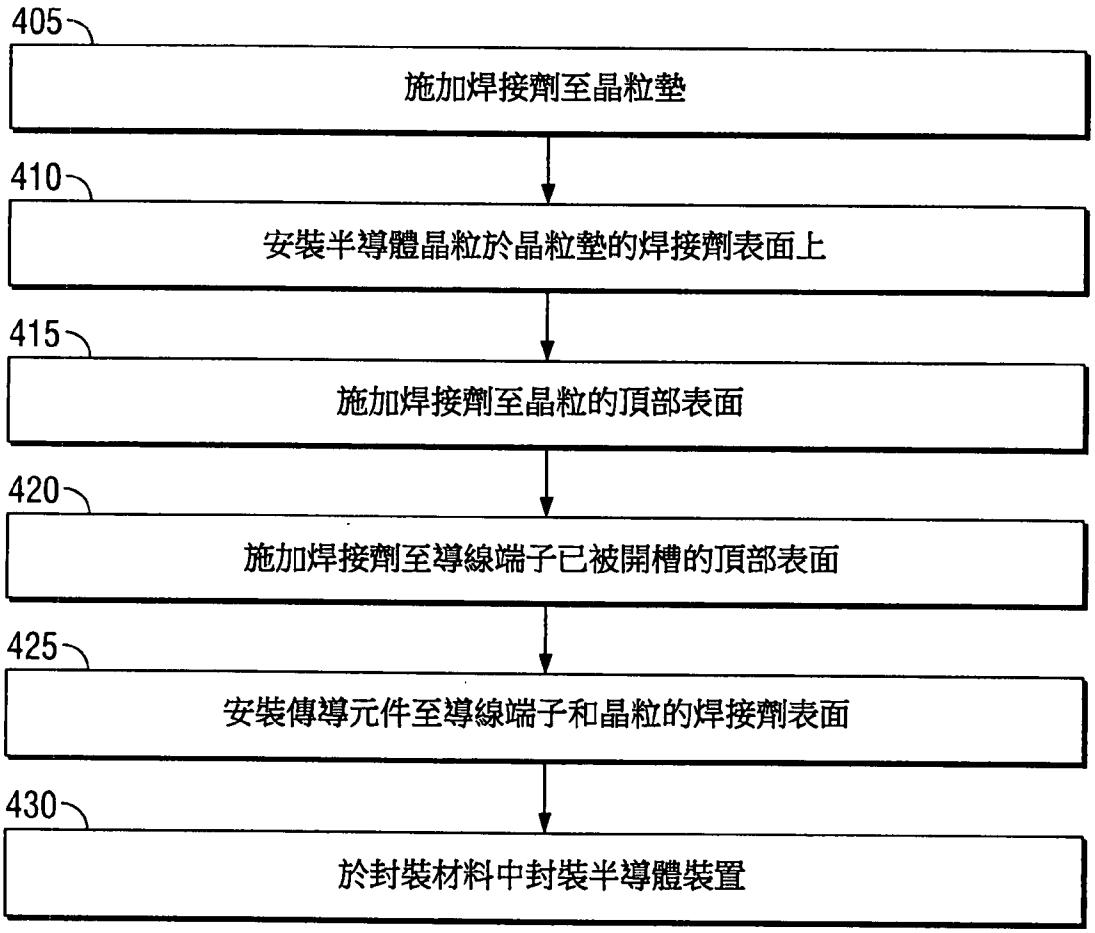

405
施加焊接劑至晶粒墊
410
安裝半導體晶粒於晶粒墊的焊接劑表面上
415
施加焊接劑至晶粒的頂部表面
420
施加焊接劑至導線端子已被開槽的頂部表面
425
安裝傳導元件至導線端子和晶粒的焊接劑表面
430
於封裝材料中封裝半導體裝置

圖 5

第 104137340 號　　民國 108 年 3 月 20 日修正

申請專利範圍

1. 一種半導體總成，包含：

半導體晶粒，包含下部電子接點及上部電子接點；

導線架，具有利用焊接劑電性地及機械地連結至該晶粒的該下部電子接點的下部晶粒墊；

上部導體元件，具有電性地及機械地的連結至該晶粒的該上部電子接點的第一部分；

導線端子，具有電性地及機械地連結至該導體元件的第二部分的表面部分，該導線端子的該表面部分及/或該導體元件的該第二部分具有設置於其中的一序列凹槽，該些凹槽係配置成防止該上部導體元件在焊接劑回焊期間相對於該導線端子的位移；以及

封裝材料，其封裝該半導體晶粒、該導線架的至少一部分、該上部導體元件的至少一部分、以及該導線端子的至少一部分。

2. 如申請專利範圍第 1 項所述的半導體總成，其中該序列凹槽是被設置在該導線端子的該表面部分中。

3. 如申請專利範圍第 1 項所述的半導體總成，其中該序列凹槽是被設置在該導體元件的該第二部分中。

4. 如申請專利範圍第 1 項所述的半導體總成，其中該些凹槽具有 V 型輪廓。

5. 如申請專利範圍第 1 項所述的半導體總成，其中該序列凹槽定義平行線條組成的圖案。

6. 如申請專利範圍第 1 項所述的半導體總成，其中

該序列凹槽定義柵格圖案。

7. 如申請專利範圍第 1 項所述的半導體總成，更包含第一導電黏合化合物以電性地和機械地連結該導線端子的該表面部分至該導體元件的該第二部分。

8. 如申請專利範圍第 7 項所述的半導體總成，更包含第二導電黏合化合物以電性地和機械地連結該導體元件的該第一部分至該晶粒的該上部電子接點。

9. 如申請專利範圍第 8 項所述的半導體總成，其中該第一及該第二導電黏合化合物包含焊接劑。

10. 如申請專利範圍第 1 項所述的半導體總成，其中該半導體晶粒係二極體。

11. 如申請專利範圍第 1 項所述的半導體總成，其中該半導體晶粒係暫態電壓抑制器。

12. 如申請專利範圍第 1 項所述的半導體總成，其中該半導體晶粒係發光二極體。

13. 一種形成半導體總成的方法，包含：

施加焊接劑於導線架的晶粒墊；

定位半導體晶粒於該晶粒墊上以致於該半導體晶粒之下部電極與該焊接劑接觸；

施加焊接劑於該半導體晶粒之上部電極；

於導線端子的表面部分中形成凹槽的圖案；

施加焊接劑於該導線端子的已形成該些凹槽的該表面部分；

定位導體元件以致於其中的近端部分係與該半導體晶

粒的該上部電極上的該焊接劑接觸且其中的遠端部分係與已形成該些凹槽的該導線端子的該表面部分上的該焊接劑接觸，該些凹槽係配置成防止該上部導體元件在焊接劑回焊期間相對於該導線端子的位移；

施加熱源以造成該半導體晶粒的該上部電極上、該導線端子的該表面部分上、以及該晶粒墊上的該焊接劑回焊；以及

封裝該半導體晶片、該導線架的至少一部分、該上部導體元件的至少一部分、以及該導線端子的至少一部分於封裝材料中。

14. 如申請專利範圍第 13 項所述形成半導體總成的方法，其中該序列凹槽是形成於該導線端子的該表面部分中。

15. 如申請專利範圍第 13 項所述形成半導體總成的方法，其中該序列凹槽是形成於該導體元件的該第二部分中。

16. 如申請專利範圍第 13 項所述形成半導體總成的方法，其中該些凹槽具有 V 型輪廓。

17. 如申請專利範圍第 13 項所述形成半導體總成的方法，其中該序列凹槽定義平行線條組成的圖案。

18. 如申請專利範圍第 13 項所述形成半導體總成的方法，其中該序列凹槽定義柵格圖案。

19. 一種形成半導體總成的方法，包含：

施加一種導電黏合劑至導線架的晶粒墊；

定位半導體晶粒於該晶粒墊上以致於該半導體晶粒之下部電極與該導電黏合劑接觸；

施加導電黏合劑至該半導體晶粒之上部電極；

於導線端子的表面部分中形成凹槽的圖案；

施加導電黏合劑於已形成該些凹槽的該導線端子的該表面部分；

定位導體元件以致於其中的近端部分係與該半導體晶粒的該上部電極上的該導電黏合劑接觸，且其中的遠端部分係與已形成該些凹槽的該導線端子的該表面部分上的該導電黏合劑接觸，該些凹槽係配置成防止該上部導體元件在焊接劑回焊期間相對於該導線端子的位移；

施加熱源以造成在該半導體晶粒的該上部電極上、該導線端子的該表面部分上、以及該晶粒墊上的導電黏合劑回焊；以及

封裝該半導體晶片、該導線架的至少一部分、該上部導體元件的至少一部分、以及該導線端子的至少一部分於封裝材料中。

20. 如申請專利範圍第 19 項所述形成半導體總成的方法，其中該些凹槽圖案包含一序列的平行凹槽。

21. 如申請專利範圍第 19 項所述形成半導體總成的方法，其中該些凹槽圖案包含柵格圖案。