



PATENTAMT der DDR

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) A P G 06 F / 326 912 4

(22) 27.03.89

(44) 05.09.90

(71) siehe (73)

(72) Dude, Frank, Dipl.-Ing., DD

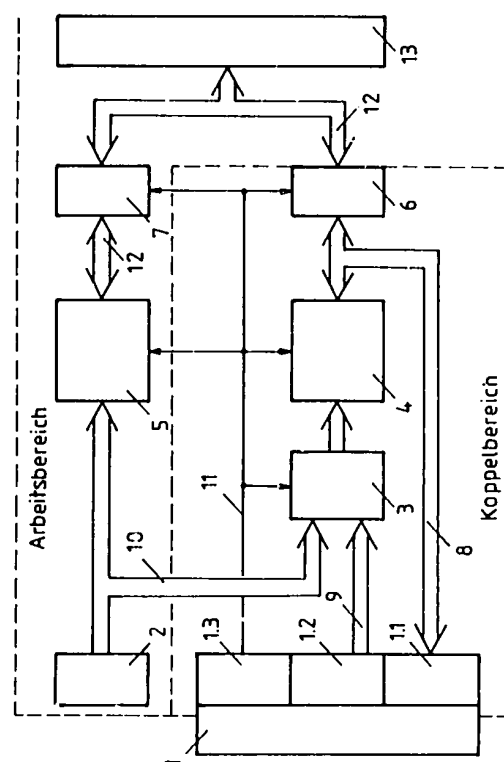
(73) VEB ELEKTROMAT DRESDEN, Karl-Marx-Straße, Dresden, 8080, DD

(54) Schaltungsanordnung zum uneingeschränkten Zugriff eines Masterrechners auf einen Koppel-RAM

(55) Koppel-RAM; Masterrechner; Echtzeitbetrieb; Multiplexer; Datenbus; Slaverrechner

(57) Die Erfindung betrifft eine Schaltungsanordnung zum uneingeschränkten Zugriff eines Masterrechners auf einen Koppel-RAM, die überall dort angewendet werden kann, wo zwei Steuerungssysteme insbesondere im Echtzeitbetrieb Daten austauschen müssen.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß Steuerleitungen (11) den Masterrechner (1) mit dem Multiplexer (3), dem Koppel-RAM (4), dem Arbeits-RAM (5) und den beiden Daten-Toren (6; 7) verknüpfen, daß ein Adreß-Bus (10) einen Slaverrechner (2) mit dem Arbeits-RAM (5) und dem Multiplexer (3) verbindet, daß der Multiplexer (3) ausgangsseitig mit dem Koppel-RAM (4) verschaltet ist und daß ein interner Datenbus (12) einerseits über das Daten-Tor (6) zum Koppel-RAM (4) und andererseits zu einem Aufbereitungssystem (13) sowie über das Daten-Tor (7) zum Arbeits-RAM (5) führt. Figur



Patentanspruch:

Schaltungsanordnung zum uneingeschränkten Zugriff eines Masterrechners auf einen Koppel-RAM für Prozeß- bzw. automatische Bildschirmsteuerungen, **gekennzeichnet dadurch**, daß der Datenbus (8) des Masterrechners (1) sowohl zu einem Koppel-RAM (4) als auch zu einem Daten-Tor (6) führt, daß ein Adreßbus (9) den Masterrechner (1) mit einem Multiplexer (3) verbindet, daß Steuerleitungen (11) den Masterrechner mit (3), dem Koppel-RAM (4), dem Arbeits-RAM (5) und den beiden Daten-Toren (6; 7) verknüpfen, daß ein Adreßbus (10) einen Slaverrechner (2) mit dem Arbeits-RAM (5) und dem Multiplexer (3) verbindet, daß der Multiplexer (3) ausgangsseitig mit dem Koppel-RAM (4) verschaltet ist und daß ein interner Datenbus (12) einerseits über das Daten-Tor (6) zum Koppel-RAM (4) und andererseits zu einem Aufbereitungssystem (13) sowie über das Daten-Tor (7) zum Arbeits-RAM (5) führt.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zum uneingeschränkten Zugriff eines Masterrechners auf einen Koppel-RAM, die überall dort angewendet werden kann, wo zwei Steuerungssysteme insbesondere im Echtzeitbetrieb ohne Wartezyklen Daten austauschen müssen.

Charakteristik des bekannten Standes der Technik

Es sind technische Lösungen mit getrennten Steuerungssystemen bekannt, die über einen Koppel-Speicher miteinander verknüpft sind.

So ist in der Patentschrift DE 3238871 eine Steuerungsanordnung zur Kopplung zweier digitaler Rechnersysteme über eine gemeinsame Arbeitsspeichereinheit beschrieben, die für sehr schnelle prozeßnahe Steuerungen vorgesehen ist.

Nachteilig ist an dieser Lösung, daß bei gleichzeitigem Speicherzugriffsversuch durch beide Rechnersysteme ein System das Vorrecht des Speicherzugriffs erhält, während das andere System in Wartezyklen gezwungen wird, wodurch schnelle Reaktionen auf Prozeßabläufe behindert werden.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, eine Schaltungsanordnung zur Kopplung zweier Steuerungssysteme zu realisieren, die Wartezyklen für beide Systeme ausschließt und damit schnelle Reaktionen auf Prozeßabläufe gewährleistet.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zum uneingeschränkten Zugriff eines Masterrechners auf einen Koppel-RAM zu entwickeln, wobei ein Auswertesystem unabhängig vom Masterrechnerzugriff selbständig weiterarbeiten soll.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß der Datenbus des Masterrechners sowohl zu einem Koppel-RAM als auch zu einem Daten-Tor führt. Ein Adreßbus verbindet den Masterrechner mit einem Multiplexer. Steuerleitungen verknüpfen den Masterrechner mit dem Multiplexer, dem Koppel-RAM, dem Arbeits-RAM und den beiden Daten-Toren. Ein Adreßbus verbindet einen Slaverrechner mit dem Arbeits-RAM und dem Multiplexer. Ausgangsseitig ist der Multiplexer mit dem Koppel-RAM verschaltet.

Ein interner Datenbus führt einerseits über ein Daten-Tor zum Koppel-RAM und andererseits zu einem Aufbereitungssystem sowie über ein weiteres Daten-Tor zum Arbeits-RAM.

Ausführungsbeispiel

Die Erfindung wird anhand eines Ausführungsbeispiels näher erläutert.

In der Zeichnung ist ein Blockschaltbild der Schaltungsanordnung dargestellt.

Wie die Figur zeigt, ist ein Masterrechner 1, der ein Daten-Tor 1.1., ein Adreß-Tor 1.2. und eine Zugriffssteuerung 1.3. aufweist, über einen Datenbus 8 mit einem Koppel-RAM 4 und einem Daten-Tor 6, des weiteren über einen Adreßbus 9 mit einem Multiplexer 3 sowie über Steuerleitungen 11 mit dem Multiplexer 3, dem Koppel-RAM 4, einem Arbeits-RAM 5 und den zwei Daten-Toren 6; 7 verknüpft. Ein interner Datenbus 12 führt einerseits über das Daten-Tor 6 zum Koppel-RAM 4 und andererseits zu einem Aufbereitungssystem 13, welches im Ausführungsbeispiel ein Bildschirmsystem ist, sowie über das Daten-Tor 7 zum Arbeits-RAM 5. Ein Slaverrechner 2 ist über einen Adreßbus 10 mit dem Arbeits-RAM 5 und dem Multiplexer 3 verschaltet. Ausgangsseitig ist der Multiplexer 3 mit dem Koppel-RAM 4 verbunden.

Die Schaltungsanordnung realisiert erfindungsgemäß zwei Arbeitszustände, wobei erstens ohne Zugriff des Masterrechners 1 auf den Koppel-RAM 4 der Multiplexer 3 so geschaltet ist, daß am Koppel-RAM 4 und am Arbeits-RAM 5 gleiche Adressen anliegen. Dabei besteht der Unterschied, daß sich der Koppel-RAM 4 im Lesezustand und der Arbeits-RAM 5 im Schreibzustand befinden. Aus dem Koppel-RAM 4 gelesene Daten werden zum einen über die Daten-Tore 6; 7 in den Arbeits-RAM 5 eingeschrieben und zum anderen dem Bildschirmsystem zur Bearbeitung bereitgestellt. Die Aktualisierung des Arbeits-RAM's 5 erfolgt für den praktischen Einsatz unproblematisch innerhalb eines Bildschirmdurchlaufes, der bei einer Bildfrequenz von 50 Hz 20 ms Zeit benötigt.

Zweitens ist im Arbeitszustand mit Zugriff des Masterrechners 1 auf den Koppel-RAM 4 der Multiplexer 3 umgeschaltet, d. h. der Arbeits-RAM 5 befindet sich im Lesezustand, seine Daten stehen dem Bildschirmsystem über das jetzt in diese Richtung geöffnete Daten-Tor 7 für die Bearbeitung zur Verfügung. Das Daten-Tor 6 ist geschlossen. Der Koppel-RAM 4 befindet sich im Schreib- oder Lesezustand, ist von der Bildschirmsteuerung abgeschaltet und wird vom Masterrechner 1 über den Datenbus 8 aktuell beschrieben bzw. verändert.

Diese Schaltungsanordnung hat die Vorteile, daß der Masterrechner 1 zeitunabhängig und unterbrechungslos Zugriff zum Koppel-RAM 4 hat, ohne daß die Bildschirmsteuerung, die in dieser Zeit Daten vom Arbeits-RAM 5 erhält, unterbrochen werden muß.

Diese Schaltungsanordnung ist auch für Prozeßsteuerungen, die einen Koppel-RAM erfordern, anwendbar.

