(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/336

(11) 공개번호 특1997-0077372
(43) 공개일자 1997년12월12일

(21) 출원번호 특1997-0021250
(22) 출원일자 1997년05월23일
(30) 우선권주장 96-128051 1996년05월23일 일본(JP)
(71) 출원인 닛본덴기 가부시키가이샤 가네꼬 히사시
일본국 도꾜도 미나도꾸 시바 5쪼메 7-1
(72) 발명자 우라 겐지
일본국 도꾜도 미나도꾸 시바 5쪼메 7-1 닛본덴기 가부시끼가이샤
(74) 대리인 구영창, 이상희

심사청구 : 있음

(54) 균일한 밀도를 갖는 상호 접속 패턴의 형성 방법

요약

본 발명은 반도체 웨이퍼 위에 제공된 상호 접속 패턴 구조를 제공한다. 실제 상호 접속 패턴들 및 의사 상호 접속 패턴들은 반도체 웨이퍼 위에 제공된다. 의사 상호 접속 패턴들은 반도체 웨이퍼 위에 제공된 모든 실제 상호 접속 패턴들의 평균 밀도보다 더 낮은 밀도의 실제 상호 접속 패턴들을 갖는 영역에 제공되어, 상기 영역은 실제 상호 접속 패턴들과 의사 상호 접속 패턴들이 실질적으로 동일한 평균 밀도를 갖는다.

대표도

도1

명세서

[발명의 명칭]

균일한 밀도를 갖는 상호 접속 패턴의 형성 방법

[도면의 간단한 설명]

제1도는 MOS전계효과 트랜지스터가 형성되어 있는 종래의 반도체 기판을 도시하는 단면 입면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 웨이퍼 위에 상호 접속 패턴을 형성하는 방법에 있어서, 상기 반도체 웨이퍼 위에 실제 상호 접속 패턴(real interconnection patterns)과 의사 상호 접속 패턴(dummy interconnection patterns)을 제공하는 단계를 포함하며, 상기 의사 상호 접속 패턴은 상기 반도체 웨이퍼 위에 제공되는 상기 실제 상호 접속 패턴 전체의 평균 밀도보다 낮은 실제 상호 접속 패턴 밀도를 갖는 영역에 제공되어, 상기 영역이 상기 평균 밀도와 실질적으로 동일한 상기 실제 상호 접속 패턴과 상기 의사 상호 접속 패턴 모두의 총 밀도(total densities)를 갖는 상호 접속 패턴 형성 방법.

청구항 2

제1항에 있어서, 상기 영역은 실제 상호 접속 패턴이 형성되어 있지 않은 공간 영역(a space region)을 포함하는 상호 접속 패턴 형성 방법.

청구항 3

제1항에 있어서, 상기 영역은 스크라이브 라인 영역(a scribe line region)을 포함하는 상호 접속 패턴 형성 방법.

청구항 4

제1항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 접속 패턴의 대다수의 폭과 실질적으로 동일한

폭을 갖는 상호 접속 패턴 형성 방법.

청구항 5

반도체 웨이퍼 위에 상호 접속 패턴을 형성하는 방법에 있어서, 상기 반도체 웨이퍼 위에 실제 상호 접속 패턴과 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 의사 상호 접속 패턴을 제공하는 단계를 포함하며, 상기 의사 상호 접속 패턴은 상기 반도체 웨이퍼 위에 제공되는 상기 실제 상호 접속 패턴 전체의 평균 밀도보다 낮은 실제 상호 접속 패턴 밀도를 갖는 영역에 제공되어, 상기 영역이 상기 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 실제 상호 접속 패턴과 상기 의사 상호 접속 패턴 모두의 총 밀도를 갖는 상호 접속 패턴 형성 방법.

청구항 6

제5항에 있어서, 상기 영역은 실제 상호 접속 패턴이 형성되어 있지 않은 공간 영역을 포함하는 상호 접속 패턴 형성 방법.

청구항 7

제5항에 있어서, 상기 영역은 스크라이브 라인 영역을 포함하는 상호 접속 패턴 형성 방법.

청구항 8

반도체 웨이퍼 위에 상호 접속 패턴을 형성하는 방법에 있어서, 상기 반도체 웨이퍼 위에 실제 상호 접속 패턴과 의사 상호 접속 패턴을 제공하는 단계를 포함하며, 상기 의사 상호 접속 패턴은 상기 반도체 웨이퍼 위에 제공되는 상기 실제 상호 접속 패턴 전체의 평균 밀도보다 낮은 실제 상호 접속 패턴 밀도를 갖는 영역에 제공되어, 상기 영역이 상기 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 실제 상호 접속 패턴과 상기 의사 상호 접속 패턴 모두의 총 밀도를 갖는 상호 접속 패턴 형성 방법.

청구항 9

제8항에 있어서, 상기 영역은 실제 상호 접속 패턴이 형성되어 있지 않은 공간 영역을 포함하는 상호 접속 패턴 형성 방법.

청구항 10

제8항에 있어서, 상기 영역은 스크라이브 라인 영역을 포함하는 상호 접속 패턴 형성 방법.

청구항 11

제8항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 상호 접속 패턴 형성 방법.

청구항 12

반도체 웨이퍼 상에 제공되는 제1형식의 칩과 제2형식의 칩 위에 제공되는 상호 접속 패턴을 형성하는 방법에 있어서, 상기 제1형식의 칩 상에 실제 상호 접속 패턴을 제공하고 상기 제2형식의 칩 상에 의사 상호 접속 패턴을 제공하는 단계를 포함하며, 상기 의사 상호 접속 패턴은 적어도 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 인접 영역 상에 제공되어, 상기 인접 영역이 상기 제2형식의 칩에 인접한 상기 제1형식의 칩상에 제공되는 상기 실제 상호 접속 패턴의 평균 밀도와 실질적으로 동일한 밀도를 갖는 상호 접속 패턴 형성 방법.

청구항 13

제12항에 있어서, 상기 제1형식의 칩은 실제 칩(real chips)이고 상기 제2형식의 칩은 테스트 소자 그룹 칩(test element group chips)인 상호 접속 패턴 형성 방법.

청구항 14

제12항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 의사 칩(dummy chips)인 상호 접속 패턴 형성 방법.

청구항 15

제12항에 있어서, 상기 의사 상호 접속 패턴은 상기 제2형식의 칩의 전체영역 상에 제공되는 상호 접속 패턴 형성 방법.

청구항 16

제12항에 있어서, 상기 의사 상호 접속 패턴은 단지 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 상기 인접 영역 상에만 선택적으로 제공되는 상호 접속 패턴 형성 방법.

청구항 17

제12항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 상호 접속 패턴 형성 방법.

청구항 18

반도체 웨이퍼 상에 제공되는 제1형식의 칩과 제2형식의 칩위에 제공되는 상호 접속 패턴을 형성하는 방

법에 있어서, 상기 제1형식의 칩 상에 실제 상호 접속 패턴을 제공하고 상기 제2형식의 칩 상에 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 의사 상호 접속 패턴을 제공하는 단계를 포함하며, 상기 의사 상호 접속 패턴은 적어도 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 인접 영역 상에 제공되어, 상기 인접 영역이 상기 제2형식의 칩에 인접한 상기 제1형식의 칩 상에 제공되는 상기 실제 상호 접속 패턴의 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 의사 상호 접속 패턴의 밀도를 갖는 상호 접속 패턴 형성 방법.

청구항 19

제18항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 테스트 소자 그룹 칩인 상호 접속 패턴 형성 방법.

청구항 20

제18항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 의사 칩인 상호 접속 패턴 형성 방법.

청구항 21

제18항에 있어서, 상기 의사 상호 접속 패턴은 상기 제2형식의 칩의 전체 영역 상에 제공되는 상호 접속 패턴 형성 방법.

청구항 22

제18항에 있어서, 상기 의사 상호 접속 패턴은 단지 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 상기 인접 영역 상에만 선택적으로 제공되는 상호 접속 패턴 형성 방법.

청구항 23

반도체 웨이퍼 상에 제공되는 제1형식의 칩과 제2형식의 칩위에 제공되는 상호 접속 패턴을 형성하는 방법에 있어서, 상기 제1형식의 칩 상에 실제 상호 접속 패턴을 제공하고 상기 제2형식의 칩 상에 의사 상호 접속 패턴을 제공하는 단계를 포함하며, 상기 의사 상호 접속 패턴은 적어도 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 인접 영역 상에 제공되어, 상기 인접 영역이 상기 제2형식의 칩에 인접한 상기 제1형식의 칩상에 제공되는 상기 실제 상호 접속 패턴의 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 의사 상호 접속 패턴의 밀도를 갖는 상호 접속 패턴 형성 방법.

청구항 24

제23항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 테스트 소자 그룹 칩인 상호 접속 패턴 형성 방법.

청구항 25

제23항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 의사 칩인 상호 패턴 형성 방법.

청구항 26

제23항에 있어서, 상기 의사 상호 접속 패턴은 상기 제2형식의 칩의 전체영역 상에 제공되는 상호 접속 패턴 형성 방법.

청구항 27

제23항에 있어서, 상기 의사 상호 접속 패턴은 단지 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 상기 인접 영역 상에만 선택적으로 제공되는 상호 접속 패턴 형성 방법.

청구항 28

제23항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 상호 접속 패턴 형성 방법.

청구항 29

반도체 웨이퍼 위에 제공되는 상호 접속 패턴 구조에 있어서, 상기 상호 접속 패턴 구조는 상기 반도체 웨이퍼 위에 제공되는 실제 상호 접속 패턴과 의사 상호 접속 패턴을 포함하며, 상기 의사 상호 접속 패턴은 상기 반도체 웨이퍼 위에 제공되는 상기 실제 상호 접속 패턴 전체의 평균 밀도보다 낮은 실제 상호 접속 패턴 밀도를 갖는 영역에 제공되어, 상기 영역이 상기 평균 밀도와 실질적으로 동일한 상기 실제 상호 접속 패턴과 상기 의사 상호 접속 패턴 모두의 총 밀도를 갖는 상호 접속 패턴 구조.

청구항 30

제29항에 있어서, 상기 영역은 실제 상호 접속 패턴이 형성되어 있지 않은 공간 영역을 포함하는 상호 접속 패턴 구조.

청구항 31

제29항에 있어서, 상기 영역은 스크라이브 라인 영역을 포함하는 상호 접속 패턴 구조.

청구항 32

제29항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 상호 접속 패턴 구조.

청구항 33

반도체 웨이퍼 위에 제공되는 상호 접속 패턴 구조에 있어서, 상기 상호 접속 패턴은 반도체 웨이퍼 위에 제공되는 실제 상호 접속 패턴과 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 의사 상호 접속 패턴을 포함하며, 상기 의사 상호 접속 패턴은 상기 반도체 웨이퍼 위에 제공되는 상기 실제 상호 접속 패턴 전체의 평균 밀도보다 낮은 실제 상호 접속 패턴 밀도를 갖는 영역에 제공되어, 상기 영역이 상기 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 실제 상호 접속 패턴과 상기 의사 상호 접속 패턴 모두의 총 밀도를 갖는 상호 접속 패턴 구조.

청구항 34

제33항에 있어서, 상기 영역은 실제 상호 접속 패턴이 형성되어 있지 않은 공간 영역을 포함하는 상호 접속 패턴 구조.

청구항 35

제33항에 있어서, 상기 영역은 스크라이브 라인 영역을 포함하는 상호 접속 패턴 구조.

청구항 36

반도체 웨이퍼 위에 제공되는 상호 접속 패턴 구조에 있어서, 상기 상호 접속 패턴은 반도체 웨이퍼 위에 실제 상호 접속 패턴과 의사 상호 접속 패턴을 포함하며, 상기 의사 상호 접속 패턴은 상기 반도체 웨이퍼 위에 제공되는 상기 실제 상호 접속 패턴 전체의 평균 밀도보다 낮은 실제 상호 접속 패턴 밀도를 갖는 영역에 제공되어, 상기 영역이 상기 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 실제 상호 접속 패턴과 상기 의사 상호 접속 패턴 모두의 총 밀도를 갖는 상호 접속 패턴 형성 방법.

청구항 37

제36항에 있어서, 상기 영역은 실제 상호 접속 패턴이 형성되어 있지 않은 공간 영역을 포함하는 상호 접속 패턴 구조.

청구항 38

제36항에 있어서, 상기 영역은 스크라이브 라인 영역을 포함하는 상호 접속 패턴 구조.

청구항 39

제36항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 가지는 상호 접속 패턴 구조.

청구항 40

반도체 웨이퍼 상에 제공되는 제1형식의 칩과 제2형식의 칩위에 제공되는 상호 접속 패턴 구조에 있어서, 상기 제1형식의 칩 상에 제공되는 실제 상호 접속 패턴과 상기 제2형식의 칩상에 제공되는 의사 상호 접속 패턴을 포함하며, 상기 의사 상호 접속 패턴은 적어도 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 인접 영역 상에 제공되어, 상기 인접 영역이 상기 제2형식의 칩에 인접한 상기 제1형식의 칩상에 제공되는 상기 실제 상호 접속 패턴의 평균 밀도와 실질적으로 동일한 밀도를 갖는 상호 접속 패턴 구조.

청구항 41

제40항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 테스트 소자 그룹 칩인 상호 접속 패턴 구조.

청구항 42

제40항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 의사칩인 상호 접속 패턴 구조.

청구항 43

제40항에 있어서, 상기 의사 상호 접속 패턴은 상기 제2형식의 칩의 전체 영역 상에 제공되는 상호 접속 패턴 구조.

청구항 44

제40항에 있어서, 상기 의사 상호 접속 패턴은 단지 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 상기 인접 영역 상에만 선택적으로 제공되는 상호 접속 패턴 형성 구조.

청구항 45

제40항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 상호 접속 패턴 구조.

청구항 46

반도체 웨이퍼 상에 제공되는 제1형식의 칩과 제2형식의 칩 위에 제공되는 상호 접속 패턴 구조에 있어서, 상기 제1형식의 칩 상에 제공되는 실제 상호 접속 패턴과 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 상기 제2형식의 칩상에 제공되는 의사 상호 접속 패턴을 포함하며, 상기 의사 상호 접속 패턴은 적어도 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 인접 영역 상에 제공되어, 상기 인접 영역이 상기 제2형식의 칩에 인접한 상기 제1형식의 칩 상에 제공되는 상기 실제 상호 접속 패턴의 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 의사 상호 접속 패턴의 밀도를 갖는 상호 접속 패턴 구조.

청구항 47

제46항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 테스트 소자 그룹 칩인 상호 접속 패턴 구조.

청구항 48

제46항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 의사 칩인 상호 접속 패턴 구조.

청구항 49

제46항에 있어서, 상기 의사 상호 접속 패턴은 상기 제2형식의 칩의 전체 영역 상에 제공되는 상호 접속 패턴 구조.

청구항 50

제46항에 있어서, 상기 의사 접속 패턴은 단지 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 상기 인접 영역 상에만 선택적으로 제공되는 상호 접속 패턴 형성 구조.

청구항 51

반도체 웨이퍼 상에 제공되는 제1형식의 칩과 제2형식의 칩 위에 제공되는 상호 접속 패턴 구조에 있어서, 상기 제1형식의 칩 상에 제공되는 실제 상호 접속 패턴과 상기 제2형식의 칩 상에 제공되는 의사 상호 접속 패턴을 포함하며, 상기 의사 상호 접속 패턴은 적어도 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 인접 영역 상에 제공되어, 상기 인접 영역이 상기 제2형식의 칩에 인접한 상기 제1형식의 칩 상에 제공되는 상기 실제 상호 접속 패턴의 평균 밀도의 4분의 1에서 4배 사이의 범위 내에서 상기 의사 상호 접속 패턴의 밀도를 갖는 상호 접속 패턴 구조.

청구항 52

제51항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 테스트 소자 그룹 칩인 상호 접속 패턴 구조.

청구항 53

제51항에 있어서, 상기 제1형식의 칩은 실제 칩이고 상기 제2형식의 칩은 의사 칩인 상호 접속 패턴 구조.

청구항 54

제51항에 있어서, 상기 의사 상호 접속 패턴은 상기 제2형식의 칩의 전체 영역 상에 제공되는 상호 접속 패턴 구조.

청구항 55

제51항에 있어서, 상기 의사 상호 접속 패턴은 단지 상기 제1형식의 칩에 인접한 상기 제2형식의 칩의 상기 인접 영역 상에만 선택적으로 제공되는 상호 접속 패턴 형성 구조.

청구항 56

제51항에 있어서, 상기 의사 상호 접속 패턴은 상기 실제 상호 접속 패턴의 대다수의 폭과 실질적으로 동일한 폭을 갖는 상호 접속 패턴 구조.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

