



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0089453
(43) 공개일자 2019년07월31일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 25/0278 (2013.01)
H04L 25/0266 (2013.01)
(21) 출원번호 10-2018-0007957
(22) 출원일자 2018년01월22일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유정식
서울특별시 성북구 종암로9다길 3 (종암동, 천우네오젠8차) 202호
이연호
서울 성북구 안암동5가 고려대학교 자연계캠퍼스 신공학관 409호
김철우
서울 강남구 선릉로 221 도곡렉슬
(74) 대리인
특허법인 고려

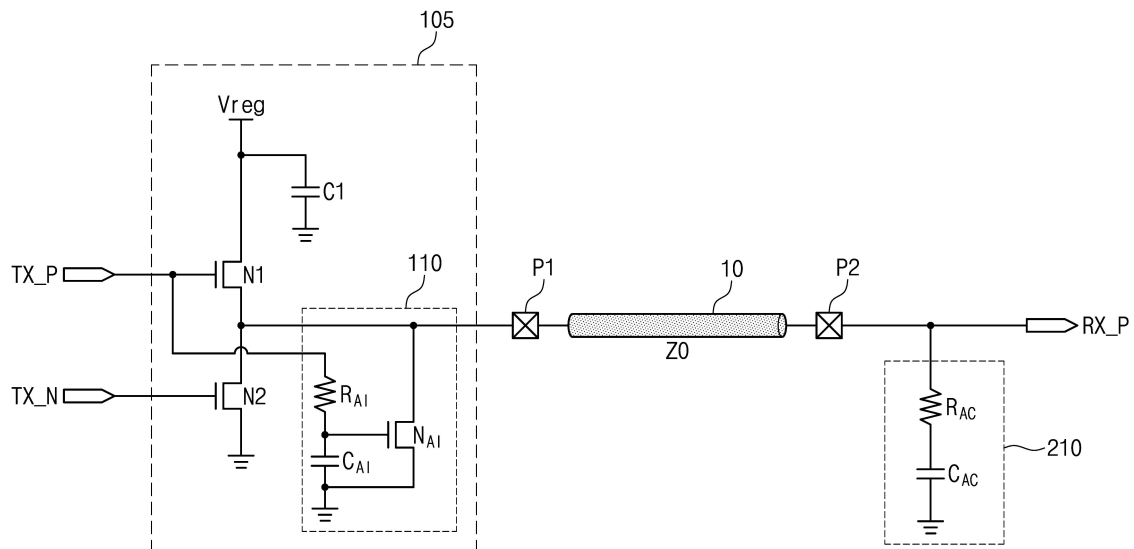
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 교류 터미네이션 및 능동 인덕터를 포함하는 전자 장치 및 그것의 인터페이스 설정 방법

(57) 요약

본 발명의 실시 예에 따른 전자 장치는, 송신 신호를 구동하여 전송 라인으로 전달하는 송신 드라이버, 그리고 상기 전송 라인으로 전달되는 상기 송신 신호를 수신하는 수신기를 포함하되, 상기 수신기는 상기 송신 신호의 필터링을 위한 교류 터미네이션을 포함하고, 상기 송신 드라이버는 상기 교류 터미네이션의 주파수 특성을 보상하기 위한 능동 인덕터를 포함한다.

대표도



(52) CPC특허분류

H04L 25/03006 (2013.01)

명세서

청구범위

청구항 1

송신 신호를 구동하여 전송 라인으로 전달하는 송신 드라이버; 그리고
 상기 전달된 송신 신호를 수신하는 수신기를 포함하되,
 상기 수신기는 상기 전달된 송신 신호의 필터링을 위한 교류 터미네이션을 포함하고,
 상기 송신 드라이버는 상기 교류 터미네이션의 주파수 특성을 보상하기 위한 능동 인덕터부를 포함하는 전자 장치.

청구항 2

제 1 항에 있어서,
 상기 교류 터미네이션은:
 상기 전송 라인과 임피던스 매칭을 위한 터미네이션 저항; 그리고
 상기 터미네이션 저항에 직렬 연결되는 터미네이션 커패시터를 포함하는 전자 장치.

청구항 3

제 2 항에 있어서,
 상기 터미네이션 커패시터는 상기 전달된 송신 신호의 주파수 대역에서 발생하는 심볼간 간섭을 제어하기 위한 용량값을 갖는 전자 장치.

청구항 4

제 1 항에 있어서,
 상기 송신 드라이버는:
 상기 송신 신호에 응답하여 드레인으로 입력되는 레귤레이터 전압을 소스로 전달하는 제 1 구동 트랜지스터를 더 포함하고,
 상기 능동 인덕터부는 상기 제 1 구동 트랜지스터의 게이트와 상기 소스 사이에 연결되는 전자 장치.

청구항 5

제 4 항에 있어서,
 상기 능동 인덕터부는:
 상기 송신 신호에 응답하여 상기 제 1 구동 트랜지스터의 상기 소스와 접지 사이를 스위칭하는 트랜지스터;
 상기 송신 신호를 상기 트랜지스터의 게이트로 전달하는 저항; 그리고
 상기 트랜지스터의 상기 게이트와 상기 접지 사이에 연결되는 커패시터를 포함하는 전자 장치.

청구항 6

제 5 항에 있어서,
 상기 저항의 크기, 상기 커패시터의 용량, 그리고 상기 트랜지스터의 크기는 상기 송신 드라이버의 제 1 영점 주파수 및 제 1 극점 주파수를 상기 교류 터미네이션의 제 2 영점 주파수 및 제 2 극점 주파수와 각각 매칭시키는 값으로 제공되는 전자 장치.

청구항 7

제 6 항에 있어서,

상기 영점 주파수는 상기 극점 주파수보다 낮은 것을 특징으로 하는 전자 장치.

청구항 8

제 1 항에 있어서,

상기 전송 라인은 차동 신호를 전송하기 위한 제 1 전송 라인 및 제 2 전송 라인을 포함하는 전자 장치.

청구항 9

송신 드라이버를 사용하여 제 1 패드로 송신 신호를 전달하는 제 1 반도체 장치;

상기 제 1 패드에 연결되는 전송 라인; 그리고

상기 전송 라인으로 전송되는 상기 송신 신호를 제 2 패드를 통해서 입력받고, 상기 입력된 송신 신호를 수신하는 수신기를 포함하는 제 2 반도체 장치를 포함하되,

상기 수신기는 상기 전송 라인과의 임피던스 매칭 또는 상기 입력된 송신 신호의 심볼간 간섭을 제어하기 위한 교류 터미네이션을 포함하고,

상기 송신 드라이버는 상기 교류 터미네이션의 주파수 특성을 보상하기 위한 능동 인덕터를 포함하는 전자 장치.

청구항 10

메모리 컨트롤러 및 메모리 장치를 포함하는 스토리지 장치의 인터페이스 설정 방법에 있어서,

상기 메모리 컨트롤러의 수신 회로에 포함되는 교류 터미네이션의 제 1 파라미터값을 검출하는 단계;

상기 메모리 장치의 송신 드라이버의 주파수 응답 특성을 결정하는 능동 인덕터부의 제 2 파라미터값을 결정하는 단계; 그리고

상기 결정된 제 2 파라미터값에 따라 상기 능동 인덕터부를 설정하는 단계를 포함하되,

상기 제 2 파라미터값은 특정 주파수 대역에서 상기 교류 터미네이션의 전압 이득을 보상하기 위한 인터페이스 설정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 좀 더 구체적으로는 교류 터미네이션 및 능동 인덕터를 포함하는 전자 장치 및 그것의 인터페이스 설정 방법에 관한 것이다.

배경 기술

[0002] 멀티 코어 컴퓨팅 및 클라우드 컴퓨팅과 같은 최신 트렌드에 힘입어 저전력 및 고대역폭의 메모리 인터페이스에 대한 요구가 날로 증가하고 있다. 특히, 메모리의 전체 소비 전력에서 데이터의 입출력을 위한 소비 전력이 상당한 부분을 차지하고 있다. 따라서, 데이터 입출력에 요구되는 전력을 줄이는 것이 메모리 장치 전체의 소비 전력을 감소시키는데 중요한 부분을 차지한다.

[0003] 하지만, 데이터의 입출력을 위한 구성에는 데이터의 입출력을 위한 전송 라인(Transmission line) 및 임피던스 매칭을 위한 다양한 구성들이 포함된다. 임피던스 매칭이 적절하지 않은 경우, 데이터의 전송시에 특정 주파수의 신호에 대한 반사파가 발생하게 되고, 이러한 반사파는 심볼간 간섭(Inter-Symbol-Interference: 이하, ISI)을 유발할 수 있다. 심볼간 간섭(ISI) 문제가 해결되지 않으면, 전송 데이터의 신뢰성이 감소하게 된다. 더구나, 전송 속도가 증가할수록 데이터를 식별하기 위한 더 높은 신뢰성이 요구된다.

[0004] 모바일 장치에 포함되는 메모리 장치들은 배터리로부터 전력을 제공받아 동작한다. 따라서, 이러한 메모리 장치

의 경우에는 데이터의 전송 특성의 향상과 함께 전력 효율을 고려한 인터페이스가 요구되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 높은 신뢰도를 갖는 인터페이스를 갖는 반도체 장치 및 그것의 설정 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 전자 장치는, 송신 신호를 구동하여 전송 라인으로 전달하는 송신 드라이버, 그리고 상기 전송 라인으로 전달되는 상기 송신 신호를 수신하는 수신기를 포함하되, 상기 수신기는 상기 송신 신호의 필터링을 위한 교류 터미네이션을 포함하고, 상기 송신 드라이버는 상기 교류 터미네이션의 주파수 특성을 보상하기 위한 능동 인덕터부를 포함한다.

[0007] 상기 목적을 달성하기 위한 본 발명에 따른 다른 실시 예의 전자 장치는, 송신 드라이버를 사용하여 제 1 패드로 송신 신호를 출력하는 제 1 반도체 장치, 상기 제 1 패드에 연결되는 전송 라인, 그리고 상기 전송 라인으로 전송되는 상기 송신 신호를 제 2 패드를 통해서 입력받고, 입력받은 상기 송신 신호를 수신하는 수신기를 포함하는 제 2 반도체 장치를 포함하되, 상기 수신기는 상기 전송 라인의 임피던스 매칭 또는 상기 송신 신호의 심볼간 간섭을 제어하기 위한 교류 터미네이션을 포함하고, 상기 송신 드라이버는 상기 교류 터미네이션의 주파수 특성을 보상하기 위한 능동 인덕터부를 포함한다.

[0008] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 메모리 컨트롤러 및 메모리 장치를 포함하는 스토리지 장치의 인터페이스 설정 방법은, 상기 메모리 컨트롤러의 수신 회로에 포함되는 교류 터미네이션의 제 1 파라미터값을 검출하는 단계, 상기 메모리 장치의 송신 드라이버의 주파수 응답 특성을 결정하는 능동 인덕터부의 제 2 파라미터값을 결정하는 단계, 그리고 상기 결정된 제 2 파라미터값에 따라 상기 능동 인덕터부를 설정하는 단계를 포함하되, 상기 제 2 파라미터값은 특정 주파수 대역에서 상기 교류 터미네이션의 전압 이득을 보상하기 위한 값이다.

발명의 효과

[0009] 이상과 같은 본 발명의 실시 예에 따르면, 저전력으로 구동 가능하면서도 높은 신뢰도의 입출력 특성을 갖는 반도체 장치 또는 전자 장치를 구현할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 송신 드라이버 및 수신기를 포함하는 반도체 장치들을 보여주는 블록도이다.
 도 2는 도 1의 송신 드라이버 및 수신기의 구성을 예시적으로 보여주는 회로도이다.
 도 3은 도 2의 교류 터미네이션에 포함되는 터미네이션 커패시터(C_{AC})의 용량을 결정하는 방법을 예시적으로 보여주는 그래프이다.
 도 4는 도 2의 교류 터미네이션의 주파수 특성을 보여주는 그래프이다.
 도 5는 본 발명의 능동 인덕터부(AIP)를 포함하는 송신 드라이버의 구성을 예시적으로 보여주는 회로도이다.
 도 6은 도 5의 능동 인덕터부를 포함하는 송신 드라이버의 소신호 등가 회로를 보여준다.
 도 7은 도 6의 송신 드라이버의 주파수 특성을 보여주는 도면이다.
 도 8은 본 발명의 다른 실시 예에 따른 반도체 장치들을 보여주는 블록도이다.
 도 9는 본 발명의 송신 드라이버의 구성을 예시적으로 보여주는 회로도이다.
 도 10은 도 8의 수신기의 구성을 예시적으로 보여주는 도면이다.
 도 11은 본 발명의 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.
 도 12는 도 11에 도시된 메모리 시스템의 능동 인덕터부 및 교류 터미네이션의 구성을 예시적으로 보여주는 회

로도이다.

도 13은 도 11의 메모리 시스템에서 수행되는 능동 인덕터의 파라미터를 조정하기 위한 트레이닝 방법을 예시적으로 보여주는 순서도이다.

도 14는 본 발명의 기술이 적용되는 디램을 포함하는 적층 메모리 칩의 구조를 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.
- [0012] 이하에서는, 반도체 메모리 장치가 본 발명의 특징 및 기능을 설명하기 위한 반도체 장치의 예로 사용될 것이다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 예를 들면, 본 발명의 기술은 반도체 메모리 장치뿐만 아니라 장치간 데이터 전송이 발생하는 다양한 반도체 장치나 모듈들에 대해서도 적용될 수 있다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.
- [0013] 도 1은 본 발명의 송신 드라이버 및 수신기를 포함하는 반도체 장치들을 보여주는 블록도이다. 도 1을 참조하면, 제 1 반도체 장치(100)의 송신 드라이버(105)는 능동 인덕터부(110)를 포함하고, 제 2 반도체 장치(200)의 수신기(205)는 교류 터미네이션(210)을 포함한다.
- [0014] 제 1 및 제 2 반도체 장치들(100, 200)은 전송 라인(10)에 의해서 전기적으로 연결된다. 제 1 반도체 장치(100)의 송신 드라이버(105)는 패드(P1)를 통해서 전송 라인(10)으로 신호 또는 데이터를 전송한다. 그리고 제 2 반도체 장치(200)의 수신기(205)는 전송 라인(10) 및 패드(P2)를 경유하여 전달되는 신호 또는 데이터를 수신한다. 여기서, 송신 드라이버(105) 및 수신기(205)가 싱글 엔드(Single-Ended) 방식으로 데이터를 송수신하는 것으로 가정하기로 한다.
- [0015] 송신 드라이버(105)는 제 1 반도체 장치(100)에서 생성된 송신 데이터(D_TX)를 전송 라인(10)으로 전송하기 위한 신호 형식으로 변환한다. 송신 드라이버(105)는 제 1 반도체 장치(100)에서 생성된 전압을 사용하여 송신 데이터(D_TX)에 대응하는 전압 신호를 생성하여 패드(P1)로 출력할 수 있다. 특히, 본 발명의 송신 드라이버(105)는 능동 인덕터부(110)를 포함한다. 능동 인덕터부(110)는 수신기(205)에 포함되는 교류 터미네이션(210)에 의해서 야기되는 특정 주파수(일반적으로, 저주파수)에서의 심볼간 간섭(ISI)과 같은 문제를 해결할 수 있다.
- [0016] 수신기(205)는 전송 라인(10)을 통해서 제 1 반도체 장치(100)로부터 전송된 신호를 수신하는 제 2 반도체 장치(200)의 구성이다. 수신기(205)는 전송 라인(10)과 패드(P2)를 통해서 제공된 신호를 수신 데이터(D_RX)로 변환할 것이다. 특히, 수신기(205)는 교류 터미네이션(210)을 포함한다. 교류 터미네이션(210)은 전송 라인(10)과의 임피던스 매칭을 수행하기 위한 터미네이션 저항(R_{AC})과 터미네이션 커패시터(C_{AC})를 포함할 수 있다.
- [0017] 여기서, 교류 터미네이션(210)을 구성하는 터미네이션 커패시터(C_{AC})의 최적값은 최저 지터 (Minimum jitter) 및 소비 전력을 고려하여 결정된다. 터미네이션 저항(R_{AC})은 일반적으로 전송 라인(10)의 임피던스와 매칭된 저항치로 제공된다. 이때, 터미네이션 커패시터(C_{AC})의 용량이 상대적으로 증가하는 경우에 교류 터미네이션(210)의 고주파 성분에 대한 임피던스는 감소하게 된다. 이 경우, 임피던스 매칭은 향상되어 심볼간 간섭(ISI)이 감소하여 지터는 감소하게 될 것이다. 하지만, 이때 신호의 고주파 성분에 대한 임피던스가 감소하여 터미네이션 저항(R_{AC})을 통해 지속적으로 직류 전류가 흐르게 된다. 따라서, 전력 손실이 발생하고 전력 소비가 증가하게 될 것이다. 교류 터미네이션(210)의 구조는 후술하는 도 2에서 상세히 설명하기로 한다.
- [0018] 상술한 교류 터미네이션(210)에서의 신호의 질 저하 문제는 본 발명의 능동 인덕터부(105)에 의해서 해결될 수 있다. 능동 인덕터부(105)는 실질적으로 고주파 성분의 이득(Gain)이 크도록 송신 신호를 처리한다. 따라서, 능동 인덕터부(105)에서 저주파 성분 신호의 이득을 낮춤으로써 해서 상대적으로 고주파 성분의 이득이 커지게 하여 송신 신호의 이득이 증가할 수 있다. 즉, 교류 터미네이션(210)의 터미네이션 커패시터(C_{AC})에 의해서 발생하는 신호의 질의 저하는 능동 인덕터부(105)에서 미리 보상할 수 있다. 본 발명의 인터페이스 구조에 따르면, 능동

인덕터부(105)에 의해서 교류 터미네이션(210)에서 발생하는 고주파수에서의 소모 전력 증가 문제를 해결할 수 있다.

[0019] 이상에서는 본 발명의 송신 드라이버(105) 및 수신기(205)를 포함하는 반도체 장치들(100, 200)의 구성이 간략히 설명되었다. 본 발명의 송신 드라이버(105)는 수신기(205)의 교류 터미네이션(210)에서 발생하는 신호의 질 저하를 해결할 수 있는 능동 인덕터부(110)를 포함한다. 능동 인덕터부(110)의 기능과 구성은 후술하는 도면들을 통해서 상세히 설명될 것이다.

[0020] 도 2는 도 1의 송신 드라이버 및 수신기를 좀더 구체적으로 보여주는 회로도이다. 도 2를 참조하면, 본 발명의 송신 드라이버(105)는 능동 인덕터부(110)를 사용하여 교류 터미네이션(210)의 소모 전력 문제를 해결할 수 있다.

[0021] 송신 드라이버(105)는 송신 신호(TX_P, TX_N)를 각각 제공받는 구동 트랜지스터들(N1, N2)을 포함한다. 구동 트랜지스터들(N1, N2)이 NMOS 트랜지스터로 도시되어 있으나 본 발명은 여기에 국한되지 않는다. 구동 트랜지스터들(N1, N2)은 PMOS 트랜지스터나 다양한 타입의 스위치 소자를 사용하여 구현될 수 있다.

[0022] 상보적인 신호의 송신 신호(TX_P, TX_N)는 송신 드라이버(105)의 싱글 엔드(Single-ended) 방식의 시그널링을 통해서 하나의 전송 라인(10)으로 전달될 수 있다. 제 1 구동 트랜지스터(N1)의 게이트로는 송신 신호(TX_P)가, 드레인으로는 구동 전압(Vreg)이 제공된다. 제 1 구동 트랜지스터(N1)의 소스는 제 2 구동 트랜지스터(N2)의 드레인에 연결되며, 실질적으로 패드(P1)에 연결된다. 그리고 구동 전압(Vreg)이 제공되는 노드와 접지 사이에는 커패시터(C1)가 연결될 수 있다.

[0023] 특히, 능동 인덕터부(110)는 송신 신호(TX_P)가 입력되는 제 1 구동 트랜지스터(N1)의 게이트와 출력단을 구성하는 제 1 구동 트랜지스터(N1)의 소스 사이에 연결된다. 능동 인덕터부(110)는 제 1 저항(R_{AI}), 제 1 커패시터(C_{AI}), 그리고 제 1 트랜지스터(N_{AI})를 포함한다. 능동 인덕터부(110)는 교류 터미네이션(210)에 의해서 발생하는 저주파수에서의 임피던스 미스 매칭에 의해서 발생하는 신호의 질 저하 문제를 보상하기 위한 인덕터(Inductor)와 같은 필터링 기능을 가질 수 있다.

[0024] 교류 터미네이션(210)은 도시된 바와 같이 수신기(205)의 패드(P2)를 통해서 전달된 신호를 주파수에 따라 필터링할 수 있다. 도시된 바와 같이, 교류 터미네이션(210)은 터미네이션 저항(R_{AC})과 터미네이션 커패시터(C_{AC})를 포함할 수 있다. 터미네이션 저항(R_{AC})과 터미네이션 커패시터(C_{AC})는 직렬로 연결될 수 있다. 터미네이션 저항(R_{AC})은 패드(P2)를 기준으로 전송 라인(10)과의 임피던스 매칭을 위한 저항값을 가질 수 있다. 예를 들면, 전송 라인(10)의 임피던스(Z_0)가 50Ω이라면, 터미네이션 저항(R_{AC})은 50Ω 또는 50Ω보다 다소 작은 저항값으로 설정될 수 있다.

[0025] 교류 터미네이션(210)에서 특히 주파수 특성을 결정하는 것이 터미네이션 커패시터(C_{AC})이다. 터미네이션 커패시터(C_{AC})의 용량에 따라 교류 터미네이션(210)의 주어진 주파수에서 임피던스가 결정될 수 있다. 만일, 터미네이션 커패시터(C_{AC})의 용량이 증가하면, 같은 주파수라 하더라도 낮은 임피던스를 갖게 된다. 그리고 고주파수의 신호에 대해서 교류 터미네이션(210)은 더욱 낮은 임피던스값을 갖게 된다. 따라서, 고주파수의 신호를 수신할 때, 터미네이션 커패시터(C_{AC})에 흐르는 전류가 증가하게 된다. 결국, 수신기(205)가 고주파수의 신호를 수신하는 경우, 교류 터미네이션(210)의 임피던스 매칭은 향상되지만, 소모 전력은 증가하게 될 것이다. 이러한 소모 전력의 증가는 향상되지만, 신호의 질 저하 문제는 본 발명의 능동 인덕터부(110)의 작용에 의해서 보상될 수 있다.

[0026] 도 3은 도 2의 교류 터미네이션에 포함되는 터미네이션 커패시터(C_{AC})의 용량을 결정하는 방법을 예시적으로 보여주는 그래프이다. 도 3을 참조하면, 교류 터미네이션(210)을 구성하는 터미네이션 커패시터(C_{AC})의 용량은 심볼간 간섭(ISI)에 기인하는 지터(Jitter)와 소모 전력(Power consumption)을 고려하여 결정할 수 있다.

[0027] 도시된 그래프에서 곡선(C1)은 교류 터미네이션(210)의 터미네이션 커패시터(C_{AC})의 용량에 따른 지터(Jitter)의 크기를 보여준다. 즉, 고정된 주파수에서 터미네이션 커패시터(C_{AC})의 용량이 증가하면 교류 터미네이션(210)의 총임피던스(Z)는 감소하게 된다. 따라서, 터미네이션 커패시터(C_{AC})의 용량이 증가함에 따라 임피던스 매칭의 정도가 증가하여, 심볼간 간섭(ISI)에 기인하는 지터(Jitter)는 감소할 것이다.

- [0028] 그래프에서 곡선(C2)은 교류 터미네이션(210)의 터미네이션 커패시터(C_{AC})의 용량(로그 스케일)에 따른 수신기(205)의 전력 소모 특성을 보여준다. 터미네이션 커패시터(C_{AC})의 용량이 증가하면 교류 터미네이션(210)의 총임피던스(Z)는 감소한다. 하지만, 교류 터미네이션(210)의 총임피던스(Z) 감소에 따라 터미네이션 커패시터(C_{AC})를 경유하여 접지로 유출되는 직류 전류의 크기가 증가하게 될 것이다. 이러한 소모 전력의 증가는 고주파 신호일수록 더 현저하게 나타난다.
- [0029] 교류 터미네이션(210)의 특성을 결정짓는 터미네이션 커패시터(C_{AC})의 용량은 전력 소모와 지터의 크기를 모두 고려하여 결정될 수 있다. 즉, 터미네이션 커패시터(C_{AC})의 최적 용량(Optimum Capacitance)은 지터 특성을 나타내는 곡선(C1)과 전력 소모 특성을 나타내는 곡선(C2)의 교차점(CP)에서 결정될 수 있다.
- [0030] 도 4는 도 2의 교류 터미네이션의 주파수 특성을 보여주는 그래프이다. 도 4를 참조하면, 교류 터미네이션(210)의 전달 특성은 고주파수의 신호에 대해서 상대적으로 낮은 전압 이득을 제공한다.
- [0031] 주파수(각주파수 ω 로 표현)에 따른 전압 이득(Voltage gain)은 도시된 곡선(215)으로 간략히 표현하였다. 즉, 영점 주파수(ω_z) 이하의 주파수에서 전압 이득(Voltage gain)은 '0 dB'의 이득을 제공할 수 있다. 하지만, 영점 주파수(ω_z)에서 전압 이득은 감소하기 시작한다. 그리고 전압 이득은 극점 주파수(ω_p) 이상에서는 '-6 dB'로 나타난다. 즉, 교류 터미네이션(210)의 전달 특성은 고주파일수록 전압 이득이 감소하는 경향이 있다.
- [0032] 상술한 교류 터미네이션(210)의 전달 특성은 고주파 신호에 대해 상대적으로 전력 효율이 좋지 못함을 나타낸다. 따라서, 이러한 교류 터미네이션(210)의 특성을 보상하기 위하여 본 발명의 능동 인덕터부(110)가 제공된다.
- [0033] 도 5는 본 발명의 능동 인덕터부(AIP)를 포함하는 송신 드라이버의 구성을 예시적으로 보여주는 회로도이다. 도 5를 참조하면, 싱글 엔드형 시그널링을 수행하기 위한 송신 드라이버(105)는 제 1 및 제 2 구동 트랜지스터들($N1$, $N2$)과 능동 인덕터부(110)를 포함할 수 있다.
- [0034] 능동 인덕터부(110)는 제 1 저항(R_{AI}), 제 1 커패시터(C_{AI}), 그리고 제 1 트랜지스터(N_{AI})를 포함한다. 제 1 저항(R_{AI})의 일단은 제 1 구동 트랜지스터($N1$)의 게이트와 연결된다. 즉, 제 1 저항(R_{AI})의 일단으로 송신 신호(TX_P)가 전달된다. 그리고 제 1 저항(R_{AI})의 타단은 제 1 커패시터(C_{AI}) 및 제 1 트랜지스터(N_{AI})의 게이트에 연결된다. 제 1 트랜지스터(N_{AI})의 게이트는 도시된 바와 같이 제 1 저항(R_{AI})의 타단에 연결된다. 제 1 트랜지스터(N_{AI})의 드레인은 송신 드라이버(105)의 출력단(Vout)에 연결된다. 제 1 트랜지스터(N_{AI})의 소스는 접지와 연결된다.
- [0035] 상술한 예시적인 형태의 능동 인덕터부(110)는 실질적으로 인덕터(Inductor)와 유사한 전달 특성을 제공할 수 있다. 예를 들면, 송신 신호(TX_P)의 천이가 저속으로 발생하는 저주파수의 신호가 전송되는 경우, 능동 인덕터부(110)의 제 1 커패시터(C_{AI})는 차단 상태로 간주될 수 있다. 이 경우, 송신 신호(TX_P)의 논리값이 '1'인 경우, 제 1 트랜지스터(N_{AI})는 턴온된다. 따라서, 제 1 구동 트랜지스터($N1$)를 통해서 출력단(Vout)으로 전달되는 신호는 제 1 트랜지스터(N_{AI})의 턴온에 따라 접지측으로 빠지게 된다. 그리고 송신 신호(TX_P)의 논리값이 '0'이라 하더라도, 제 1 커패시터(C_{AI})의 충전에 따라 제 1 트랜지스터(N_{AI})는 지속적으로 턴온을 유지할 수 있을 것이다. 따라서, 저주파수의 송신 신호(TX_P)에 대한 능동 인덕터부(110)의 이득은 상대적으로 낮음을 알 수 있다.
- [0036] 반대로, 송신 신호(TX_P)의 천이가 고속으로 발생하는 고주파수의 신호 전송시, 능동 인덕터부(110)의 제 1 커패시터(C_{AI})는 소통 상태로 간주될 수 있다. 이 경우, 제 1 트랜지스터(N_{AI})는 턴오프 상태로 유지되고, 제 1 구동 트랜지스터($N1$)를 통해서 출력단(Vout)으로 전달되는 신호는 대부분 전송 라인(10) 측으로 전달된다. 따라서, 고주파수의 신호에 대해서는 능동 인덕터부(110)의 전압 이득은 상대적으로 높게 나타난다.
- [0037] 이상에서는 본 발명의 능동 인덕터부(110)의 전달 특성을 개략적이고 직관적으로 살펴보았다. 본 발명의 능동 인덕터부(110)의 주파수에 따른 전달 특성은 소신호 모델링을 사용하여 후술하는 도면에서 상세히 설명될 것이다.
- [0038] 도 6은 도 5의 능동 인덕터부를 포함하는 송신 드라이버의 소신호 등가 회로를 보여준다. 도 6을 참조하면, 송

신 드라이버(105)는 싱글 엔드형 시그널링을 위해 게이트가 접지되는 제 2 구동 트랜지스터(N2)는 생략된다.

[0039] 송신 드라이버(105)의 소신호 등가 회로의 구성 및 동작은 다음과 같다. 송신 신호(TX_P)의 입력에 따른 소신호 입력 전압(V_{in})은 능동 인덕터부(110)의 제 1 저항(R_{AI})과 제 1 커패시터(C_{AI})에 인가된다. 여기서, 제 1 구동 트랜지스터(N1)는 제 1 게이트-소스 전압(V_{gs1}), 제 1 종속 전류원($g_{m1} \times V_{gs1}$), 그리고 제 1 출력 저항(r_{o1})으로 모델링될 수 있다. 여기서, 제 1 전달 컨덕턴스(g_{m1})는 제 1 구동 트랜지스터(N1)의 입력 전압에 대한 출력 전류의 비를 나타낸다. 따라서, 제 1 종속 전류원($g_{m1} \times V_{gs1}$)은 전압 제어 전류원으로 해석될 수 있다. 마찬가지로, 제 1 트랜지스터(N_{AI})는 제 3 게이트-소스 전압(V_{gs3}), 제 3 종속 전류원($g_{m3} \times V_{gs3}$), 그리고 제 3 출력 저항(r_{o3})으로 모델링될 수 있다.

[0040] 제 1 구동 트랜지스터(N1)의 소스 및 제 1 트랜지스터(N_{AI})의 드레인이 송신 드라이버(105)의 출력단(V_{out})이 된다. 그리고 소신호 모델링에 따라 제 1 구동 트랜지스터(N1)의 드레인 및 제 1 트랜지스터(N_{AI})의 소스는 접지된다. 능동 인덕터부(110)를 포함하는 송신 드라이버(105)의 전달 함수 $H(s)$ 는 아래의 수학적 식 1로 표현될 수 있다.

수학적 식 1

$$H(s) = \frac{V_{out}}{V_{in}}(s) = \frac{g_{m1}}{\frac{1}{r_{o1}} + \frac{1}{r_{o3}} + g_{m1}} \frac{1 - \frac{g_{m3}}{g_{m1}}}{s + \frac{1}{R_{AI}C_{AI}}}$$

[0042] 수학적 식 1에 나타난 전달함수 $H(s)$ 의 영점(zero)에 대응하는 주파수(ω_z , 이하 영점 주파수)는 아래 수학적 식 2로 나타낼 수 있다.

수학적 식 2

$$\omega_z = \frac{1 - \frac{g_{m3}}{g_{m1}}}{R_{AI}C_{AI}}$$

[0044] 그리고 수학적 식 1의 전달함수 $H(s)$ 의 극점(pole)에 대응하는 주파수(ω_p , 이하 극점 주파수)는 아래 수학적 식 3으로 나타낼 수 있다.

수학적 식 3

$$\omega_p = \frac{1}{R_{AI}C_{AI}}$$

[0046] 여기서, 극점 주파수(ω_p)는 영점 주파수(ω_z)보다 크다. 따라서, 전달함수 $H(s)$ 를 고려하면 능동 인덕터부(110)를 포함하는 송신 드라이버(105)는 영점 주파수(ω_z)보다 작은 주파수 대역의 신호에 대해서는 상대적은 작은 이득을 제공할 것이다. 반면, 송신 드라이버(105)는 극점 주파수(ω_p)보다 큰 주파수 대역의 신호에 대해서는 상대적으로 큰 이득을 제공할 수 있다. 이러한 송신 드라이버(105)의 주파수 응답 특성은 앞서 설명된 교류 터

미네이션(210)의 응답 특성과 반대의 특성임을 알 수 있다. 따라서, 교류 터미네이션(210)의 특성을 보상하기 위한 적절한 영점 주파수(ω_z) 및 극점 주파수(ω_p)를 선택한다면, 교류 터미네이션(210)이 제공하는 소모 전력의 개선에도 불구하고 동반되는 신호의 질의 저하 문제는 능동 인덕터부(110)에서 보상할 수 있음을 알 수 있다.

[0047] 도 7은 도 6의 송신 드라이버의 주파수 특성을 보여주는 도면이다. 도 7을 참조하면, 송신 드라이버(105)의 주파수에 대한 전압 이득 곡선(115)과 수신기(205)의 전압 이득 곡선(215)이 도시되어 있다.

[0048] 먼저, 점선으로 도시된 수신기(205)의 전압 이득 곡선(215)을 살펴보면, 영점 주파수(ω_z)보다 낮은 주파수의 신호에 대해서는 상대적으로 큰 전압 이득(0dB)을 제공한다. 하지만, 영점 주파수(ω_z)보다 큰 주파수의 신호에 대해서는 수신기(205)의 전압 이득은 감소한다. 그리고 극점 주파수(ω_p)보다 큰 주파수의 신호에 대해서, 수신기(205)는 최소 전압 이득을 유지할 것이다.

[0049] 더불어, 실선으로 도시된 송신 드라이버(105)의 전압 이득 곡선(115)을 살펴보면, 영점 주파수(ω_z)보다 낮은 주파수의 신호에 대해서는 최저 전압 이득을 제공한다. 하지만, 영점 주파수(ω_z)보다 큰 주파수의 신호에 대해서는 송신 드라이버(105)는 증가하는 전압 이득을 제공한다. 그리고 극점 주파수(ω_p)보다 큰 주파수의 신호에 대해서, 송신 드라이버(105)는 최대 전압 이득을 유지할 것이다.

[0050] 상술한 송신 드라이버(105)의 주파수 응답 특성은 수신기(205)의 교류 터미네이션(210)에 의한 신호의 질 저하 문제를 해결할 수 있는 실마리를 제공한다. 즉, 능동 인덕터부(110)를 구성하는 제 1 저항(R_{AI}), 제 1 커패시터(C_{AI}), 그리고 제 1 트랜지스터(N_{AI})의 특성을 조정하여 주파수에 따른 신호의 이득을 줄일 수 있음을 알 수 있다. 신호의 신뢰성을 위해 심볼간 간섭(ISI)을 줄이기 위한 터미네이션 커패시터(C_{AC})의 값이 결정될 수 있다. 그리고 터미네이션 커패시터(C_{AC})의 값이 결정되면, 영점 주파수(ω_z)와 극점 주파수(ω_p)가 결정될 수 있다. 영점 주파수(ω_z)와 극점 주파수(ω_p)를 갖는 전압 이득 곡선(115)의 주파수 응답을 갖도록 능동 인덕터부(110)를 구성하는 제 1 저항(R_{AI}), 제 1 커패시터(C_{AI}), 그리고 제 1 트랜지스터(N_{AI}) 중 적어도 하나의 값이 선택될 수 있을 것이다.

[0051] 제 1 저항(R_{AI}), 제 1 커패시터(C_{AI}), 그리고 제 1 트랜지스터(N_{AI})와 같은 파라미터의 결정 및 선택은 반도체 장치들(100, 200)의 트레이닝 동작이나 초기화 동작시에 수행될 수 있다. 이러한 파라미터의 결정 동작은 후술하는 도면을 통해서 보다 상세히 설명될 것이다.

[0052] 도 8은 본 발명의 다른 실시 예에 따른 반도체 장치들을 보여주는 블록도이다. 도 8을 참조하면, 반도체 장치들(300, 400)은 차동 신호 방식의 시그널링을 사용하여 데이터를 송신 및 수신한다. 제 1 반도체 장치(300)의 송신 드라이버(305)는 능동 인덕터부(310)를 포함하고, 제 2 반도체 장치(400)의 수신기(405)는 교류 터미네이션(410)을 포함한다. 능동 인덕터부(310) 및 교류 터미네이션(410)은 차동 신호가 전달되는 신호 경로를 각각에 구비되어야 할 것이다.

[0053] 제 1 및 제 2 반도체 장치들(300, 400)은 전송 라인 쌍(20, 25)을 사용하여 차동 신호를 송신 및 수신한다. 제 1 반도체 장치(300)의 송신 드라이버(305)는 차동 신호 형태의 송신 신호(TX_P, TX_N)를 구동하여 전송 라인 쌍(20, 25)과 연결된 패드들(P3, P4)로 출력할 것이다. 그러면, 전송 라인 쌍(20, 25)을 경유하여 전달되는 송신 신호(TX_P, TX_N)는 패드들(P5, P6)에 입력되어 제 2 반도체 장치(400)에 입력된다. 제 2 반도체 장치(400)의 수신기(405)는 패드들(P5, P6)을 통해서 입력되는 차동 신호를 필터링하여 수신 데이터(D_RX)로 출력할 수 있다.

[0054] 여기서, 송신 드라이버(305)는 제 1 반도체 장치(300)에서 생성된 송신 신호(TX_P, TX_N)를 전송 라인 쌍(20, 25)으로 전송하기 위한 차동 신호로 변환한다. 송신 드라이버(305)는 제 1 반도체 장치(300)에서 생성된 전압을 사용하여 송신 신호(TX_P, TX_N)에 대응하는 차동 전압 신호를 생성하여 패드들(P3, P4)로 출력할 것이다. 송신 드라이버(305)는 상보적인 관계의 제 1 송신 신호(TX_P)와 제 2 송신 신호(TX_N) 각각의 주파수 특성을 제공하기 위한 능동 인덕터부(310)를 포함한다. 능동 인덕터부(310)는 제 1 송신 신호(TX_P)와 제 2 송신 신호(TX_N) 각각에 대해 앞서 설명된 도 7에 도시된 전압 이득 특성을 제공할 수 있다.

[0055] 수신기(405)는 제 1 반도체 장치(300)로부터 전송 라인 쌍(20, 25)을 통해서 전송된 차동 신호를 수신하는 제 2

반도체 장치(400)의 입출력 인터페이스의 일부로 제공된다. 수신기(405)는 전송 라인 쌍(20, 25)과 패드들(P5, P6)을 통해서 전송된 차동 신호를 수신 데이터(D_RX)로 변환할 것이다. 특히, 수신기(405)는 차동 신호 각각의 경로에 심볼간 간섭(ISI)에 의한 지터 제거 또는 임피던스 매칭을 위해서 제공되는 교류 터미네이션(410)을 포함한다. 교류 터미네이션(410)은 전송 라인 쌍(20, 25) 각각에 대응하는 직렬 연결된 터미네이션 저항(R_{AC})과 터미네이션 커패시터(C_{AC})를 포함할 수 있다. 여기서, 교류 터미네이션(410)을 구성하는 파라미터의 최적값은 전송 라인 쌍(20, 25) 각각에 대한 최저 지터(Jitter) 및 소비 전력을 고려하여 결정된다. 하지만, 상술한 교류 터미네이션(410)의 작용에도 불구하고 고주파수의 데이터 전송시에는 교류 터미네이션(410)에 의한 전력 소모가 증가할 수 있다.

- [0056] 상술한 교류 터미네이션(410)에서의 신호의 질 저하는 본 발명의 능동 인덕터부(305)에 의해서 해결될 수 있다. 능동 인덕터부(305)는 실질적으로 고주파 성분의 이득이 크도록 송신 신호를 처리하여 송신한다. 따라서, 능동 인덕터부(305)에서 전력 소모가 큰 고주파 성분의 송신 신호의 이득이 증가할 수 있다. 이러한 능동 인덕터부(305)에 의한 보상 작용에 의해서 교류 터미네이션(410)에 의한 신호의 질 저하 문제를 해결할 수 있다.
- [0057] 이상에서는 본 발명의 송신 드라이버(305) 및 수신기(405)를 포함하는 반도체 장치들(300, 400)의 구성이 간략히 설명되었다. 본 발명의 송신 드라이버(305)는 수신기(405)의 교류 터미네이션(410)에서 발생하는 신호의 질 저하 문제를 줄일 수 있는 능동 인덕터부(310)를 포함한다.
- [0058] 도 9는 본 발명의 송신 드라이버의 구성을 예시적으로 보여주는 회로도이다. 도 9를 참조하면, 송신 드라이버(305)는 송신 신호(TX_P, TX_N)를 각각의 출력단들(Vout_P, Vout_N)로 구동하기 위한 제 1 능동 인덕터부(310) 및 제 2 능동 인덕터부(315)를 포함할 수 있다.
- [0059] 송신 드라이버(305)는 송신 신호(TX_P, TX_N)를 각각 제공받는 구동 트랜지스터들(N1, N2)을 포함한다. 상보적인 형태의 송신 신호(TX_P, TX_N)는 송신 드라이버(305)의 차동 신호 방식의 시그널링에 의해서 전송 라인 쌍(20, 25)으로 전달될 수 있다. 제 1 구동 트랜지스터(N1)의 게이트로는 송신 신호(TX_P)가, 드레인으로는 구동 전압(Vreg)이 제공된다. 제 1 구동 트랜지스터(N1)의 소스는 제 2 구동 트랜지스터(N2)의 드레인에 연결되며, 제 1 구동 트랜지스터(N1)의 소스는 패드(P3)에 연결되어 실질적으로 제 1 출력단(Vout_P)으로 작용한다.
- [0060] 제 1 능동 인덕터부(310)는 송신 신호(TX_P)가 입력되는 제 1 구동 트랜지스터(N1)의 게이트와 출력단을 구성하는 제 1 구동 트랜지스터(N1)의 소스 사이에 연결된다. 능동 인덕터부(310)는 제 1 저항(R_{A11}), 제 1 커패시터(C_{A11}), 그리고 제 1 트랜지스터(N_{A11})를 포함한다.
- [0061] 제 2 송신 신호(TX_N)를 구동하기 위해 송신 드라이버(305)는 제 3 및 제 4 구동 트랜지스터들(N3, N4)을 포함할 수 있다. 그리고 제 2 송신 신호(TX_N)의 구동을 위해 송신 드라이버(305)는 제 2 능동 인덕터부(315)를 포함할 수 있다. 제 2 구동 트랜지스터(N2)의 게이트에는 송신 신호(TX_N)가 제공되고, 제 2 구동 트랜지스터(N2)의 소스는 접지된다.
- [0062] 송신 신호(TX_N)의 구동을 위해 제 4 구동 트랜지스터(N4)의 게이트에는 송신 신호(TX_N)가 제공된다. 그리고 제 4 구동 트랜지스터(N4)의 드레인은 제 2 출력단(Vout_N)으로 제공될 것이다.
- [0063] 제 2 능동 인덕터부(315)는 송신 신호(TX_N)가 입력되는 제 2 및 제 4 구동 트랜지스터들(N2, N4)의 공통 게이트에 연결된다. 그리고 제 2 능동 인덕터부(315)는 출력단(Vout_N)을 구성하는 제 4 구동 트랜지스터(N4)의 드레인에 연결된다. 제 2 능동 인덕터부(315)는 제 2 저항(R_{A12}), 제 2 커패시터(C_{A12}), 그리고 제 2 트랜지스터(N_{A12})를 포함할 수 있다. 여기서, 제 1 능동 인덕터부(310) 및 제 2 능동 인덕터부(315)의 구성은 본 발명의 실시 예에 불과하며, 다양한 방식의 능동 인덕터 회로가 적용될 수 있음을 잘 이해될 것이다.
- [0064] 상술한 차동 신호 방식의 송신 드라이버(305)에서는 전송 라인 쌍(20, 25) 각각에 대응하는 능동 인덕터부들(310, 315)이 제공될 수 있다. 능동 인덕터부들(310, 315) 각각은 후술하게 되는 제 1 및 제 2 교류 터미네이션(412, 414)의 파라미터(특히, 터미널 용량)를 고려하여 최적의 설정값으로 선택될 수 있다. 즉, 능동 인덕터부들(310, 315) 각각의 주파수 응답 특성은 제 1 및 제 2 교류 터미네이션(412, 414)의 주파수 응답 특성을 보상하기 위한 파라미터들로 선택될 것이다. 따라서, 능동 인덕터부들(310, 315)에 의해서 차동 신호 방식으로 통신하는 반도체 장치들 간에 발생하는 교류 터미네이션에 의한 신호의 질 저하 문제가 해소될 수 있다.
- [0065] 도 10은 도 8의 수신기의 구성을 예시적으로 보여주는 도면이다. 도 10을 참조하면, 수신된 차동 신호들(RX_P, RX_N)이 패드들(P5, P6)을 경유하여 수신 회로(416)에 연결된다. 그리고 수신기(405)에는 수신된 차동 신호들

(RX_P, RX_N) 각각을 필터링하기 위한 교류 터미네이션들(412, 414)이 포함된다.

- [0066] 제 1 교류 터미네이션(412)은 제 1 터미네이션 저항(R_{AC1})과 제 1 터미네이션 커패시터(C_{AC1})를 포함할 수 있다. 제 1 터미네이션 저항(R_{AC1})과 제 1 터미네이션 커패시터(C_{AC1})는 직렬로 연결될 수 있다. 제 1 터미네이션 저항(R_{AC1})은 전송 라인(20)과의 임피던스 매칭을 위한 저항값을 갖도록 설정될 수 있다. 예를 들면, 제 1 터미네이션 저항(R_{AC1})은 50Ω의 저항값으로 설정될 수 있다. 제 1 터미네이션 커패시터(C_{AC1})는 주어진 주파수에서 최소의 심볼간 간섭(ISI)을 갖는 용량값으로 결정될 수 있을 것이다.
- [0067] 제 2 교류 터미네이션(414)은 제 2 터미네이션 저항(R_{AC2})과 제 2 터미네이션 커패시터(C_{AC2})를 포함할 수 있다. 제 2 터미네이션 저항(R_{AC2})과 전송 라인(25)과의 임피던스 매칭을 위한 저항값을 갖도록 설정될 수 있다. 그리고 제 2 터미네이션 커패시터(C_{AC2})는 주어진 주파수에서 차동 신호(RX_N)의 심볼간 간섭(ISI)을 최소화하기 위한 용량값으로 결정될 수 있을 것이다.
- [0068] 수신 회로(416)는 제 1 교류 터미네이션(412) 및 제 2 교류 터미네이션(414)을 통해서 각각 필터링된 차동 신호 형태의 수신 신호들(RX_P, RX_N)을 입력받아 수신 데이터(D_RX)로 출력할 수 있다.
- [0069] 도 11은 본 발명의 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다. 도 11을 참조하면, 메모리 시스템(500)은 교류 터미네이션(512)을 포함하는 메모리 컨트롤러(510) 및 능동 인덕터부(525)를 포함하는 메모리 장치(520)를 포함할 수 있다. 메모리 컨트롤러(510)와 메모리 장치(520)는 신호 또는 데이터 교환을 위한 복수의 전송 라인들(530, 532, 534, 536)에 의해서 연결된다.
- [0070] 메모리 컨트롤러(510)는 메모리 장치(520)에 데이터를 기입하기 위한 명령어와 어드레스, 쓰기 데이터를 전달할 수 있다. 더불어, 메모리 컨트롤러(510)는 메모리 장치(520)에 저장된 데이터를 읽기 위한 명령어와 어드레스를 메모리 장치(520)에 전달할 수 있다.
- [0071] 메모리 컨트롤러(510)는 부팅이나 특정 상황에서 메모리 장치(520)에 대한 트레이닝(Training)을 수행할 수 있다. 트레이닝을 통해서 메모리 컨트롤러(510)는 메모리 장치(520)와의 데이터나 신호 교환의 신뢰성을 높일 수 있다. 예를 들면, 메모리 컨트롤러(510)는 트레이닝 데이터(Training Data: TD)를 다양한 조건에서 메모리 장치(520)에 기입하거나 독출하여 최적의 클록 타이밍이나 레퍼런스 레벨을 결정할 수 있다.
- [0072] 본 발명의 메모리 컨트롤러(510)는 트레이닝 동작시 메모리 장치(520)와의 인터페이스를 위한 능동 인덕터부(525)의 파라미터값을 적응적으로 조정할 수 있다. 메모리 컨트롤러(510)는 메모리 장치(520)에서 전송되는 데이터를 수신하기 위해 교류 터미네이션(512)의 파라미터값(저항 및 용량)을 참조하여 능동 인덕터부(525)의 최적 파라미터값을 조정할 수 있다. 메모리 컨트롤러(510)는 예를 들면, 응용 프로세서(AP)나 CPU, 또는 특정 목적으로 제공되는 시스템-온-칩(SoC)으로 제공될 수 있을 것이다.
- [0073] 메모리 장치(520)는 바이트 단위 액세스(Byte Access)가 가능한 다이내믹 랜덤 액세스 메모리(DRAM)일 수 있다. 메모리 장치(520)는 덮어쓰기가 가능한 불휘발성 메모리 장치로 제공될 수도 있다. 예를 들면, 메모리 장치(520)는 PRAM, MRAM, ReRAM, FRAM, NOR 플래시와 같은 불휘발성 램으로 구성될 수 있다. 메모리 장치(520)는 멀티-칩이 적층되는 멀티칩 패키지 또는 모듈 형태로 제공될 수 있을 것이다. 하지만, 메모리 장치(520)의 구성 방식은 여기의 개시에 국한되지 않는다.
- [0074] 복수의 전송 라인들(530, 532, 534, 536)은 메모리 컨트롤러(510)와 메모리 장치(520) 상이에 데이터나 신호의 전송 경로를 제공한다. 복수의 전송 라인들(530, 532, 534, 536)은 각각 메모리 장치(520)와 메모리 컨트롤러(510)가 데이터를 전송할 수 있는 데이터 경로를 제공할 수 있다.
- [0075] 도 12는 도 11에 도시된 메모리 시스템의 능동 인덕터부 및 교류 터미네이션의 구성을 예시적으로 보여주는 회로도이다. 도 12를 참조하면, 하나의 전송 라인(530)에 대응하는 메모리 장치(520)의 능동 인덕터부(525)의 전달 특성은 트레이닝 동작이나 다양한 설정 동작시에 적응적으로 조정될 수 있다.
- [0076] 전송 라인(530)에 연결되는 메모리 컨트롤러(510)의 수신 회로에는 교류 터미네이션(513)이 연결될 것이다. 교류 터미네이션(513)은 전송 라인(530)과의 임피던스 매칭을 위한 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})를 포함할 수 있다. 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})는 직렬로 연결될 수 있다. 메모리 컨트롤러(510)의 수신 회로에 포함되는 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})는 메모리 시스템

(500)의 제조시에 최적화된 값으로 고정되어 제공될 수 있을 것이다. 또는, 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})는 메모리 시스템(500)의 부팅이나 초기화 동작시에 최적화 값으로 설정될 수 있을 것이다. 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})의 값은 메모리 장치(520)로부터 전송되는 신호나 데이터에 포함되는 심볼간 간섭(ISI)에 기인한 지터(Jitter)를 최소화하기 위한 값으로 제공될 수 있다.

[0077] 메모리 장치(520)의 송신 드라이버에 포함되는 능동 인덕터부(525)의 전달 특성은 메모리 장치(520)의 초기화 또는 트레이닝 동작시에 최적값으로 조정될 수 있다. 예를 들면, 메모리 컨트롤러(510)는 수신 회로에 포함되는 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})의 값을 검출할 수 있다. 그리고 검출된 터미네이션 커패시터(C_{AC1})의 값을 참조하여 최적의 전력 효율을 제공하기 위한 능동 인덕터부(525)의 파라미터값을 결정할 수 있다. 메모리 컨트롤러(510)는 결정된 파라미터값에 따라 복수의 능동 인덕터 셋들(526, 527, 528) 중 어느 하나를 선택할 수 있다. 예를 들면, 메모리 컨트롤러(510)는 능동 인덕터 셋(527)을 선택하기 위해 퓨즈들(F1, F2, F3)에 대한 프로그램을 수행할 수 있다. 하지만, 능동 인덕터부(525)의 파라미터값의 설정 방법은 상술한 방법에만 국한되지 않는다. 복수의 능동 인덕터 셋들(526, 527, 528) 중 어느 하나를 선택하는 방식도 적용될 수 있지만, 복수의 저항들, 커패시터들, 그리고 트랜지스터들의 연결을 선택하여 최적의 파라미터를 제공하는 방식도 가능한 잘 이해될 것이다.

[0078] 도 13은 도 11의 메모리 시스템에서 수행되는 능동 인덕터의 파라미터를 조정하기 위한 트레이닝 방법 또는 인터페이스 설정 방법을 예시적으로 보여주는 순서도이다. 도 11 내지 도 13을 참조하면, 본 발명의 메모리 시스템(500)은 채널 트레이닝(예를 들면, 읽기 트레이닝)시에 선택된 전송 라인 각각에 대응하는 능동 인덕터부(AIP)의 파라미터를 설정할 수 있다.

[0079] S110 단계에서, 메모리 컨트롤러(510)는 수신 회로에 포함되는 교류 터미네이션(512 또는 513)의 파라미터를 검출한다. 예를 들면, 메모리 컨트롤러(510)는 교류 터미네이션(513)에 포함되는 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})의 크기를 검출할 수 있다. 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})는 제조시에 고정값으로 제공될 수도 있다. 또는, 터미네이션 저항(R_{AC1})과 터미네이션 커패시터(C_{AC1})는 트레이닝 동작시 전송 라인(TL)의 임피던스 매칭과 지터, 그리고 소모 전력을 고려하여 결정될 수도 있을 것이다.

[0080] S120 단계에서, 메모리 컨트롤러(510)는 능동 인덕터부(525)의 파라미터를 조정할 전송 라인(TL)을 선택한다. 예를 들면, 복수의 전송 라인들(530, 532, 534, 536) 중에서 순차적으로 어느 하나가 선택될 수 있을 것이다.

[0081] S130 단계에서, 메모리 컨트롤러(510)는 선택된 전송 라인의 교류 터미네이션의 주파수 특성에 따라 능동 인덕터부(525)의 파라미터를 조정한다. 예를 들면, 교류 터미네이션에서의 소모 전력을 최소화하기 위한 전달 특성을 제공하기 위하여 복수의 능동 인덕터 셋들(526, 527, 528) 중에서 어느 하나를 선택하기 위한 퓨즈 프로그램을 수행할 수 있을 것이다.

[0082] S140 단계에서, 현재 선택된 전송 라인이 복수의 전송 라인들(530, 532, 534, 536) 중에서 최종 전송 라인인지 판단한다. 만일, 현재 선택된 전송 라인이 최종 전송 라인인 경우(Yes 방향), 메모리 장치(520)의 능동 인덕터부(525)에 대한 트레이닝 동작은 종료될 것이다. 반면, 현재 선택된 전송 라인이 최종 전송 라인이 아닌 경우(No 방향), 절차는 S150 단계로 이동한다.

[0083] S150 단계에서, 메모리 컨트롤러(510)는 트레이닝의 타깃을 트레이닝이 적용되지 않은 전송 라인으로 교체할 것이다. 이후, 절차는 S120 단계로 복귀하여 새롭게 전송 라인을 선택하여 능동 인덕터부(525)에 대한 최적 파라미터값의 설정이 수행될 수 있을 것이다.

[0084] 이상에서는 본 발명의 능동 인덕터부(525)의 특성을 결정하기 위한 메모리 장치의 트레이닝 방법이 간략히 설명되었다. 이러한 트레이닝 동작을 통해서 본 발명의 메모리 시스템(500)은 전송되는 신호의 심볼간 간섭(ISI)을 줄이고도 소모 전력을 최소화할 수 있는 인터페이스를 제공할 수 있다.

[0085] 도 14는 본 발명의 기술이 적용되는 디램을 포함하는 적층 메모리 칩의 구조를 도시한 블록도이다. 도 14를 참조하면, 적층 메모리 칩(1000)은 PCB(1100), TSV 인터포저 층(1150), 호스트 다이(1200), 그리고 HBM(1300)을 포함할 수 있다.

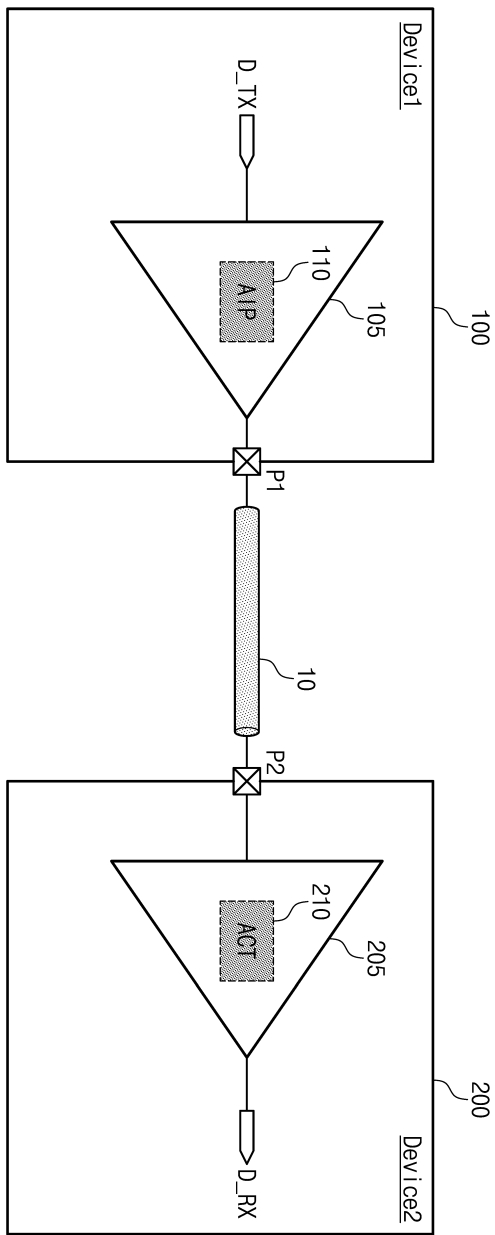
[0086] 적층 메모리 칩(1000)은 TSV 인터포저 층(1150)을 사용하여 HBM(1300)과 호스트 다이(1200)를 연결한다. TSV 인터포저 층(1150)은 PCB(1100)의 상부에 배치되고 플립 칩 범프(FB)들을 통해 PCB(1100)와 전기적으로 연결된

다.

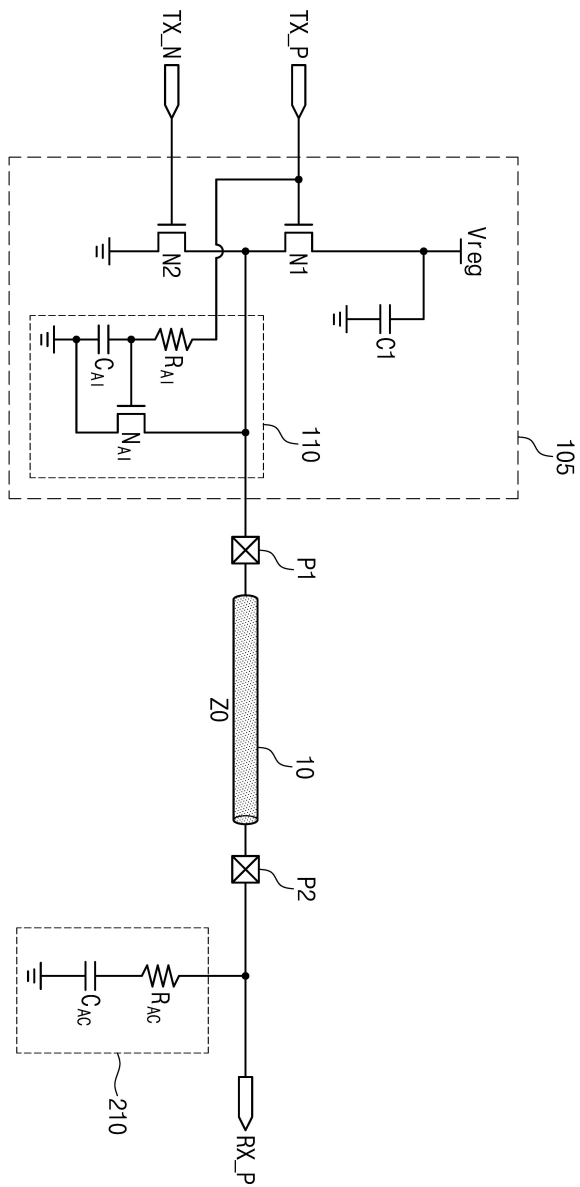
- [0087] TSV 인터포저 층(1150)의 상부에는 호스트 다이(1200)와, HBM(1300) 구조를 형성하기 위한 메모리 다이드들이 배치될 수 있다. HBM(1300) 구조를 구현하기 위해 복수의 디램 다이드들(1310~1340)에는 TSV 라인들이 형성된다. TSV 라인들은 복수의 디램 다이드들(1310~1340) 사이에 형성된 마이크로 범프(MB)들과 전기적으로 연결될 수 있다.
- [0088] 여기서, 호스트 다이(1200)와 복수의 디램 다이드들(1310~1340)은 도 1의 제 1 반도체 장치(100)와 제 2 반도체 장치(200)와 같이 구현될 수 있다. 즉, 호스트 다이(1200)와 복수의 디램 다이드들(1310~1340)의 인터페이스에는 교류 터미네이션과 능동 인덕터가 구비될 수 있다. 따라서, 교류 터미네이션을 사용하여 지터에 대한 성능을 높이고, 능동 인덕터를 사용하여 교류 터미네이션에 의해서 발생하는 신호의 질 저하 문제를 해결할 수 있다.
- [0089] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

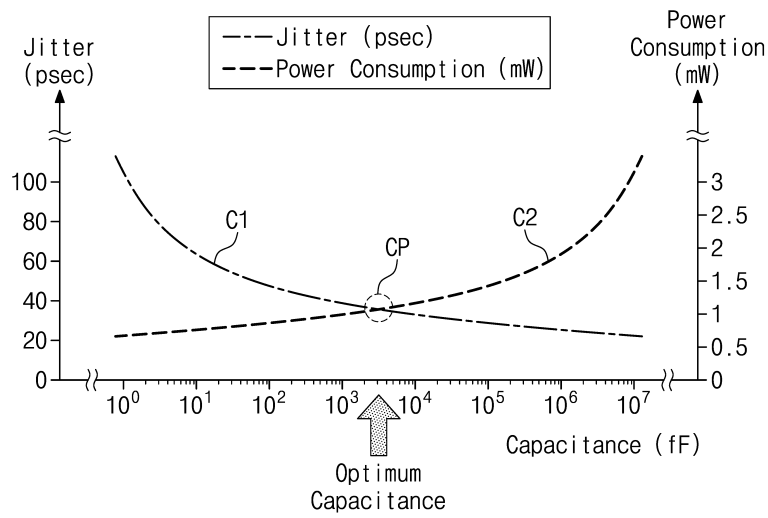
도면1



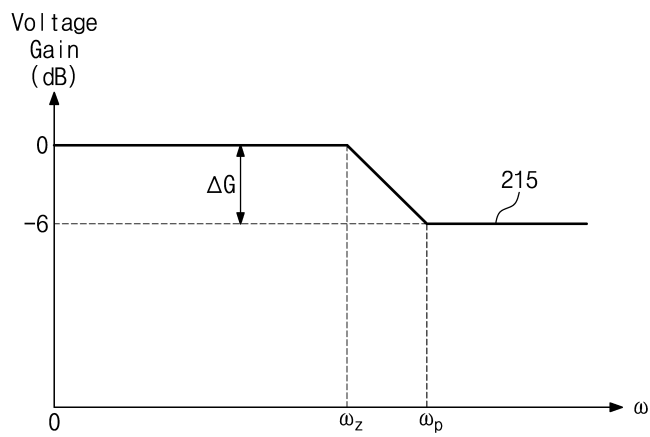
도면2



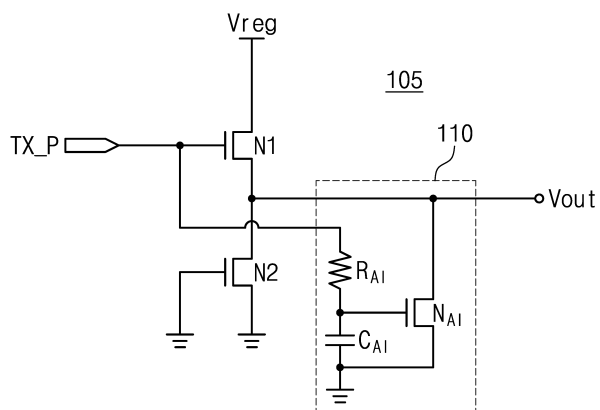
도면3



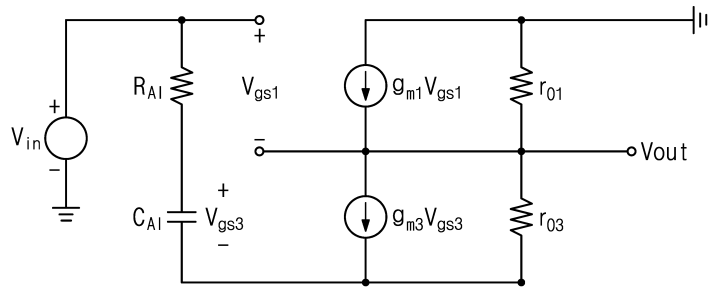
도면4



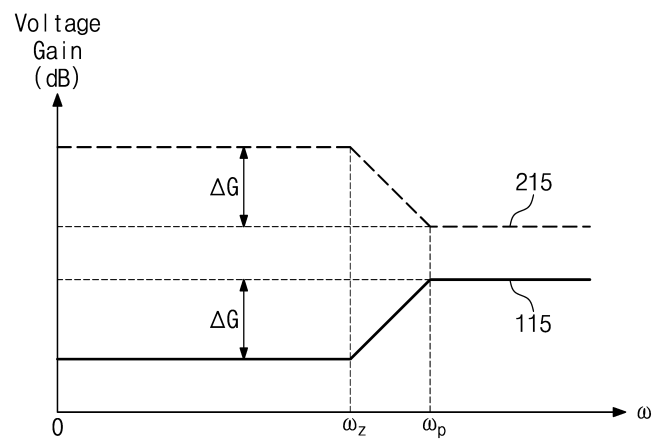
도면5



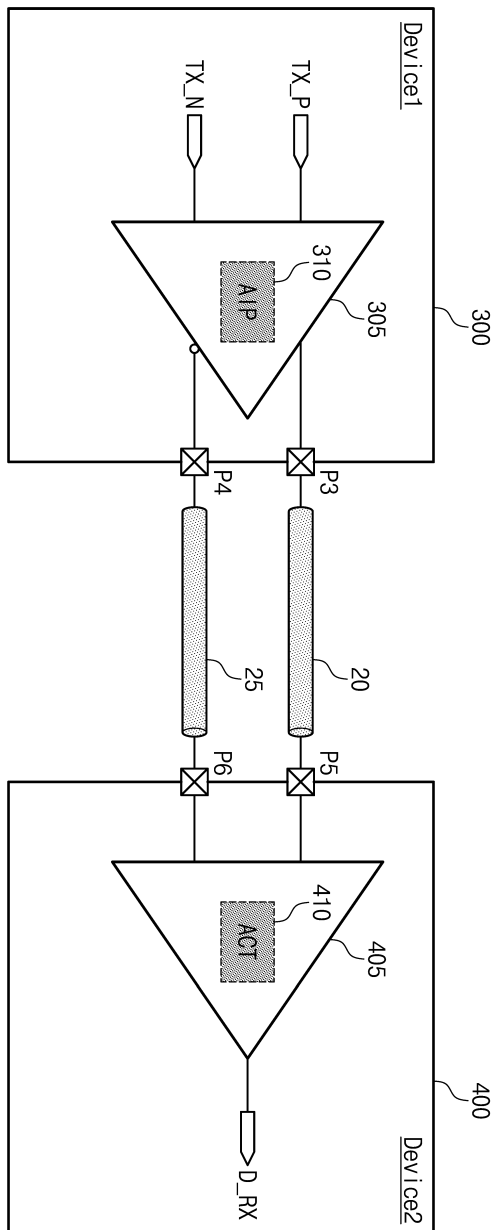
도면6



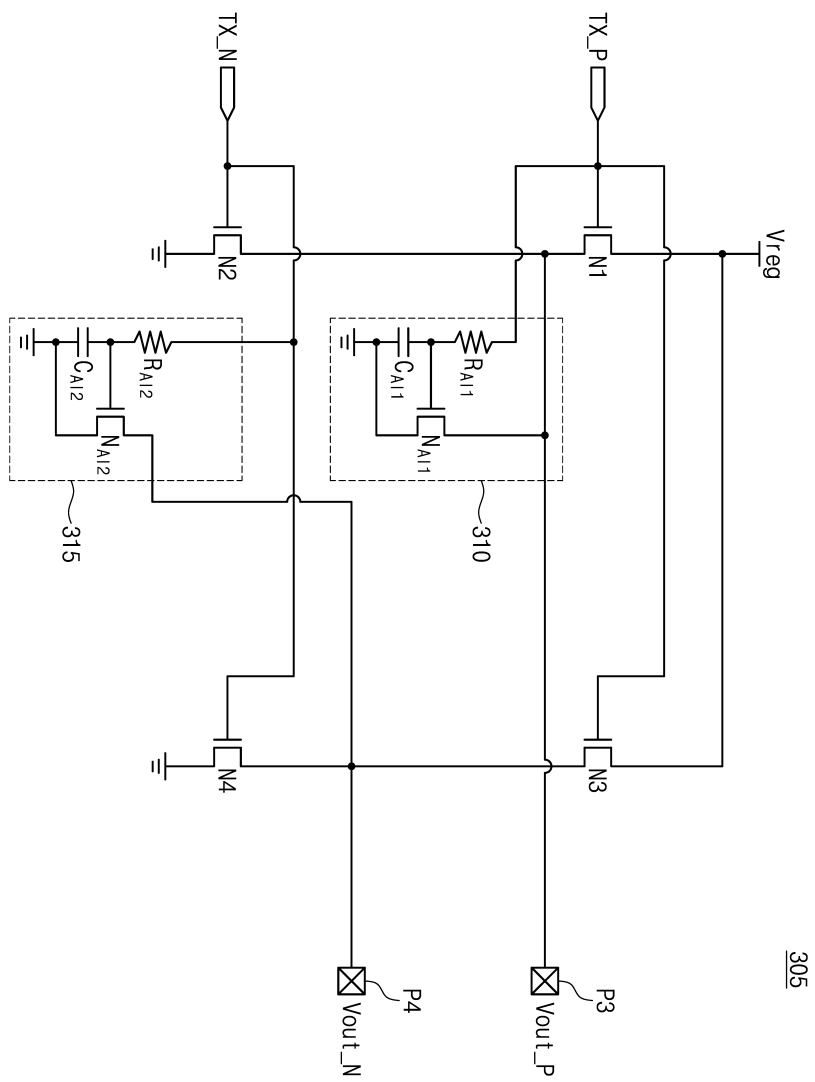
도면7



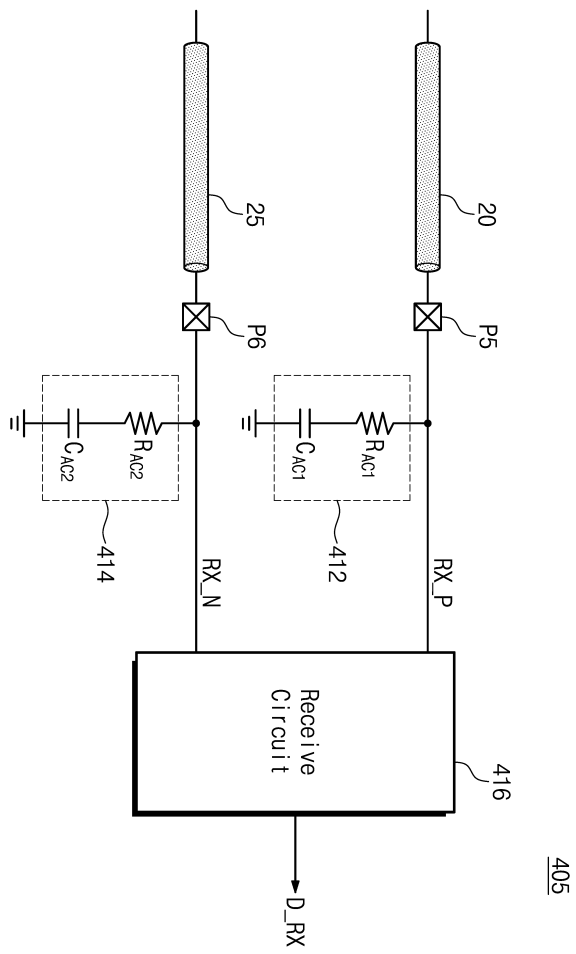
도면8



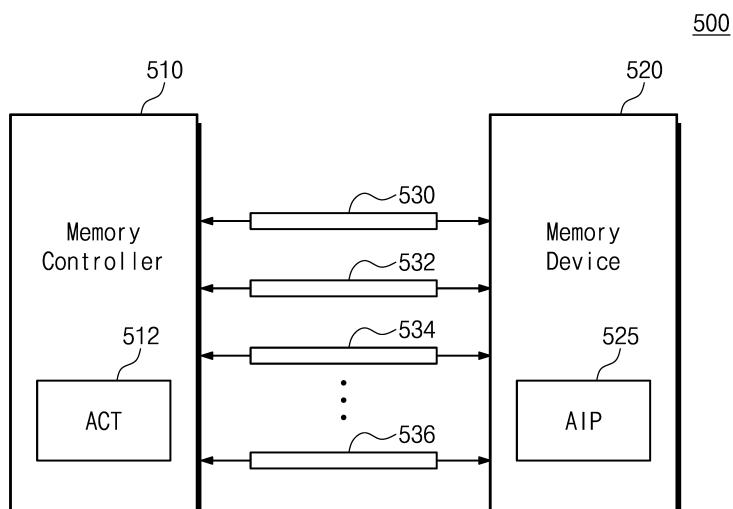
도면9



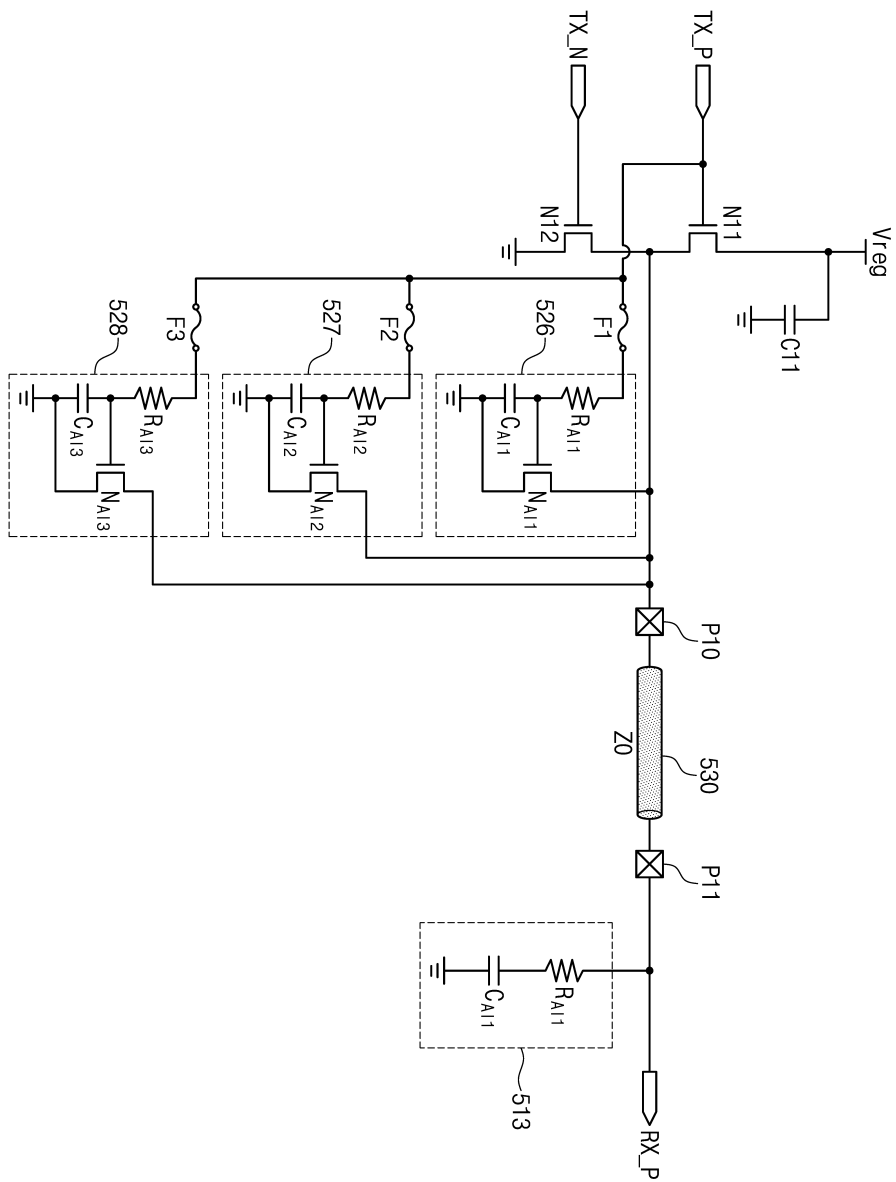
도면10



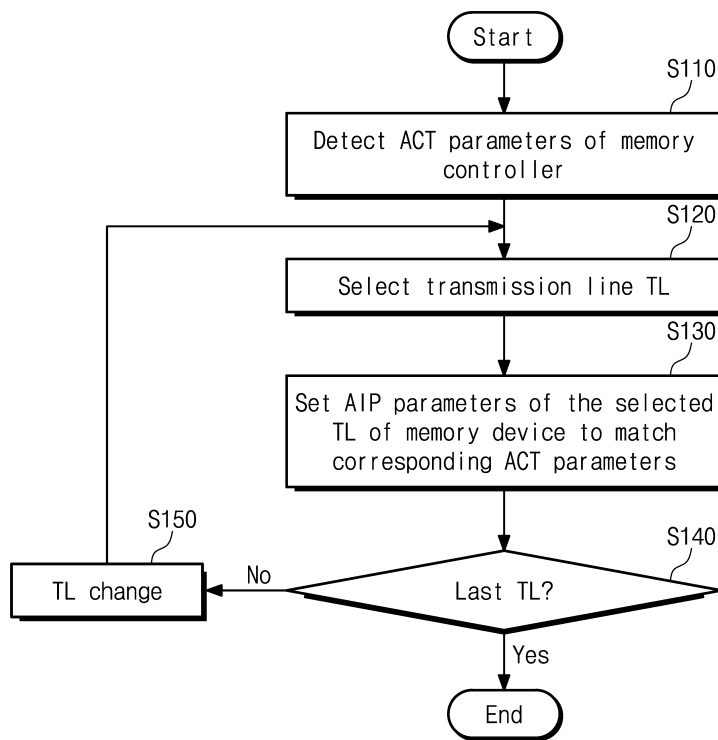
도면11



도면12



도면13



도면14

