

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6574792号
(P6574792)

(45) 発行日 令和1年9月11日(2019.9.11)

(24) 登録日 令和1年8月23日(2019.8.23)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 H
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 2 1
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 G
	HO 1 L 29/78 3 O 1 S

請求項の数 20 (全 17 頁)

(21) 出願番号	特願2016-573708 (P2016-573708)	(73) 特許権者	390020248
(86) (22) 出願日	平成27年3月6日 (2015.3.6)		日本テキサス・インスツルメンツ合同会社
(65) 公表番号	特表2017-507502 (P2017-507502A)		東京都新宿区西新宿六丁目24番1号
(43) 公表日	平成29年3月16日 (2017.3.16)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2015/019258		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02015/134909		レイテッド
(87) 国際公開日	平成27年9月11日 (2015.9.11)		アメリカ合衆国 テキサス州 75265
審査請求日	平成30年2月28日 (2018.2.28)		-5474 ダラス メール ステーショ
(31) 優先権主張番号	61/948,853		ン 3999 ビーオーボックス 655
(32) 優先日	平成26年3月6日 (2014.3.6)		474
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 上記1名の代理人	100098497
(31) 優先権主張番号	14/556,185		弁理士 片寄 恭三
(32) 優先日	平成26年11月30日 (2014.11.30)	(72) 発明者	ジュン ケイ
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国 75013 テキサス州
			アレン, クーガー ドライブ 958
			最終頁に続く

(54) 【発明の名称】 RDS×CGDが改善されたLDMOSトランジスタ、及びRDS×CGDが改善されたLDMOSトランジスタを形成する方法

(57) 【特許請求の範囲】

【請求項1】

横方向に拡散された金属酸化物半導体 (L D M O S) トランジスタであって、
半導体材料と、

前記半導体材料内にあるドレインドリフト領域であって、第1の導電型と、第1の深さでピークに達する第1の水平ドーパント濃度と、第2の深さでピークに達する第2の水平ドーパント濃度とを有し、前記第1の深さが前記半導体材料の頂部表面から或る距離下方に測定され、前記第2の深さが前記第1の深さから或る距離下方に測定される、前記ドレインドリフト領域と、

前記ドレインドリフト領域に接するように前記半導体材料内にあるバックゲート領域であって、第2の導電型と、第3の深さでピークに達する第3の水平ドーパント濃度と、第4の深さでピークに達する第4の水平ドーパント濃度と、第5の深さでピークに達して前記ドリフト領域の下に水平方向に延びる第5の水平ドーパント濃度とを有し、前記第3の深さが前記半導体材料の前記頂部表面から或る距離下方に測定され、前記第4の深さが前記第3の深さから或る距離下方に測定され、前記第5の深さが前記第4の深さから或る距離下方に測定される、前記バックゲート領域と、

前記半導体材料の前記頂部表面に接するゲート誘電体層と、

前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層に接し、前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層の上にある、ゲートと、

10

20

を含む、トランジスタ。

【請求項 2】

請求項 1 に記載のトランジスタであって、

前記第 3 の深さが前記第 1 の深さと前記第 2 の深さの間にある、トランジスタ。

【請求項 3】

請求項 2 に記載のトランジスタであって、

前記第 4 の深さが前記第 2 の深さより下にある、トランジスタ。

【請求項 4】

請求項 3 に記載のトランジスタであって、

前記バックゲート領域の一部が前記ドレインドリフト領域の直接的に下にある、トランジスタ。 10

【請求項 5】

請求項 4 に記載のトランジスタであって、

前記第 1 の深さが、前記半導体材料の前記頂部表面から第 1 の深さまで下方に延在するドリフト頂部を画定し、前記ドリフト頂部が、増大する深さと共に増大するドーパント濃度を有し、

前記第 1 の深さ及び第 2 の深さが、前記第 1 の深さから前記第 2 の深さまで延在するドリフト中間部を画定し、前記ドリフト中間部が、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する、ドーパント濃度を有する、トランジスタ。

【請求項 6】

20

請求項 5 に記載のトランジスタであって、

前記半導体材料内にあり、前記第 1 の深さより下にある一層低い表面を有する、一対のシャロートレンチアイソレーション (S T I) 領域を更に含む、トランジスタ。

【請求項 7】

請求項 6 に記載のトランジスタであって、

前記ドレインドリフト領域に接するように前記 S T I 領域の間の前記半導体材料内にあり、前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、ドレイン領域を更に含む、トランジスタ。

【請求項 8】

請求項 7 に記載のトランジスタであって、

前記バックゲート領域に接するように前記半導体材料内にある前記第 1 の導電型を有するソース領域であって、前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、前記ソース領域を更に含む、トランジスタ。

30

【請求項 9】

請求項 8 に記載のトランジスタであって、

前記バックゲート領域に接するように前記半導体材料内にある前記第 2 の導電型を有するボディコンタクト領域であって、前記バックゲート領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、前記ボディコンタクト領域を更に含む、トランジスタ。

【請求項 10】

40

請求項 9 に記載のトランジスタであって、

前記バックゲート領域のチャネル領域が前記ソース領域と前記ドレイン領域との間にあり、前記ゲートが前記チャネル領域の直接的に上にある、トランジスタ。

【請求項 11】

横方向に拡散された金属酸化物半導体 (L D M O S) トランジスタを形成する方法であって、

半導体材料内のドレインドリフト領域を形成することであって、前記ドレインドリフト領域が、第 1 の導電型と、第 1 の深さでピークに達する第 1 の水平ドーパント濃度と、第 2 の深さでピークに達する第 2 の水平ドーパント濃度とを有し、前記第 1 の深さが前記半導体材料の頂部表面から下方に或る距離測定され、前記第 2 の深さが前記第 1 の深さから 50

下方に或る距離測定される、前記ドレインドリフト領域を形成することと、

前記ドレインドリフト領域に接するように前記半導体材料内にバックゲート領域を形成することであって、前記バックゲート領域が、第2の導電型と、第3の深さでピークに達する第3の水平ドーパント濃度と、第4の深さでピークに達する第4の水平ドーパント濃度と、第5の深さでピークに達して前記ドレインドリフト領域の下に水平方向に延びる第5の水平ドーパント濃度を有し、前記第3の深さが前記半導体材料の前記頂部表面から下方に或る距離測定され、前記第4の深さが前記第3の深さから下方に或る距離測定され、前記第5の深さが前記第4の深さから下方に或る距離測定される、前記バックゲート領域を形成することと、

前記半導体材料の前記頂部表面に接するゲート誘電体層を形成することと、

前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層に接し、前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層の上にあるゲートを形成することと、

を含む、方法。

【請求項12】

請求項11に記載の方法であって、

前記第3の深さが前記第1の深さと前記第2の深さとの間にある、方法。

【請求項13】

請求項12に記載の方法であって、

前記第4の深さが前記第2の深さより下にある、方法。

【請求項14】

請求項13に記載の方法であって、

前記バックゲート領域の一部が前記ドレインドリフト領域の直接的に下にある、方法。

【請求項15】

請求項14に記載の方法であって、

前記第1の深さが、前記半導体材料の前記頂部表面から前記第1の深さまで下方に延在するドリフト頂部を画定し、前記ドリフト頂部が、増大する深さと共に増大するドーパント濃度を有し、

前記第1の深さ及び第2の深さが、前記第1の深さから前記第2の深さまで延在するドリフト中間部を画定し、前記ドリフト中間部が、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する、ドーパント濃度を有する、方法。

【請求項16】

請求項15に記載の方法であって、

前記半導体材料内に一对のシャロートレンチアイソレーション(STI)領域を形成することを更に含み、前記STI領域が前記第1の深さより下にある一層低い表面を有する、方法。

【請求項17】

請求項16に記載の方法であって、

前記ドレインドリフト領域に接するように前記STI領域の間の前記半導体材料内に前記第1の導電型を有するドレイン領域を形成することを更に含み、前記ドレイン領域が前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、方法。

【請求項18】

請求項17に記載の方法であって、

前記バックゲート領域に接するように前記半導体材料内に前記第1の導電型を有するソース領域を形成することを更に含み、前記ソース領域が前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、方法。

【請求項19】

請求項18に記載の方法であって、

前記バックゲート領域に接するように前記半導体材料内に前記第2の導電型を有するボ

10

20

30

40

50

ディコンタクト領域を形成することを更に含み、前記ボディコンタクト領域が前記バックゲート領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、方法。

【請求項 20】

請求項 12 に記載の方法であって、

前記バックゲート領域を形成することが、

前記第 2 の深さより下にある埋め込み領域を形成するために、前記第 2 の導電型の複数のドーパントを前記半導体材料にブランケット注入することであって、前記埋め込み領域が前記第 5 の深さでピークに達する水平ドーパント濃度を有する、前記ブランケット注入することと、

前記第 2 の深さより下にあり且つ前記第 5 の深さより上にある中間領域を形成するために、パターニングされた層を介して前記第 2 の導電型の複数のドーパントを前記半導体材料に注入することであって、前記中間領域が前記第 4 の深さでピークに達する水平ドーパント濃度を有する、前記 中間領域を形成するために前記第 2 の導電型の複数のドーパントを注入することと、

前記第 1 の深さと前記第 2 の深さとの間にあるボディ領域を形成するために、前記パターニングされた層を介して前記第 2 の導電型の複数のドーパントを前記半導体材料に注入することであって、前記ボディ領域が前記第 3 の深さでピークに達する水平ドーパント濃度を有する、前記 ボディ領域を形成するために前記第 2 の導電型の複数のドーパントを注入することと、

を含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概して LDMOS トランジスタに関し、更に特定して言えば、 $R_{ds} \times C_{gd}$ が改善された LDMOS トランジスタ、及びその LDMOS トランジスタを形成する方法に関連する。

【背景技術】

【0002】

金属酸化物半導体 (MOS) トランジスタは、ソースと、ドレインと、ボディであって、そのチャンネル領域がソースとドレインとの間にあり且つソース及びドレインに接するボディと、チャンネル領域の上にありゲート誘電体層によりチャンネル領域から隔離されるゲートとを有する、周知の半導体デバイスである。MOS トランジスタの 2 つのタイプは、 n^+ ソースと p 型チャンネル領域を備えたドレイン領域とを有する NMOS トランジスタ、及び、 p^+ ソースと n 型チャンネル領域を備えたドレイン領域とを有する PMOS トランジスタである。

【0003】

オペレーションにおいて、ソース及びボディが接地されると、ドレイン・ソース電界を構築するため正の電圧がドレイン上に置かれ、閾値電圧より大きい電圧がゲート上に置かれ、ドレインからソースへ電流が流れる。ゲートが接地までプルダウンされるときなど、ゲート上に置かれる電圧が閾値電圧より小さいとき、電流は流れない。

【0004】

電流生成 MOS トランジスタは、1.2 V から 5 V までわたる環境などの低電圧環境において一般的に用いられる。これに対し、高電圧 MOS トランジスタは、例えば、10 V ~ 400 V の範囲の電圧で動作するトランジスタである。一層高い電圧を扱うため、高電圧 MOS トランジスタは低電圧 MOS トランジスタよりも大きい。

【0005】

高電圧 MOS トランジスタの一つのタイプは、横方向に拡散された MOS (LDMOS) トランジスタとして知られている。LDMOS トランジスタは、ドレインドリフト領域も有する MOS トランジスタである。ドレインドリフト領域は、ドレイン及びチャンネル領域に接し、ドレインとチャンネル領域との間にあり、ドレインと同じ導電型であるが、ドレ

10

20

30

40

50

インより低いドーパント濃度を有する。オペレーションにおいて、ドレインドリフト領域は、ドレイン・ソース電界の大きさを低減する。

【0006】

高電流（例えば、10 A 及びそれ以上）及び高周波数（1 ~ 10 MHz 及びそれより高い）LDMOSTランジスタに対する新たな性能指数（FOM）は $R_{ds} \times C_{gd}$ であり、これは、ドレイン・ソース抵抗（ R_{ds} ）とゲート・ドレイン容量（ C_{gd} ）の積である。このFOMを改善するため、 R_{ds} 値、 C_{gd} 値、又はこれら両方の値を低減することが望ましい。

【0007】

C_{gd} の低減に対する一つのアプローチは、一つのゲートの代わりにスプリット又はステップゲートを用いることである。ステップ又はスプリットゲートを用いる少なくとも一つの例において、メインゲートと2つの順次薄くなる（progressively）ゲートとが用いられ、そのため、下にあるゲート誘電体層が、ゲートが置かれる位置がドレイン領域に一層近くなるにつれて一層厚くなるようにする。しかし、このアプローチの一つの欠点は、スプリット又はステップゲートは製造するのが困難であり高価であるという点である。また、スプリット又はステップゲートは、一層長いドレインドリフト領域を必要とし得、これは、増大される R_{ds} のため高速モバイル用途においてデバイスを制限する。

【発明の概要】

【0008】

記載される例において、LDMOSTランジスタが、改善された $R_{ds} \times C_{gd}$ を提供する。LDMOSTランジスタは、半導体材料、及び半導体材料内にあるドレインドリフト領域を含む。ドレインドリフト領域は、第1の導電型、第1の深さでピークに達する第1の水平ドーパント濃度、及び第2の深さでピークに達する第2のドーパント濃度を有する。第1の深さは、半導体材料の頂部表面から或る距離下方に測定される。第2の深さは、第1の深さから或る距離下方に測定される。LDMOSTランジスタはバックゲート領域も含み、バックゲート領域は、ドレインドリフト領域に接するように半導体材料内にある。バックゲート領域は、第2の導電型、第3の深さでピークに達する第3の水平ドーパント濃度、第4の深さでピークに達する第4の水平ドーパント濃度、及び第5の深さでピークに達する第5の水平ドーパント濃度を有する。第3の深さは、半導体材料の頂部表面から或る距離下方に測定される。第4の深さは、第3の深さから或る距離下方に測定される。第5の深さは、第4の深さから或る距離下方に測定される。また、LDMOSTランジスタは、半導体材料の頂部表面に接するゲート誘電体層と、ドレインドリフト領域及びバックゲート領域の直接的に上にあるゲート誘電体層に接し、そのゲート誘電体層の上にあるゲートとを含む。

【0009】

改善された $R_{ds} \times C_{gd}$ を提供するLDMOSTランジスタを形成する或る方法において、この方法は、半導体材料内にドレインドリフト領域を形成することを含む。ドレインドリフト領域は、第1の導電型、第1の深さでピークに達する第1の水平ドーパント濃度、及び第2の深さでピークに達する第2のドーパント濃度を有する。第1の深さは、半導体材料の頂部表面から或る距離下方に測定される。第2の深さは、第1の深さから或る距離下方に測定される。この方法はまた、ドレインドリフト領域に接するように半導体材料内にバックゲート領域を形成することを含む。バックゲート領域は、第2の導電型、第3の深さでピークに達する第3の水平ドーパント濃度、第4の深さでピークに達する第4のドーパント濃度、及び第5の深さでピークに達する第5の水平ドーパント濃度を有する。第3の深さは、半導体材料の頂部表面から或る距離下方に測定される。第4の深さは、第3の深さから或る距離下方に測定される。第5の深さは、第4の深さから或る距離下方に測定される。この方法は更に、半導体材料の頂部表面に接するゲート誘電体層を形成すること、及びドレインドリフト領域及びバックゲート領域の直接的に上にあるゲート誘電体層に接し、そのゲート誘電体層の上にあるゲートを形成することを含む。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】例示の実施例に従った L D M O S トランジスタ 1 0 0 の一例の断面図である。

【 0 0 1 1 】

【図 2 A】例示の実施例に従った L D M O S トランジスタ構造を形成する方法 2 0 0 の一例の断面図である。

【図 2 B】例示の実施例に従った L D M O S トランジスタ構造を形成する方法 2 0 0 の一例の断面図である。

【図 2 C】例示の実施例に従った L D M O S トランジスタ構造を形成する方法 2 0 0 の一例の断面図である。

【図 2 D】例示の実施例に従った L D M O S トランジスタ構造を形成する方法 2 0 0 の一例の断面図である。 10

【図 2 E】例示の実施例に従った L D M O S トランジスタ構造を形成する方法 2 0 0 の一例の断面図である。

【図 2 F】例示の実施例に従った L D M O S トランジスタ構造を形成する方法 2 0 0 の一例の断面図である。

【図 2 G】例示の実施例に従った L D M O S トランジスタ構造を形成する方法 2 0 0 の一例の断面図である。

【発明を実施するための形態】

【 0 0 1 2 】

図 1 は、例示の実施例に従った L D M O S トランジスタ 1 0 0 の一例の断面図を示す。これ以降に更に詳細に説明するように、L D M O S トランジスタ 1 0 0 は、ドレインドリフト領域と隣接するステップ形状のバックゲート領域との両方において複数の注入を用いることにより R d s × C g d を改善する。 20

【 0 0 1 3 】

図 1 に示すように、L D M O S トランジスタ 1 0 0 は、基板又はエピタキシャル層などの半導体材料 1 1 0、及び半導体材料 1 1 0 内にあるドレインドリフト領域 1 1 2 を含む。ドレインドリフト領域 1 1 2 は、第 1 の導電型と 2 つの水平ドーパント濃度ピークとを有し、2 つの水平ドーパント濃度ピークは、半導体材料 1 1 0 の頂部表面 1 1 4 から下方に或る距離測定された深さ D 1 における第 1 のピーク、及び深さ D 1 から下方に或る距離測定された深さ D 2 における第 2 のピークである。この例では、ドレインドリフト領域 1 1 2 は n 導電型を有する。 30

【 0 0 1 4 】

深さ D 1 は、半導体材料 1 1 0 の頂部表面 1 1 4 から深さ D 1 まで下方に延在するドリフト頂部 1 2 0 を画定する。ドリフト頂部 1 2 0 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、ドリフト頂部 1 2 0 は、半導体材料 1 1 0 の頂部表面 1 1 4 における低ドーパント濃度から、深さ D 1 における高ドーパント濃度まで、継続的に増大する。また、ドリフト頂部 1 2 0 内の最大ドーパント濃度は深さ D 1 にある。

【 0 0 1 5 】

深さ D 1 及び深さ D 2 は、深さ D 1 から深さ D 2 まで下方に延在するドリフト中間部 1 2 4 を画定する。ドリフト中間部 1 2 4 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度はまず、増大する深さと共に減少し、その後、増大する深さと共に増大する。 40

【 0 0 1 6 】

この例では、ドリフト中間部 1 2 4 は、深さ D 1 における高ドーパント濃度から深さ D 1 と D 2 の間の或る地点における一層低いドーパント濃度まで継続的に減少し、その後、深さ D 2 における一層高いドーパント濃度まで継続的に増大する。また、ドリフト中間部 1 2 4 内の 2 つの最大ドーパント濃度は、深さ D 1 及び D 2 にある。

【 0 0 1 7 】

深さ D 2 はまた、深さ D 2 から或る距離下方に延在するドリフト底部 1 2 6 を画定する 50

。ドリフト底部 1 2 6 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さ D 2 から、増大する深さと共に減少する。この例では、ドリフト底部 1 2 6 は、深さ D 2 における高ドーパント濃度から一層低いドーパント濃度まで継続的に減少する。また、ドリフト底部 1 2 6 内の最大ドーパント濃度は、深さ D 2 にある。

【 0 0 1 8 】

図 1 に更に示すように、L D M O S トランジスタ 1 0 0 はまた、ドレインドリフト領域 1 1 2 に接するように半導体材料 1 1 0 内にあるバックゲート領域 1 2 8 を含む。バックゲート領域 1 2 8 は、第 2 の導電型、及び、同じ導電型の 3 つの水平ドーパント濃度ピークに対応するステップ形状を有する。これらの 3 つの水平ドーパント濃度ピークは、半導体材料 1 1 0 の頂部表面 1 1 4 から下方に或る距離測定された深さ D 3 におけるピーク、深さ D 3 から下方に或る距離測定された深さ D 4 におけるピーク、及び深さ D 4 から下方に或る距離測定された深さ D 5 におけるピークである。この例では、バックゲート領域 1 2 8 は p 導電型を有する。

10

【 0 0 1 9 】

深さ D 3 は、半導体材料 1 1 0 の頂部表面 1 1 4 から深さ D 3 まで下方に延在するバックゲート頂部 1 3 0 を画定する。バックゲート頂部 1 3 0 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、バックゲート頂部 1 3 0 は、半導体材料 1 1 0 の頂部表面 1 1 4 における低ドーパント濃度から、深さ D 3 における高ドーパント濃度まで、継続的に増大する。また、バックゲート頂部 1 3 0 内の最大ドーパント濃度は、深さ D 3 にある。

20

【 0 0 2 0 】

深さ D 3 及び D 4 はまた、深さ D 3 から深さ D 4 まで下方に延在するバックゲート中間部 1 3 4 を画定する。バックゲート中間部 1 3 4 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

【 0 0 2 1 】

この例では、バックゲート中間部 1 3 4 は、深さ D 3 における高ドーパント濃度から、深さ D 3 と D 4 の間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D 4 における一層高いドーパント濃度まで継続的に増大する。また、バックゲート中間部 1 3 4 内の 2 つの最大ドーパント濃度は、深さ D 3 及び D 4 にある。

30

【 0 0 2 2 】

深さ D 4 及び深さ D 5 は、深さ D 4 から深さ D 5 まで下方に延在するバックゲート中間部 1 3 6 を画定する。バックゲート中間部 1 3 6 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

【 0 0 2 3 】

この例では、バックゲート中間部 1 3 6 は、深さ D 4 における高ドーパント濃度から、深さ D 4 と D 5 の間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D 5 における一層高いドーパント濃度まで継続的に増大する。また、バックゲート中間部 1 3 6 内の 2 つの最大ドーパント濃度は、深さ D 4 及び D 5 にある。

40

【 0 0 2 4 】

深さ D 5 は更に、深さ D 5 から或る距離下方に延在するバックゲート底部 1 3 8 を画定する。バックゲート底部 1 3 8 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さ D 5 から、増大する深さと共に減少する。この例では、バックゲート底部 1 3 8 は、深さ D 5 における高ドーパント濃度から一層低いドーパント濃度まで継続的に減少する。図示するように、深さ D 3 は深さ D 1 と深さ D 2 の間にある。また、深さ D 4 は深さ D 2 より下にある。また、バックゲート領域 1 2 8 のバックゲート中間部 1 3 6 及びバックゲート底部 1 3 8 の一部は、ドレインドリフト領域 1 1 2 の直接的に下にある。

50

【 0 0 2 5 】

図 1 に更に示すように、LDMOSTランジスタ 1 0 0 は、半導体材料 1 1 0 内にある一対のシャロートレンチアイソレーション (STI) 領域 1 4 0 を含む。STI 領域 1 4 0 は、深さ D 1 より下にある一層低い表面 1 4 2 を有する。この例では、STI 領域 1 4 0 はまた、半導体材料 1 1 0 の頂部表面 1 1 4 と実質的に同じ平面にある頂部表面を有する。

【 0 0 2 6 】

LDMOSTランジスタ 1 0 0 は更に、いずれも半導体材料 1 1 0 内にある、ドレイン領域 1 5 0、ソース領域 1 5 2、及び表面領域 1 5 4 を含む。第 1 の導電型を有するドレイン領域 1 5 0 は、ドレインドリフト領域 1 1 2 に接するように STI 領域 1 4 0 間にある。ドレイン領域 1 5 0 は、ドレインドリフト領域 1 1 2 の最高ドーパント濃度より実質的に大きいドーパント濃度を有する。この例では、ドレイン領域 1 5 0 は n + 領域として実装される。

10

【 0 0 2 7 】

ソース領域 1 5 2 は、同じく第 1 の導電型を有し、バックゲート領域 1 2 8 に接する。ソース領域 1 5 2 は、ドレイン領域 1 5 0 のドーパント濃度を実質的に等しいドーパント濃度を有する。この例では、ソース領域 1 5 2 は n + 領域として実装される。

【 0 0 2 8 】

表面領域 1 5 4 は、同じく第 1 の導電型を有し、半導体材料 1 1 0 の頂部表面 1 1 4、バックゲート領域 1 2 8、及びソース領域 1 5 2 に接し、また、バックゲート領域 1 2 8 の一部の直接的に上にある。表面領域 1 5 4 は、ドレインドリフト領域 1 1 2 の最高ドーパント濃度より実質的に大きいドーパント濃度を有する。この例では、表面領域 1 5 4 は n + 領域として実装される。(表面領域 1 5 4 は任意選択で省かれてもよい。)

20

【 0 0 2 9 】

LDMOSTランジスタ 1 0 0 はまた、バックゲート領域 1 2 8 に接するように半導体材料 1 1 0 内にあるボディコンタクト領域 1 5 6 を含む。ボディコンタクト領域 1 5 6 は、第 2 の導電型、及びバックゲート領域 1 2 8 の最高ドーパント濃度より実質的に大きいドーパント濃度を有する。この例では、ボディコンタクト領域 1 5 6 は p + 領域として実装される。

【 0 0 3 0 】

図 1 に更に示されるように、LDMOSTランジスタ 1 0 0 は、半導体材料 1 1 0 の頂部表面 1 1 4 に接するゲート誘電体層 1 6 0 と、ゲート誘電体層 1 6 0 に接しゲート誘電体層 1 6 0 の上にあるゲート 1 6 2 と、ゲート 1 6 2 に接しゲート 1 6 2 を横方向に囲む側壁スペーサ 1 6 4 とを含む。バックゲート領域 1 2 8 は、ドレインドリフト領域 1 1 2 とソース領域 1 5 2 との間にあり、且つ、ドレインドリフト領域 1 1 2 及びソース領域 1 5 2 に接する、チャンネル領域 1 6 6 を含む。ゲート 1 6 2 は、ドレインドリフト領域 1 1 2 及びバックゲート領域 1 2 8 のチャンネル領域 1 6 6 の直接的に上にある。

30

【 0 0 3 1 】

オペレーションにおいて、ソース領域 1 5 2 及びボディコンタクト領域 1 5 6 が接地されると、ドレイン・ソース電界を構築するために 1 6 V などの正の電圧がドレイン領域 1 5 0 上に置かれ、閾値電圧より大きい電圧がゲート 1 6 2 上に置かれ、電流がドレイン領域 1 5 0 からソース領域 1 5 2 へ流れる。ゲート 1 6 2 が接地までプルダウンされるときなど、ゲート 1 6 2 上に置かれる電圧が閾値電圧より小さいとき、電流は流れない。

40

【 0 0 3 2 】

例示の実施例の利点の一つは、半導体材料 1 1 0 の頂部表面 1 1 4 における又はその直下のドリフト頂部 1 2 0 の領域が、深さと共に増大する、低いドーパント濃度を有するという点である。半導体材料 1 1 0 の頂部表面 1 1 4 におけるまたはその近辺の低いドーパント濃度の領域を用いることにより、ゲート・ドレイン容量 C_{gd} が低減され得、 $R_{ds} \times C_{gd}$ が改善される。例示の実施例の別の利点は、深さ D 1 及び D 2 における一層高いドーパント濃度がドレイン・ソース抵抗 R_{ds} を低減するという点であり、これにより、

50

$R_{ds} \times C_{gd}$ が更に改善される。

【0033】

また、ドレインドリフト領域112は、ドリフト頂部120及びドリフト中間部124内の一層低いドーパント濃度領域の存在に起因して、ドレイン・ソース電界の大きさを低減し続ける。ドレイン・ソース抵抗 R_{ds} 対ドレイン・ソース降伏電圧(BV)は、深さ D_2 における高ドーパント濃度の水平領域における電荷を平衡させるためにドリフト底部126とバックゲート中間部136との間の相互作用も用いることによって、最も良好にトレードオフされる。

【0034】

例示の実施例の更なる利点は、ゲート162の下にある深さ D_1 における高ドーパント濃度の水平領域が比較的大きく、これにより、チャンネル抵抗及びJFET抵抗が低減されるという点である。JFET抵抗は、デプリーション領域の幅がドレイン150及びゲート162上の電圧と共に変化するチャンネル166に近接する表面下領域に関連付けられる抵抗である。

【0035】

また、深さ D_1 及び D_2 における高ドーパント濃度の水平領域における表面は、低減された C_{gd} のため容易に空乏化される。また、増大されたドレイン電圧では、深さ D_3 及び D_4 における高ドーパント濃度の水平領域のステップ形状エリアは、ゲート162の下にある深さ D_1 及び D_2 における高ドーパント濃度の水平領域における増大する電界をスクリーンし得る。この現象は、デバイスドレイン・ソース降伏電圧を増大させるためにドレインドリフト領域112とバックゲート領域128との間の電荷バランスと共に働くか、又は、ターゲットとされるデバイスドレイン・ソース降伏電圧で、ドレインドリフト領域112長さ(STI領域140の一層低い表面142の真下のドリフト領域)が、低減される R_{ds} のために低減され得、これにより、総 $R_{ds} \times C_{gd}$ が改善される。そのため、例示の実施例は、 R_{ds} 値及び C_{gd} 値両方を低減することにより $R_{ds} \times C_{gd}$ を改善する。

【0036】

図2A～図2Gは、例示の実施例に従ってLDMOSTランジスタ構造を形成する方法200の一例の一連の断面図を示す。方法200は、基板又はエピタキシャル層などの、従来と同様に形成された半導体材料210を用いる。

【0037】

方法200は、半導体材料210内にドレインドリフト領域212を形成することにより始まる。ドレインドリフト領域212は、第1の導電型、及び2つの水平ドーパント濃度ピークを有する。2つの水平ドーパント濃度ピークは、半導体材料210の頂部表面214から下方へ或る距離測定された深さ D_1 における第1のピーク、及び深さ D_1 から下方へ或る距離測定された深さ D_2 における第2のピークである。この例では、ドレインドリフト領域212はn導電型を有するように形成される。

【0038】

ドレインドリフト領域212は、まず、パターニングされたフォトリジスト層216を半導体材料210上に形成することによって形成され得る。パターニングされたフォトリジスト層216は、従来のように形成され、この方式は、フォトリジストの層を堆積すること、パターニングされた画像をフォトリジストの層上に形成するために、マスクとして知られるパターニングされた黒/透明ガラスプレートを通じて光を投射すること、及び光への曝露により軟化された、イメージングされたフォトリジスト領域を取り除くことを含む。

【0039】

パターニングされたフォトリジスト層216が形成された後、上部領域220を形成するために、パターニングされたフォトリジスト層216を介してドーパントが半導体材料210に注入される。上部領域220は、深さ D_1 でピークに達する水平ドーパント濃度を有する。この例では、n型上部領域220を形成するためにヒ素が注入される。ヒ素ド

10

20

30

40

50

ーパントは、例えば、 $4 \times 10^{12} \sim 8 \times 10^{12}$ のドーズ量及び $200 \text{ keV} \sim 350 \text{ keV}$ のエネルギーで注入され得る。

【0040】

パターンニングされたフォトレジスト層 216 がまだその場にある状態で、今度は下部領域 222 を形成するために、ドーパントが再び、フォトレジスト層 216 を介して半導体材料 210 に注入される。下部領域 222 は、深さ D2 でピークに達する水平ドーパント濃度を有する。この例では、n 型下部領域 222 を形成するためにリンが注入される。このリンドーパントは、例えば、 $8 \times 10^{12} \sim 2 \times 10^{13}$ のドーズ量及び $100 \text{ keV} \sim 400 \text{ keV}$ のエネルギーで注入され得る。

【0041】

下部領域 222 が形成された後、パターンニングされたフォトレジスト層 216 は、アッシングプロセスなどの従来のように取り除かれる。これに続いて、熱駆動プロセスが、ドーパントを拡散及び活性化して、ドレインドリフト領域 212 の形成を完了する。熱駆動プロセスは、1100 で 90 分間、又は例えば、1125 で 50 分間、又は 1050 で 270 分間などの同等の条件の、熱処理を含み得る。

【0042】

深さ D1 は、半導体材料 210 の頂部表面 214 から深さ D1 まで下方に延在するドリフト頂部 224 を画定する。ドリフト頂部 224 の一部が熱駆動プロセスの間ドーブされ、これにより、ドーパントが、上部領域 220 から上方にドリフト頂部 224 内に拡散される。

【0043】

ドリフト頂部 224 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、ドリフト頂部 224 は、半導体材料 210 の頂部表面 214 における低ドーパント濃度から、深さ D1 における高ドーパント濃度まで、継続的に増大する。また、ドリフト頂部 224 内の最大ドーパント濃度は深さ D1 にある。

【0044】

深さ D1 及び深さ D2 は、深さ D1 から深さ D2 まで下方に延在するドリフト中間部 226 を画定する。ドリフト中間部 226 の一部が熱駆動プロセスの間ドーブされ、これにより、ドーパントが、上部領域 220 から下方に拡散され、下部領域 222 の一部から上方にドリフト中間部 226 内に拡散される。

【0045】

ドリフト中間部 226 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。この例では、ドリフト中間部 226 は、深さ D1 における高ドーパント濃度から、深さ D1 及び D2 間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D2 における一層高いドーパント濃度まで継続的に増大する。また、ドリフト中間部 226 内の 2 つの最大ドーパント濃度は、深さ D1 及び D2 にある。

【0046】

深さ D2 はまた、深さ D2 から或る距離下方に延在するドリフト底部 228 を画定する。ドリフト底部 228 は熱駆動プロセスの間ドーブされ、これにより、ドーパントが、下部領域 222 から下方に底部 228 内に拡散される。(上部及び下部領域 220 及び 222 が形成される順は、逆にされてもよい。)

【0047】

ドリフト底部 228 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さ D2 から、増大する深さと共に減少する。この例では、ドリフト底部 228 は、深さ D2 における高ドーパント濃度から一層低いドーパント濃度まで継続的に減少する。また、ドリフト底部 228 内の最大ドーパント濃度は深さ D2 にある。

【0048】

10

20

30

40

50

図 2 B に示すように、ドレインドリフト領域 2 1 2 が形成された後、一对のシャロートレンチアイソレーション (S T I) 領域 2 3 0 が、ドレインドリフト領域 2 1 2 に接するように半導体材料 2 1 0 に形成される。S T I 領域 2 3 0 は従来のように形成され得る。例えば、半導体材料 2 1 0 の上にハードマスクが形成され得る。ハードマスクが形成された後、半導体材料 2 1 0 において複数のトレンチを形成するように、半導体材料 2 1 0 がハードマスクを介してエッチングされる。次に、ハードマスクが取り除かれ、トレンチを充填するように半導体材料 2 1 0 の頂部表面上に非導電性の材料が堆積される。半導体材料 2 1 0 の頂部表面上の非導電性の材料は、その後、トレンチにおける S T I 領域 2 3 0 を残すように、化学機械的平坦化 (C M P) プロセスなどにより、取り除かれる。

【 0 0 4 9 】

10

図 2 B に更に示すように、S T I 領域 2 3 0 が形成された後、ドーパされた領域 2 3 2 が次に、半導体材料 2 1 0 内に形成される。ドーパされた領域 2 3 2 は、第 2 の導電型のバックゲート領域 2 3 4、及びバックゲート領域 2 3 4 に接する第 1 の導電型の表面領域 2 3 6 を有する。

【 0 0 5 0 】

バックゲート領域 2 3 4 は、3 つのドーパント濃度に対応するステップ形状を有するように形成され、3 つのドーパント濃度は、半導体材料 2 1 0 の頂部表面から深さ D 3 下方のピーク、一層低い深さ D 4 のピーク、及び更に一層低い深さ D 5 のピークである。この例では、バックゲート領域 2 3 4 は p 導電型を有し、表面領域 2 3 6 は n 導電型を有する。

20

【 0 0 5 1 】

バックゲート領域 2 3 4 は、ドレインドリフト領域 2 1 2 の底部 2 2 8 に接し、それより下にある埋め込み領域 2 4 0 を形成するように、先ず、ドーパントを半導体材料 2 1 0 にブランケット注入することによって形成され得る。埋め込み領域 2 4 0 は、深さ D 5 でピークに達するドーパント濃度を有する。この例では、p 型埋め込み領域 2 3 4 を形成するためにボロンが注入される。ボロンドーパントは、例えば、 $1 \times 10^{12} \sim 9 \times 10^{13}$ のドーズ量及び 4 0 0 k e V \sim 9 0 0 k e V のエネルギーで注入され得る。

【 0 0 5 2 】

図 2 C に示すように、埋め込み領域 2 4 0 が形成された後、パターニングされたフォトレジスト層 2 4 2 が従来のように半導体材料 2 1 0 上に形成される。パターニングされたフォトレジスト層 2 4 2 が形成された後、ドーパントは、中間領域 2 4 4 を形成するように、パターニングされたフォトレジスト層 2 4 2 を介して半導体材料 2 1 0 に角度注入 (angle implanted) される。中間領域 2 4 4 は、深さ D 4 でピークに達するドーパント濃度を有する。この例では、中間領域 2 4 4 を形成するためにボロンが注入される。ボロンドーパントは、例えば、 $2 \times 10^{13} \sim 4 \times 10^{13}$ のドーズ量及び 3 0 0 k e V \sim 6 0 0 k e V のエネルギーで注入され得る。

30

【 0 0 5 3 】

パターニングされたフォトレジスト層 2 4 2 がまだその場にある状態で、ボディ領域 2 4 6 を形成するために、ドーパントが再び、パターニングされたフォトレジスト層 2 4 2 を介して半導体材料 2 1 0 に注入される。ボディ領域 2 4 6 は、深さ D 3 でピークに達するドーパント濃度を有する。この例では、ボディ領域 2 4 6 を形成するためにボロンが注入される。ボロンドーパントは、例えば、 $5 \times 10^{13} \sim 3 \times 10^{14}$ のドーズ量及び 7 0 k e V \sim 3 0 0 k e V のエネルギーで注入され得る。

40

【 0 0 5 4 】

ボディ領域 2 4 6 が形成された後、バックゲート領域 2 3 4 のサイズを低減するため及び表面領域 2 3 6 を形成するために、ドーパントが再び、パターニングされたフォトレジスト層 2 4 2 を介して半導体材料 2 1 0 に注入される。表面領域 2 3 6 は、半導体材料 2 1 0 の頂部表面 2 1 4 に接し、ボディ領域 2 4 6 の上にある。この例では、表面領域 2 3 6 を形成するためにヒ素が注入される。ヒ素ドーパントは、例えば、 $5 \times 10^{13} \sim 1 \times 10^{15}$ のドーズ量及び 3 0 k e V \sim 1 6 0 k e V のエネルギーで注入され得る。(表面

50

領域 2 3 6 の形成は任意選択で省かれてもよい。)

【 0 0 5 5 】

この注入の後、パターニングされたフォトリソスト層 2 4 2 が従来のように取り除かれる。これに続いて、ドーパントを拡散及び活性化するため、そして、ドーパされた領域 2 3 2、バックゲート領域 2 3 4、及び表面領域 2 3 6 の形成を完了するために、熱駆動プロセスが実施される。この例では、表面領域 2 3 6 及びそのすぐ周りのエリアは、熱駆動の結果 n 型導電性を有し、一方、バックゲート領域 2 3 4 は、熱駆動の結果 p 型導電性を有する。(ドレインドリフト領域 2 1 2 及びドーパされた領域 2 3 2 が形成される順は、逆にされてもよい。)

【 0 0 5 6 】

10

深さ D 3 は、半導体材料 1 1 0 の頂部表面 1 1 4 から深さ D 3 まで下方に延在する基板頂部 2 5 0 を画定する。基板頂部 2 5 0 は、表面領域 2 3 6 より下であり表面領域 2 3 6 に近接する或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、基板頂部 2 5 0 は、表面領域 2 3 6 より下であり表面領域 2 3 6 に近接する低ドーパント濃度から、深さ D 3 における高ドーパント濃度まで、継続的に増大する。また、基板頂部 2 5 0 内の最大ドーパント濃度は深さ D 3 にある。

【 0 0 5 7 】

深さ D 3 及び深さ D 4 は、深さ D 3 から深さ D 4 まで下方に延在する基板中間部 2 5 2 を画定する。基板中間部 2 5 2 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

20

【 0 0 5 8 】

この例では、基板中間部 2 5 2 は、深さ D 3 における高ドーパント濃度から、深さ D 3 と D 4 間との或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D 4 における一層高いドーパント濃度まで継続的に増大する。また、基板中間部 2 5 2 内の 2 つの最大ドーパント濃度は、深さ D 3 及び D 4 にある。

【 0 0 5 9 】

深さ D 4 及び深さ D 5 は、深さ D 4 から深さ D 5 まで下方に延在する基板中間部 2 5 4 を画定する。基板中間部 2 5 4 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

30

【 0 0 6 0 】

この例では、基板中間部 2 5 4 は、深さ D 4 における高ドーパント濃度から、深さ D 4 と D 5 との間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D 5 における一層高いドーパント濃度まで継続的に増大する。また、基板中間部 2 5 4 内の 2 つの最大ドーパント濃度は、深さ D 4 及び D 5 にある。

【 0 0 6 1 】

深さ D 5 はまた、深さ D 5 から或る距離下方に延在する基板底部 2 5 6 を画定する。基板底部 2 5 6 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さ D 5 から、増大する深さと共に減少する。この例では、基板底部 2 5 6 は、深さ D 5 における高ドーパント濃度から一層低いドーパント濃度まで低減する。図示するように、深さ D 3 は、深さ D 1 と深さ D 2 との間にある。また、深さ D 4 は深さ D 2 より下にある。また、第 2 の (p) 導電型のバックゲート領域 2 3 4 の一部が、ドレインドリフト領域 2 1 2 の直接的に下にある。

40

【 0 0 6 2 】

図 2 D に示すように、ドーパされた領域 2 3 2 が形成されると、方法 2 0 0 は次に、半導体材料 2 1 0 の頂部表面 2 1 4 上にゲート誘電体層 2 6 0 を形成する。例えば、希釈フッ化水素酸を用いるウェットエッチングのクリーンアップエッチングが、半導体材料 2 1 0 の頂部表面上の如何なる不要な酸化物も除くために、ゲート誘電体層 2 6 0 を形成する

50

前に実施され得る。

【0063】

ゲート誘電体層260は、熱成長された二酸化シリコンで実装され得、用いられる電圧に従って変化する厚みを有する。例えば、ゲート誘電体層260は、5Vゲートオペレーションをサポートするために、12~15nmの熱成長された二酸化シリコンを有し得る。ゲート誘電体層260は、シリコンオキシナイトライド又はハフニウム酸化物などの他の誘電性材料の付加的な層を含み得る。

【0064】

これに続いて、ゲート材料262の層が、ゲート誘電体層260上に堆積される。ゲート材料262の層は、100~200nmのポリシリコン、及び場合によっては、100~200nmのタングステンシリサイドなどのポリシリコン上の金属シリサイドの層、を含み得る。ゲート材料262の層を実装するために用いることができる他の材料もこの例の範囲内にある。次に、パターニングされたフォトレジスト層264が、従来のようにゲート材料262の層の上に形成される。

【0065】

図2Eに示すように、パターニングされたフォトレジスト層264が形成された後、ゲート材料262の層の露出された領域は、ゲート誘電体層260を露出させるため及びゲート270を形成するために、従来のようにエッチングされる。エッチングに続いて、パターニングされたフォトレジスト層264が従来のように取り除かれる。

【0066】

図2Fに示すように、パターニングされたフォトレジスト層264が取り除かれた後、ゲート側壁スペーサ272が、ゲート270の横方向表面上に従来のように形成される。ゲート側壁スペーサ272は、半導体デバイスの頂部表面の上に二酸化シリコンのコンフォーマル層を50~150nmの厚み形成すること、及びその後、反応性イオンエッチング(RIE)プロセスなどの異方性エッチプロセスを用いて水平表面から二酸化シリコンを取り除くことによって形成され得る。

【0067】

図2Fに更に示すように、次に、パターニングされたフォトレジスト層274が、ゲート誘電体層260及びゲート270上に従来のように形成される。この後、ソース領域280及びドレイン領域282を形成するために、ドレインドリフト領域212と同じ導電型を有するドーパントが、パターニングされたフォトレジスト層274を介して注入される。ソース領域280は、バックゲート領域234及び表面領域236のサイズを低減する。ドレイン領域282は、ドレインドリフト領域212のサイズを低減する。

【0068】

ソース領域280は、重くドーブされており、バックゲート領域234及び表面領域236に接する。ドレイン領域282も、同じく重くドーブされており、ドレインドリフト領域212に接するように、STI領域230間に形成される。注入に続いて、パターニングされたフォトレジスト層274が従来のように取り除かれる。この例では、ソース及びドレイン領域280及び282はn+領域である。この注入は、 $8 \times 10^{14} \sim 1 \times 10^{16}$ のドーズ量及び20keV~70keVのエネルギーを有し得る。

【0069】

図2Gに示すように、パターニングされたフォトレジスト層274が取り除かれた後、パターニングされたフォトレジスト層284が次に、ゲート誘電体層260及びゲート270上に従来のように形成される。この後、ボディコンタクト領域286を形成するために、バックゲート領域234と同じ導電型を有するドーパントが、パターニングされたフォトレジスト層284を介して注入される。

【0070】

ボディコンタクト領域286は、重くドーブされており、ボディ領域246に接する。注入に続いて、パターニングされたフォトレジスト層284が従来のように取り除かれて、LDMOSTランジスタ構造290の形成が完了する。この例では、ボディコンタクト

10

20

30

40

50

領域 276 は p + 領域である。注入は、 $8 \times 10^{14} \sim 1 \times 10^{16}$ のドーズ量及び 20 keV ~ 70 keV のエネルギーを有し得る。

【0071】

本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得、他の実施例が可能である。

【図 1】

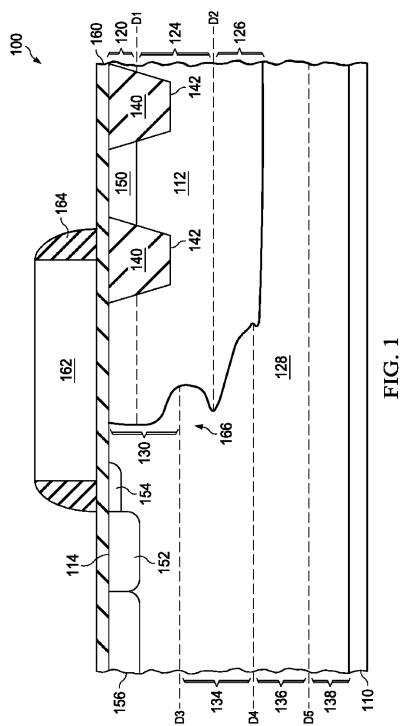


FIG. 1

【図 2 A】

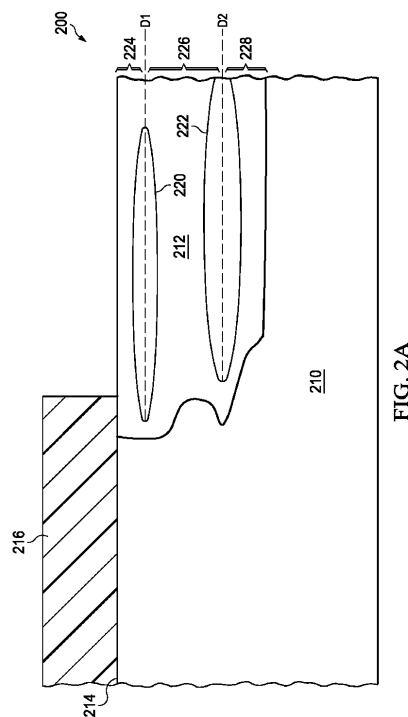


FIG. 2A

【図 2 B】

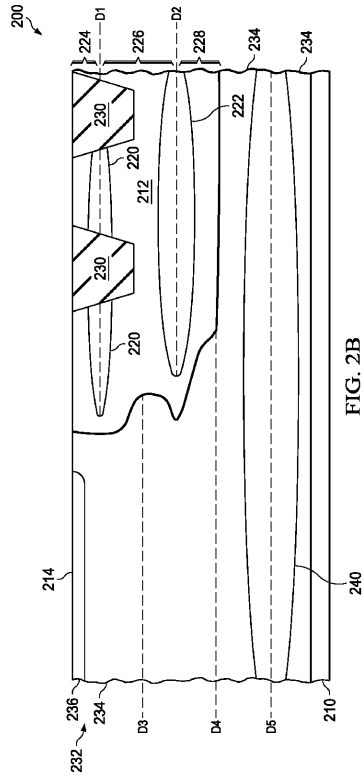


FIG. 2B

【図 2 C】

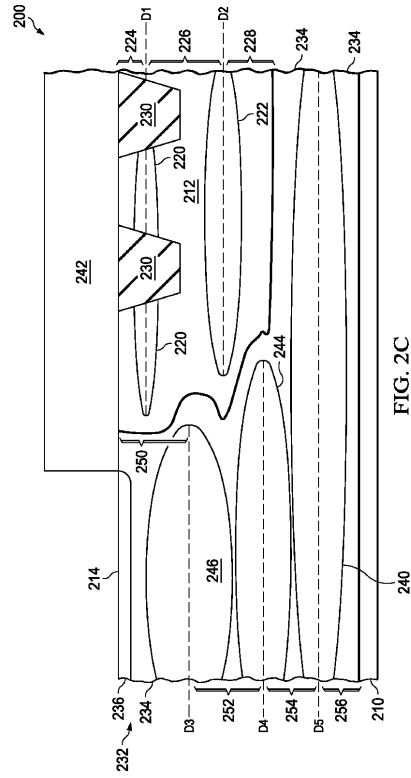


FIG. 2C

【図 2 D】

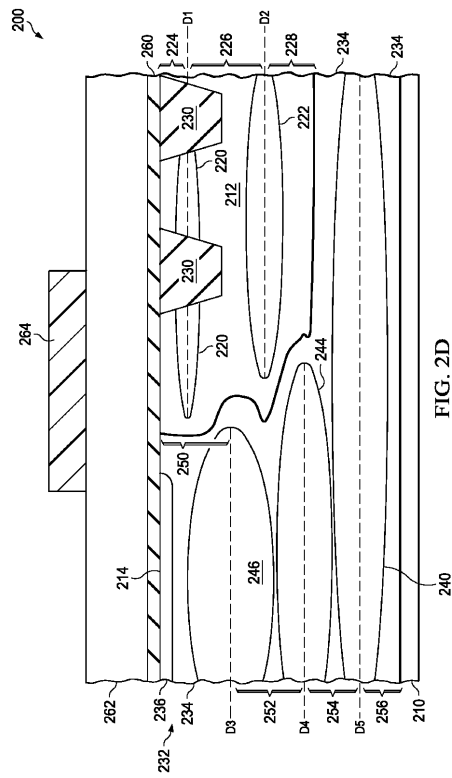


FIG. 2D

【図 2 E】

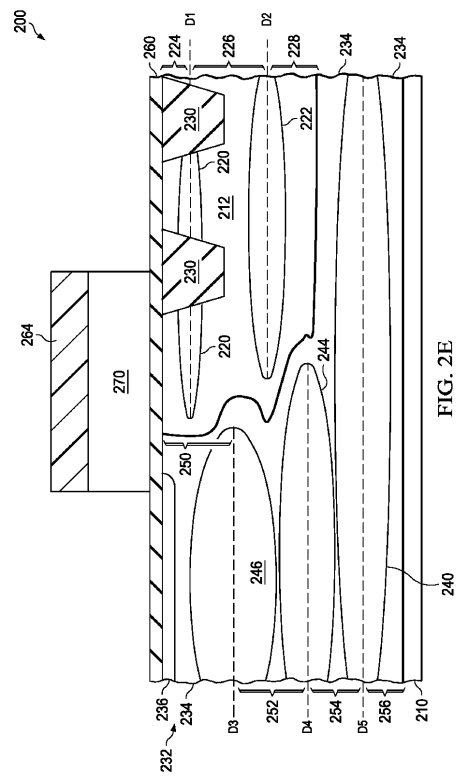


FIG. 2E

フロントページの続き

審査官 辻 勇貴

(56)参考文献 特開2007-258283(JP, A)

米国特許出願公開第2013/0207186(US, A1)

米国特許出願公開第2011/0127607(US, A1)

中国特許出願公開第103035717(CN, A)

米国特許出願公開第2008/0164537(US, A1)

米国特許出願公開第2008/0258215(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78

H01L 29/786