

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6574792号  
(P6574792)

(45) 発行日 令和1年9月11日(2019.9.11)

(24) 登録日 令和1年8月23日(2019.8.23)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	29/78	301H
HO1L 29/78	(2006.01)	HO1L 29/78	29/78	621
HO1L 29/786	(2006.01)	HO1L 29/78	29/78	618G
		HO1L	29/78	301S

請求項の数 20 (全 17 頁)

(21) 出願番号	特願2016-573708 (P2016-573708)
(86) (22) 出願日	平成27年3月6日 (2015.3.6)
(65) 公表番号	特表2017-507502 (P2017-507502A)
(43) 公表日	平成29年3月16日 (2017.3.16)
(86) 國際出願番号	PCT/US2015/019258
(87) 國際公開番号	W02015/134909
(87) 國際公開日	平成27年9月11日 (2015.9.11)
審査請求日	平成30年2月28日 (2018.2.28)
(31) 優先権主張番号	61/948,853
(32) 優先日	平成26年3月6日 (2014.3.6)
(33) 優先権主張国・地域又は機関	米国(US)
(31) 優先権主張番号	14/556,185
(32) 優先日	平成26年11月30日 (2014.11.30)
(33) 優先権主張国・地域又は機関	米国(US)

(73) 特許権者	390020248 日本テキサス・インスツルメンツ合同会社 東京都新宿区西新宿六丁目24番1号
(73) 特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 75265 -5474 ダラス メイル ステイショ ン 3999 ピーオーボックス 655 474
(74) 上記1名の代理人	100098497 弁理士 片寄 恒三
(72) 発明者	ジョン ケイ アメリカ合衆国 75013 テキサス州 アレン, クーラー ドライブ 958 最終頁に続く

(54) 【発明の名称】 R D S × C G D が改善された L D M O S トランジスタ、及び R D S × C G D が改善された L D M O S トランジスタを形成する方法

## (57) 【特許請求の範囲】

## 【請求項 1】

横方向に拡散された金属酸化物半導体 (L D M O S) トランジスタであって、半導体材料と、

前記半導体材料内にあるドレインドリフト領域であって、第1の導電型と、第1の深さでピークに達する第1の水平ドーパント濃度と、第2の深さでピークに達する第2の水平ドーパント濃度とを有し、前記第1の深さが前記半導体材料の頂部表面から或る距離下方に測定され、前記第2の深さが前記第1の深さから或る距離下方に測定される、前記ドレインドリフト領域と、

前記ドレインドリフト領域に接するように前記半導体材料内にあるバックゲート領域であって、第2の導電型と、第3の深さでピークに達する第3の水平ドーパント濃度と、第4の深さでピークに達する第4の水平ドーパント濃度と、第5の深さでピークに達して前記ドリフト領域の下に水平方向に延びる第5の水平ドーパント濃度とを有し、前記第3の深さが前記半導体材料の前記頂部表面から或る距離下方に測定され、前記第4の深さが前記第3の深さから或る距離下方に測定され、前記第5の深さが前記第4の深さから或る距離下方に測定される、前記バックゲート領域と、

前記半導体材料の前記頂部表面に接するゲート誘電体層と、

前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層に接し、前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層の上にある、ゲートと、

を含む、トランジスタ。

【請求項 2】

請求項 1 に記載のトランジスタであって、

前記第 3 の深さが前記第 1 の深さと前記第 2 の深さの間にある、トランジスタ。

【請求項 3】

請求項 2 に記載のトランジスタであって、

前記第 4 の深さが前記第 2 の深さより下にある、トランジスタ。

【請求項 4】

請求項 3 に記載のトランジスタであって、

前記バックゲート領域の一部が前記ドレインドリフト領域の直接的に下にある、トランジスタ。 10

【請求項 5】

請求項 4 に記載のトランジスタであって、

前記第 1 の深さが、前記半導体材料の前記頂部表面から第 1 の深さまで下方に延在するドリフト頂部を画定し、前記ドリフト頂部が、増大する深さと共に増大するドーパント濃度を有し、

前記第 1 の深さ及び第 2 の深さが、前記第 1 の深さから前記第 2 の深さまで延在するドリフト中間部を画定し、前記ドリフト中間部が、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する、ドーパント濃度を有する、トランジスタ。

【請求項 6】

請求項 5 に記載のトランジスタであって、

前記半導体材料内にあり、前記第 1 の深さより下にある一層低い表面を有する、一対のシャロートレンチアイソレーション (STI) 領域を更に含む、トランジスタ。 20

【請求項 7】

請求項 6 に記載のトランジスタであって、

前記ドレインドリフト領域に接するように前記 STI 領域の間の前記半導体材料内にあり、前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、ドレイン領域を更に含む、トランジスタ。

【請求項 8】

請求項 7 に記載のトランジスタであって、

前記バックゲート領域に接するように前記半導体材料内にある前記第 1 の導電型を有するソース領域であって、前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、前記ソース領域を更に含む、トランジスタ。 30

【請求項 9】

請求項 8 に記載のトランジスタであって、

前記バックゲート領域に接するように前記半導体材料内にある前記第 2 の導電型を有するボディコンタクト領域であって、前記バックゲート領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、前記ボディコンタクト領域を更に含む、トランジスタ。

【請求項 10】

請求項 9 に記載のトランジスタであって、

前記バックゲート領域のチャネル領域が前記ソース領域と前記ドレイン領域との間にあり、前記ゲートが前記チャネル領域の直接的に上にある、トランジスタ。 40

【請求項 11】

横方向に拡散された金属酸化物半導体 (LDMOS) トランジスタを形成する方法であつて、

半導体材料内のドレインドリフト領域を形成することであつて、前記ドレインドリフト領域が、第 1 の導電型と、第 1 の深さでピークに達する第 1 の水平ドーパント濃度と、第 2 の深さでピークに達する第 2 の水平ドーパント濃度とを有し、前記第 1 の深さが前記半導体材料の頂部表面から下方に或る距離測定され、前記第 2 の深さが前記第 1 の深さから 50

下方に或る距離測定される、前記ドレインドリフト領域を形成することと、

前記ドレインドリフト領域に接するように前記半導体材料内にバックゲート領域を形成することであって、前記バックゲート領域が、第2の導電型と、第3の深さでピークに達する第3の水平ドーパント濃度と、第4の深さでピークに達する第4の水平ドーパント濃度と、第5の深さでピークに達して前記ドレインドリフト領域の下に水平方向に延びる第5の水平ドーパント濃度とを有し、前記第3の深さが前記半導体材料の前記頂部表面から下方に或る距離測定され、前記第4の深さが前記第3の深さから下方に或る距離測定され、前記第5の深さが前記第4の深さから下方に或る距離測定される、前記バックゲート領域を形成することと、

前記半導体材料の前記頂部表面に接するゲート誘電体層を形成することと、

前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層に接し、前記ドレインドリフト領域と前記バックゲート領域との直接的に上にある前記ゲート誘電体層の上にあるゲートを形成することと、

を含む、方法。

#### 【請求項12】

請求項11に記載の方法であって、

前記第3の深さが前記第1の深さと前記第2の深さとの間にある、方法。

#### 【請求項13】

請求項12に記載の方法であって、

前記第4の深さが前記第2の深さより下にある、方法。

#### 【請求項14】

請求項13に記載の方法であって、

前記バックゲート領域の一部が前記ドレインドリフト領域の直接的に下にある、方法。

#### 【請求項15】

請求項14に記載の方法であって、

前記第1の深さが、前記半導体材料の前記頂部表面から前記第1の深さまで下方に延在するドリフト頂部を画定し、前記ドリフト頂部が、増大する深さと共に増大するドーパント濃度を有し、

前記第1の深さ及び第2の深さが、前記第1の深さから前記第2の深さまで延在するドリフト中間部を画定し、前記ドリフト中間部が、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する、ドーパント濃度を有する、方法。

#### 【請求項16】

請求項15に記載の方法であって、

前記半導体材料内に一対のシャロートレンチアイソレーション(STI)領域を形成することを更に含み、前記STI領域が前記第1の深さより下にある一層低い表面を有する、方法。

#### 【請求項17】

請求項16に記載の方法であって、

前記ドレインドリフト領域に接するように前記STI領域の間の前記半導体材料内に前記第1の導電型を有するドレイン領域を形成することを更に含み、前記ドレイン領域が前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、方法。

#### 【請求項18】

請求項17に記載の方法であって、

前記バックゲート領域に接するように前記半導体材料内に前記第1の導電型を有するソース領域を形成することを更に含み、前記ソース領域が前記ドレインドリフト領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、方法。

#### 【請求項19】

請求項18に記載の方法であって、

前記バックゲート領域に接するように前記半導体材料内に前記第2の導電型を有するボ

10

20

30

40

50

ディコンタクト領域を形成することを更に含み、前記ボディコンタクト領域が前記バックゲート領域の最高ドーパント濃度より実質的に大きいドーパント濃度を有する、方法。

【請求項 20】

請求項 12 に記載の方法であって、

前記バックゲート領域を形成することが、

前記第 2 の深さより下にある埋め込み領域を形成するために、前記第 2 の導電型の複数のドーパントを前記半導体材料にプランケット注入することであって、前記埋め込み領域が前記第 5 の深さでピークに達する水平ドーパント濃度を有する、前記プランケット注入することと、

前記第 2 の深さより下にあり且つ前記第 5 の深さより上にある中間領域を形成するために、パターニングされた層を介して前記第 2 の導電型の複数のドーパントを前記半導体材料に注入することであって、前記中間領域が前記第 4 の深さでピークに達する水平ドーパント濃度を有する、前記中間領域を形成するために前記第 2 の導電型の複数のドーパントを注入することと、

前記第 1 の深さと前記第 2 の深さとの間にあるボディ領域を形成するために、前記パターニングされた層を介して前記第 2 の導電型の複数のドーパントを前記半導体材料に注入することであって、前記ボディ領域が前記第 3 の深さでピークに達する水平ドーパント濃度を有する、前記ボディ領域を形成するために前記第 2 の導電型の複数のドーパントを注入することと、

を含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概して LDMOS トランジスタに関し、更に特定して言えば、 $R_{ds} \times C_{gd}$  が改善された LDMOS トランジスタ、及びその LDMOS トランジスタを形成する方法に関する。

【背景技術】

【0002】

金属酸化物半導体 (MOS) トランジスタは、ソースと、ドレインと、ボディであって、そのチャネル領域がソースとドレインとの間にあり且つソース及びドレインに接するボディと、チャネル領域の上にありゲート誘電体層によりチャネル領域から隔離されるゲートとを有する、周知の半導体デバイスである。MOS トランジスタの 2 つのタイプは、n+ ソースと p 型チャネル領域を備えたドレイン領域とを有する NMOS トランジスタ、及び、p+ ソースと n 型チャネル領域を備えたドレイン領域とを有する PMOS トランジスタである。

【0003】

オペレーションにおいて、ソース及びボディが接地されると、ドレイン・ソース電界を構築するため正の電圧がドレイン上に置かれ、閾値電圧より大きい電圧がゲート上に置かれ、ドレインからソースへ電流が流れる。ゲートが接地までプルダウンされるときなど、ゲート上に置かれる電圧が閾値電圧より小さいとき、電流は流れない。

【0004】

電流生成MOS トランジスタは、1.2V から 5V までわたる環境などの低電圧環境において一般的に用いられる。これに対し、高電圧MOS トランジスタは、例えば、10V ~ 400V の範囲の電圧で動作するトランジスタである。一層高い電圧を扱うため、高電圧MOS トランジスタは低電圧MOS トランジスタよりも大きい。

【0005】

高電圧MOS トランジスタの一つのタイプは、横方向に拡散されたMOS (LDMOS) トランジスタとして知られている。LDMOS トランジスタは、ドレインドリフト領域も有するMOS トランジスタである。ドレインドリフト領域は、ドレイン及びチャネル領域に接し、ドレインとチャネル領域との間にあり、ドレインと同じ導電型であるが、ドレ

10

20

30

40

50

インより低いドーパント濃度を有する。オペレーションにおいて、ドレインドリフト領域は、ドレン・ソース電界の大きさを低減する。

#### 【0006】

高電流（例えば、10 A 及びそれ以上）及び高周波数（1 ~ 10 MHz 及びそれより高い）LDMOSトランジスタに対する新たな性能指標（FOM）は  $R_{ds} \times C_{gd}$  であり、これは、ドレン・ソース抵抗（ $R_{ds}$ ）とゲート・ドレン容量（ $C_{gd}$ ）の積である。このFOMを改善するため、 $R_{ds}$  値、 $C_{gd}$  値、又はこれら両方の値を低減することが望ましい。

#### 【0007】

$C_{gd}$  の低減に対する一つのアプローチは、一つのゲートの代わりにスプリット又はステップゲートを用いることである。ステップ又はスプリットゲートを用いる少なくとも一つの例において、メインゲートと2つの順次薄くなる（progressively）ゲートとが用いられ、そのため、下にあるゲート誘電体層が、ゲートが置かれる位置がドレン領域に一層近くなるにつれて一層厚くなるようにする。しかし、このアプローチの一つの欠点は、スプリット又はステップゲートは製造するのが困難であり高価であるという点である。また、スプリット又はステップゲートは、一層長いドレインドリフト領域を必要とし得、これは、増大される  $R_{ds}$  のため高速モバイル用途においてデバイスを制限する。

10

#### 【発明の概要】

#### 【0008】

記載される例において、LDMOSトランジスタが、改善された  $R_{ds} \times C_{gd}$  を提供する。LDMOSトランジスタは、半導体材料、及び半導体材料内にあるドレインドリフト領域を含む。ドレインドリフト領域は、第1の導電型、第1の深さでピークに達する第1の水平ドーパント濃度、及び第2の深さでピークに達する第2のドーパント濃度を有する。第1の深さは、半導体材料の頂部表面から或る距離下方に測定される。第2の深さは、第1の深さから或る距離下方に測定される。LDMOSトランジスタはバックゲート領域も含み、バックゲート領域は、ドレインドリフト領域に接するように半導体材料内にある。バックゲート領域は、第2の導電型、第3の深さでピークに達する第3の水平ドーパント濃度、第4の深さでピークに達する第4の水平ドーパント濃度、及び第5の深さでピークに達する第5の水平ドーパント濃度を有する。第3の深さは、半導体材料の頂部表面から或る距離下方に測定される。第4の深さは、第3の深さから或る距離下方に測定される。第5の深さは、第4の深さから或る距離下方に測定される。また、LDMOSトランジスタは、半導体材料の頂部表面に接するゲート誘電体層と、ドレインドリフト領域及びバックゲート領域の直接的に上にあるゲート誘電体層に接し、そのゲート誘電体層の上にあるゲートとを含む。

20

#### 【0009】

改善された  $R_{ds} \times C_{gd}$  を提供するLDMOSトランジスタを形成する或る方法において、この方法は、半導体材料内にドレインドリフト領域を形成することを含む。ドレインドリフト領域は、第1の導電型、第1の深さでピークに達する第1の水平ドーパント濃度、及び第2の深さでピークに達する第2のドーパント濃度を有する。第1の深さは、半導体材料の頂部表面から或る距離下方に測定される。第2の深さは、第1の深さから或る距離下方に測定される。この方法はまた、ドレインドリフト領域に接するように半導体材料内にバックゲート領域を形成することを含む。バックゲート領域は、第2の導電型、第3の深さでピークに達する第3の水平ドーパント濃度、第4の深さでピークに達する第4の水平ドーパント濃度、及び第5の深さでピークに達する第5の水平ドーパント濃度を有する。第3の深さは、半導体材料の頂部表面から或る距離下方に測定される。第4の深さは、第3の深さから或る距離下方に測定される。第5の深さは、第4の深さから或る距離下方に測定される。この方法は更に、半導体材料の頂部表面に接するゲート誘電体層を形成すること、及びドレインドリフト領域及びバックゲート領域の直接的に上にあるゲート誘電体層に接し、そのゲート誘電体層の上にあるゲートを形成することを含む。

30

#### 【図面の簡単な説明】

40

50

## 【0010】

【図1】例示の実施例に従ったLDMOSトランジスタ100の一例の断面図である。

## 【0011】

【図2A】例示の実施例に従ったLDMOSトランジスタ構造を形成する方法200の一例の断面図である。

【図2B】例示の実施例に従ったLDMOSトランジスタ構造を形成する方法200の一例の断面図である。

【図2C】例示の実施例に従ったLDMOSトランジスタ構造を形成する方法200の一例の断面図である。

【図2D】例示の実施例に従ったLDMOSトランジスタ構造を形成する方法200の一例の断面図である。 10

【図2E】例示の実施例に従ったLDMOSトランジスタ構造を形成する方法200の一例の断面図である。

【図2F】例示の実施例に従ったLDMOSトランジスタ構造を形成する方法200の一例の断面図である。

【図2G】例示の実施例に従ったLDMOSトランジスタ構造を形成する方法200の一例の断面図である。

## 【発明を実施するための形態】

## 【0012】

図1は、例示の実施例に従ったLDMOSトランジスタ100の一例の断面図を示す。 20  
これ以降に更に詳細に説明するように、LDMOSトランジスタ100は、ドレインドリフト領域と隣接するステップ形状のバックゲート領域との両方において複数の注入を用いることによりRds × Cgdを改善する。

## 【0013】

図1に示すように、LDMOSトランジスタ100は、基板又はエピタキシャル層などの半導体材料110、及び半導体材料110内にあるドレインドリフト領域112を含む。ドレインドリフト領域112は、第1の導電型と2つの水平ドーパント濃度ピークとを有し、2つの水平ドーパント濃度ピークは、半導体材料110の頂部表面114から下方に或る距離測定された深さD1における第1のピーク、及び深さD1から下方に或る距離測定された深さD2における第2のピークである。この例では、ドレインドリフト領域112はn導電型を有する。 30

## 【0014】

深さD1は、半導体材料110の頂部表面114から深さD1まで下方に延在するドリフト頂部120を画定する。ドリフト頂部120は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、ドリフト頂部120は、半導体材料110の頂部表面114における低ドーパント濃度から、深さD1における高ドーパント濃度まで、継続的に増大する。また、ドリフト頂部120内の最大ドーパント濃度は深さD1にある。

## 【0015】

深さD1及び深さD2は、深さD1から深さD2まで下方に延在するドリフト中間部124を画定する。ドリフト中間部124は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度はまず、増大する深さと共に減少し、その後、増大する深さと共に増大する。 40

## 【0016】

この例では、ドリフト中間部124は、深さD1における高ドーパント濃度から深さD1とD2の間の或る地点における一層低いドーパント濃度まで継続的に減少し、その後、深さD2における一層高いドーパント濃度まで継続的に増大する。また、ドリフト中間部124内の2つの最大ドーパント濃度は、深さD1及びD2にある。

## 【0017】

深さD2はまた、深さD2から或る距離下方に延在するドリフト底部126を画定する 50

。ドリフト底部 126 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さ D2 から、増大する深さと共に減少する。この例では、ドリフト底部 126 は、深さ D2 における高ドーパント濃度から一層低いドーパント濃度まで継続的に減少する。また、ドリフト底部 126 内の最大ドーパント濃度は、深さ D2 にある。

【0018】

図 1 に更に示すように、LDMOS ランジスタ 100 はまた、ドレインドリフト領域 112 に接するように半導体材料 110 内にあるバックゲート領域 128 を含む。バックゲート領域 128 は、第 2 の導電型、及び、同じ導電型の 3 つの水平ドーパント濃度ピークに対応するステップ形状を有する。これらの 3 つの水平ドーパント濃度ピークは、半導体材料 110 の頂部表面 114 から下方に或る距離測定された深さ D3 におけるピーク、深さ D3 から下方に或る距離測定された深さ D4 におけるピーク、及び深さ D4 から下方に或る距離測定された深さ D5 におけるピークである。この例では、バックゲート領域 128 は p 導電型を有する。

【0019】

深さ D3 は、半導体材料 110 の頂部表面 114 から深さ D3 まで下方に延在するバックゲート頂部 130 を画定する。バックゲート頂部 130 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、バックゲート頂部 130 は、半導体材料 110 の頂部表面 114 における低ドーパント濃度から、深さ D3 における高ドーパント濃度まで、継続的に増大する。また、バックゲート頂部 130 内の最大ドーパント濃度は、深さ D3 にある。

【0020】

深さ D3 及び D4 はまた、深さ D3 から深さ D4 まで下方に延在するバックゲート中間部 134 を画定する。バックゲート中間部 134 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

【0021】

この例では、バックゲート中間部 134 は、深さ D3 における高ドーパント濃度から、深さ D3 と D4 の間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D4 における一層高いドーパント濃度まで継続的に増大する。また、バックゲート中間部 134 内の 2 つの最大ドーパント濃度は、深さ D3 及び D4 にある。

【0022】

深さ D4 及び深さ D5 は、深さ D4 から深さ D5 まで下方に延在するバックゲート中間部 136 を画定する。バックゲート中間部 136 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

【0023】

この例では、バックゲート中間部 136 は、深さ D4 における高ドーパント濃度から、深さ D4 と D5 の間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D5 における一層高いドーパント濃度まで継続的に増大する。また、バックゲート中間部 136 内の 2 つの最大ドーパント濃度は、深さ D4 及び D5 にある。

【0024】

深さ D5 は更に、深さ D5 から或る距離下方に延在するバックゲート底部 138 を画定する。バックゲート底部 138 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さ D5 から、増大する深さと共に減少する。この例では、バックゲート底部 138 は、深さ D5 における高ドーパント濃度から一層低いドーパント濃度まで継続的に減少する。図示するように、深さ D3 は深さ D1 と深さ D2 の間に有る。また、深さ D4 は深さ D2 より下にある。また、バックゲート領域 128 のバックゲート中間部 136 及びバックゲート底部 138 の一部は、ドレインドリフト領域 112 の直接的に下にある。

## 【0025】

図1に更に示すように、LD MOSトランジスタ100は、半導体材料110内にある一対のシャロートレンチアイソレーション(STI)領域140を含む。STI領域140は、深さD1より下にある一層低い表面142を有する。この例では、STI領域140はまた、半導体材料110の頂部表面114と実質的に同じ平面にある頂部表面を有する。

## 【0026】

LD MOSトランジスタ100は更に、いずれも半導体材料110内にある、ドレイン領域150、ソース領域152、及び表面領域154を含む。第1の導電型を有するドレイン領域150は、ドレインドリフト領域112に接するようにSTI領域140間にある。ドレイン領域150は、ドレインドリフト領域112の最高ドーパント濃度より実質的に大きいドーパント濃度を有する。この例では、ドレイン領域150はn+領域として実装される。

10

## 【0027】

ソース領域152は、同じく第1の導電型を有し、バックゲート領域128に接する。ソース領域152は、ドレイン領域150のドーパント濃度に実質的に等しいドーパント濃度を有する。この例では、ソース領域152はn+領域として実装される。

## 【0028】

表面領域154は、同じく第1の導電型を有し、半導体材料110の頂部表面114、バックゲート領域128、及びソース領域152に接し、また、バックゲート領域128の一部の直接的に上にある。表面領域154は、ドレインドリフト領域112の最高ドーパント濃度より実質的に大きいドーパント濃度を有する。この例では、表面領域154はn+領域として実装される。(表面領域154は任意選択で省かれてもよい。)

20

## 【0029】

LD MOSトランジスタ100はまた、バックゲート領域128に接するように半導体材料110内にあるボディコンタクト領域156を含む。ボディコンタクト領域156は、第2の導電型、及びバックゲート領域128の最高ドーパント濃度より実質的に大きいドーパント濃度を有する。この例では、ボディコンタクト領域156はp+領域として実装される。

## 【0030】

30

図1に更に示されるように、LD MOSトランジスタ100は、半導体材料110の頂部表面114に接するゲート誘電体層160と、ゲート誘電体層160に接しゲート誘電体層160の上にあるゲート162と、ゲート162に接しゲート162を横方向に囲む側壁スペーサ164とを含む。バックゲート領域128は、ドレインドリフト領域112とソース領域152との間にあり、且つ、ドレインドリフト領域112及びソース領域152に接する、チャネル領域166を含む。ゲート162は、ドレインドリフト領域112及びバックゲート領域128のチャネル領域166の直接的に上にある。

## 【0031】

オペレーションにおいて、ソース領域152及びボディコンタクト領域156が接地されると、ドレイン・ソース電界を構築するために16Vなどの正の電圧がドレイン領域150上に置かれ、閾値電圧より大きい電圧がゲート162上に置かれ、電流がドレイン領域150からソース領域152へ流れる。ゲート162が接地までプルダウンされるときなど、ゲート162上に置かれる電圧が閾値電圧より小さいとき、電流は流れない。

40

## 【0032】

例示の実施例の利点の一つは、半導体材料110の頂部表面114における又はその直下のドリフト頂部120の領域が、深さと共に増大する、低いドーパント濃度を有するという点である。半導体材料110の頂部表面114におけるまたはその近辺の低いドーパント濃度の領域を用いることにより、ゲート・ドレイン容量Cgdが低減され得、Rds × Cgdが改善される。例示の実施例の別の利点は、深さD1及びD2における一層高いドーパント濃度がドレイン・ソース抵抗Rdsを低減するという点であり、これにより、

50

$R_{ds} \times C_{gd}$  が更に改善される。

【0033】

また、ドレインドリフト領域 112 は、ドリフト頂部 120 及びドリフト中間部 124 内の一層低いドーパント濃度領域の存在に起因して、ドレイン・ソース電界の大きさを低減し続ける。ドレイン・ソース抵抗  $R_{ds}$  対ドレイン・ソース降伏電圧 (BV) は、深さ D2 における高ドーパント濃度の水平領域における電荷を平衡させるためにドリフト底部 126 とバックゲート中間部 136 との間の相互作用も用いることによって、最も良好にトレードオフされる。

【0034】

例示の実施例の更なる利点は、ゲート 162 の下にある深さ D1 における高ドーパント濃度の水平領域が比較的大きく、これにより、チャネル抵抗及び JFET 抵抗が低減されるという点である。JFET 抵抗は、デブリーション領域の幅がドレイン 150 及びゲート 162 上の電圧と共に変化するチャネル 166 に近接する表面下領域に関連付けられる抵抗である。

【0035】

また、深さ D1 及び D2 における高ドーパント濃度の水平領域における表面は、低減された  $C_{gd}$  のため容易に空乏化される。また、増大されたドレイン電圧では、深さ D3 及び D4 における高ドーパント濃度の水平領域のステップ形状エリアは、ゲート 162 の下にある深さ D1 及び D2 における高ドーパント濃度の水平領域における増大する電界をスクリーンし得る。この現象は、デバイスドレイン・ソース降伏電圧を増大させるためにドレインドリフト領域 112 とバックゲート領域 128 との間の電荷バランスと共に働くか、又は、ターゲットとされるデバイスドレイン・ソース降伏電圧で、ドレインドリフト領域 112 長さ (STI 領域 140 の一層低い表面 142 の真下のドリフト領域) が、低減される  $R_{ds}$  のために低減され得、これにより、総  $R_{ds} \times C_{gd}$  が改善される。そのため、例示の実施例は、 $R_{ds}$  値及び  $C_{gd}$  値両方を低減することにより  $R_{ds} \times C_{gd}$  を改善する。

【0036】

図 2A ~ 図 2G は、例示の実施例に従って LDMOS ランジスタ構造を形成する方法 200 の一例の一連の断面図を示す。方法 200 は、基板又はエピタキシャル層などの、従来と同様に形成された半導体材料 210 を用いる。

【0037】

方法 200 は、半導体材料 210 内にドレインドリフト領域 212 を形成することにより始まる。ドレインドリフト領域 212 は、第 1 の導電型、及び 2 つの水平ドーパント濃度ピークを有する。2 つの水平ドーパント濃度ピークは、半導体材料 210 の頂部表面 214 から下方へ或る距離測定された深さ D1 における第 1 のピーク、及び深さ D1 から下方へ或る距離測定された深さ D2 における第 2 のピークである。この例では、ドレインドリフト領域 212 は n 導電型を有するように形成される。

【0038】

ドレインドリフト領域 212 は、まず、パターニングされたフォトレジスト層 216 を半導体材料 210 上に形成することによって形成され得る。パターニングされたフォトレジスト層 216 は、従来のように形成され、この方式は、フォトレジストの層を堆積すること、パターニングされた画像をフォトレジストの層上に形成するために、マスクとして知られるパターニングされた黒 / 透明ガラスプレートを介して光を投射すること、及び光への曝露により軟化された、イメージングされたフォトレジスト領域を取り除くことを含む。

【0039】

パターニングされたフォトレジスト層 216 が形成された後、上部領域 220 を形成するために、パターニングされたフォトレジスト層 216 を介してドーパントが半導体材料 210 に注入される。上部領域 220 は、深さ D1 でピークに達する水平ドーパント濃度を有する。この例では、n 型上部領域 220 を形成するためにヒ素が注入される。ヒ素ド

10

20

30

40

50

ーパントは、例えば、 $4 \times 10^{12} \sim 8 \times 10^{12}$  のドーパント濃度及び $200 \text{ keV} \sim 350 \text{ keV}$  のエネルギーで注入され得る。

【0040】

パターニングされたフォトレジスト層216がまだその場にある状態で、今度は下部領域222を形成するために、ドーパントが再び、フォトレジスト層216を介して半導体材料210に注入される。下部領域222は、深さD2でピークに達する水平ドーパント濃度を有する。この例では、n型下部領域222を形成するためにリンが注入される。このリンドーパントは、例えば、 $8 \times 10^{12} \sim 2 \times 10^{13}$  のドーパント濃度及び $100 \text{ keV} \sim 400 \text{ keV}$  のエネルギーで注入され得る。

【0041】

下部領域222が形成された後、パターニングされたフォトレジスト層216は、アッシングプロセスなどの従来のように取り除かれる。これに続いて、熱駆動プロセスが、ドーパントを拡散及び活性化して、ドレインドリフト領域212の形成を完了する。熱駆動プロセスは、1100で90分間、又は例えば、1125で50分間、又は1050で270分間などの同等の条件の、熱処理を含み得る。

10

【0042】

深さD1は、半導体材料210の頂部表面214から深さD1まで下方に延在するドリフト頂部224を画定する。ドリフト頂部224の一部が熱駆動プロセスの間ドープされ、これにより、ドーパントが、上部領域220から上方にドリフト頂部224内に拡散される。

20

【0043】

ドリフト頂部224は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、ドリフト頂部224は、半導体材料210の頂部表面214における低ドーパント濃度から、深さD1における高ドーパント濃度まで、継続的に増大する。また、ドリフト頂部224内の最大ドーパント濃度は深さD1にある。

【0044】

深さD1及び深さD2は、深さD1から深さD2まで下方に延在するドリフト中間部226を画定する。ドリフト中間部226の一部が熱駆動プロセスの間ドープされ、これにより、ドーパントが、上部領域220から下方に拡散され、下部領域222の一部から上方にドリフト中間部226内に拡散される。

30

【0045】

ドリフト中間部226は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。この例では、ドリフト中間部226は、深さD1における高ドーパント濃度から、深さD1及びD2間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さD2における一層高いドーパント濃度まで継続的に増大する。また、ドリフト中間部226内の2つの最大ドーパント濃度は、深さD1及びD2にある。

【0046】

深さD2はまた、深さD2から或る距離下方に延在するドリフト底部228を画定する。ドリフト底部228は熱駆動プロセスの間ドープされ、これにより、ドーパントが、下部領域222から下方に底部228内に拡散される。（上部及び下部領域220及び222が形成される順は、逆にされてもよい。）

40

【0047】

ドリフト底部228は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さD2から、増大する深さと共に減少する。この例では、ドリフト底部228は、深さD2における高ドーパント濃度から一層低いドーパント濃度まで継続的に減少する。また、ドリフト底部228内の最大ドーパント濃度は深さD2にある。

【0048】

50

図2Bに示すように、ドレインドリフト領域212が形成された後、一対のシャロートレンチアイソレーション(STI)領域230が、ドレインドリフト領域212に接するように半導体材料210に形成される。STI領域230は従来のように形成され得る。例えば、半導体材料210の上にハードマスクが形成され得る。ハードマスクが形成された後、半導体材料210において複数のトレンチを形成するように、半導体材料210がハードマスクを介してエッチングされる。次に、ハードマスクが取り除かれ、トレンチを充填するように半導体材料210の頂部表面上に非導電性の材料が堆積される。半導体材料210の頂部表面上の非導電性の材料は、その後、トレンチにおけるSTI領域230を残すように、化学機械的平坦化(CMP)プロセスなどにより、取り除かれ。 10

#### 【0049】

図2Bに更に示すように、STI領域230が形成された後、ドープされた領域232が次に、半導体材料210内に形成される。ドープされた領域232は、第2の導電型のバックゲート領域234、及びバックゲート領域234に接する第1の導電型の表面領域236を有する。 20

#### 【0050】

バックゲート領域234は、3つのドーパント濃度に対応するステップ形状を有するように形成され、3つのドーパント濃度は、半導体材料210の頂部表面から深さD3下方のピーク、一層低い深さD4のピーク、及び更に一層低い深さD5のピークである。この例では、バックゲート領域234はp導電型を有し、表面領域236はn導電型を有する。 20

#### 【0051】

バックゲート領域234は、ドレインドリフト領域212の底部228に接し、それより下にある埋め込み領域240を形成するように、先ず、ドーパントを半導体材料210にプランケット注入することによって形成され得る。埋め込み領域240は、深さD5でピークに達するドーパント濃度を有する。この例では、p型埋め込み領域234を形成するためにボロンが注入される。ボロンドーパントは、例えば、 $1 \times 10^{12} \sim 9 \times 10^{13}$ のドーズ量及び400keV～900keVのエネルギーで注入され得る。 30

#### 【0052】

図2Cに示すように、埋め込み領域240が形成された後、パターニングされたフォトレジスト層242が従来のように半導体材料210上に形成される。パターニングされたフォトレジスト層242が形成された後、ドーパントは、中間領域244を形成するように、パターニングされたフォトレジスト層242を介して半導体材料210に角度注入(angle implanted)される。中間領域244は、深さD4でピークに達するドーパント濃度を有する。この例では、中間領域244を形成するためにボロンが注入される。ボロンドーパントは、例えば、 $2 \times 10^{13} \sim 4 \times 10^{13}$ のドーズ量及び300keV～600keVのエネルギーで注入され得る。 30

#### 【0053】

パターニングされたフォトレジスト層242がまだその場にある状態で、ボディ領域246を形成するために、ドーパントが再び、パターニングされたフォトレジスト層242を介して半導体材料210に注入される。ボディ領域246は、深さD3でピークに達するドーパント濃度を有する。この例では、ボディ領域246を形成するためにボロンが注入される。ボロンドーパントは、例えば、 $5 \times 10^{13} \sim 3 \times 10^{14}$ のドーズ量及び70keV～300keVのエネルギーで注入され得る。 40

#### 【0054】

ボディ領域246が形成された後、バックゲート領域234のサイズを低減するため及び表面領域236を形成するために、ドーパントが再び、パターニングされたフォトレジスト層242を介して半導体材料210に注入される。表面領域236は、半導体材料210の頂部表面214に接し、ボディ領域246の上にある。この例では、表面領域236を形成するためにヒ素が注入される。ヒ素ドーパントは、例えば、 $5 \times 10^{13} \sim 1 \times 10^{15}$ のドーズ量及び30keV～160keVのエネルギーで注入され得る。（表面 50

領域 236 の形成は任意選択で省かれてもよい。)

【0055】

この注入の後、パターニングされたフォトレジスト層 242 が従来のように取り除かれる。これに続いて、ドーパントを拡散及び活性化するため、そして、ドープされた領域 232、バックゲート領域 234、及び表面領域 236 の形成を完了するために、熱駆動プロセスが実施される。この例では、表面領域 236 及びそのすぐ周りのエリアは、熱駆動の結果 n 型導電性を有し、一方、バックゲート領域 234 は、熱駆動の結果 p 型導電性を有する。(ドレインドリフト領域 212 及びドープされた領域 232 が形成される順は、逆にされてもよい。)

【0056】

深さ D3 は、半導体材料 110 の頂部表面 114 から深さ D3 まで下方に延在する基板頂部 250 を画定する。基板頂部 250 は、表面領域 236 より下であり表面領域 236 に近接する或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、増大する深さと共に増大する。この例では、基板頂部 250 は、表面領域 236 より下であり表面領域 236 に近接する低ドーパント濃度から、深さ D3 における高ドーパント濃度まで、継続的に増大する。また、基板頂部 250 内の最大ドーパント濃度は深さ D3 にある。

【0057】

深さ D3 及び深さ D4 は、深さ D3 から深さ D4 まで下方に延在する基板中間部 252 を画定する。基板中間部 252 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

【0058】

この例では、基板中間部 252 は、深さ D3 における高ドーパント濃度から、深さ D3 と D4 間との或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D4 における一層高いドーパント濃度まで継続的に増大する。また、基板中間部 252 内の 2 つの最大ドーパント濃度は、深さ D3 及び D4 にある。

【0059】

深さ D4 及び深さ D5 は、深さ D4 から深さ D5 まで下方に延在する基板中間部 254 を画定する。基板中間部 254 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、まず、増大する深さと共に減少し、その後、増大する深さと共に増大する。

【0060】

この例では、基板中間部 254 は、深さ D4 における高ドーパント濃度から、深さ D4 と D5 との間の或る地点における一層低いドーパント濃度まで、継続的に減少し、その後、深さ D5 における一層高いドーパント濃度まで継続的に増大する。また、基板中間部 254 内の 2 つの最大ドーパント濃度は、深さ D4 及び D5 にある。

【0061】

深さ D5 はまた、深さ D5 から或る距離下方に延在する基板底部 256 を画定する。基板底部 256 は或るドーパント濃度プロファイルを有し、このプロファイルにおいて、ドーパント濃度は、深さ D5 から、増大する深さと共に減少する。この例では、基板底部 256 は、深さ D5 における高ドーパント濃度から一層低いドーパント濃度まで低減する。図示するように、深さ D3 は、深さ D1 と深さ D2 との間にある。また、深さ D4 は深さ D2 より下にある。また、第 2 の (p) 導電型のバックゲート領域 234 の一部が、ドレインドリフト領域 212 の直接的に下にある。

【0062】

図 2D に示すように、ドープされた領域 232 が形成されると、方法 200 は次に、半導体材料 210 の頂部表面 214 上にゲート誘電体層 260 を形成する。例えば、希釈フッ化水素酸を用いるウェットエッティングのクリーンアップエッティングが、半導体材料 210 の頂部表面上の如何なる不要な酸化物も除くために、ゲート誘電体層 260 を形成する

10

20

30

40

50

前に実施され得る。

【0063】

ゲート誘電体層260は、熱成長された二酸化シリコンで実装され得、用いられる電圧に従って変化する厚みを有する。例えば、ゲート誘電体層260は、5Vゲートオペレーションをサポートするために、12~15nmの熱成長された二酸化シリコンを有し得る。ゲート誘電体層260は、シリコンオキシナイトライド又はハフニウム酸化物などの他の誘電性材料の附加的な層を含み得る。

【0064】

これに続いて、ゲート材料262の層が、ゲート誘電体層260上に堆積される。ゲート材料262の層は、100~200nmのポリシリコン、及び場合によっては、100~200nmのタンクステンシリサイドなどのポリシリコン上の金属シリサイドの層、を含み得る。ゲート材料262の層を実装するために用いることができる他の材料もこの例の範囲内にある。次に、パターニングされたフォトレジスト層264が、従来のようにゲート材料262の層の上に形成される。

【0065】

図2Eに示すように、パターニングされたフォトレジスト層264が形成された後、ゲート材料262の層の露出された領域は、ゲート誘電体層260を露出させるため及びゲート270を形成するために、従来のようにエッチングされる。エッチングに続いて、パターニングされたフォトレジスト層264が従来のように取り除かれる。

【0066】

図2Fに示すように、パターニングされたフォトレジスト層264が取り除かれた後、ゲート側壁スペーサ272が、ゲート270の横方向表面上に従来のように形成される。ゲート側壁スペーサ272は、半導体デバイスの頂部表面の上に二酸化シリコンのコンフオーマル層を50~150nmの厚み形成すること、及びその後、反応性イオンエッチング(RIE)プロセスなどの異方性エッチングプロセスを用いて水平表面から二酸化シリコンを取り除くことによって形成され得る。

【0067】

図2Fに更に示すように、次に、パターニングされたフォトレジスト層274が、ゲート誘電体層260及びゲート270上に従来のように形成される。この後、ソース領域280及びドレイン領域282を形成するために、ドレインドリフト領域212と同じ導電型を有するドーパントが、パターニングされたフォトレジスト層274を介して注入される。ソース領域280は、バックゲート領域234及び表面領域236のサイズを低減する。ドレイン領域282は、ドレインドリフト領域212のサイズを低減する。

【0068】

ソース領域280は、重くドープされており、バックゲート領域234及び表面領域236に接する。ドレイン領域282も、同じく重くドープされており、ドレインドリフト領域212に接するように、STI領域230間に形成される。注入に続いて、パターニングされたフォトレジスト層274が従来のように取り除かれる。この例では、ソース及びドレイン領域280及び282はn+領域である。この注入は、 $8 \times 10^{-4} \sim 1 \times 10^{-6}$ のドーズ量及び20keV~70keVのエネルギーを有し得る。

【0069】

図2Gに示すように、パターニングされたフォトレジスト層274が取り除かれた後、パターニングされたフォトレジスト層284が次に、ゲート誘電体層260及びゲート270上に従来のように形成される。この後、ボディコンタクト領域286を形成するために、バックゲート領域234と同じ導電型を有するドーパントが、パターニングされたフォトレジスト層284を介して注入される。

【0070】

ボディコンタクト領域286は、重くドープされており、ボディ領域246に接する。注入に続いて、パターニングされたフォトレジスト層284が従来のように取り除かれて、LDMOSトランジスタ構造290の形成が完了する。この例では、ボディコンタクト

10

20

30

40

50

領域 276 は  $p^+$  領域である。注入は、 $8 \times 10^{-14} \sim 1 \times 10^{-16}$  のドーズ量及び 20 keV ~ 70 keV のエネルギーを有し得る。

【 0 0 7 1 】

本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得、他の実施例が可能である。

【 义 1 】

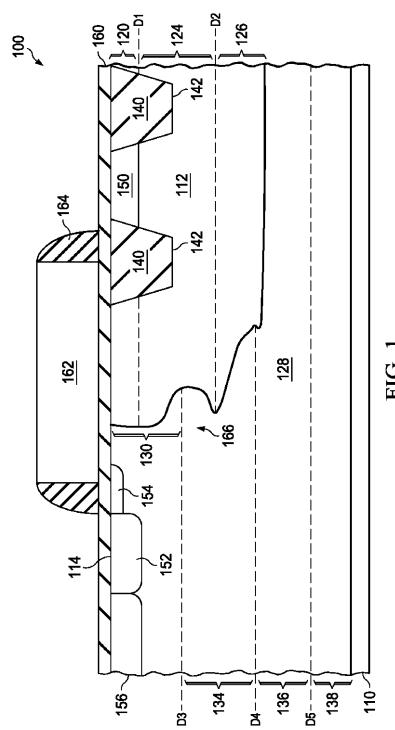


FIG. 1

【 図 2 A 】

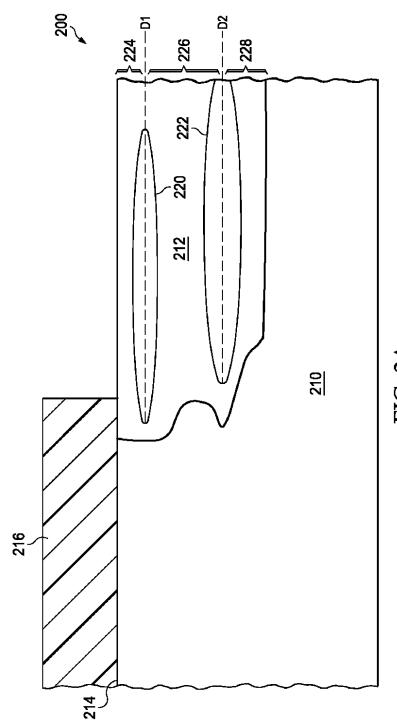


FIG. 2A

【図2B】

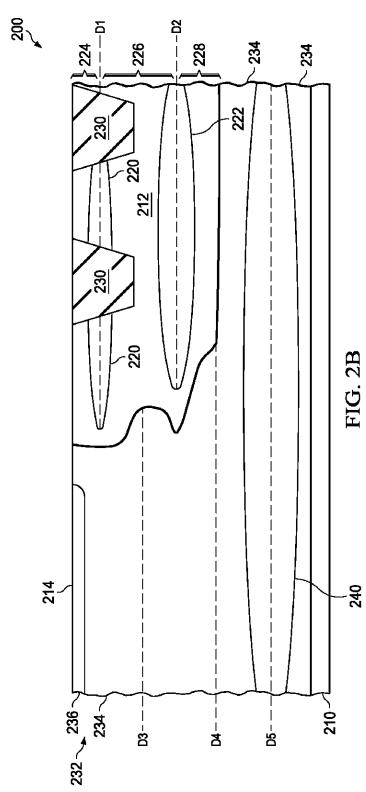


FIG. 2B

【図2C】

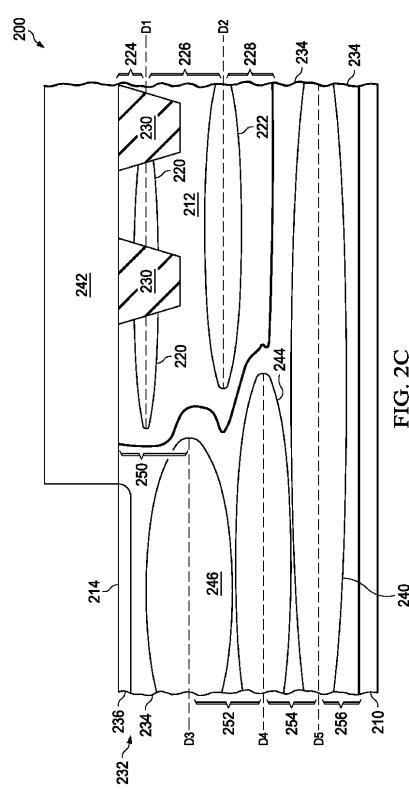


FIG. 2C

## 【図2D】

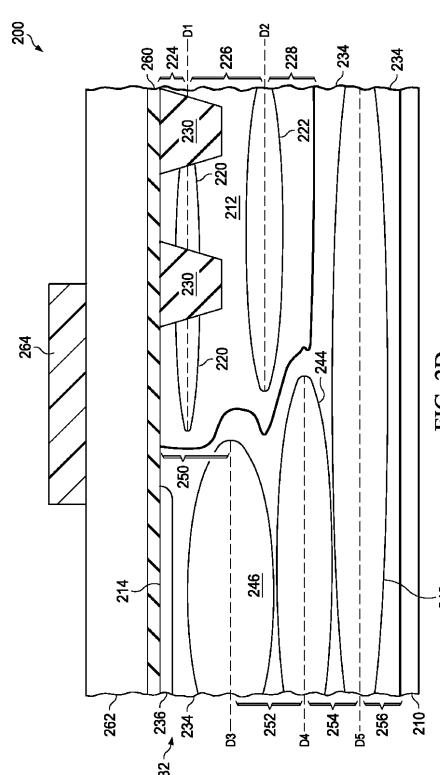


FIG. 2D

【 図 2 E 】

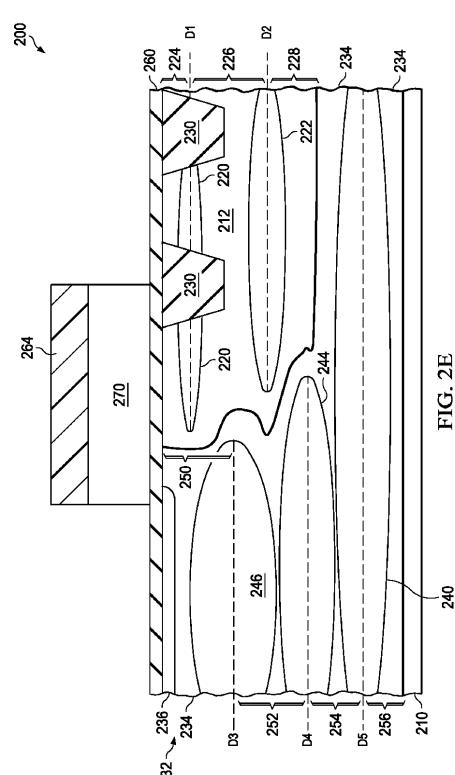


FIG. 2E



---

フロントページの続き

審査官 辻 勇貴

(56)参考文献 特開2007-258283(JP, A)

米国特許出願公開第2013/0207186(US, A1)

米国特許出願公開第2011/0127607(US, A1)

中国特許出願公開第103035717(CN, A)

米国特許出願公開第2008/0164537(US, A1)

米国特許出願公開第2008/0258215(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78

H01L 29/786