

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月23日(23.09.2021)



(10) 国際公開番号

WO 2021/187053 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2021/007316

(22) 国際出願日: 2021年2月26日(26.02.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-046642 2020年3月17日(17.03.2020) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 田古部 勲(**TAKOBE Isao**); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 橋口 慎吾(**HASHIGUCHI**

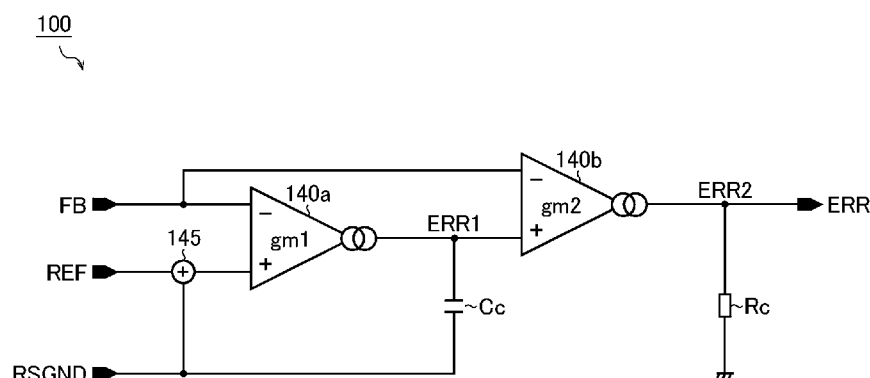
Shingo); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所 (**SANO PATENT OFFICE**); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** OUTPUT FEEDBACK CONTROL CIRCUIT AND SWITCHING POWER SUPPLY

(54) 発明の名称: 出力帰還制御回路、スイッチング電源



(57) **Abstract:** This output feedback control circuit, for example, includes: a first amp 140a for generating a first error signal ERR1 according to the difference between a prescribed reference voltage REF and the output voltage supplied to a load or the feedback voltage FB corresponding thereto; a second amp 140b for generating a second error signal ERR2 according to the difference between the first error signal ERR1 (or the reference voltage REF) and the output voltage or the feedback voltage FB at a faster speed than does the first amp 140a; a computing unit 145 for superimposing a remote sensing signal RSGND extracted from the grounded end of the load on the reference signal REF to be inputted into the first amp 140a; and a capacitor Cc which is connected between the end to which the first error signal ERR1 is applied and the end to which the remote sensing signal RSGND is applied.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 出力帰還制御回路は、例えば、負荷に供給される出力電圧又はこれに応じた帰還電圧 F B と所定の基準電圧 R E F との差分に応じた第 1 誤差信号 E R R 1 を生成する第 1 アンプ 1 4 0 a と、第 1 アンプ 1 4 0 a よりも高速で出力電圧又は帰還電圧 F B と第 1 誤差信号 E R R 1 (又は基準電圧 R E F) との差分に応じた第 2 誤差信号 E R R 2 を生成する第 2 アンプ 1 4 0 b と、前記負荷の接地端から引き出されるリモートセンス信号 R S G N D を第 1 アンプ 1 4 0 a に入力される基準電圧 R E F に重畳する演算器 1 4 5 と、第 1 誤差信号 E R R 1 の印加端とリモートセンス信号 R S G N D の印加端との間に接続されたキャパシタ C c と、を含む。

明 細 書

発明の名称：出力帰還制御回路、スイッチング電源

技術分野

[0001] 本明細書中に開示されている発明は、出力帰還制御回路、及び、これを用いたスイッチング電源に関する。

背景技術

[0002] 一般に、スイッチング電源またはサーボ機構などには、出力電圧が所定の基準電圧と一致するように出力帰還制御を行う出力帰還制御回路が組み込まれている。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げる事ができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2019-58027号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来の出力帰還制御回路では、高速化と高精度化の両立について、更なる検討の余地があった。

[0006] 本明細書中に開示されている発明は、本願の発明者らが見出した上記の課題に鑑み、高速化と高精度化を両立することのできる出力帰還制御回路、及び、これを用いたスイッチング電源を提供することを目的とする。

課題を解決するための手段

[0007] 例えば、本明細書中に開示されている出力帰還制御回路は、負荷に供給される出力電圧又はこれに応じた帰還電圧と所定の基準電圧との差分に応じた第1誤差信号を生成する第1アンプと、前記第1アンプよりも高速で前記出力電圧又は前記帰還電圧と前記第1誤差信号又は前記基準電圧との差分に応じた第2誤差信号を生成する第2アンプと、前記負荷の接地端から引き出さ

れるリモートセンス信号を前記第 1 アンプに入力される前記基準電圧に重畳する演算器と、前記第 1 誤差信号の印加端と前記リモートセンス信号の印加端との間に接続されたキャパシタと、を含む。

[0008] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0009] 本明細書中に開示されている発明によれば、高速化と高精度化を両立することのできる出力帰還制御回路、及び、これを用いたスイッチング電源を提供することが可能となる。

図面の簡単な説明

[0010] [図1]図 1 は、スイッチング電源の基本構成を示す図である。

[図2]図 2 は、スイッチング電源の第 1 実施形態を示す図である。

[図3]図 3 は、スイッチング電源の第 2 実施形態を示す図である。

[図4]図 4 は、スイッチング電源の第 3 実施形態を示す図である。

[図5]図 5 は、スイッチング電源の第 4 実施形態を示す図である。

[図6]図 6 は、スイッチング電源の第 5 実施形態を示す図である。

[図7]図 7 は、単一のアンプで高速化と高精度化の両立が難しい理由を説明するための図である。

[図8]図 8 は、スイッチング電源の第 6 実施形態を示す図である。

[図9]図 9 は、第 6 実施形態における周波数－ゲイン特性を示す図である。

[図10]図 10 は、スイッチング電源の第 7 実施形態を示す図である。

[図11]図 11 は、スイッチング電源の第 8 実施形態を示す図である。

[図12]図 12 は、スイッチング電源の第 9 実施形態を示す図である。

[図13]図 13 は、リモートセンス機能の導入例を示す図である。

[図14]図 14 は、スイッチング電源の第 10 実施形態を示す図である。

[図15]図 15 は、第 10 実施形態における周波数－ゲイン特性を示す図である。

[図16]図16は、スイッチング電源の第11実施形態を示す図である。

[図17]図17は、第11実施形態における周波数－ゲイン特性を示す図である。

[図18]図18は、スイッチング電源の第12実施形態を示す図である。

[図19]図19は、テレビの外観図である。

[図20]図20は、パソコンの外観図である。

[図21]図21は、スマートフォンの外観図である。

発明を実施するための形態

[0011] <スイッチング電源（基本構成）>

図1は、スイッチング電源の基本構成を示す図である。本構成例のスイッチング電源100は、入力電圧P V D Dから出力電圧V O U Tを生成して不図示の負荷に供給するPWM [pulse width modulation] 駆動方式のD C / D Cコンバータであり、スイッチング出力回路110と、帰還電圧生成回路120と、基準電圧生成回路130と、エラーアンプ140と、ランプ信号生成回路150と、オシレータ160と、PWMコンパレータ170と、制御回路180と、スイッチ駆動回路190と、を有する。

[0012] 上記の構成要素は、スイッチング出力回路110に含まれる一部の構成要素（本図ではインダクタ113とキャパシタ114）を除き、スイッチング電源100の制御主体となる半導体集積回路装置200（いわゆる電源制御IC）に集積化するとよい。なお、半導体集積回路装置200には、上記以外にも任意の構成要素（各種保護回路など）を適宜組み込むことが可能である。

[0013] また、半導体集積回路装置200は、装置外部との電気的な接続を確立するための手段として、複数の外部端子（本図では、電源端子T1、出力端子T2、接地端子T3、並びに、帰還端子T4の4本を例示）を備えている。

[0014] スwitchング出力回路110は、ハーフブリッジを形成するように接続された上側スイッチと下側スイッチをオン／オフすることにより、インダクタ電流I Lを駆動して入力電圧P V D Dから出力電圧V O U Tを生成する降圧

型のスイッチング出力段であり、出力トランジスタ 111 と、同期整流トランジスタ 112 と、インダクタ 113 と、キャパシタ 114 と、を含む。

[0015] 出力トランジスタ 111 は、スイッチング出力段の上側スイッチとして機能する PMOSFET [P channel type metal oxide semiconductor field effect transistor] である。半導体集積回路装置 200 の内部において、出力トランジスタ 111 のソースは、電源端子 T1 (=入力電圧 PVD の印加端) に接続されている。出力トランジスタ 111 のドレインは、出力端子 T2 (=スイッチ電圧 SW の印加端) に接続されている。出力トランジスタ 111 のゲートは、上側ゲート信号 G1 の印加端に接続されている。出力トランジスタ 111 は、上側ゲート信号 G1 がハイレベルであるときにオフし、上側ゲート信号 G1 がローレベルであるときにオンする。

[0016] 同期整流トランジスタ 112 は、スイッチング出力段の下側スイッチとして機能する NMOSFET [N channel type MOSFET] である。半導体集積回路装置 200 の内部において、同期整流トランジスタ 112 のソースは、接地端子 T3 (=接地電圧 PVSS の印加端) に接続されている。同期整流トランジスタ 112 のドレインは、出力端子 T2 に接続されている。同期整流トランジスタ 112 のゲートは、下側ゲート信号 G2 の印加端に接続されている。同期整流トランジスタ 112 は、下側ゲート信号 G2 がハイレベルであるときにオンし、下側ゲート信号 G2 がローレベルであるときにオフする。

[0017] インダクタ 113 とキャパシタ 114 は、半導体集積回路装置 200 に外付けされるディスクリート部品であり、スイッチ電圧 SW を整流及び平滑して出力電圧 VOUT を生成する LC フィルタを形成する。半導体集積回路装置 200 の外部において、インダクタ 113 の第 1 端は、半導体集積回路装置 200 の出力端子 T2 に接続されている。インダクタ 113 の第 2 端とキャパシタ 114 の第 1 端は、出力電圧 VOUT の印加端と帰還端子 T4 に接続されている。キャパシタ 114 の第 2 端は、接地端に接続されている。

[0018] 出力トランジスタ 111 と同期整流トランジスタ 112 は、上側ゲート信

号G 1と下側ゲート信号G 2に応じて相補的にオン／オフされる。このようなオン／オフ動作により、インダクタ1 1 3の第1端には、入力電圧P V D Dと接地電圧G N Dとの間でパルス駆動される矩形波状のスイッチ電圧S Wが生成される。上記した「相補的」という文言は、出力トランジスタ1 1 1と同期整流トランジスタ1 1 2のオン／オフ状態が完全に逆転している場合だけでなく、両トランジスタの同時オフ期間（デッドタイム）が設けられている場合も含む。

[0019] なお、スイッチング出力回路1 1 0の出力形式については、上記の降圧型に限らず、昇圧型、昇降圧型、並びに、反転型のいずれであっても構わない。また、スイッチング出力回路1 1 0の整流方式についても、上記の同期整流方式に限らず、下側スイッチとして整流ダイオードを用いたダイオード整流方式を採用してもよい。

[0020] また、出力トランジスタ1 1 1をN M O S F E Tに置換することもできる。ただし、その場合には、上側ゲート信号G 1のハイレベルを入力電圧P V D Dよりも高い電圧値まで引き上げるために、ブートストラップ回路またはチャージポンプ回路が必要となる。

[0021] また、出力トランジスタ1 1 1及び同期整流トランジスタ1 1 2を半導体集積回路装置2 0 0に外付けすることも可能である。その場合には、出力端子T 2に代えて、上側ゲート信号G 1と下側ゲート信号G 2をそれぞれ外部出力するための端子が必要となる。

[0022] 特に、スイッチング出力回路1 1 0に対して高電圧が印加される場合には、出力トランジスタ1 1 1及び同期整流トランジスタ1 1 2として、それぞれ、パワーM O S F E T、I G B T [insulated gate bipolar transistor]、若しくは、S i Cトランジスタ又はG a Nトランジスタなどの高耐圧素子を用いるとよい。

[0023] 帰還電圧生成回路1 2 0は、帰還端子T 4（＝出力電圧V O U Tの印加端）と接地端との間に直列接続された抵抗1 2 1及び1 2 2を含み、両抵抗間の接続ノードから出力電圧V O U Tに応じた帰還電圧F B（＝出力電圧V O

U T の分圧電圧) を出力する。

[0024] なお、出力電圧 V_{OUT} がエラーアンプ 140 の入力ダイナミックレンジ内に収まっている場合には、帰還電圧生成回路 120 を省略して出力電圧 V_{OUT} をエラーアンプ 140 に直接入力しても構わない。また、抵抗 121 と並列にキャパシタを接続してもよい。

[0025] また、抵抗 121 及び 122 を半導体集積回路装置 200 に外付けすることもできる。その場合、抵抗 121 及び 122 相互間の接続ノードを帰還端子 T4 に接続すればよい。

[0026] 基準電圧生成回路 130 は、所定の基準電圧 REF (=出力電圧 V_{OUT} の目標設定値に相当) を生成する。なお、基準電圧生成回路 130 としては、デジタルの基準電圧設定信号をアナログの基準電圧 REF に変換する DAC [digital-to-analog converter] を用いるとよい。このような構成であれば、上記の基準電圧設定信号を用いて、起動時のソフトスタート動作を実現したり、出力電圧 V_{OUT} を調整したりすることが可能となる。

[0027] エラーアンプ 140 は、反転入力端 (−) に印加される帰還電圧 FB と、非反転入力端 (+) に印加される基準電圧 REF との差分に応じた誤差信号 ERR を生成する。誤差信号 ERR は、帰還電圧 FB が基準電圧 REF よりも低いときに上昇し、帰還電圧 FB が基準電圧 REF よりも高いときに低下する。

[0028] ランプ信号生成回路 150 は、出力トランジスタ 111 のオン期間 T_{on} に上昇する三角波状、鋸波状、若しくは、 n 次スロープ波状 (例えば $n=2$) のランプ信号 $RAMP$ を生成する。なお、ランプ信号 $RAMP$ は、例えば、出力トランジスタ 111 のオンタイミングでゼロ値から上昇を開始し、出力トランジスタ 111 のオフタイミングでゼロ値にリセットされる。

[0029] オシレータ 160 は、所定のスイッチング周波数 f_{sw} (= $1/T_{sw}$) でパルス駆動されるオン信号 ON (=クロック信号) を生成する。

[0030] PWMコンパレータ 170 は、非反転入力端 (+) に印加される誤差信号 ERR と、反転入力端 (−) に印加されるランプ信号 $RAMP$ を比較してオ

フ信号OFFを生成する。なお、オフ信号OFFは、ランプ信号RAMPが誤差信号ERRよりも低いときにハイレベルとなり、ランプ信号RAMPが誤差信号ERRよりも高いときにローレベルとなる。すなわち、オフ信号OFFのパルス生成タイミングは、誤差信号ERRが高いほど遅くなり、誤差信号ERRが低いほど早くなる。

[0031] 制御回路180は、オン信号ONとオフ信号OFFに応じて上側制御信号S1と下側制御信号S2を生成する。具体的に述べると、制御回路180は、オン信号ONにパルスが生成されたときに、上側制御信号S1と下側制御信号S2をいずれもローレベル（＝スイッチ電圧SWをハイレベルとするときの論理レベル）に立ち下げる一方、オフ信号OFFにパルスが生成されたときに、上側制御信号S1と下側制御信号S2をいずれもハイレベル（＝スイッチ電圧SWをローレベルとするときの論理レベル）に立ち上げる。

[0032] 従って、出力トランジスタ111のオン期間Ton（＝スイッチ電圧SWのハイレベル期間）は、オフ信号OFFのパルス生成タイミングが遅いほど長くなり、逆に、オフ信号OFFのパルス生成タイミングが早いほど短くなる。すなわち、出力トランジスタ111のオンデューティD（＝ T_{on} / T_{sw} ）は、誤差信号ERRが高いほど大きくなり、誤差信号ERRが低いほど小さくなる。

[0033] スイッチ駆動回路190は、上側制御信号S1の入力を受け付けて上側ゲート信号G1を生成する上側ドライバ191と、下側制御信号S2の入力を受け付けて下側ゲート信号G2を生成する下側ドライバ192を含む。上側ドライバ191及び192としては、それぞれ、バッファまたはインバータを用いることができる。

[0034] なお、上記構成要素のうち、少なくとも、エラーアンプ140、ランプ信号生成回路150、オシレータ160、PWMコンパレータ170、制御回路180、及び、スイッチ駆動回路190は、帰還電圧FB（延いては出力電圧VOUT）が所定の基準電圧REFと一致するように出力帰還制御を行う出力帰還制御回路として理解することができる。

[0035] 特に、上記の出力帰還制御回路では、誤差信号 $E R R$ が小さくなるように周波数固定方式でスイッチング出力回路 110 が駆動されることになる。

[0036] <第1実施形態>

図2は、スイッチング電源100の第1実施形態を示す図である。本実施形態のスイッチング電源100は、電流モード制御方式の出力帰還制御を実現するための手段として、先出の構成要素（本図では、スイッチング出力回路110、エラーアンプ140、ランプ信号生成回路150、オシレータ160、PWMコンパレータ170、及び、制御回路180を明示）に加えて、下側電流検出部210と、情報合成部220と、情報保持部230をさらに有する。

[0037] なお、本実施形態のスイッチング電源100では、出力電圧 $V O U T$ （延いては帰還電圧 $F B$ ）に応じた電圧帰還情報 $V i n f o$ を取得するエラーアンプ140として、差動電流信号 $I P$ 及び $I N$ を出力する電流出力型アンプが用いられている。差動電流信号 $I P$ 及び $I N$ は、互いに逆向きに流れる電流であり、帰還電圧 $F B$ と基準電圧 $R E F$ との差分に応じて増減する。

[0038] より具体的に述べると、差動電流信号 $I P$ は、 $R E F > F B$ であるときには、両者の差分が大きいほど正方向（＝エラーアンプ140から流れ出る方向）に大きくなり、 $R E F < F B$ であるときには、両者の差分が大きいほど負方向（＝エラーアンプ140に流れ込む方向）に大きくなる。

[0039] これに対して、差動電流信号 $I N$ は、差動電流信号 $I P$ とは逆に、 $R E F > F B$ であるときには、両者の差分が大きいほど負方向に大きくなり、 $R E F < F B$ であるときには、両者の差分が大きいほど正方向に大きくなる。

[0040] 下側電流検出部210は、スイッチ211と抵抗212を含み、同期整流トランジスタ112に流れるインダクタ電流 $I L$ （以下では下側インダクタ電流 $I L L$ と呼ぶ）を検出して電流帰還情報 $I i n f o$ を取得する。

[0041] スイッチ211の第1端は、同期整流トランジスタ112のドレイン（＝スイッチ電圧 $S W$ の印加端）に接続されている。スイッチ211の第2端は、抵抗212の第1端に接続されている。抵抗212の第2端は、同期整流

トランジスタ 112 のソース（＝接地電圧 P V S S の印加端）に接続されている。

[0042] なお、スイッチ 211 は、下側ゲート信号 G 2 に応じて同期整流トランジスタ 112 と共にオン／オフされる。より具体的に述べると、スイッチ 211 は、同期整流トランジスタ 112 のオン期間にオンし、同期整流トランジスタ 112 のオフ期間にオフする。

[0043] 従って、同期整流トランジスタ 112 のオン期間には、先述の電流帰還情報 I_{info} として、下側インダクタ電流 I_{LL} に応じた下側センス信号 S_{NSL} （ $= SW - P V S S = - I_{LL} \times R_{onL}$ 、ただし、 R_{onL} は同期整流トランジスタ 112 のオン抵抗）が情報合成部 220 に伝達される。一方、同期整流トランジスタ 112 のオフ期間には、下側センス信号 S_{NSL} が抵抗 212 を介してゼロ値に固定されるので、スイッチ電圧 SW のハイレベル（ $\equiv P V D D$ ）が情報合成部 220 に伝達されることはない。

[0044] なお、下側インダクタ電流 I_{LL} の検出手法については、同期整流トランジスタ 112 のドレイン・ソース間電圧を検出する手法のほかにも、任意の手法を採用することが可能である。例えば、同期整流トランジスタ 112 に直列接続されたセンス抵抗の両端間電圧を検出してもよいし、或いは、同期整流トランジスタ 112 に並列接続された電流検出用トランジスタのドレイン・ソース間電圧を検出してもよい。

[0045] 情報合成部 220 は、抵抗 221 及び 222（いずれも抵抗値 R ）を含み、エラーアンプ 140 で取得された電圧帰還情報 V_{info} に下側電流検出部 210 で取得された電流帰還情報 I_{info} を合成して合成帰還情報 V_{Iinfo} を生成する。

[0046] 抵抗 221 の第 1 端は、エラーアンプ 140 の第 1 出力端（＝差動電流信号 I_P の出力端）に接続されている。抵抗 221 の第 2 端は、下側電流検出部 210 の第 1 出力端（＝下側センス信号 S_{NSL} の出力端）に接続されている。

[0047] 抵抗 222 の第 1 端は、エラーアンプ 140 の第 2 出力端（＝差動電流信

号INの出力端)に接続されている。抵抗222の第2端は、下側電流検出部210の第2出力端(=接地電圧PVSSの印加端)に接続されている。

[0048] なお、抵抗221の第1端から出力される正側の差動誤差信号(電圧信号)は、 $ERRP = IP \times R + SW$ と表すことができる。また、抵抗222の第1端から出力される負側の差動誤差信号(電圧信号)は、 $ERRN = IN \times R + PVSS$ (ただし $IN = -IP$)と表すことができる。

[0049] 従って、差動誤差信号ERRP及びERRNの差分信号は、 $ERRP - ERRN = 2IP \times R - ILL \times RonL$ と表される。ここで、右辺第1項($2IP \times R$)は、エラーアンプ140で取得された電圧帰還情報Vinfoとして理解することができる。また、右辺第2項($-ILL \times RonL$)は、下側電流検出部210で取得された電流帰還情報Iinfoとして理解することができる。従って、上記の差分信号($ERRP - ERRN$)は、電圧帰還情報Vinfoに電流帰還情報Iinfoを合成した合成帰還情報Vliinfoとして理解することができる。

[0050] 情報保持部230は、合成帰還情報Vliinfoの差動入力を受け付けており、同期整流トランジスタ112のオン期間にインダクタ電流ILの下側ピーク値をサンプリングするとともに、出力トランジスタ111のオン期間に差動保持信号HLDP及びHLDNをホールド出力するために、一対のサンプル／ホールド回路231及び232を含む。

[0051] サンプル／ホールド回路231は、制御回路180からのサンプル／ホールド制御信号HOLDに応じて、同期整流トランジスタ112のオン期間に差動誤差信号ERRPをサンプリングする一方、出力トランジスタ111のオン期間に差動保持信号HLDPをホールド出力する。

[0052] サンプル／ホールド回路232は、制御回路180からのサンプル／ホールド制御信号HOLDに応じて、同期整流トランジスタ112のオン期間に差動誤差信号ERRNをサンプリングする一方、出力トランジスタ111のオン期間に差動保持信号HLDNをホールド出力する。

[0053] PWMコンパレータ170は、出力トランジスタ111のオン期間におい

て、反転入力端（－）に入力されるランプ信号 RAMP（より正確には、ランプ信号 RAMP が足し合わされた差動保持信号 HLDN）と、非反転入力端（＋）に入力される差動保持信号 HLD P とを比較してオフ信号 OFF を生成することにより、出力トランジスタ 111 のオフタイミングを決定する。

[0054] 本実施形態のスイッチング電源 100 であれば、電流モード制御方式の出力帰還制御を実現することができるので、出力電圧 VOUT の負荷応答性を高めることが可能となる。

[0055] 特に、出力トランジスタ 111 に流れるインダクタ電流 IL（以下では上側インダクタ電流 ILH と呼ぶ）ではなく、同期整流トランジスタ 112 に流れる下側インダクタ電流 ILL を検出する構成であれば、出力トランジスタ 111 のオン期間が短くなる場合（例えば高電圧入力時または低電圧出力時）であっても、電流モード制御方式の出力帰還制御を支障なく実施することが可能となる。

[0056] なお、下側インダクタ電流 ILL に応じた電流帰還情報 Iinfo を用いて電流モード制御方式の出力帰還制御を行うためには、同期整流トランジスタ 112 のオン期間（＝出力トランジスタ 111 のオフ期間）に取得された電流帰還情報 Iinfo を保持しておくための情報保持部 230（サンプル／ホールド回路 231 及び 232）が必須となる。

[0057] ここで、情報保持部 230 は、情報合成部 220 と PWM コンパレータ 170 との間に設けられており、電圧帰還情報 Vinfo に電流帰還情報 Iinfo を合成して得られた合成帰還情報 V Iinfo を保持する。

[0058] このような構成であれば、情報保持部 230 のホールド出力期間において、情報保持部 230 の前段にノイズが重畳しても、PWM コンパレータ 170 での信号比較処理には、何ら影響が及ばない。従って、安定したデューティ制御を実現することが可能となる。

[0059] また、電圧帰還情報 Vinfo と電流帰還情報 Iinfo を加算後にサンプル／ホールドすることにより、電圧帰還情報 Vinfo と電流帰還情報 I

infoとの間の時間的な齟齬を防止し、スイッチング電源100の性能を向上することが可能となる。

[0060] <第2実施形態>

図3は、スイッチング電源100の第2実施形態を示す図である。本実施形態のスイッチング電源100は、先出の基本構成(図1)または第1実施形態(図2)を基本としつつ、積分要素(寄生素子を除く)を持たないエラーアンプ140の入力誤差 V_{ofs} ($=FB-REF$)を検出してエラーアンプ140の入力信号(=帰還電圧 FB と基準電圧 REF の少なくとも一方)を補正する誤差補正部240をさらに有する。なお、誤差補正部240は、コンパレータ241とデジタル較正部242を含む。

[0061] コンパレータ241は、エラーアンプ140の入力誤差 V_{ofs} ($=FB-REF$)を検出する手段であり、非反転入力端(+)に入力される帰還電圧 FB と反転入力端(-)に入力される基準電圧 REF とを比較して入力誤差検出信号 $S11$ を生成する。なお、入力誤差検出信号 $S11$ は、 $FB>REF$ (すなわち $V_{ofs}>0$)であるときにハイレベルとなり、 $FB<REF$ (すなわち $V_{ofs}<0$)であるときにローレベルとなる。

[0062] 制御回路180は、入力誤差検出信号 $S11$ に基づいて、入力誤差 V_{ofs} が小さくなるように、デジタル較正信号 $S12$ を生成する。例えば、入力誤差検出信号 $S11$ がハイレベルであるときには、帰還電圧 FB を引き下げるか、基準電圧 REF を引き上げるか、若しくは、その両方を行うように、デジタル較正信号 $S12$ を生成すればよい。逆に、入力誤差検出信号 $S11$ がローレベルであるときには、帰還電圧 FB を引き上げるか、基準電圧 REF を引き下げるか、若しくは、その両方を行うように、デジタル較正信号 $S12$ を生成すればよい。

[0063] デジタル較正部242は、デジタル較正信号 $S12$ に応じて、帰還電圧 FB 及び基準電圧 REF の少なくとも一方を補正する。なお、デジタル較正部242としては、DACなどが好適に用いられる。また、入力誤差検出信号 $S11$ をデジタル較正部242に直接入力し、その内部でデジタル較正信号

S 1 2 を生成する構成としてもよい。その場合には、制御回路 1 8 0 を要することなく、誤差補正部 2 4 0 だけで入力誤差 V_{ofs} の補正処理を完結することができる。

[0064] 次に、誤差補正部 2 4 0 の導入意義について詳細に説明する。

[0065] 一般的なエラーアンプは、積分要素となる位相補償用のキャパシタ（例えば数十 p F）を持ち、その充放電を行うことで誤差信号を生成する。そのため、発振を生じ難い反面、信号帯域に制限が掛かるので、電圧帰還制御ループの高速化には不向きである。一方、エラーアンプから積分要素を排除すると、電圧帰還制御ループの高速化を実現できるが、背反として、エラーアンプの入力誤差をキャンセルし難くなる。

[0066] そこで、本実施形態のスイッチング電源 1 0 0 では、積分要素を持たないエラーアンプ 1 4 0 を用いて電圧帰還制御ループの高速化（数十 k H z → 数 M H z）を図る一方、エラーアンプ 1 4 0 とは別に、エラーアンプ 1 4 0 の入力誤差 V_{ofs} を補正するための誤差補正部 2 4 0 が導入されている。

[0067] このように、高速電圧帰還と誤差補正を並列化することにより、それぞれの設計パラメータを分離することができるので、電圧帰還制御ループの高速化と高精度化を両立することが可能となる。また、一般的なエラーアンプと異なり、位相補償用のキャパシタを必要としないので、チップ面積の縮小及びピン数の削減を図ることも可能となる。

[0068] <第 3 実施形態>

図 4 は、スイッチング電源 1 0 0 の第 3 実施形態を示す図である。本実施形態のスイッチング電源 1 0 0 は、先出の第 2 実施形態（図 3）と同じく、誤差補正部 2 4 0 を備えているが、その回路構成が異なっている。

[0069] より具体的に述べると、本実施形態の誤差補正部 2 4 0 は、先出のコンパレータ 2 4 1 と共に、デジタル較正部 2 4 6 と誤差補正アンプ 2 4 7 を含み、エラーアンプ 1 4 0 の入力誤差 V_{ofs} を検出してエラーアンプ 1 4 0 の出力信号（＝差動誤差信号 E_{RRP} 及び E_{RRN} ）を補正する。

[0070] デジタル較正部 2 4 6（例えば D A C）は、デジタル較正信号 S 1 2 に応

じて、基準電圧 $R E F$ から誤差補正アンプ 247 への差動入力信号を生成する。

[0071] 誤差補正アンプ 247 は、デジタル較正部 246 からの差動入力信号に応じた補正電流 $I_{a d j P}$ 及び $I_{a d j N}$ を生成し、これをエラーアンプ 140 の差動電流信号 I_P 及び I_N に足し合わせる。

[0072] なお、エラーアンプ 140 は、出力電圧 $V O U T$ の変化を高速に伝達する $A C$ パス（高速パス）としての役割を持つ。そのため、エラーアンプ 140 は、コンデンサレスかつスピード重視で設計されている。より端的に述べると、エラーアンプ 140 は、誤差補正アンプ 247 よりも高速であると言える。

[0073] 一方、デジタル較正部 246 と誤差補正アンプ 247 は、出力電圧 $V O U T$ の精度を決定する $D C$ パス（低速パス）としての役割を持つ。そのため、誤差補正アンプ 247 は、前段のデジタル較正部 246 と共に、省電力かつ精度重視で設計されている。より端的に述べると、誤差補正アンプ 247 は、エラーアンプ 140 よりも高精度であると言える。

[0074] このように、エラーアンプ 140 の入力信号を補正するのではなく、エラーアンプ 140 の出力信号を補正する構成であっても、電圧帰還制御ループの高速化と高精度化を両立することが可能である。

[0075] <第4実施形態>

図5は、スイッチング電源100の第4実施形態を示す図である。本実施形態のスイッチング電源100は、先の第2実施形態（図3）及び第3実施形態（図4）と同じく、誤差補正部240を備えているが、その回路構成が異なっている。

[0076] より具体的に述べると、本実施形態の誤差補正部240は、誤差補正アンプ243と、キャパシタ244と、抵抗245を含み、エラーアンプ140の入力誤差 $V o f s$ を検出して補正電流 $I_{a d j}$ （＝第1誤差信号に相当）を生成し、これを用いてエラーアンプ140から出力される誤差信号 $E R R O$ （＝第2誤差信号に相当）を補正する。

- [0077] なお、本実施形態では、説明を簡単とするために、エラーアンプ140をシングル出力型としているが、先の第2実施形態（図3）及び第3実施形態（図4）に倣い、エラーアンプ140を差動出力型としても構わない。
- [0078] 誤差補正アンプ243は、反転入力端（－）に印加される帰還電圧 $F B$ と非反転入力端（＋）に印加される基準電圧 $R E F$ との差分（＝入力誤差 $V o f s$ ）に応じた補正電流 $I a d j$ を生成する。なお、 $F B < R E F$ （すなわち $V o f s > 0$ ）であるときには、両者の差分が大きいほど補正電流 $I a d j$ が正方向（＝誤差補正アンプ243の出力端から抵抗245を介してエラーアンプ140の出力端に向かう方向）に大きくなる。一方、 $F B > R E F$ （すなわち $V o f s < 0$ ）であるときには、両者の差分が大きいほど補正電流 $I a d j$ が負方向（＝エラーアンプ140の出力端から抵抗245を介して誤差補正アンプ243の出力端に向かう方向）に大きくなる。
- [0079] ただし、誤差補正アンプ243は、あくまで、入力誤差 $V o f s$ の補正手段としてエラーアンプ140に並列接続されており、その電流能力は、エラーアンプ140の電流能力よりも十分に小さく抑えられている（例えば数 μA ）。また、誤差補正アンプ243の出力端には、小容量（例えば数 $p F$ ）のキャパシタ244が接続されている。すなわち、誤差補正アンプ243は、積分要素を持ち、エラーアンプ140よりも低速かつ高精度な電流出力型アンプであると言える。
- [0080] 抵抗245（抵抗値： $R a d j$ ）は、エラーアンプ140の出力端と誤差補正アンプ243の出力端との間に接続されており、その両端間電圧を補正電圧 $V a d j$ （＝ $I a d j \times R a d j$ ）として誤差信号 $E R R$ に足し合わせることで、補正済みの誤差信号 $E R R$ （＝ $E R R 0 + V a d j$ ）を生成するための加算器として機能する。
- [0081] 例えば、 $F B < R E F$ であるときには、正方向の補正電流 $I a d j$ が流れるので、誤差信号 $E R R 0$ が補正電圧 $V a d j$ だけ引き上げられる。その結果、補正済みの誤差信号 $E R R$ が上昇した分だけ、出力トランジスタ111のオフタイミングが遅れるので、出力電圧 $V O U T$ （延いては帰還電圧 $F B$

）が上昇し、入力誤差 V_{ofs} が減少する。

[0082] 一方、 $FB > REF$ であるときには、負方向の補正電流 I_{adj} が流れるので、誤差信号 ERR が補正電圧 V_{adj} だけ引き下げられる。その結果、補正済みの誤差信号 ERR が低下した分だけ、出力トランジスタ 111 のオフタイミングが早まるので、出力電圧 V_{OUT} （延いては帰還電圧 FB ）が低下し、入力誤差 V_{ofs} が減少する。

[0083] このように、エラーアンプ 140 に対して低速かつ高精度な誤差補正アンプ 243 を並列に接続することにより、先の第 2 実施形態及び第 3 実施形態と同じく、電圧帰還制御ループの高速化と高精度化を両立することが可能となる。

[0084] <第 5 実施形態>

図 6 は、スイッチング電源 100 の第 5 実施形態を示す図である。本実施形態のスイッチング電源 100 は、先の第 2 実施形態（図 3）、第 3 実施形態（図 4）、第 4 実施形態（図 5）と同じく、誤差補正部 240 を備えているが、その回路構成が異なっている。

[0085] より具体的に述べると、本実施形態の誤差補正部 240 は、先の第 3 実施形態（図 4）を基本としつつ、コンパレータ 241 及びデジタル較正部 246 に代えて、第 4 実施形態（図 5）の誤差補正アンプ 243 及びキャパシタ 244 を含む。

[0086] 誤差補正アンプ 243 は、その出力端に小容量（例えば数 pF）のキャパシタ 244 が接続された電流出力型アンプである。なお、キャパシタ 244 に充電された誤差電圧 V_c は、 $FB < REF$ （すなわち $V_{ofs} > 0$ ）であるときに上昇し、 $FB > REF$ （すなわち $V_{ofs} < 0$ ）であるときに低下する。このように、誤差補正アンプ 243 及びキャパシタ 244 は、入力誤差 V_{ofs} を積分して誤差電圧 V_c を生成する積分器に相当する。

[0087] 誤差補正アンプ 247 は、非反転入力端（+）に入力される誤差電圧 V_c と、反転入力端（-）に入力される基準電圧 REF との差分値に応じた補正電流 I_{adjP} 及び I_{adjN} を生成し、これをエラーアンプ 140 の差動

電流信号 I_P 及び I_N に足し合わせる。

[0088] なお、エラーアンプ 140 は、先にも述べたように、出力電圧 V_{OUT} の変化を高速に伝達する AC パス（高速パス）としての役割を持つ。そのため、エラーアンプ 140 は、コンデンサレスかつスピード重視で設計されている。より端的に述べると、エラーアンプ 140 は、誤差補正アンプ 247 よりも高速であると言える。

[0089] 一方、誤差補正アンプ 247 とその前段に接続される積分器（＝誤差補正アンプ 243 及びキャパシタ 244）は、出力電圧 V_{OUT} の精度を決定する DC パス（低速パス）としての役割を持つ。そのため、誤差補正アンプ 247 は、その前段の積分器と共に、省電力かつ精度重視で設計されている。より端的に述べると、誤差補正アンプ 247 は、エラーアンプ 140 よりも高精度であると言える。

[0090] 本構成を採用することにより、先の第 2 実施形態、第 3 実施形態、ないしは、第 4 実施形態と同じく、電圧帰還制御ループの高速化と高精度化を両立することが可能となる。

[0091] 特に、スイッチング電源 100 に軽負荷モード（＝軽負荷時にスイッチング動作を一時停止して消費電力を低減する省電力モード）が実装される場合には、積分要素を持たないエラーアンプ 140 を用いて高速な出力帰還制御を実現することにより、軽負荷モードからの復帰時における過渡応答特性を高くしておくことが重要となる。

[0092] ただし、本実施形態のスイッチング電源 100 では、スイッチング動作が一時停止される軽負荷モードにおいて、上記の積分器で誤差電圧 V_c を保持しておくことができない。そのため、軽負荷モードからの復帰時に誤差補正アンプ 247 が誤動作を生じ得る。

[0093] このような不具合を回避するためには、例えば、軽負荷モードでも誤差電圧 V_c が所定の下限值を下回らないように制限するクランパ（不図示）を積分器の後段に設けておくといよい。また、もちろん、先の第 2 実施形態（図 3）及び第 3 実施形態（図 4）を採用し、デジタル較正部 246 を用いて電圧

情報を保持してもよい。

[0094] <高速化と高精度化の両立>

図7は、単一のエラーアンプ140を用いて高速化と高精度化を両立することが難しい理由を説明するための図である。なお、以下では、エラーアンプ140のトランスコンダクタンスが g_m であるものとして説明する。

[0095] 本図で示したように、エラーアンプ140の出力端には、一般に、位相補償用の抵抗 R_c 及び C_c が接続されているほか、寄生素子として抵抗 R_o 及びキャパシタ C_p が付随している。そのため、例えば、エラーアンプ140の伝達関数が2つの極（第1ポールと第2ポール）と1つのゼロ点を含む場合には、第1ポールが g_m 、 R_o 及び C_c に応じて決まり、第2ポールが g_m 、 R_c 及び C_p に応じて決まり、ゼロ点が g_m 、 R_c 及び C_c に応じて決まる。

[0096] このように、2つの極と1つのゼロ点は、それぞれの関係が独立していない。また、半導体集積回路装置200では、内部パラメータ（ g_m 、 R_c 、 C_c など）の設定値に制約がある。そのため、単一のエラーアンプ140を用いて2つの極と1つのゼロ点を狙い通りに設定することは困難である。

[0097] 例えば、エラーアンプ140の精度を高めるために、エラーアンプ140の素子サイズを大型化すると、寄生のキャパシタ C_p も大きくなるので、エラーアンプ140の応答速度が低下してしまう。一方、エラーアンプ140の応答速度を高めるためには、できるだけ寄生のキャパシタ C_p が付随しないように、エラーアンプ140の素子サイズを小型化しなければならないので、エラーアンプ140の精度が犠牲となる。

[0098] 以下では、上記の考察に鑑み、高速化と高精度化を両立することのできる出力帰還制御回路について提案する。

[0099] <第6実施形態>

図8は、スイッチング電源100の第6実施形態を示す図である。本実施形態のスイッチング電源100は、出力帰還制御回路の構成要素として、単一のエラーアンプ140ではなく、第1経路（DCパス／低速パス）を形成

する第1信号処理部（例えばエラーアンプ140a）と、第2経路（ACパス／高速パス）を形成する第2信号処理部（例えばエラーアンプ140b）と、を有する。すなわち、本実施形態のスイッチング電源100では、先出のエラーアンプ140が2つに分離されている。なお、以下では、エラーアンプ140a及び140bそれぞれのトランスコンダクタンスが g_{m1} 及び g_{m2} （ただし $g_{m1} \neq g_{m2}$ ）であるものとして説明する。

[0100] エラーアンプ140aは、出力電圧 V_{OUT} の精度を決定するDCパス（低速パス）としての役割を持つ。そのため、エラーアンプ140aは、省電力かつ精度重視（高ゲインかつ低オフセット重視）で設計されている。より端的に述べると、エラーアンプ140aは、エラーアンプ140bよりも高精度であると言える。

[0101] なお、エラーアンプ140aの出力端には、位相補償用のキャパシタ C_c が接続されている。従って、 $C_c \gg C_p$ であれば、寄生のキャパシタ C_p を無視することができる。また、エラーアンプ140aの出力端には、寄生素子として抵抗 R_o が付随している。その結果、第1ポールが g_{m1} 、 R_o 及び C_c に応じて決まる。

[0102] これに対して、エラーアンプ140bは、出力電圧 V_{OUT} の変化を高速に伝達するACパス（高速パス）としての役割を持つ。そのため、エラーアンプ140bは、コンデンサレスかつスピード重視で設計されている。より端的に述べると、エラーアンプ140bは、エラーアンプ140aよりも高速であると言える。

[0103] なお、エラーアンプ140bの出力端には、位相補償用の抵抗 R_c が接続されている。従って、 $R_c \ll R_o$ であれば、寄生の抵抗 R_o を無視することができる。また、エラーアンプ140bの出力端には、寄生素子としてキャパシタ C_p が付随している。逆に言うと、エラーアンプ140bの出力端には、寄生素子以外のキャパシタ（例えば、位相補償用のキャパシタ C_c ）が接続されていない。すなわち、エラーアンプ140bは、積分要素を持たない。従って、第2ポールが g_{m2} 、 R_c 及び C_p に応じて決まる。

[0104] このように、低速パスを形成するエラーアンプ140aと、高速パスを形成するエラーアンプ140bを個別に用意することにより、それぞれのトランスコンダクタンス g_{m1} 及び g_{m2} を互いに独立して任意に設定することができる。その結果、伝達関数の調整範囲が広がるので、電圧帰還制御ループの高速化と高精度化を両立することが可能となる。

[0105] 図9は、第6実施形態における周波数－ゲイン特性を示す図である。本図で示したように、低域ゲインは、低速パスを形成するエラーアンプ140aを用いて決定することができる。例えば、低域ゲインを引き上げるためには、トランスコンダクタンス g_{m1} を小さくしたり、キャパシタ C_c の容量値を大きくしたりすればよい。

[0106] 一方、高域ゲインは、高速パスを形成するエラーアンプ140bを用いて決定することができる。例えば、高域ゲインを引き上げるためには、トランスコンダクタンス g_{m2} を大きくしたり、抵抗 R_c の抵抗値を高くしたりすればよい。

[0107] <第7実施形態>

図10は、スイッチング電源100の第7実施形態を示す図である。本実施形態のスイッチング電源100は、先出の第6実施形態（図8）を基本としつつ、エラーアンプ140a及び140b、並びに、位相補償用の抵抗 R_c 及びキャパシタ C_c に加えて、バッファ141と演算器142（本図の例では加算器）を含む。

[0108] エラーアンプ140aは、反転入力端（－）に入力される帰還電圧 F_B と、非反転入力端（＋）に入力される基準電圧 R_{EF} との差分に応じた誤差信号 E_{RR1} を出力する。なお、先出の第3実施形態（図4）に倣い、エラーアンプ140aの入力端には、入力誤差 V_{ofs} を補正するデジタル較正部246を接続してもよい。その場合、キャパシタ C_c は省略することも可能である。

[0109] エラーアンプ140bは、反転入力端（－）に入力される帰還電圧 F_B と、非反転入力端（＋）に入力される基準電圧 R_{EF} との差分に応じた誤差信

号ERR2を出力する。

[0110] バッファ141は、エラーアンプ140aの出力端と演算器142との間に設けられており、エラーアンプ140aで生成された誤差信号ERR1を演算器142に出力する。

[0111] 演算器142は、誤差信号ERR1及びERR2を足し合わせて誤差信号ERRを生成し、これを後段のPWMコンパレータ170（不図示）に出力する。

[0112] このように、低速パスを形成するエラーアンプ140aと、高速パスを形成するエラーアンプ140bを個別に用意し、双方で生成される誤差信号ERR1及びERR2の加減算を行うことにより、電圧帰還制御ループの高速化と高精度化を両立することができる。

[0113] <第8実施形態>

図11は、スイッチング電源100の第8実施形態を示す図である。本実施形態のスイッチング電源100は、先出の第6実施形態（図8）を基本としつつ、エラーアンプ140a及び140b相互間の接続関係に工夫が凝らされている。

[0114] エラーアンプ140aは、反転入力端（-）に入力される帰還電圧FBと、非反転入力端（+）に入力される基準電圧REFとの差分に応じた誤差信号ERR1を出力する。なお、先出の第3実施形態（図4）に倣い、エラーアンプ140aの入力端には、入力誤差Vofsを補正するデジタル較正部246を接続してもよい。その場合、キャパシタCcは省略することも可能である。

[0115] エラーアンプ140bは、反転入力端（-）に入力される帰還電圧FBと、非反転入力端（+）に入力される誤差信号ERR1との差分に応じた誤差信号ERR2を生成して、これを誤差信号ERRとして後段のPWMコンパレータ170（不図示）に出力する。

[0116] 本実施形態のスイッチング電源100であれば、先出の第7実施形態（図10）と異なり、バッファ141及び演算器142を要することなく、電圧

帰還制御ループの高速化と高精度化を両立することができる。

[0117] なお、改めて図示はしないが、帰還電圧FB及び基準電圧REFそれぞれの入力端を互いに入れ替えるとともに、エラーアンプ140bの入力極性を正負反転させても、上記と同様の作用効果を享受することが可能である。

[0118] <第9実施形態>

図12は、スイッチング電源100の第9実施形態を示す図である。本実施形態のスイッチング電源100は、先出の第8実施形態（図11）を基本としつつ、エラーアンプ140bの後段に続く構成要素として、スイッチング出力回路110、PWMコンパレータ170、制御回路180、下側電流検出部210、情報合成部220、及び、オン時間設定部250が描写されている。なお、既出の構成要素については、基本的に、図1、図2及び図11と同一の符号を付すことで重複した説明を省略し、以下では、本実施形態の特徴部分について重点的に詳述する。

[0119] 下側電流検出部210は、同期整流トランジスタ112に流れる下側インダクタ電流ILLを検出して電流帰還情報Iinfoを取得する。

[0120] 情報合成部220は、エラーアンプ140bから出力される電圧帰還情報Vinfoに下側電流検出部210で取得された電流帰還情報Iinfoを合成して合成帰還情報Vlinfo（＝差動誤差信号ERRP及びERRN）を生成する。

[0121] PWMコンパレータ170は、非反転入力端（＋）に入力される差動誤差信号ERRPと、反転入力端（－）に入力される差動誤差信号ERRNとを比較することにより、セット信号SETを生成する。

[0122] オン時間設定部250は、セット信号SETのパルス生成タイミングから所定のオン時間が経過した時点で、リセット信号RSTにパルスを生成する。

[0123] 制御回路180は、セット信号SETのパルス生成タイミングでスイッチ電圧SWをハイレベルにセットし、リセット信号RSTのパルス生成タイミングでスイッチ電圧SWをローレベルにリセットするように、上側制御信号

S 1 と下側制御信号 S 2 を生成する。

[0124] 本実施形態のスイッチング電源 100 であれば、エラーアンプ 140 a 及び 140 b を含む出力帰還制御回路を用いて、誤差信号 $ERR (= ERRP - ERRN)$ が小さくなるように、オン時間固定方式でスイッチング出力回路 110 を駆動することができる。

[0125] 特に、電圧帰還情報 $Vinfo$ だけでなく、電流帰還情報 $Iinfo$ を加味した出力帰還制御を行うことにより、帰還電圧 FB に重畳するリップル成分が小さい場合（例えば、キャパシタ 114 として低 ESR [equivalent series resistance] のセラミックキャパシタを用いる場合）であっても、安定した出力帰還制御を実現することが可能となる。

[0126] <リモートセンス機能の導入>

図 13 は、リモートセンス機能の導入例を示す図である。本構成例のスイッチング電源 100 は、先出の図 1 を基本としつつ、出力電圧 $VOUT$ が供給される負荷 RL の接地端からリモートセンス信号 $RSND$ の入力を受け付ける外部端子（リモートセンス端子 T5）を有している。なお、リモートセンス信号 $RSND$ は、例えば、エラーアンプ 140 に入力するとよい（詳細は後述）。

[0127] 一般に、負荷 RL の接地端に接続される配線パターンは、低インピーダンス（例えば $10\text{ m}\Omega$ ）に設計されている。しかしながら、負荷 RL に大きな出力電流 $IOUT$ （例えば 1 A ）が流れると、負荷 RL の接地端に無視することのできない電位変動（例えば 10 mV ）が生じる。例えば、出力電圧 $VOUT$ の目標値が 1 V であると仮定すると、上記の電位変動は 1% の出力誤差に相当する。

[0128] そこで、本構成例のスイッチング電源 100 は、上記の電位変動を補正して出力電圧 $VOUT$ を高精度化すべく、リモートセンス信号 $RSND$ の帰還入力を受け付けている。以下、リモートセンス信号 $RSND$ の帰還方式に関する新規な実施形態を提案する。

[0129] <第 10 実施形態>

図14は、スイッチング電源100の第10実施形態を示す図である。本実施形態のスイッチング電源100は、先出の第8実施形態（図11）を基本としつつ、リモートセンス信号RSGNDの帰還入力を受け付ける手段として、アンプ143と演算器144をさらに有する。

[0130] アンプ143は、リモートセンス信号RSGNDを増幅して演算器144に出力する。

[0131] 演算器144は、帰還電圧FBにリモートセンス信号RSGNDを重ね（加算）して、エラーアンプ140a及び140bにそれぞれ出力する。

[0132] このように、リモートセンス信号RSGNDの帰還入力を受け付ける構成であれば、リモートセンス信号RSGNDの変動（延いては負荷RLの接地端における電位変動）が抑制されるように出力帰還制御を行うことができるので、出力電圧VOUTを高精度化することが可能となる。

[0133] 図15は、第10実施形態における周波数－ゲイン特性を示す図である。なお、スイッチング電源100（特に電圧帰還制御ループ）の周波数－ゲイン特性L1は、実線で示されており、アンプ143に求められる周波数－ゲイン特性L2は、破線で示されている。

[0134] 本図で示すように、アンプ143には、スイッチング電源100の周波数－ゲイン特性L1に影響を及ぼすことがないように、十分な帯域を確保することが求められる。すなわち、スイッチング電源100の応答速度が高められる（周波数f1が高域側にシフトされる）ほど、アンプ143も高速化する（周波数f2を高域側にシフトする）必要がある。

[0135] 特に、低速パス（＝エラーアンプ140a）と高速パス（＝エラーアンプ140b）を個別に有するスイッチング電源100では、出力精度を犠牲にすることなく、その応答速度を飛躍的に高めることができる。そのため、スイッチング電源100の応答速度向上に追従して、アンプ143を高速化することが非常に困難となってくる。

[0136] 以下では、上記の問題点に鑑み、アンプ143を用いることなく、リモートセンス信号RSGNDの帰還入力を受け付けることのできる新規な実施形

態を提案する。

[0137] <第11実施形態>

図16は、スイッチング電源100の第11実施形態を示す図である。本実施形態のスイッチング電源100は、先出の第8実施形態（図11）を基本としつつ、リモートセンス信号RSGNDの帰還入力を受け付ける手段として、演算器145をさらに有する。

[0138] 演算器145は、帰還電圧FBではなく、基準電圧REFにリモートセンス信号RSGNDを重畳（加算）してエラーアンプ140aに出力する。

[0139] また、先出のキャパシタCcは、エラーアンプ140aの出力端（＝誤差信号ERR1の印加端）とリモートセンス信号RSGNDの印加端との間に接続されている。

[0140] 図17は、第11実施形態における周波数－ゲイン特性を示す図である。なお、スイッチング電源100（特に電圧帰還制御ループ）の周波数－ゲイン特性L1は、実線で示されており、リモートセンス信号経路の周波数－ゲイン特性L3は、破線で示されている。

[0141] ところで、リモートセンス信号経路の周波数－ゲイン特性L3は、吹き出し枠で示したように、基準電圧REFにリモートセンス信号RSGNDを重畳する第1信号経路の周波数－ゲイン特性L3a（大破線）と、キャパシタCcにリモートセンス信号RSGNDを印加する第2信号経路の周波数－ゲイン特性L3bに分解して理解することができる。

[0142] なお、上記の第1信号経路（周波数－ゲイン特性L3a）を持つことにより、低速のエラーアンプ140aを介して低帯域をカバーすることができる。また、第2信号経路（周波数－ゲイン特性L3b）を持つことにより、低速のエラーアンプ140をバイパスして高帯域をカバーすることができる。

[0143] すなわち、本実施形態のスイッチング電源100であれば、上記の第1信号経路（周波数－ゲイン特性L3a）と第2信号経路（周波数－ゲイン特性L3b）を組み合わせることにより、全周波数帯域でフラットな周波数－ゲイン特性L3を実現することができる。従って、高速なアンプ143を用い

なくとも、スイッチング電源100の周波数－ゲイン特性L1に悪影響が及ぶことはない。

[0144] <第12実施形態>

図18は、スイッチング電源100の第12実施形態を示す図である。本実施形態のスイッチング電源100は、先出の第7実施形態（図10）を基本としつつ、リモートセンス信号RSGNDの帰還入力を受け付ける手段として、演算器145をさらに有する。

[0145] 演算器145は、基準電圧REFにリモートセンス信号RSGNDを重ね（加算）してエラーアンプ140aに出力する。

[0146] また、先出のキャパシタCcは、エラーアンプ140aの出力端（＝誤差信号ERR1の印加端）とリモートセンス信号RSGNDの印加端との間に接続されている。

[0147] すなわち、低速のエラーアンプ140aに着目すると、その入出力関係については、第11実施形態（図15）と同様であり、先と同様の作用効果を享受することができる。

[0148] <実施形態の組み合わせ>

なお、これまでに説明してきた種々の実施形態は、矛盾のない限り、任意に組み合わせることが可能である。

[0149] 例えば、第2実施形態（図3）、第3実施形態（図4）、第4実施形態（図5）、第5実施形態（図6）、第6実施形態（図8）、又は、第7実施形態（図10）で生成される誤差信号ERRを用いて、第9実施形態（図12）で例示したオン時間固定方式の出力帰還制御を行うことも可能である。

[0150] また、リモートセンス機能の導入については、例えば、第4実施形態（図5）又は第5実施形態（図6）における誤差補正アンプ243の入出力に対して、それぞれ、リモートセンス信号RSGNDを入力してもよい。具体的には、誤差補正アンプ243に入力される基準電圧REFにリモートセンス信号RSGNDを重ねるとともに、誤差補正アンプ243の出力端に接続されるキャパシタ244の一端にリモートセンス信号RSGNDを印加して

もよい。

[0151] <アプリケーション>

また、これまでに説明してきたスイッチング電源100は、様々なアプリケーションの電源手段として利用することができる。なお、アプリケーションの一例としては、図19のテレビX、図20のパソコンY、及び、図21のスマートフォンZを挙げることができる。もちろん、ここに挙げた以外のアプリケーションにもスイッチング電源100を適用し得ることは言うまでもない。

[0152] <総括>

以下では、これまでに説明してきた種々の実施形態について、総括的に述べる。

[0153] 例えば、本明細書中に開示されている出力帰還制御回路は、負荷に供給される出力電圧又はこれに応じた帰還電圧と所定の基準電圧との差分に応じた第1誤差信号を生成する第1アンプと、前記第1アンプよりも高速で前記出力電圧又は前記帰還電圧と前記第1誤差信号又は前記基準電圧との差分に応じた第2誤差信号を生成する第2アンプと、前記負荷の接地端から引き出されるリモートセンス信号を前記第1アンプに入力される前記基準電圧に重畳する演算器と、前記第1誤差信号の印加端と前記リモートセンス信号の印加端との間に接続されたキャパシタと、を含む構成（第1の構成）とされている。

[0154] なお、上記第1の構成から成る出力帰還制御回路において、前記第2アンプの出力端には、寄生素子以外のキャパシタが接続されていない構成（第2の構成）にしてもよい。

[0155] また、上記第1又は2の構成から成る出力帰還制御回路において、前記第2アンプの出力端には、抵抗が接続されている構成（第3の構成）にしてもよい。

[0156] また、第1～第3いずれかの構成から成る出力帰還制御回路において、前記第1アンプは、第1トランスコンダクタンスを持ち、前記第2アンプは、

前記第 1 トランスコンダクタンスとは異なる第 2 トランスコンダクタンスを持つ構成（第 4 の構成）にしてもよい。

[0157] また、上記第 1 ～第 4 いずれかの構成から成る出力帰還制御回路は、前記第 1 アンプを用いて低域ゲインを決定し、前記第 2 アンプを用いて高域ゲインを決定する構成（第 5 の構成）にしてもよい。

[0158] また、上記第 1 ～第 5 いずれかの構成から成る出力帰還制御回路において、前記第 2 アンプは、前記出力電圧又は前記帰還電圧と前記第 1 誤差信号との差分に応じて前記第 2 誤差信号を生成するものであり、前記第 2 誤差信号が誤差信号として出力される構成（第 6 の構成）にしてもよい。

[0159] また、上記第 1 ～第 5 いずれかの構成から成る出力帰還制御回路において、前記第 2 アンプは、前記出力電圧又は前記帰還電圧と前記基準電圧との差分に応じて前記第 2 誤差信号を生成するものであり、前記第 1 誤差信号と前記第 2 誤差信号との加減算信号が誤差信号として出力される構成（第 7 の構成）にしてもよい。

[0160] また、本明細書中に開示されているスイッチング電源は、入力電圧から出力電圧を生成して負荷に供給するスイッチング出力回路と、上記第 6 又は第 7 の構成から成り、前記出力電圧又はこれに応じた帰還電圧と前記負荷の接地端から引き出されるリモートセンス信号の入力を受け付けて前記スイッチング出力回路の出力帰還制御を行う出力帰還制御回路と、を有する構成（第 8 の構成）にしてもよい。

[0161] なお、上記第 8 の構成から成るスイッチング電源において、前記出力帰還制御回路は、前記誤差信号が小さくなるように周波数固定方式で前記スイッチング出力回路を駆動する構成（第 9 の構成）にしてもよい。

[0162] また、上記第 8 の構成から成るスイッチング電源において、前記出力帰還制御回路は、前記誤差信号が小さくなるようにオン時間固定方式で前記スイッチング出力回路を駆動する構成（第 10 の構成）にしてもよい。

[0163] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態の

ほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

[0164] 例えば、出力帰還制御回路が組み込まれるスイッチング電源は、スイッチング周波数 f_{sw} が固定である構成（図 1 など）としてもよいし、スイッチング周波数 f_{sw} が可変である構成（図 12 など）としてもよい。また、電流モード制御方式であるか電圧モード制御方式であるかも不問である。

[0165] また、エラーアンプの出力形式は、シングルまたは差動のいずれであっても構わない。

[0166] また、出力帰還制御回路の適用対象は、何らスイッチング電源に限らず、他形式の電源であってもよいし、電源以外のサーボ機構などであってもよい。

[0167] このように、本明細書中に開示されている種々の実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0168] 本明細書中に開示されている出力帰還制御回路は、出力電圧またはこれに応じた帰還電圧が所定の基準電圧と一致するように出力帰還制御を行う必要のあるスイッチング電源またはサーボ機構などに利用することが可能である。

符号の説明

[0169]	100	スイッチング電源
	110	スイッチング出力回路
	111	出力トランジスタ（PMOSFET）
	112	同期整流トランジスタ（NMOSFET）
	113	インダクタ
	114	キャパシタ
	120	帰還電圧生成回路

- 1 2 1、1 2 2 抵抗
- 1 3 0 基準電圧生成回路
- 1 4 0、1 4 0 a、1 4 0 b エラーアンプ
- 1 4 1 バッファ
- 1 4 2 演算器
- 1 4 3 アンプ
- 1 4 4、1 4 5 演算器
- 1 5 0 ランプ信号生成回路
- 1 6 0 オシレータ
- 1 7 0 PWMコンパレータ
- 1 8 0 制御回路
- 1 9 0 スイッチ駆動回路
- 1 9 1、1 9 2 ドライバ
- 2 0 0 半導体集積回路装置（電源制御装置）
- 2 1 0 下側電流検出部
- 2 1 1 スイッチ
- 2 1 2 抵抗
- 2 2 0 情報合成部
- 2 2 1、2 2 2 抵抗
- 2 3 0 情報保持部
- 2 3 1、2 3 2 サンプル／ホールド回路
- 2 4 0 誤差補正部
- 2 4 1 コンパレータ
- 2 4 2 デジタル較正部
- 2 4 3 誤差補正アンプ
- 2 4 4 キャパシタ
- 2 4 5 抵抗
- 2 4 6 デジタル較正部

247 誤差補正アンプ
250 オン時間設定部
Cc、Cp キャパシタ
Rc、Ro 抵抗
RL 負荷
T1、T2、T3、T4、T5 外部端子
X テレビ
Y パソコン
Z スマートフォン

請求の範囲

- [請求項1] 負荷に供給される出力電圧又はこれに応じた帰還電圧と所定の基準電圧との差分に応じた第1誤差信号を生成する第1アンプと、
前記第1アンプよりも高速で前記出力電圧又は前記帰還電圧と前記第1誤差信号又は前記基準電圧との差分に応じた第2誤差信号を生成する第2アンプと、
前記負荷の接地端から引き出されるリモートセンス信号を前記第1アンプに入力される前記基準電圧に重畳する演算器と、
前記第1誤差信号の印加端と前記リモートセンス信号の印加端との間に接続されたキャパシタと、
を含む、出力帰還制御回路。
- [請求項2] 前記第2アンプの出力端には、寄生素子以外のキャパシタが接続されていない、
請求項1に記載の出力帰還制御回路。
- [請求項3] 前記第2アンプの出力端には、抵抗が接続されている、
請求項1又は2に記載の出力帰還制御回路。
- [請求項4] 前記第1アンプは、第1トランスコンダクタンスを持ち、
前記第2アンプは、前記第1トランスコンダクタンスとは異なる第2トランスコンダクタンスを持つ、
請求項1～3のいずれか一項に記載の出力帰還制御回路。
- [請求項5] 前記第1アンプを用いて低域ゲインを決定し、
前記第2アンプを用いて高域ゲインを決定する、
請求項1～4のいずれか一項に記載の出力帰還制御回路。
- [請求項6] 前記第2アンプは、前記出力電圧又は前記帰還電圧と前記第1誤差信号との差分に応じて前記第2誤差信号を生成するものであり、
前記第2誤差信号が誤差信号として出力される、
請求項1～5のいずれか一項に記載の出力帰還制御回路。
- [請求項7] 前記第2アンプは、前記出力電圧又は前記帰還電圧と前記基準電圧

との差分に応じて前記第 2 誤差信号を生成するものであり、

前記第 1 誤差信号と前記第 2 誤差信号との加減算信号が誤差信号として出力される、

請求項 1 ～ 5 のいずれか一項に記載の出力帰還制御回路。

[請求項 8] 入力電圧から出力電圧を生成して負荷に供給するスイッチング出力回路と、

前記出力電圧又はこれに応じた帰還電圧と前記負荷の接地端から引き出されるリモートセンス信号の入力を受け付けて前記スイッチング出力回路の出力帰還制御を行う請求項 6 又は 7 に記載の出力帰還制御回路と、

を有する、スイッチング電源。

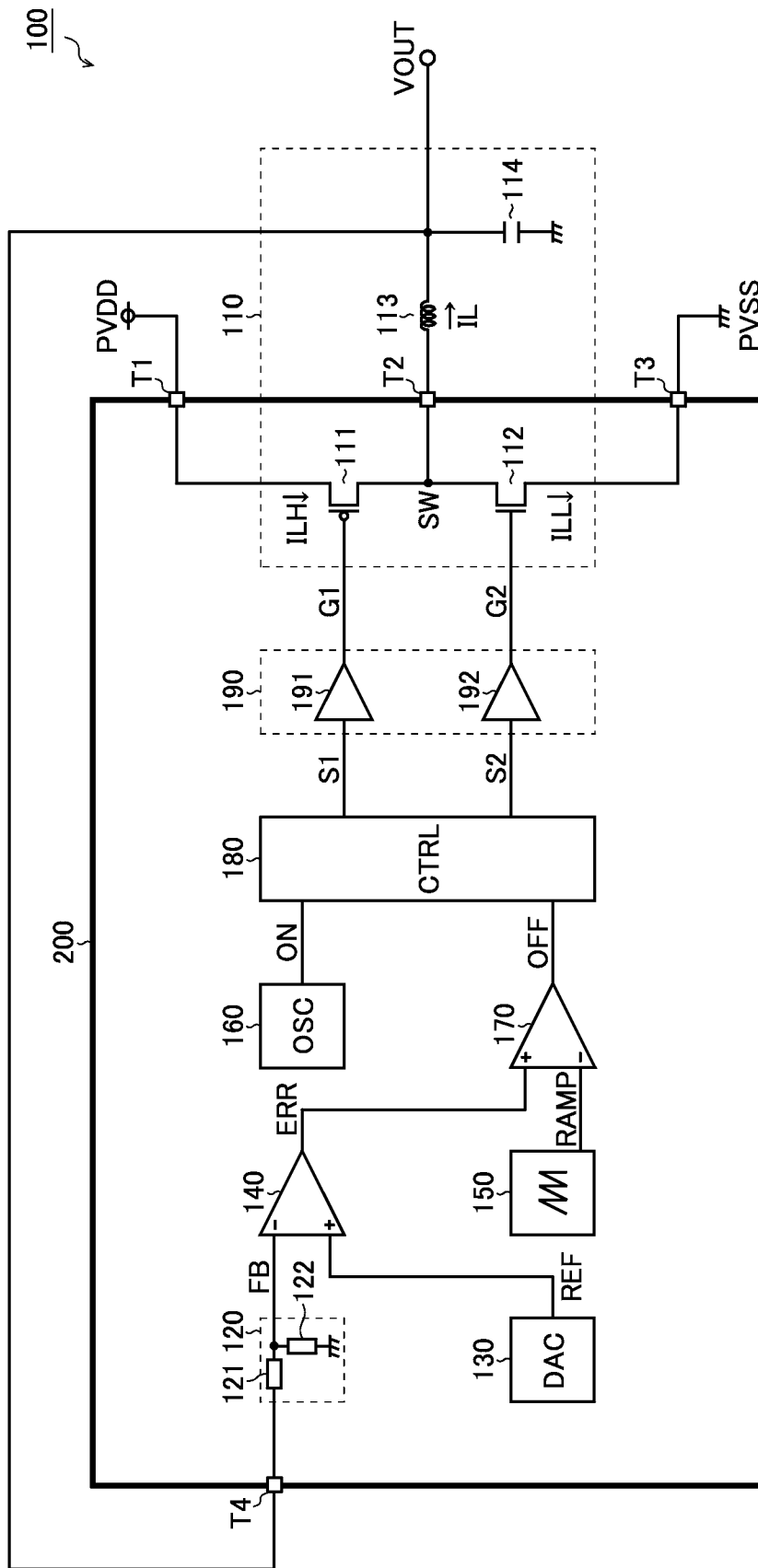
[請求項 9] 前記出力帰還制御回路は、前記誤差信号が小さくなるように周波数固定方式で前記スイッチング出力回路を駆動する、

請求項 8 に記載のスイッチング電源。

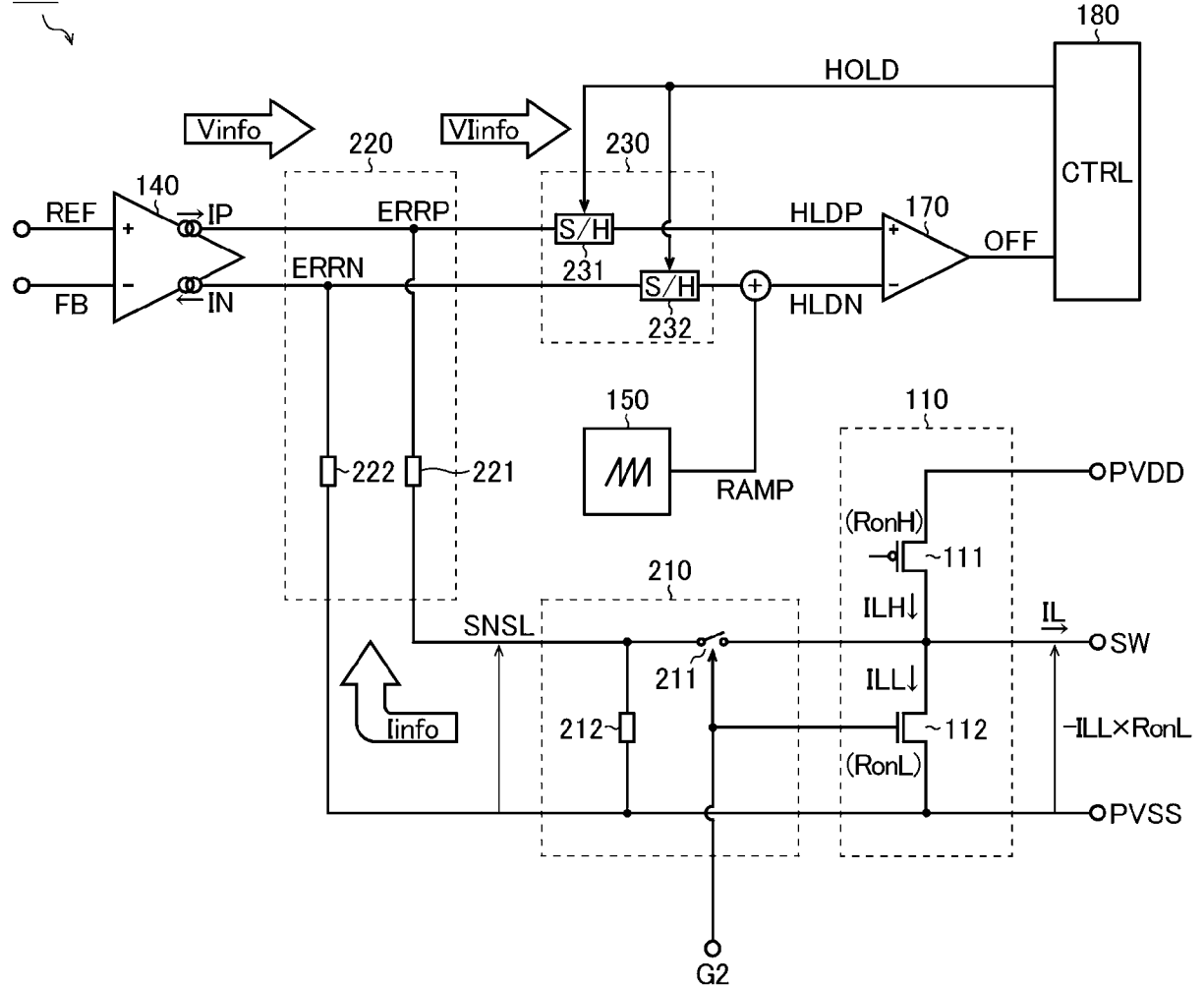
[請求項 10] 前記出力帰還制御回路は、前記誤差信号が小さくなるようにオン時間固定方式で前記スイッチング出力回路を駆動する、

請求項 8 に記載のスイッチング電源。

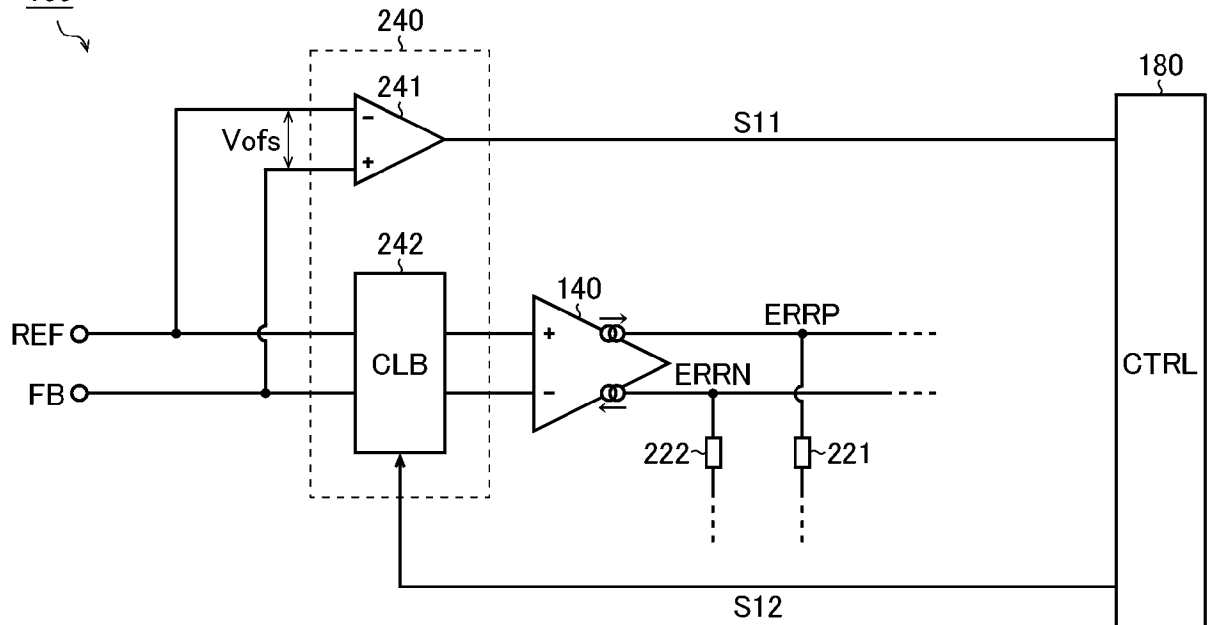
[図1]



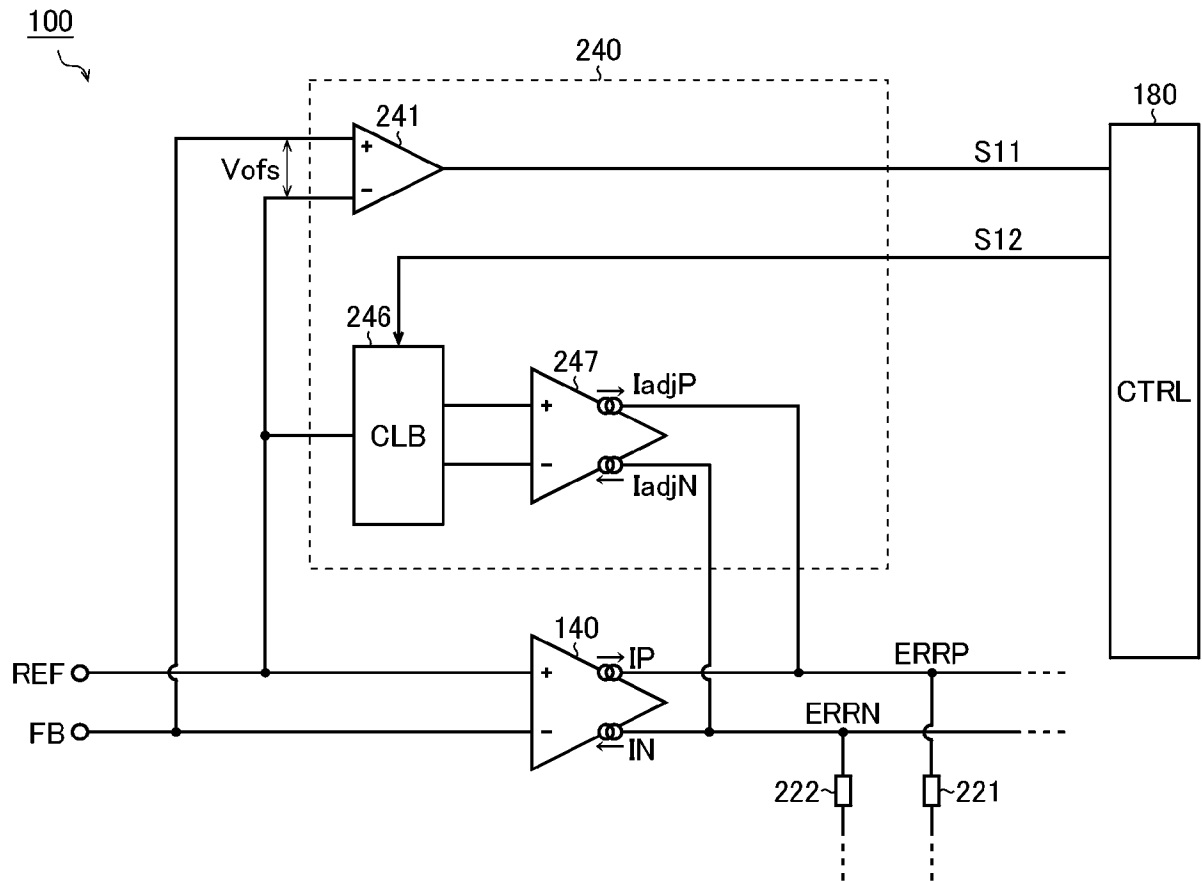
100



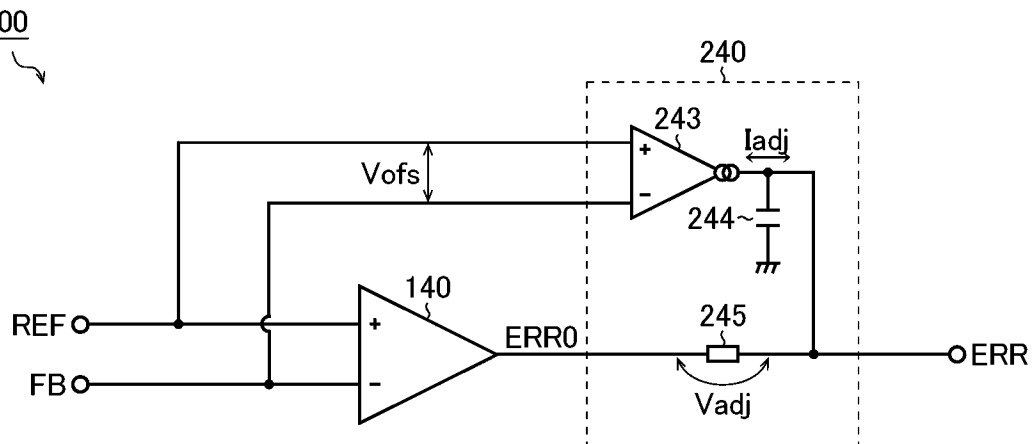
100



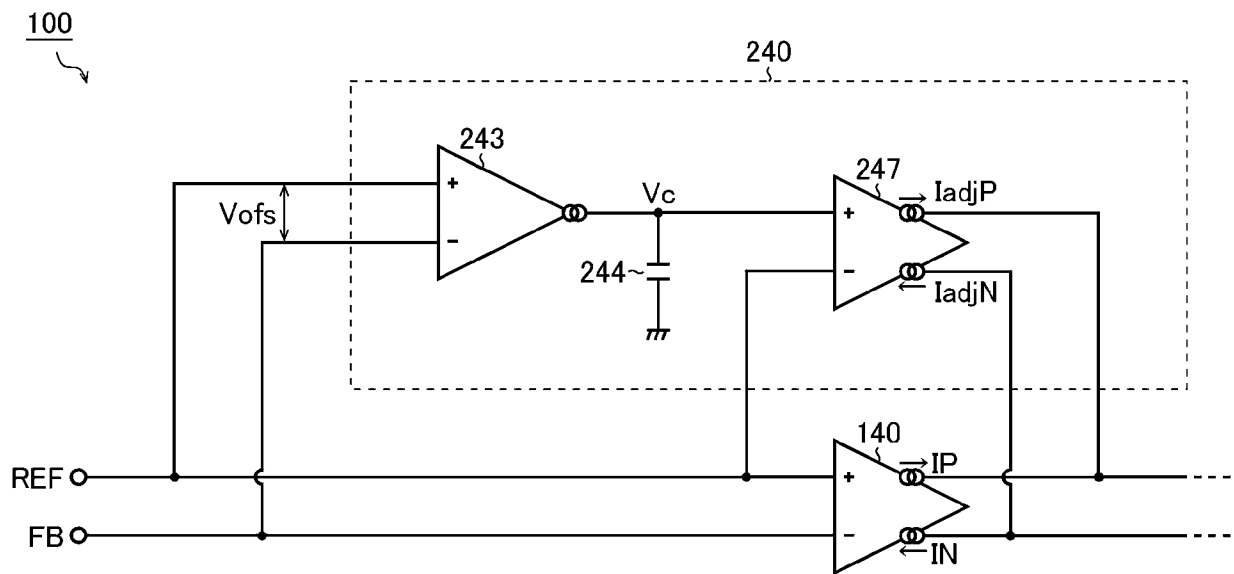
[図4]



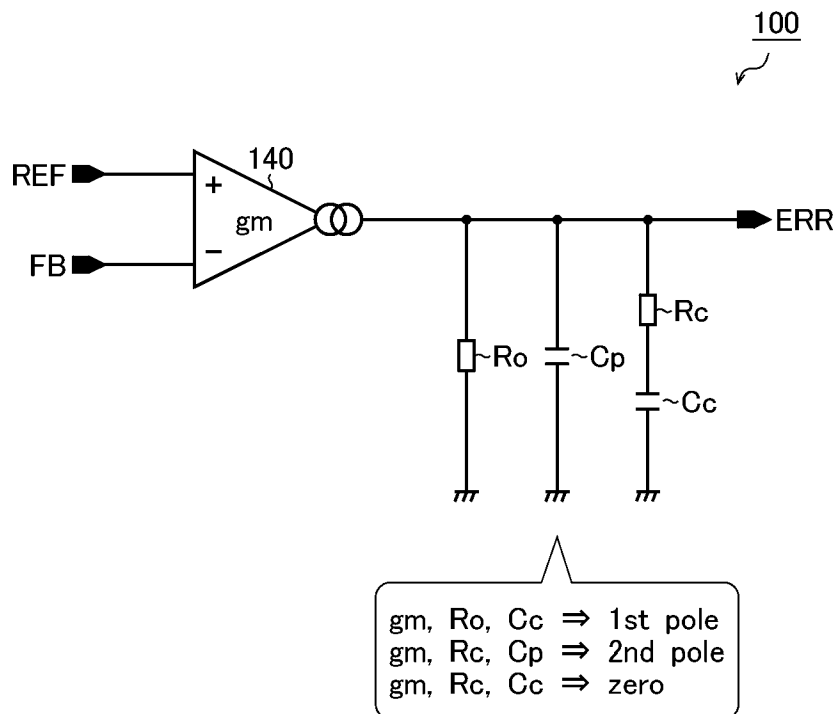
[図5]



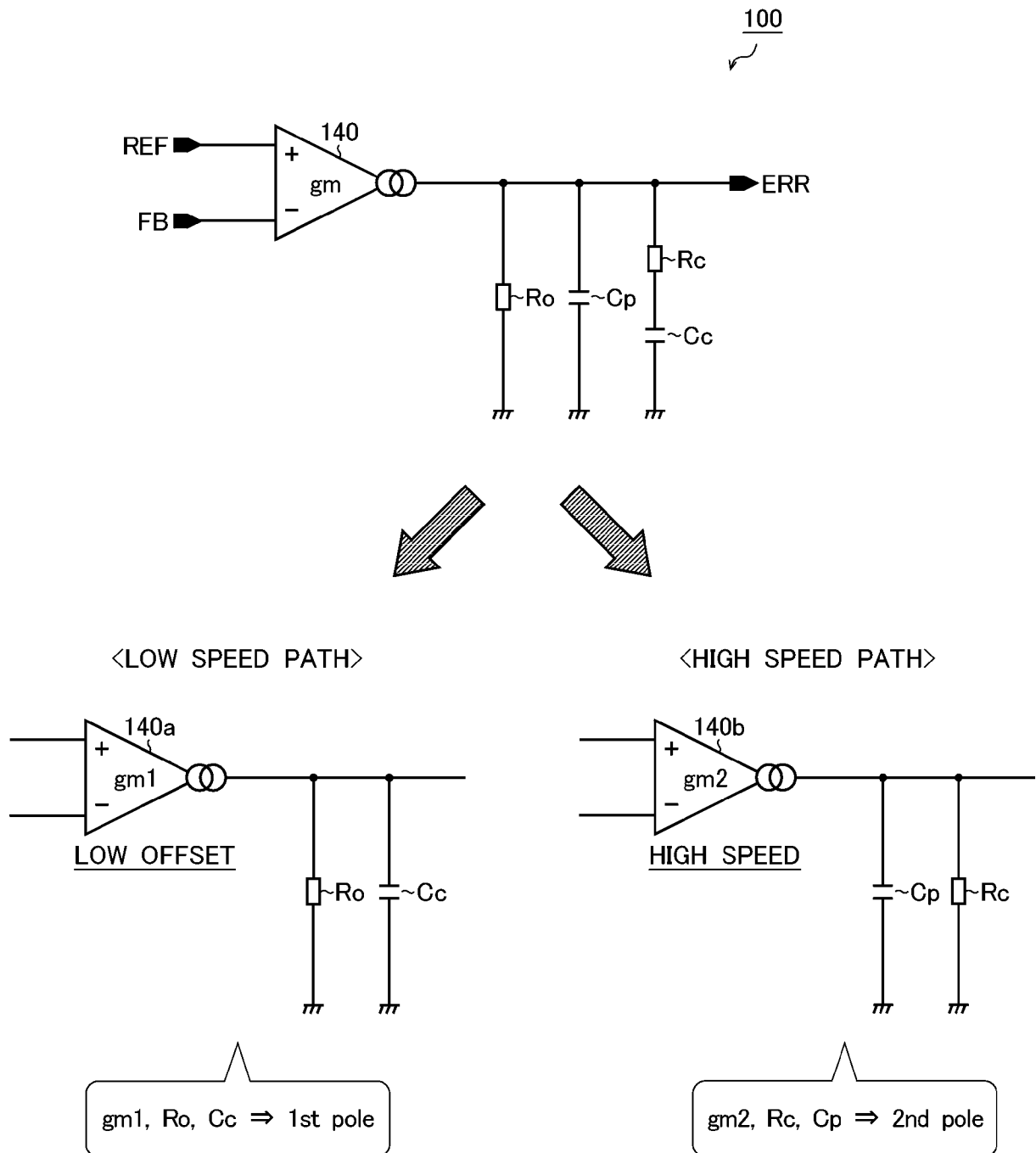
[図6]



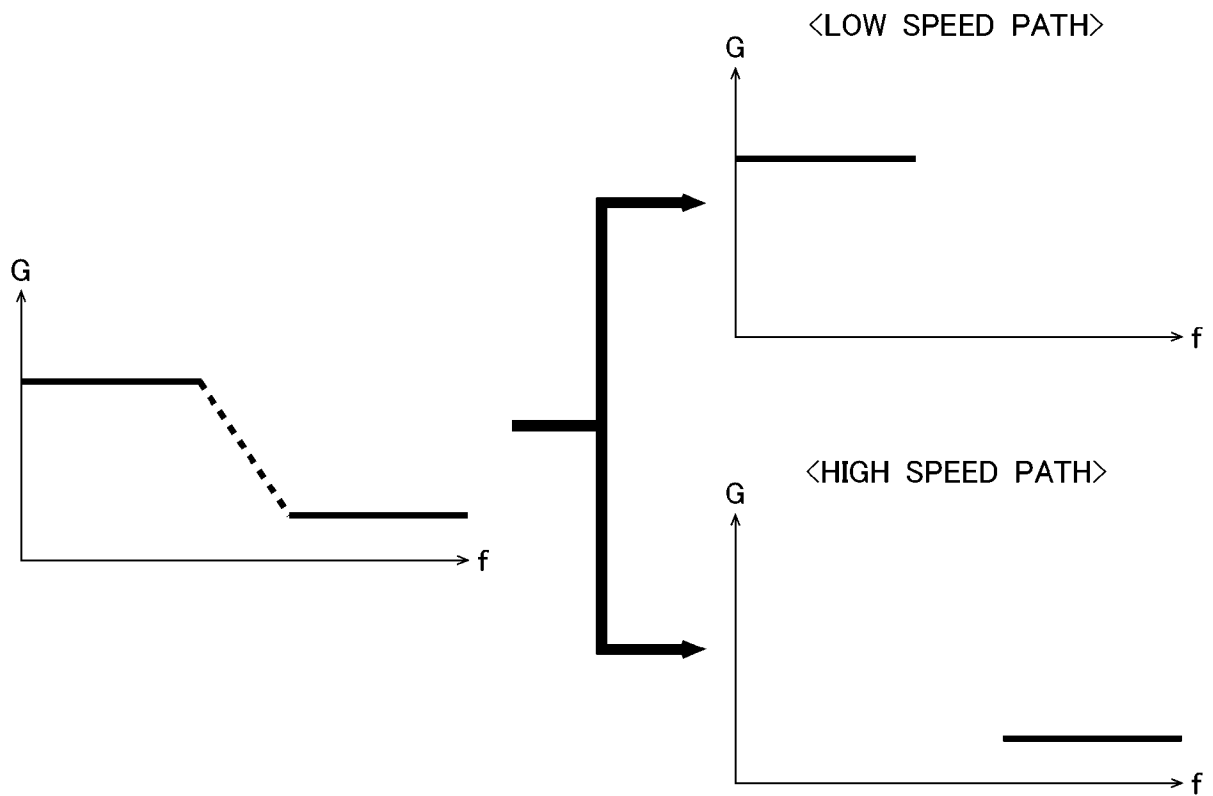
[図7]



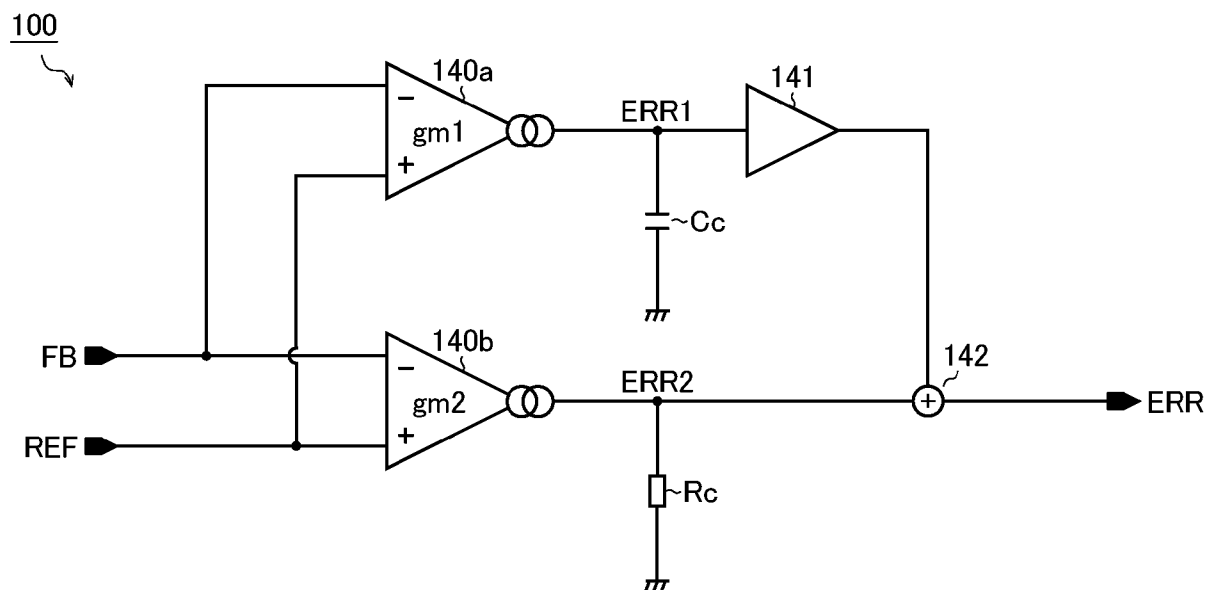
[図8]

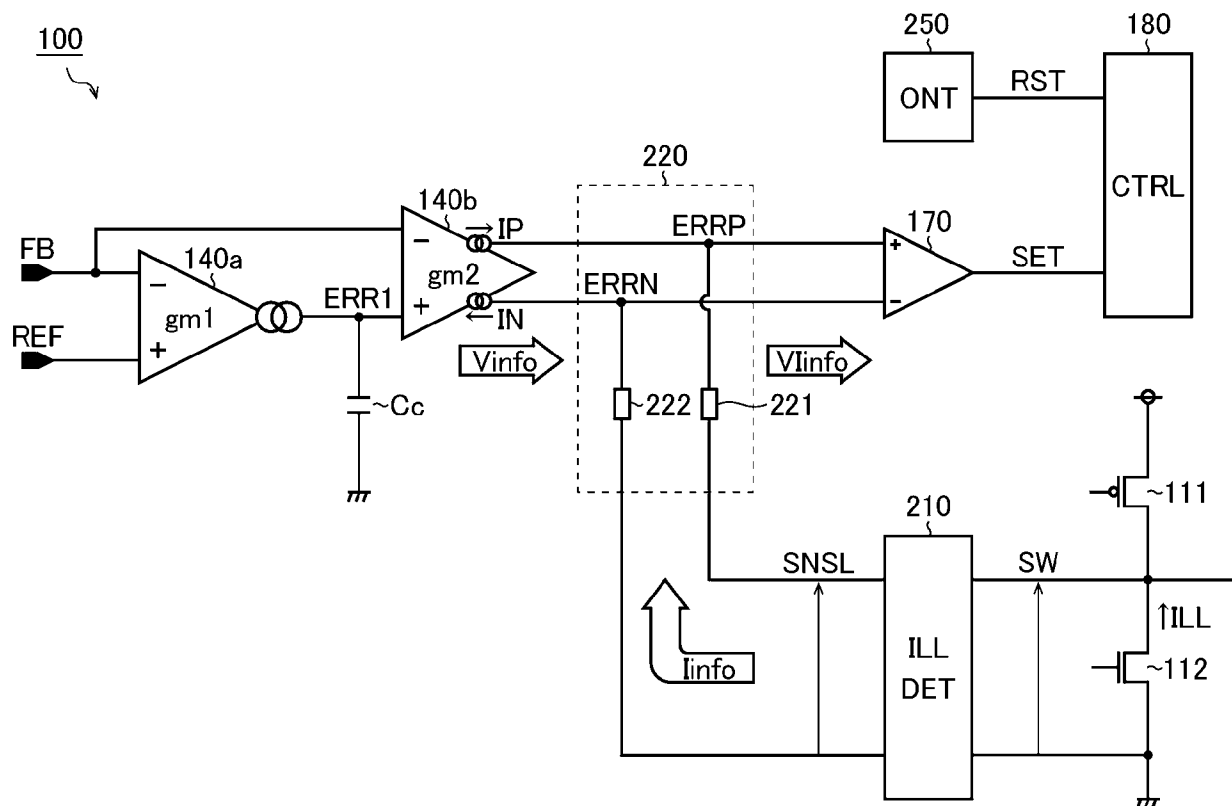
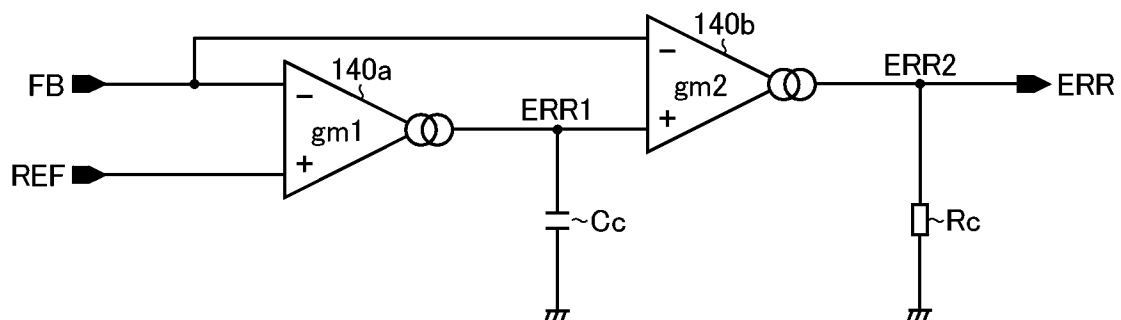


[図9]

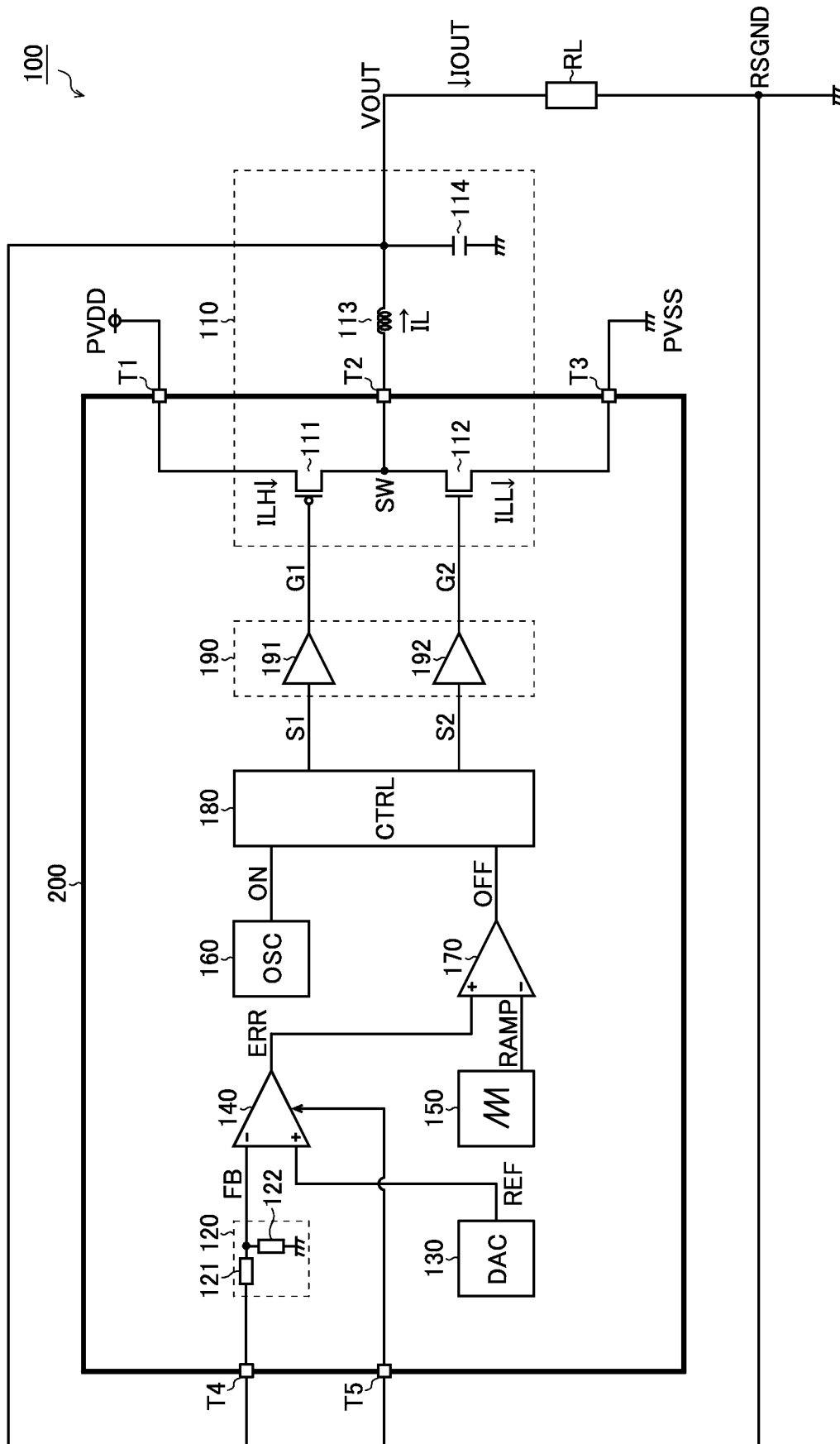


[図10]



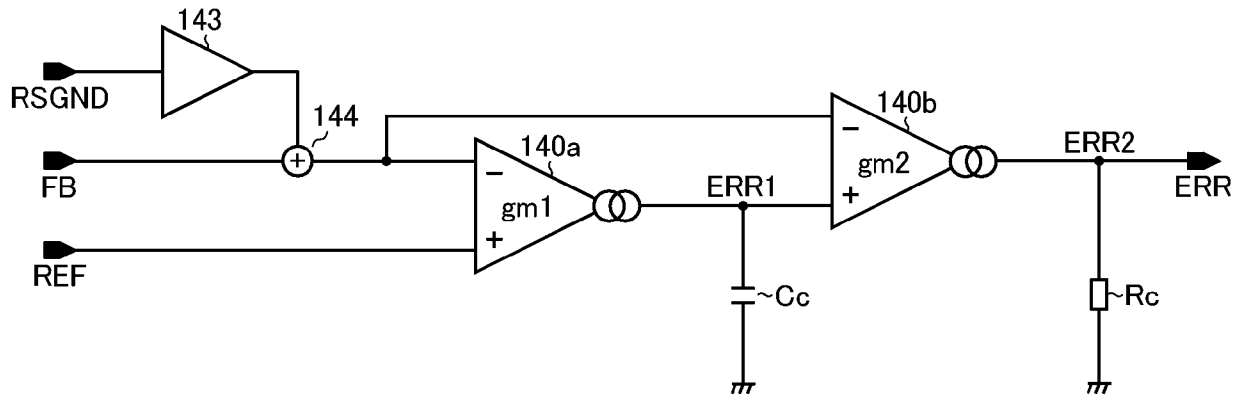


[図13]

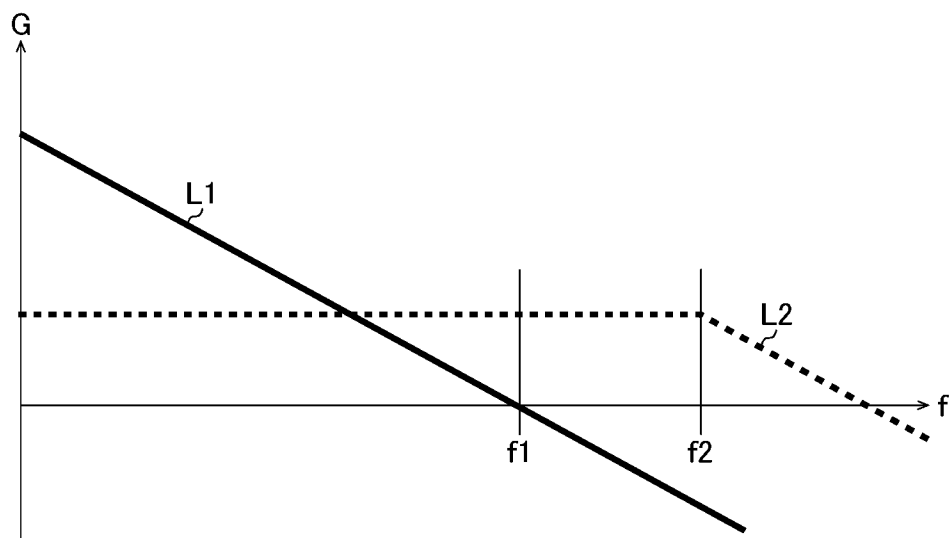


[図14]

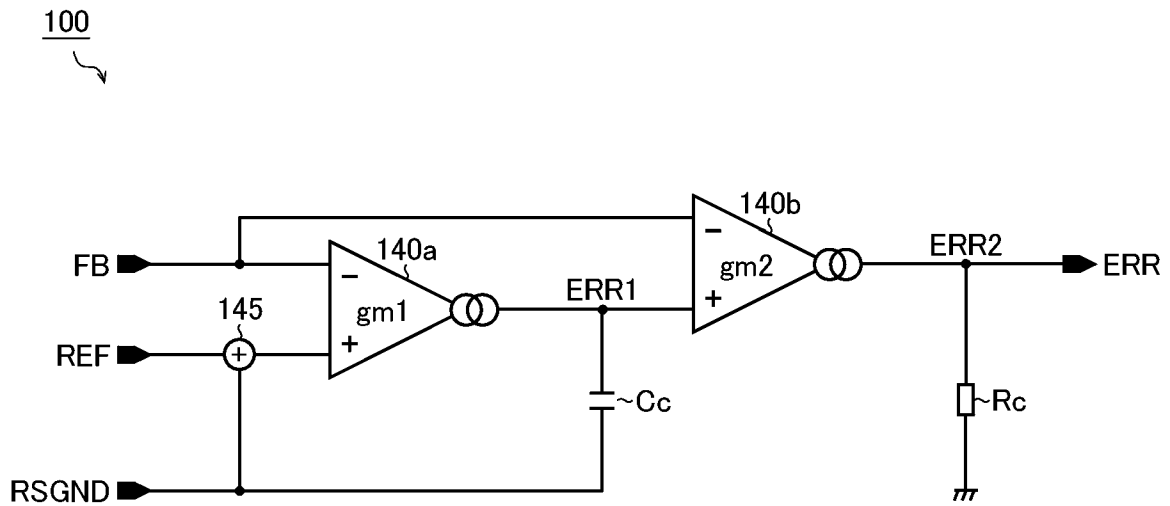
100



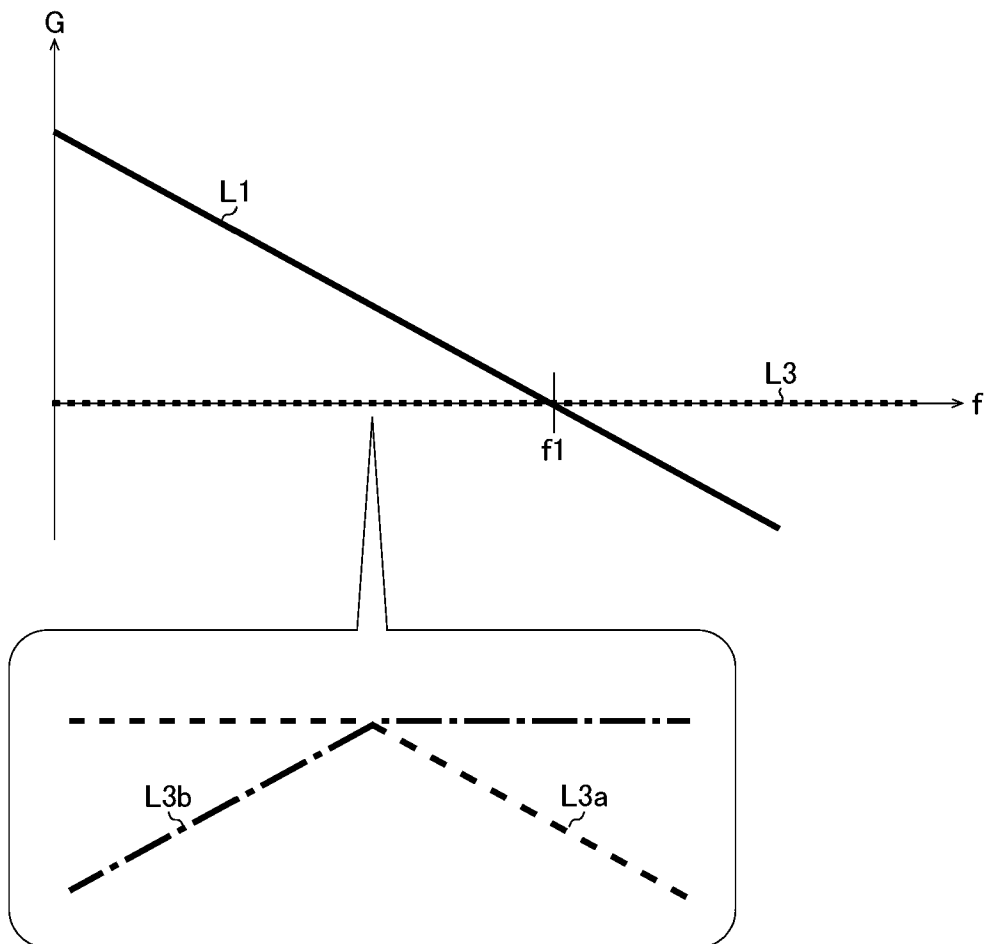
[図15]



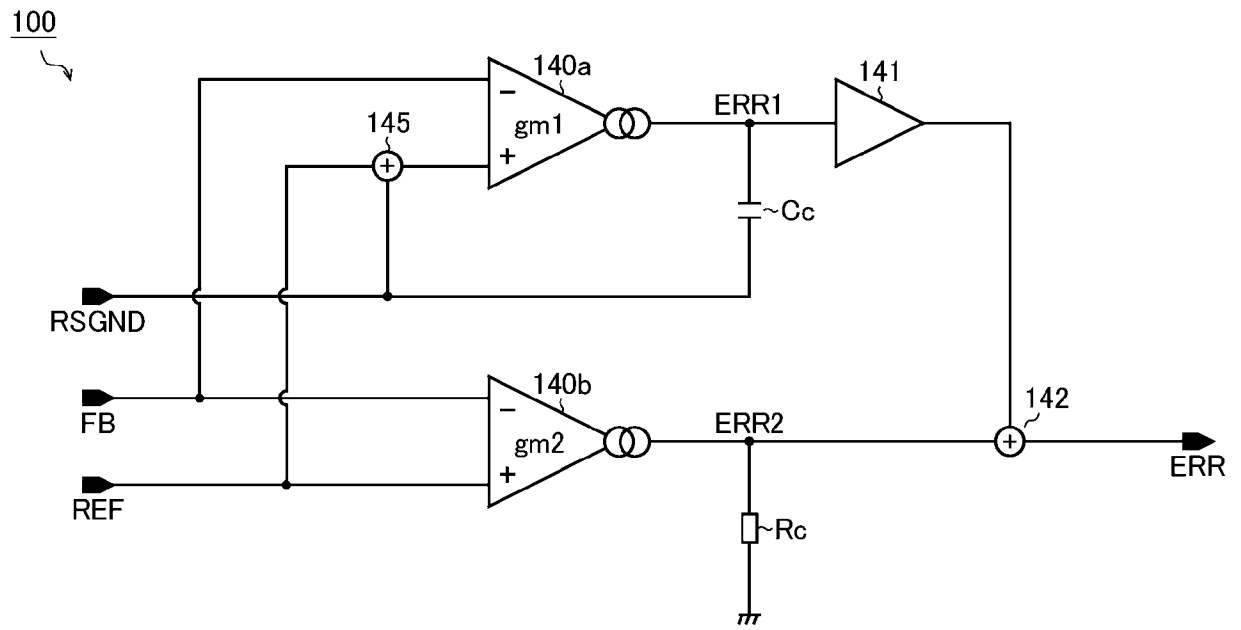
[図16]



[図17]



[図18]

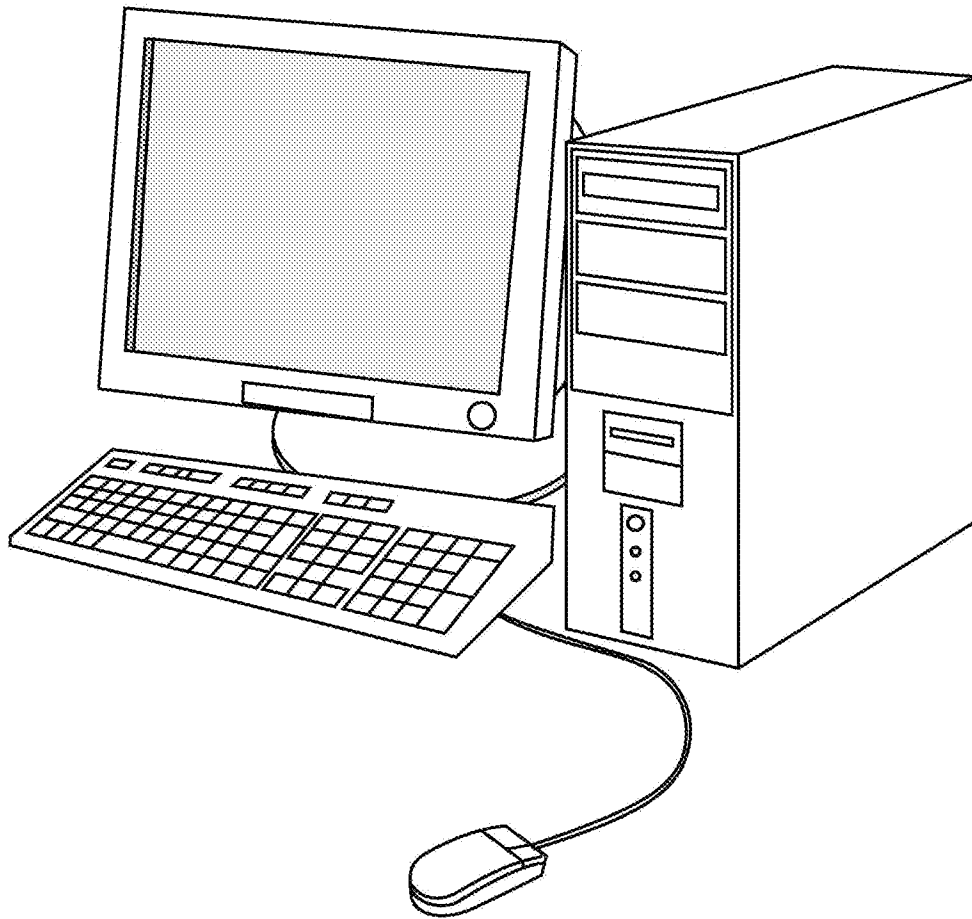


[図19]

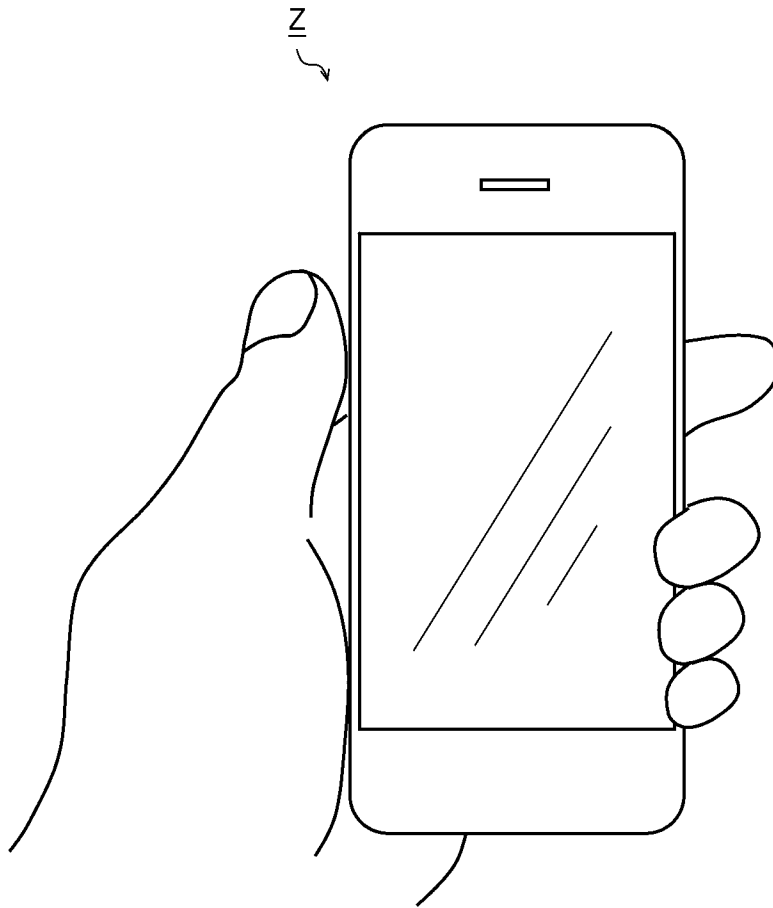
X

A placeholder for Figure 19, consisting of a large rectangular frame with a smaller rectangle inside, and a stylized base at the bottom.

[図20]

Y
~
~

[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/007316

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M3/155 (2006.01) i

FI: H02M3/155H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-60934 A (CANON INC.) 28 February 2003 (2003-02-28), entire text, all drawings	1-10
A	JP 2000-278935 A (TOSHIBA CORPORATION) 06 October 2000 (2000-10-06), entire text, all drawings	1-10
A	JP 5-304771 A (NEMIC-LAMBDA KK) 16 November 1993 (1993-11-16), entire text, all drawings	1-10
A	JP 2002-176770 A (SHINDENGEN ELECTRIC MFG CO., LTD.) 21 June 2002 (2002-06-21), entire text, all drawings	1-10
A	JP 2019-9548 A (ROHM CO., LTD.) 17 January 2019 (2019-01-17), entire text, all drawings	1-10
A	JP 9-64663 A (TOSHIBA CORPORATION) 07 March 1997 (1997-03-07), entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 April 2021

Date of mailing of the international search report
11 May 2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/007316

JP 2003-60934 A	28 February 2003	(Family: none)
JP 2000-278935 A	06 October 2000	(Family: none)
JP 5-304771 A	16 November 1993	(Family: none)
JP 2002-176770 A	21 June 2002	(Family: none)
JP 2019-9548 A	17 January 2019	(Family: none)
JP 9-64663 A	07 March 1997	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i FI: H02M3/155 H														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/155 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2003-60934 A（キヤノン株式会社）28.02.2003（2003 - 02 - 28） 全文，全図	1-10												
A	JP 2000-278935 A（株式会社東芝）06.10.2000（2000 - 10 - 06） 全文，全図	1-10												
A	JP 5-304771 A（ネミック・ラムダ株式会社）16.11.1993（1993 - 11 - 16） 全文，全図	1-10												
A	JP 2002-176770 A（新電元工業株式会社）21.06.2002（2002 - 06 - 21） 全文，全図	1-10												
A	JP 2019-9548 A（ローム株式会社）17.01.2019（2019 - 01 - 17） 全文，全図	1-10												
A	JP 9-64663 A（株式会社東芝）07.03.1997（1997 - 03 - 07） 全文，全図	1-10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 23.04.2021	国際調査報告の発送日 11.05.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 山崎 雄司 5G 1159 電話番号 03-3581-1101 内線 3526													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/007316

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-60934	A	28.02.2003	(ファミリーなし)	
JP	2000-278935	A	06.10.2000	(ファミリーなし)	
JP	5-304771	A	16.11.1993	(ファミリーなし)	
JP	2002-176770	A	21.06.2002	(ファミリーなし)	
JP	2019-9548	A	17.01.2019	(ファミリーなし)	
JP	9-64663	A	07.03.1997	(ファミリーなし)	