

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 27 日(27.10.2016)



(10) 国際公開番号

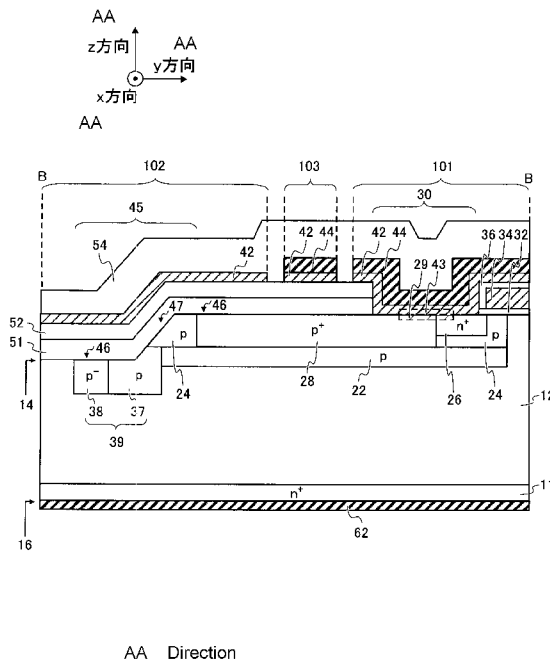
WO 2016/170978 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 21/28 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2016/061206
- (22) 国際出願日: 2016 年 4 月 6 日(06.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-085620 2015 年 4 月 20 日(20.04.2015) JP
特願 2015-122041 2015 年 6 月 17 日(17.06.2015) JP
- (71) 出願人: 富士電機株式会社(FUJII ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 原田 祐一(HARADA Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 星 保幸(HOSHI Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: When hydrogen enters a semiconductor device, the gate voltage threshold (V_{th}) of a gate structure shifts. In the present invention, hydrogen is prevented from entering a semiconductor device from a voltage-withstanding structure located at an end portion of the semiconductor device. Provided is a semiconductor device comprising: a semiconductor substrate provided with an active region, and a voltage-withstanding structure provided around the active region; a first lower insulation film provided to the voltage-withstanding structure upon the semiconductor substrate; and a first protective film provided upon the first lower insulation film, the first protective film being electrically insulated from the semiconductor substrate and storing hydrogen.

(57) 要約: 半導体装置に水素が侵入するとゲート構造のゲート電圧閾値 (V_{th}) がシフトする。半導体装置の端部に位置する耐圧構造部から半導体装置へ水素が侵入することを防止する。活性領域と、活性領域の周りに設けられた耐圧構造部とが設けられる半導体基板と、半導体基板上において、耐圧構造部に設けられた第 1 の下部絶縁膜と、第 1 の下部絶縁膜上に設けられ、半導体基板と電氣的に絶縁された、水素を吸蔵する第 1 の保護膜とを備える、半導体装置を提供する。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

[0002] 従来、ソース電極中のアルミニウム（Al）に起因する、層間絶縁膜の腐食、および、ポリシリコンで形成されたゲート電極とソース電極との短絡を防止するべく、バリアメタル層を設けていた。また、電気的コンタクトを改善するべく、Alを有するアノード電極およびカソード電極とポリシリコン層との間に、バリアメタル層を設けていた（例えば、特許文献1参照）。

[先行技術文献]

[特許文献]

[特許文献1] 特開2012-129503号公報

[非特許文献]

[非特許文献1] ケイ・シェナイ（K. Shenai）、外2名、オプティマム セミコンダクターズ フォー ハイパワー エレクトロニクス（Optimum Semiconductors for High-Power Electronics）、アイ・トリプル・イー トランザクションズ オン エレクトロン デバイシズ（IEEE Transactions on Electron Devices）、1989年9月、第36巻、第9号、p. 1811-1823

[非特許文献2] ビー・ジャヤン・バリガ（B. Jayant Baliga）著、シリコンカーバイド パワー デバイシズ（Silicon Carbide Power Devices）、（米国）、ワールド サイエнтиフィック パブリッシング カンパニー（World Scientific Publishing Co.）、2006年3月30日、p. 61

発明の概要

発明が解決しようとする課題

[0003] 半導体装置のおもて面に水分が付着した場合、水分に由来する水素が半導体装置の内部に入り込む場合がある。また、ソース電極としてアルミニウムを用いる場合に、アルミニウム中に含まれる水素が半導体装置内に入り込む場合がある。水素は還元作用を有するので、水素により半導体装置内の酸素が引き抜かれて、ゲート絶縁膜として用いられる二酸化シリコン等の絶縁膜の性質が変化する場合がある。これによりゲート構造のゲート電圧閾値（ V_{th} ）がシフトする。水素の半導体装置への侵入は、半導体装置の端部に位置する耐压構造部においても問題となる。

課題を解決するための手段

[0004] 本発明の第1の態様においては、半導体基板と第1の下部絶縁膜と第1の保護膜とを備える半導体装置を提供する。半導体基板は、活性領域と、耐压構造部とを有してよい。耐压構造部は、活性領域の周りに設けられてよい。第1の下部絶縁膜は、半導体基板上において、耐压構造部に設けられてよい。第1の保護膜は、第1の下部絶縁膜上に設けられてよい。第1の保護膜は、半導体基板と電氣的に絶縁されてよい。第1の保護膜は、水素を吸蔵してよい。

[0005] 半導体基板は、第1導電型であってよい。半導体基板は、耐压構造部のおもて面に第2導電型の領域を有してよい。第1の保護膜は、第2導電型の領域の上方を少なくとも覆ってよい。

[0006] 第2導電型の領域は、活性領域から耐压構造部に向かう方向において濃度が低くなる領域を有してよい。

[0007] 耐压構造部に設けられた第1の保護膜は、活性領域から電氣的に分離されていてよい。

[0008] 半導体装置は、耐压構造部に設けられた第1の保護膜上に、第1の上部絶縁膜をさらに備えてよい。

[0009] 第1の保護膜は、耐压構造部において一体に形成されていてよい。

[0010] 半導体基板は、耐压構造部において、傾斜部および平坦部を有する段差部

をさらに備えてよい。第1の保護膜は、耐圧構造部において、段差部を含む半導体基板の上方全体を覆って設けられていてよい。

[0011] 半導体装置は、ゲートランナー部とゲートパッド部とをさらに備えてよい。ゲートランナー部は、活性領域と耐圧構造部との間に設けられてよい。ゲートパッド部は、活性領域とゲートランナー部との間に設けられてよい。ゲートランナー部およびゲートパッド部は、第2の下部絶縁膜と第2の保護膜とを有してよい。第2の下部絶縁膜は、半導体基板上に設けられてよい。第2の保護膜は、第2の下部絶縁膜上に設けられてよい。第2の保護膜は、水素を吸蔵してよい。

[0012] 活性領域は、第3の下部絶縁膜と第3の保護膜とをさらに備えてよい。第3の下部絶縁膜は、半導体基板上に設けられてよい。第3の保護膜は、第3の下部絶縁膜上に設けられてよい。第3の保護膜は、水素を吸蔵してよい。

[0013] 活性領域は、コンタクト部をさらに備えてよい。コンタクト部は、半導体基板と第3の保護膜との電氣的接続を提供してよい。第3の保護膜は、半導体基板上に設けられてよい。コンタクト部において、半導体基板はニッケルシリサイドを少なくとも有してよい。コンタクト部において、第3の保護膜はチタンカーバイドを少なくとも有してよい。

[0014] 耐圧構造部における第1の保護膜の厚さは、活性領域における第3の保護膜の厚さよりも大きくてよい。

[0015] 活性領域における第3の保護膜の厚さは、耐圧構造部における第1の保護膜の厚さよりも大きくてよい。

[0016] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0017] [図1]半導体装置100の平面図を示す図である。

[図2]図1におけるA - A断面を示す図である。

[図3]図1におけるB - B断面を示す図である。

[図4]図1におけるC - C断面を示す図である。

[図5]ゲートバイアス印加時間に対するゲート閾値 (V_{th}) 変化量を示す図である。

[図6A]ドリフト層12および複数のp型領域を形成する工程を示す図である。

[図6B]ソース領域26およびコンタクト領域28を形成する工程を示す図である。

[図6C]絶縁膜51を形成する工程を示す図である。

[図6D]ゲート絶縁膜32、ゲート電極34、層間絶縁膜36および層間絶縁膜52を形成する段階を示す図である。

[図6E]チタン膜42および金属層44を形成する段階を示す図である。

[図6F]パッシベーション膜54およびドレイン電極62を形成する段階を示す図である

発明を実施するための形態

[0018] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0019] 本明細書において、nまたはpは、それぞれ電子または正孔が多数キャリアであることを意味する。また、nまたはpに付す+または-について、+はそれが記載されていないものよりも高不純物濃度であり、-はそれが記載されていないものよりも低不純物濃度であることを意味する。また、本明細書に記載した例では、第1導電型はn型を意味し第2導電型はp型を意味するが、他の例においては、第1導電型がp型を意味し第2導電型がn型を意味してもよい。

[0020] 図1は、半導体装置100の平面図を示す図である。つまり、図1は、半導体基板10を上面視した場合を示す図である。半導体装置100は、x - y平面に平行な面を有する。x方向とy方向とは互いに垂直な方向であり、

z方向はx - y平面に垂直な方向である。本明細書において、おもて面側とはx - y平面に平行な面を有する物体の+z方向の側を意味し、裏面側とは当該物体の-z方向の側を意味するとする。物体のおもて面側と裏面側との間に位置する面は、当該物体の側面と称する。なお、半導体基板10のおもて面をおもて面14と記載し、半導体基板10の裏面を裏面16と記載する。

[0021] 半導体装置100は、半導体基板10を有する。半導体基板10には、活性領域101および耐圧構造部102が設けられる。耐圧構造部102は、活性領域101の周りに設けられる。なお、半導体装置100においてaがbの周りに設けられるとは、半導体装置100を図1の上面視した場合に、aの周囲を囲んでbが設けられることを意味する。

[0022] 本例の活性領域101は、縦型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を有する領域である。ただし、他の例においては、活性領域101は、縦型MOSFETに代えて、IGBT (Insulated Gate Bipolar Transistor) を有してもよい。

[0023] 耐圧構造部102は、半導体基板10の端部における電界集中を緩和または分散させる機能を有する部分である。半導体基板10は、耐圧構造部102において、後述するJTE (Junction Termination Extension) 構造を有する。JTE構造は、活性領域101の周りに設けられた後述のJTE高濃度領域37およびJTE低濃度領域38を有する。

[0024] 半導体装置100は、ゲートランナー部103とゲートパッド部105とをさらに備える。ゲートランナー部103は、半導体装置100を上面視した場合に、活性領域101と耐圧構造部102との間に設けられる。ゲートランナー部103は、活性領域101の周りに設けられる。ゲートランナー部103は、後述のゲート電極34と電氣的に接続された配線である。

[0025] ゲートパッド部105は、半導体装置100を上面視した場合に、活性領

域 101 とゲートランナー部 103 との間に設けられる。ゲートパッド部 105 は、ゲートランナー部 103 に電氣的に接続して設けられる。ゲートパッド部 105 は、ゲートランナー部 103 から活性領域 101 へ突出した部分である。ゲートパッド部 105 は、外部配線への電氣的接続を提供する。例えば、ゲートパッド部 105 には、ゲート端子配線がワイヤボンディングにより接続される。

[0026] 図 2 は、図 1 における A - A 断面を示す図である。図 2 は、活性領域 101 の断面を示す図である。本例の半導体基板 10 は、シリコンカーバイド (SiC) を有する。ただし、半導体基板 10 は、他のワイドギャップ半導体材料であってもよい。例えば他の例において、半導体基板 10 は、窒化ガリウム (GaN) を有する。

[0027] 半導体基板 10 は、第 1 導電型である。半導体基板 10 は、裏面 16 側に n^+ 型の第 1 導電型層 11 を有し、おもて面 14 側に n 型のドリフト層 12 を有する。半導体基板 10 は、ドリフト層 12 のおもて面 14 側に、 p 型のウェル領域 22、 p 型のベース領域 24、 n^+ 型のソース領域 26 および p^+ 型のコンタクト領域 28 を有する。

[0028] ベース領域 24 の少なくとも一部は、ゲート電極 34 の下に設けられる。本明細書において、「上」または「上方」とは、半導体基板 10 の裏面 16 からおもて面 14 に向かう方向を指す。これに対して、「下」または「下方」とは、半導体基板 10 のおもて面 14 から裏面 16 に向かう方向を指す。ベース領域 24 は、チャネル形成領域として機能する。ゲート絶縁膜 32 を介してゲート電極 34 から電界が印加されると、ベース領域 24 の一部にチャネルが形成される。

[0029] n^+ 型のソース領域 26 は、ベース領域 24 に挟まれてまたは囲まれて、ベース領域 24 中に設けられる。 p^+ 型のコンタクト領域 28 は、ソース領域 26 に挟まれてまたは囲まれて、ベース領域 24 中に設けられる。 p^+ 型のコンタクト領域 28 は、ソース電極との接触抵抗を下げる機能を有する。

[0030] ゲート絶縁膜 32 は、少なくともベース領域 24 とゲート電極 34 とを電

氣的に分離する。本例のゲート絶縁膜 32 は、おもて面 14 においてベース領域 24 とソース領域 26 に接して設けられる。

[0031] ゲート電極 34 は、ゲート絶縁膜 32 上に設けられる。第 3 の下部絶縁層としての層間絶縁膜 36 は、ゲート電極 34 上に位置する。層間絶縁膜 36 は、ゲート電極 34 のおもて面側および側面を囲んで設けられる。層間絶縁膜 36 は、PSG (Phosphosilicate Glass) 膜または BPSG (Borophosphosilicate Glass) 膜であってよい。

[0032] 層間絶縁膜 36 上には、第 3 の保護膜としてのチタン (Ti) 膜 42 が設けられる。チタン膜 42 は、水素を吸蔵する機能を有する。チタン膜 42 は、チタンシリサイド (TiSi_x) を含んでもよい。

[0033] 金属層 44 は、チタン膜 42 上に設けられる。金属層 44 は、アルミニウム (Al) であってよく、シリコン (Si) を重量比で 1% 含有するアルミニウムシリサイド (AlSi) 等のアルミニウム合金であってもよい。チタン膜 42 および金属層 44 は、活性領域 101 においてソース電極として機能する。なお、半導体基板 10 の裏面 16 下にはドレイン電極 62 が設けられる。

[0034] コンタクト部 30 は、チタン膜 42 とソース領域 26 およびコンタクト領域 28 とが接触する領域である。コンタクト部 30 は、半導体基板 10 とチタン膜 42 との電氣的接続を提供する。コンタクト部 30 において、ソース領域 26 の一部とコンタクト領域 28 とはニッケルシリサイド (NiSi) 領域 29 を有する。また、コンタクト部 30 において、チタン膜 42 は、チタンカーバイド (TiC) 領域 43 を少なくとも有する。

[0035] 図 3 は、図 1 における B - B 断面を示す図である。図 3 は、活性領域 101 の端部、ゲートランナー部 103 および耐压構造部 102 に渡る断面を示す図である。半導体基板 10 上において、絶縁膜 51 および層間絶縁膜 52 の積層体が、活性領域 101 の外周端部から耐压構造部 102 の外周端部まで設けられる。絶縁膜 51 は、酸化シリコン (SiO₂) 等の酸化膜、PSG

またはBPSGであってよい。層間絶縁膜52は、層間絶縁膜36と同じ材料であってよい。層間絶縁膜52は、PSGまたはBPSGであってよい。

[0036] ゲートランナー部103は、第2の下部絶縁膜としての層間絶縁膜52と、第2の保護膜としてのチタン膜42と、金属層44とを有する。チタン膜42は、層間絶縁膜52上に設けられる。チタン膜42は、水素を吸蔵する。本例では、活性領域101に加えて、ゲートランナー部103においても活性水素が半導体基板10へ侵入することを防止できる。

[0037] 耐圧構造部102は、少なくとも第1の下部絶縁膜としての層間絶縁膜52と、第1の保護膜としてのチタン膜42とを有する。なお、上述の記載から明らかなように、本例の第1～第3の保護膜はチタン膜42である。耐圧構造部102のチタン膜42は、層間絶縁膜52上に設けられているので、半導体基板10から電氣的に絶縁されている。

[0038] 本例では、水素を吸蔵するチタン膜42を耐圧構造部102にも設ける。これにより、活性水素が耐圧構造部102から半導体基板10に侵入することを防止できる。したがって、活性領域101のゲート閾値が変動することを防止できる。

[0039] 耐圧構造部102のチタン膜42上に、第1の上部絶縁膜としてのパッシベーション膜54が設けられる。パッシベーション膜54は、活性領域101、耐圧構造部102およびゲートランナー部103において、最も上方に設けられる。なお、活性領域101およびゲートパッド部105では外部との電氣的導通を確保するために、パッシベーション膜54が部分的に除去される。

[0040] 耐圧構造部102のチタン膜42は、浮遊電位を有する。耐圧構造部102に設けられたチタン膜42は、活性領域101から電氣的に分離されている。耐圧構造部102のチタン膜42は、同様に、ゲートランナー部103からも電氣的に分離されている。耐圧構造部102とゲートランナー部103との間におけるチタン膜42の離間距離は、 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってよい。なお、活性領域101とゲートランナー部103との間における

チタン膜 42 の離間距離も、 $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってよい。

- [0041] 半導体基板 10 は、耐压構造部 102 において、段差部 45 を有する。段差部 45 は、 z 方向の高さ位置の異なる 2 つの平坦部 46 と、2 つの平坦部 46 の間の傾斜部 47 とを有する。2 つの平坦部 46 のうち下方に位置する平坦部 46 には、第 2 導電型の領域 39 が設けられる。チタン膜 42 は浮遊電位を有するので、第 2 導電型の領域 39 には電圧が印加されない。それゆえ、耐压構造部 102 は、フィールドプレート構造ではなく JTE 構造として機能させることができる。これにより、絶縁膜 51 および層間絶縁膜 52 が絶縁破壊されることを防ぐことができる。
- [0042] 半導体基板 10 は、耐压構造部 102 のおもて面 14 に第 2 導電型の領域 39 としての JTE 高濃度領域 37 および JTE 低濃度領域 38 を有する。JTE 低濃度領域 38 は、JTE 高濃度領域 37 よりも低い p 型の不純物濃度を有する。本例の JTE 高濃度領域 37 は p 型不純物を有し、JTE 低濃度領域 38 は p^- 型不純物を有する。つまり、第 2 導電型の領域 39 は、活性領域 101 から耐压構造部 102 に向かう方向において p 型不純物の濃度が低くなる領域である。
- [0043] チタン膜 42 は、耐压構造部 102 において一体に形成されている。なお、チタン膜 42 が一体に形成されているとは、チタン膜 42 がベタ膜であることを意味する。例えば、耐压構造部 102 におけるチタン膜 42 に穴および開口等は形成されていないことを意味する。
- [0044] チタン膜 42 は、耐压構造部 102 において第 2 導電型の領域 39 の上方を少なくとも覆う。本例のチタン膜 42 は、耐压構造部 102 において、段差部 45 を含む半導体基板 10 の上方全体を覆って設けられている。すなわち、チタン膜 42 は耐压構造部 102 の上方全体を覆って設けられてよい。これにより、水素が JTE 高濃度領域 37 および JTE 低濃度領域 38 へ侵入することを防止できるので、耐压構造部 102 における耐压特性の変動を防止することができる。
- [0045] 図 4 は、図 1 における C - C 断面を示す図である。図 4 は、ゲートパッド

部 105 の断面を示す図である。半導体基板 10 上において、絶縁膜 51 および層間絶縁膜 52 の積層体が、ゲートパッド部 105 から活性領域 101 まで設けられる。ゲートパッド部 105 は、第 2 の下部絶縁膜としての層間絶縁膜 52 と、第 2 の保護膜としてのチタン膜 42 と、金属層 44 とを有する。チタン膜 42 は、層間絶縁膜 52 上に設けられる。チタン膜 42 は、水素を吸蔵するので、活性領域 101 に加えて、ゲートパッド部 105 においても活性水素が半導体基板 10 へ侵入することを防止できる。

[0046] 図 5 は、ゲートバイアス印加時間に対するゲート閾値 (V_{th}) 変化量を示す図である。ゲート電極 34 にゲートバイアスを連続して印加してゲート閾値の変化を試験して測定した。横軸は、ゲートバイアス印加時間 [hr] であり、縦軸は、ゲート閾値 (V_{th}) 変化量 [V] である。

[0047] 図 5 中の「比較例」は、活性領域 101 のみにチタン膜 42 を設けた場合の試験結果を示す。これに対して、図 5 中の「実施例」は、活性領域 101、耐圧構造部 102、ゲートランナー部 103 およびゲートパッド部 105 にチタン膜 42 を設けた場合の試験結果を示す。図 5 から明らかであるように、例えば、400 時間後のゲート閾値変化量は、比較例の方が実施例よりも 10 倍以上大きい。図 5 の試験結果は、活性領域 101 以外にもチタン膜 42 を設けることがゲート閾値変化量を抑えるためには有効であることを示している。

[0048] 図 6 A から図 6 F は、半導体装置 100 の製造工程を示す図である。なお、図 6 A から図 6 F においては、C - C 断面を省略するが、A - A 断面、B - B 断面および C - C 断面において同一の符号で示す層、領域および膜等は、同一の工程で作成される。例えば、活性領域 101、耐圧構造部 102 およびゲートパッド部 105 におけるソース領域 26 およびコンタクト領域 28 は、図 6 B の工程において形成される。

[0049] 図 6 A は、ドリフト層 12 および複数の p 型領域を形成する工程を示す図である。まず、約 $2.0 \times 10^{19} \text{ cm}^{-3}$ の n 型不純物濃度を有する第 1 導電型層 11 を準備する。なお、E は 10 の冪を意味する。例えば E 19 は、10

の19乗を意味する。本例の第1導電型層11は、 n^+ 型SiC基板である。 n^+ 型SiC基板は、主面が $\langle 11-20 \rangle$ 方向に4度程度のオフ角を有する(000-1)面であってよい。

[0050] 次に、第1導電型層11の上方に、約 $1.0 \times 10^{16} \text{ cm}^{-3}$ の n 型不純物濃度を有するドリフト層12を、エピタキシャル法により約 $10 \mu\text{m}$ 成長させる。第1導電型層11およびドリフト層12における n 型不純物はN（窒素）であるが、 n 型不純物であれば他の不純物を用いてもよい。

[0051] 次に、ドリフト層12のおもて面側に、約 $2.0 \times 10^{16} \text{ cm}^{-3}$ の p 型不純物濃度を有するウェル領域22およびベース領域24を、エピタキシャル法により約 $0.5 \mu\text{m}$ 成長させる。本例の p 型不純物はAlであるが、 p 型不純物であれば他の不純物を用いてもよい。なお、ウェル領域22およびベース領域24以外の領域は、ドリフト層12をエピタキシャル法により約 $0.5 \mu\text{m}$ 成長させる。

[0052] なお、ドリフト層12の端部付近を部分的にエッチングにより除去して、窪みを形成する。その後、エピタキシャル法によりJTE高濃度領域37およびJTE低濃度領域38を形成することにより、第2導電型の領域39を形成する。エピタキシャル成長時の不純物濃度を調整することにより、JTE高濃度領域37を p 型とし、JTE低濃度領域38を p^- 型とすることができる。

[0053] 図6Bは、ソース領域26およびコンタクト領域28を形成する工程を示す図である。図6Bは図6Aの後の工程を示す図である。図6Bの工程では、フォトリソグラフィーおよびイオン注入により、ベース領域24のおもて面側に、コンタクト領域28を選択的に形成する。次に、フォトリソグラフィーおよびイオン注入により、ベース領域24のおもて面側に、ソース領域26を選択的に形成する。次に、注入した不純物を活性化させるために半導体基板10を熱処理する。

[0054] 図6Cは、絶縁膜51を形成する工程を示す図である。図6Cは図6Bの後の工程を示す図である。図6Cの工程では、半導体基板10上に選択的に

絶縁膜 51 を設ける。絶縁膜 51 は、2,000 Å 以上の厚みを有するよう設けてよい。

[0055] 図 6D は、ゲート絶縁膜 32、ゲート電極 34、層間絶縁膜 36 および層間絶縁膜 52 を形成する段階を示す図である。図 6D は図 6C の後の工程を示す図である。図 6D の工程では、酸素および水素の混合雰囲気下において半導体基板 10 を約 1,000°C の温度に曝して熱酸化することにより、ゲート絶縁膜 32 を形成する。ゲート絶縁膜 32 の厚さは、約 100 nm であってよい。

[0056] 次に、ゲート絶縁膜 32 のおもて面側に、リンがドーパされた多結晶シリコンを形成する。次に、フォトリソグラフィーにより多結晶シリコンを選択に除去することにより、多結晶シリコンを有するゲート電極 34 を形成する。次に、ゲート電極 34 のおもて面側および側面に層間絶縁膜 36 を形成すると共に、耐压構造部 102 の段差部 45 を含む半導体基板 10 の上方全体を覆うように層間絶縁膜 52 を形成する。層間絶縁膜 36 および層間絶縁膜 52 は PSG であり、膜厚を約 1.0 μm の厚さとする。

[0057] 次に、ゲート絶縁膜 32、層間絶縁膜 36 および層間絶縁膜 52 をフォトリソグラフィーによりパターニングして、複数のコンタクト部 30 を形成する。次に、半導体基板 10 を熱処理することにより、層間絶縁膜 36 および層間絶縁膜 52 をリフローさせて平坦化する。

[0058] 図 6E は、チタン膜 42 および金属層 44 を形成する段階を示す図である。図 6E は図 6D の後の工程を示す図である。図 6E の工程では、チタン膜 42 をスパッタリングにより 1,000 Å (= 100 nm = 0.1 μm) 以上 0.5 μm 以下の厚みで形成する。0.1 μm 以上の厚みとすることで、段差部 45 におけるチタン膜 42 の段切れを防止することができる。

[0059] その後、チタン膜 42 をフォトリソグラフィーによりパターニングする。なお、チタン膜 42 を形成する前に、コンタクト部 30 に露出する半導体基板 10 にニッケル (Ni) を導入して、ニッケルシリサイド領域 29 を形成してよい。ニッケルシリサイド領域 29 と接するチタン膜 42 は、チタンカ

ーバイド領域43を有してよい。

[0060] なお、変形例として、耐压構造部102における第1の保護膜としてのチタン膜42の厚さは、活性領域101における第3の保護膜としてのチタン膜42の厚さよりも大きくてよい。例えば、耐压構造部102のチタン膜42の厚さは、 $0.5\mu\text{m}$ よりも大きくする。半導体装置100を上面視した場合に、耐压構造部102のチタン膜42の面積は、全体の10%程度である。耐压構造部102のチタン膜42の厚みを大きくすることにより、耐压構造部102における水素吸蔵効果をより確実にすることができる。

[0061] また、当該変形例に代えて、活性領域101における第3の保護膜としてのチタン膜42の厚さは、耐压構造部102における第1の保護膜としてのチタン膜42の厚さよりも大きくてよい。例えば、活性領域101のチタン膜42の厚さを耐压構造部102のチタン膜42の厚さの4倍とする。活性領域101ではアルミニウム（Al）を含む金属層44とチタン膜42とが反応することにより、チタン膜42の厚み50nm程度がチタンアルミ合金（TiAl）となる場合がある。チタンアルミ合金は、水素吸蔵効果がチタンに比べて小さい。そこで、活性領域101のチタン膜42の厚さを耐压構造部102のチタン膜42よりも厚くすることで、活性領域101における水素吸蔵効果をより確実にすることができる。

[0062] 次に、金属層44を $5\mu\text{m}$ の厚さ形成する。本例の金属層44は、アルミニウムシリサイド（AlSi）である。金属層44は、耐压構造部102の段差部45を除いて、選択的に形成する。

[0063] 図6Fは、パッシベーション膜54およびドレイン電極62を形成する段階を示す図である。図6Fは図6Eの後の工程を示す図である。図6Fの工程では、まず、半導体基板10の裏面側に、スパッタ法によりニッケル（Ni）を成膜して、 970°C で熱処理する。これにより、裏面16にオーミック接合領域を形成する。当該オーミック接合領域のさらに裏面側に、スパッタ法によりチタン（Ti）、ニッケル（Ni）および金（Au）をこの順に成膜する。これにより、ドレイン電極62を形成する。

[0064] 次に、半導体基板 10 のおもて面側の全面にパッシベーション膜 54 を形成する。その後、ソース端子配線を設ける活性領域 101 の一部、および、ゲート端子配線を設けるゲートパッド部 105 の一部において、パッシベーション膜 54 を除去する。これにより、半導体装置 100 が完成する。

[0065] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0066] 請求の範囲、明細書、および図面中において示した装置、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の結果を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

符号の説明

[0067] 10・・・半導体基板、11・・・第1導電型層、12・・・ドリフト層、14・・・おもて面、16・・・裏面、22・・・ウェル領域、24・・・ベース領域、26・・・ソース領域、28・・・コンタクト領域、29・・・ニッケルシリサイド領域、30・・・コンタクト部、32・・・ゲート絶縁膜、34・・・ゲート電極、36・・・層間絶縁膜、37・・・JTE高濃度領域、38・・・JTE低濃度領域、39・・・第2導電型の領域、42・・・チタン膜、43・・・チタンカーバイド領域、44・・・金属層、45・・・段差部、46・・・平坦部、47・・・傾斜部、51・・・絶縁膜、52・・・層間絶縁膜、54・・・パッシベーション膜、62・・・ドレイン電極、100・・・半導体装置、101・・・活性領域、102・・・耐圧構造部、103・・・ゲートランナー部、105・・・ゲートパッド部

請求の範囲

- [請求項1] 活性領域と、前記活性領域の周りに設けられた耐压構造部とを有する半導体基板と、
- 前記半導体基板上において、前記耐压構造部に設けられた第1の下部絶縁膜と、
- 前記第1の下部絶縁膜上に設けられ、前記半導体基板と電氣的に絶縁された、水素を吸蔵する第1の保護膜と
- を備える、半導体装置。
- [請求項2] 前記半導体基板は、第1導電型であり、
- 前記半導体基板は、前記耐压構造部のおもて面に第2導電型の領域を有し、
- 前記第1の保護膜は、前記第2導電型の領域の上方を少なくとも覆う
- 請求項1に記載の半導体装置。
- [請求項3] 前記第2導電型の領域は、前記活性領域から前記耐压構造部に向かう方向において濃度が低くなる領域を有する
- 請求項2に記載の半導体装置。
- [請求項4] 前記耐压構造部に設けられた前記第1の保護膜は、前記活性領域から電氣的に分離されている
- 請求項3に記載の半導体装置。
- [請求項5] 前記耐压構造部に設けられた前記第1の保護膜上に、第1の上部絶縁膜をさらに備える
- 請求項4に記載の半導体装置。
- [請求項6] 前記第1の保護膜は、前記耐压構造部において一体に形成されている
- 請求項4に記載の半導体装置。
- [請求項7] 前記半導体基板は、前記耐压構造部において、傾斜部および平坦部を有する段差部をさらに備え、

前記第 1 の保護膜は、前記耐压構造部において、前記段差部を含む前記半導体基板の上方全体を覆って設けられている

請求項 6 に記載の半導体装置。

[請求項 8]

前記活性領域と前記耐压構造部との間におけるゲートランナー部と、

前記活性領域と前記ゲートランナー部との間におけるゲートパッド部と

をさらに備え、

前記ゲートランナー部および前記ゲートパッド部は、

前記半導体基板上における第 2 の下部絶縁膜と、

前記第 2 の下部絶縁膜上に設けられた、水素を吸蔵する第 2 の保護膜と

を有する

請求項 1 または 2 に記載の半導体装置。

[請求項 9]

前記活性領域は、

前記半導体基板上に設けられた第 3 の下部絶縁膜と、

前記第 3 の下部絶縁膜上に設けられた、水素を吸蔵する第 3 の保護膜と

をさらに備える、

請求項 1 または 2 に記載の半導体装置。

[請求項 10]

前記活性領域は、前記半導体基板と前記半導体基板上に設けられた前記第 3 の保護膜との電氣的接続を提供するコンタクト部をさらに備え、

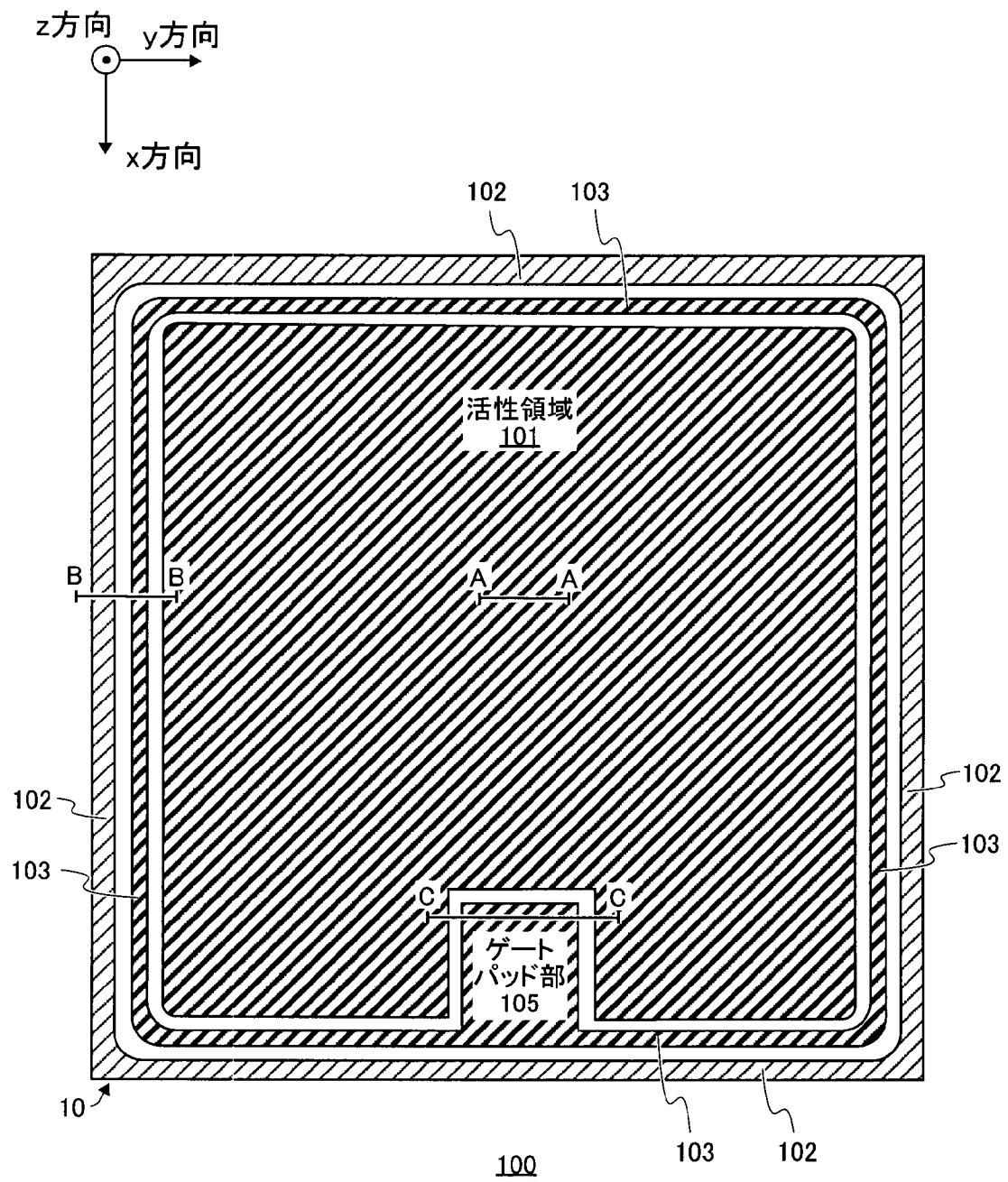
前記コンタクト部において、前記半導体基板はニッケルシリサイドを少なくとも有し、

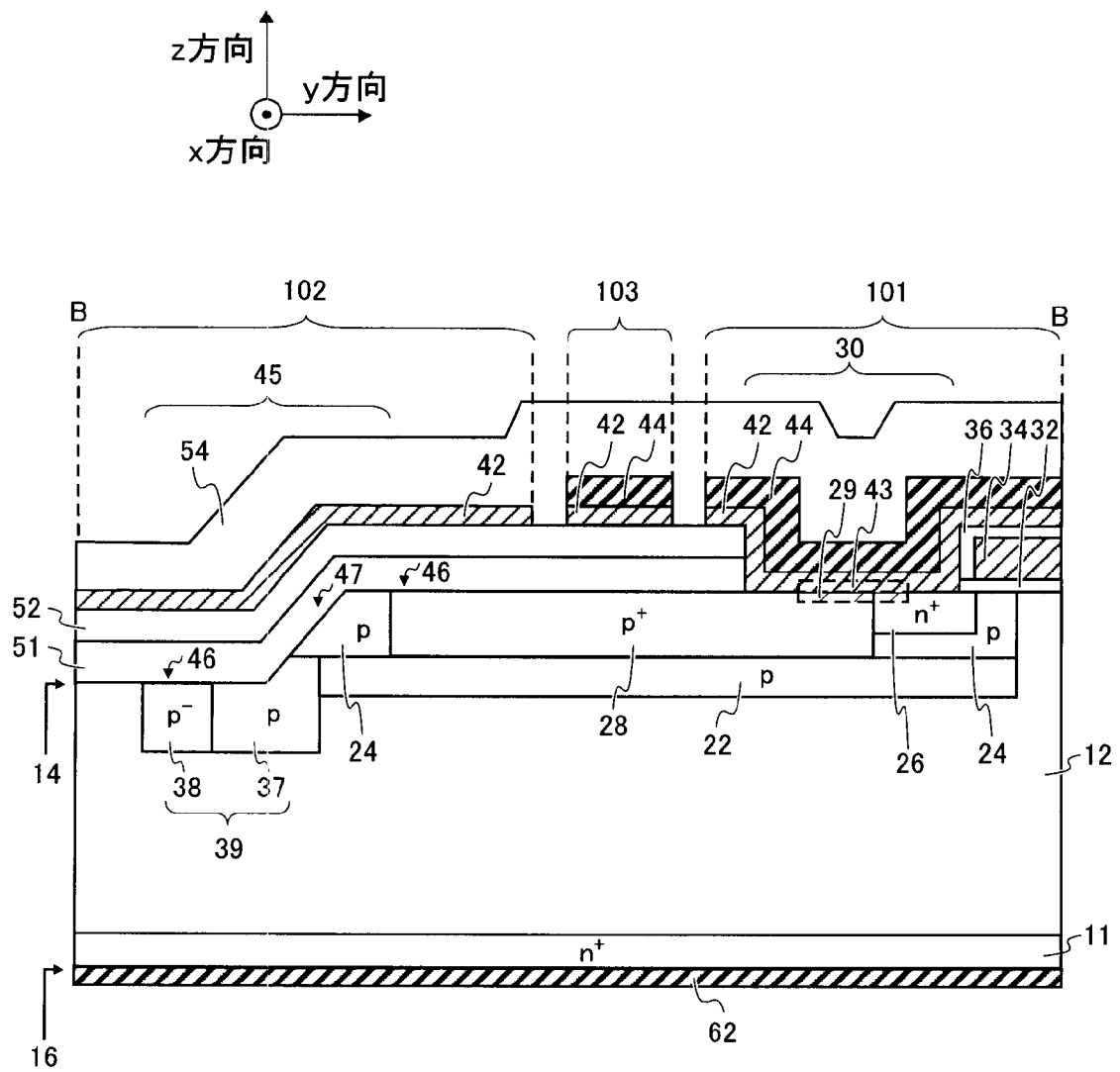
前記コンタクト部において、前記第 3 の保護膜はチタンカーバイドを少なくとも有する

請求項 9 に記載の半導体装置。

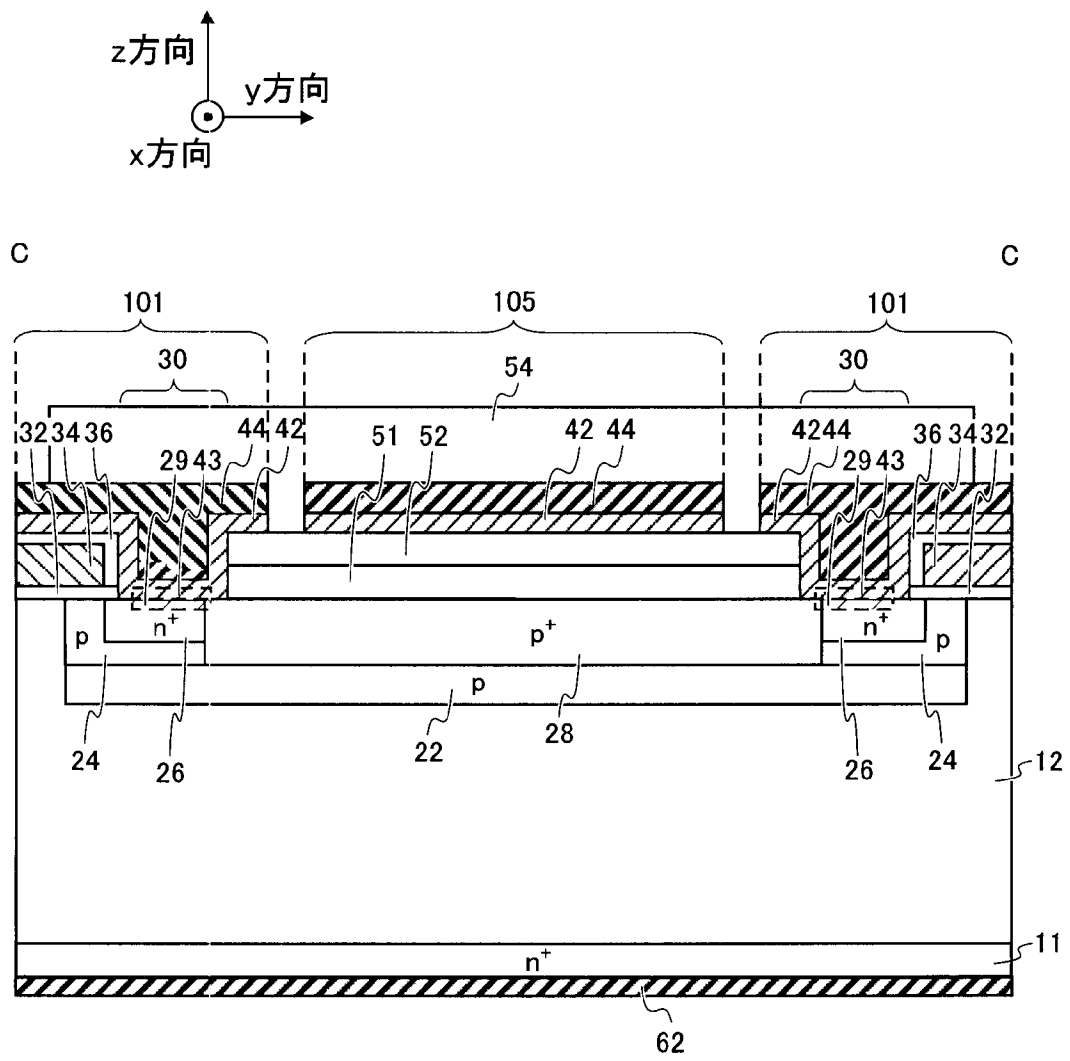
- [請求項11] 前記耐压構造部における前記第1の保護膜の厚さは、前記活性領域における前記第3の保護膜の厚さよりも大きい
請求項9に記載の半導体装置。
- [請求項12] 前記活性領域における前記第3の保護膜の厚さは、前記耐压構造部における前記第1の保護膜の厚さよりも大きい
請求項9に記載の半導体装置。

[図1]

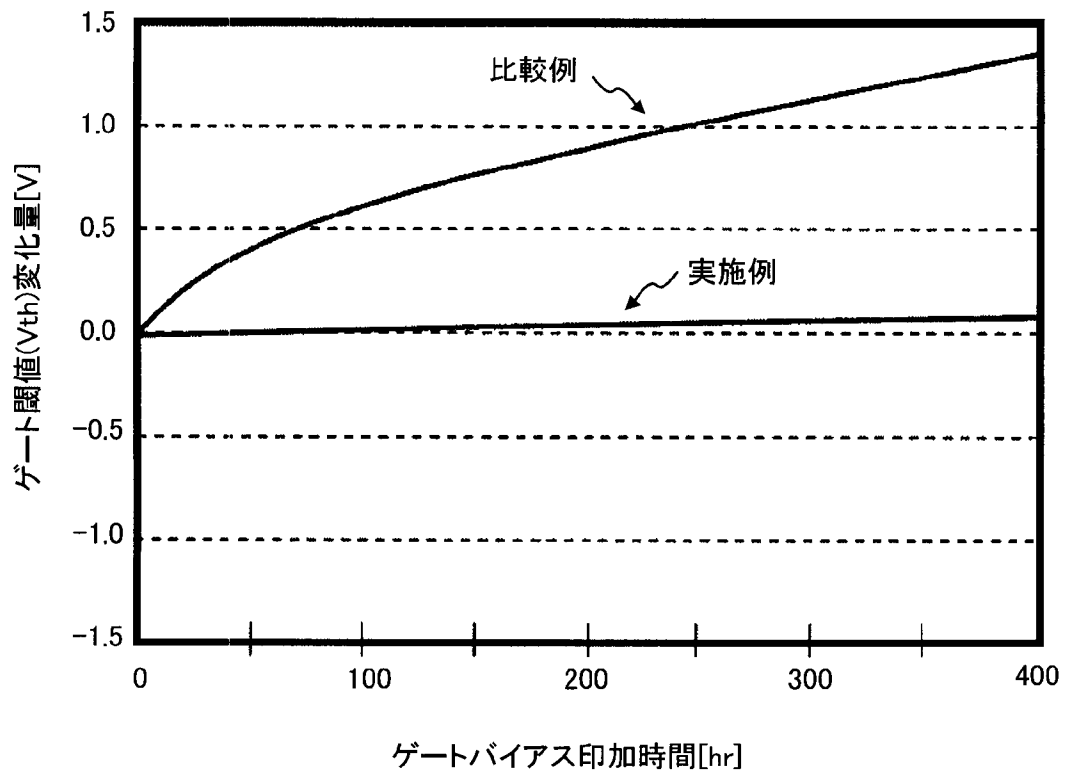




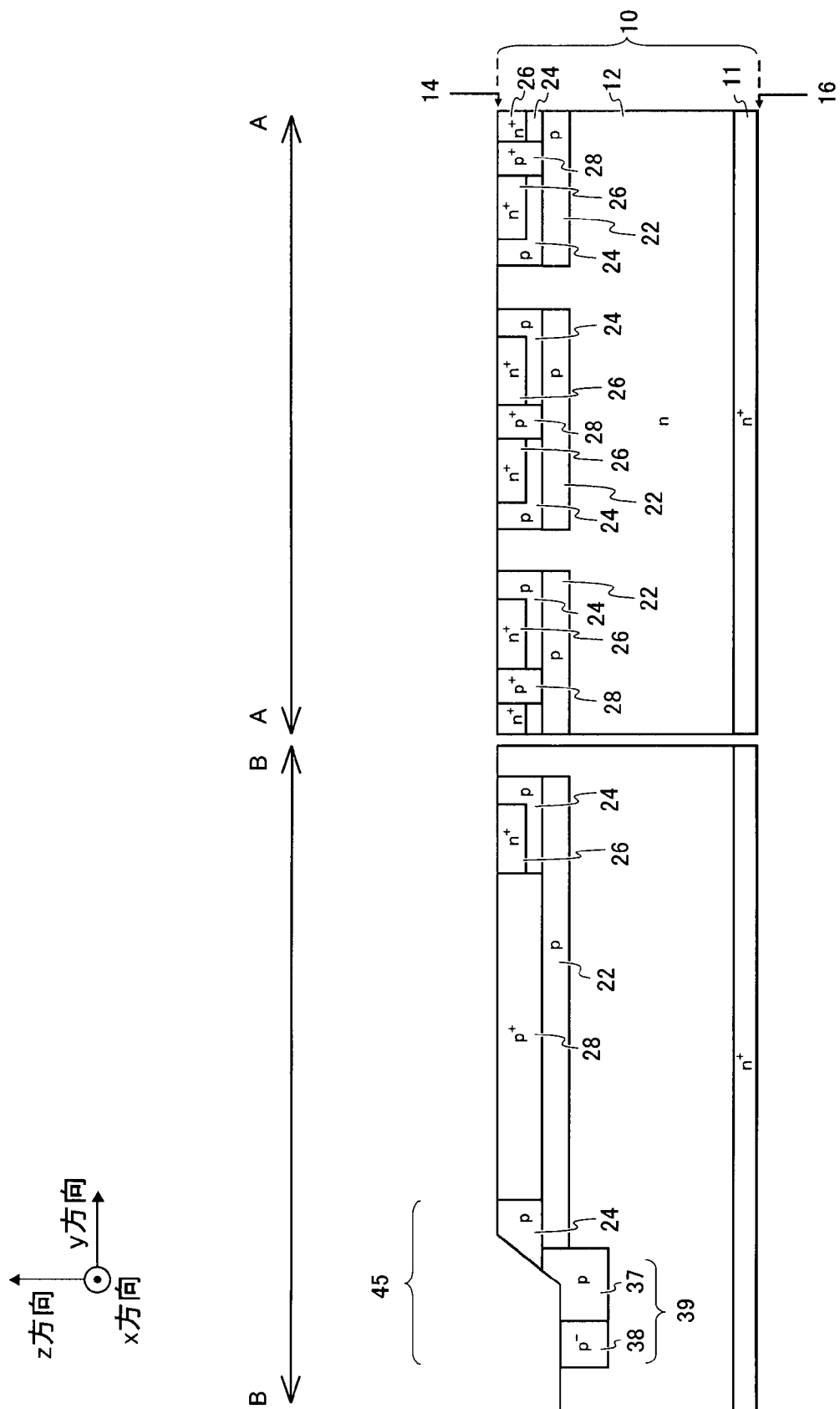
[図4]



[図5]



[図6B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061206

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016

Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2014/0299887 A1 (MONOLITH SEMICONDUCTOR, INC.), 09 October 2014 (09.10.2014), paragraphs [0013] to [0095]; fig. 1 to 12 (Family: none)	1-2, 9, 11-12 3-7 8, 10
X Y	JP 02-077128 A (Fujitsu Ltd.), 16 March 1990 (16.03.1990), page 3, upper left column, line 1 to page 4, lower left column, line 7; fig. 1 to 3 (Family: none)	1 2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 June 2016 (13.06.16)

Date of mailing of the international search report

21 June 2016 (21.06.16)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061206

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-232564 A (National Institute of Advanced Industrial Science and Technology), 14 November 2013 (14.11.2013), paragraphs [0055] to [0066]; fig. 5 & WO 2013/161449 A1 & US 2015/0115285 A1 paragraphs [0066] to [0077]; fig. 5 & CN 104321873 A	3-7
Y	JP 07-326744 A (Mitsubishi Electric Corp.), 12 December 1995 (12.12.1995), paragraphs [0023], [0029] to [0035]; fig. 1 to 4 & US 5945692 A column 3, line 47 to column 3, line 52; column 9, line 41 to column 11, line 8 & EP 685890 A1 & DE 69507987 T2 & KR 10-1995-0034599 A	2

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/28, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	US 2014/0299887 A1 (MONOLITH SEMICONDUCTOR, INC.) 2014.10.09, 段落 0013-0095, 図 1-12 (ファミリーなし)	1-2, 9, 11-12 3-7 8, 10
X Y	JP 02-077128 A (富士通株式会社) 1990.03.16, 第3ページ左上欄第1行-第4ページ左下欄第7行, 第1図-第3図 (ファミリーなし)	1 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 6 . 2 0 1 6

国際調査報告の発送日

2 1 . 0 6 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

2 9 3 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-232564 A (独立行政法人産業技術総合研究所) 2013. 11. 14, 段落 0055-0066, 図 5 & WO 2013/161449 A1 & US 2015/0115285 A1, 段落 0066-0077, 図 5 & CN 104321873 A	3-7
Y	JP 07-326744 A (三菱電機株式会社) 1995. 12. 12, 段落 0023, 0029-0035, 図 1-4 & US 5945692 A, 第 3 欄第 47 行-第 3 欄第 52 行, 第 9 欄第 41 行- 第 11 欄第 8 行 & EP 685890 A1 & DE 69507987 T2 & KR 10-1995-0034599 A	2