



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0005146
(43) 공개일자 2023년01월09일

(51) 국제특허분류(Int. Cl.)
H04N 25/65 (2023.01) H04N 25/77 (2023.01)
H04N 25/78 (2023.01)
(52) CPC특허분류
H04N 25/65 (2023.01)
H04N 25/77 (2023.01)
(21) 출원번호 10-2022-7035272
(22) 출원일자(국제) 2021년02월24일
심사청구일자 없음
(85) 번역문제출일자 2022년10월11일
(86) 국제출원번호 PCT/JP2021/006785
(87) 국제공개번호 WO 2021/215105
국제공개일자 2021년10월28일
(30) 우선권주장
JP-P-2020-075184 2020년04월21일 일본(JP)
JP-P-2020-193108 2020년11월20일 일본(JP)

(71) 출원인
소니 세미컨덕터 솔루션즈 가부시키키가이샤
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1
(72) 발명자
아사쿠라 룡홍
일본 2430014 가나가와, 아즈기-시, 아사히-쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내
이나다 요시아키
일본 2430014 가나가와, 아즈기-시, 아사히-쵸
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤
내
(74) 대리인
이광직, 윤승환

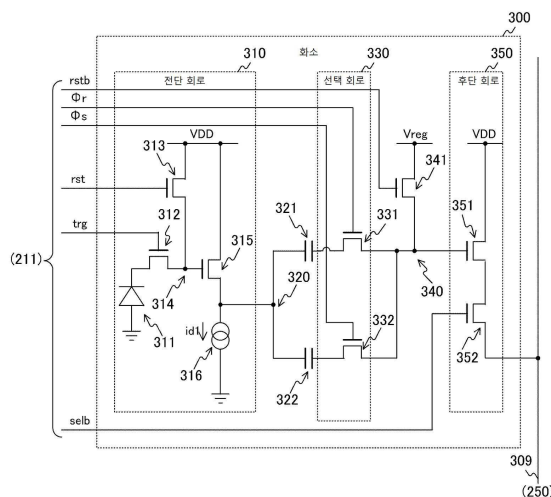
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 고체 촬상 소자

(57) 요약

전화소에서 동시에 노광을 행하는 고체 촬상 소자에 있어서, 화질을 향상시킨다. 전단 회로는, 소정의 리셋 레벨과 노광량에 따른 신호 레벨을 순서대로 생성하여 제1 및 제2 용량 소자의 각각에 보유시킨다. 선택 회로는, 제1 및 제2 용량 소자의 일방을 소정의 후단 노드에 접속하는 제어와 제1 및 제2 용량 소자의 양쪽을 후단 노드로부터 분리하는 제어와 제1 및 제2 용량 소자의 타방을 후단 노드에 접속하는 제어를 순서대로 행한다. 후단 리셋 트랜지스터는, 제1 및 제2 용량 소자의 양쪽이 후단 노드로부터 분리되었을 때에 후단 노드의 레벨을 초기화한다. 후단 회로는, 후단 노드를 통해 리셋 레벨 및 신호 레벨을 제1 및 제2 용량 소자로부터 순서대로 판독하여 출력한다.

대표도 - 도3



(52) CPC특허분류

H04N 25/78 (2023.01)

명세서

청구범위

청구항 1

제1 및 제2 용량 소자와,

미리 정해진 리셋 레벨과 노광량에 따른 신호 레벨을 순서대로 생성하여 상기 제1 및 제2 용량 소자의 각각에 보유시키는 전단 회로와,

상기 제1 및 제2 용량 소자의 일방을 미리 정해진 후단 노드에 접속하는 제어와, 상기 제1 및 제2 용량 소자의 양쪽을 상기 후단 노드로부터 분리하는 제어와, 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어를 순서대로 행하는 선택 회로와,

상기 제1 및 제2 용량 소자의 양쪽이 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와,

상기 후단 노드를 통해 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자로부터 순서대로 판독하여 출력하는 후단 회로

를 구비하는 고체 촬상 소자.

청구항 2

제1항에 있어서,

상기 전단 회로와 미리 정해진 전단 노드의 사이의 경로를 개폐하는 전단 선택 트랜지스터와,

상기 전단 노드의 레벨을 초기화하는 전단 리셋 트랜지스터

를 더 구비하고,

상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택 회로에 접속되는,

고체 촬상 소자.

청구항 3

제2항에 있어서,

상기 전단 선택 트랜지스터는, 상기 전단 회로가 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자의 각각에 보유시키는 기간에 걸쳐서 닫힘 상태로 이행하고,

상기 전단 리셋 트랜지스터는, 상기 후단 회로가 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자로부터 순서대로 판독하는 기간 내에 상기 전단 노드의 레벨을 초기화하는,

고체 촬상 소자.

청구항 4

제1항에 있어서,

상기 전단 회로는,

광전 변환 소자와,

상기 광전 변환 소자로부터 부유 확산층으로 전하를 전송하는 전단 전송 트랜지스터와,

상기 부유 확산층을 초기화하는 제1 리셋 트랜지스터와,

상기 부유 확산층의 전압을 증폭하여 미리 정해진 전단 노드로 출력하는 전단 증폭 트랜지스터

를 구비하고,

상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택 회로에 접속되는,

고체 촬상 소자.

청구항 5

제4항에 있어서,

상기 전단 증폭 트랜지스터의 소스에 공급하는 소스 전압을 조정하는 전환부를 더 구비하고,

상기 전단 회로는, 상기 전단 증폭 트랜지스터의 드레인에 접속된 전류원 트랜지스터를 더 구비하고,

상기 전류원 트랜지스터는, 노광 기간의 종료 후에 온 상태에서부터 오프 상태로 이행하는

고체 촬상 소자.

청구항 6

제5항에 있어서,

상기 전환부는, 상기 노광 기간 내에 미리 정해진 전원 전압을 상기 소스 전압으로서 공급하고, 상기 노광 기간의 종료 후에 상기 전원 전압과 다른 생성 전압을 상기 소스 전압으로서 공급하는,

고체 촬상 소자.

청구항 7

제6항에 있어서,

상기 전원 전압과 상기 생성 전압의 차분은, 상기 제1 리셋 트랜지스터의 리셋 피드 스루에 의한 변동량과 상기 전단 증폭 트랜지스터의 게이트-소스간 전압의 합에 실질적으로 일치하는,

고체 촬상 소자.

청구항 8

제4항에 있어서,

미리 정해진 노광 시작 타이밍에서, 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송함과 함께, 상기 제1 리셋 트랜지스터가 상기 부유 확산층과 함께 상기 광전 변환 소자를 초기화하고,

미리 정해진 노광 종료 타이밍에서, 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송하는,

고체 촬상 소자.

청구항 9

제4항에 있어서,

상기 전단 회로는, 상기 광전 변환 소자로부터 상기 전하를 배출하는 배출 트랜지스터를 더 구비하는,

고체 촬상 소자.

청구항 10

제9항에 있어서,

미리 정해진 노광 시작 타이밍 전에, 상기 제1 리셋 트랜지스터가 상기 부유 확산층을 초기화함과 함께, 상기 배출 트랜지스터가 상기 광전 변환 소자로부터 상기 전하를 배출하고,

미리 정해진 노광 종료 타이밍에서, 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송하는,

고체 촬상 소자.

청구항 11

제4항에 있어서,

상기 전단 회로의 리셋 전원 전압을 제어하는 제어 회로를 더 구비하고,

상기 제1 리셋 트랜지스터는, 부유 확산층의 전압을 상기 리셋 전원 전압으로 초기화하고,

상기 제어 회로는, 상기 리셋 레벨 및 상기 신호 레벨을 판독하는 판독 기간 내에 상기 리셋 전원 전압을 노광 기간과 다른 전압으로 하는,

고체 촬상 소자.

청구항 12

제11항에 있어서,

상기 판독 기간 내의 상기 리셋 전원 전압과 상기 노광 기간 내의 상기 리셋 전원 전압의 차분은, 상기 제1 리셋 트랜지스터의 리셋 피드 스루에 의한 변동량에 실질적으로 일치하는,

고체 촬상 소자.

청구항 13

제4항에 있어서,

상기 제1 리셋 트랜지스터의 게이트에는, 제1 리셋 신호가 입력되고,

상기 제1 리셋 신호의 진폭은, 다이내믹 레인지에 대응하는 값에 미리 정해진 마진을 더한 값인,

고체 촬상 소자.

청구항 14

제1항에 있어서,

연속하는 한 쌍의 프레임을 가산하는 디지털 신호 처리부를 더 구비하고,

상기 전단 회로는, 상기 한 쌍의 프레임의 일방의 노광 기간 내에 상기 제1 및 제2 용량 소자의 일방에 상기 리셋 레벨을 보유시킨 후에 상기 제1 및 제2 용량 소자의 타방에 상기 신호 레벨을 보유시키고, 상기 한 쌍의 프레임의 타방의 노광 기간 내에 상기 제1 및 제2 용량 소자의 상기 타방에 상기 리셋 레벨을 보유시킨 후에 상기 제1 및 제2 용량 소자의 상기 일방에 상기 신호 레벨을 보유시키는,

고체 촬상 소자.

청구항 15

제1항에 있어서,

상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하는,

고체 촬상 소자.

청구항 16

제15항에 있어서,

상기 아날로그 디지털 변환기는,

상기 리셋 레벨 및 상기 신호 레벨을 전송하는 수직 신호선의 레벨과 미리 정해진 램프 신호를 비교하여 비교 결과를 출력하는 콤퍼레이터와,

상기 비교 결과가 반전될 때까지의 기간에 걸쳐서 계수값을 계수하여 해당 계수값을 나타내는 상기 디지털 신호를 출력하는 카운터

를 구비하는,
고체 촬상 소자.

청구항 17

제16항에 있어서,
상기 콤퍼레이터는,
한 쌍의 입력 단자의 각각의 레벨을 비교하여 비교 결과를 출력하는 비교기와,
상기 수직 신호선과 미리 정해진 참조 전압의 노드 중 어느 하나를 선택하여 상기 한 쌍의 입력 단자의 일방에 접속하는 입력측 셀렉터
를 구비하고,
상기 한 쌍의 입력 단자의 일방에는, 상기 램프 신호가 입력되는,
고체 촬상 소자.

청구항 18

제17항에 있어서,
상기 비교 결과에 기초하여 조도가 미리 정해진 값보다 높은지 여부를 판정하여 판정 결과를 출력하는 제어부와,
상기 디지털 신호에 대해 상관 이중 샘플링 처리를 실행하는 CDS(Correlated Double Sampling) 처리부와,
상기 상관 이중 샘플링 처리가 실행된 상기 디지털 신호와 미리 정해진 값의 디지털 신호 중 어느 하나를 상기 판정 결과에 기초하여 출력하는 출력측 셀렉터
를 더 구비하는 고체 촬상 소자.

청구항 19

제1항에 있어서,
각각에 미리 정해진 수의 화소가 배열된 복수의 행을 제어하여 동시에 노광을 개시시키는 제어를 행하는 수직 주사 회로를 더 구비하고,
상기 제1 및 제2 용량 소자와 상기 전단 회로와 상기 선택 회로와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 상기 화소의 각각에 배치되는,
고체 촬상 소자.

청구항 20

제19항에 있어서,
상기 수직 주사 회로는, 상기 복수의 행을 제어하여 순서대로 노광을 개시시키는 제어를 더 행하는
고체 촬상 소자.

청구항 21

제1항에 있어서,
상기 전단 회로는, 제1 칩에 설치되고,
상기 제1 및 제2 용량 소자와 상기 선택 회로와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 제2 칩에 설치되는,
고체 촬상 소자.

청구항 22

제21항에 있어서,

상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,

상기 아날로그 디지털 변환기는, 상기 제2 칩에 설치되는,

고체 촬상 소자.

청구항 23

제21항에 있어서,

상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,

상기 아날로그 디지털 변환기는, 제3 칩에 설치되는,

고체 촬상 소자.

청구항 24

입사한 광을 전하로 변환하는 광전 변환부와,

상기 전하를 전압으로 변환하는 제1 증폭 트랜지스터와,

화소 신호를 출력하는 신호선과,

상기 제1 증폭 트랜지스터의 출력치인 제1 노드와 일단이 접속된 제1 용량 소자와,

상기 제1 증폭 트랜지스터와 상기 신호선의 사이에서, 상기 제1 용량 소자와 병렬로 설치되고, 상기 제1 노드와 일단이 접속된 제2 용량 소자와,

상기 제1 용량 소자의 타단에서, 상기 제1 용량 소자와 접속된 제1 선택 트랜지스터와,

상기 제2 용량 소자의 타단에서, 상기 제2 용량 소자와 접속된 제2 선택 트랜지스터와,

상기 제1 및 제2 선택 트랜지스터가 접속된 제2 노드에 소스 또는 드레인이 접속된 리셋 트랜지스터와,

상기 제2 노드에 게이트가 접속되고, 상기 화소 신호를 출력하는 제2 증폭 트랜지스터를 가지는 고체 촬상 소자.

발명의 설명

기술 분야

[0001] 본 기술은, 고체 촬상 소자에 관한 것이다. 상세하게는, 컬럼마다 AD(Analog to Digital) 변환을 행하는 고체 촬상 소자의 제어 방법에 관한 것이다.

배경 기술

[0002] 종래부터, 고체 촬상 소자에 있어서는, 화소를 미세화할 목적으로, 화소 어레이부의 외부에 컬럼마다 ADC를 배치하고, 1행씩 순서대로 화소 신호를 판독하는 컬럼 ADC(Analog to Digital Converter) 방식이 사용되고 있다. 이 컬럼 ADC 방식에 있어서, 1행씩 순서대로 노광을 시작하는 롤링 셔터 방식에 의해 노광을 행하면, 롤링 셔터 왜곡이 생길 우려가 있다. 이에, 전화소에서 동시에 노광을 시작하는 글로벌 셔터 방식을 실현하기 위해서, 화소마다 한 쌍의 용량을 설치하고, 그들 용량에 리셋 레벨 및 신호 레벨을 보유시키는 고체 촬상 소자가 제안되어 있다(예를 들면, 비특허문헌 1 참조). 이들 한 쌍의 용량은, 노드를 통해 소스 팔로어 회로(source follower circuit)에 직렬로 접속되고, 그 소스 팔로어 회로에 의해, 리셋 레벨 및 신호 레벨이 순서대로 판독된다.

선행기술문헌

비특허문헌

- [0003] (비특허문헌 0001) Jae-kyu Lee, et al., A 2.1e-Temporal Noise and-105dB Parasitic Light Sensitivity Backside-Illuminated 2.3 μ m-Pixel Voltage-Domain Global Shutter CMOS Image Sensor Using High-Capacity DRAM Capacitor Technology, ISSCC 2020.

발명의 내용

해결하려는 과제

- [0004] 상술한 종래 기술에서는, 리셋 레벨 및 신호 레벨을 화소마다 한 쌍의 용량에 보유시킴으로써, 컬럼 ADC 방식에 있어서, 글로벌 셔터 방식의 실현을 도모하고 있다. 그러나, 소스 팔로어 회로 내의 트랜지스터가, 용량에 접속된 노드를 초기화할 때에, 그 용량에 따른 레벨의 kTC 노이즈(바꿔 말하면, 리셋 노이즈)가 생기고, 그 노이즈에 의해 화상 데이터의 화질이 저하하게 된다고 하는 문제가 있다.
- [0005] 본 기술은 이러한 상황을 감안하여 이루어진 것으로, 전화소에서 동시에 노광을 행하는 고체 촬상 소자에 있어서, 화질을 향상시키는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 본 기술은, 상술한 문제점을 해소하기 위해서 이루어진 것으로서, 그 제1 측면은, 제1 및 제2 용량 소자와, 소정의 리셋 레벨과 노광량에 따른 신호 레벨을 순서대로 생성하여 상기 제1 및 제2 용량 소자의 각각에 보유시키는 전단 회로와, 상기 제1 및 제2 용량 소자의 일방을 소정의 후단 노드에 접속하는 제어와 상기 제1 및 제2 용량 소자의 양쪽을 상기 후단 노드로부터 분리하는 제어와 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어를 순서대로 행하는 선택 회로와, 상기 제1 및 제2 용량 소자의 양쪽이 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와, 상기 후단 노드를 통해 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자로부터 순서대로 판독하여 출력하는 후단 회로를 구비하는 고체 촬상 소자, 및, 그 제어 방법이다. 이에 의해, kTC 노이즈가 저감된다고 하는 작용을 가져온다.
- [0007] 또한, 이 제1 측면에 있어서, 상기 전단 회로와 소정의 전단 노드의 사이의 경로를 개폐하는 전단 선택 트랜지스터와, 상기 전단 노드의 레벨을 초기화하는 전단 리셋 트랜지스터를 더 구비하고, 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택 회로에 접속되어도 된다. 이에 의해, 전단 회로로부터의 노이즈가 차단된다고 하는 작용을 가져온다.
- [0008] 또한, 이 제1 측면에 있어서, 상기 전단 선택 트랜지스터는, 상기 전단 회로가 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자의 각각에 보유시키는 기간에 걸쳐서 닫힘 상태로 이행하고, 상기 전단 리셋 트랜지스터는, 상기 후단 회로가 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자로부터 순서대로 판독하는 기간 내에 상기 전단 노드의 레벨을 초기화해도 된다. 이에 의해, 판독시에 전단 노드의 전위가 고정된다고 하는 작용을 가져온다.
- [0009] 또한, 이 제1 측면에 있어서, 상기 전단 회로는, 광전 변환 소자와, 상기 광전 변환 소자로부터 부유 확산층으로 전하를 전송하는 전단 전송 트랜지스터와, 상기 부유 확산층을 초기화하는 제1 리셋 트랜지스터와, 상기 부유 확산층의 전압을 증폭하여 소정의 전단 노드로 출력하는 전단 증폭 트랜지스터를 구비하고, 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택 회로에 접속되어도 된다. 이에 의해, 부유 확산층의 전위에 따른 신호가 전단 노드로 공급된다고 하는 작용을 가져온다.
- [0010] 또한, 이 제1 측면에 있어서, 상기 전단 증폭 트랜지스터의 소스에 공급하는 소스 전압을 조정하는 전환부를 더 구비하고, 상기 전단 회로는, 상기 전단 증폭 트랜지스터의 드레인에 접속된 전류원 트랜지스터를 더 구비하고, 상기 전류원 트랜지스터는, 노광 기간의 종료 후에 온 상태로부터 오프 상태로 이행해도 된다. 이에 의해, 전단의 소스 팔로어가 판독시에 오프 상태가 된다고 하는 작용을 가져온다.
- [0011] 또한, 이 제1 측면에 있어서, 상기 전환부는, 상기 노광 기간 내에 소정의 전원 전압을 상기 소스 전압으로서 공급하고, 상기 노광 기간의 종료 후에 상기 전원 전압과 다른 생성 전압을 상기 소스 전압으로서 공급해도 된다. 이에 의해, 전단의 소스 팔로어의 소스 전압이 조정된다고 하는 작용을 가져온다.

- [0012] 또한, 이 제1 측면에 있어서, 상기 전원 전압과 상기 생성 전압의 차분은, 상기 제1 리셋 트랜지스터의 리셋 피드 스루에 의한 변동량과 상기 전단 증폭 트랜지스터의 게이트-소스간 전압의 합에 대략 일치해도 된다. 이에 의해, 노광시와 판독시의 전단 노드의 전위가 일치한다고 하는 작용을 가져온다.
- [0013] 또한, 이 제1 측면에 있어서, 소정의 노광 시작 타이밍에서 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송함과 함께 상기 제1 리셋 트랜지스터가 상기 부유 확산층과 함께 상기 광전 변환 소자를 초기화하고, 소정의 노광 종료 타이밍에서 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송해도 된다. 이에 의해, 노광량에 따른 화소 신호가 생성된다고 하는 작용을 가져온다.
- [0014] 또한, 이 제1 측면에 있어서, 상기 전단 회로는, 상기 광전 변환 소자로부터 상기 전하를 배출하는 배출 트랜지스터를 더 구비해도 된다. 이에 의해, 광전 변환 소자가 초기화된다고 하는 작용을 가져온다.
- [0015] 또한, 이 제1 측면에 있어서, 소정의 노광 시작 타이밍 전에 상기 제1 리셋 트랜지스터가 상기 부유 확산층을 초기화함과 함께 상기 배출 트랜지스터가 상기 광전 변환 소자로부터 상기 전하를 배출하고, 소정의 노광 종료 타이밍에서 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송해도 된다. 이에 의해, 매우 짧은 노광 기간이 실현된다고 하는 작용을 가져온다.
- [0016] 또한, 이 제1 측면에 있어서, 상기 전단 회로의 리셋 전원 전압을 제어하는 제어 회로를 더 구비하고, 상기 제1 리셋 트랜지스터는, 부유 확산층의 전압을 상기 리셋 전원 전압으로 초기화하고, 상기 제어 회로는, 상기 리셋 레벨 및 상기 신호 레벨을 판독하는 판독 기간 내에 상기 리셋 전원 전압을 노광 기간과 다른 전압으로 해도 된다. 이에 의해, 감도 불균일성이 개선된다고 하는 작용을 가져온다.
- [0017] 또한, 이 제1 측면에 있어서, 상기 판독 기간 내의 상기 리셋 전원 전압과 상기 노광 기간 내의 상기 리셋 전원 전압의 차분은, 상기 제1 리셋 트랜지스터의 리셋 피드 스루에 의한 변동량에 대략 일치하는 것이어도 된다. 이에 의해, 감도불균일성이 개선된다고 하는 작용을 가져온다.
- [0018] 또한, 이 제1 측면에 있어서, 상기 제1 리셋 트랜지스터의 게이트에는, 제1 리셋 신호가 입력되고, 상기 제1 리셋 신호의 진폭은, 다이내믹 레인지에 대응하는 값에 소정의 마진을 더한 값이어도 된다. 이에 의해, 흑점 현상이 억제된다고 하는 작용을 가져온다.
- [0019] 또한, 이 제1 측면에 있어서, 연속하는 한 쌍의 프레임을 가산하는 디지털 신호 처리부를 더 구비하고, 상기 전단 회로는, 상기 한 쌍의 프레임의 일방의 노광 기간 내에 상기 제1 및 제2 용량 소자의 일방에 상기 리셋 레벨을 보유시킨 후에 상기 제1 및 제2 용량 소자의 타방에 상기 신호 레벨을 보유시키고, 상기 한 쌍의 프레임의 타방 노광 기간 내에 상기 제1 및 제2 용량 소자의 상기 타방에 상기 리셋 레벨을 보유시킨 후에 상기 제1 및 제2 용량 소자의 상기 일방에 상기 신호 레벨을 보유시켜도 된다. 이에 의해, 감도 불균일성이 개선된다고 하는 작용을 가져온다.
- [0020] 또한, 이 제1 측면에 있어서, 상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비해도 된다. 이에 의해, 디지털의 화상 데이터가 생성된다고 하는 작용을 가져온다.
- [0021] 또한, 이 제1 측면에 있어서, 상기 아날로그 디지털 변환기는, 상기 리셋 레벨 및 상기 신호 레벨을 전송하는 수직 신호선의 레벨과 소정의 램프 신호를 비교하여 비교 결과를 출력하는 콤퍼레이터와, 상기 비교 결과가 반전될 때까지의 기간에 걸쳐서 계수값을 계수하여 해당 계수값을 나타내는 상기 디지털 신호를 출력하는 카운터를 구비해도 된다. 이에 의해, 간이한 배치에 의해 아날로그 디지털 변환이 실현된다고 하는 작용을 가져온다.
- [0022] 또한, 이 제1 측면에 있어서, 상기 콤퍼레이터는, 한 쌍의 입력 단자의 각각의 레벨을 비교하여 비교 결과를 출력하는 비교기와, 상기 수직 신호선과 소정의 참조 전압의 노드 중 어느 하나를 선택하여 상기 한 쌍의 입력 단자의 일방에 접속하는 입력측 셀렉터를 구비하고, 상기 한 쌍의 입력 단자의 일방에는, 상기 램프 신호가 입력되어도 된다. 이에 의해, 흑점 현상이 억제된다고 하는 작용을 가져온다.
- [0023] 또한, 이 제1 측면에 있어서, 상기 비교 결과에 기초하여 조도가 소정값보다 높은지 여부를 판정하여 판정 결과를 출력하는 제어부와, 상기 디지털 신호에 대해 상관 이중 샘플링 처리를 실행하는 CDS(Correlated Double Sampling) 처리부와, 상기 상관 이중 샘플링 처리가 실행된 상기 디지털 신호와 소정값의 디지털 신호 중 어느 하나를 상기 판정 결과에 기초하여 출력하는 출력측 셀렉터를 더 구비해도 된다. 이에 의해, 흑점 현상이 억제된다고 하는 작용을 가져온다.

- [0024] 또한, 이 제1 측면에 있어서, 각각에 소정수의 화소가 배열된 복수의 행을 제어하여 동시에 노광을 개시시키는 제어를 행하는 수직 주사 회로를 더 구비하고, 상기 제1 및 제2 용량 소자와 상기 전단 회로와 상기 선택 회로와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 상기 화소의 각각에 배치되어도 된다. 이에 의해, 화소의 미세화가 용이하게 된다고 하는 작용을 가져온다.
- [0025] 또한, 이 제1 측면에 있어서, 상기 수직 주사 회로는, 상기 복수의 행을 제어하여 순서대로 노광을 개시시키는 제어를 더 행해도 된다. 이에 의해, 화소의 미세화가 용이하게 된다고 하는 작용을 가져온다.
- [0026] 또한, 이 제1 측면에 있어서, 상기 전단 회로는, 제1 칩에 설치되고, 상기 제1 및 제2 용량 소자와 상기 선택 회로와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 제2 칩에 설치되어도 된다. 이에 의해, 화소의 미세화가 용이하게 된다고 하는 작용을 가져온다.
- [0027] 또한, 이 제1 측면에 있어서, 상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고, 상기 아날로그 디지털 변환기는, 상기 제2 칩에 설치되어도 된다. 이에 의해, 화소의 미세화가 용이하게 된다고 하는 작용을 가져온다.
- [0028] 또한, 이 제1 측면에 있어서, 상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고, 상기 아날로그 디지털 변환기는, 제3 칩에 설치되어도 된다. 이에 의해, 화소의 미세화가 용이하게 된다고 하는 작용을 가져온다.
- [0029] 또한, 본 기술의 제2 측면은, 입사한 광을 전하로 변환하는 광전 변환부와, 상기 전하를 전압으로 변환하는 제1 증폭 트랜지스터와, 화소 신호를 출력하는 신호선과, 상기 제1 증폭 트랜지스터의 출력치인 제1 노드와 일단이 접속된 제1 용량 소자와, 상기 제1 증폭 트랜지스터와 상기 신호선의 사이에서, 상기 제1 용량 소자와 병렬로 설치되고, 상기 제1 노드와 일단이 접속된 제2 용량 소자와, 상기 제1 용량 소자의 타단에서, 상기 제1 용량 소자와 접속된 제1 선택 트랜지스터와, 상기 제2 용량 소자의 타단에서, 상기 제2 용량 소자와 접속된 제2 선택 트랜지스터와, 상기 제1 및 제2 선택 트랜지스터가 접속된 제2 노드에 소스 또는 드레인이 접속된 리셋 트랜지스터와, 상기 제2 노드에 게이트가 접속되고, 상기 화소 신호를 출력하는 제2 증폭 트랜지스터를 가지는 고체 촬상 소자이다. 이에 의해, kTC 노이즈가 저감된 화상 데이터가 생성된다고 하는 작용을 가져온다.

도면의 간단한 설명

- [0030] 도 1은, 본 기술의 제1 실시형태에 있어서의 촬상 장치의 일 구성예를 나타내는 블록도이다.
- 도 2는, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자의 일 구성예를 나타내는 블록도이다.
- 도 3은, 본 기술의 제1 실시형태에 있어서의 화소의 일 구성예를 나타내는 회로도이다.
- 도 4는, 본 기술의 제1 실시형태에 있어서의 컬럼 신호 처리 회로 및 부하 MOS 회로 블록의 일 구성예를 나타내는 블록도이다.
- 도 5는, 본 기술의 제1 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 6은, 본 기술의 제1 실시형태에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 7은, 본 기술의 제1 실시형태에 있어서의 판독 동작의 다른 예를 나타내는 타이밍 차트이다.
- 도 8은, 비교예에 있어서의 화소의 일 구성예를 나타내는 회로도이다.
- 도 9는, 본 기술의 제1 실시형태에 있어서의 리셋 레벨의 판독시와, 후단 노드의 초기화시의 각각의 화소의 상태의 일 예를 나타내는 도면이다.
- 도 10은, 본 기술의 제1 실시형태에 있어서의 신호 레벨의 판독시의 화소의 상태의 일 예를 나타내는 도면이다.
- 도 11은, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자의 동작의 일 예를 나타내는 플로우 차트이다.
- 도 12는, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 화소의 일 구성예를 나타내는 회로도이다.
- 도 13은, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 14는, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다.

- 도 15는, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 고체 촬상 소자의 적층 구조의 일 예를 나타내는 도면이다.
- 도 16은, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 화소의 일 구성예를 나타내는 회로도이다.
- 도 17은, 본 기술의 제1 실시형태의 제3 변형예에 있어서의 고체 촬상 소자의 적층 구조의 일 예를 나타내는 도면이다.
- 도 18은, 본 기술의 제2 실시형태에 있어서의 화소의 일 구성예를 나타내는 회로도이다.
- 도 19는, 본 기술의 제2 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 20은, 본 기술의 제3 실시형태에 있어서의 화소의 일 구성예를 나타내는 회로도이다.
- 도 21은, 본 기술의 제3 실시형태에 있어서의 리셋 피드 스루에 대해 설명하기 위한 도면이다.
- 도 22는, 본 기술의 제3 실시형태에 있어서의 리셋 피드 스루에 의한 레벨의 편차에 대해 설명하기 위한 도면이다.
- 도 23은, 본 기술의 제3 실시형태에 있어서의 전압 제어의 일 예를 나타내는 타이밍 차트이다.
- 도 24는, 본 기술의 제4 실시형태에 있어서의 홀수 프레임의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 25는, 본 기술의 제4 실시형태에 있어서의 홀수 프레임의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 26은, 본 기술의 제4 실시형태에 있어서의 짝수 프레임의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 27은, 본 기술의 제4 실시형태에 있어서의 짝수 프레임의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 28은, 본 기술의 제5 실시형태에 있어서의 컬럼 신호 처리 회로의 일 구성예를 나타내는 회로도이다.
- 도 29는, 본 기술의 제5 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 30은, 본 기술의 제5 실시형태에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 31은, 본 기술의 제6 실시형태에 있어서의 롤링 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 32는, 본 기술의 제7 실시형태에 있어서의 고체 촬상 소자의 일 구성예를 나타내는 블록도이다.
- 도 33은, 본 기술의 제7 실시형태에 있어서의 더미 화소, 레귤레이터, 및, 전환부의 일 구성예를 나타내는 회로도이다.
- 도 34는, 본 기술의 제7 실시형태에 있어서의 더미 화소 및 레귤레이터의 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 35는, 본 기술의 제7 실시형태에 있어서의 유효 화소의 일 구성예를 나타내는 회로도이다.
- 도 36은, 본 기술의 제7 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 37은, 본 기술의 제7 실시형태에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다.
- 도 38은, 본 기술의 제7 실시형태에 있어서의 효과를 설명하기 위한 도면이다.
- 도 39는, 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.
- 도 40은, 촬상부의 설치 위치의 일 예를 나타내는 설명도이다.

발명을 실시하기 위한 구체적인 내용

[0031]

이하, 본 기술을 실시하기 위한 형태(이하, 실시형태라고 칭한다)에 대해 설명한다. 설명은 이하의 순서에 의해 행한다.

- [0032] 1. 제1 실시형태(제1 및 제2 용량 소자에 화소 신호를 보유시키는 예)
- [0033] 2. 제2 실시형태(배출 트랜지스터를 추가하고, 제1 및 제2 용량 소자에 화소 신호를 보유시키는 예)
- [0034] 3. 제3 실시형태(제1 및 제2 용량 소자에 화소 신호를 보유시키고, 리셋 전원 전압을 제어하는 예)
- [0035] 4. 제4 실시형태(제1 및 제2 용량 소자에 화소 신호를 보유시키고, 프레임마다 보유시키는 레벨을 바꾸는 예)
- [0036] 5. 제5 실시형태(제1 및 제2 용량 소자에 화소 신호를 보유시키고, 흑점 현상을 억제하는 예)
- [0037] 6. 제6 실시형태(제1 및 제2 용량 소자에 화소 신호를 보유시키고, 롤링 셔터 동작을 행하는 예)
- [0038] 7. 이동체에의 응용예
- [0039] <1. 제1 실시형태>
- [0040] [촬상 장치의 구성예]
- [0041] 도 1은, 본 기술의 제1 실시형태에 있어서의 촬상 장치(100)의 일 구성예를 나타내는 블록도이다. 이 촬상 장치(100)는, 화상 데이터를 촬상하는 장치이며, 촬상 렌즈(110), 고체 촬상 소자(200), 기록부(120) 및 촬상 제어부(130)를 구비한다. 촬상 장치(100)로서는, 디지털 카메라나, 촬상 기능을 가지는 전자 장치(스마트폰이나 컴퓨터 등)가 상정된다.
- [0042] 고체 촬상 소자(200)는, 촬상 제어부(130)의 제어에 따라, 화상 데이터를 촬상하는 것이다. 이 고체 촬상 소자(200)는, 화상 데이터를 신호선(209)을 통해 기록부(120)에 공급한다.
- [0043] 촬상 렌즈(110)는, 광을 집광하여 고체 촬상 소자(200)로 가이드하는 것이다. 촬상 제어부(130)는, 고체 촬상 소자(200)를 제어하여 화상 데이터를 촬상시키는 것이다. 이 촬상 제어부(130)는, 예를 들면, 수직 동기 신호(VSYNC)를 포함하는 촬상 제어 신호를 고체 촬상 소자(200)에 신호선(139)을 통해 공급한다. 기록부(120)는, 화상 데이터를 기록하는 것이다.
- [0044] 여기서, 수직 동기 신호(VSYNC)는, 촬상의 타이밍을 나타내는 신호이며, 일정한 주파수(60헤르츠 등)의 주기 신호가 수직 동기 신호(VSYNC)로서 사용된다.
- [0045] 한편, 촬상 장치(100)는, 화상 데이터를 기록하고 있는데, 그 화상 데이터를 촬상 장치(100)의 외부에 송신해도 된다. 이 경우에는, 화상 데이터를 송신하기 위한 외부 인터페이스가 더 설치된다. 또는, 촬상 장치(100)는, 화상 데이터를 더 표시해도 된다. 이 경우에는 표시부가 더 설치된다.
- [0046] [고체 촬상 소자의 구성예]
- [0047] 도 2는, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자(200)의 일 구성예를 나타내는 블록도이다. 이 고체 촬상 소자(200)는, 수직 주사 회로(211), 화소 어레이부(220), 타이밍 제어 회로(212), DAC(Digital to Analog Converter)(213), 부하 MOS 회로 블록(250), 컬럼 신호 처리 회로(260)를 구비한다. 화소 어레이부(220)에는, 2차원 격자 형상으로 복수의 화소(300)가 배열된다. 또한, 고체 촬상 소자(200) 내의 각 회로는, 예를 들면, 단일의 반도체 칩에 설치된다.
- [0048] 이하, 수평 방향으로 배열된 화소(300)의 집합을 "행"이라고 칭하고, 행에 수직인 방향으로 배열된 화소(300)의 집합을 "열"이라고 칭한다.
- [0049] 타이밍 제어 회로(212)는, 촬상 제어부(130)로부터의 수직 동기 신호(VSYNC)에 동기하여 수직 주사 회로(211), DAC(213), 컬럼 신호 처리 회로(260)의 각각의 동작 타이밍을 제어하는 것이다.
- [0050] DAC(213)는, DA(Digital to Analog) 변환에 의해, 톱니 형상 파형의 램프 신호를 생성하는 것이다. DAC(213)는, 생성된 램프 신호를 컬럼 신호 처리 회로(260)에 공급한다.
- [0051] 수직 주사 회로(211)는, 행을 순서대로 선택하여 구동하고, 아날로그의 화소 신호를 출력시키는 것이다. 화소(300)는, 입사광을 광전 변환하여 아날로그의 화소 신호를 생성하는 것이다. 이 화소(300)는, 부하 MOS 회로 블록(250)을 통해, 컬럼 신호 처리 회로(260)에 화소 신호를 공급한다.
- [0052] 부하 MOS 회로 블록(250)에는, 정전류를 공급하는 MOS 트랜지스터가 열마다 설치된다.
- [0053] 컬럼 신호 처리 회로(260)는, 열마다, 화소 신호에 대해 AD 변환 처리나 CDS 처리 등의 신호 처리를 실행하는 것이다. 이 컬럼 신호 처리 회로(260)는, 처리후의 신호로 이루어지는 화상 데이터를 기록부(120)에 공급한다.

한편, 컬럼 신호 처리 회로(260)는, 특허청구의 범위에 기재된 신호 처리 회로의 일 예이다.

- [0054] [화소의 구성예]
- [0055] 도 3은, 본 기술의 제1 실시형태에 있어서의 화소(300)의 일 구성예를 나타내는 회로도이다. 이 화소(300)는, 전단 회로(310)와, 용량 소자(321 및 322)와, 선택 회로(330)와, 후단 리셋 트랜지스터(341)와, 후단 회로(350)를 구비한다.
- [0056] 전단 회로(310)는, 광전 변환 소자(311), 전송 트랜지스터(312), FD(Floating Diffusion) 리셋 트랜지스터(313), FD(314), 전단 증폭 트랜지스터(315) 및 전류원 트랜지스터(316)를 구비한다.
- [0057] 광전 변환 소자(311)는, 광전 변환에 의해 전하를 생성하는 것이다. 전송 트랜지스터(312)는, 수직 주사 회로(211)로부터의 전송 신호(trg)에 따라, 광전 변환 소자(311)로부터 FD(314)로 전하를 전송하는 것이다.
- [0058] FD 리셋 트랜지스터(313)는, 수직 주사 회로(211)로부터의 FD 리셋 신호(rst)에 따라, FD(314)로부터 전하를 빼내서 초기화하는 것이다. FD(314)는, 전하를 축적하고, 전하량에 따른 전압을 생성하는 것이다. 전단 증폭 트랜지스터(315)는, FD(314)의 전압의 레벨을 증폭하여 전단 노드(320)에 출력하는 것이다. 한편, FD 리셋 트랜지스터(313)는, 특허청구의 범위에 기재된 제1 리셋 트랜지스터의 일 예이다. 또한, 전단 증폭 트랜지스터(315)는, 특허청구의 범위에 기재된 제1 증폭 트랜지스터의 일 예이다.
- [0059] 또한, FD 리셋 트랜지스터(313) 및 전단 증폭 트랜지스터(315)의 소스는, 전원 전압(VDD)에 접속된다. 전류원 트랜지스터(316)는, 전단 증폭 트랜지스터(315)의 드레인에 접속된다. 이 전류원 트랜지스터(316)는, 수직 주사 회로(211)의 제어에 따라, 전류(id1)를 공급한다.
- [0060] 용량 소자(321 및 322)의 각각의 일단은, 전단 노드(320)에 공통으로 접속되고, 각각의 타단은, 선택 회로(330)에 접속된다. 한편, 용량 소자(321 및 322)는, 특허청구의 범위에 기재된 제1 및 제2 용량 소자의 일 예이다.
- [0061] 선택 회로(330)는, 선택 트랜지스터(331) 및 선택 트랜지스터(332)를 구비한다. 선택 트랜지스터(331)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_r)에 따라, 용량 소자(321)와 후단 노드(340)의 사이의 경로를 개폐하는 것이다. 선택 트랜지스터(332)는, 수직 주사 회로(211)로부터의 선택 신호(Φ_s)에 따라, 용량 소자(322)와 후단 노드(340)의 사이의 경로를 개폐하는 것이다.
- [0062] 후단 리셋 트랜지스터(341)는, 수직 주사 회로(211)로부터의 후단 리셋 신호(rstb)에 따라, 후단 노드(340)의 레벨을 소정의 전위(Vreg)로 초기화하는 것이다. 전위(Vreg)에는, 전원 전위(VDD)와 다른 전위(예를 들면, VDD 보다 낮은 전위)가 설정된다.
- [0063] 후단 회로(350)는, 후단 증폭 트랜지스터(351) 및 후단 선택 트랜지스터(352)를 구비한다. 후단 증폭 트랜지스터(351)는, 후단 노드(340)의 레벨을 증폭하는 것이다. 후단 선택 트랜지스터(352)는, 수직 주사 회로(211)로부터의 후단 선택 신호(selb)에 따라, 후단 증폭 트랜지스터(351)에 의해 증폭된 레벨의 신호를 화소 신호선으로서 수직 신호선(309)에 출력하는 것이다. 한편, 후단 증폭 트랜지스터는, 특허청구의 범위에 기재된 제2 증폭 트랜지스터의 일 예이다.
- [0064] 한편, 화소(300) 내의 각종 트랜지스터(전송 트랜지스터(312) 등)로서, 예를 들면, nMOS(n-channel Metal Oxide Semiconductor) 트랜지스터가 사용된다.
- [0065] 수직 주사 회로(211)는, 노광 시작시에 전하소로 하이 레벨의 FD 리셋 신호(rst) 및 전송 신호(trg)를 공급한다. 이에 의해, 광전 변환 소자(311)가 초기화된다. 이하, 이 제어를 "PD 리셋"이라고 칭한다.
- [0066] 그리고, 수직 주사 회로(211)는, 노광 종료의 직전에, 전하소에 대해 후단 리셋 신호(rstb) 및 선택 신호(Φ_r)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 FD 리셋 신호(rst)를 공급한다. 이에 의해, FD(314)가 초기화되고, 그 때의 FD(314)의 레벨에 따른 레벨이 용량 소자(321)에 보유된다. 이 제어를 이하, "FD 리셋"이라고 칭한다.
- [0067] FD 리셋시의 FD(314)의 레벨과, 그 레벨에 대응하는 레벨(용량 소자(321)의 보유 레벨이나, 수직 신호선(309)의 레벨)을 포괄하여, 이하, "P상" 또는 "리셋 레벨"이라고 칭한다.
- [0068] 수직 주사 회로(211)는, 노광 종료시에, 전하소에 대해 후단 리셋 신호(rstb) 및 선택 신호(Φ_s)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 전송 신호(trg)를 공급한다. 이에 의해, 노광량에 따른 신호 전하가

FD(314)로 전송되고, 그 때의 FD(314)의 레벨에 따른 레벨이 용량 소자(322)에 보유된다.

- [0069] 신호 전하의 전송시의 FD(314)의 레벨과, 그 레벨에 대응하는 레벨(용량 소자(322)의 보유 레벨이나, 수직 신호선(309)의 레벨)을 포괄하여, 이하, "D상" 또는 "신호 레벨"이라고 칭한다.
- [0070] 이와 같이 전화소에 대해 동시에 노광을 시작하고, 종료하는 노광 제어는, 글로벌 셔터 방식이라고 불린다. 이 노광 제어에 의해, 전화소의 전단 회로(310)는, 리셋 레벨 및 신호 레벨을 순서대로 생성한다. 리셋 레벨은, 용량 소자(321)에 보유되고, 신호 레벨은, 용량 소자(322)에 보유된다.
- [0071] 노광 종료 후에 수직 주사 회로(211)는, 행을 순서대로 선택하여, 그 행의 리셋 레벨 및 신호 레벨을 순서대로 출력시킨다. 리셋 레벨을 출력시킬 때에, 수직 주사 회로(211)는, 선택한 행의 FD 리셋 신호(rst) 및 후단 선택 신호(selb)를 하이 레벨로 하면서, 하이 레벨의 선택 신호(Φ_r)를 소정 기간에 걸쳐서 공급한다. 이에 의해, 용량 소자(321)가 후단 노드(340)에 접속되고, 리셋 레벨이 판독된다.
- [0072] 리셋 레벨의 판독 후에 수직 주사 회로(211)는, 선택한 행의 FD 리셋 신호(rst) 및 후단 선택 신호(selb)를 하이 레벨로 한 상태에서, 하이 레벨의 후단 리셋 신호(rstb)를 펄스 기간에 걸쳐서 공급한다. 이에 의해, 후단 노드(340)의 레벨이 초기화된다. 이 때, 선택 트랜지스터(331) 및 선택 트랜지스터(332)는 양쪽 모두 열림 상태이며, 용량 소자(321 및 322)는, 후단 노드(340)로부터 분리된다.
- [0073] 후단 노드(340)의 초기화 후에, 수직 주사 회로(211)는, 선택한 행의 FD 리셋 신호(rst) 및 후단 선택 신호(selb)를 하이 레벨로 한 상태에서, 하이 레벨의 선택 신호(Φ_s)를 소정 기간에 걸쳐서 공급한다. 이에 의해, 용량 소자(322)가 후단 노드(340)에 접속되고, 신호 레벨이 판독된다.
- [0074] 상술한 판독 제어에 의해, 선택된 행의 선택 회로(330)는, 용량 소자(321)를 후단 노드(340)에 접속하는 제어와, 용량 소자(321 및 322)를 후단 노드(340)로부터 분리하는 제어와, 용량 소자(322)를 후단 노드(340)에 접속하는 제어를 순서대로 행한다. 또한, 용량 소자(321 및 322)가 후단 노드(340)로부터 분리되었을 때에, 선택된 행의 후단 리셋 트랜지스터(341)는 후단 노드(340)의 레벨을 초기화한다. 또한, 선택된 행의 후단 회로(350)는, 후단 노드(340)를 통해 리셋 레벨 및 신호 레벨을 용량 소자(321 및 322)로부터 순서대로 판독하여 수직 신호선(309)으로 출력한다.
- [0075] [컬럼 신호 처리 회로의 구성예]
- [0076] 도 4는, 본 기술의 제1 실시형태에 있어서의 부하 MOS 회로 블록(250) 및 컬럼 신호 처리 회로(260)의 일 구성예를 나타내는 블록도이다.
- [0077] 부하 MOS 회로 블록(250)에는, 열마다 수직 신호선(309)이 배선된다. 열수를 I(I는, 정수)로 하면, I개의 수직 신호선(309)이 배선된다. 또한, 수직 신호선(309)의 각각에는, 일정한 전류(id2)를 공급하는 부하 MOS 트랜지스터(251)가 접속된다.
- [0078] 컬럼 신호 처리 회로(260)에는, 복수의 ADC(261)와 디지털 신호 처리부(262)가 배치된다. ADC(261)는, 열마다 배치된다. 열수를 I로 하면, I개의 ADC(261)가 배치된다.
- [0079] ADC(261)는, DAC(213)로부터의 램프 신호(Rmp)를 사용하여, 대응하는 열로부터의 아날로그의 화소 신호를 디지털 신호로 변환하는 것이다. 이 ADC(261)는, 디지털 신호를 디지털 신호 처리부(262)에 공급한다. 예를 들면, ADC(261)로서, 콤퍼레이터 및 카운터를 구비하는 싱글 슬로프형의 ADC가 배치된다.
- [0080] 디지털 신호 처리부(262)는, 열마다의 디지털 신호의 각각에 대해, CDS 처리 등의 소정의 신호 처리를 행하는 것이다. 디지털 신호 처리부(262)는, 처리 후의 디지털 신호로 이루어지는 화상 데이터를 기록부(120)에 공급한다.
- [0081] [고체 촬상 소자의 동작 예]
- [0082] 도 5는, 본 기술의 제1 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 수직 주사 회로(211)는, 노광 시작 직전의 타이밍(T0)부터, 펄스 기간 경과 후의 타이밍(T1)에 걸쳐, 모든 행(바꿔 말하면, 전화소)에 하이 레벨의 FD 리셋 신호(rst) 및 전송 신호(trg)를 공급한다. 이에 의해, 전화소가 PD 리셋되고, 진행에서 동시에 노광이 개시된다.
- [0083] 여기서, 동일 도면의 rst[n] 및 trg[n]은, N행 중 n행째의 화소에서의 신호를 나타낸다. N은 진행수를 나타내는 정수이며, n은, 1 내지 N의 정수이다.

- [0084] 그리고, 노광 기간의 종료 직전의 타이밍(T2)에 있어서, 수직 주사 회로(211)는, 전화소에서 후단 리셋 신호(rstb) 및 선택 신호(Φ_r)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 FD 리셋 신호(rst)를 공급한다. 이에 의해, 전화소가 FD 리셋되고, 리셋 레벨이 샘플 홀드된다. 여기서, 동일 도면의 rstb[n] 및 $\Phi_r[n]$ 은, n행째의 화소에의 신호를 나타낸다.
- [0085] 타이밍(T2) 후의 타이밍(T3)에 있어서, 수직 주사 회로(211)는, 선택 신호(Φ_r)를 로우 레벨로 되돌린다.
- [0086] 노광 종료의 타이밍(T4)에 있어서, 수직 주사 회로(211)는, 전화소에서 후단 리셋 신호(rstb) 및 선택 신호(Φ_s)를 하이 레벨로 하면서, 펄스 기간에 걸쳐서 하이 레벨의 전송 신호(trg)를 공급한다. 이에 의해, 신호 레벨이 샘플 홀드된다. 또한, 전단 노드(320)의 레벨은, 리셋 레벨(VDD-Vsig)로부터, 신호 레벨(VDD-Vgs-Vsig)로 저하된다. 여기서, VDD는, 전원 전압이며, Vsig는, CDS 처리에 의해 얻어지는 정미(正味; net)의 신호 레벨이다. Vgs는, 전단 증폭 트랜지스터(315)의 게이트-소스간 전압이다. 또한, 동일 도면의 $\Phi_s[n]$ 은, n행째의 화소에의 신호를 나타낸다.
- [0087] 타이밍(T4) 후의 타이밍(T5)에 있어서, 수직 주사 회로(211)는, 선택 신호(Φ_s)를 로우 레벨로 되돌린다.
- [0088] 또한, 수직 주사 회로(211)는, 전행(전화소)의 전류원 트랜지스터(316)를 제어하여 전류(id1)를 공급시킨다. 여기서, 동일 도면의 id1[n]은, n행째의 화소의 전류를 나타낸다. 전류(id)가 대전류가 되면 IR 드롭이 커지기 때문에, 전류(id1)는 수 나노 암페어(nA) 내지 수십 나노 암페어(nA)의 오더로 할 필요가 있다. 한편, 모든 열의 부하 MOS 트랜지스터(251)는, 오프 상태이며, 수직 신호선(309)에 전류(id2)는 공급되지 않는다.
- [0089] 도 6은, 본 기술의 제1 실시형태에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 타이밍(T10)부터 타이밍(T17)까지의 제n 행의 판독 기간에 있어서, 수직 주사 회로(211)는, 제n 행의 FD 리셋 신호(rst) 및 후단 선택 신호(selb)를 하이 레벨로 한다. 또한, 판독 기간에 있어서, 모든 행의 후단 리셋 신호(rstb)는, 로우 레벨로 제어된다. 여기서, 동일 도면의 selb[n]은, n행째의 화소에의 신호를 나타낸다.
- [0090] 타이밍(T10)의 직후의 타이밍(T11)부터 타이밍(T13)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제n 행에 하이 레벨의 선택 신호(Φ_r)를 공급한다. 후단 노드(340)의 전위는, 리셋 레벨(Vrst)이 된다.
- [0091] 타이밍(T11) 후의 타이밍(T12)부터 타이밍(T13)의 기간에 걸쳐서, DAC(213)는, 램프 신호(Rmp)를 서서히 상승시킨다. ADC(261)는, 램프 신호(Rmp)와 수직 신호선(309)의 레벨(Vrst')을 비교하여, 비교 결과가 반전될때까지에 걸쳐서 계수값을 계수한다. 이에 의해, P상 레벨(리셋 레벨)이 판독된다.
- [0092] 타이밍(T13)의 직후의 타이밍(T14)부터 펄스 기간에 걸쳐서, 수직 주사 회로(211)는, 제n 행에 하이 레벨의 후단 리셋 신호(rstb)를 공급한다. 이에 의해, 후단 노드(340)에 기생 용량이 존재할 때에, 그 기생 용량에 보유되는 전하의 신호의 이력을 소거할 수 있다.
- [0093] 후단 노드(340)의 초기화 직후의 타이밍(T15)부터 타이밍(T17)까지의 기간에 걸쳐서 수직 주사 회로(211)는, 제n 행에 하이 레벨의 선택 신호(Φ_s)를 공급한다. 후단 노드(340)의 전위는, 신호 레벨(Vsig)이 된다. 노광시에서는, 리셋 레벨보다 신호 레벨이 낮았지만, 판독시에서는, 후단 노드(340)를 기준으로 하기 때문에, 리셋 레벨보다 신호 레벨이 높아진다. 리셋 레벨(Vrst)과 신호 레벨(Vsig)의 차분이, FD의 리셋 노이즈나 오프셋 노이즈를 제거한 정미(net)의 신호 레벨에 해당한다.
- [0094] 타이밍(T15) 후의 타이밍(T16)부터 타이밍(T17)의 기간에 걸쳐, DAC(213)는, 램프 신호(Rmp)를 서서히 상승시킨다. ADC(261)는, 램프 신호(Rmp)와 수직 신호선(309)의 레벨(Vrst')을 비교하여, 비교 결과가 반전될때까지에 걸쳐서 계수값을 계수한다. 이에 의해, D상 레벨(신호 레벨)이 판독된다.
- [0095] 또한, 수직 주사 회로(211)는, 타이밍(T10)부터 타이밍(T17)의 기간에 걸쳐서 판독하는 대상의 제n 행의 전류원 트랜지스터(316)를 제어하여 전류(id1)를 공급시킨다. 또한, 타이밍 제어 회로(212)는, 모든 행의 판독 기간 내에서, 모든 열의 부하 MOS 트랜지스터(251)를 제어하여 전류(id2)를 공급시킨다.
- [0096] 한편, 고체 촬상 소자(200)는, 리셋 레벨 후에, 신호 레벨을 판독하고 있지만, 이 순서에 한정되지 않는다. 도 7에 예시하는 바와 같이, 고체 촬상 소자(200)는, 신호 레벨 후에, 리셋 레벨을 판독할 수도 있다. 이 경우에는, 동일 도면에 예시하는 바와 같이, 수직 주사 회로(211)는, 하이 레벨의 선택 신호(Φ_s) 후에, 하이 레벨의 선택 신호(Φ_r)를 공급한다. 또한, 이 경우, 램프 신호의 슬로프의 기울기를 반대로 할 필요가 있다.
- [0097] 도 8은, 비교예에 있어서의 화소의 일 구성예를 나타내는 회로도이다. 이 비교예에서는, 선택 회로(330)가 설치되지 않고, 전단 노드(320)와 전단 회로의 사이에 전송 트랜지스터가 삽입된다. 또한, 용량 소자(321 및

322)의 대신에, 용량(C1 및 C2)이 삽입된다. 용량(C1)은, 전단 노드(320)와 접지 단자의 사이에 삽입되고, 용량(C2)은, 전단 노드(320)와 후단 노드(340)의 사이에 삽입된다.

[0098] 이 비교예의 화소의 노광 제어 및 관독 제어는, 예를 들면, 비특허문헌 1의 Figure 5.5.2에 기재되어 있다. 이 비교예에서, 용량(C1 및 C2)의 각각의 용량값을 C라고 가정하면, 노광 및 관독시의 kTC 노이즈의 레벨(V_n)은, 다음 식에 의해 나타낸다.

[0099]
$$V_n = (3 * kT / C)^{1/2} \cdots \text{식 1}$$

[0100] 상기 식에 있어서, k는, 볼츠만 상수이며, 단위는, 예를 들면, 줄(Joule)당 켈빈(J/K)이다. T는 절대 온도이며, 단위는, 예를 들면, 켈빈(K)이다. 또한, V_n 의 단위는, 예를 들면, 볼트(V)이며, C의 단위는, 예를 들면, 패럿(F)이다.

[0101] 도 9는, 본 기술의 제1 실시형태에 있어서의 리셋 레벨의 관독시와, 후단 노드의 초기화시의 각각의 화소의 상태의 일 예를 나타내는 도면이다. 동일 도면에 있어서의 a는, 리셋 레벨의 관독시의 화소(300)의 상태를 나타내고, 동일 도면에 있어서의 b는, 후단 노드(340)의 초기화시의 화소(300)의 상태를 나타낸다. 또한, 동일 도면에 있어서, 선택 트랜지스터(331), 선택 트랜지스터(332) 및 후단 리셋 트랜지스터(341)는, 설명의 편의상, 스위치의 도면 기호에 의해 나타낸다.

[0102] 동일 도면에 있어서의 a에 예시하는 바와 같이, 수직 주사 회로(211)는, 선택 트랜지스터(331)를 닫힘 상태로 하고, 선택 트랜지스터(332) 및 후단 리셋 트랜지스터(341)를 열림 상태로 한다. 이에 의해, 후단 회로(350)를 통해 리셋 레벨이 관독된다.

[0103] 리셋 레벨의 관독 후에 동일 도면에서의 b에 예시하는 바와 같이, 수직 주사 회로(211)는, 선택 트랜지스터(331) 및 선택 트랜지스터(332)를 열림 상태로 하고, 후단 리셋 트랜지스터(341)를 닫힘 상태로 한다. 이에 의해, 용량 소자(321 및 322)가 후단 노드(340)로부터 분리되고, 후단 노드(340)의 레벨이 초기화된다.

[0104] 이와 같이 용량 소자(321 및 322)로부터 분리된 상태의 후단 노드(340)의 기생 용량(C_p)의 용량값은, 용량 소자(321 및 322)와 비교하여 매우 작은 것으로 한다. 예를 들면, 기생 용량(C_p)을 수 펨토 패럿(fF)이라 하면, 용량 소자(321 및 322)는, 수십 펨토 패럿의 오더이다.

[0105] 도 10은, 본 기술의 제1 실시형태에 있어서의 신호 레벨의 관독시의 화소(300)의 상태의 일 예를 나타내는 도면이다.

[0106] 후단 노드(340)의 초기화 후에, 수직 주사 회로(211)는, 선택 트랜지스터(332)를 닫힘 상태로 하고, 선택 트랜지스터(331) 및 후단 리셋 트랜지스터(341)를 열림 상태로 한다. 이에 의해, 후단 회로(350)를 통해 신호 레벨이 관독된다.

[0107] 여기서, 화소(300)의 노광시의 kTC 노이즈에 대해 생각한다. 노광시에 있어서, 노광 종료 직전의 리셋 레벨의 샘플링과 신호 레벨의 샘플링의 각각에서 kTC 노이즈가 발생한다. 용량 소자(321 및 322)의 각각의 용량값을 C라고 가정하면, 노광시의 kTC 노이즈의 레벨(V_n)은, 다음 식에 의해 나타낸다.

[0108]
$$V_n = (2 * kT / C)^{1/2} \cdots \text{식 2}$$

[0109] 또한, 도 9 및 도 10에 예시한 바와 같이, 관독시에 후단 리셋 트랜지스터(341)가 구동하고 있기 때문에, 그 때에 kTC 노이즈가 발생한다. 그러나, 후단 리셋 트랜지스터(341)의 구동시에 용량 소자(321 및 322)가 분리되어 있어, 그 때의 기생 용량(C_p)이 작다. 이 때문에, 관독시의 kTC 노이즈는, 노광시의 kTC 노이즈와 비교하여 무시할 수 있다. 따라서, 노광 및 관독시의 kTC 노이즈는, 식 2에 의해 나타낸다.

[0110] 식 1 및 식 2로부터, 관독시에 용량을 분리하는 화소(300)에서는, 관독시에 용량을 분리할 수 없는 비교예보다 kTC 노이즈가 작게 된다. 이에 의해, 화상 데이터의 화질을 향상시킬 수 있다.

[0111] 도 11은, 본 기술의 제1 실시형태에 있어서의 고체 촬상 소자(200)의 동작의 일 예를 나타내는 플로우 차트이다. 이 동작은, 예를 들면, 화상 데이터를 촬상하기 위한 소정의 어플리케이션이 실행되었을 때에 개시된다.

[0112] 수직 주사 회로(211)는, 전화소의 노광을 행한다(스텝 S901). 그리고, 수직 주사 회로(211)는, 관독하는 행을 선택한다(스텝 S902). 컬럼 신호 처리 회로(260)는, 그 행의 리셋 레벨의 관독을 행하고(스텝 S903), 다음으로

신호 레벨의 판독을 행한다(스텝 S904).

- [0113] 고체 촬상 소자(200)는, 모든 행의 판독이 완료되었는지 여부를 판단한다(스텝 S905). 모든 행의 판독이 완료되어 있지 않은 경우에(스텝 S905:No), 고체 촬상 소자(200)는, 스텝 S902 이후를 반복한다. 한편, 모든 행의 판독이 완료된 경우에(스텝 S905:Yes), 고체 촬상 소자(200)는, CDS 처리 등을 실행하고, 촬상을 위한 동작을 종료한다. 복수매의 화상 데이터를 연속해서 촬상하는 경우에는, 수직 동기 신호에 동기하여, 스텝 S901 내지 S905가 반복 실행된다.
- [0114] 이와 같이, 본 기술의 제1 실시형태에서는, 선택 회로(330)가 용량 소자(321 및 322)를 후단 노드(340)로부터 분리했을 때에 후단 리셋 트랜지스터(341)가 후단 노드(340)를 초기화한다. 용량 소자(321 및 322)가 분리되어 있기 때문에, 그 구동에 의한 리셋 노이즈의 레벨은, 이들의 용량보다 작은 기생 용량에 따른 레벨이 된다. 이 노이즈의 저감에 의해, 화상 데이터의 화질을 향상시킬 수 있다.
- [0115] [제1 변형예]
- [0116] 상술한 제1 실시형태에서는, 전단 회로(310)가 전단 노드(320)에 접속된 채로 신호를 판독하고 있었는데, 이 구성에서는, 판독시에 전단 노드(320)로부터의 노이즈를 차단할 수 없다. 이 제1 실시형태의 제1 변형예의 화소(300)는, 전단 회로(310)와 전단 노드(320)의 사이에 트랜지스터를 삽입한 점에서 제1 실시형태와 다르다.
- [0117] 도 12는, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 화소(300)의 일 구성예를 나타내는 회로도이다. 이 제1 실시형태의 제1 변형예의 화소(300)는, 전단 리셋 트랜지스터(323) 및 전단 선택 트랜지스터(324)를 더 구비하는 점에서 제1 실시형태와 다르다. 또한, 제1 실시형태의 제1 변형예의 전단 회로(310) 및 후단 회로(350)의 전원 전압을 VDD1이라 한다.
- [0118] 전단 리셋 트랜지스터(323)는, 전단 노드(320)의 레벨을 전원 전압(VDD2)에 의해 초기화하는 것이다. 이 전원 전압(VDD2)은, 다음 식을 만족하는 값으로 설정하는 것이 바람직하다.
- [0119] $VDD2 = VDD1 - V_{gs} \cdots \text{식 3}$
- [0120] 상기 식에 있어서, V_{gs} 는, 전단 증폭 트랜지스터(315)의 게이트-소스간 전압이다.
- [0121] 식 3을 만족하는 값으로 설정함으로써, 어두울 때의 전단 노드(320)와 후단 노드(340)의 사이의 전위 변동을 적게 할 수 있다. 이에 의해, 감도 불균일성(PRUN: Photo Response Non-Uniformity)을 개선할 수 있다.
- [0122] 전단 선택 트랜지스터(324)는, 수직 주사 회로(211)로부터의 전단 선택 신호(sel)에 따라, 전단 회로(310)와 전단 노드(320)의 사이의 경로를 개폐하는 것이다.
- [0123] 도 13은, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 제1 실시형태의 제1 변형예의 타이밍 차트는, 수직 주사 회로(211)가 전단 리셋 신호(rsta) 및 전단 선택 신호(sel)를 더 공급하는 점에서 제1 실시형태와 다르다. 동일 도면에 있어서, rsta[n] 및 sel[n]은, 제n행의 화소에의 신호를 나타낸다.
- [0124] 수직 주사 회로(211)는, 노광 종료 직전의 타이밍(T2)부터 타이밍(T5)에 걸쳐서 전화소에 하이 레벨의 전단 선택 신호(sel)를 공급한다. 전단 리셋 신호(rsta)는, 로우 레벨로 제어된다.
- [0125] 도 14는, 본 기술의 제1 실시형태의 제1 변형예에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 각 행의 판독시에 전단 선택 신호(sel)는 로우 레벨로 제어된다. 이 제어로부터, 전단 선택 트랜지스터(324)가 열림 상태로 이행하여, 전단 노드(320)가 전단 회로(310)로부터 분리된다. 이에 의해, 판독시에 전단 노드(320)로부터의 노이즈를 차단할 수 있다.
- [0126] 또한, 타이밍(T10)부터 타이밍(T17)까지의 제n행의 판독 기간에 있어서, 수직 주사 회로(211)는, 제n행에 하이 레벨의 전단 리셋 신호(rsta)를 공급한다.
- [0127] 또한, 판독시에, 수직 주사 회로(211)는, 전화소의 전류원 트랜지스터(316)를 제어하여 전류(id1)의 공급을 정지시킨다. 전류(id2)는, 제1 실시형태와 마찬가지로 공급된다. 이와 같이, 제1 실시형태와 비교하여, 전류(id1)의 제어가 심플하게 된다.
- [0128] 이와 같이, 본 기술의 제1 실시형태의 제1 변형예에 의하면, 판독시에 전단 선택 트랜지스터(324)가 열림 상태로 이행하고, 전단 회로(310)를 전단 노드(320)로부터 분리하기 때문에, 전단 회로(310)로부터의 노이즈를 차단할 수 있다.

- [0129] [제2 변형예]
- [0130] 상술한 제1 실시형태에서는, 고체 활상 소자(200) 내의 회로를 단일의 반도체 칩에 설치하고 있었지만, 이 구성에서는, 화소(300)를 미세화했을 때에 반도체 칩 내에 소자가 들어가지 않게 될 우려가 있다. 이 제1 실시형태의 제2 변형예의 고체 활상 소자(200)는, 고체 활상 소자(200) 내의 회로를 2개의 반도체 칩으로 분산시켜 배치한 점에서 제1 실시형태와 다르다.
- [0131] 도 15는, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 고체 활상 소자(200)의 적층 구조의 일 예를 나타내는 도면이다. 제1 실시형태의 제2 변형예의 고체 활상 소자(200)는, 하측 화소 칩(202)과, 그 하측 화소 칩(202)에 적층된 상측 화소 칩(201)을 구비한다. 이들 칩은, 예를 들면, Cu-Cu 접합에 의해 전기적으로 접속된다. 한편, Cu-Cu 접합 외에, 비아나 범프에 의해 접속할 수도 있다.
- [0132] 상측 화소 칩(201)에는, 상측 화소 어레이부(221)가 배치된다. 하측 화소 칩(202)에는, 하측 화소 어레이부(222)와 컬럼 신호 처리 회로(260)가 배치된다. 화소 어레이부(220) 내의 화소마다, 그 일부가, 상측 화소 어레이부(221)에 배치되고, 나머지가 하측 화소 어레이부(222)에 배치된다.
- [0133] 또한, 하측 화소 칩(202)에는, 수직 주사 회로(211), 타이밍 제어 회로(212), DAC(213) 및 부하 MOS 회로 블록(250)도 배치된다. 이들 회로는, 동일 도면에서 생략되어 있다.
- [0134] 또한, 상측 화소 칩(201)은, 예를 들면, 화소 전용의 프로세스로 제조되고, 하측 화소 칩(202)은, 예를 들면, CMOS(Complementary MOS) 프로세스로 제조된다. 한편, 상측 화소 칩(201)은, 특허청구의 범위에 기재된 제1 칩의 일 예이며, 하측 화소 칩(202)은, 특허청구의 범위에 기재된 제2 칩의 일 예이다.
- [0135] 도 16은, 본 기술의 제1 실시형태의 제2 변형예에 있어서의 화소(300)의 일 구성예를 나타내는 회로도이다. 화소(300) 중, 전단 회로(310)는, 상측 화소 칩(201)에 배치되고, 그 이외의 회로나 소자(용량 소자(321 및 322) 등)는, 하측 화소 칩(202)에 배치된다. 한편, 전류원 트랜지스터(316)를 하측 화소 칩(202)에 더 배치할 수도 있다. 동일 도면에 예시하는 바와 같이, 화소(300) 내의 소자를, 적층한 상측 화소 칩(201) 및 하측 화소 칩(202)에 분산시켜 배치함으로써, 화소의 면적을 작게 할 수 있고, 화소의 미세화가 용이해진다.
- [0136] 이와 같이, 본 기술의 제1 실시형태의 제2 변형예에 의하면, 화소(300) 내의 회로나 소자를 2개의 반도체 칩에 분산시켜 배치하기 때문에, 화소의 미세화가 용이해진다.
- [0137] [제3 변형예]
- [0138] 상술한 제1 실시형태의 제2 변형예에서는, 화소(300)의 일부와 주변 회로(컬럼 신호 처리 회로(260) 등)를 하측의 하측 화소 칩(202)에 설치하고 있었다. 그러나, 이 구성에서는, 주변 회로만큼, 하측 화소 칩(202)측의 회로나 소자의 배치 면적이 상측 화소 칩(201)보다 크게 되어, 상측 화소 칩(201)에, 회로나 소자가 없는 낭비되는 스페이스가 생길 우려가 있다. 이 제1 실시형태의 제3 변형예의 고체 활상 소자(200)는, 고체 활상 소자(200) 내의 회로를 3개의 반도체 칩에 분산시켜 배치한 점에서 제1 실시형태의 제2 변형예와 다르다.
- [0139] 도 17은, 본 기술의 제1 실시형태의 제3 변형예에 있어서의 고체 활상 소자(200)의 적층 구조의 일 예를 나타내는 도면이다. 제1 실시형태의 제3 변형예의 고체 활상 소자(200)는, 상측 화소 칩(201), 하측 화소 칩(202) 및 회로 칩(203)을 구비한다. 이 칩은 적층되어, 예를 들면, Cu-Cu 접합에 의해 전기적으로 접속된다. 한편, Cu-Cu 접합 외에, 비아나 범프에 의해 접속할 수도 있다.
- [0140] 상측 화소 칩(201)에는, 상측 화소 어레이부(221)가 배치된다. 하측 화소 칩(202)에는, 하측 화소 어레이부(222)가 배치된다. 화소 어레이부(220) 내의 화소마다, 그 일부가, 상측 화소 어레이부(221)에 배치되고, 나머지가 하측 화소 어레이부(222)에 배치된다.
- [0141] 또한, 회로 칩(203)에는, 컬럼 신호 처리 회로(260), 수직 주사 회로(211), 타이밍 제어 회로(212), DAC(213) 및 부하 MOS 회로 블록(250)이 배치된다. 컬럼 신호 처리 회로(260) 이외의 회로는, 동일 도면에서 생략되어 있다.
- [0142] 한편, 상측 화소 칩(201)은, 특허청구의 범위에 기재된 제1 칩의 일 예이며, 하측 화소 칩(202)은, 특허청구의 범위에 기재된 제2 칩의 일 예이다. 회로 칩(203)은, 특허청구의 범위에 기재된 제3 칩의 일 예이다.
- [0143] 동일 도면에 예시한 바와 같이 3층 구성으로 함으로써, 2층 구성과 비교하여 낭비되는 스페이스를 삭감하고, 화소를 더 미세화할 수 있다. 또한, 2층째의 하측 화소 칩(204)을, 용량이나 스위치를 위한 전용 프로세스에 의

해 제조할 수 있다.

- [0144] 이와 같이, 본 기술의 제1 실시형태의 제3 변형예에서는, 고체 촬상 소자(200) 내의 회로를 3개의 반도체 칩에 분산시켜 배치하기 때문에, 2개의 반도체 칩에 분산시켜 배치하는 경우와 비교하여 화소를 더 미세화할 수 있다.
- [0145] <2. 제2 실시형태>
- [0146] 상술한 제1 실시형태에서는, 노광 기간 내에 리셋 레벨을 샘플 홀드하고 있었는데, 이 구성에서는, 리셋 레벨의 샘플 홀드 기간보다 노광 기간을 짧게 할 수 없다. 이 제2 실시형태의 고체 촬상 소자(200)는, 광전 변환 소자로부터 전하를 배출하는 트랜지스터를 추가함으로써, 노광 기간을 보다 짧게 한 점에서 제1 실시형태와 다르다.
- [0147] 도 18은, 본 기술의 제2 실시형태에 있어서의 화소(300)의 일 구성예를 나타내는 회로도이다. 이 제2 실시형태의 화소(300)는, 전단 회로(310) 내에 배출 트랜지스터(317)를 더 구비하는 점에서 제1 실시형태와 다르다.
- [0148] 배출 트랜지스터(317)는, 수직 주사 회로(211)로부터의 배출 신호(ofg)에 따라 광전 변환 소자(311)로부터 전하를 배출하는 오버플로우 드레인으로서 기능하는 것이다. 배출 트랜지스터(317)로서, 예를 들면, nMOS 트랜지스터가 사용된다.
- [0149] 제1 실시형태와 같이, 배출 트랜지스터(317)를 설치하지 않는 구성에서는, 전화소에 대해 광전 변환 소자(311)로부터 FD(314)로 전하를 전송했을 때에, 블루밍이 생기는 경우가 있다. 그리고, FD 리셋시에 FD(314)와 전단 노드(320)의 전위가 강하한다. 이 전위 강하에 추종하여, 용량 소자(321 및 322)의 충방전의 전류가 계속해서 발생하여, 전원이나 그라운드 IR 드롭이, 블루밍이 없는 정상 상태에서부터 변화하게 된다.
- [0150] 그 한편으로, 전화소의 신호 레벨의 샘플 홀드시에는, 신호 전하의 전송 후, 광전 변환 소자(311) 내의 전하가 비어 있는 상태가 되기 때문에, 블루밍이 발생하지 않게 되고, 전원이나 그라운드의 IR 드롭이, 블루밍이 없는 정상 상태가 된다. 이들 리셋 레벨, 신호 레벨을 샘플 홀드할 때의 IR드롭의 차이에 기인하여, 스트리킹 노이즈(Streaking noise)가 생긴다.
- [0151] 이에 대해, 배출 트랜지스터(317)를 설치한 제2 실시형태에서는, 광전 변환 소자(311)의 전하가 오버플로우 드레인층으로 배출된다. 이 때문에, 리셋 레벨, 신호 레벨을 샘플 홀드할 때의 IR 드롭이 동일한 정도가 되어, 스트리킹 노이즈를 억제할 수 있다.
- [0152] 도 19는, 본 기술의 제2 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 노광 시작의 타이밍 전의 타이밍(T0)에서, 수직 주사 회로(211)는, 전화소의 배출 신호(ofg)를 하이 레벨로 하면서, 전화소에 하이 레벨의 FD 리셋 신호(rst)를 펄스 기간에 걸쳐서 공급한다. 이에 의해, 전화소에 대해 PD 리셋 및 FD 리셋이 행해진다. 또한, 리셋 레벨이 샘플 홀드된다. 여기서, 동일 도면의 ofg_[n]은, N행 중 n행째의 화소소의 신호를 나타낸다.
- [0153] 그리고, 노광 시작의 타이밍(T1)에 있어서, 수직 주사 회로(211)는, 전화소의 배출 신호(ofg)를 로우 레벨로 되돌린다. 그리고, 노광 종료 직전의 타이밍(T2)부터 노광 종료의 T3까지의 기간에 걸쳐서, 수직 주사 회로(211)는, 전화소에 하이 레벨의 전송 신호(trg)를 공급한다. 이에 의해, 신호 레벨이 샘플 홀드된다.
- [0154] 제1 실시형태와 같이, 배출 트랜지스터(317)를 설치하지 않는 구성에서는, 노광 시작시(즉, PD 리셋시)에 전송 트랜지스터(312) 및 FD 리셋 트랜지스터(313)의 양쪽을 온 상태로 해야 한다. 이 제어에서는, PD 리셋시에, 동시에 FD(314)도 리셋해야 한다. 이 때문에, 노광 기간 내에 다시 FD 리셋을 행하여, 리셋 레벨을 샘플 홀드할 필요가 있어, 리셋 레벨의 샘플 홀드 기간보다 노광 기간을 짧게 할 수 없다. 전화소의 리셋 레벨을 샘플 홀드할 때에는, 전압이나 전류가 안정화(settle)될 때까지 어느 정도의 대기 시간이 필요하게 되고, 예를 들면, 수 마이크로 초(μ s) 내지 수십 마이크로 초(μ s)의 샘플 홀드 기간이 필요하게 된다.
- [0155] 이에 대해, 배출 트랜지스터(317)를 설치하는 제2 실시형태에서는, PD 리셋과 FD 리셋을 개별로 행할 수 있다. 이 때문에, 동일 도면에 예시하는 바와 같이, PD 리셋의 해제(노광 시작) 전에 FD 리셋을 행하여, 리셋 레벨을 샘플 홀드할 수 있다. 이에 의해, 리셋 레벨의 샘플 홀드 기간보다 노광 기간을 짧게 할 수 있다.
- [0156] 한편, 제2 실시형태에, 제1 실시형태의 제1 내지 제3 변형예를 적용할 수도 있다.
- [0157] 이와 같이, 본 기술의 제2 실시형태에 의하면, 광전 변환 소자(311)로부터 전하를 배출하는 배출 트랜지스터(317)를 설치했기 때문에, 노광 시작 전에 FD 리셋을 행하여 리셋 레벨을 샘플 홀드할 수 있다. 이에 의해, 리셋 레벨의 샘플 홀드 기간보다 노광 기간을 짧게 할 수 있다.

- [0158] <3. 제3 실시형태>
- [0159] 상술한 제1 실시형태에서는, 전원 전압(VDD)에 의해 FD(314)를 초기화하고 있었지만, 이 구성에서는 용량 소자(321 및 322)의 편차나, 기생 용량에 의해, 감도 불균일성(PRNU)이 악화될 우려가 있다. 이 제3 실시형태의 고체 촬상 소자(200)는, FD 리셋 트랜지스터(313)의 전원을 판독시에 저하시킴으로써, PRNU를 개선하는 점에서 제1 실시형태와 다르다.
- [0160] 도 20은, 본 기술의 제3 실시형태에 있어서의 화소(300)의 일 구성예를 나타내는 회로도이다. 이 제3 실시형태의 화소(300)는, FD 리셋 트랜지스터(313)의 전원이, 화소(300)의 전원 전압(VDD)과 분리되어 있는 점에서 제1 실시형태와 다르다.
- [0161] 제3 실시형태의 FD 리셋 트랜지스터(313)의 드레인은, 리셋 전원 전압(VRST)에 접속된다. 이 리셋 전원 전압(VRST)은, 예를 들면, 타이밍 제어 회로(212)에 의해 제어된다. 한편, 타이밍 제어 회로(212)는, 특허청구의 범위에 기재된 제어 회로의 일 예이다.
- [0162] 여기서, 도 21 및 도 22를 참조하여, 제1 실시형태의 화소(300)에서의 PRNU의 악화에 대해 생각한다. 제1 실시형태에서는, 도 21에 예시하는 바와 같이 노광 시작시 직전의 타이밍(T0)에서, FD(314)의 전위는, FD 리셋 트랜지스터(313)의 리셋 피드 스루에 의해 저하된다. 이 변동량을 Vft라고 한다.
- [0163] 제1 실시형태에서는, FD 리셋 트랜지스터(313)의 전원 전압은 VDD이기 때문에, 타이밍(T0)에서, FD(314)의 전위는, VDD로부터, VDD-Vft로 변동한다. 또한, 노광시의 전단 노드(320)의 전위는, VDD-Vft-Vsig가 된다.
- [0164] 또한, 제1 실시형태에서는, 도 22에 예시하는 바와 같이 판독시에 FD 리셋 트랜지스터(313)가 온 상태로 이행하고, FD(314)가, 전원 전압(VDD)에 고정된다. 그 FD(314)의 변동량(Vft)에 의해, 판독시의 전단 노드(320) 및 후단 노드(340)의 전위를, Vft 정도 높게 시프트한다. 단, 용량 소자(321 및 322)의 용량값의 편차나, 기생 용량에 의해, 시프트하는 전압량이 화소마다 편차가 있어, PRNU 악화의 원인이 된다.
- [0165] 전단 노드(320)가 Vft만큼 전이했을 경우의 후단 노드(340)의 전이량은, 예를 들면, 다음 식에 의해 나타낸다.
- [0166]
$$\{(Cs + \delta Cs) / (Cs + \delta Cs + Cp)\} * Vft \quad \dots \text{식 4}$$
- [0167] 상기 식에 있어서, Cs는, 신호 레벨측의 용량 소자(322)의 용량값이며, δCs 는, Cs의 편차이다. Cp는, 후단 노드(340)의 기생 용량의 용량값이다.
- [0168] 식 4는, 다음 식으로 근사할 수 있다.
- [0169]
$$\{1 - (\delta Cs / Cs) * (Cp / Cs)\} * Vft \quad \dots \text{식 5}$$
- [0170] 식 5로부터, 후단 노드(340)의 편차는, 다음 식에 의해 나타낼 수 있다.
- [0171]
$$\{(\delta Cs / Cs) * (Cp / Cs)\} * Vft \quad \dots \text{식 6}$$
- [0172] $(\delta Cs / Cs)$ 를 10^{-2} 로 하고, (Cp / Cs) 를 10^{-1} 로 하고, Vft를 400밀리볼트(mV)로 하면, 식 6으로부터 PRNU는, 400 μ Vrms가 되어, 비교적 큰 값이 된다.
- [0173] 특히, 입력 환산의 용량의 샘플링 홀드시의 kTC 노이즈를 작게 할 때에는, FD(314)의 전하 전압 변환 효율을 크게 할 필요가 있다. 전하 전압 변환 효율을 크게 하기 위해서는 FD(314)의 용량을 작게 해야 하지만, FD(314)의 용량이 작을수록 변동량(Vft)이 크게 되어, 수백 밀리볼트(mV)가 될 수 있다. 이 경우, 식 6으로부터 PRNU의 영향이 무시할 수 없는 레벨이 될 수 있다.
- [0174] 도 23은, 본 기술의 제3 실시형태에 있어서의 전압 제어의 일 예를 나타내는 타이밍 차트이다.
- [0175] 타이밍 제어 회로(212)는, 타이밍(T9) 이후의 행단위의 판독 기간에 있어서, 리셋 전원 전압(VRST)을 노광 기간과 다른 값으로 제어한다.
- [0176] 예를 들면, 노광 기간에 있어서, 타이밍 제어 회로(212)는, 리셋 전원 전압(VRST)을 전원 전압(VDD)과 같은 값으로 한다. 한편, 판독 기간에서 타이밍 제어 회로(212)는, 리셋 전원 전압(VRST)을, VDD-Vft로 저하시킨다. 즉, 판독 기간에서, 타이밍 제어 회로(212)는, 리셋 피드 스루에 의한 변동량(Vft)에 대략 일치하는 분만큼, 리셋 전원 전압(VRST)을 저하시킨다. 이 제어에 의해, 노광시와, 판독시에 있어서, FD(314)의 리셋 레벨을 일치시킬 수 있다.

- [0177] 리셋 전원 전압(VRST)의 제어에 의해, 동일 도면에 예시하는 바와 같이, FD(314)와, 전단 노드(320)의 전압 변동량을 저감할 수 있다. 이에 의해, 용량 소자(321 및 322)의 편차나, 기생 용량에 기인하는 PRNU의 악화를 억제할 수 있다.
- [0178] 한편, 제3 실시형태에, 제1 실시형태의 제1 내지 제3 변형예나, 제2 실시형태를 적용할 수도 있다.
- [0179] 이와 같이, 본 기술의 제3 실시형태에 의하면, 판독시에 타이밍 제어 회로(212)가, 리셋 피드 스루에 의한 변동량(Vft)만큼 리셋 전원 전압(VRST)을 저하시키기 때문에, 노광과 판독에서 리셋 레벨을 일치시킬 수 있다. 이에 의해, 감도 불균일성(PRNU)의 악화를 억제할 수 있다.
- [0180] <4. 제4 실시형태>
- [0181] 상술한 제1 실시형태에서는, 프레임마다 리셋 레벨의 다음에 신호 레벨을 판독하고 있었지만, 이 구성에서는 용량 소자(321 및 322)의 편차나, 기생 용량에 의해, 감도 불균일성(PRNU)이 악화될 우려가 있다. 이 제4 실시형태의 고체 촬상 소자(200)는, 프레임마다, 용량 소자(321)에 보유하는 레벨과 용량 소자(322)에 보유하는 레벨을 바꿈으로써, PRNU를 개선하는 점에서 제1 실시형태와 다르다.
- [0182] 제4 실시형태의 고체 촬상 소자(200)는, 복수의 프레임을 수직 동기 신호에 동기하여 연속해서 촬상한다. 홀수 번째의 프레임을 "홀수 프레임"이라고 칭하고, 짝수 번째의 프레임을 "짝수 프레임"이라고 칭한다. 한편, 홀수 프레임 및 짝수 프레임은, 특허청구의 범위에 기재된 한 쌍의 프레임의 일 예이다.
- [0183] 도 24는, 제4 실시형태에 있어서의 홀수 프레임의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 홀수 프레임의 노광 기간 내에 고체 촬상 소자(200) 내의 전단 회로(310)는, 선택 신호(Φ_r)의 다음에 선택 신호(Φ_s)를 하이 레벨로 함으로써, 리셋 레벨을 용량 소자(321)에 보유시키고, 다음으로 신호 레벨을 용량 소자(322)에 보유시킨다.
- [0184] 도 25는, 본 기술의 제4 실시형태에 있어서의 홀수 프레임의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 홀수 프레임의 판독 기간 내에 고체 촬상 소자(200) 내의 후단 회로(350)는, 선택 신호(Φ_r)의 다음에 선택 신호(Φ_s)를 하이 레벨로 하여 리셋 레벨 다음에 신호 레벨을 판독한다.
- [0185] 도 26은, 제4 실시형태에 있어서의 짝수 프레임의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 짝수 프레임의 노광 기간 내에 고체 촬상 소자(200) 내의 전단 회로(310)는, 선택 신호(Φ_s)의 다음에 선택 신호(Φ_r)를 하이 레벨로 함으로써, 리셋 레벨을 용량 소자(322)에 보유시키고, 다음으로 신호 레벨을 용량 소자(321)에 보유시킨다.
- [0186] 도 27은, 본 기술의 제4 실시형태에 있어서의 짝수 프레임의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 짝수 프레임의 판독 기간 내에 고체 촬상 소자(200) 내의 후단 회로(350)는, 선택 신호(Φ_s)의 다음에 선택 신호(Φ_r)를 하이 레벨로 하여 리셋 레벨 다음에 신호 레벨을 판독한다.
- [0187] 도 24 및 도 26에 예시한 바와 같이, 짝수 프레임과 홀수 프레임에서, 용량 소자(321 및 322)의 각각에 보유되는 레벨이 반대가 된다. 이에 의해, 짝수 프레임과 홀수 프레임에서, PRNU의 극성도 반대가 된다. 후단의 컬럼 신호 처리 회로(260)는, 홀수 프레임과 짝수 프레임의 가산 평균을 구한다. 이에 의해, 극성이 반대인 PRNU 끼리를 상쇄할 수 있다.
- [0188] 이 제어는, 동영상의 촬상이나, 프레임끼리의 가산에 있어서 유효한 제어이다. 또한, 화소(300)에 소자를 추가할 필요는 없고, 구동 방식의 변경만으로 실현할 수 있다.
- [0189] 한편, 제4 실시형태에, 제1 실시형태의 제1 내지 제3 변형예나, 제2, 제3 실시형태를 적용할 수도 있다.
- [0190] 이와 같이, 본 기술의 제4 실시형태에서는, 홀수 프레임과 짝수 프레임에서 용량 소자(321)에 보유되는 레벨과 용량 소자(322)에 보유되는 레벨이 반대가 되기 때문에, 홀수 프레임과 짝수 프레임에서 PRNU의 극성을 반대로 할 수 있다. 이들 홀수 프레임 및 짝수 프레임을 컬럼 신호 처리 회로(260)가 가산함으로써, PRNU의 악화를 억제할 수 있다.
- [0191] <5. 제5 실시형태>
- [0192] 상술한 제1 실시형태에서는, 컬럼 신호 처리 회로(260)는, 컬럼마다 리셋 레벨과 신호 레벨의 차분을 구하고 있었다. 그러나, 이 구성에서는, 매우 고조도의 광이 화소에 입사했을 때에, 광전 변환 소자(311)로부터 전하가 넘침으로써 휘도가 저하되고, 검게 변하게 되는 흑점 현상이 생길 우려가 있다. 이 제5 실시형태의 고체 촬상

소자(200)는, 흑점 현상이 생겼는지 여부를 화소마다 판정하는 점에서 제1 실시형태와 다르다.

- [0193] 도 28은, 본 기술의 제5 실시형태에 있어서의 컬럼 신호 처리 회로(260)의 일 구성예를 나타내는 회로도이다. 이 제5 실시형태의 컬럼 신호 처리 회로(260)에는, 복수의 ADC(270)와 디지털 신호 처리부(290)가 배치된다. 또한, 디지털 신호 처리부(290)에는, 복수의 CDS 처리부(291)와 복수의 셀렉터(292)가 배치된다. ADC(270), CDS 처리부(291) 및 셀렉터(292)는, 열마다 설치된다.
- [0194] 또한, ADC(270)는, 콤퍼레이터(280) 및 카운터(271)를 구비한다. 콤퍼레이터(280)는, 수직 신호선(309)의 레벨과, DAC(213)로부터의 램프 신호(Rmp)를 비교하고, 비교 결과(VCO)를 출력하는 것이다. 비교 결과(VCO)는, 카운터(271)와 타이밍 제어 회로(212)에 공급된다. 콤퍼레이터(280)는, 셀렉터(281)와, 용량 소자(282 및 283)와, 오토 제로 스위치(284 및 286)와, 비교기(285)를 구비한다.
- [0195] 셀렉터(281)는, 입력측 선택 신호(selin)에 따라, 대응하는 열의 수직 신호선(309)과, 소정의 참조 전압(VREF)의 노드 중 어느 하나를 비교기(285)의 비반전 입력 단자(+)에, 용량 소자(282)를 통해 접속하는 것이다. 입력측 선택 신호(selin)는, 타이밍 제어 회로(212)로부터 공급된다. 한편, 셀렉터(281)는, 특허청구의 범위에 기재된 입력측 셀렉터의 일 예이다.
- [0196] 비교기(285)는, 비반전 입력 단자(+)와 반전 입력 단자(-)의 각각의 레벨을 비교하여, 비교 결과(VCO)를 카운터(271)로 출력하는 것이다. 반전 입력 단자(-)에는, 용량 소자(283)를 통해 램프 신호(Rmp)가 입력된다.
- [0197] 오토 제로 스위치(284)는, 타이밍 제어 회로(212)로부터의 오토 제로 신호(Az)에 따라, 비교 결과(VCO)의 비반전 입력 단자(+)와 출력 단자를 단락하는 것이다. 오토 제로 스위치(286)는, 오토 제로 신호(Az)에 따라, 비교 결과(VCO)의 반전 입력 단자(-)와 출력 단자를 단락하는 것이다.
- [0198] 카운터(271)는, 비교 결과(VCO)가 반전할때 까지에 걸쳐서 계수값을 계수하고, 그 계수값을 나타내는 디지털 신호(CNT_out)를 CDS 처리부(291)에 출력하는 것이다.
- [0199] CDS 처리부(291)는, 디지털 신호(CNT_out)에 대해 CDS 처리를 행하는 것이다. 이 CDS 처리부(291)는, 리셋 레벨에 대응하는 디지털 신호(CNT_out)와, 신호 레벨에 대응하는 디지털 신호(CNT_out)의 차분을 연산하여, CDS_out로서 셀렉터(292)에 출력한다.
- [0200] 셀렉터(292)는, 타이밍 제어 회로(212)로부터의 출력측 선택 신호(selout)에 따라, CDS 처리 후의 디지털 신호(CDS_out)와, 풀 코드의 디지털 신호(FULL) 중 어느 하나를 대응하는 열의 화소 데이터로서 출력하는 것이다. 한편, 셀렉터(292)는, 특허청구의 범위에 기재된 출력측 셀렉터의 일 예이다.
- [0201] 도 29는, 본 기술의 제5 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 제5 실시형태의 글로벌 셔터시의 트랜지스터 제어 방법은, 제1 실시형태와 마찬가지로이다.
- [0202] 여기서, 화소(300)에 매우 고조도의 광이 입사한 것으로 한다. 이 경우, 광전 변환 소자(311)의 전하가 가득 차게 되고, 광전 변환 소자(311)로부터 FD(314)로 전하가 넘쳐 흘러, FD 리셋 후의 FD(314)의 전위가 저하된다. 동일 도면에 있어서의 1점 채선은, 넘친 전하량이 비교적 적어지는 정도가 약한 태양광이 입사했을 때의 FD(314)의 전위 변동을 나타낸다. 동일 도면에 있어서의 점선은, 넘친 전하량이 비교적 많아지는 강한 태양광이 입사했을 때의 FD(314)의 전위 변동을 나타낸다.
- [0203] 약한 태양광이 입사했을 때에는, FD 리셋이 완료된 타이밍(T3)에서 리셋 레벨이 저하되어 있지만, 이 시점에서는 레벨이 끝까지 내려가지 않았다.
- [0204] 한편, 강한 태양광이 입사했을 때에는, 타이밍(T3)의 시점에서 리셋 레벨이 끝까지 내려가게 된다. 이 경우, 신호 레벨이 리셋 레벨과 같게 되고, 그들 전위차가 "0"이기 때문에, CDS 처리 후의 디지털 신호가, 암(暗) 상태의 경우와 같아져 검게 변하게 된다. 이와 같이, 태양광 등의 매우 고조도의 광이 입사했음에도 불구하고, 그 화소가 검게 되는 현상은, 흑점 현상 또는 블루밍이라고 불린다.
- [0205] 또한, 흑점 현상이 생긴 화소의 FD(314)의 레벨이 지나치게 낮아지면, 진단 회로(310)의 동작점을 확보할 수 없게 되어, 전류원 트랜지스터(316)의 전류(id1)가 변동한다. 각 화소의 전류원 트랜지스터(316)는, 공통의 전원이나 그라운드에 접속되어 있기 때문에, 어느 화소에서 전류가 변동했을 때에, 그 화소의 IR 드롭의 변동이, 다른 화소의 샘플 레벨에 영향을 미치게 된다. 흑점 현상이 생긴 화소가 어그레서(aggressor)가 되고, 그 화소에 의해 샘플 레벨이 변동된 화소가 빅탐(victim)이 된다. 이 결과, 스트리킹 노이즈가 생긴다.
- [0206] 한편, 제2 실시형태와 같이 배출 트랜지스터(317)를 설치한 경우, 흑점(블루밍)이 있는 화소에서는, 넘친 전하

가 배출 트랜지스터(317)측으로 버려지기 때문에, 흑점 현상이 생기기 어렵다. 단, 배출 트랜지스터(317)를 설치해도, 일부의 전하가 FD(314)에 흐를 가능성이 있어, 흑점 현상의 근본 치료는 되지 않을 가능성이 있다. 또한, 배출 트랜지스터(317)의 추가에 의해, 화소마다의 유효 면적/전하량의 비율이 저하된다고 하는 단점도 있다. 이 때문에, 배출 트랜지스터(317)를 사용하지 않고, 흑점 현상을 억제하는 것이 바람직하다.

- [0207] 배출 트랜지스터(317)를 사용하지 않고 흑점 현상을 억제하는 방법으로서 2가지 방법을 생각할 수 있다. 첫번째는, FD(314)의 클립 레벨의 조정이다. 두번째는, 판독시에 흑점 현상이 생겼는지 여부를 판단하고, 흑점 현상이 생겼을 때에, 출력을 풀 코드로 치환하는 방법이다.
- [0208] 첫번째 방법에 대해, 동일 도면의 FD 리셋 신호(rst)(바꿔 말하면, FD 리셋 트랜지스터(313)의 게이트)의 하이 레벨은 전원 전압(VDD)이며, 로우 레벨이, FD(314)의 클립 레벨에 해당한다. 제1 실시형태에서는, 이들 하이 레벨과 로우 레벨의 차이(즉, 진폭)는, 다이내믹 레인지에 대응하는 값으로 설정된다. 이에 대해, 제5 실시형태에서는, 그 값에 마진을 더 더한 값으로 조정된다. 여기서, 다이내믹 레인지에 대응하는 값은, 전원 전압(VDD)과, 디지털 신호가 풀 코드가 될 때의 FD(314)의 전위의 차분에 해당한다.
- [0209] FD 리셋 트랜지스터(313)의 오프시의 게이트 전압(FD 리셋 신호(rst)의 로우 레벨)을 낮춤으로써, 블루밍에 의해 FD(314)가 지나치게 저하되어, 전단 증폭 트랜지스터(315)의 동작점을 파괴하는 것을 방지할 수 있다.
- [0210] 한편, 다이내믹 레인지는, ADC의 아날로그 게인에 의해 변한다. 아날로그 게인이 낮을 때에는, 큰 다이내믹 레인지가 필요하고, 반대로 아날로그 게인이 높을 때에는, 다이내믹 레인지는 적어도 된다. 이 때문에, FD 리셋 트랜지스터(313)의 오프시의 게이트 전압을, 아날로그 게인에 따라 변경할 수도 있다.
- [0211] 도 30은, 본 기술의 제5 실시형태에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 판독의 시작 타이밍(T10) 직후의 타이밍(T11)에서 선택 신호(Φ_r)가 하이 레벨이 되면, 태양광이 입사한 화소에서는, 수직 신호선(309)의 전위가 변동한다. 동일 도면에서의 1점 쇄선은, 약한 태양광이 입사했을 때의 수직 신호선(309)의 전위 변동을 나타낸다. 동일 도면에서의 점선은, 강한 태양광이 입사했을 때의 수직 신호선(309)의 전위 변동을 나타낸다.
- [0212] 타이밍(T10)부터 타이밍(T12)까지의 오토 제로 기간에 있어서, 타이밍 제어 회로(212)는, 예를 들면, "0"의 입력측 선택 신호(selin)를 공급하고, 비교기(285)를 수직 신호선(309)에 접속시킨다. 이 오토 제로 기간 내에 타이밍 제어 회로(212)는, 오토 제로 신호(Az)에 의해 오토 제로를 행한다.
- [0213] 두 번째 방법에 대해, 타이밍(T12)부터 타이밍(T13)까지의 판정 기간 내에 타이밍 제어 회로(212)는, 예를 들면, "1"의 입력측 선택 신호(selin)를 공급한다. 이 입력측 선택 신호(selin)에 의해, 비교기(285)가 수직 신호선(309)으로부터 분리되어, 참조 전압(VREF)의 노드와 접속된다. 이 참조 전압(VREF)은, 블루밍이 생기지 않았을 때의, 수직 신호선(309)의 레벨 기대치로 설정된다. Vrst는, 예를 들면, 후단 증폭 트랜지스터(351)의 게이트-소스간 전압을 Vgs2로 하면, Vreg-Vgs2에 해당한다. 또한, DAC(213)는, 판정 기간 내에 램프 신호(Rmp)의 레벨을 Vrm_{p_az}로부터 Vrm_{p_sun}으로 저하시킨다.
- [0214] 또한, 판정 기간 내에 있어서, 블루밍이 발생하지 않았을 경우, 수직 신호선(309)의 리셋 레벨의 Vrst는, 참조 전압(VREF)과 거의 같으며, 비교기(285)의 반전 입력 단자(+)의 전위가 오토 제로일 때와 별로 변하지 않는다. 한편, 비반전 입력 단자(-)는, Vrm_{p_az}로부터 Vrm_{p_sun}으로 낮아졌기 때문에, 비교 결과(VCO)는 하이 레벨이 된다.
- [0215] 반대로, 블루밍이 발생했을 경우, 리셋 레벨(Vrst)은, 참조 전압(VREF)보다 충분히 높아지고, 다음 식이 성립했을 때에, 비교 결과(VCO)가 로우 레벨이 된다.
- [0216]
$$Vrst - VREF > Vrm_{p_az} - Vrm_{p_sun} \cdots \text{식 7}$$
- [0217] 즉, 타이밍 제어 회로(212)는, 판정 기간 내에 비교 결과(VCO)가 로우 레벨이 되는지 여부에 따라, 블루밍이 발생했는지 여부를 판단할 수 있다.
- [0218] 한편, 후단 증폭 트랜지스터(351)의 임계값 전압의 편차나, 면내의 Vreg의 IR드롭 차이 등에 의한 오판정이 발생하지 않도록, 태양 판정을 위한 마진(식 7의 우변)을 어느 정도 크게 확보할 필요가 있다.
- [0219] 판정 기간 경과 후의 타이밍(T13) 이후에 있어서, 타이밍 제어 회로(212)는, 비교기(285)를 수직 신호선(309)에 접속시킨다. 또한, 타이밍(T13 내지 T14)의 P상 세틀링 기간이 경과하면, 타이밍(T14 내지 T15)의 기간 내에 P상이 판독된다. 타이밍(T15 내지 T19)의 D상 세틀링 기간이 경과하면, 타이밍(T19 내지 T20)의 기간 내에 D상

이 판독된다.

- [0220] 판정 기간에서 블루밍이 발생하고 있지 않은 것으로 판단한 경우, 타이밍 제어 회로(212)는, 출력측 선택 신호(selout)에 의해 셀렉터(292)를 제어하여 CDS 처리 후의 디지털 신호(CDS_out)를 그대로 출력시킨다.
- [0221] 한편, 판정 기간에서 블루밍이 발생했다고 판단한 경우, 타이밍 제어 회로(212)는, 출력측 선택 신호(selout)에 의해 셀렉터(292)를 제어하여 CDS 처리 후의 디지털 신호(CDS_out) 대신에 풀 코드(FULL)를 출력시킨다. 이에 의해, 흑점 현상을 억제할 수 있다.
- [0222] 한편, 제5 실시형태에, 제1 실시형태의 제1 내지 제3 변형예나, 제2 내지 제4 실시형태를 적용할 수도 있다.
- [0223] 이와 같이, 본 기술의 제5 실시형태에 의하면, 타이밍 제어 회로(212)는, 비교 결과(VCO)에 기초하여 흑점 현상이 생겼는지 여부를 판단하고, 흑점 현상이 생겼을 때에 풀 코드를 출력시키기 때문에, 흑점 현상을 억제할 수 있다.
- [0224] <6. 제6 실시형태>
- [0225] 상술한 제1 실시형태에서는, 수직 주사 회로(211)는, 진행(전화소)을 동시에 노광시키는 제어(즉, 글로벌 셔터 동작)를 행하고 있었다. 그러나, 테스트시나, 해석을 행할 때 등, 노광의 동시성이 불필요하고 저노이즈가 요구되는 경우에는, 롤링 셔터 동작을 행하는 것이 바람직하다. 이 제6 실시형태의 고체 촬상 소자(200)는, 테스트시 등에 있어서, 롤링 셔터 동작을 행하는 점에서 제1 실시형태와 다르다.
- [0226] 도 31은, 본 기술의 제6 실시형태에 있어서의 롤링 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 수직 주사 회로(211)는, 복수의 행을 순서대로 선택하여 노광을 개시시키는 제어를 행한다. 동일 도면은, 제n 행의 노광 제어를 나타낸다.
- [0227] 타이밍(T0 내지 T2)의 기간에서, 수직 주사 회로(211)는, 제n 행에 하이 레벨의 후단 선택 신호(selb), 선택 신호(Φ_r) 및 선택 신호(Φ_s)를 공급한다. 또한, 노광 시작의 타이밍(T0)에서, 수직 주사 회로(211)는, 제n 행에 하이 레벨의 FD 리셋 신호(rst) 및 후단 리셋 신호(rstb)를 펄스 기간에 걸쳐서 공급한다. 노광 종료의 타이밍(T1)에서 수직 주사 회로(211)는, 제n 행에 전송 신호(trg)를 공급한다. 동일 도면의 롤링 셔터 동작에 의해, 고체 촬상 소자(200)는, 저노이즈의 화상 데이터를 생성할 수 있다.
- [0228] 한편, 통상의 촬상시에서 제6 실시형태의 고체 촬상 소자(200)는, 제1 실시형태와 마찬가지로 글로벌 셔터 동작을 행한다.
- [0229] 또한, 제6 실시형태에, 제1 실시형태의 제1 내지 제3 변형예나, 제2 내지 제5 실시형태를 적용할 수도 있다.
- [0230] 이와 같이 본 기술의 제6 실시형태에 의하면, 수직 주사 회로(211)는, 복수의 행을 순서대로 선택하여 노광을 개시시키는 제어(즉, 롤링 셔터 동작)를 행하기 때문에, 저노이즈의 화상 데이터를 생성할 수 있다.
- [0231] <7. 제7 실시형태>
- [0232] 상술한 제1 실시형태에서는, 전단의 소스 팔로어(전단 증폭 트랜지스터(315) 및 전류원 트랜지스터(316))의 소스를 전원 전압(VDD)에 접속하고, 그 소스 팔로어가 온의 상태에서 행단위로 판독을 행하고 있었다. 그러나, 이 구동 방법에서는, 행단위의 판독시의 전단의 소스 팔로어의 회로 노이즈가 후단에 전파하여, 랜덤 노이즈가 증대할 우려가 있다. 이 제7 실시형태의 고체 촬상 소자(200)는, 판독시에 전단의 소스 팔로어를 오프 상태로 함으로써, 노이즈를 저감시키는 점에서 제1 실시형태와 다르다.
- [0233] 도 32는, 본 기술의 제7 실시형태에 있어서의 고체 촬상 소자(200)의 일 구성예를 나타내는 블록도이다. 이 제7 실시형태의 고체 촬상 소자(200)는, 레귤레이터(420) 및 전환부(440)를 더 구비하는 점에서 제1 실시형태와 다르다. 또한, 제7 실시형태의 화소 어레이부(220)에는, 복수의 유효 화소(301)와, 소정수의 더미 화소(430)가 배열된다. 더미 화소(430)는, 유효 화소(301)가 배열된 영역의 주위에 배열된다.
- [0234] 또한, 더미 화소(430)의 각각에는, 전원 전압(VDD)이 공급되고, 유효 화소(440)의 각각에는, 전원 전압(VDD)과, 소스 전압(V_s)이 공급된다. 유효 화소(301)로 전원 전압(VDD)을 공급하는 신호선은, 동일 도면에서 생략되어 있다. 또한, 전원 전압(VDD)은, 고체 촬상 소자(200)의 외부의 패드(410)로부터 공급된다.
- [0235] 레귤레이터(420)는, 더미 화소(430)로부터의 입력 전위(V_i)에 기초하여, 일정의 생성 전압(V_{gen})을 생성하고, 전환부(440)에 공급하는 것이다. 전환부(440)는, 패드(410)로부터의 전원 전압(VDD)과, 레귤레이터(420)로부터의 생성 전압(V_{gen}) 중 어느 하나를 선택하고, 소스 전압(V_s)으로서 유효 화소(301)의 컬럼의 각각에 공급하는 것이

다.

- [0236] 도 33은, 본 기술의 제7 실시형태에 있어서의 더미 화소(430), 레귤레이터(420), 및, 전환부(440)의 일 구성예를 나타내는 회로도이다. 동일 도면에서의 a는, 더미 화소(430) 및 레귤레이터(420)의 회로도이며, 동일 도면에서의 b는, 전환부(440)의 회로도이다.
- [0237] 동일 도면에서의 a에 예시하는 바와 같이, 더미 화소(430)는, 리셋 트랜지스터(431), FD(432), 증폭 트랜지스터(433) 및 전류원 트랜지스터(434)를 구비한다. 리셋 트랜지스터(431)는, 수직 주사 회로(211)로부터의 리셋 신호(RST)에 따라, FD(432)를 초기화하는 것이다. FD(432)는, 전하를 축적하고, 전하량에 따른 전압을 생성하는 것이다. 증폭 트랜지스터(433)는, FD(432)의 전압 레벨을 증폭하여, 입력 전압(V_i)으로서 레귤레이터(420)에 공급하는 것이다.
- [0238] 또한, 리셋 트랜지스터(431) 및 증폭 트랜지스터(433)의 소스는, 전원 전압(VDD)에 접속된다. 전류원 트랜지스터(434)는, 증폭 트랜지스터(433)의 드레인에 접속된다. 이 전류원 트랜지스터(434)는, 수직 주사 회로(211)의 제어에 따라, 전류(i_{d1})를 공급한다.
- [0239] 레귤레이터(420)는, 로우 패스 필터(421), 버퍼 앰프(422) 및 용량 소자(423)를 구비한다. 로우 패스 필터(421)는, 입력 전압(V_i)의 신호 중, 소정 주파수 미만의 저주파수 대역의 성분을 출력 전압(V_j)으로서 통과시키는 것이다.
- [0240] 버퍼 앰프(422)의 비반전 입력 단자(+)에는, 출력 전압(V_j)이 입력된다. 버퍼 앰프(422)의 반전 입력 단자(-)는, 그 출력 단자와 접속된다. 용량 소자(423)는, 버퍼 앰프(422)의 출력 단자의 전압을 V_{gen} 으로서 보유하는 것이다. 이 V_{gen} 은, 전환부(440)에 공급된다.
- [0241] 동일 도면에서의 a에 예시하는 바와 같이, 전환부(440)는, 인버터(441)와, 복수의 전환 회로(442)를 구비한다. 전환 회로(442)는, 유효 화소(301)의 열마다 배치된다.
- [0242] 인버터(441)는, 타이밍 제어 회로(212)로부터의 전환 신호(SW)를 반전시키는 것이다. 이 인버터(442)는, 반전 신호를 전환하여 회로(442)의 각각에 공급한다.
- [0243] 전환 회로(442)는, 전원 전압(VDD)과, 생성 전압(V_{gen}) 중 어느 하나를 선택하고, 소스 전압(V_s)으로서, 화소 어레이부(220) 내의 대응하는 열에 공급하는 것이다. 전환 회로(442)는, 스위치(443 및 444)를 구비한다. 스위치(443)는, 전환 신호(SW)에 따라, 전원 전압(VDD)의 노드와, 대응하는 열의 사이의 경로를 개폐하는 것이다. 스위치(444)는, 전환 신호(SW)의 반전 신호에 따라, 생성 전압(V_{gen})의 노드와, 대응하는 열의 사이의 경로를 개폐하는 것이다.
- [0244] 도 34는, 본 기술의 제7 실시형태에 있어서의 더미 화소(430) 및 레귤레이터(420)의 동작의 일 예를 나타내는 타이밍 차트이다. 어느 행의 판독 직전의 타이밍(T10)에서, 수직 주사 회로(211)는, 더미 화소(430)의 각각에, 하이 레벨(여기서는, 전원 전압(VDD))의 리셋 신호(RST)를 공급한다. 더미 화소(430) 내의 FD(432)의 전위(V_{fd})는, 전원 전압(VDD)으로 초기화된다. 그리고, 리셋 신호(RST)가 로우 레벨이 되었을 때에, 리셋 피드 스루에 의해, $V_{DD}-V_{ft}$ 로 변동한다.
- [0245] 또한, 입력 전압(V_i)은, 리셋 후에 $V_{DD}-V_{gs}-V_{sig}$ 로 저하된다. 로우 패스 필터(421)의 통과에 의해, V_j , V_{gen} 은, 대략 일정한 전압이 된다.
- [0246] 다음 행의 판독 직전의 타이밍(T20) 이후에는, 행마다, 마찬가지로의 제어가 행해져, 일정한 생성 전압(V_{gen})이 공급된다.
- [0247] 도 35는, 본 기술의 제7 실시형태에 있어서의 유효 화소(301)의 일 구성예를 나타내는 회로도이다. 유효 화소(301)의 회로 구성은, 전단 증폭 트랜지스터(315)의 소스에, 전환부(440)로부터의 소스 전압(V_s)이 공급되는 점 이외에는, 제1 실시형태의 화소(300)와 마찬가지로이다.
- [0248] 도 36은, 본 기술의 제7 실시형태에 있어서의 글로벌 셔터 동작의 일 예를 나타내는 타이밍 차트이다. 제7 실시형태에 있어서, 전화소에서 동시에 노광할 때에, 전환부(440)는, 전원 전압(VDD)을 선택하고, 소스 전압(V_s)으로서 공급한다. 또한, 전단 노드의 전압은, 타이밍(T4)에서, $V_{DD}-V_{gs}-V_{th}$ 로부터 $V_{DD}-V_{gs}-V_{sig}$ 로 저하된다. 여기서, V_{th} 는, 전송 트랜지스터(312)의 임계값 전압이다.

- [0249] 도 37은, 본 기술의 제7 실시형태에 있어서의 판독 동작의 일 예를 나타내는 타이밍 차트이다. 이 제7 실시형태에서는, 판독시에 전환부(440)는, 생성 전압(V_{gen})을 선택하고, 소스 전압(V_s)으로서 공급한다. 이 생성 전압(V_{gen})은, $VDD-V_{gs}-V_{ft}$ 로 조정된다. 또한, 제7 실시형태에서는, 수직 주사 회로(211)가, 전행(전화소)의 전류원 트랜지스터(316)를 제어하여 전류($id1$)의 공급을 정지시킨다.
- [0250] 도 38은, 본 기술의 제7 실시형태에 있어서의 효과를 설명하기 위한 도면이다. 제1 실시형태에서는, 행마다의 판독에 있어서, 판독 대상의 화소(300)의 소스 팔로어(전단 증폭 트랜지스터(315) 및 전류원 트랜지스터(316))를 온으로 하고 있었다. 그러나, 이 구동 방법에서는, 전단의 소스 팔로어의 회로 노이즈가, 후단(용량 소자, 후단의 소스 팔로어나 ADC)에 전파되어, 판독 노이즈가 증대할 우려가 있다.
- [0251] 예를 들면, 제1 실시형태에서는, 동일 도면에 예시하는 바와 같이 글로벌 셔터 동작시의 화소에서 생기는 kTC 노이즈는, $450(\mu V_{rms})$ 이다. 또한, 행마다의 판독에 있어서의, 전단의 소스 팔로어(전단 증폭 트랜지스터(315) 및 전류원 트랜지스터(316))에서 생기는 노이즈는, $380(\mu V_{rms})$ 이 된다. 후단의 소스 팔로어 이후에 생기는 노이즈는, $160(\mu V_{rms})$ 이다. 이 때문에, 합계의 노이즈는, $610(\mu V_{rms})$ 이다. 이와 같이, 제1 실시형태에서는, 노이즈의 합계값에서의, 전단의 소스 팔로어의 노이즈의 기여분은, 비교적 크게 된다.
- [0252] 이 전단의 소스 팔로어의 노이즈를 저감하기 위해서, 제7 실시형태에서는, 전술한 바와 같이 전단의 소스 팔로어의 소스에, 전압 조정이 가능한 전압(V_s)을 공급하고 있다. 글로벌 셔터(노광) 동작시에, 전환부(440)는, 전원 전압(VDD)을 선택하여 소스 전압(V_s)으로서 공급한다. 그리고, 노광의 종료 후에 전환부(440)는, 소스 전압(V_s)을 $VDD-V_{gs}-V_{ft}$ 로 전환한다. 또한, 타이밍 제어 회로(212)는, 글로벌 셔터(노광) 동작시에, 전단의 전류원 트랜지스터(316)를 온으로 하고, 노광의 종료 후에 오프로 한다.
- [0253] 상술한 제어에 의해, 도 36 및 도 37에 예시한 바와 같이, 글로벌 셔터 동작시와, 행마다의 판독시의 각각의 전단 노드의 전위가 일치하여, PRNU를 개선할 수 있다. 또한, 행마다 판독할 때에 전단의 소스 팔로어가 오프 상태가 되기 때문에, 도 38에 예시하는 바와 같이, 소스 팔로어의 회로 노이즈가 생기지 않아, $0(\mu V_{rms})$ 이 된다. 한편, 전단의 소스 팔로어 중 전단 증폭 트랜지스터(315)는 온 상태이다.
- [0254] 이와 같이, 본 기술의 제7 실시형태에 의하면, 판독시에 전단의 소스 팔로어를 오프 상태로 하기 때문에, 그 소스 팔로어에서 생기는 노이즈를 저감할 수 있다.
- [0255] <8. 이동체에의 응용예>
- [0256] 본 개시에 따른 기술(본 기술)은 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시에 따른 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등 어느 종류의 이동체에 탑재되는 장치로서 실현되어도 된다.
- [0257] 도 39는 본 개시에 따른 기술이 적용될 수 있는 이동체 제어 시스템의 일례인 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.
- [0258] 차량 제어 시스템(12000)은 통신 네트워크(12001)를 거쳐 접속된 복수의 전자 제어 유닛을 구비한다. 도 39에 나타난 예에서는, 차량 제어 시스템(12000)은 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040), 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로컴퓨터(12051), 음성 화상 출력부(12052), 및 차제 네트워크 I/F(Interface)(12053)가 도시되어 있다.
- [0259] 구동계 제어 유닛(12010)은 각종 프로그램에 따라 차량의 구동계에 관련하는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은, 내연기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구, 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.
- [0260] 보디계 제어 유닛(12020)은 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 보디계 제어 유닛(12020)은 키리스 엔트리(keyless entry) 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는 헤드 램프, 백 램프, 브레이크 램프, 깜빡이 또는 안개등 등의 각종 램프의 제어장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은 이들 전파 또는 신호의 입력을 수신하여, 차량의 도어록 장치, 파워 윈도우 장치, 램프 등을 제어한다.

- [0261] 차외 정보 검출 유닛(12030)은 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 촬상부(12031)에 차 밖의 화상을 촬상시키고, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 기초하여, 사람, 차, 장애물, 표지 또는 노면 상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 된다.
- [0262] 촬상부(12031)는 광을 수광하고, 그 광의 수광량에 따른 전기 신호를 출력하는 광 센서이다. 촬상부(12031)는, 전기 신호를 화상으로서 출력할 수도 있고, 측거의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은 가시광이어도 되고, 적외선 등의 비가시광이어도 된다.
- [0263] 차내 정보 검출 유닛(12040)은, 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들면, 운전자를 촬상하는 카메라를 포함한다. 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 기초하여 운전자의 피로 정도 또는 집중 정도를 산출해도 되고, 운전자가 졸고 있지 않은지를 판별해도 된다.
- [0264] 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 기초하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표값을 연산하여, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로컴퓨터(12051)는, 차량의 충돌 회피 또는 충격 완화, 차간거리에 기초하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 차선 이탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.
- [0265] 또한, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량 주위의 정보에 기초하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함으로써, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0266] 또한, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 기초하여, 보디제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030)으로 검지한 선행차 또는 대향차의 위치에 따라 헤드 램프를 제어하여, 하이 빔을 로우 빔으로 전환하는 등의 눈부심 방지를 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.
- [0267] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력장치로 음성 및 화상 중 적어도 일방의 출력 신호를 송신한다. 도 39의 예에서는, 출력장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되고 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이 중 적어도 하나를 포함하고 있어도 된다.
- [0268] 도 40은 촬상부(12031)의 설치 위치의 예를 나타내는 도면이다.
- [0269] 도 40에서는, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104 및 12105)를 갖는다.
- [0270] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노즈, 사이드 미러, 리어범퍼, 백 도어 및 차실내의 프런트 글래스의 상부 등의 위치에 설치된다. 프런트 노즈에 구비되는 촬상부(12101) 및 차실내의 프런트 글래스의 상부에 구비되는 촬상부(12105)는, 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는, 주로 차량(12100)의 측방의 화상을 취득한다. 리어범퍼 또는 백 도어에 구비되는 촬상부(12104)는, 주로 차량(12100)의 후방의 화상을 취득한다. 차실내의 프런트 글래스의 상부에 구비되는 촬상부(12105)는, 주로 선행 차량 또는 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.
- [0271] 또한, 도 40에는 촬상부(12101 내지 12104)의 촬영 범위의 일례가 도시되어 있다. 촬상 범위(12111)는, 프런트 노즈에 설치된 촬상부(12101)의 촬상 범위를 나타낸다. 촬상 범위(12112, 12113)는, 각각 사이드 미러에 설치된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는, 리어범퍼 또는 백 도어에 설치된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)로 촬상된 화상 데이터가 중첩됨으로써, 차량(12100)을 상방으로부터 본 부감 화상을 얻을 수 있다.
- [0272] 촬상부(12101 내지 12104) 중 적어도 하나는 거리 정보를 취득하는 기능을 가지고 있어도 된다. 예를 들면, 촬상부(12101 내지 12104) 중 적어도 하나는 복수의 촬상 소자로 이루어지는 스테레오 카메라여도 되고, 위상차

검출용의 화소를 가지는 촬상 소자여도 된다.

[0273] 예를 들면, 마이크로컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어지는 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에 있어서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함으로써, 특히 차량(12100)의 진행로 상에 있는 가장 가까운 입체물로, 차량(12100)과 대략 같은 방향으로 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로컴퓨터(12051)는, 선행차와의 사이에서 미리 확보해야 하는 차간거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함함)나 자동 가속 제어(추종 발진 제어도 포함함) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0274] 예를 들면, 마이크로컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 바탕으로, 입체물에 관한 입체물 데이터를, 이륜차, 보통 차량, 대형차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로컴퓨터(12051)는, 차량(12100) 주변의 장애물을, 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로컴퓨터(12051)는, 각 장애물과의 충돌 위험도를 나타내는 충돌 리스크를 판단하여, 충돌 리스크가 설정값 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통해 드라이버에 경보를 출력하거나, 구동계 제어 유닛(12010)을 통해 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0275] 촬상부(12101 내지 12104) 중 적어도 하나는, 적외선을 검출하는 적외선 카메라여도 된다. 예를 들면, 마이크로컴퓨터(12051)는, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지 아닌지를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들면, 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에 있어서의 특징점을 추출하는 절차와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지 아닌지를 판별하는 절차에 의해 행해진다. 마이크로컴퓨터(12051)가, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하여, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 원하는 위치에 표시하도록 표시부(12062)를 제어해도 된다.

[0276] 이상, 본 개시에 관한 기술이 적용될 수 있는 차량 제어 시스템의 일 예에 대해 설명하였다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 촬상부(12031)에 적용될 수 있다. 구체적으로는, 예를 들면, 도 1의 촬상 장치(100)는, 촬상부(12031)에 적용할 수 있다. 촬상부(12031)에 본 개시에 관한 기술을 적용함으로써, kTC 노이즈를 저감하여, 보다 보기 쉬운 촬영 화상을 얻을 수 있기 때문에, 드라이버의 피로를 경감하는 것이 가능해진다.

[0277] 한편, 상술한 실시형태는 본 기술을 구체화하기 위한 일 예를 나타낸 것이며, 실시형태에서의 사항과, 특허청구의 범위에 있어서의 발명 특정 사항은 각각 대응 관계를 가진다. 마찬가지로, 특허청구의 범위에 있어서의 발명 특정 사항과, 이것과 동일 명칭을 붙인 본 기술의 실시형태에서의 사항은 각각 대응 관계를 가진다. 단, 본 기술은 실시형태에 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위에서 실시형태에 다양한 변형을 실시함으로써 구체화할 수 있다.

[0278] 한편, 본명세서에 기재된 효과는 어디까지나 예시이며, 한정되는 것이 아니고, 또한, 다른 효과가 있어도 된다.

[0279] 한편, 본 기술은 이하와 같은 구성도 취할 수 있다.

[0280] (1) 제1 및 제2 용량 소자와,

[0281] 소정의 리셋 레벨과 노광량에 따른 신호 레벨을 순서대로 생성하여 상기 제1 및 제2 용량 소자의 각각에 보유시키는 전단 회로와,

[0282] 상기 제1 및 제2 용량 소자의 일방을 소정의 후단 노드에 접속하는 제어와 상기 제1 및 제2 용량 소자의 양쪽을 상기 후단 노드로부터 분리하는 제어와 상기 제1 및 제2 용량 소자의 타방을 상기 후단 노드에 접속하는 제어를 순서대로 행하는 선택 회로와,

[0283] 상기 제1 및 제2 용량 소자의 양쪽이 상기 후단 노드로부터 분리되었을 때에 상기 후단 노드의 레벨을 초기화하는 후단 리셋 트랜지스터와,

[0284] 상기 후단 노드를 통해 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자로부터 순서대로 판독하

여 출력하는 후단 회로

[0285] 를 구비하는 고체 촬상 소자.

[0286] (2) 상기 전단 회로와 소정의 전단 노드의 사이의 경로를 개폐하는 전단 선택 트랜지스터와,

[0287] 상기 전단 노드의 레벨을 초기화하는 전단 리셋 트랜지스터

[0288] 를 더 구비하고,

[0289] 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택 회로에 접속되는,

[0290] 상기 (1)에 기재된 고체 촬상 소자.

[0291] (3) 상기 전단 선택 트랜지스터는, 상기 전단 회로가 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자의 각각에 보유시키는 기간에 걸쳐서 단핍 상태로 이행하고,

[0292] 상기 전단 리셋 트랜지스터는, 상기 후단 회로가 상기 리셋 레벨 및 상기 신호 레벨을 상기 제1 및 제2 용량 소자로부터 순서대로 판독하는 기간 내에 상기 전단 노드의 레벨을 초기화하는,

[0293] 상기 (2)에 기재된 고체 촬상 소자.

[0294] (4) 상기 전단 회로는,

[0295] 광전 변환 소자와,

[0296] 상기 광전 변환 소자로부터 부유 확산층으로 전하를 전송하는 전단 전송 트랜지스터와,

[0297] 상기 부유 확산층을 초기화하는 제1 리셋 트랜지스터와,

[0298] 상기 부유 확산층의 전압을 증폭하여 소정의 전단 노드로 출력하는 전단 증폭 트랜지스터

[0299] 를 구비하고,

[0300] 상기 제1 및 제2 용량 소자의 각각의 일단은 상기 전단 노드에 공통으로 접속되고, 각각의 타단은 상기 선택 회로에 접속되는,

[0301] 상기 (1) 내지 (3) 중 어느 하나에 기재된 고체 촬상 소자.

[0302] (5) 상기 전단 증폭 트랜지스터의 소스에 공급하는 소스 전압을 조정하는 전환부를 더 구비하고,

[0303] 상기 전단 회로는, 상기 전단 증폭 트랜지스터의 드레인에 접속된 전류원 트랜지스터를 더 구비하고,

[0304] 상기 전류원 트랜지스터는, 노광 기간의 종료 후에 온 상태에서부터 오프 상태로 이행하는,

[0305] 상기 (4)에 기재된 고체 촬상 소자.

[0306] (6) 상기 전환부는, 상기 노광 기간 내에 소정의 전원 전압을 상기 소스 전압으로서 공급하고, 상기 노광 기간의 종료 후에 상기 전원 전압과 다른 생성 전압을 상기 소스 전압으로서 공급하는,

[0307] 상기 (5)에 기재된 고체 촬상 소자.

[0308] (7) 상기 전원 전압과 상기 생성 전압의 차분은, 상기 제1 리셋 트랜지스터의 리셋 피드 스루에 의한 변동량과 상기 전단 증폭 트랜지스터의 게이트-소스간 전압의 합에 대략 일치하는,

[0309] 상기 (6)에 기재된 고체 촬상 소자.

[0310] (8) 소정의 노광 시작 타이밍에서 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송함과 함께 상기 제1 리셋 트랜지스터가 상기 부유 확산층과 함께 상기 광전 변환 소자를 초기화하고,

[0311] 소정의 노광 종료 타이밍에서 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송하는,

[0312] 상기 (4) 내지 (7) 중 어느 하나에 기재된 고체 촬상 소자.

[0313] (9) 상기 전단 회로는, 상기 광전 변환 소자로부터 상기 전하를 배출하는 배출 트랜지스터를 더 구비하는,

[0314] 상기 (4) 내지 (7) 중 어느 하나에 기재된 고체 촬상 소자.

- [0315] (10) 소정의 노광 시작 타이밍 전에 상기 제1 리셋 트랜지스터가 상기 부유 확산층을 초기화함과 함께 상기 배출 트랜지스터가 상기 광전 변환 소자로부터 상기 전하를 배출하고,
- [0316] 소정의 노광 종료 타이밍에서 상기 전단 전송 트랜지스터가 상기 부유 확산층으로 상기 전하를 전송하는,
- [0317] 상기 (9)에 기재된 고체 촬상 소자.
- [0318] (11) 상기 전단 회로의 리셋 전원 전압을 제어하는 제어 회로를 더 구비하고,
- [0319] 상기 제1 리셋 트랜지스터는, 부유 확산층의 전압을 상기 리셋 전원 전압으로 초기화하고,
- [0320] 상기 제어 회로는, 상기 리셋 레벨 및 상기 신호 레벨을 판독하는 판독 기간 내에 상기 리셋 전원 전압을 노광 기간과 다른 전압으로 하는,
- [0321] 상기 (4) 내지 (10) 중 어느 하나에 기재된 고체 촬상 소자.
- [0322] (12) 상기 판독 기간 내의 상기 리셋 전원 전압과 상기 노광 기간 내의 상기 리셋 전원 전압의 차분은, 상기 제1 리셋 트랜지스터의 리셋 피드 스루에 의한 변동량에 대략 일치하는,
- [0323] 상기 (11)에 기재된 고체 촬상 소자.
- [0324] (13) 상기 제1 리셋 트랜지스터의 게이트에는, 제1 리셋 신호가 입력되고,
- [0325] 상기 제1 리셋 신호의 진폭은, 다이내믹 레인지에 대응하는 값에 소정의 마진을 더한 값인,
- [0326] 상기 (4) 내지 (12) 중 어느 하나에 기재된 고체 촬상 소자.
- [0327] (14) 연속하는 한 쌍의 프레임을 가산하는 디지털 신호 처리부를 더 구비하고,
- [0328] 상기 전단 회로는, 상기 한 쌍의 프레임의 일방의 노광 기간 내에 상기 제1 및 제2 용량 소자의 일방에 상기 리셋 레벨을 보유시킨 후에 상기 제1 및 제2 용량 소자의 타방에 상기 신호 레벨을 보유시키고, 상기 한 쌍의 프레임의 타방의 노광 기간 내에 상기 제1 및 제2 용량 소자의 상기 타방에 상기 리셋 레벨을 보유시킨 후에 상기 제1 및 제2 용량 소자의 상기 일방에 상기 신호 레벨을 보유시키는,
- [0329] 상기 (1) 내지 (13) 중 어느 하나에 기재된 고체 촬상 소자.
- [0330] (15) 상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하는,
- [0331] 상기 (1) 내지 (14) 중 어느 하나에 기재된 고체 촬상 소자.
- [0332] (16) 상기 아날로그 디지털 변환기는,
- [0333] 상기 리셋 레벨 및 상기 신호 레벨을 전송하는 수직 신호선의 레벨과 소정의 램프 신호를 비교하여 비교 결과를 출력하는 콤퍼레이터와,
- [0334] 상기 비교 결과가 반전될 때까지의 기간에 걸쳐서 계수값을 계수하여 해당 계수값을 나타내는 상기 디지털 신호를 출력하는 카운터를
- [0335] 를 구비하는,
- [0336] 상기 (15)에 기재된 고체 촬상 소자.
- [0337] (17) 상기 콤퍼레이터는,
- [0338] 한 쌍의 입력 단자의 각각의 레벨을 비교하여 비교 결과를 출력하는 비교기와,
- [0339] 상기 수직 신호선과 소정의 참조 전압의 노드 중 어느 하나를 선택하여 상기 한 쌍의 입력 단자의 일방에 접속하는 입력측 셀렉터를
- [0340] 를 구비하고,
- [0341] 상기 한 쌍의 입력 단자의 일방에는, 상기 램프 신호가 입력되는,
- [0342] 상기 (16)에 기재된 고체 촬상 소자.
- [0343] (18) 상기 비교 결과에 기초하여 조도가 소정값보다 높은지 여부를 판정하여 판정 결과를 출력하는 제어부와,

- [0344] 상기 디지털 신호에 대해 상관 이중 샘플링 처리를 실행하는 CDS(Correlated Double Sampling) 처리부와,
- [0345] 상기 상관 이중 샘플링 처리가 실행된 상기 디지털 신호와 소정값의 디지털 신호 중 어느 하나를 상기 판정 결과에 기초하여 출력하는 출력측 셀렉터
- [0346] 를 더 구비하는 상기 (17)에 기재된 고체 촬상 소자.
- [0347] (19) 각각에 소정수의 화소가 배열된 복수의 행을 제어하고 동시에 노광을 개시시키는 제어를 행하는 수직 주사 회로를 더 구비하고,
- [0348] 상기 제1 및 제2 용량 소자와 상기 전단 회로와 상기 선택 회로와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 상기 화소의 각각에 배치되는,
- [0349] 상기 (1) 내지 (18) 중 어느 하나에 기재된 고체 촬상 소자.
- [0350] (20) 상기 수직 주사 회로는, 상기 복수의 행을 제어하여 순서대로 노광을 개시시키는 제어를 더 행하는
- [0351] 상기 (19)에 기재된 고체 촬상 소자.
- [0352] (21) 상기 전단 회로는, 제1 칩에 설치되고,
- [0353] 상기 제1 및 제2 용량 소자와 상기 선택 회로와 상기 후단 리셋 트랜지스터와 상기 후단 회로는, 제2 칩에 설치되는,
- [0354] 상기 (1) 내지 (20) 중 어느 하나에 기재된 고체 촬상 소자.
- [0355] (22) 상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,
- [0356] 상기 아날로그 디지털 변환기는, 상기 제2 칩에 설치되는,
- [0357] 상기 (21)에 기재된 고체 촬상 소자.
- [0358] (23) 상기 출력된 상기 리셋 레벨 및 상기 신호 레벨을 순서대로 디지털 신호로 변환하는 아날로그 디지털 변환기를 더 구비하고,
- [0359] 상기 아날로그 디지털 변환기는, 제3 칩에 설치되는,
- [0360] 상기 (21)에 기재된 고체 촬상 소자.
- [0361] (24) 입사한 광을 전하로 변환하는 광전 변환부와,
- [0362] 상기 전하를 전압으로 변환하는 제1 증폭 트랜지스터와,
- [0363] 화소 신호를 출력하는 신호선과,
- [0364] 상기 제1 증폭 트랜지스터의 출력치의 제1 노드와 일단이 접속된 제1 용량 소자와,
- [0365] 상기 제1 증폭 트랜지스터와 상기 신호선의 사이에서, 상기 제1 용량 소자와 병렬로 설치되고, 상기 제1 노드와 일단이 접속된 제2 용량 소자와,
- [0366] 상기 제1 용량 소자의 타단에서, 상기 제1 용량 소자와 접속된 제1 선택 트랜지스터와,
- [0367] 상기 제2 용량 소자의 타단에서, 상기 제2 용량 소자와 접속된 제2 선택 트랜지스터와,
- [0368] 상기 제1 및 제2 선택 트랜지스터가 접속된 제2 노드에 소스 또는 드레인이 접속된 리셋 트랜지스터와,
- [0369] 상기 제2 노드에 게이트가 접속되고, 상기 화소 신호를 출력하는 제2 증폭 트랜지스터를 가지는 고체 촬상 소자.

부호의 설명

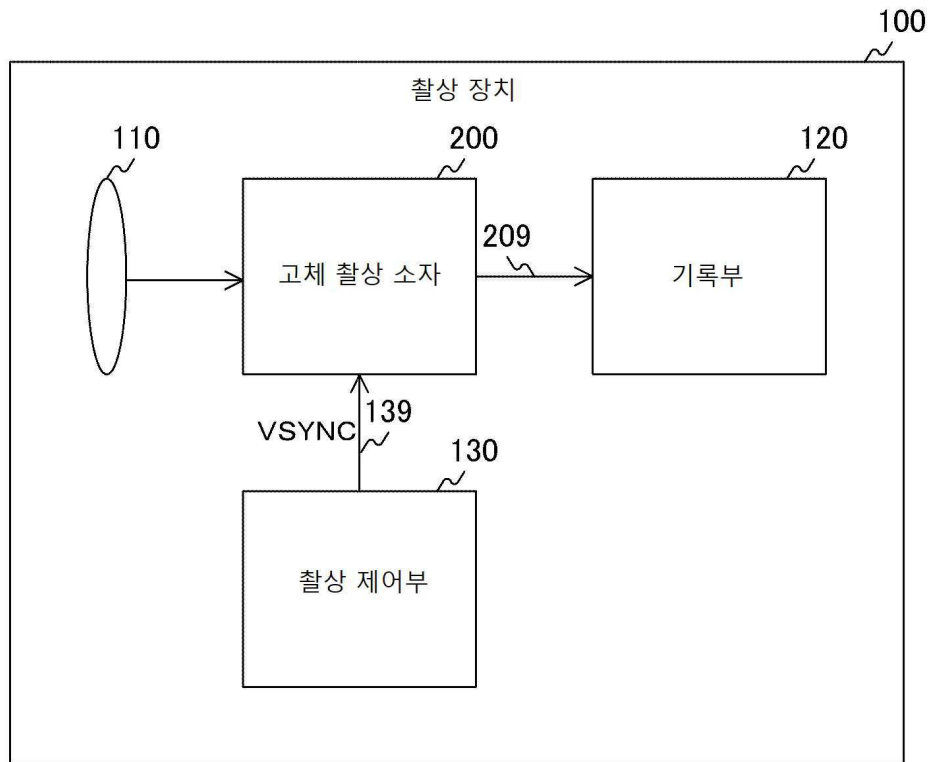
- [0370] 100 ; 촬상 장치
- 110 ; 촬상 렌즈
- 120 ; 기록부

130 ; 촬상 제어부
 200 ; 고체 촬상 소자
 201 ; 상측 화소 칩
 202 ; 하측 화소 칩
 203 ; 회로 칩
 211 ; 수직 주사 회로
 212 ; 타이밍 제어 회로
 213 ; DAC
 220 ; 화소 어레이부
 221 ; 상측 화소 어레이부
 222 ; 하측 화소 어레이부
 250 ; 부하 MOS 회로 블록
 251 ; 부하 MOS 트랜지스터
 260 ; 컬럼 신호 처리 회로
 261, 270 ; ADC
 262, 290 ; 디지털 신호 처리부
 271 ; 카운터
 280 ; 콤퍼레이터
 281, 292 ; 셀렉터
 282, 283, 321, 322 ; 용량 소자
 284, 286 ; 오토 제로 스위치
 285 ; 비교기
 291 ; CDS 처리부
 300 ; 화소
 301 ; 유효 화소
 310 ; 전단 회로
 311 ; 광전 변환 소자
 312 ; 전송 트랜지스터
 313 ; FD 리셋 트랜지스터
 314 ; FD
 315 ; 전단 증폭 트랜지스터
 316 ; 전류원 트랜지스터
 317 ; 배출 트랜지스터
 323 ; 전단 리셋 트랜지스터
 324 ; 전단 선택 트랜지스터
 330 ; 선택 회로

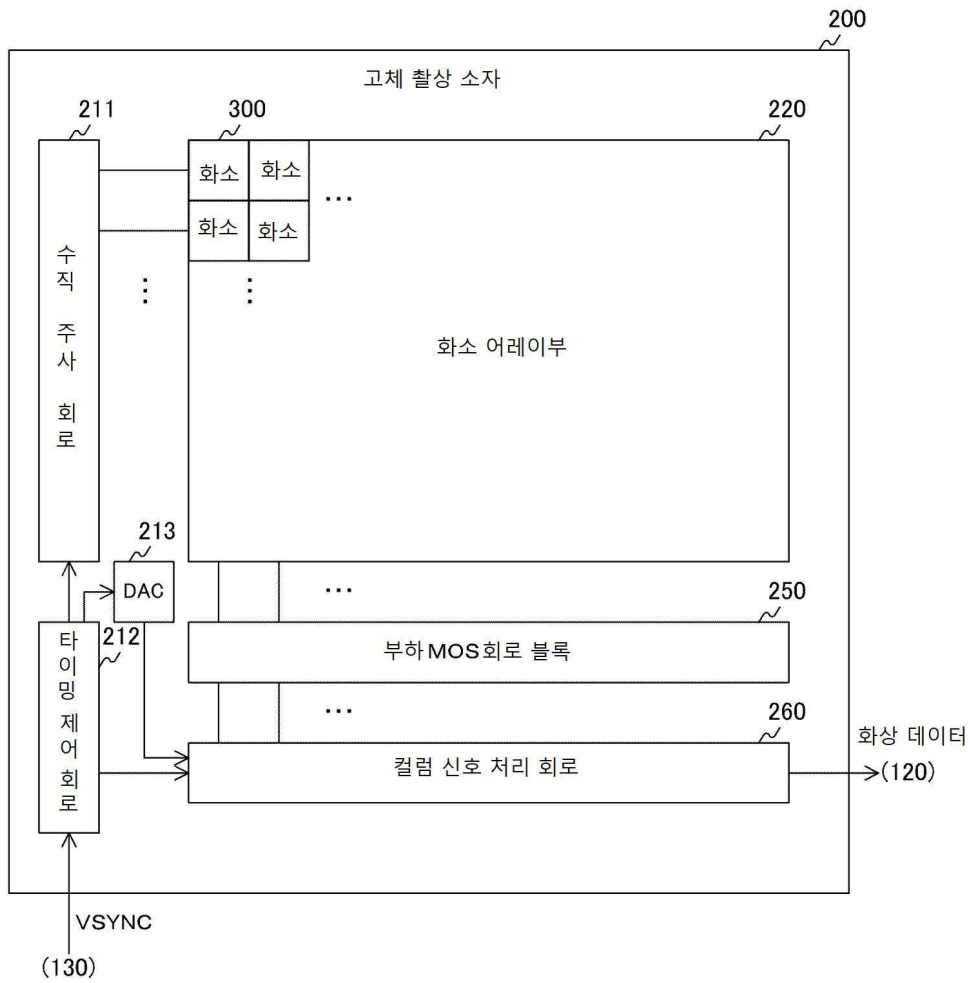
331, 332 ; 선택 트랜지스터
341 ; 후단 리셋 트랜지스터
350 ; 후단 회로
351 ; 후단 증폭 트랜지스터
352 ; 후단 선택 트랜지스터
420 ; 레귤레이터
421 ; 로우 패스 필터
422 ; 버퍼 앰프
423 ; 용량 소자
430 ; 더미 화소
431 ; 리셋 트랜지스터
432 ; FD
433 ; 증폭 트랜지스터
434 ; 전류원 트랜지스터
440 ; 전환부
441 ; 인버터
442 ; 전환 회로
443, 444 ; 스위치
12031 ; 촬상부

도면

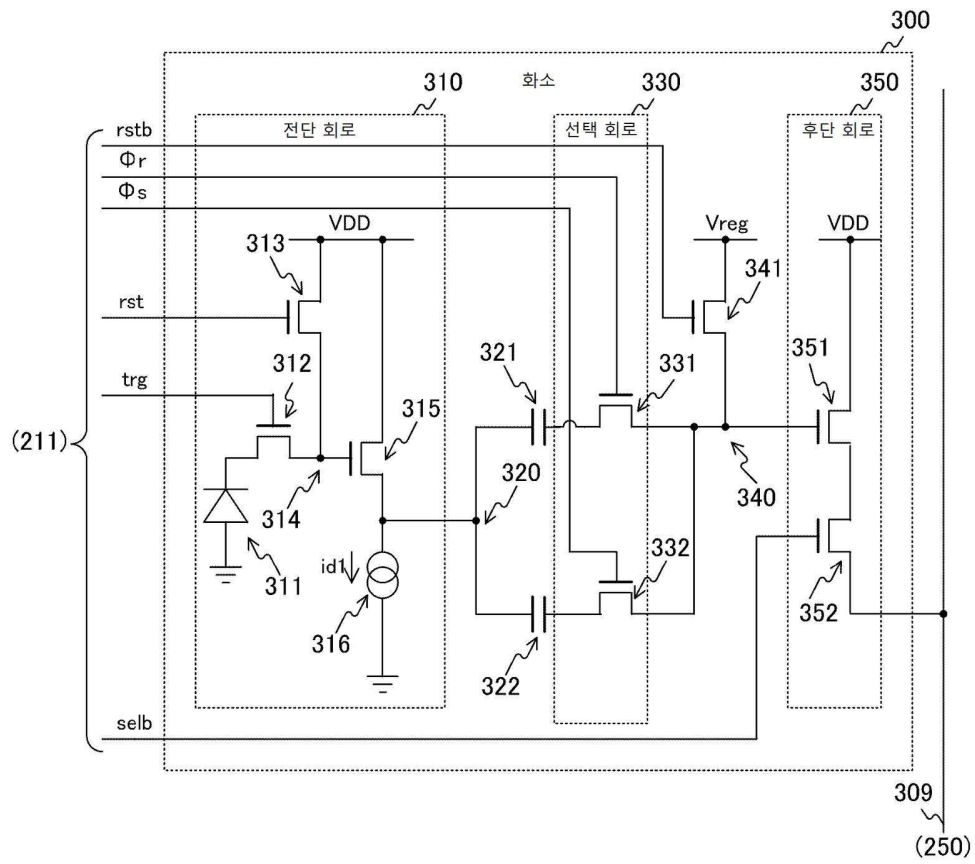
도면1



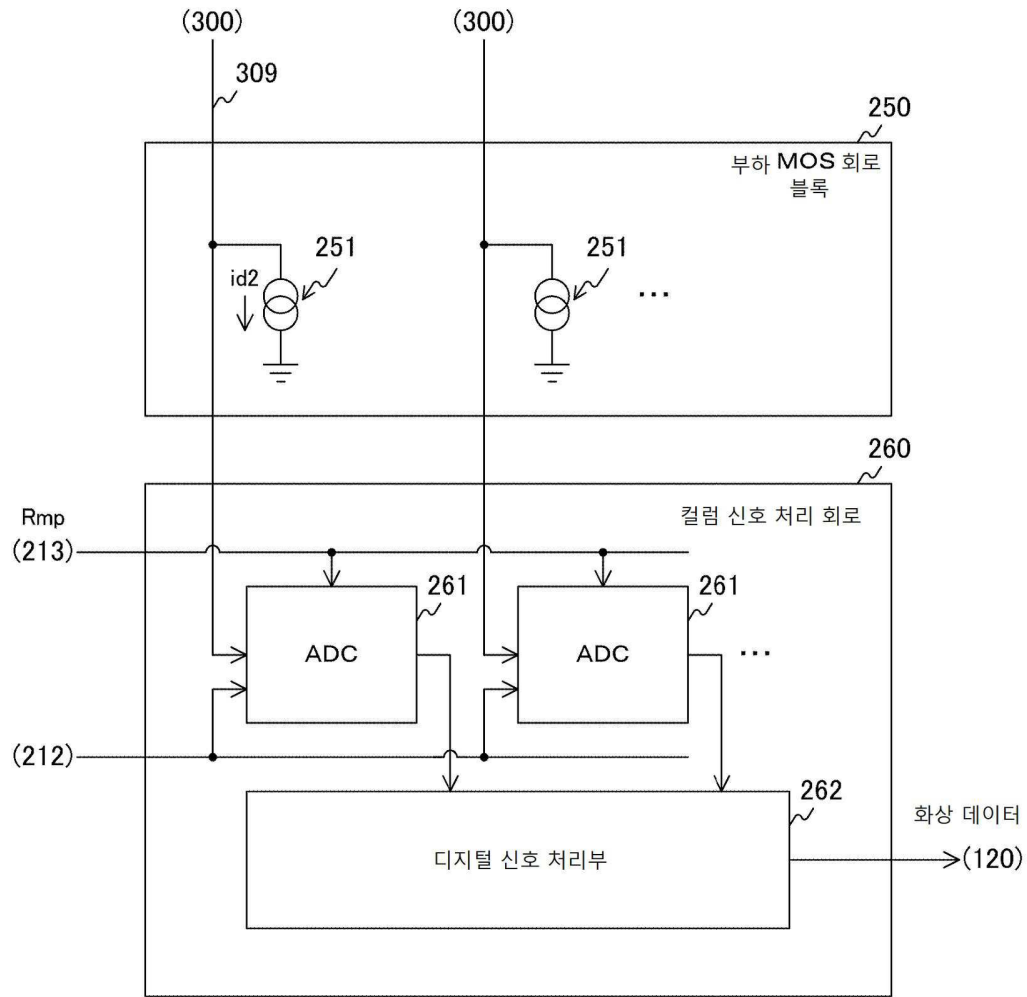
도면2



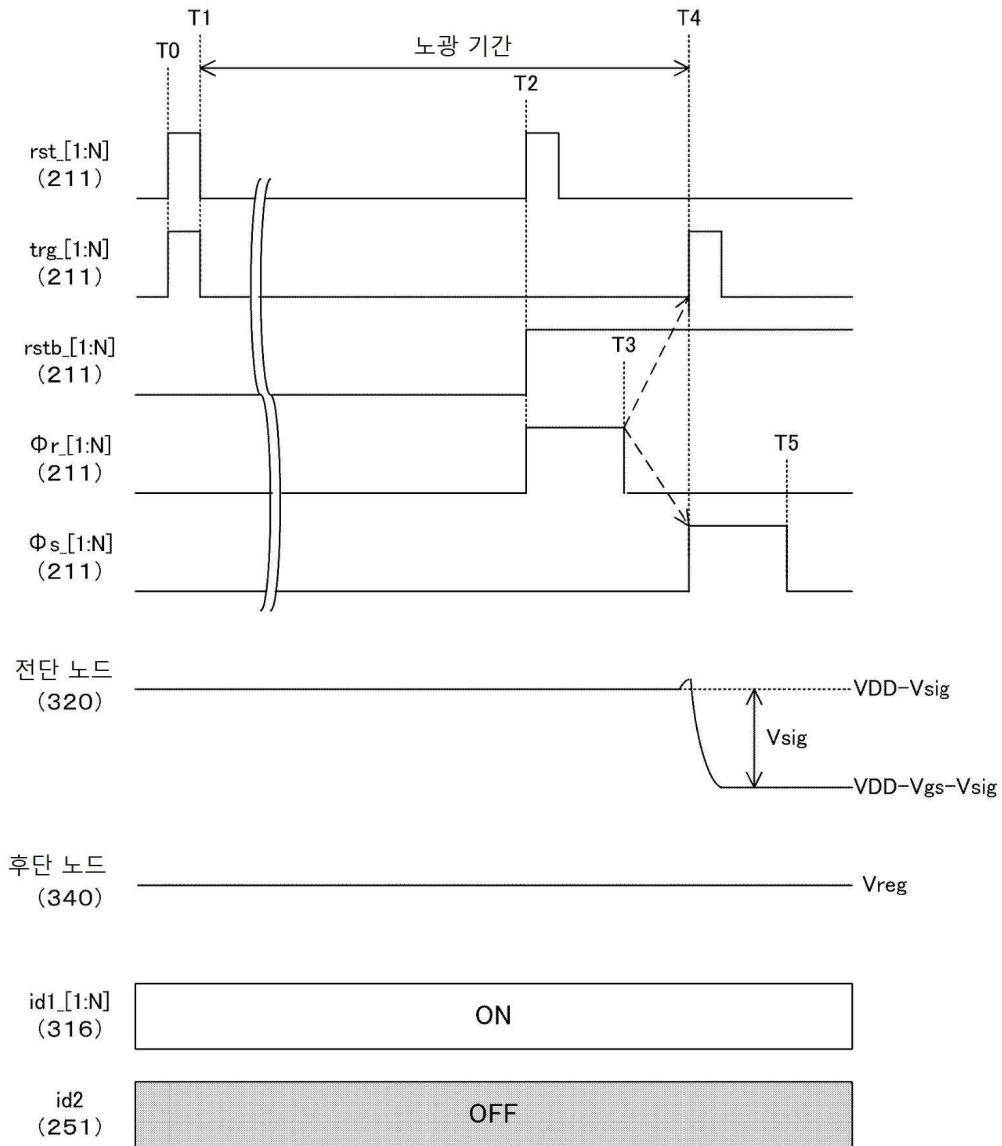
도면3



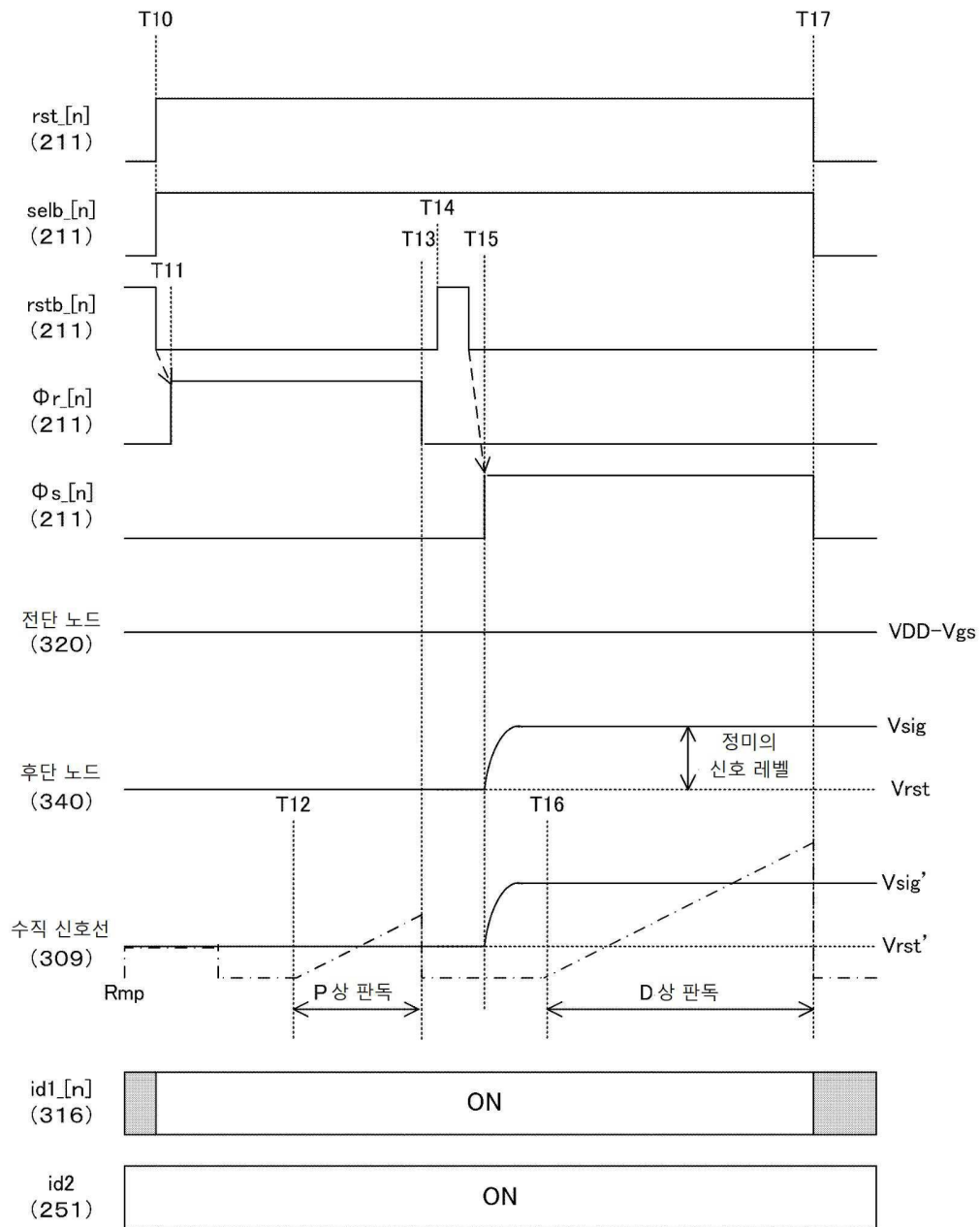
도면4



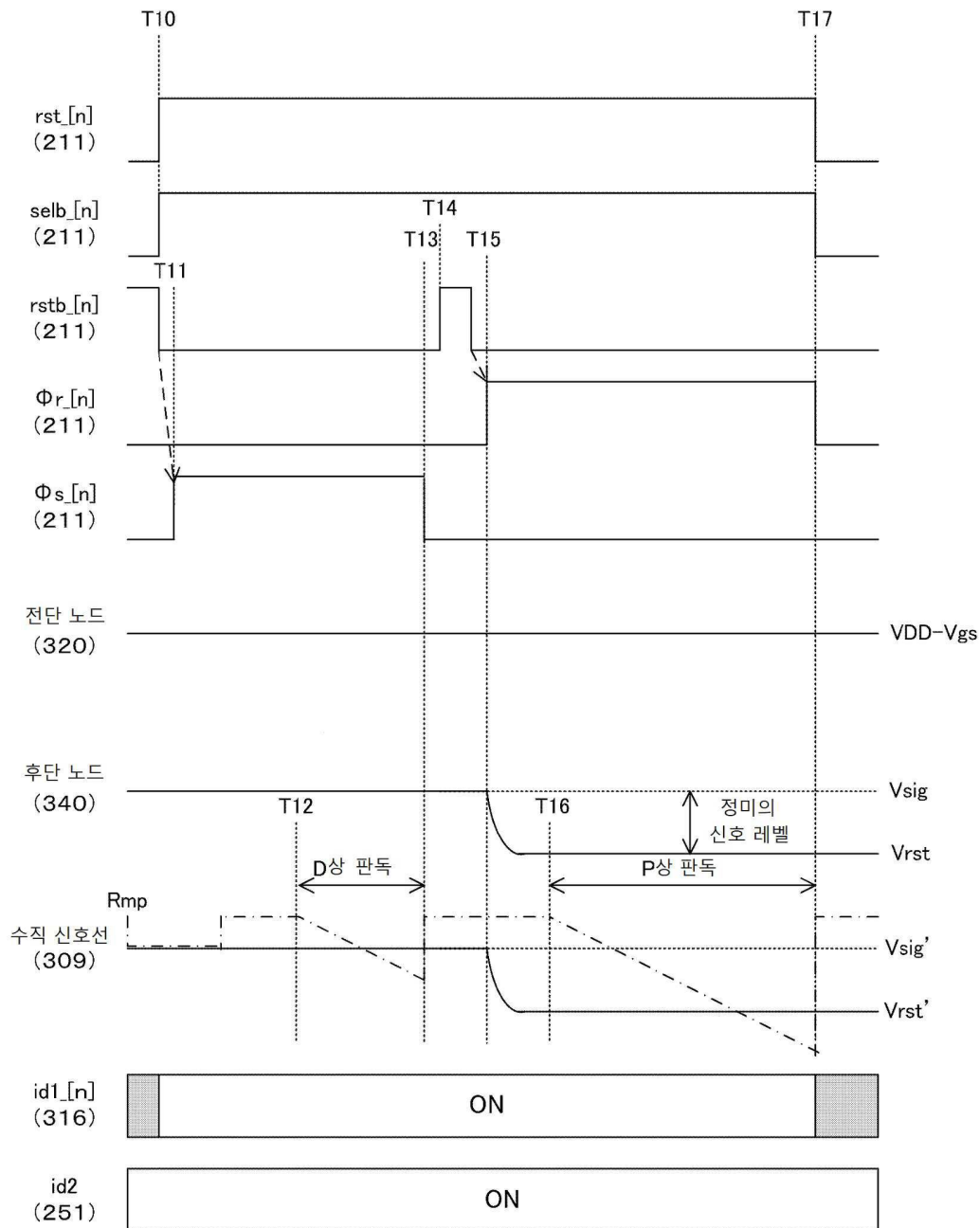
도면5



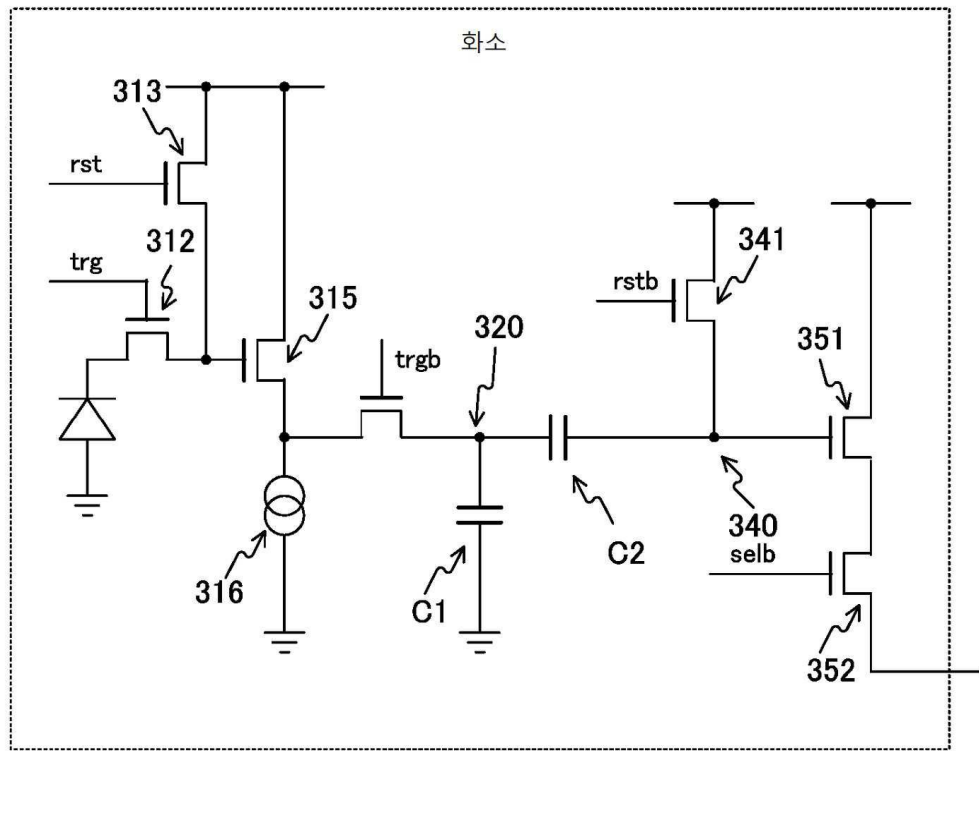
도면6



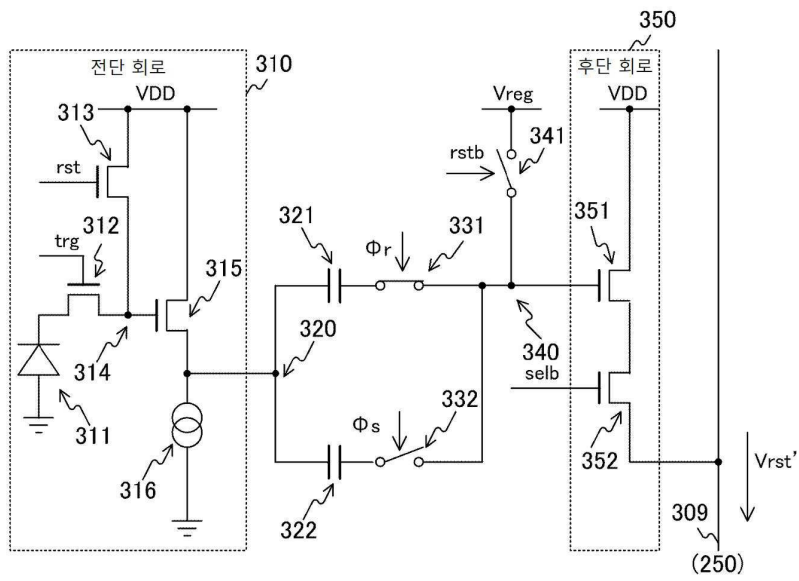
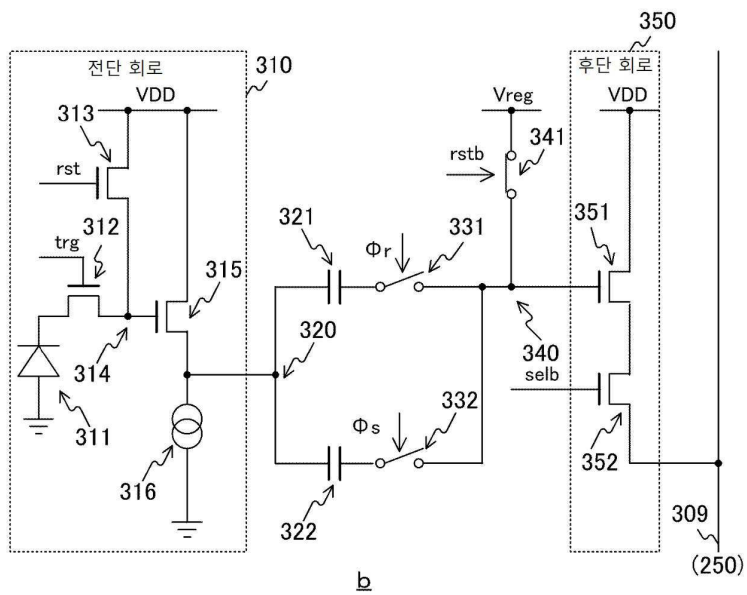
도면7



도면8

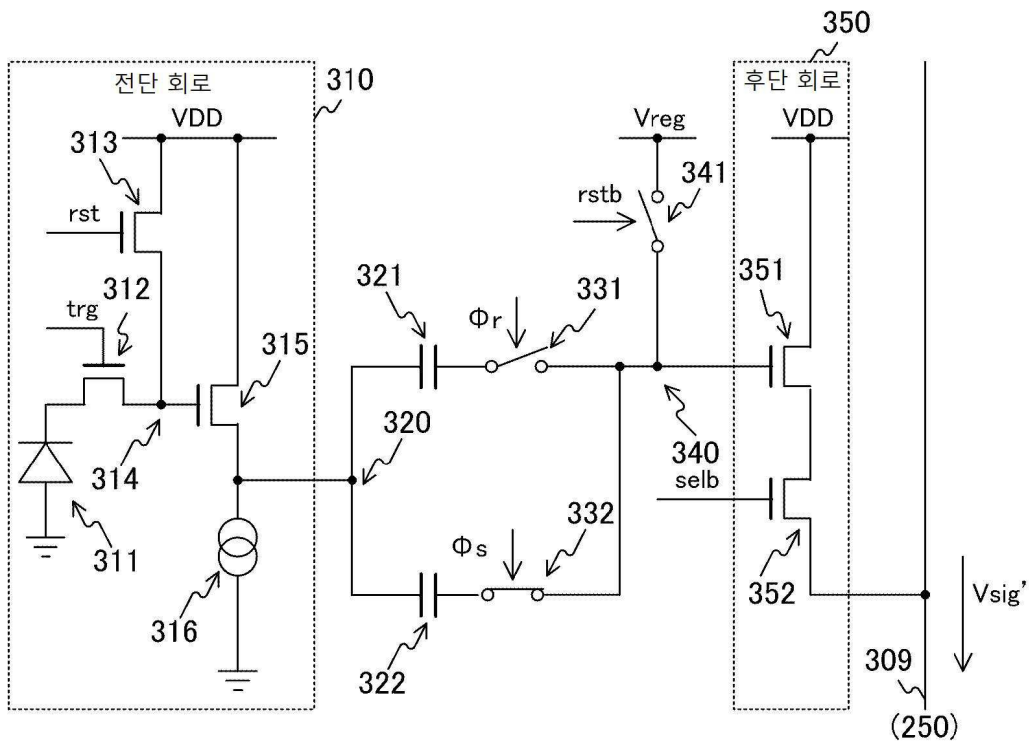


도면9

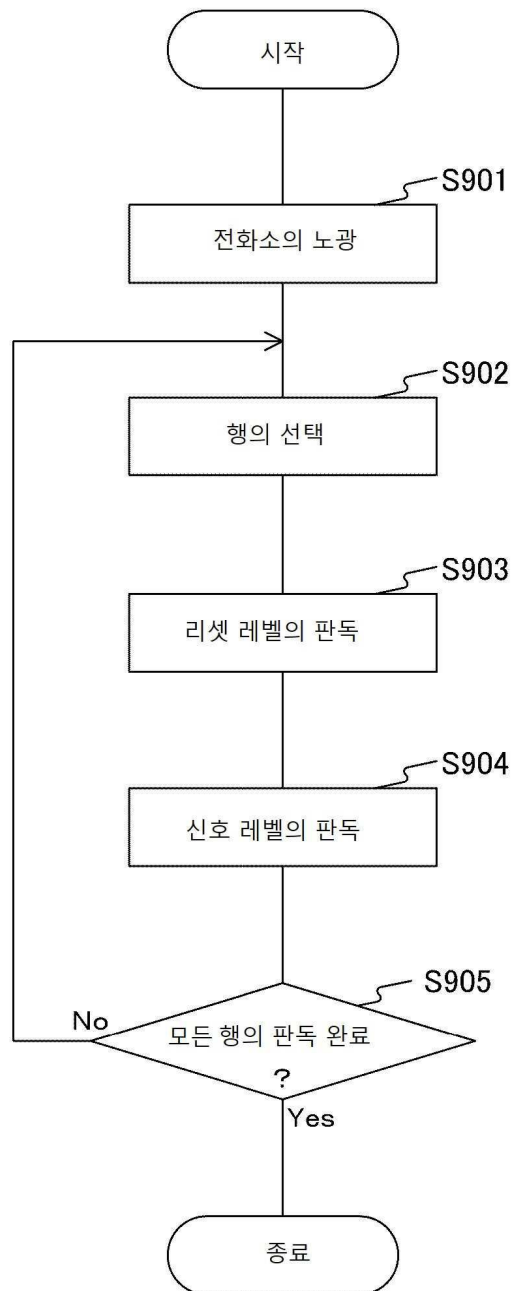
a

b

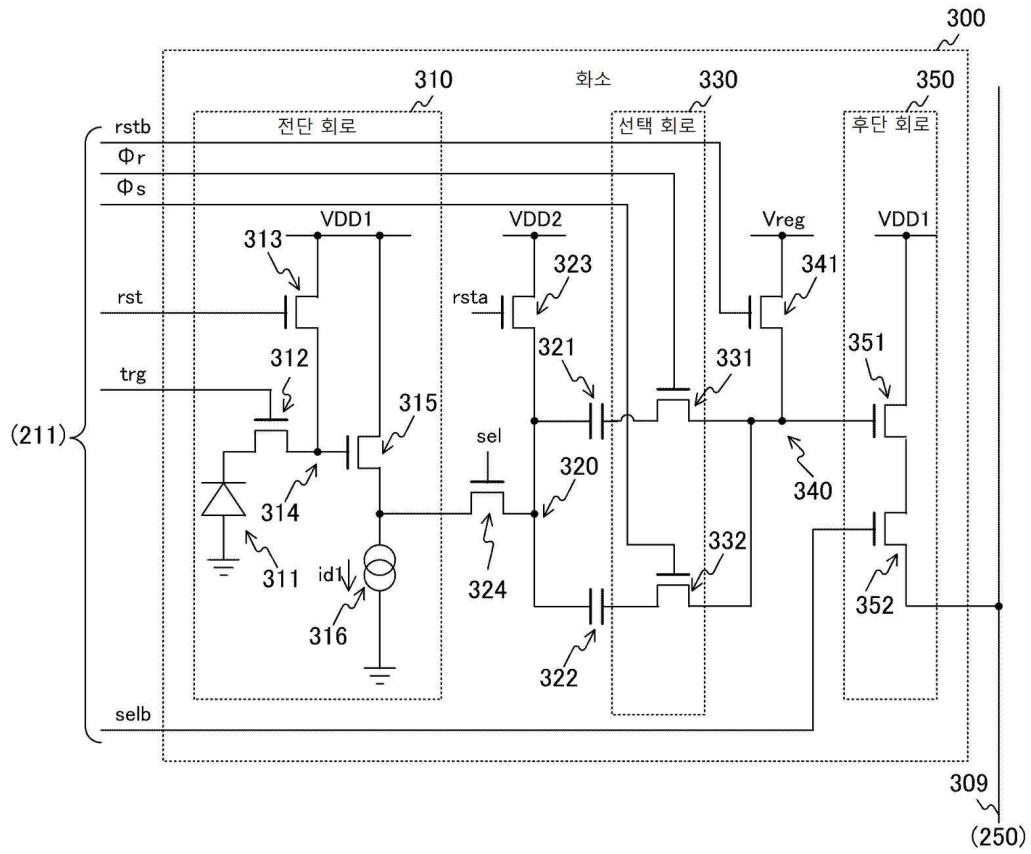
도면10



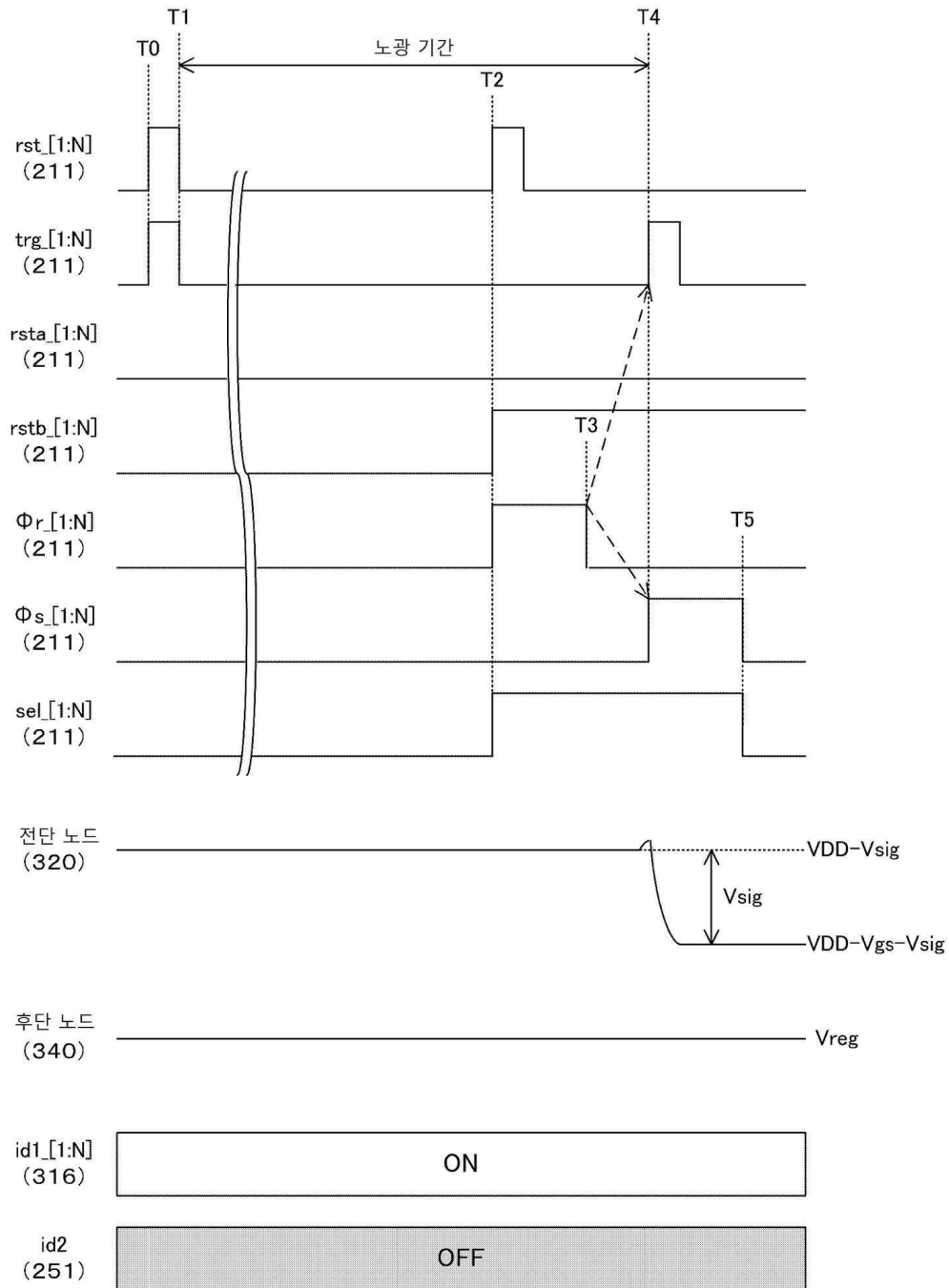
도면11



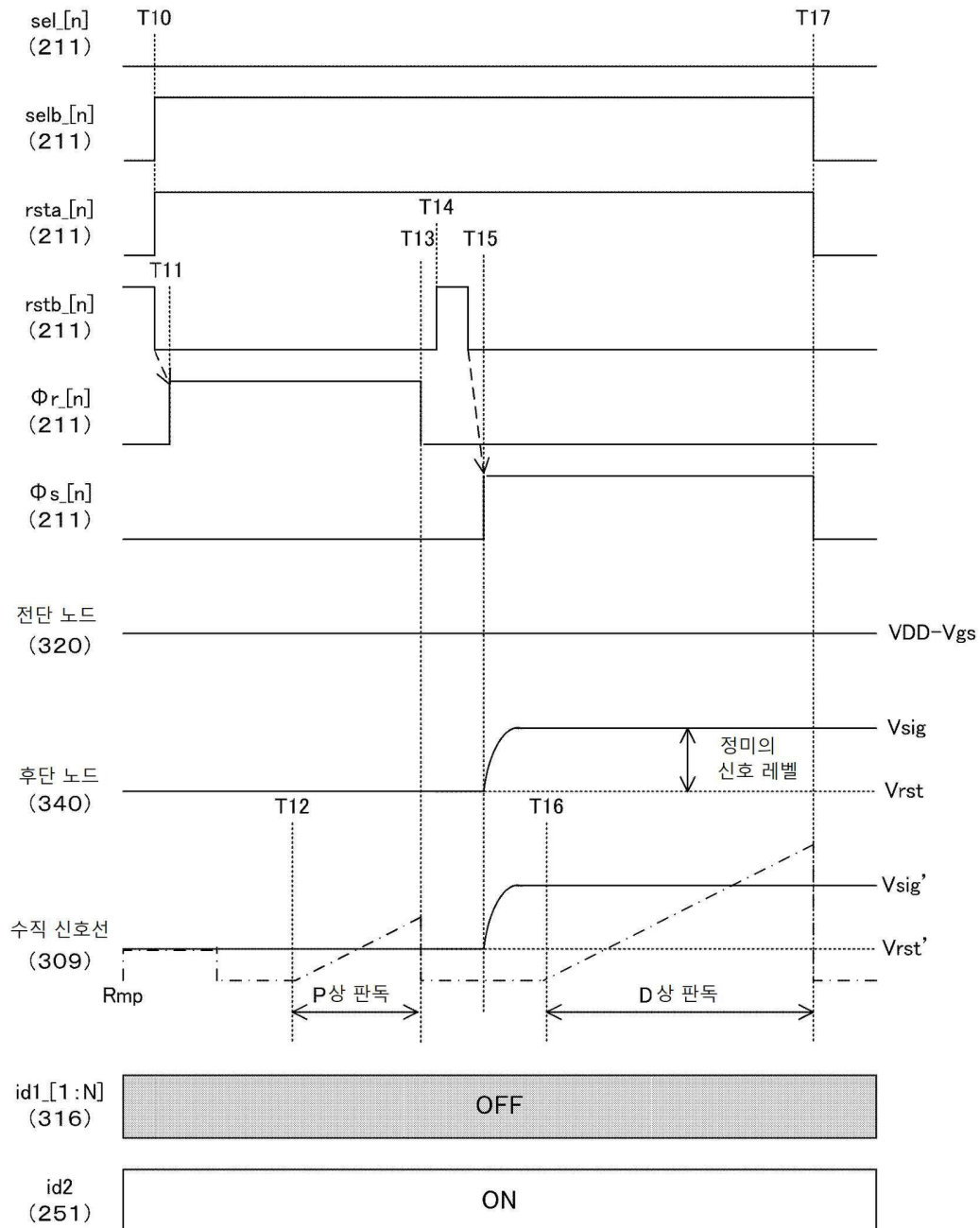
도면12



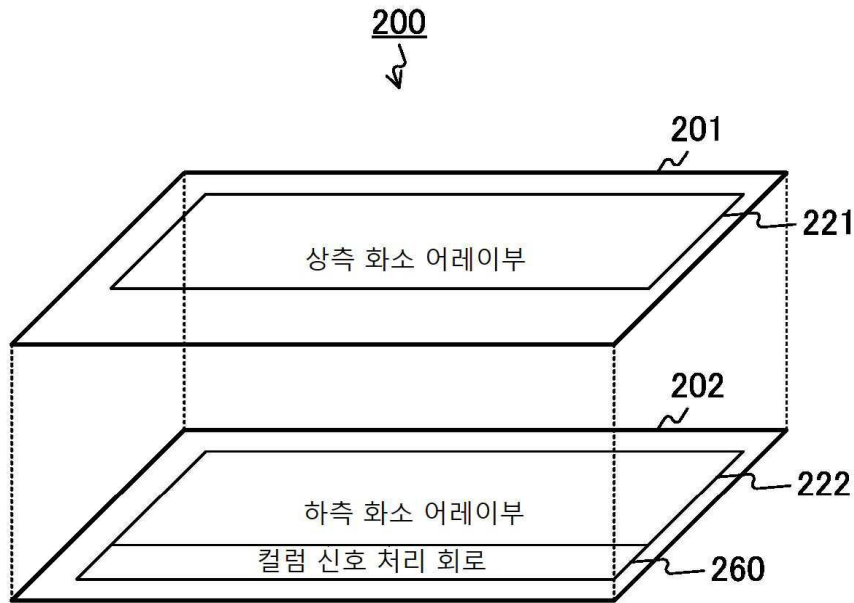
도면13



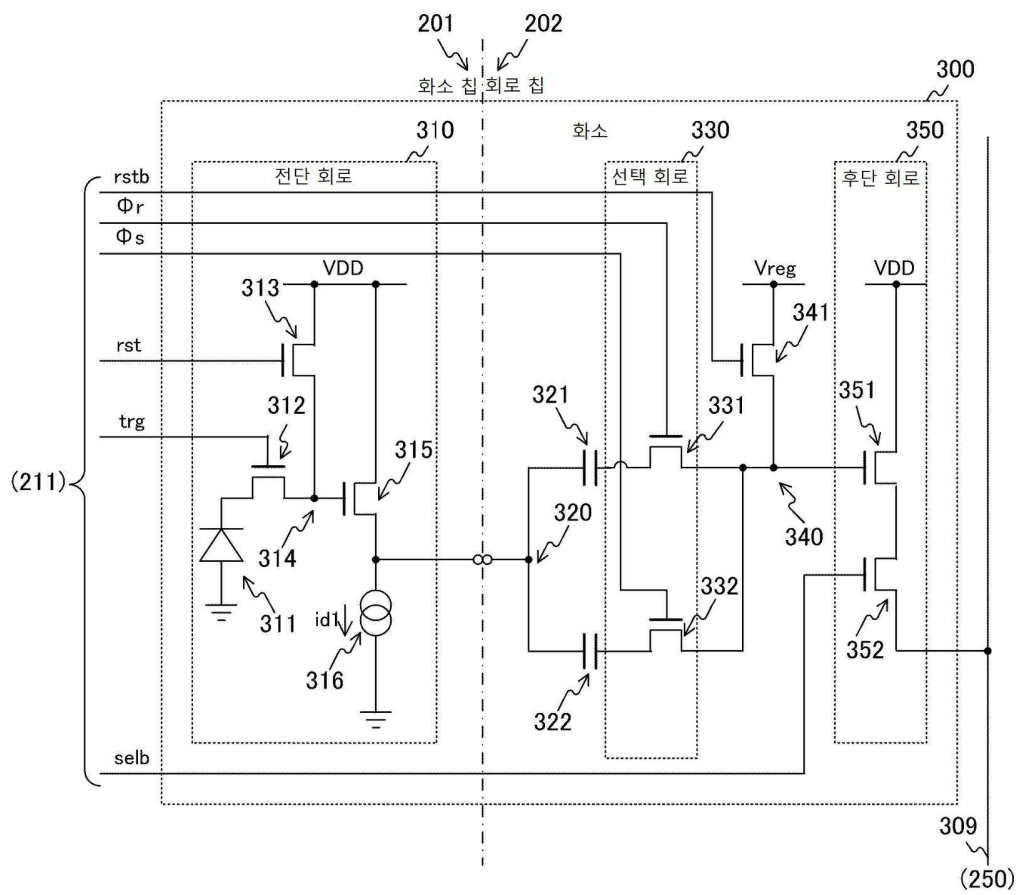
도면14



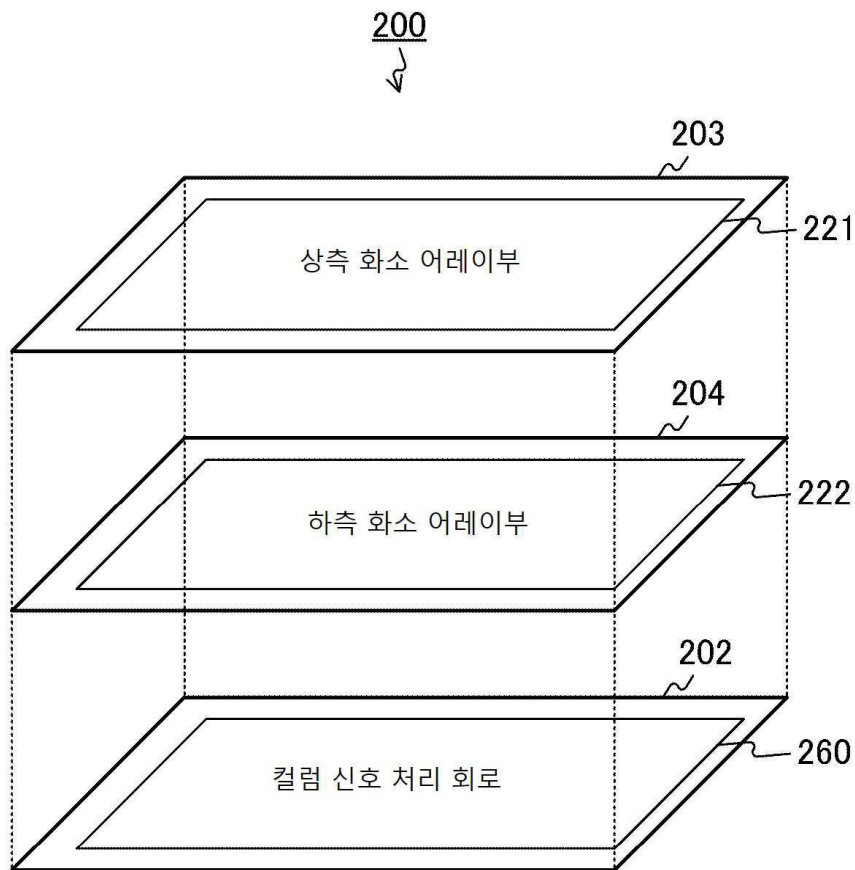
도면15



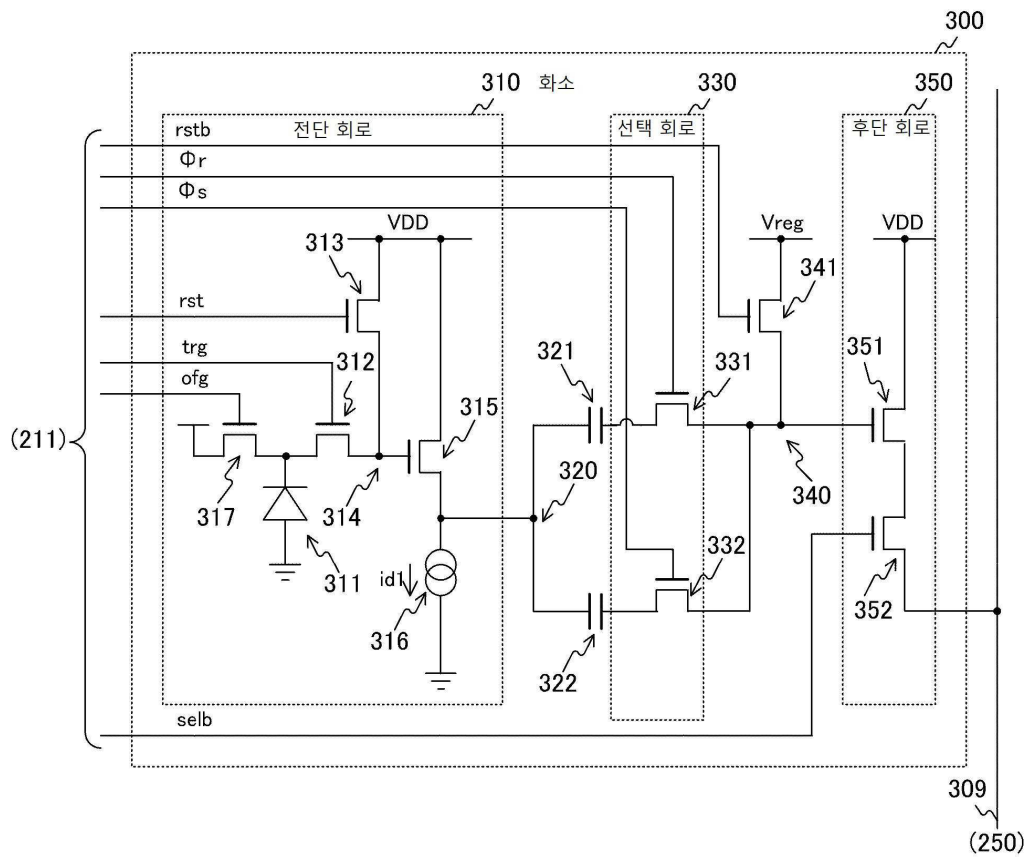
도면16



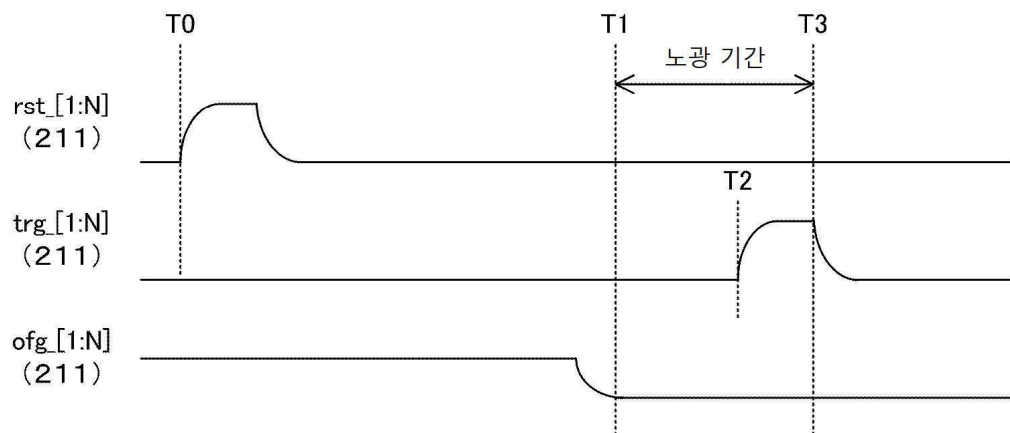
도면17



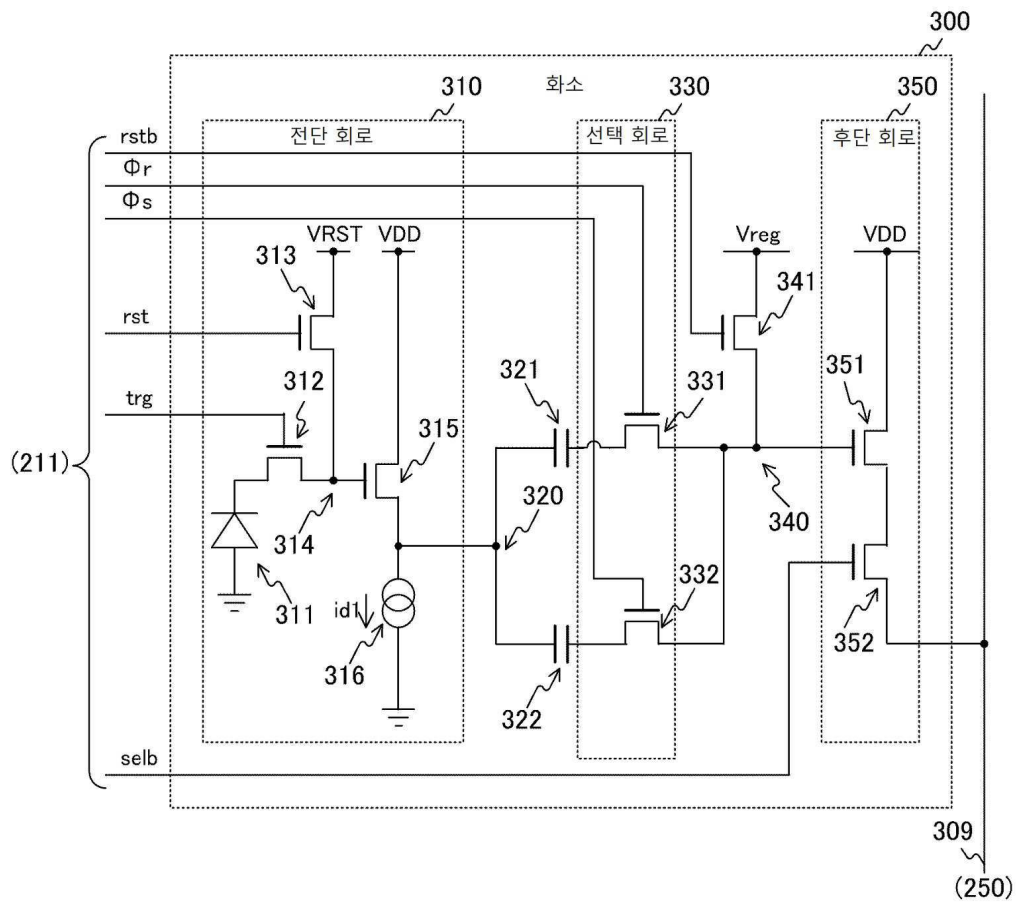
도면 18



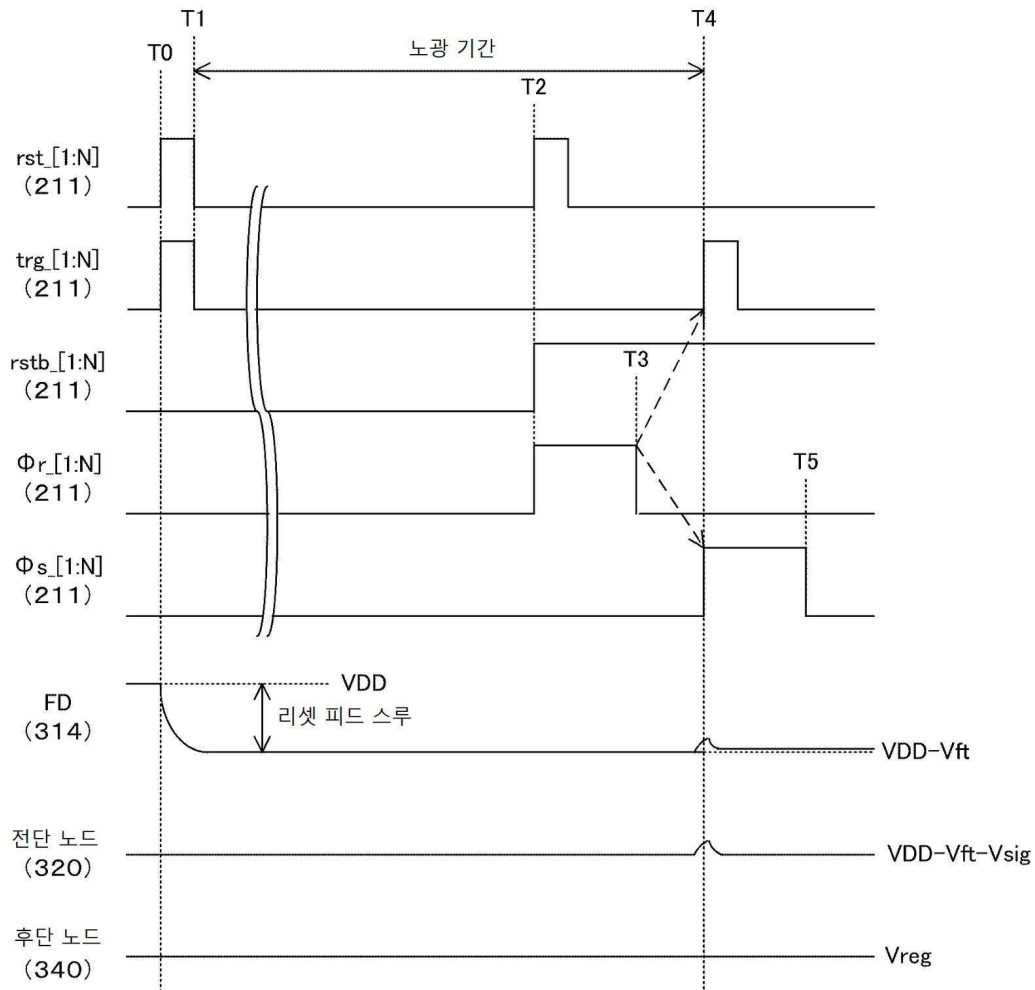
도면 19



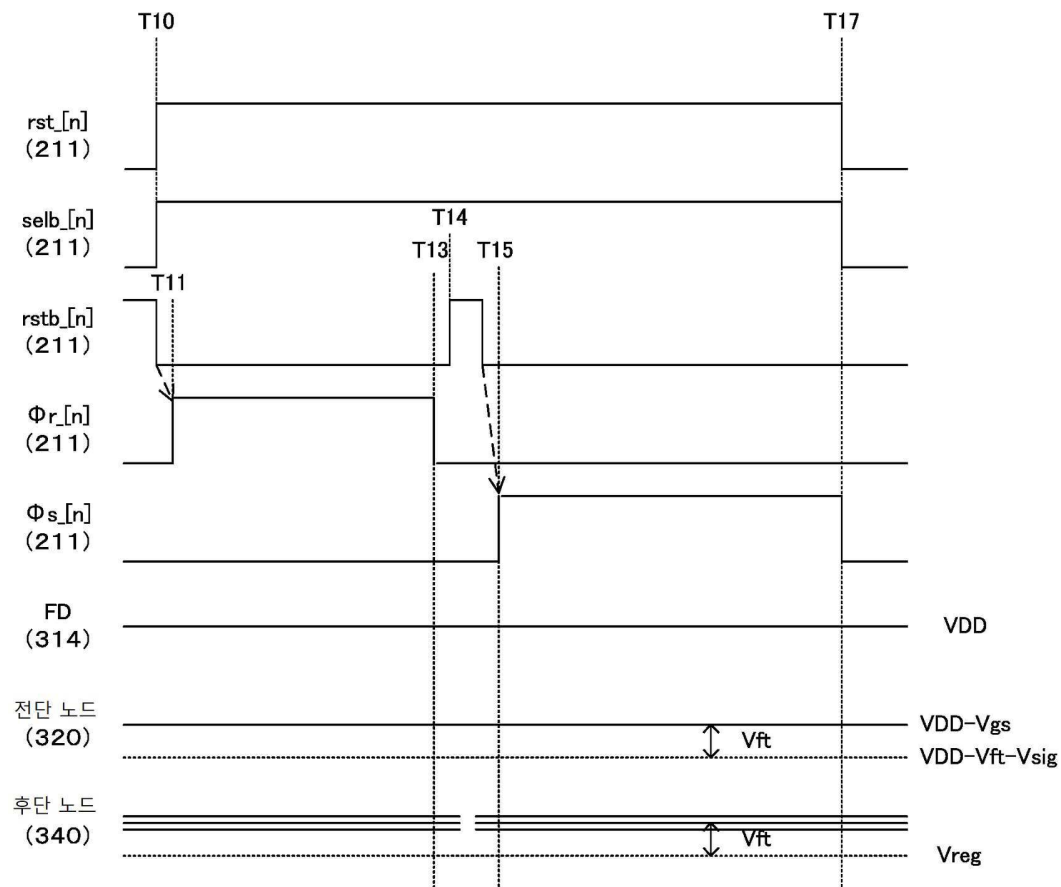
도면20



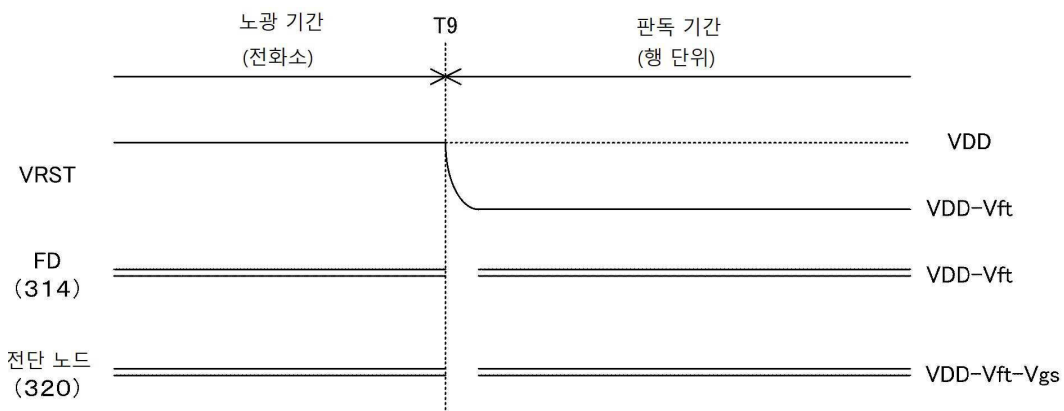
도면21



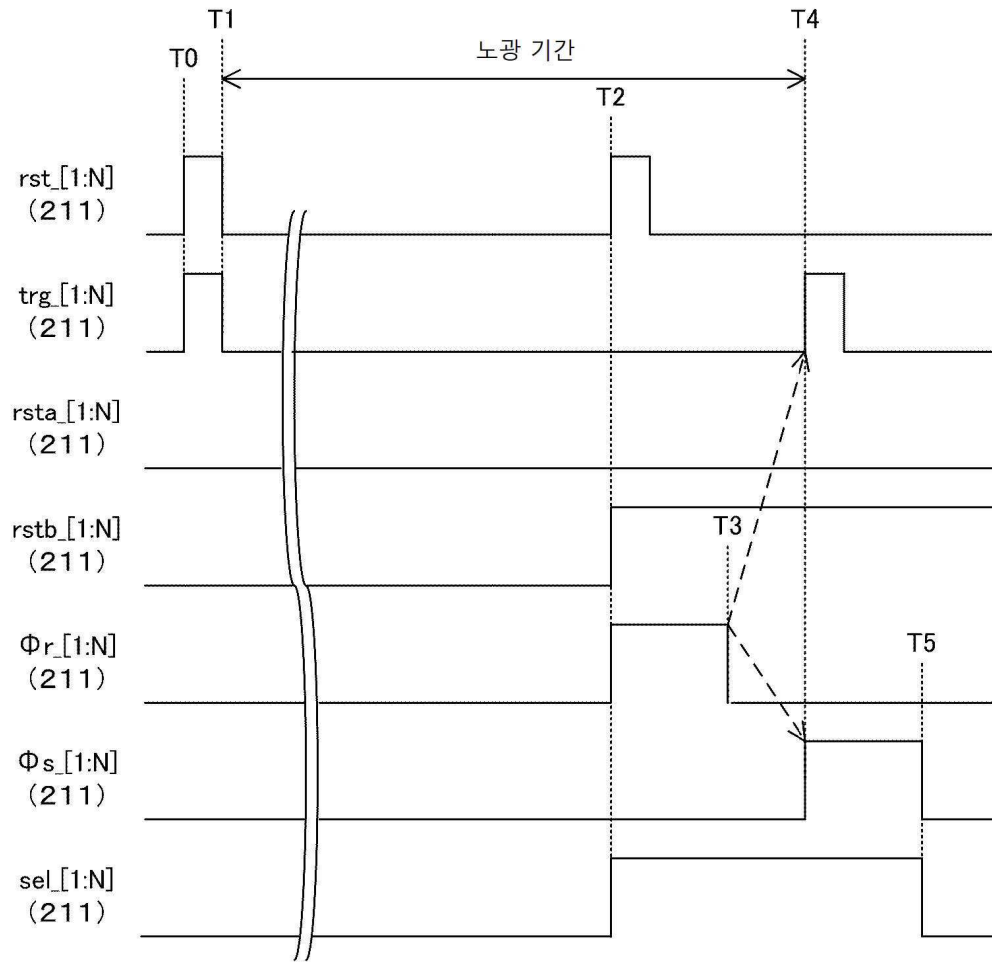
도면22



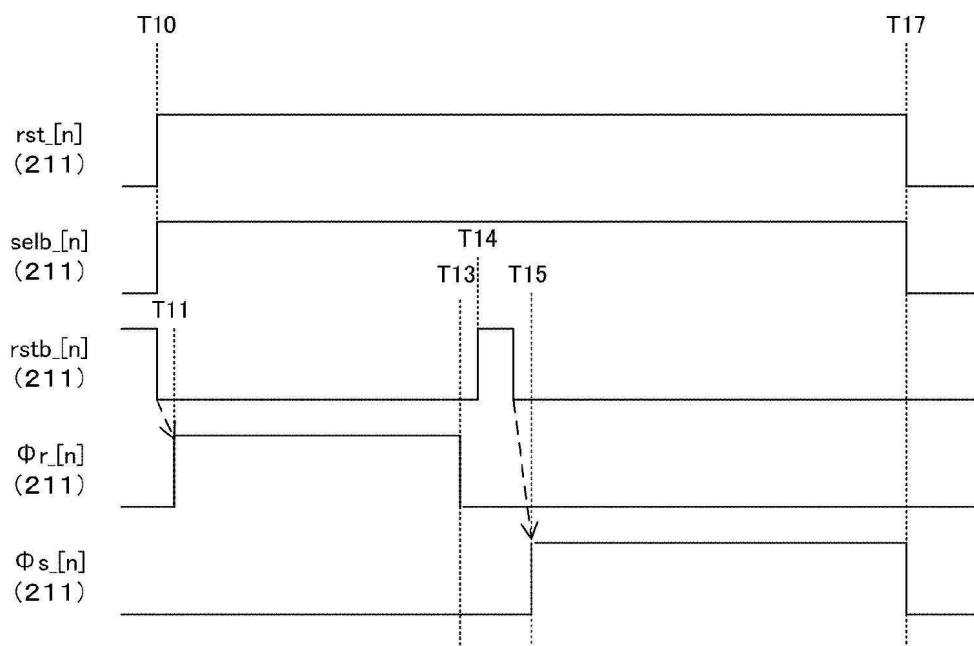
도면23



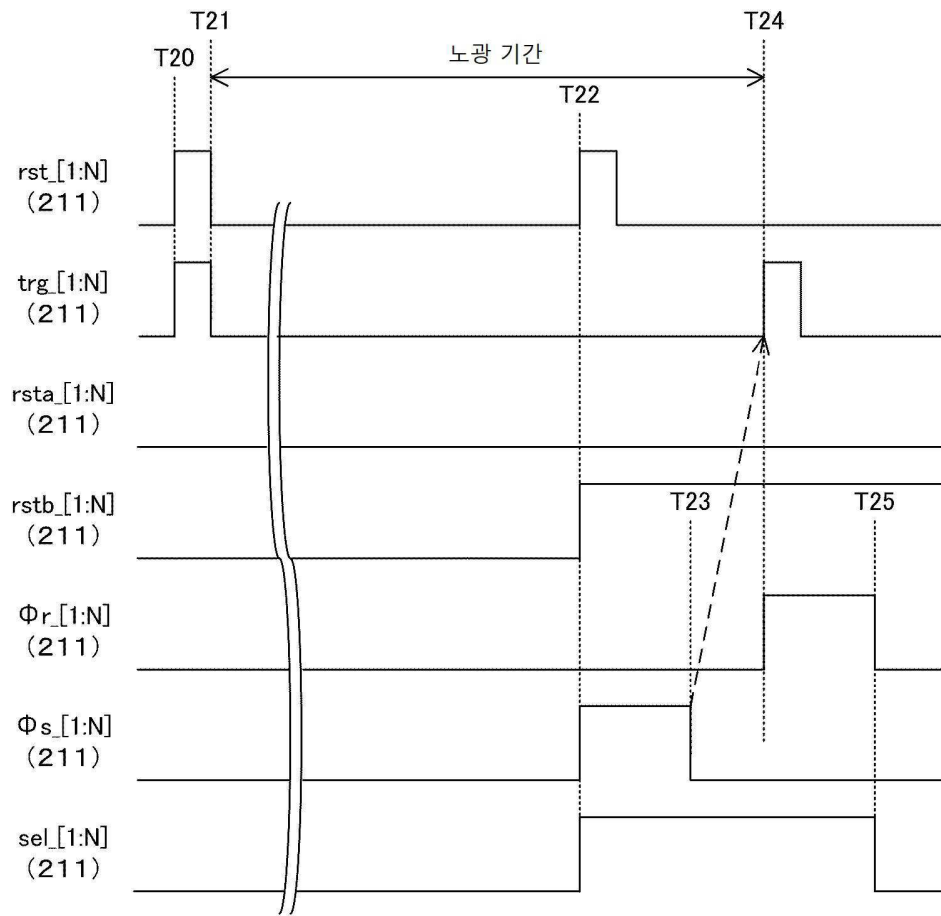
도면24



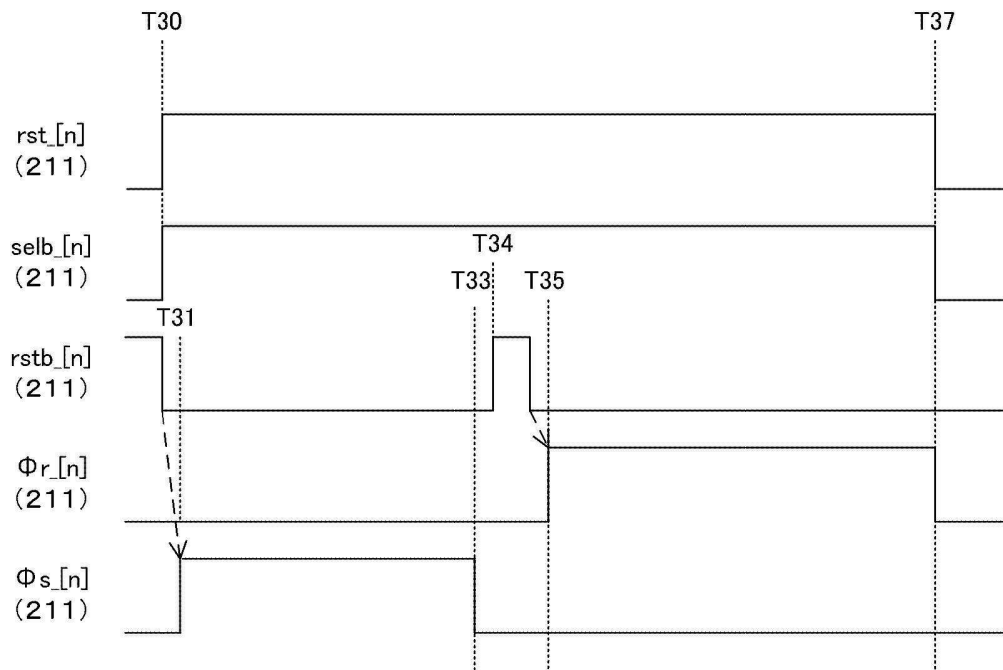
도면25



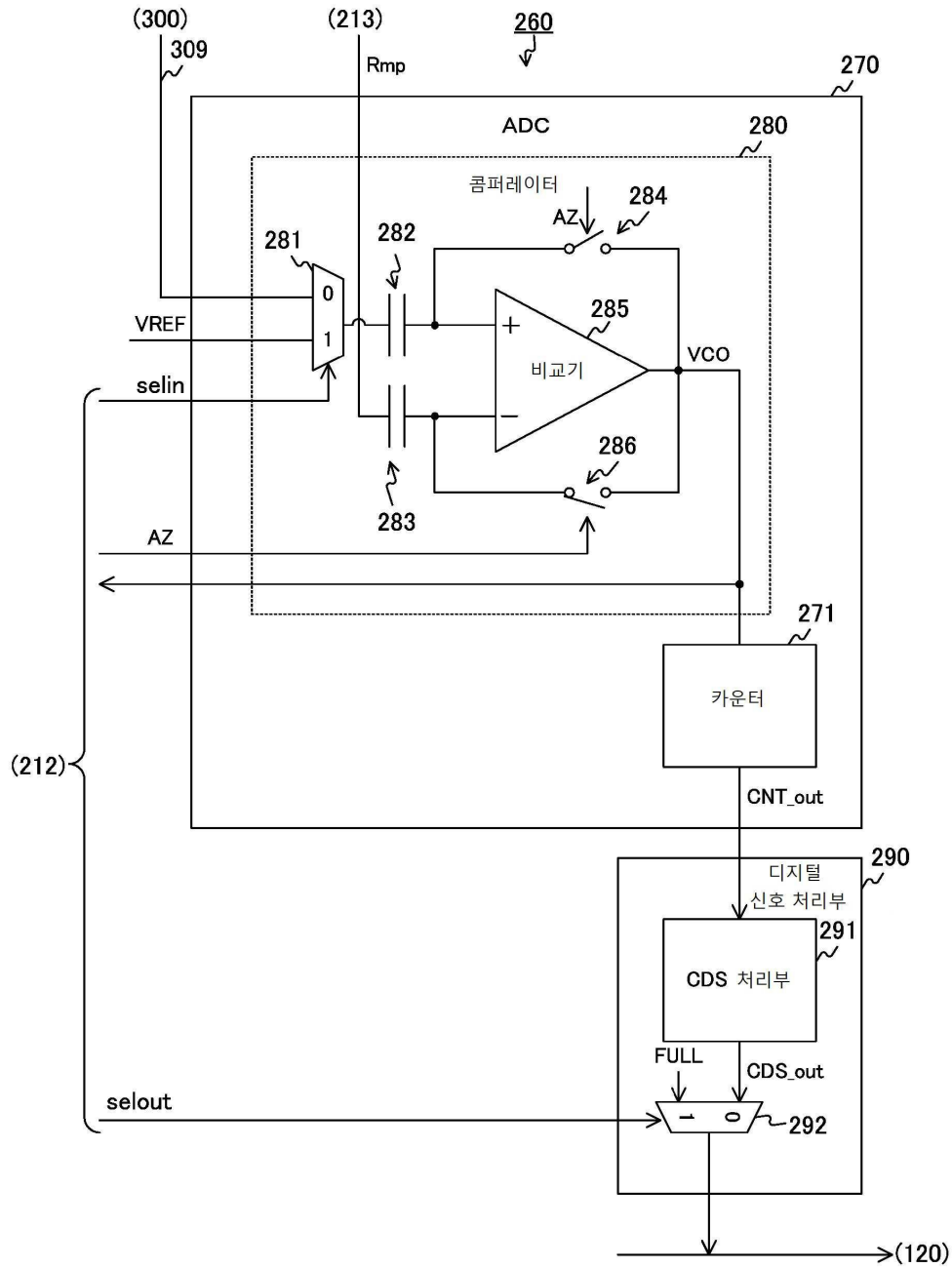
도면26



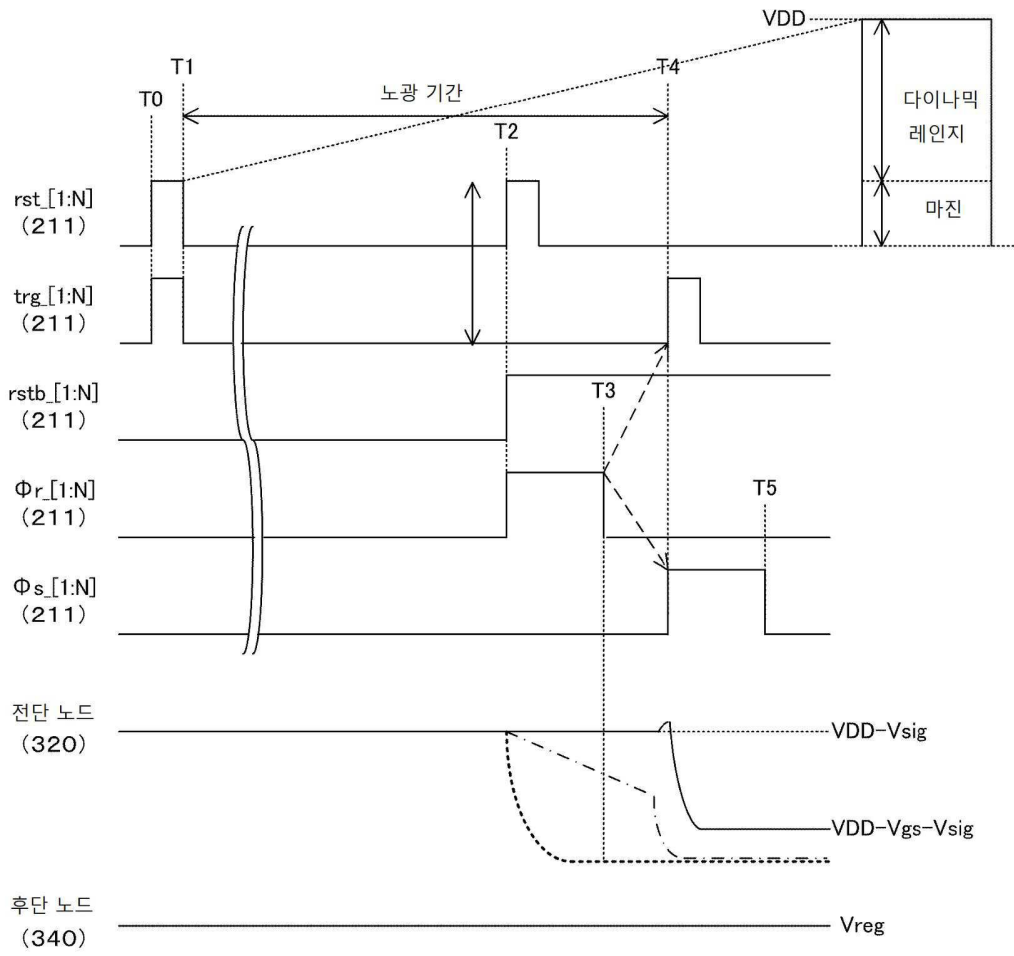
도면27



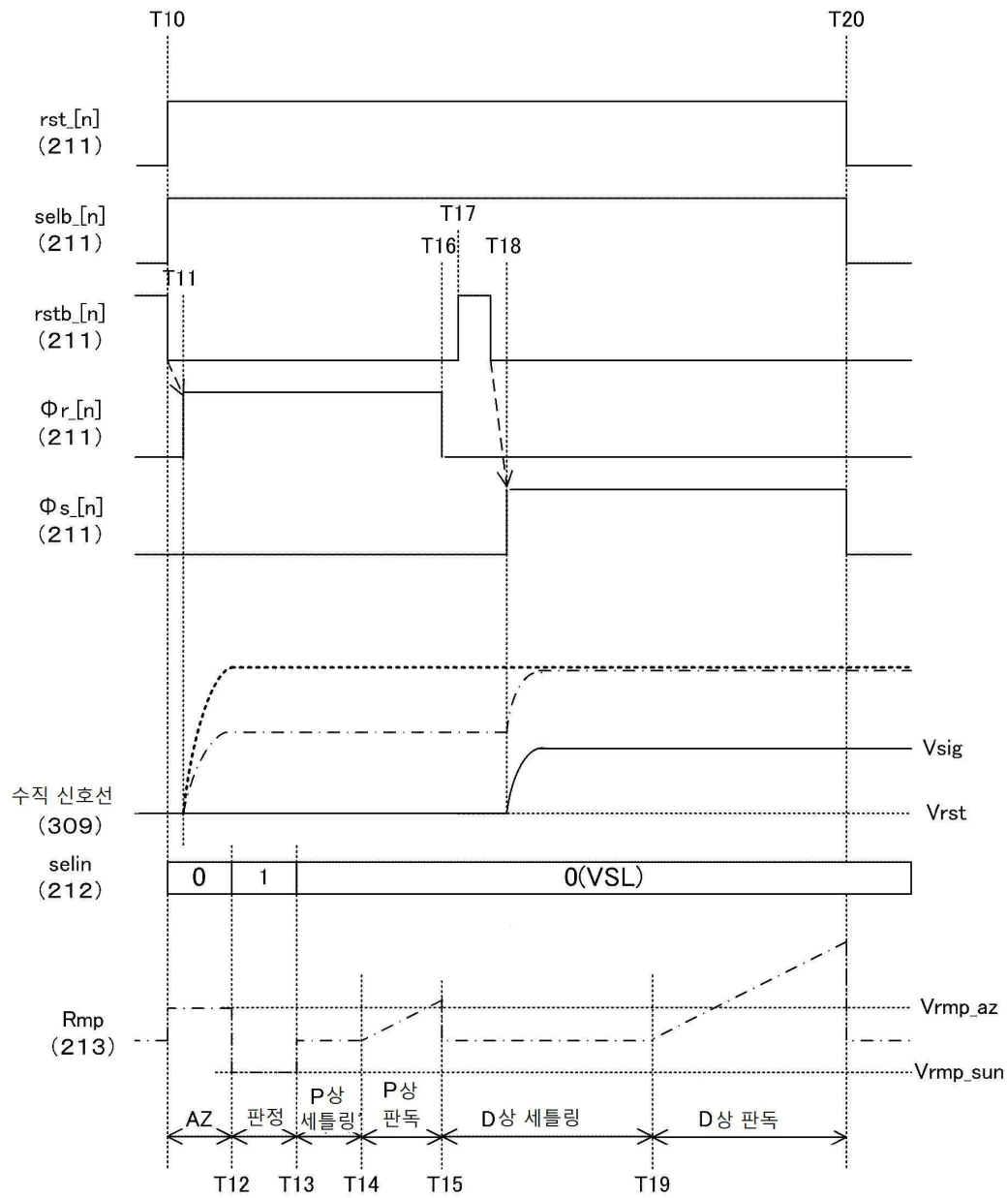
도면28



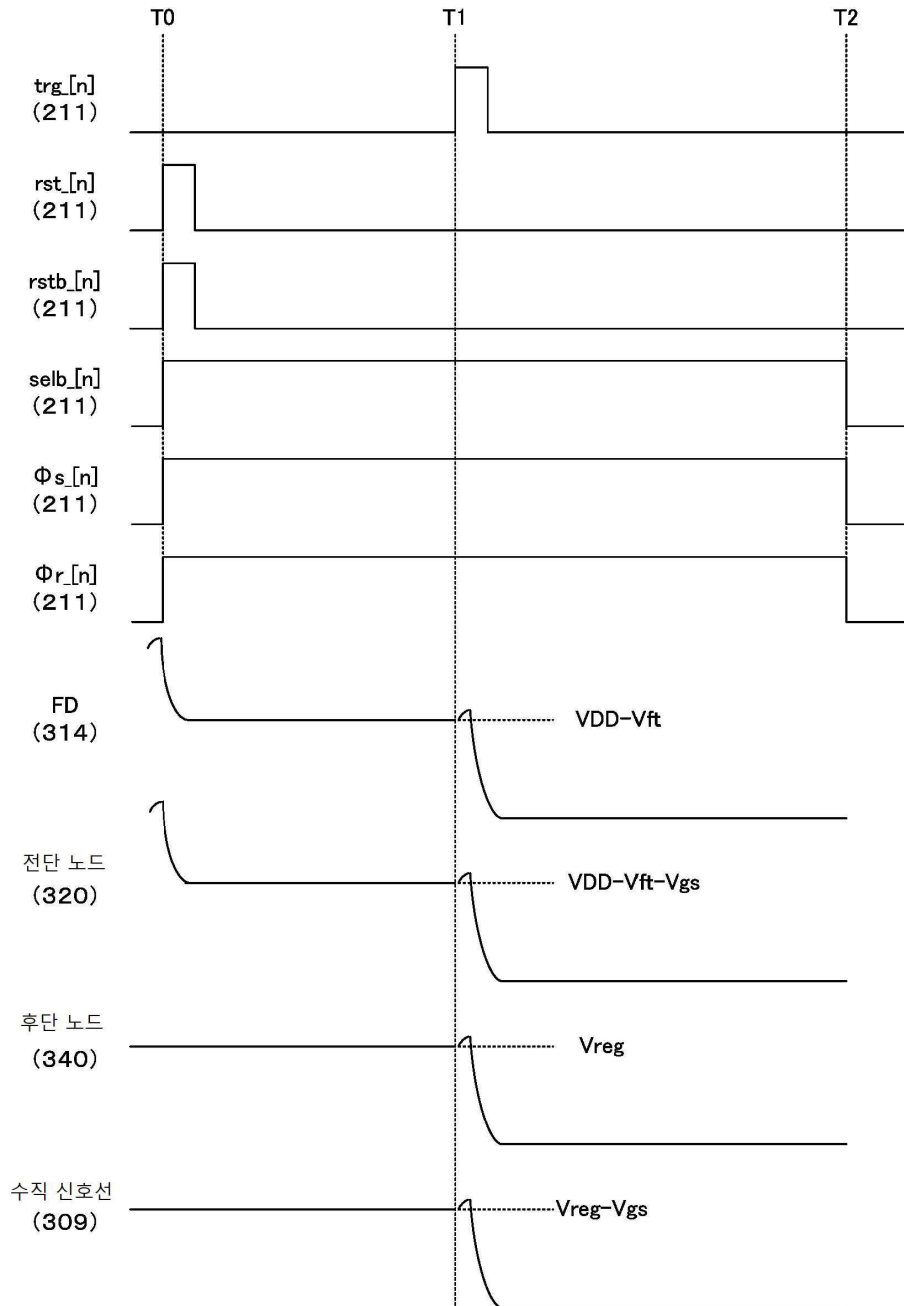
도면29



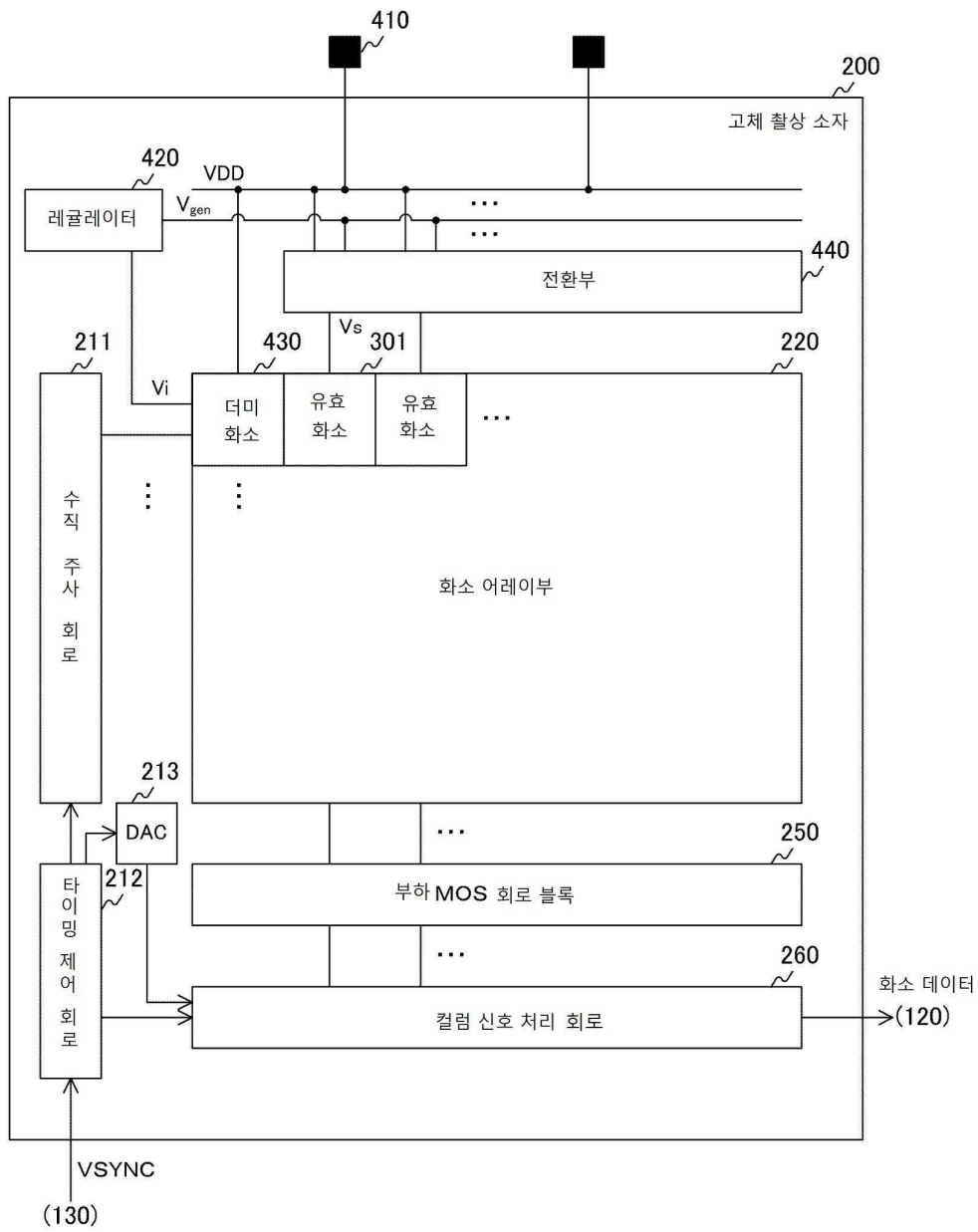
도면30



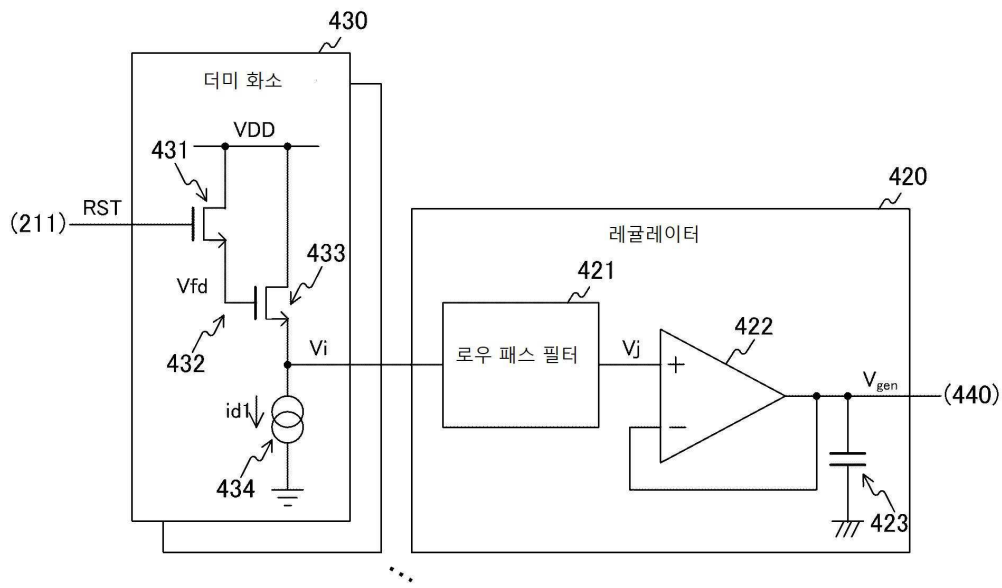
도면31



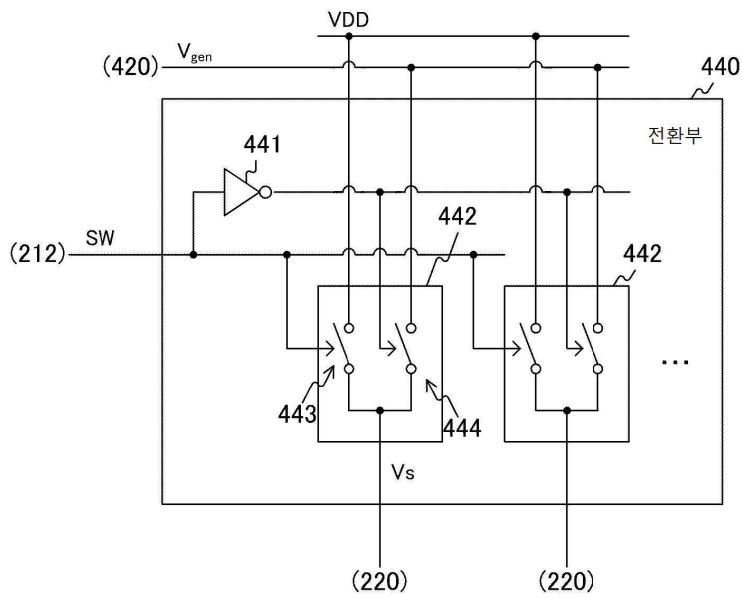
도면32



도면33

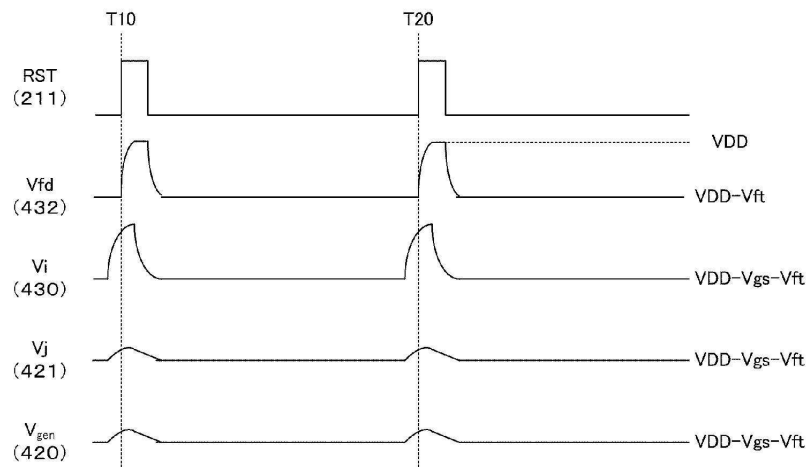


a

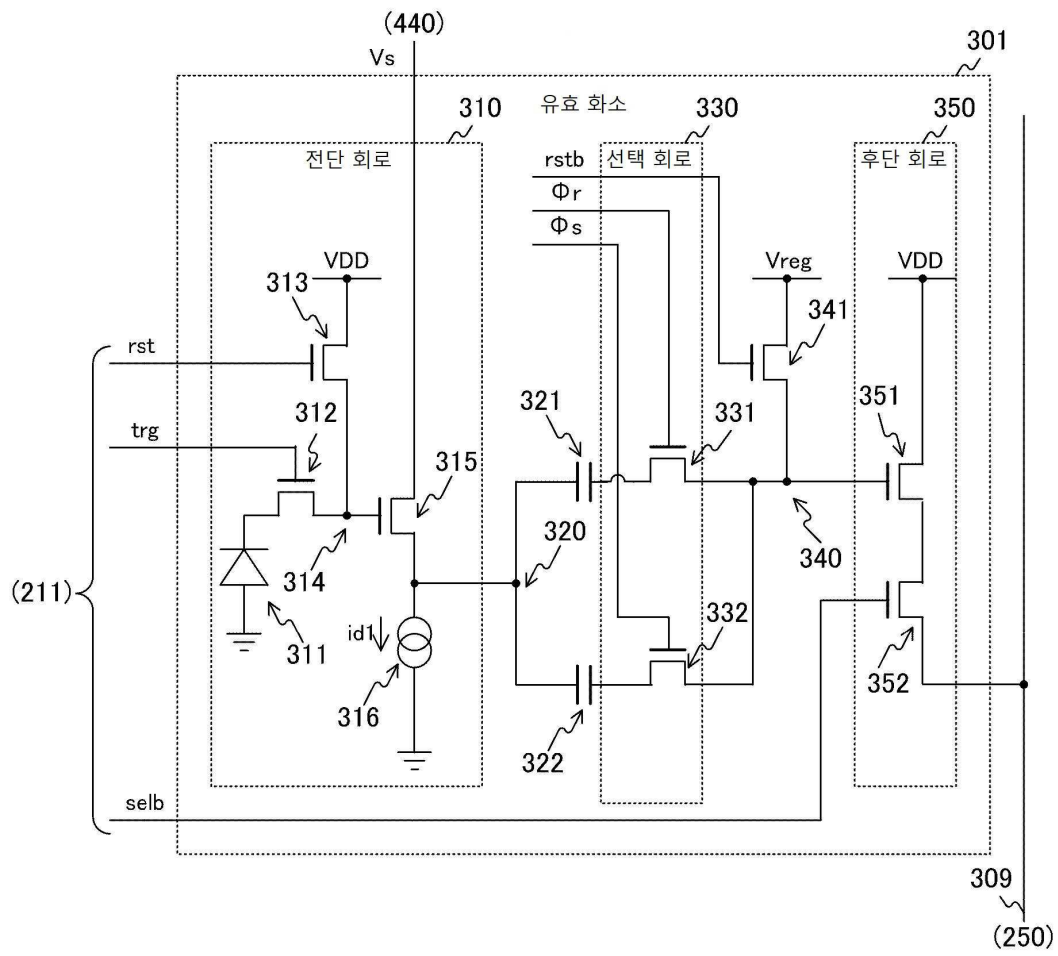


b

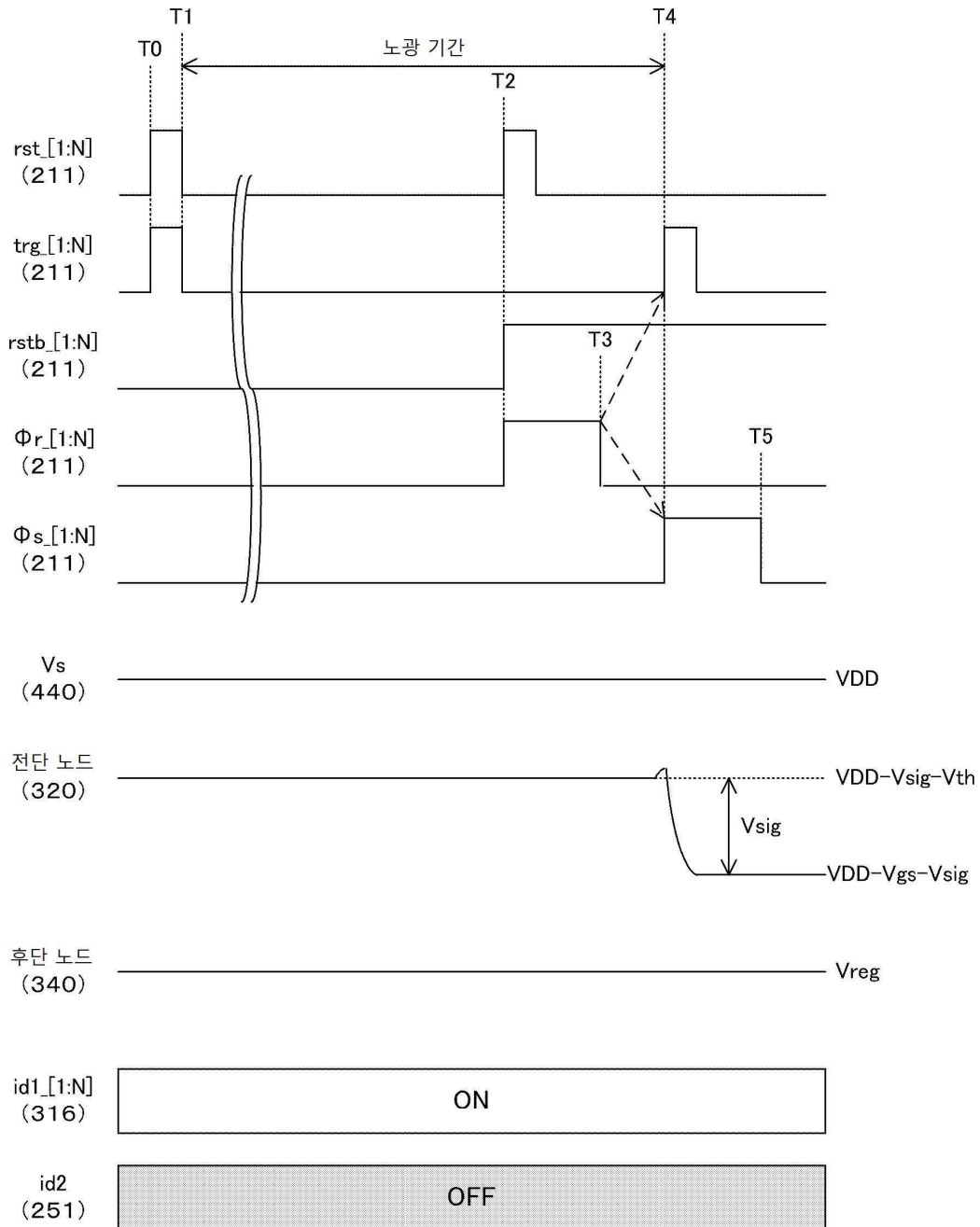
도면34



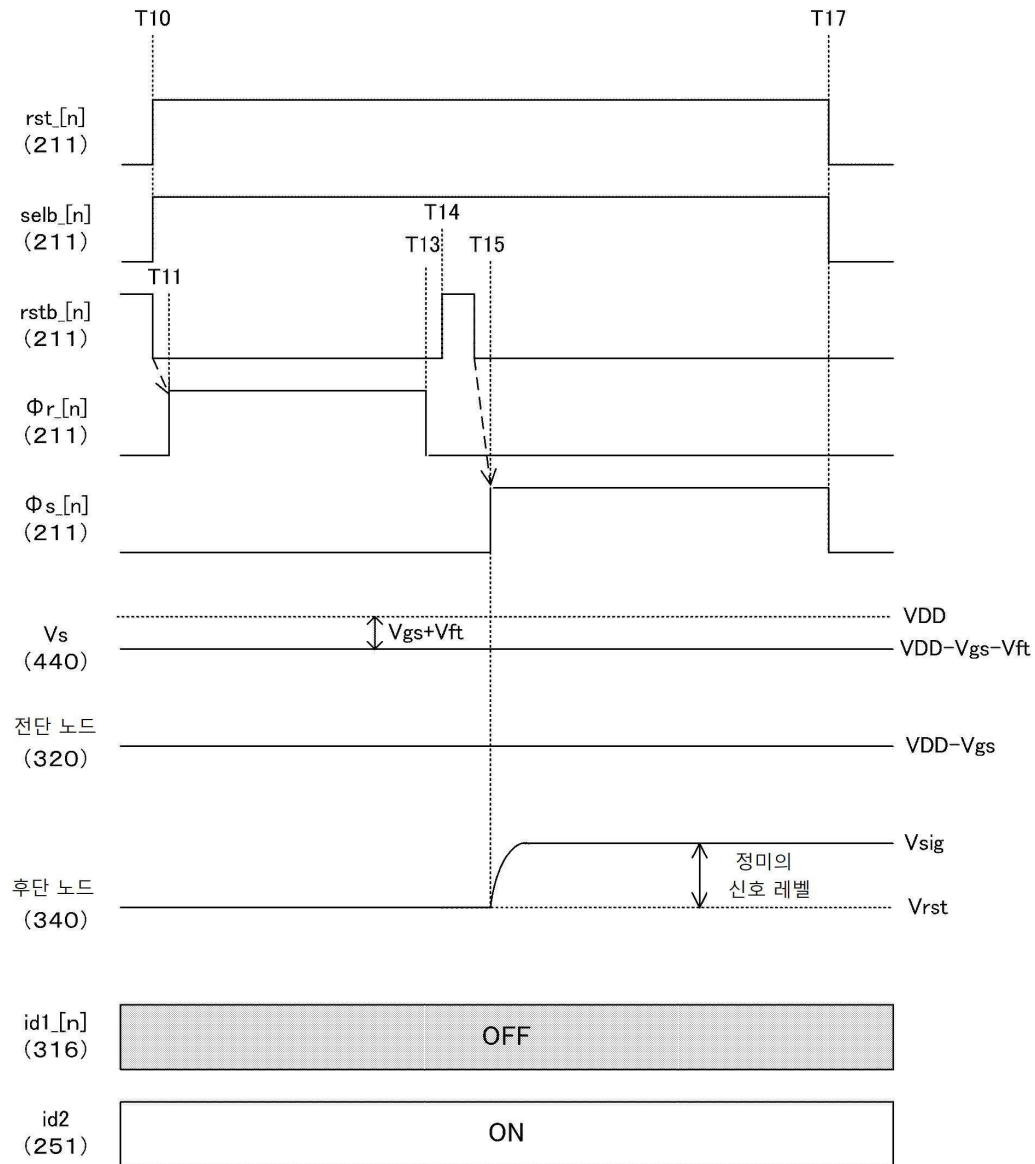
도면35



도면36



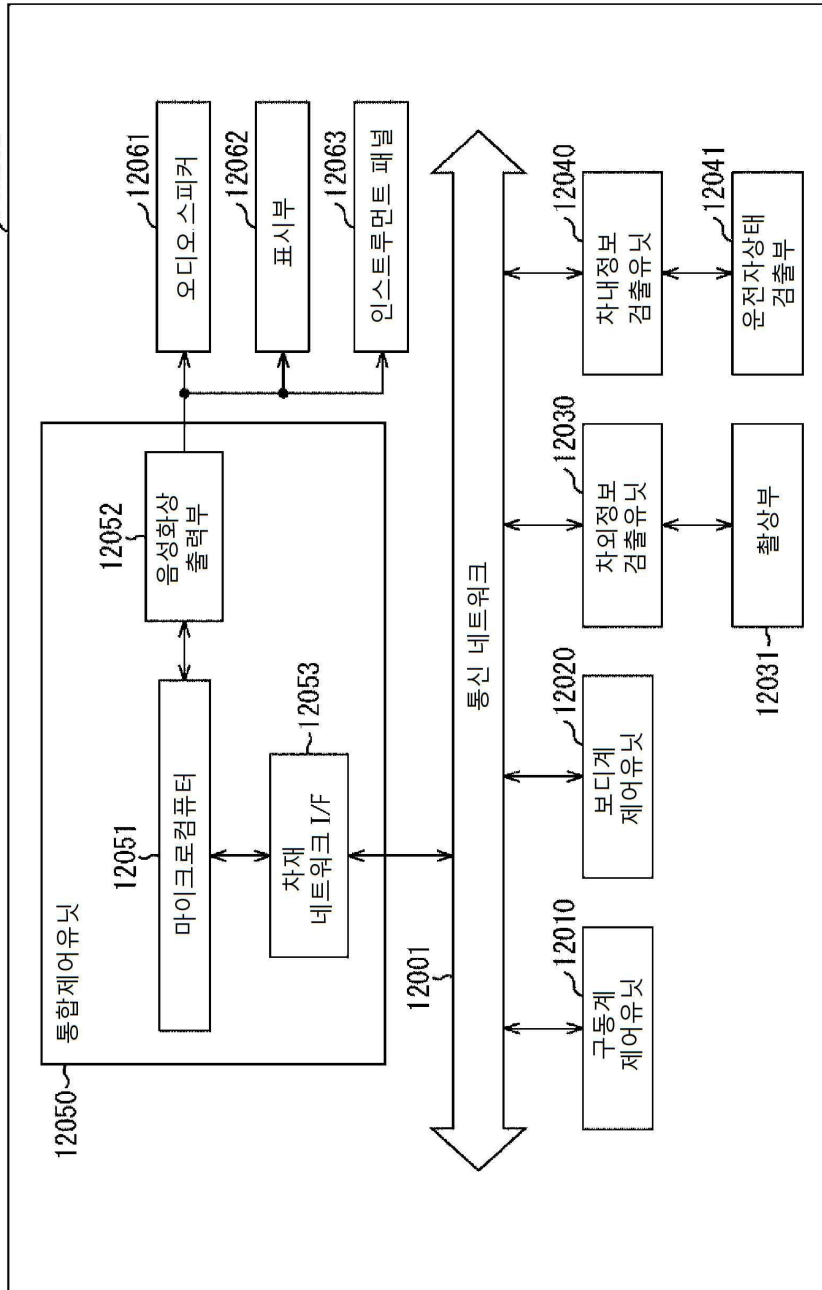
도면37



도면38

동작	노이즈	RN (μ Vrms)		비고
		제1 실시형태	제7 실시형태	
글로벌 셔터	화소kTC 노이즈	450	450	SH 용량 50fF
순차 판독	전단의 SF 의 노이즈	380	0	—
	후단의 SF 이후의 노이즈	160	160	ADC 노이즈를 포함함
합계		610	478	—

도면39



도면40

