



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I430445 B

(45)公告日：中華民國 103 (2014) 年 03 月 11 日

(21)申請案號：098128877

(22)申請日：中華民國 98 (2009) 年 08 月 27 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/20 (2006.01)

H01L21/3065(2006.01)

(30)優先權：2008/08/28 美國

61/092,659

(71)申請人：MEMC 電子材料公司 (美國) MEMC ELECTRONIC MATERIALS, INC. (US)  
美國

(72)發明人：希奎斯特 麥可 R SEACRIST, MICHAEL R. (US)

(74)代理人：陳長文

(56)參考文獻：

JP 特表 2002-541660A

JP 特表 2003-533050A

JP 特開 2006-351683A

US 2007/0018237A1

US 2008/0171408A1

WO 2005/065385A2

WO 2007/136102A1

審查人員：黃鼎富

申請專利範圍項數：21 項 圖式數：4 共 0 頁

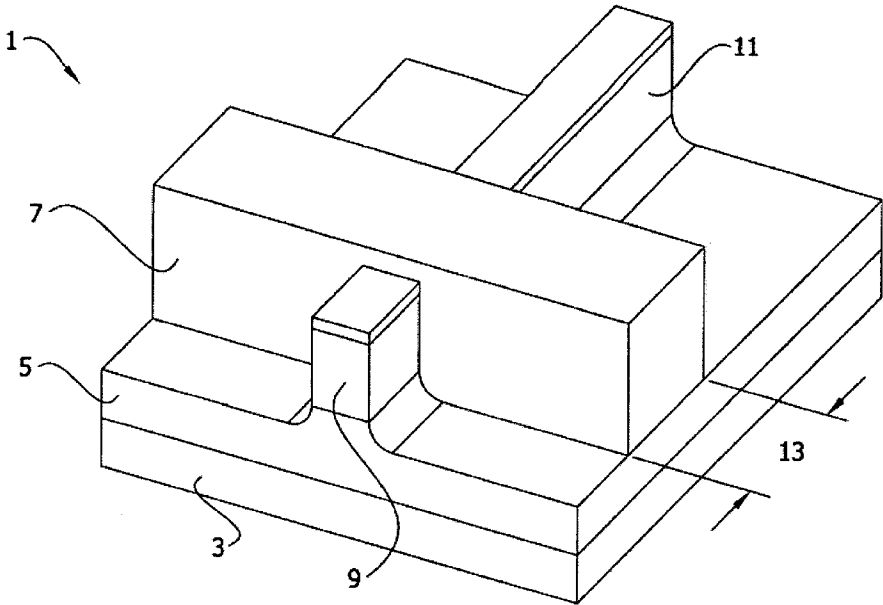
(54)名稱

可用於製造三維多重閘極金屬氧化層半導體場效電晶體 (M O S F E T S ) 之大塊矽晶圓產物  
BULK SILICON WAFER PRODUCT USEFUL IN THE MANUFACTURE OF THREE DIMENSIONAL  
MULTIGATE MOSFETS

(57)摘要

本發明揭示一種製備在三維電晶體製造中使用之一半導體結構的方法，該結構包括一矽基板及一磊晶層，該磊晶層包括一終點偵測磊晶區域，該終點偵測磊晶區域包括選自由碳、鍺或其組合組成之群的一終點偵測雜質。

A method for preparing a semiconductor structure for use in the manufacture of three dimensional transistors, the structure comprising a silicon substrate and an epitaxial layer, the epitaxial layer comprising an endpoint detection epitaxial region comprising an endpoint detection impurity selected from the group consisting of carbon, germanium, or a combination.



- 1 . . . 三維 MOSFET
- 3 . . . SOI 晶圓基板
- 5 . . . 氧化物層
- 7 . . . 矽鍍片
- 9 . . . 源極
- 11 . . . 汲極
- 13 . . . 閘極尺寸

圖 1

## 公告本

## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98128877

※申請日：98.8.7

※IPC 分類：H01L 29/28 (2006.01)

H01L 21/20 (2006.01)

H01L 21/3065 (2006.01)

# 一、發明名稱：(中文/英文)

可用於製造三維多重閘極金屬氧化層半導體場效電晶體(MOSFETS)

之大塊矽晶圓產物

BULK SILICON WAFER PRODUCT USEFUL IN THE

MANUFACTURE OF THREE DIMENSIONAL MULTIGATE

MOSFETS

## 二、中文發明摘要：

本發明揭示一種製備在三維電晶體製造中使用之一半導體結構的方法，該結構包括一矽基板及一磊晶層，該磊晶層包括一終點偵測磊晶區域，該終點偵測磊晶區域包括選自由碳、鍺或其組合組成之群的一終點偵測雜質。

## 三、英文發明摘要：

A method for preparing a semiconductor structure for use in the manufacture of three dimensional transistors, the structure comprising a silicon substrate and an epitaxial layer, the epitaxial layer comprising an endpoint detection epitaxial region comprising an endpoint detection impurity selected from the group consisting of carbon, germanium, or a combination.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

|    |             |
|----|-------------|
| 1  | 三 維 MOSFET  |
| 3  | SOI 晶 圓 基 板 |
| 5  | 氧 化 物 層     |
| 7  | 矽 鍺 片       |
| 9  | 源 極         |
| 11 | 汲 極         |
| 13 | 閘 極 尺 寸     |

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種生產在三維電晶體之生產中使用的一矽晶圓的方法。

### 【先前技術】

(吾人)期望在32 nm之技術節點下互補金屬氧化層半導體(「CMOS」)裝置的製造中採用經常稱為多重閘極FET(「MUGFET」)、「鰭片FET」或「三閘極FET」)的三維金屬氧化層半導體場效應電晶體(「MOSFET」)以緩減短通道效應問題。生產一種三維MOSFET係需要遮罩蝕刻矽以產生此項技術中稱為「鰭片」(用作電晶體之主體)之矽的隆起立體塊(用作電晶體之主體)。在生產此種三維電晶體時，鰭片長度、深度及高度之控制係主要程序控制因素。鰭片之典型高度為約50 nm與約100 nm之間。控制鰭片高度之方法係取決於矽晶圓。鰭片長度及鰭片深度係藉由光微影技術及蝕刻技術而在裝置處理中控制。在形成鰭片之後，接著在該矽鰭片四周形成電晶體閘極、源極及汲極。

由於在電漿蝕刻鰭片期間，由於矽與二氧化矽間之蝕刻速率選擇性使一絕緣體上覆矽(SOI)晶圓中的埋入氧化物層為一天然蝕刻終止層，所以SOI晶圓曾是發展三維電晶體之研究的焦點。因此，SOI膜厚決定該膜之高度及高度均勻度。圖1描繪一製於一SOI晶圓基板3上的三維MOSFET 1，該三維MOSFET 1包括一氧化層5。矽鰭片7係

一隆起、獨立的矩形矽(源極9及汲極11接觸於其端部)，且具有環繞其三側之閘極介電質及電極。該電晶體閘極長度係由閘極尺寸13決定。該電晶體閘極寬度係由鰭片高度決定。

但是，SOI晶體未促成三維電晶體裝置效能之改良。相較於已拋光大塊晶圓或磊晶晶圓，SOI晶圓可能削弱熱傳導性。此外，相較於在一非SOI大塊晶圓上生產一三維電晶體，使用SOI晶圓從成本考量而言係不利的。參閱2002年三月/五月《IBM J. Res. & Dev.》第46卷第2/3期，H. Wong之「Beyond The Conventional Transistor」；2003年VLSI研討會，B. Doyle等人之「Tri-Gate Fully depleted CMOS Transistors : Fabrication, Design and Layout」；及2006年VLSI研討會，J. Kavalieros等人之「Tri-Gate Transistor Architecture with High-k Gate Dielectric, Metal Gates and Strain Engineering」。

圖2係製於一大塊矽基板17上的一三維電晶體15之橫截面圖，該大塊矽基板17係基於記述於2003年VLSI研討會，T. Park等人之「Fabrication of Body-Tied FinFETs Using Bulk Wafers」及2005年《IEDM》K. Okano等人之「Process Integration Technology and Device Characteristics of CMOS FinFET on Bulk Silicon Substrate with Sub-10 nm Fin Width and 20 nm Gate Length」。將介於約200 nm與約300 nm間之深度的溝槽蝕刻入該矽中，形成一具有介於約200 nm與約300 nm間之總鰭片高度的鰭片19。接著，加入

一 SiN 層 21 及一 SiO<sub>2</sub> 層 23 以界定該鰭片的有效高度(其約為總鰭片高度之三分之一至二分之一)。閘極介電質 25 及電極環繞該鰭片三側。該鰭片之頂部係經裁切成所要長度及深度。對於該體塊晶圓，總鰭片高度係由蝕刻程序決定，同時電晶體鰭片有效高度係由總鰭片高度減去該 SiN 層及隨後鰭片頂端之修邊而決定。由於大塊晶圓缺乏可用於 SOI 晶圓上之內置氧化物蝕刻終止層，大塊晶圓呈現一電晶體處理挑戰。

因此，藉由在近一表面(該表面可在電漿蝕刻鰭片期間提供終點偵測)處添加一層而改良於大塊晶圓中產三維電晶體之生產，藉此決定鰭片高度。此可在裝置製造期間藉由於一濃度處離子植入一可植入物種而達成，該濃度能夠產生蝕刻速度上之改變或提供一終點偵測。離子植入可在整個晶圓表面區域上精確控制深度，且提供精確劑量控制及選擇化學物種上之靈活性。但是，當該等植入物種穿過裝置區域且擾亂矽晶格時，出現一負面效應。離子植入之後需要熱退火以活化該等植入物種進入矽晶格位置並去除或降低由該離子植入所造成之殘餘損害。離子植入之另一潛在缺點係該等經離子植入之物種寬廣的深度分佈，其可能影響隨後蝕刻程序界定具精確高度之鰭片的能力。

美國專利第 6,642,090 號揭示兩種用於大塊基板中鰭片高度控制之離子植入方法。在一種方法中，離子植入損害發展出一介於經損害溝槽區域與未經損害鰭片間之示差蝕刻速度。在另一種方法中，使用一在電漿蝕刻期間可偵測到

的雜質而植入一標記層。

### 【發明內容】

在本發明之諸多態樣中可能指出一種用於製備適於在三維電晶體之生產中使用的矽晶圓之方法的提供。該矽晶圓包括一終點偵測區域，該終點偵測區域係由磊晶沈積所形成，藉此防止離子植入方法的潛損害效應以形成終點偵測層。

因此，簡而言之，本發明係關於一種半導體結構。該結構包括(a)一矽基板，該係基板具有：一中心軸；一正面及一背面，該正面及該背面係大致垂直於該中心軸；一中心面，該中心面係在該正面與該背面之間且平行於該正面與該背面；一圓周邊緣；及一半徑，該半徑係從該中心軸延伸至該圓周邊緣；(b)一磊晶層，該磊晶層具有一正面及一背面，其中該磊晶層之該背面與該矽基板之該正面相接，該磊晶層包括：(1)一表面磊晶區域，該表面磊晶區域係延伸一如從該磊晶層之該正面朝該中心面所量得之平均橫向距離 $D_1$ ；(2)一終點偵測磊晶區域，該終點偵測磊晶區域係延伸一如從該表面磊晶區域朝該中心面所量得之平均橫向距離 $D_2$ ；及(3)一大塊磊晶區域，該大塊磊晶區域係延伸一如從該終點偵測磊晶區域朝該中心面所量得之平均橫向距離 $D_3$ 。此外，該終點偵測磊晶區域包括一選自由碳、鍺，或其等之組合物組成之群的終點偵測雜質，該終點偵測雜質係以一為該表面磊晶區域中該終點偵測雜質濃度之至少100倍的濃度存在於該終點偵測磊晶區域中。

本發明另外關於一種製備一半導體結構的方法。該結構包括(a)一矽基板，該矽基板具有一中心軸；一正面及一背面，該正面及該背面係大致垂直於該中心軸；一中心面，該中心面係在該正面與該背面之間且平行於該正面與該背面；一圓周邊緣；及一半徑，該半徑係從該中心軸延伸至該圓周邊緣；(b)一磊晶層，該磊晶層具有一正面及一背面，其中該磊晶層之該背面與該矽基板之該正面相接。該方法包括在該矽基板之該正面上形成一大塊磊晶區域；在該大塊磊晶區域上形成一終點偵測磊晶區域；並在該終點偵測磊晶區域上形成一表面磊晶區域。該終點偵測磊晶區域包括一選自由碳、鍺，或其等之組合物組成之群的終點偵測雜質，該終點偵測雜質係以為該表面磊晶區域中該終點偵測雜質濃度之至少100倍的濃度而存在於該終點偵測磊晶區域中。

本發明仍另外關於一種製備一半導體結構的方法。該結構包括(a)一矽基板，其具有一中心軸、一正面及一背面，該正面與該背面係大致垂直於該中心軸；一中心面，其係在該正面與該背面之間且平行於該正面與該背面；一圓周邊緣；及一半徑，該半徑係從該中心軸延伸至該圓周邊緣及(b)一磊晶層，該磊晶層具有一正面及一背面，其中該磊晶層之該背面係與該矽基板之該正面相接且該正面包括一鰭片。該方法包括在該矽基板之該正面上形成該磊晶層，該磊晶層包括一表面磊晶區域，該表面磊晶區域係從該磊晶層之該正面延伸至該中心面；及一終點偵測磊晶區域，

該終點偵測磊晶區域係從該表面磊晶區域朝該中心面延伸；其中該終點偵測磊晶區域包括一選自由碳、鍺，或其等之組合物組成之群的終點偵測雜質，該終點偵測雜質係以一為在該表面磊晶區域中該終點偵測雜質濃度之至少100倍的濃度而存在於該終點偵測磊晶區域中；蝕刻該表面磊晶區域以在該磊晶層之該正面中形成該鰭片；當蝕刻該表面磊晶區域時，監控一腔室氣體組成；及當該腔室氣體組成證實終點偵測雜質之濃度增加的增加量為至少約20%時，終止蝕刻。

其他目的及特徵將部分顯而易懂且部分地將於下文中指出。

### 【實施方式】

整個附圖中對應相關符號係指示對應元件。

本發明係關於一種製備用於三維電晶體之生產的半導體結構的方法。該半導體結構包括一矽晶圓基板及一磊晶層，該磊晶層包括一與三維電晶體製造相容的終點偵測區域。由於該終點偵測區域係由磊晶沈積所形成，可更精確地控制鰭片高度。相較於三維電晶體之製造中所用的SOI晶圓之製備，該半導體結構可以一較低成本生產。此外，該半導體結構非經由可潛在損害矽晶格結構之離子植入方法製得。此另外可避免植入後退火該半導體結構以修復對該晶格結構之損害並活化所植入的摻雜物原子的必要性。

一般而言，本發明之半導體結構係經由磊晶沈積製得以用於三維電晶體之生產中。在沈積一磊晶沈積層期間，沈

積條件(例如氣體之組成、反應溫度等等)係經仔細定製以在該磊晶層內形成一摻雜終點偵測雜質之薄區域，該終點偵測雜質在隨後於晶圓之磊晶區域中形成(諸)鰭片的蝕刻程序期間標記終點。在此方面，本發明之磊晶沈積程序係涉及控制磊晶沈積條件以(1)在矽晶圓基板正面上形成一大塊磊晶區域，(2)在該大塊磊晶區域上形成一終點偵測磊晶區域及(3)在該終點偵測磊晶區域上形成一表面磊晶區域。

在此方法中，在形成大塊磊晶區域及表面磊晶區域期間，氣體之組成可係用於沈積一磊晶層的任意習知組成，諸如  $\text{SiH}_4$ 、 $\text{SiCl}_3\text{H}$  等等。此等磊晶區域亦可摻雜如習知熟知的p摻雜物(例如硼)或n摻雜物(例如As、P)。用於沈積終點偵測磊晶沈積區域之氣體的組成可經變化以在其形成期間於該終點偵測磊晶沈積區域中沈積一終點偵測雜質。較佳地，該終點偵測雜質不是一電活性摻雜物原子，使得該終點偵測雜質不影響裝置之電性質。此外，較佳係不將該終點偵測雜質以高得足以引發錯配差排的濃度沈積於終點偵測磊晶沈積區域中。又，在鰭片蝕刻後之矽氧化期間，該終點偵測雜質較佳係容易消耗及移除的。符合此等限制之雜質包含鍺及碳，其中以碳為特佳。

#### A. 矽基板

一般而言，根據本發明之方法沈積一磊晶層於其上的矽基板可為一已由一單晶錠塊切片的矽晶圓，該單晶錠塊係依照習知柴式(Czochralski(「Cz」))晶體生長方法生長且一般具有一150 mm、200 mm、300 mm、400 mm或更長的

標稱直徑。該矽晶圓可由一晶體切片，該晶體可具有可藉由Cz生長方法達到的任意晶格結構，即，100、110，111等等。該晶圓可經拋光或者經重疊並經蝕刻但未經拋光。此種方法以及標準矽切片、重疊、蝕刻及拋光技術係揭示於(例如)1989年Academic Press出版F.Shimura之「Semiconductor Silicon Crystal Technology」及1982年紐約，Springer-Verlag，J. Grabmaier等人之「Silicon Chemical Etching」(以引用的方式併入本文中)。較佳地，諸晶圓係藉由為熟悉此項技術者所知的標準方法拋光並清潔。參閱(例如)Noyes出版社出版的W. C. O'Mara等人之「Handbook of Semiconductor Silicon Technology」。

參考圖3，矽基板可係一矽晶圓31，該矽晶圓31具有一中心軸33、一正面35、一背面37、一位於該正面與該背面間並平行於該正面與該背面的虛中心面39、一圓周邊緣41及一半徑43，該半徑43係從該中心軸延伸至該圓周邊緣。本文中之術語「正(front)」及「反(back)」係用於區別該晶圓31之二個主要大體上平坦的表面。該晶圓31之該正面35(如本文中使用的片語)未必係隨後將於其上製造電子裝置的表面，該晶圓31之該背面37(如本文中使用的片語)亦未必係該晶圓31中與在其上製造該電子裝置的表面相對的主表面。另外，因為矽晶圓通常具有若干總厚度變化(TTV)、翹曲及弓曲，所以在該正面上之每點與在該背面上之每點間之中點可能不會精確地落入一平面上。但是，實際看來，該TTV、該翹曲及該弓曲通常係如此輕微以致

近似可謂該等中點落在一該正面與該背面間大約等距之虛中心面內。

單晶矽晶圓可摻雜一種或多種 N 型或 P 型摻雜物。典型的 N 型摻雜物包含磷、砷及銻。典型的 P 型摻雜物包含硼、鋁及鎵。在一較佳實施例中，在三維電晶體之製造中使用的晶圓基板係摻雜 P 型摻雜物，更佳地，該晶圓係摻雜硼。摻雜物濃度可在約  $10^{13}$  個摻雜物原子/cm<sup>3</sup> (約 0.0002 PPMA) 至約  $2 \times 10^{19}$  個摻雜物原子/cm<sup>3</sup> (約 200 PPMA) 間變化，其相當於電阻率在約 1000 ohm cm 至約 0.005 ohm cm 之範圍內。在一較佳實施例中，矽基板係以從約  $10^{18}$  個摻雜物原子/cm<sup>3</sup> (約 20 PPMA) 至約  $10^{19}$  個摻雜物原子/cm<sup>3</sup> (約 200 PPMA) 之濃度範圍大量摻雜硼，其相當於電阻率在約 0.04 ohm cm 至約 0.009 ohm cm 之範圍內。

一般而言，Cz 生長的矽基板含有氧，其氧濃度係落入一在約  $10^{17}$  個摻雜物原子/cm<sup>3</sup> (約 2 PPMA) 至約  $10^{18}$  個摻雜物原子/cm<sup>3</sup> (約 20 PPMA) 之範圍內任何處。柴式生長程序亦可使置換型碳以雜質形式低濃度地存在於單晶矽中。一般而言，單晶矽具有小於約  $5 \times 10^{16}$  個原子/cm<sup>3</sup>、較佳地小於約  $1 \times 10^{16}$  個原子/cm<sup>3</sup>，更較佳地小於約  $5 \times 10^{15}$  個原子/cm<sup>3</sup> 的碳。

## B. 磊晶層

在三維電晶體之生產中使用的半導體結構包括在一矽基板表面上的磊晶層。再次參考圖 3，可將磊晶層 45 沈積至矽基板 31 之正面 35、矽基板之背面 37 或矽基板 31 之正面及

背面二者上。在一實施例中，將磊晶層 45 沈積於矽基板之一表面上，較佳係該基板之正面 35，該矽基板之正面 35 為在隨後處理期間將製造三維電晶體之表面。磊晶層 45 包括一正面 47 及一背面 49。關於此，該磊晶層之該背面 49 為該磊晶層連接該矽晶圓基板 31 之該正面 35 的表面。

通常將磊晶層 45 沈積至一在約 1 微米與約 6 微米之間、更通常在約 2 微米與約 4 微米之間，且更較佳地在約 2 微米與約 3 微米間之厚度(即如從該磊晶層之正面 47 至該磊晶層之背面 49 所量得的平均橫向距離)，其對於高級邏輯與記憶裝置之生產中所用的晶圓而言係足夠厚的。

現參考圖 4，該圖式繪示一沈積磊晶層的矽晶圓基板 51 之橫截面，該磊晶層包括三個不同區域(1)一表面磊晶區域 53，該表面磊晶區域延伸一如從該磊晶層之該正面朝該矽基板之中心面所量得之平均橫向距離  $D_1$ ；(2)一終點偵測磊晶區域 55，該終點偵測磊晶區域係延伸一如從該表面磊晶區域朝該矽基板之中心面所量得之平均橫向距離  $D_2$ ；及(3)一大塊磊晶區域 57，該大塊磊晶區域係延伸一如從該終點偵測磊晶區域朝該矽基板之中心面所量得之平均橫向距離  $D_3$ 。

相較於磊晶層之總厚度，由於用於三維電晶體生產之鰭片高度係薄的，所以該大塊磊晶區域 57 通常包括該磊晶層中之最厚部分。該大塊磊晶區域 57 如從該終點偵測磊晶區域朝該矽基板之中心面所量得之平均橫向距離  $D_3$  通常依晶圓之預定用途及裝置生產規格而變。此等考量因此將決定

磊晶層之總厚度、終點偵測磊晶區域之總厚度及表面磊晶區域之總厚度，其將更詳細地描述於下文中。一般而言，大塊磊晶區域之平均橫向距離涵蓋該磊晶層中除頂部約 100 nm 至約 300 nm 部分外之所有部分，使得若該磊晶層(例如)為約 2 微米厚，該大塊磊晶區域之平均橫向距離因此可從約 1.7 微米變化至約 1.9 微米。

磊晶程序條件通常係經控制以沈積一大塊磊晶區域，該大塊磊晶區域包括一極低的終點偵測雜質濃度。「終點偵測雜質」在本文中係理解為包括在鰭片生產期間為標記電漿蝕刻終點所加入的非電活性摻雜物原子，諸如碳及鍺。如本文中使用之「終點偵測雜質」(諸如 As、P 及 B)無擴及通常用於改變該磊晶層之電性特徵之電活性摻雜物原子。磊晶沈積條件較佳係經選擇以產生一具有比其可偵測極限更低之終點偵測雜質的大塊磊晶區域，該可偵測極限目前為約  $1 \times 10^{16}$  個原子/cm<sup>3</sup>(約 0.2 PPMA)(如藉由二次離子質譜法(SIMS)所量得)。目前實驗程序可用於限制大塊磊晶區域中終點偵測雜質濃度在小於約  $5 \times 10^{16}$  個原子/cm<sup>3</sup>(約 1 PPMA)、較佳係小於  $1 \times 10^{16}$  個原子/cm<sup>3</sup>(約 0.2 PPMA)、較佳係小於約  $5 \times 10^{15}$  個原子/cm<sup>3</sup>(約 0.1 PPMA)、甚至更佳係小於約  $1 \times 10^{15}$  個原子/cm<sup>3</sup>(約 0.02 PPMA)、小於約  $1 \times 10^{14}$  個原子/cm<sup>3</sup>，小於約  $1 \times 10^{13}$  個原子/cm<sup>3</sup> 或甚至小於約  $1 \times 10^{12}$  個原子/cm<sup>3</sup>。

大塊磊晶區域可包括電活性 N 型或 P 型摻雜物。典型的 N 型摻雜物包含磷、砷及銻。典型的 P 型摻雜物包含硼、鋁

及鎵。在一較佳實施例中，大塊磊晶區域係摻雜P型摻雜物，且更較佳地，該大塊磊晶區域摻雜硼。摻雜物的濃度可在約  $1 \times 10^{14}$  個摻雜物原子/cm<sup>3</sup>(約 0.002 PPMA) 至約  $2 \times 10^{16}$  個摻雜物原子/cm<sup>3</sup>(約 0.4 PPMA) 間變化，其相當於電阻率在約 131 ohm cm 與約 0.77 ohm cm 之間。較佳地，在該大塊磊晶區域中該等摻雜物原子的濃度係在約  $1 \times 10^{15}$  個摻雜物原子/cm<sup>3</sup>(約 0.02 PPMA) 與約  $10^{16}$  個摻雜物原子/cm<sup>3</sup>(約 0.2 PPMA) 之間，其相當於電阻率在約 13 ohm cm 與約 1.4 ohm cm 之間。較佳地，該磊晶沈積條件係使得整個磊晶區域，即大塊區域、終點偵測區域及表面區域以大體上相同濃度摻雜相同電活性摻雜物，以使該整個磊晶區域之電性質大體上始終係均質的。

在沈積大塊磊晶區域之後，可改變磊晶沈積程序條件(例如，氣體混合物、溫度)以將終點偵測雜質原子沈積入生長中的磊晶層中，藉此在該磊晶層組合物中引起一驟變。由於磊晶沈積期間氣體混合物之組成的改變係非即時變化，因此在大塊磊晶區域與終點偵測磊晶區域之間可有一狹窄過渡區域，該狹窄過渡區域的特徵在於終點偵測雜質濃度從該大塊磊晶區域之低濃度增加至該終點偵測磊晶區域之所需終點偵測雜質濃度之陡峭梯度。

再次參考圖4，終點偵測區域55係延伸一如從該表面磊晶區域53朝中心面所量得之平均橫向距離D<sub>2</sub>，其為約 5 nm 至約 100 nm，諸如從約 10 nm 至約 50 nm，或甚至從約 10 nm 至約 25 nm。在某些實施例中，終點偵測區域之厚度

可從約 8 nm 變化至約 12 nm，諸如約 10 nm。

終點偵測磊晶區域包括一終點偵測雜質，該終點偵測雜質係以一大體上高於表面磊晶區域中之濃度的濃度存在。較佳地，終點偵測雜質亦以一明顯高於表面磊晶區域及大塊磊晶區域中之濃度的濃度存在於終點偵測磊晶區域中。如本文中使用的術語，該終點偵測雜質係一非電活性摻雜物原子以使該終點偵測雜質不影響電性質，諸如最終半導體基板之電阻率。因此，該終點偵測雜質未包含電活性摻雜物原子(例如，硼、磷或砷)。該終點偵測雜質亦經選擇以使其在隨後三維電晶體處理步驟期間(諸如在鰭片蝕刻後之矽氧化期間)可容易地被消耗及移除。符合此等要求的例示性雜質包含碳、鍺，或甚至為碳與鍺之組合物。在一較佳實施例中，以大體上比在表面磊晶區域中之濃度高的濃度存在於終點偵測磊晶區域內的終點偵測雜質係碳。

通常地，在終點偵測磊晶區域中之終點偵測雜質係以為該表面磊晶區域中該終點偵測雜質濃度之至少 100 倍的濃度存在，較佳地，在終點偵測磊晶區域中終點偵測雜質的濃度至少為表面磊晶區域中終點偵測雜質之濃度的 1000 倍，諸如在表面磊晶區域中終點偵測雜質之濃度的 10,000 倍。就絕對雜質濃度方面，終點偵測雜質可以一從約  $1 \times 10^{17}$  個原子/cm<sup>3</sup>(約 2 PPMA)至約  $5 \times 10^{19}$  個原子/cm<sup>3</sup>(約 1000 PPMA)，諸如在約  $5 \times 10^{17}$  個原子/cm<sup>3</sup>(約 10 PPMA)與約  $5 \times 10^{19}$  個原子/cm<sup>3</sup>(約 1000 PPMA)之間的濃度存在於終點偵測磊晶區域中。

除上述終點偵測雜質之外，該終點偵測磊晶區域可另外包括電活性N型活P型摻雜物。典型的N型摻雜物包含磷、砷及銻。典型的P型摻雜物包含硼、鋁及鎵。在一較佳實施例中，終點偵測磊晶區域係摻雜P型摻雜物，更較佳地，終點偵測磊晶區域係摻雜硼。摻雜物濃度可在約  $1 \times 10^{14}$  個摻雜物原子/cm<sup>3</sup> (約 0.002 PPMA) 至約  $2 \times 10^{16}$  個摻雜物原子/cm<sup>3</sup> (約 0.4 PPMA) 間變化，其相當於電阻率在約 131 ohm cm 與約 0.77 ohm cm 之間。較佳地，在該終點偵測磊晶區域中該等摻雜原子之濃度係在約  $1 \times 10^{15}$  個摻雜物原子/cm<sup>3</sup> (約 0.02 PPMA) 與約  $10^{16}$  個摻雜物原子/cm<sup>3</sup> (約 0.2 PPMA) 之間，其相當於電阻率在約 13 ohm cm 與約 1.4 ohm cm 之間。

在沈積終點偵測磊晶區域之後，可再次改變磊晶沈積程序條件(例如，氣體混合物、溫度)以降低進入生長中之磊晶層的終點偵測雜質原子之濃度並生長一將形成鰭片之功能性表面磊晶區域。由於磊晶沈積期間氣體混合物之組成的變化係非即時的，在終點偵測磊晶區域與表面磊晶區域之間可有一狹窄過渡區域，該狹窄過渡區域的特徵在於一終點偵測雜質濃度從該終點偵測磊晶區域中之所需雜質濃度降低至該表面磊晶區域中之低雜質濃度的陡峭梯度。

再次參考圖4，該表面磊晶區域53係延伸一如從該磊晶層之該正面朝該中心面所量得之平均橫向距離D<sub>1</sub>，其為約50奈米至約400奈米、從約100奈米至400奈米、從約100奈米至約300奈米，或從約200奈米至約300奈米。由於適用

於三維電晶體之生產的鰭片係經由蝕刻表面磊晶區域所製得，較佳係小心控制該表面磊晶區域之沈積以最小化該表面磊晶區域之總厚度變化。該表面磊晶區域之總厚度變化可由下式算得：

$$TTV(\text{以}\% \text{表示}) = [(Maximum_{td} - Minimum_{td}) / std\ dev] \times 100$$

其中TTV(以%表示)係以%表示之總厚度變化， $Maximum_{td}$ 係表面磊晶區域之最大橫向距離， $Minimum_{td}$ 係表面磊晶區域之最小磊晶距離，且std dev係標準偏差。該總厚度變化通常係在約0.5%與約4%之間，但較佳係在約1%與2%之間。

如上所述般，在終點偵測磊晶區域中之終點偵測雜質濃度較佳係為表面磊晶區域中之雜質濃度的至少100倍、至少1000倍，或甚至至少10,000倍。磊晶沈積條件較佳係經選擇以產生一具有比其可偵測極限更低之終點偵測雜質的表面磊晶區域，該可偵測極限目前為約 $1 \times 10^{16}$ 個原子/cm<sup>3</sup>(約0.2 PPMA)(如由二次離子質譜法(SIMS)所量得)。時下實驗程序可用於限制表面磊晶區域中之終點偵測雜質濃度在小於約 $5 \times 10^{16}$ 個原子/cm<sup>3</sup>(約1 PPMA)、較佳地小於 $1 \times 10^{16}$ 個原子/cm<sup>3</sup>(約0.2 PPMA)、較佳地小於約 $5 \times 10^{15}$ 個原子/cm<sup>3</sup>(約0.1 PPMA)、甚至更佳係小於約 $1 \times 10^{15}$ 個原子/cm<sup>3</sup>(約0.02 PPMA)、小於約 $1 \times 10^{14}$ 個原子/cm<sup>3</sup>，小於約 $1 \times 10^{13}$ 個原子/cm<sup>3</sup>或甚至小於約 $1 \times 10^{12}$ 個原子/cm<sup>3</sup>。

表面磊晶區域可另外包括電活性N型或P型摻雜物。典型的N型摻雜物包含磷、砷及銻。典型的P型摻雜物包含

硼、鋁及鎵。在一較佳實施例中，表面磊晶區域係摻雜P型摻雜物，更佳係表面磊晶區域係摻雜硼。摻雜物濃度可在約  $1 \times 10^{14}$  個摻雜物原子/cm<sup>3</sup> (約 0.002 PPMA) 至約  $2 \times 10^{16}$  個摻雜物原子/cm<sup>3</sup> (約 0.4 PPMA) 間變化，其相當於電阻率在約 131 ohm cm 與約 0.77 ohm cm 之間。較佳地，該表面終點磊晶區域係經一在約  $1 \times 10^{15}$  個摻雜物原子/cm<sup>3</sup> (約 0.02 PPMA) 與約  $10^{16}$  個摻雜物原子/cm<sup>3</sup> (約 0.2 PPMA) 間之濃度摻雜，其相當於電阻率在約 13 ohm cm 與約 1.4 ohm cm 之間。

### C. 磊晶沈積

本發明係另外關於一種製備一半導體結構的方法，該半導體結構包括 (a) 一矽基板，該基板具有：一中心軸；一正面及一背面，該正面及該背面係大致垂直於該中心軸；一中心面，該中心面係在該正面與該背面之間且平行於該正面與該背面；一圓周邊緣；及一半徑，該半徑係從該中心軸延伸至該圓周邊緣；(b) 一磊晶層，該磊晶層具有一正面及一背面，其中該磊晶層之該背面係與該矽基板之該正面相接。該程序包括在該矽基板之該正面上形成上述大塊磊晶區域，其接著在該大塊磊晶區域上形成該終點偵測磊晶區域，且最終在該終點偵測磊晶區域上形成該表面磊晶區域。該終點偵測磊晶區域包括選自由碳、鎢，或其等之組合物組成之群的終點偵測雜質，該終點偵測雜質係以一為該表面磊晶區域中該終點偵測雜質濃度之至少 100 倍的濃度存在於該終點偵測磊晶區域中。

可在整個晶圓上，或要不僅在該晶圓之一部分(例如，僅該晶圓之正面或該晶圓之背面)上沈積磊晶層。舉例而言，在一實施例中，在磊晶沈積期間，可將二個晶圓之背面擠壓在一起以僅在該二個晶圓之正面上沈積磊晶層。參考圖3，較佳係將磊晶層45沈積在該晶圓之正面35上。更較佳地，將其沈積在該晶圓之整個正面35上。不管在該晶圓之任何其他部分上沈積一磊晶層較佳係取決於該晶圓之預定用途。對於大部分應用而言，在該晶圓之任何其他部分上有或無磊晶層存在係不重要的。

在一典型程序中，矽基板之表面可藉由(例如)將該晶圓之表面在一無氧化劑的氛圍中，諸如在一包括 $H_2$ 或一惰性氣體(例如，He、Ne或Ar)氛圍中加熱至一至少約 $1100^{\circ}C$ 之溫度以清洗該矽基板表面之表面氧化物。或者，可藉由此項技術已知構件(利用磷酸、氫氟酸或其他已知酸)以化學方式去除表面氧化物。

磊晶沈積係藉由化學氣相沈積進行。化學氣相沈積涉及在一磊晶沈積反應器(例如，可從Applied Materials購得的Centura反應器)中令晶圓表面曝露於一包括矽之氛圍中。較佳地，令晶圓表面曝露於一包括一揮發性氣體(包括矽(例如， $SiCl_4$ 、 $SiHCl_3$ 、 $SiH_2Cl_2$ 、 $SiH_3Cl$ 或 $SiH_4$ ))之氛圍中。該氛圍較佳係亦含有一載流氣體(較佳係 $H_2$ )。舉例而言，在磊晶沈積期間，矽源可係 $SiH_2Cl_2$ 或 $SiH_4$ 。若使用 $SiH_2Cl_2$ ，在沈積期間的反應器真空壓力較佳係從約500托至約760托。另一方面，若使用 $SiH_4$ ，反應器壓力較佳係

約100托。最佳地，在沈積期間的矽源為 $\text{SiHCl}_3$ 。此往往比其他來源更便宜。另外，一利用 $\text{SiHCl}_3$ 的磊晶沈積可在大氣壓力下進行。此係有利的，因為不需要真空泵浦且反應器腔室不需如防止倒塌般牢固。此外，存在較少安全危害且空氣或其他氣體漏入該反應器腔室中的幾率變小。

在磊晶沈積期間，晶圓表面的溫度較佳係提高並維持在一足以防止包括含矽氣體之氛圍沈積多晶矽於表面上的溫度。通常地，在此段時間期間表面溫度較佳係至少約為 $900^\circ\text{C}$ 。更較佳地，該表面溫度係維持在約 $1050^\circ\text{C}$ 與約 $1150^\circ\text{C}$ 間之範圍內。更較佳地，該表面溫度係維持在矽氧化物之移除溫度。

磊晶沈積之生長速率較佳係從約0.5微米/min至約7.0微米/min。舉例而言，藉由使用一基本上由約2.5莫耳%  $\text{SiHCl}_3$ 及約97.5莫耳%  $\text{H}_2$ 組成之氛圍在約 $1150^\circ\text{C}$ 之溫度及高達約1 atm之絕對壓力下可達到約3.5微米/min至4.0微米/min的速率。

在某些應用中，晶圓包括一賦予電性質的磊晶層。舉例而言，在製備一n型磊晶層中，該磊晶層係經輕微摻雜磷、砷或銻。因此，用於磊晶沈積之環境氛圍另外包括以揮發性化合物存在之磷砷或銻(諸如(例如)膾、 $\text{AsH}_3$ 或磷， $\text{PH}_3$ )之氣體源。或者，該磊晶層可含有硼。此一層可藉由(例如)在沈積期間該氛圍包含 $\text{B}_2\text{H}_6$ 所製得。

如上所述般，磊晶層包括一終點偵測磊晶區域，該終點偵測磊晶區域包括一選自由鍺、碳，或鍺與碳之組合物的

終點偵測雜質。在任一情況下，可迅速改變磊晶沈積氣體混合物(即，含有終點偵測雜質氣體之引入及去除來自該沈積氣體混合物之氣體)之組成以精確地控制該終點偵測層之厚度及位置。

為將鍍雜質併入磊晶層中，令鍍之一揮發性源包含在磊晶沈積氣體混合物中。揮發性鍍源尤其包含鍍烷、二氯化鍍、四氯化鍍。為將碳雜質併入磊晶層中，令碳之一揮發性源包含在磊晶沈積氣體混合物中。揮發性碳源尤其包含甲烷、乙烷、氯甲烷、二氯甲烷、氯仿、四氯化碳。

在將終點偵測磊晶區域沈積至所需厚度之後，改變磊晶氣體沈積混合物以去除鍍源或碳源。由於希望將表面磊晶區域之生長控制在精確厚度，較佳係進一步改變其他程序條件(例如，溫度)以降低磊晶生長速率，使得該表面磊晶區域可經精確蝕刻以產生具有均勻鰭片高度之鰭片。

在磊晶沈積後，磊晶沈積通常需要一磊晶後(post-epi)清潔步驟以移除該磊晶沈積期間所形成的副產物。此步驟係用於防止若此種副產物與空氣反應所造成的時間相依性混濁物。另外，許多磊晶後清潔技術往往在磊晶表面上形成趨於使該表面鈍化(即，保護)之矽氧化物層。本發明之磊晶晶圓可藉用此項技術中已知的方法清潔。

#### **D. 電漿蝕刻**

在沈積包括大塊區域、終點偵測區域及表面磊晶區域的磊晶層之後，該半導體結構係經電漿蝕刻以在該表面磊晶區域中界定所需三維電晶體中使用之鰭片的圖樣。

參考圖4，鰭片59包括從該半導體結構表面延伸的矽立體塊，該等立體塊係藉由一長度、一深度及一高度界定。該等鰭片之長度尺寸及深度尺寸係垂直於鰭片高度且取決於阻止電漿蝕刻之硬光罩(諸如SiN)<sup>61</sup>之圖樣。

該等鰭片之長度及寬度可取決於晶圓之預定用途。在此，鰭片之「長度」係指垂直於鰭片高度及鰭片深度的橫向尺寸且習知比深度長。同樣地，鰭片之「深度」係指垂直於鰭片高度及鰭片長度的橫向尺寸且習知比該長度短。鰭片之長度尺寸及深度尺寸係取決於晶圓之預定用途及裝置生產者之規格。

電漿蝕刻蝕刻表面磊晶區域之若干部分以顯露鰭片圖樣並界定鰭片高度。隨著蝕刻掉表面磊晶區域並顯露終點偵測磊晶區域，電漿蝕刻之終點係藉由電漿蝕刻腔室內氣體混合物之改變而標記。持續監控該電漿蝕刻腔室內的氣體混合物以決定自半導體基板所移除的磊晶層之組成。若折射率完全改變，由表面磊晶區域至終點電漿蝕刻所造成氣體混合物之折射率的變化可能輕微，由此雷射干涉測量法可能不是特別適用於偵測電漿蝕刻終點的方法。因此，在此種情況下，光放射光譜法(OES)係較佳的。OES監控腔室內若干波長之強度並測定特定波長之強度何時增加或降低至某一標準值以下。在其他強況下，亦可應用質譜法以偵測電漿放電中之氣相物種。舉例而言，參閱S. Wolf及R. N. Tauber之「Silicon Processing for the VLSI era」第1卷。

當蝕刻表面磊晶區域時，若存在有氣體混合物，其通常包括矽及電活性摻雜物。由於表面磊晶區域可包含低濃度之終點偵測雜質，儀器在電漿蝕刻腔室內偵測終點偵測雜質之基線濃度。隨著蝕刻掉該表面磊晶區域，顯露終點偵測磊晶區域，且該終點偵測雜質之濃度增加超過蝕刻該表面磊晶區域期間所量得的基線量。因此，達電漿蝕刻終點之信號係至少若干可與雜訊(例如，基線之標準偏差)區別之濃度增加，舉例而言，雜質濃度增加至少約5%、至少約10%、至少約15%或甚至至少約20%時，利用該濃度增加來測量憑經驗確決定且至少部分源自該基線標準偏差之電漿偵測終點。再次參考圖4，此時，該半導體基板包括矽晶圓基板、大塊磊晶區域、一輕微蝕刻的終點偵測區域及藉由SiN硬光罩置頂的分立鰭片。

依此方式，自表面磊晶區域生產之(諸)鰭片延伸一以從該磊晶層之正面朝中心面所量得之高度，其為約100 nm至約400 nm，約100 nm至約300 nm，或約200 nm至約300 nm。

當引入本發明或其(諸)較佳實施例之元件時，冠詞「一」、「此」及「該」係欲指該等元件中之一或多者。術語「包含」、「包括」及「具有」欲為包含性且意指除所列元件外可有另外元件。

鑑於以上所述，可見本發明之若干目的已可達到且獲得其他有利結果。

在不脫離本發明之範圍而對上述組合物及方法進行許多

改變時，希望上述描述中所含及附圖中所繪之所有標的物應以說明性且不以限制意識性闡釋之。

### 【圖式簡單說明】

圖 1 係一製於一 SOI 晶圓上的三維 MOSFET 之描繪圖。

圖 2 係一製於一大塊矽基板上的三維電晶體之橫截面圖。

圖 3 係一本發明程序之示意圖。

圖 4 係一矽晶圓基板之橫截面圖，其中本發明磊晶層係沉積於該矽晶圓基板上。

### 【主要元件符號說明】

|    |                    |
|----|--------------------|
| 1  | 三維 MOSFET          |
| 3  | SOI 晶圓基板           |
| 5  | 氧化物層               |
| 7  | 矽 鰭 片              |
| 9  | 源 極                |
| 11 | 汲 極                |
| 13 | 閘極尺寸               |
| 15 | 三維電晶體              |
| 17 | 大塊矽基板              |
| 19 | 鰭 片                |
| 21 | SiN 層              |
| 23 | SiO <sub>2</sub> 層 |
| 25 | 閘極介電質              |
| 31 | 矽基板/矽晶圓            |

|    |          |
|----|----------|
| 33 | 中心軸      |
| 35 | 矽基板之正面   |
| 37 | 矽基板之背面   |
| 39 | 虛中心面     |
| 41 | 圓周邊緣     |
| 43 | 半徑       |
| 45 | 磊晶層      |
| 47 | 磊晶層之正面   |
| 49 | 磊晶層之背面   |
| 51 | 矽晶圓基板    |
| 53 | 表面磊晶區域   |
| 55 | 終點偵測磊晶區域 |
| 57 | 大塊磊晶區域   |
| 59 | 鰭片       |
| 61 | 光罩       |

## 七、申請專利範圍：

### 1. 一種半導體結構，其包括：

(a)一矽基板，該矽基板具有：一中心軸；一正面及一背面，該正面及該背面係大致垂直於該中心軸；一中心面，該中心面係在該正面與該背面之間且平行於該正面與該背面；一圓周邊緣；及一半徑，該半徑係從該中心軸延伸至該圓周邊緣；

(b)一磊晶層，該磊晶層具有一正面及一背面，其中該磊晶層之該背面與該矽基板之該正面相接，該磊晶層包括：

(1)一表面磊晶區域，該表面磊晶區域延伸一以從該磊晶層之該正面起朝該中心面所量得之平均橫向距離 $D_1$ ；

(2)一終點偵測磊晶區域，該終點偵測磊晶區域係延伸一以從該表面磊晶區域朝該中心面所量得之平均橫向距離 $D_2$ ；及

(3)一大塊磊晶區域，該大塊磊晶區域係延伸一以從該該終點偵測磊晶區域朝該中心面所量得之平均橫向距離 $D_3$ ；

其中該終點偵測磊晶區域包括一選自由碳、銻或其組合組成之群的終點偵測雜質，該終點偵測雜質係以一為該表面磊晶區域中該終點偵測雜質濃度之至少100倍的濃度存在於該終點偵測磊晶區域中。

### 2. 如請求項1之半導體結構，其中在該終點偵測磊晶區域

中該終點偵測雜質之該濃度為該表面磊晶區域中該終點偵測雜質之該濃度的至少1000倍。

3. 如請求項1之半導體結構，其中在該終點偵測磊晶區域中該終點偵測雜質之該濃度為該表面磊晶區域中該終點偵測雜質之該濃度的至少10,000倍。
4. 如請求項1之半導體結構，其中 $D_1$ 為約50奈米至約400奈米、約100 nm至約400 nm、約100 nm至約300 nm，或約200 nm至約300 nm。
5. 如請求項4之半導體結構，其中 $D_1$ 具有一在約0.5%與約4%之間，或在約1%與約2%之間的總厚度變化。
6. 如請求項1之半導體結構，其中該表面磊晶區域包括一鰭片。
7. 如請求項6之半導體結構，其中該鰭片延伸一以從該磊晶層之該正面朝該中心面所量得之高度，其為約50奈米至約400奈米、約100 nm至約400 nm、約100 nm至約300 nm，或約200 nm至約300 nm。
8. 如請求項1之半導體結構，其中 $D_2$ 係約5 nm至約100 nm、約10 nm至約50 nm、約10 nm至約25 nm、約8 nm至約12 nm，或10 nm。
9. 如請求項1之半導體結構，其中該終點偵測雜質係以一約 $1 \times 10^{17}$ 個原子/cm<sup>3</sup>(約2 PPMA)至約 $5 \times 10^{19}$ 個原子/cm<sup>3</sup>(約1000 PPMA)，或約 $5 \times 10^{17}$ 個原子/cm<sup>3</sup>(約10 PPMA)至約 $5 \times 10^{19}$ 個原子/cm<sup>3</sup>(約1000 PPMA)的濃度存在於該終點偵測磊晶區域中。

10. 如請求項1之半導體結構，其中在該終點偵測磊晶區域中該終點偵測雜質之該濃度為該表面磊晶區域中該終點偵測雜質之該濃度的至少1000倍； $D_1$ 為約100 nm至約400 nm、約100 nm至約300 nm，或約200 nm至約300 nm； $D_1$ 具有一在約0.5%與約4%之間的總厚度變化；該表面磊晶區域包括一鰭片，其係延伸一以從該磊晶層之該正面朝該中心面所量得之高度約100 nm至約400 nm； $D_2$ 係約10 nm至約50 nm；及該終點偵測雜質係以一約 $5 \times 10^{17}$ 個原子/cm<sup>3</sup>(約10 PPMA)至約 $5 \times 10^{19}$ 個原子/cm<sup>3</sup>(約1000 PPMA)的濃度存在於該終點偵測磊晶區域中。
11. 一種製備半導體結構之方法，該半導體結構包括(a)一矽基板，該矽基板具有：一中心軸；一正面及一背面，該正面及該背面係大致垂直於該中心軸；一中心面，該中心面係在該正面與該背面之間且平行於該正面與該背面；一圓周邊緣；及一半徑，該半徑係從該中心軸延伸至該圓周邊緣；及(b)一磊晶層，該磊晶層具有一正面及一背面，其中該磊晶層之該背面係與該矽基板之該正面相接，該方法包括：
- 在該矽基板之該正面上形成一大塊磊晶區域；
  - 在該大塊磊晶區域上形成一終點偵測磊晶區域；及
  - 在該終點偵測磊晶區域上形成一表面磊晶區域；
- 其中該終點偵測磊晶區域包括一選自由碳、鍺或其組合組成之群的終點偵測雜質，該終點偵測雜質係以一為該表面磊晶區域中該終點偵測雜質濃度之至少100倍的

修正頁(本)  
劃線  
99年6月30日

濃度存在於該終點偵測磊晶區域中。

12. 如請求項11之方法，其中在該終點偵測磊晶區域中該終點偵測雜質之該濃度為該表面磊晶區域中該終點偵測雜質之該濃度的至少1000倍。
13. 如請求項11之方法，其中在該終點偵測磊晶區域中該終點偵測雜質之該濃度為該表面磊晶區域中該終點偵測雜質之該濃度的至少10,000倍。
14. 如請求項11之方法，其中該表面磊晶區域係延伸一以從該磊晶層之該正面朝該中心面所量得之平均橫向距離  $D_1$ ，其為約50奈米至約400奈米、約100 nm至約400 nm、約100 nm至約300 nm，或約200 nm至約300 nm。
15. 如請求項14之方法，其中  $D_1$  具有一在約0.5%與約4%之間，或在約1%與約2%之間的總厚度變化。
16. 如請求項11之方法，其中該表面磊晶區域包括一鱗片。
17. 如請求項16之方法，其中該鱗片延伸一以從該磊晶層之該正面朝至該中心面所量得之高度，其為約50奈米至約400奈米、約100 nm至約400 nm、約100 nm至約300 nm，或約200 nm至約300 nm。
18. 如請求項11之方法，其中該終點偵測磊晶區域延伸一以從該表面磊晶區域朝該中心面所量得之平均橫向距離  $D_2$ ，其係約5 nm至約100 nm、約10 nm至約50 nm、約10 nm至約25 nm、約8 nm至約12 nm，或約10 nm。
19. 如請求項11之方法，其中該終點偵測雜質係以一約  $1 \times 10^{17}$  個原子/cm<sup>3</sup>(約2 PPMA)至約  $5 \times 10^{19}$  個原子/cm<sup>3</sup>(約

1000 PPMA)，或約  $5 \times 10^{17}$  個原子/cm<sup>3</sup> (約 10 PPMA) 至約  $5 \times 10^{19}$  個原子/cm<sup>3</sup> (約 1000 PPMA) 的濃度存在於該終點偵測磊晶區域中。

20. 如請求項 11 之方法，其中在該終點偵測磊晶區域中該終點偵測雜質之該濃度為該表面磊晶區域中該終點偵測雜質之該濃度的至少 1,000 倍；該表面磊晶區域係延伸一以從該磊晶層之該正面朝該中心面所量得之平均橫向距離  $D_1$ ，其為約 100 nm 至約 400 nm； $D_1$  具有一在約 0.5% 與約 4% 之間，或在約 1% 與約 2% 之間的總厚度變化；該表面磊晶區域包括一鰭片，其係延伸一以從該磊晶層之該正面朝至該中心面所量得之高度，其為約 100 nm 至約 400 nm；該終點偵測磊晶區域延伸一以從該表面磊晶區域朝該中心面所量得之平均橫向距離  $D_2$ ，其係約 10 nm 至約 50 nm；及該終點偵測雜質係以一約  $5 \times 10^{17}$  個原子/cm<sup>3</sup> (約 10 PPMA) 至約  $5 \times 10^{19}$  個原子/cm<sup>3</sup> (約 1000 PPMA) 的濃度存在於該終點偵測磊晶區域中。

21. 一種製備半導體結構之方法，該半導體結構包括 (a) 一矽基板，該矽基板具有：一中心軸；一正面及一背面，該正面及該背面係大致垂直於該中心軸；一中心面，該中心面係在該正面與該背面之間且平行於該正面與該背面；一圓周邊緣；及一半徑，該半徑係從該中心軸延伸至該圓周邊緣；及 (b) 一磊晶層，該磊晶層具有一正面及一背面，其中該磊晶層之該背面係與該矽基板之該正面相接且該正面包括一鰭片，該方法包括：

修正頁(本)  
99年6月3日劃線

在該矽基板之該正面上形成該磊晶層，該磊晶層包括：一表面磊晶區域，該表面磊晶區域係從該磊晶層之該正面朝該中心面延伸；及一終點偵測磊晶區域，該終點偵測磊晶區域係從該表面磊晶區域朝該中心面延伸；其中該終點偵測磊晶區域包括一選自由碳、鍺或其組合組成之群的終點偵測雜質，該終點偵測雜質係以一為在該表面磊晶區域中該終點偵測雜質濃度之至少100倍的濃度存在於該終點偵測磊晶區域中；

蝕刻該表面磊晶區域以在該磊晶層之該正面中形成該鰭片；

當蝕刻該表面磊晶區域時，監控一腔室氣體組成；及

當該腔室氣體組成證實在終點偵測雜質濃度增加之增加量為至少約5%、至少約10%、至少約15%，或至少約20%時，終止蝕刻。

八、圖式：

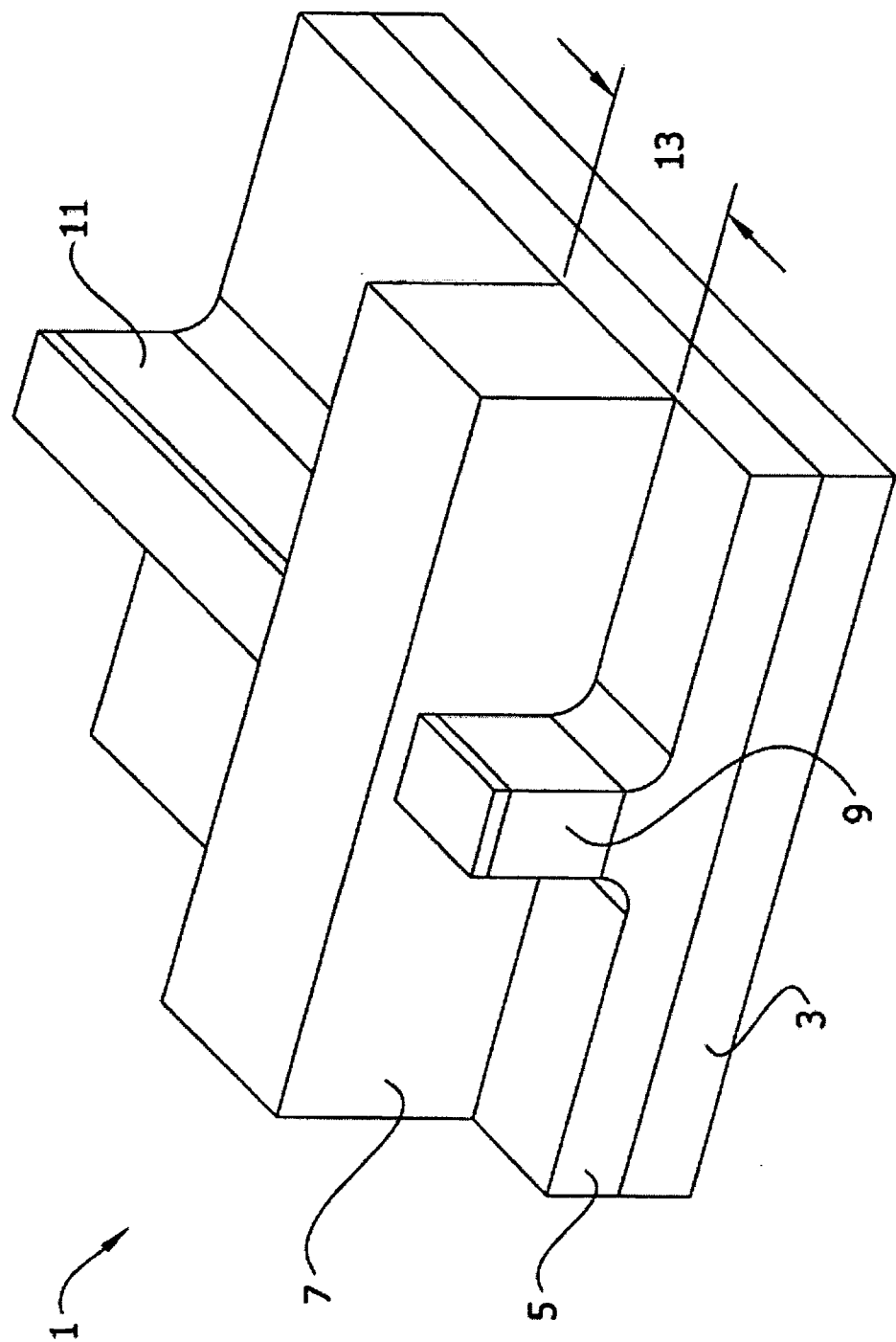


圖 1

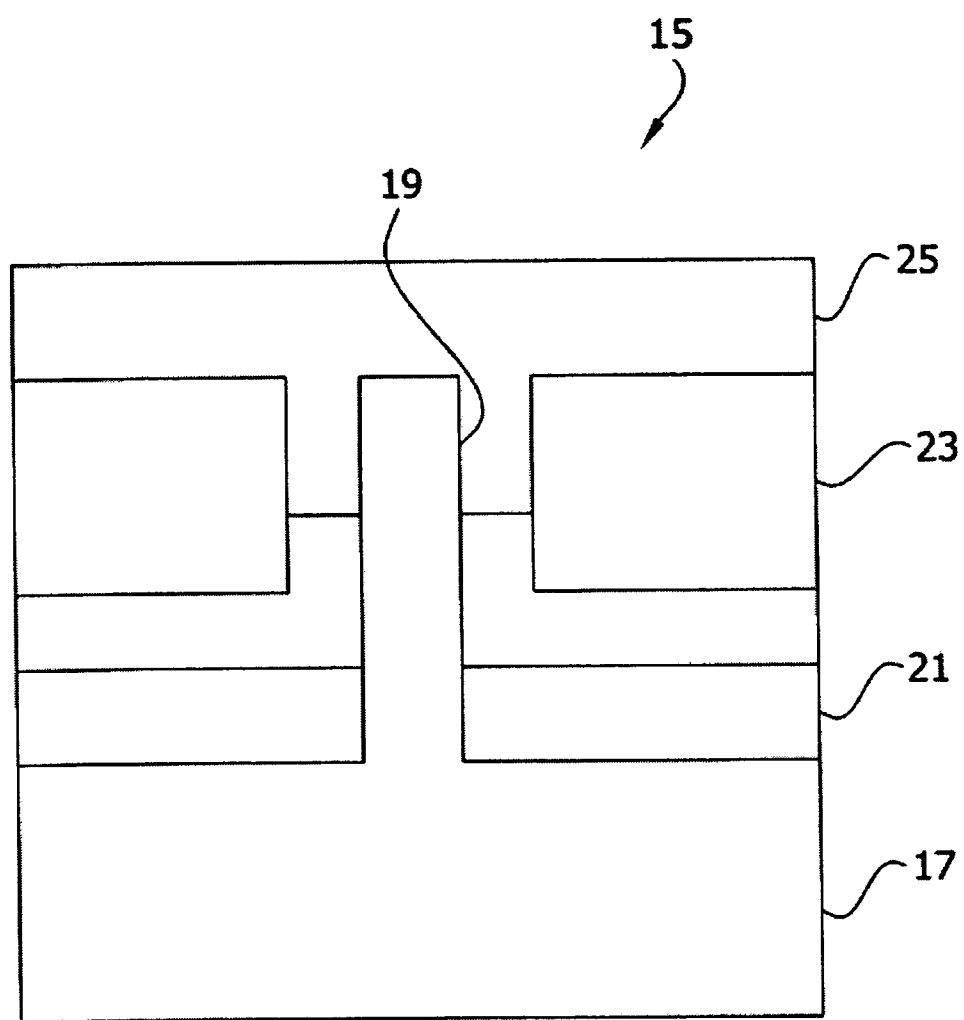


圖 2

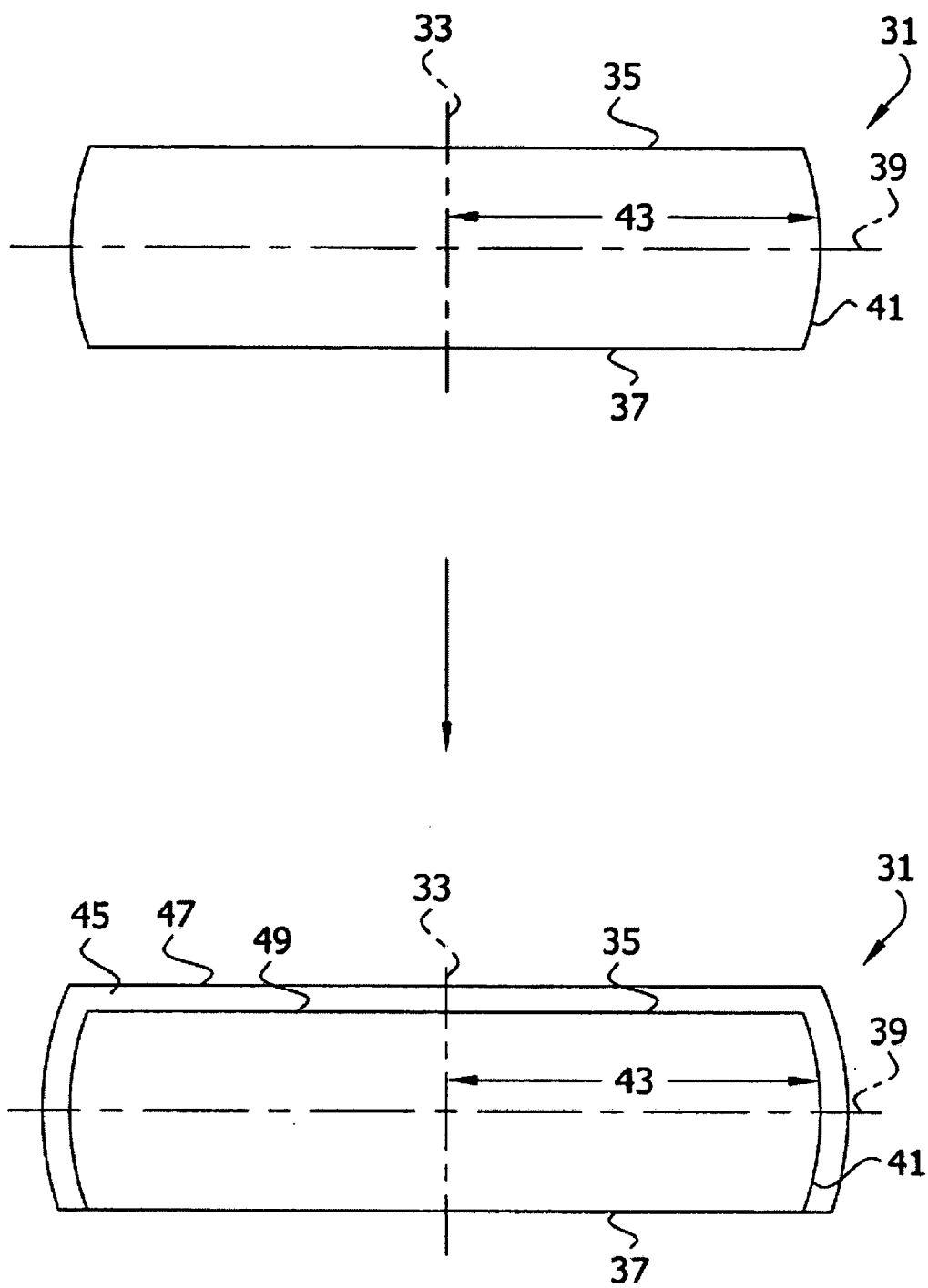


圖 3

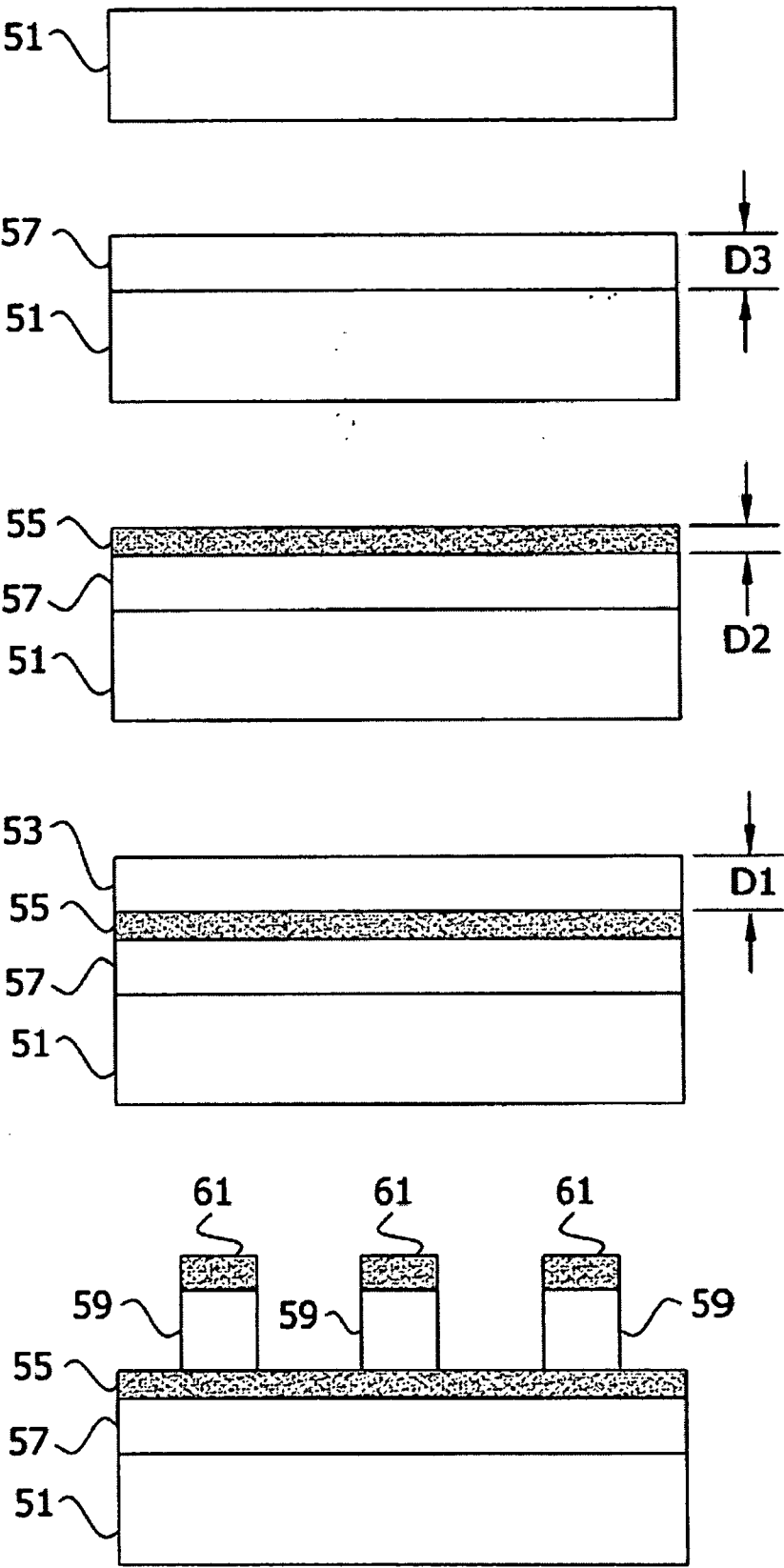


圖 4