[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H03M 1/34
H03M 1/18

[12] 发明专利说明书

[21] ZL 专利号 99812398.6

[45] 授权公告日 2004 年 1 月 21 日

[11] 授权公告号 CN 1135704C

[22] 申请日 1999.8.19 [21] 申请号 99812398.6
[30] 优先权
[32] 1998. 8.20 [33] SE [31] 9802787 - 3
[32] 1999. 5. 4 [33] SE [31] 9901624 - 8
[86] 国际申请 PCT/SE99/01406 1999.8.19
[87] 国际公布 WO00/11790 英 2000.3.2
[85] 进入国家阶段日期 2001.4.20
[71] 专利权人 艾利森电话股份有限公司
地址 瑞典斯德哥尔摩
[72] 发明人 J·袁
审查员 韩 燕

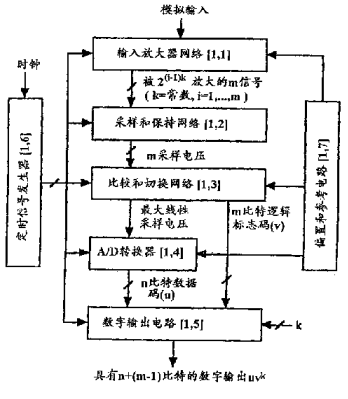
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 陈 霁 李亚非

权利要求书 7 页 说明书 8 页 附图 5 页

[54] 发明名称 浮点模数转换器和对模拟输入信号进行模数转换的方法

[57] 摘要

当分辨率仅仅用于覆盖信号动态范围而不是量化准确性时，通过使用所发明的浮点 A/D 转换器，对于很高分辨率的 A/D 转换器的要求可以消除。这可以通过以放大系数 $2^{(i-1)k}$ 产生 m(>1)个放大的模拟信号，其中 k = 常数，i = 1，2，…，m。 最大的线性放大信号将被逻辑电路选出(在采样之后)并被 A/D 转换器转换成 n 比特数字数据码。 同时，逻辑电路产生 m 比特的逻辑标志码。 N 比特数据码(u)，m 比特逻辑标志码(v)，以及常数 k 被组合形成最终的数字输出 uv^k 具有 n + (m - 1)k 比特。同样的方法，分辨率和动态范围可以被独立设计，不象已知的对数放大器方案，浮点 A/D 转换器直接给出一个线性数字码输出，而不需要使用任何的查找表。 对于较大和较小的信号，有效分辨率被保持为常数(或需要校正的准常数)。 在低电压供给施加的小输入范围的情况下，也是很有用的，因为，其有效输入范围远远大于实际输入范围。 作为 A/D 转换器，其准确性沿信号幅度分布更合理，其优点类似于浮点数表示法的优点。



A 浮点 A/D 转换器 [1]

ISSN1008-4274

1.一种模数转换器，其特征在于输入放大器网络（1，1）包括多个放大器，用于放大模拟输入信号并产生多个幅度不同的模拟信号，其中放大器以下面的方式被加权：即，只有一个放大器产生最大的线性放大的模拟信号，选择装置（1.2，1.3，1.6，1.7）用于选择所述的最大的线性放大模拟信号，模数转换装置（1.4，1.5）用于将所述最大线性放大的模拟信号转换成数字输出信号.

2.根据权利要求1的模数转换器，其特征在于:

a. 输入放大器网络(1.1)，包括一个输入节点或者如果是差分放大器的话，则包括一对节点，输入模拟信号与这些节点相连，该网络还包括一些输出节点，多个放大器，一个放大器网络，用于放大输入模拟信号并产生一些延迟均衡或延迟不对称信号，其中的信号分别以放大系数 $2^{(i-1)k}$ 放大并分别输入到输出节点，其中 k=常数（例如，对于二进制 k=1，对于四进制，k=2）并且 i=1,2,…,m(>1)，使得在动态范围内，对于较大和较小的输入模拟信号，总会有一个线性放大的信号，最大的较佳的幅度可以在一个输出节点得到，

b. 选择装置（1.2，1.3，1.6，1.7），包括:

Ⅰ.采样保持(S/H)网络(1.2)，该网络包括一些信号输入节点，放大信号与这些输入节点相连，在延迟均衡输入信号的情况下，还包括一个时钟输入节点，采样时钟与该输入节点相连；在延迟不对称输入信号情况下，该网络包括一些时钟输入节点，一些时间失真采样时钟与之相连，该网络还包括一些输出节点；在延迟均衡输入信号的情况下，一些 S/H 电路用于分别在采样时钟控制下对放大信号进行采样并保持输出节点的采样电压；在延迟不对称输入信号的情况下，该网络还包括一些 S/H 电路用于在时间失真采样时钟控制下在精确匹配的时刻对放大信号采样，以及用于产生分别输入到输出节点的时间对齐采样电压的去失真电路，

Ⅱ.比较和切换网络(1.3)，该网络包括一些输入节点，采样电压分别与这些输入节点相连，该网络还包括一个或多个参考输入节点，一个或多个参考电压与之相连，网络中还包括一个信号输出节点，或者，如果是差分类型，则包括一对信号输出节点，一个逻辑输出节点（比特串行）或一些逻辑输出节点（比特并行），网络中还包括一些

比较器用于比较采样电压与参考电压，一个逻辑电路用于通过检查比较器输出来识别信号中最大线性放大的采样电压，并产生一个逻辑标志码输入给逻辑输出节点，这些节点可以内部使用或外部使用，网络中还有一些受逻辑标志码控制用来仅仅将识别的采样电压切换给信号输出节点的开关，

Ⅲ. 定时信号发生器(1.6)，包括一个或多个时钟输入节点，一个或多个输入时钟与之相连，该发生器还包括一些输出节点，用于产生并通过输出节点将定时信号传送给浮点模数转换器相应部分的定时信号产生电路，

Ⅳ. 偏置和参考电路(1.7)，包括偏置电路：用于由附加连接节点偏置必须有的部分，参考电压产生电路用于产生并将参考电压传送给必须有的部分，

c. 模数转换装置(1.4,1.5)，包括：

Ⅰ. 模数转换器(1.4)，包括一个信号输入节点或者在差分类型时，包括一对信号输入节点，识别的采样电压与该节点相连，该转换器还包括一个或多个参考输入节点，用于模数转换的参考电压与之相连，还包括一个或多个时钟输入节点，时钟信号或一些时钟信号与之相连，转换器还包括一个数字输出节点（比特串行）或一些数字输出节点（比特并行），一个通常的模数转换体（例如，流水线模数转换器）以便数字化最适当的采样电压并产生一个数字数据码，在时钟控制下，传送给数字输出节点，

Ⅱ. 数字输出电路(1.5)，包括一个数字输入节点（比特串行）或一些数字输入节点（比特并行），数字数据码（u）与之相连，该电路还包括一个逻辑输入节点（比特串行）或一些逻辑输入节点（比特并行），逻辑标志码（v）与之相连；可选地，该电路还包括一个常数输入节点（比特串行）或一些常数输入节点（比特并行），常数码 k 与之相连，该电路还包括一个或多个时钟输入节点，一个时钟或一些时钟与之相连，该网络还包括一个数字输出节点（比特串行）或一些数字输出节点（比特并行），一个组合 n 比特数据码（u），m 比特逻辑标志码（v）和常数码 k 并产生具有 $n+(m-1)k$ 个比特的最终数字输出 uv^k 并在时钟控制下传送给数字输出节点的电路，

d. 一个电源或一些电源用于激活所述电路。

3. 根据权利要求 2 的模数转换器，其特征在于所述延迟均衡输入放大器网络(1.1)，使用了单边或差分信号，并包括:

a. 一个输入节点，输入模拟信号与该输入节点相连;

b. m 个输出节点;

c. 延迟均衡电阻网络，用作输入模拟信号源的匹配负载，该网络将输入模拟信号划分成 m 个模拟信号，其划分比例为 $2^{-(m-i)k}$，其中 i=1，2,…,m，k 是一个常数（例如，对于二进制 k=1，对于四进制 k=2），并在实际负载条件下，均衡不同信号路径的延迟;

d. m 个相同的放大器用于以放大系数 $2^{(m-1)k}$ 来放大 m 个模拟信号，并且将放大信号分别传送给 m 个输出节点。

4. 根据权利要求 2 的模数转换器，其特征在于所述延迟均衡输入放大器网络(1.1)包括:

a. 一个输入节点，输入模拟信号与该输入节点相连;

b. m 个输出节点;

c. 用于放大输入模拟信号并产生 p 个放大信号的输入放大器网络;

d. p 个相同的延迟均衡分压器（例如，分阻器），每个分压器有一个输入和两个划分比例分别为 1 和 2^{-pk} 的输出，该分压器将 p 个模拟信号划分成 m=2p 个模拟信号; 并且

e. m 个相同的放大器，用于以放大系数 2^{pk} 来放大 m 个模拟信号，并将 m 个放大信号传送给 m 个输出节点

5. 根据权利要求 2 的模数转换器，其特征在于所述比较和切换网络，使用了单边或差分信号，包括

a. m 个输入节点，来自 S/H 网络的 m 个采样电压分别与这些输入节点相连（电压 m 是最大电压）;

b. 两个参考电压输入节点中的一个，参考电压 $V_r=qV_{max}/2^k$ 或 $\pm V_r=\pm qV_{max}/2^k$ 与之相连，其中 V_{max} 或 $\pm V_{max}$ 是最大的放大器线性输出电压，q(<1)是一个安全系数;

c. 信号输出节点;

d. 一个（比特串行）或 m 个（比特并行）逻辑输出节点;

e. 用于将采样电压 1 到（m-1）与参考电压 V_r（在单方向的情况下）或 $\pm V_r$（在双向的情况下）比较的 m-1 个 比较器，如果采样电压

大于 V_r 或在± V_r 范围之外，这些比较器给出逻辑真输出，

f. m 个两输入异或门，逻辑低和比较器 1 的输出与异或门 1 的输入相连，比较器 i-1 和 i 的输出与异或门 i 的输入相连，其中 i=2, 3, …(m-1)，比较器 m-1 的输出和逻辑高连接到异或门 m 的输入，m 异或门的输出作为 m 比特的逻辑标志码，该码被输入到逻辑输出节点；

g. 一个开关网络，用来将信号输出节点与其中一个采样电压相连，其中异或门的输出为逻辑高。

6. 根据权利要求 2 的模数转换器，其特征在于所述数字输出信号包括:

a. 一个（比特串行）或 n 个（比特并行）数字输入节点，n 比特数字数据码与之相连，

b. 一个（比特串行）或 m 个（比特并行）逻辑输入节点，m 比特逻辑码与之相连，

c. 一个常数输入节点（比特串行）或一些常数输入节点（比特并行），整数常数码 k(=1, 2…)与这些节点相连;

d. 一个或多个时钟输入节点，一个时钟或一些时钟与这些节点相连;

e. 一个数字输出节点（比特串行）或一些数字输出节点（比特并行）；以及

f. 一个或两个乘法器，用于通过将 v 与 v 相乘 k 次来计算 v^k，然后将 u 乘以 v^k 来产生具有 n+(m-1)k 个比特的最终数字输出 uv^k，并传送给输出节点，其中仅涉及到简单的移位操作。

7. 根据权利要求 2 的模数转换器，其特征在于所述延迟均衡输入放大器包括一个低偏移常数延迟 AC 放大器，它包括:

a. 一个输入节点，输入模拟信号与之相连;

b. 一个输出节点;

c. 一些放大器端子，第一个端子的输入连接到输入节点，并且最后端子的输出连接到输出节点;

d. 一些耦合电容，分别连接在放大器端子之间以便阻止 DC 偏移量的传播;

e. 一些限制器，将放大器端子的输入端与地相连，这样限制了输

入幅度以便防止这些端子过电压，并且为输入端到地提供DC路径。

8．根据权利要求2的模数转换器，其特征在于所述延迟均衡输入放大器包括一个低偏移常数延迟自归零放大器，它包括：

a．一个输入节点，输入模拟信号与之相连；

b．一些时钟节点，分别与时钟ϕ_1到ϕ_x相连，其中所有的上升沿都被同步了，其中ϕ_2和ϕ_x的下降沿相继延迟，ϕ_1到ϕ_x的下降沿被同步，ϕ_1到ϕ_x的低相位被用于放大器以便放大输入模拟信号，

c．输出节点，

d．一些放大器端子1到x，端子x的输出与输出节点相连，

e．一些限制器1到（x-1），分别连接在端子1到（x-1）的输出端用于防止端子1到x过电压，

f．一些耦合电容1到（x-1），分别连接在限制器i的输出和端子i+1的输入端之间，其中i=1,2…(x-1)；

g．一个输入开关，当ϕ_1为高时将端子1的输入端与地相连，当ϕ_1为低时，将端子1的输入端连接到输入节点；

h．一些自归零开关，当ϕ_2到ϕ_x为高时，将端子2到x的输入连接到地，或者当ϕ_2到ϕ_x为低时保持浮动。

9．根据权利要求2的模数转换器，特征在于所述延迟均衡输入放大器包括y+1个自归零放大器，它包括：

a．y个输入节点，y个输入模拟信号与之相连；

b．y+1个时钟节点，具有等周期T_c及高相位$T_c/(y+1)$的被$T_c(y+1)$连续失真的时钟1到y+1与之分别连接，

c． y个输出节点，

d． y+1个低偏移常数延迟自归零放大器，其自归零时间相位加上调整相位等于或大于$T_c/(y+1)$；

e．一个控制信号产生器用于根据时钟1到（y+1）来产生控制信号；

f．一个输入复用器，其y个输入与y个输入节点相连，y+1个输出与y+1个放大器输入分别相连，y个输入模拟信号总是在控制信号的控制之下切换到y+1个放大器中y个放大器的输入端。

g．一个输出复用器，其y+1个输入连接到y+1个放大器的输出，y个输出连接到y个输出节点，这样y+1个放大器中的y个放大器的输

出总是在控制信号的控制下连接到 y 输出节点。

10. 一种对模拟输入信号进行模数转换的方法，包括以下步骤：

将模拟输入信号输入到电阻网络，产生多个具有不同幅度的模拟信号；

将多个模拟信号在多个放大器中进行放大，产生多个被放大的信号；

将多个被放大的信号输入至一个采样保持网络，产生多个采样电压；

将多个采样电压与第一基准电压进行比较；

选择第一多个采样电压，其中被选择的电压是最接近但是大于第一基准电压的电压；以及

将被选择的采样电压转换成数字信号。

11. 根据权利要求 10 的方法，其中用一个逻辑电路来选择被选择的采样电压。

12. 根据权利要求 11 的方法，其中所述逻辑电路包括多个比较器、异或(XOR)门和开关。

13. 根据权利要求 10 的方法，其中如果全部第一多个采样电压大于基准电压，那么选择多个采样电压中的最小的电压。

14. 根据权利要求 10 的方法，还包括以下步骤：

将所述被选择的采样电压与第二基准电压进行比较，如果被选择的采样电压大于第二基准电压，那么选择另一个具有较小电压的采样电压。

15. 根据权利要求 10 的方法，其中所述多个放大器是匹配的。

16. 一种浮点模数转换器，包括：

一个电阻网络，产生多个幅度不同于输入模拟信号的模拟信号；

多个放大器，用于放大多个模拟信号，产生多个被放大的信号；

一个采样保持网络，用于从多个被放大的信号产生多个采样电压；

一个逻辑电路，用于将至少一些采样电压与一个基准电压进行比较，并选择一个最接近基准电压但是大于基准电压的一个采样电压；以及

一个模数转换器，用于将被选择的采样电压转换成数字输出信

号。

17.根据权利要求 16 的浮点模数转换器，其中所述逻辑电路包括多个比较器、异或(XOR)门和开关。

18.根据权利要求 16 的浮点模数转换器，其中如果全部第一多个采样电压大于基准电压，那么选择多个采样电压中的最小的电压。

19.根据权利要求 16 的浮点模数转换器，其中所述被选择的采样电压与第二基准电压进行比较，如果被选择的采样电压大于第二基准电压，那么选择另一个具有较小电压的采样电压。

20.根据权利要求 16 的浮点模数转换器，其中所述多个放大器是匹配的。

浮点模数转换器和对模拟输入信号进行模数转换的方法

技术领域

本发明涉及一种模数（A/D）转换器，从权利要求书可以对这种转换器有一个清晰的了解。本发明特别涉及具有很宽动态范围的 A/D 转换器。

背景技术

A/D 转换器的输入范围必须按下面方式设计：即峰值输入信号被可靠覆盖，这意味着当（1）信号幅度在很大的动态范围内变动时，（2）必须对最小的信号保持量化准确性时，（3）必须保持信号线性时，那麼必须使用很高分辨率的 A/D 转换器。在很多情况中，高分辨率仅仅为覆盖信号的动态范围而设计，而不是为量化准确性而设计。例如，为了获得 60dB 的信号动态范围和最小 6 比特的量化准确性，分辨率必须至少为 16 比特，在高速情况下，这是一个很高的要求。实际上，在这种转换器中，用于大信号的分辨率不必要那麼高。如果在该范围内，转换器对大信号和小信号给予相同的分辨率，将会更合理。

此外，低功率和低电压的趋势降低了实际的输入范围，这使得宽动态范围 A/D 转换器的设计更困难，因为非理想因子如元件误匹配和放大器偏移并不随着供给电压的降低而降低。在这种情况下，很难以高分辨率满足大的动态范围。

传统上，对数放大器被用于压缩信号幅度以便扩展动态范围。然而，由于在设计对数放大器中的困难，对于大的压缩比，准确性将会严重降低。为了产生线性数字输出码，通常会使用查找表，该查找表必须与放大器精确匹配。

通过所发明的浮点 A/D 转换器，当分辨率仅需要用于覆盖信号的动态范围时，可以消除对很高分辨率 A/D 转换器的需求。不象已知的对数放大器方案，浮点 A/D 转换器直接给出线性数字输出。对于较大和较小的信号，类似于浮点数表示，有效分辨率保持为常数（或者需要校正的准常数），其分辨率和动态范围可以独立设计，这样使得本发明很有用、很灵活。

发明内容

本发明的目标是给出一种新的方法用于宽动态范围 A/D 转换器，其中动态范围和分辨率被分别处理，使得宽动态范围所施加的高分辨率可以被避免。

该目标通过所发明的浮点 A/D 转换器来实现。与使用单输入放大器相反的是，多于一个放大器被用于产生覆盖宽动态范围的多个模拟信号。它们的放大以下面方式被加权：总有一个放大器以适当的幅度给出线性放大的模拟信号，该信号将被选出并被转换成数字输出。未使用的信号或者很小或者很大（非线性或饱和）。如果放大比例已知，例如，二进位，那麼有可能组合结果以形成最终的数字输出。通常的 A/D 转换器被用于仅仅转化选出的信号，这样为不同的输入信号给出一个常数分辨率。因为只有最大的线性放大后的信号被采样并被转换，可达到的准确性高于通常的 A/D 转换器。

本发明提供了一种模数转换器，其特征在于输入放大器网络（1，1）包括多个放大器，用于放大模拟输入信号并产生多个幅度不同的模拟信号，其中放大器以下面的方式被加权：即，只有一个放大器产生最大的线性放大的模拟信号，选择装置用于选择所述的最大的线性放大模拟信号，A/D 转换装置用于将所述最大线性放大的模拟信号转换成数字输出信号。

本发明还提供了一种对模拟输入信号进行 A/D 转换的方法，包括以下步骤：

将模拟输入信号输入到电阻网络，产生多个具有不同幅度的模拟信号；

将多个模拟信号在多个放大器中进行放大，产生多个被放大的信号；

将多个被放大的信号输入至一个采样保持网络，产生多个采样电压；

将多个采样电压与第一基准电压进行比较；

选择第一多个采样电压，其中被选择的电压是最接近但是大于第一基准电压的电压；以及

将被选择的采样电压转换成数字信号。

本发明还提供了一种浮点模数转换器，包括：

一个电阻网络，产生多个幅度不同于输入模拟信号的模拟信号；

多个放大器，用于放大多个模拟信号，产生多个被放大的信号；

一个采样保持网络，用于从多个被放大的信号产生多个采样电压；

一个逻辑电路，用于将至少一些采样电压与一个基准电压进行比较，并选择一个最接近基准电压但是大于基准电压的一个采样电压；以及

一个模数转换器，用于将被选择的采样电压转换成数字输出信号。

附图说明

图 1 给出浮点 A/D 转换器[1]的方块图；

图 2 给出以 k=1 和 m=4 示例的延迟均衡输入放大器网络[2]的装置 1；

图 3 给出以 k=1 示例的延迟均衡输入放大器网络[3]的装置 2；

图 4 给出时间均衡的采样保持网络[4]；

图 5 给出比较和交换网络[5]；

图 6 给出低偏移常数延迟 AC 放大器[6]；

图 7 给出低偏移常数延迟自动归零放大器[7]；

图 8 给出利用 y+1 个自归零放大器来放大 y 个模拟信号[8]的装置。

具体实施方式

1. 在图 1 中，给出了浮点 A/D 转换器的方框图。输入放大器网络[1,1]放大输入模拟信号，并以放大系数 $2^{(i-1)k}$ 产生 m 个放大后的信号，其中 k=常数，并且 i=1,2,…,m，当 k=1 或 2 时，信号幅度以二进制或四进制加权。其中，部分信号可能是非线性或饱和的。根据输入信号的幅度，最大的线性放大后的信号将在其中一个信号输出处显示。放大后的信号可以是延迟均衡的或者延迟不对称的，这取决于输入放大器网络的类型。延迟均衡信号可以通过放大器树或阵列产生。通过从连续放大器端子处获取信号，通过放大器链可以产生延迟不对称的信号。m 个放大后的信号被传送给采样保持（S/H）网络[1，2]以产生 m 个采样后的电压。在延迟均衡信号的情况中，采样将由 m 个并联的 S/H 电路来执行。在延迟不对称信号的情况中，将由使用与时间精确匹配的时间失真采样时钟的 S/H 电路执行。为了对齐时间，延迟不对称电

压可以通过重采样或者通过对每个信号 i 分别采用 i S/H 电路来去失真，其中 i=1，2…,m．定时信号发生器[1，6]为 S/H 网络产生时间均衡（对于延迟均衡信号）或时间失真（对于延迟不对称信号）采样时钟．比较和切换网络[1,3]将 m 个采样后的电压与参考电压 $V_r=qV_{max}/2^k$ 比较，其中 V_{max} 是放大器的最大线性电压输出，q(<=1)是安全系数．这意味着，只要 q<=1,V_r 不必很精确．然而，q 越大，就更能充分利用放大器的线性范围．当 k=1，q=1,$V_r=V_{max}/2$ 时，线性范围被完全利用．最大的线性采样电压（<=qV_{max}）将由逻辑电路选出．同时，比较和切换网络[1,3]产生一个 m 比特的逻辑标志码，如对于 m=8 有 00001000．逻辑标志码中的 1 表示选出电压的位置，在该例中，它来自放大器 5，放大系数为 $2^{(5-1)k}$．最大的线性采样后的电压然后被 A/D 转换器[1，4]转换成 n 比特的数字数据码．数字输出电路[1，5]将 n 比特数据码（u），m 比特逻辑标志码（v）和常数 k 组合以产生具有 n+(m-1)k 比特的最终输出 uv^k．如果 k 是整数，只需要进行移位操作，这样大大简化了电路．定时信号发生器[1，6]还为别的块产生控制信号．偏移和参考电路[1，7]产生偏移电压和/或电流，这对于放大器来说可能是必须的，该电路还为比较和切换网络[1，3]以及 A/D 转换器[1，4]产生参考电压．功率分配没有在图中给出．

2．在图 2 中，给出了以 m=4，k=1 示例的延迟均衡输入放大器网络[2]的装置 1．它由延迟均衡阻抗网络[2，1]和相同的放大器[2，2]组成．阻抗网络[2，1]充当模拟信号源的匹配负载，其输出阻抗为 R，输出幅度为 A，该负载没有包括在本发明中．阻抗网络[2，1]将输入模拟信号以比例 $2^{-(m-i)}$ 划分成 m（=4）个模拟信号，其中在该例中 i=1，2，3 和 4，其所产生的幅度为 A/8，A/4，A/2 和 A,并且均衡了 m（=4）个信号路径的延迟．在放大器输入容量相同的条件下，被 R 归一化的电阻值在图 2 中给出．相同的放大器[2，2]以放大系数 $2^{(m-1)}$ 即 8 来放大 m（=4）个加权信号．最终的输出是幅度为 $A2^{(i-1)}$ 的延迟均衡的模拟信号，其中 i=1，2，3 和 4，在该例中，即 A，2A，4A 和 8A．注意到部分输出是非线性或饱和的．当然，通过重新设计电阻网络，装置 1[2]的 m 可以不等于 4．在该装置中，放大器被保持一致以获得很好的匹配，放大加权是通过无源元件完成的，以最小化误差．只要所有的放大器匹配，绝对放大中的偏差就不重要了．

3.图 3 中给出了 k=1 的示例延迟均衡输入放大器网络[3]的装置 2（两步装置）。其原理是尽可能地保持元件一致。装置 1[2]用于步骤 1，假设它产生幅度为 $A2^0$，$A2^1 \cdots A2^{p-1}$ 的 p 个模拟信号。在步骤 2，p 个信号首先被 p 个相同的延迟均衡分压器[3.1]划分成 m(=2p)个信号。每个分压器产生两个延迟均衡的输出，一个幅度没有变化，另一个的幅度以 2^{-p} 加权。然后 m（=2p）个信号被 m 个相同的放大器[3，2]以放大系数 2^p 分别放大。最终的输出是 m(=2p)个模拟信号，幅度为 $A2^{(i-1)}$，其中 i=1，2，…，m(=2p)。对于较大的 m，该装置避免了无源分压器的较大分压比例。

4. 图 4 给出了时间均衡的采样保持（S/H）网络[4]。它包括 m 个相同的 S/H 电路，这些电路对来自输入放大器网络[1，1]的 m 个放大后的信号进行周期采样，并保持这 m 个采样电压用于后续的比较，其采样受到来自定时信号发生器[1，6]的采样时钟的控制。

5. 图 5 给出了比较和切换 网络[5]，m 个采样电压分别连接到 m 个相同开关[5，3]的输入端。在同一时间，采样电压 1 到（m-1）分别被 m-1 个比较器[5，1]与参考电压 $V_r=qV_{max}/2^k$ 比较。电压 m（最大）没有被比较。下面，电压编号被用来编号对应的比较器[5，1]，异或门[5，2]和开关[5，3]。异或门 i 的输入与比较器 i-1 和 i 的输出相连，其中 i=2，3，…，(m-1)。对于异或门 1，其中一个输入与逻辑低相连，而另一个与比较器 1 的输出相连。对于异或门 m，其中一个输入 与逻辑高相连，而另一个输入与比较器 m-1 的输出相连。这里将仅有一个开关被接通以便将最大的线性采样电压切换到信号输出端，其中异或门的输出是逻辑高。当所有的采样电压小于 V_r 时，开关 m 将保持接通。采用这种方法，最大的线性采样电压将总是被选出。当输入模拟信号在动态范围之外时，即，所有采样电压大于 V_{max}（为非线性或饱和），开关 1 将保持接通，m 个异或门的输出形成一个 m 比特逻辑标志码，传递给逻辑输出端。

6. 图 6 给出一个低偏移的常数延迟 AC 放大器[6]，举例而言，它可以用于放大 RF 和 IF 无线电信号。注意到低偏移和常数延迟对于用于浮点 A/D 转换器[1]的放大器来说都是很重要的。低偏移是通过放大器端子[6.1]之间的耦合电容[6，2]装置来实现的，该装置阻止了 DC 偏移的传播。通过限制器[6，3]装置可以实现常数延迟，该限制装置

防止放大器端子过电压，因为过电压对于信号下降沿会造成附加的延迟。此外，放大器端子的输入通过限制器接地，这种接地具有较小的（无限状态）或较大的（有限状态）电导使得其 DC 电压保持为地。

7. 图 7 给出低偏移常数延迟自归零放大器[7]。它使得浮点 A/D 转换器转换具有 DC 分量和 AC 分量的信号。常数延迟是通过限制器[7，3]装置实现的，该装置限制了放大器端子的输出幅度以防止它们以及后续端子过电压。每个限制器都放在耦合电容之前[7，2]，因为在放大过程中，放大器端子的输入必须保持浮动。低偏移是通过自归零装置实现的。在自归零阶段的开始，所有放大器端子的输入被输入开关[7，4]和自归零开关[7，5]切换到地，其中输入开关通过时钟 ϕ_1 控制，自归零开关通过时钟 ϕ_2 到 ϕ_x 控制。然后，从端子 2 到最后一个端子，所有端子的输入都被切换为浮动。连续的切换很大程度地降低了贯通电荷的影响。当所有这些输入变为浮动之后，端子 1 的输入被切换到模拟输入。这样，非常类似于仅产生逻辑输出的自归零比较器。问题在于，在调整阶段之后，放大器可能放大具有低偏移的 DC 和 AC 信号，直到浮动输入上的电荷因为泄漏而明显变化为止。

8. 图 8 给出了利用 y+1 个自归零放大器[7]放大 y 个模拟信号的装置。因为自归零放大器需要一个自归零阶段，在该阶段中，它不能放大任何信号，所以用于放大 y 个信号的最小数量的放大器是 y+1 个。这一点是通过以自归零阶段的时间加上后续的调整阶段的时间使 y+1 个自归零放大器的定时失真，从而使得总有 y 个放大器可以用于放大而实现的。输入复用器[8，1]和输出复用器[8，2]通过来自控制信号发生器[8，3]的控制信号来断开不能用于放大 y 个输入和 y 个输出的放大器。同时，可用的放大器被连接到 y 个输入和 y 个输出。y 越大，复用器越复杂。当 y=1 时，利用最简单的复用器，它导致两个放大器共享一个输入和一个输出。

优点：

下面的优点是通过所发明的浮点 A/D 转换器实现的。

1. 独立的宽动态范围。

这是由多个具有宽范围放大系数、分别处理小信号和大信号的放大器实现的。在该方法中，动态范围独立于分辨率，因此，宽动态范

围施加的高分辨率是不必要的。由于在信号变得足够大之前没有涉及任何采样或减法，准确性得以保持，这使得宽动态范围成为可能。

2. 直接线性数字码输出

不象已知的对数放大器方案，浮点 A/D 转换器直接给出线性数字码输出而没有使用任何查找表。

3. 对过程方差不敏感

由于放大系数被无源网络加权，并且有源部分保持相同，对于一个好的实现来说，它对于过程方差不太敏感。

4. 灵活性

由于动态范围和分辨率可以独立设计，本发明很灵活。例如，非常宽的动态范围可以与一比特分辨率组合，反之亦然。

5. 优于自动增益控制系统

在使用自动增益控制的情况下，对快速变化的信号，比较困难的是扩展动态范围和/或全面利用 A/D 转换器的输入范围，对于较大和较小的信号来说，所产生的分辨率是一样的。因此，可以用具有较高性能的浮点 A/D 转换器很好地替换。

6. 低电压供给应用

由于其有效输入范围可以远远大于实际输入范围，浮点 A/D 转换器适于在低功率供给电压施加的小输入范围下工作。

7. 合理的准确性分布

在不同的 A/D 转换器中，准确性沿信号幅度分布更合理，其优点类似于浮点数表示的优点。

放大器的 DC 偏移严重地限制了可获得的准确性。对于无线电 IF 信号，AC 耦合可以有效地除去在[7]中出现的 DC-偏移。然而，对于普遍的 ADC 来说，却是不适用的。过电压造成另一种问题。因为过电压输入而饱和的放大器在其恢复期间将严重扭曲和延迟信号，导致较大的采样误差。可以在输入端采用限制器来防止放大器出现过电压[7]，然而，很难完全消除该问题，下面介绍的方法不同于上面的方法。该方法同时并完全（至少理论上如此）解决两个问题，对于所建议的放大器和 S/H 信道，见图 9。

在图 9 中，C_1 名义上等于 C_2。在采样阶段结束时，电压为

$$V_{C1}=16V_{in}+16V_{off1}-V_{off2} \quad (1)$$

$$V_{C2}=V_{off2} \quad (2)$$

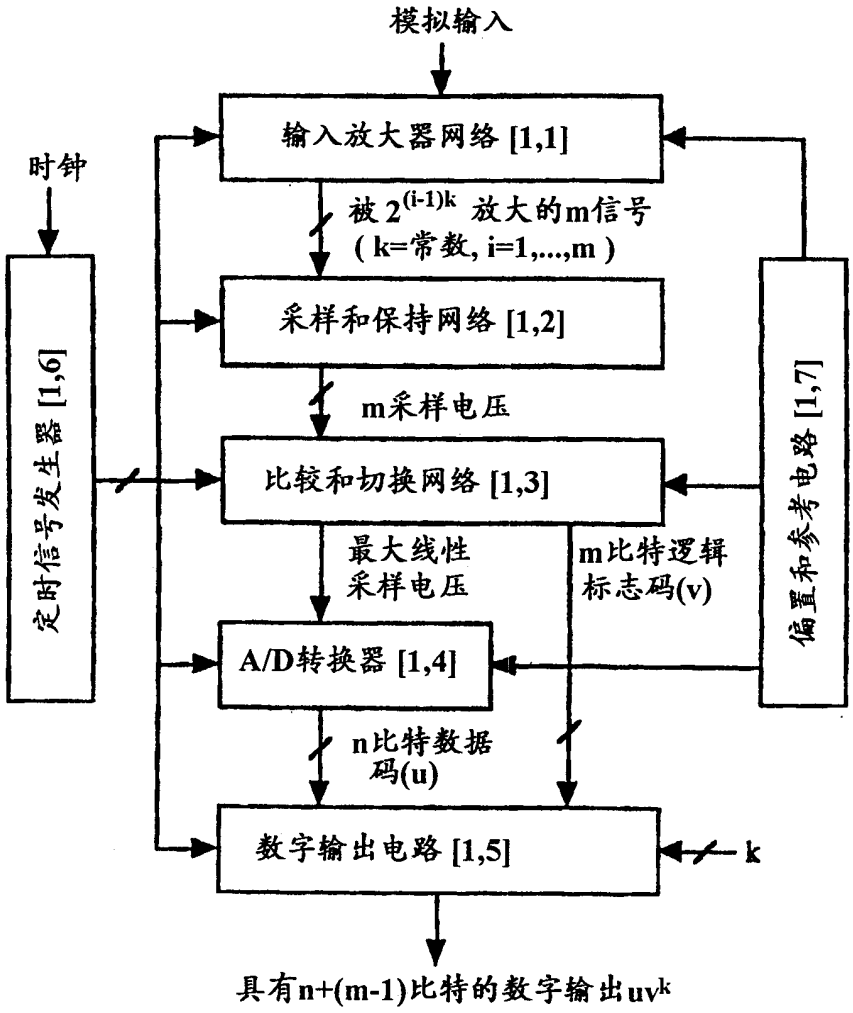
$$V_{out}=V_{off2} \quad (3)$$

其中，V_{off1}和 V_{off2}是 A_1和 A_2的涉及输入的偏移电压。S_5是可选开关，它在保持阶段的开始时期临时将 A_1的输出端与地相连以加速 A_1从饱和状态恢复。在保持阶段，A_2的输入应该仍然为 V_{off2}。由于 $C_1=C_2$，我们有

$$V_{out}=16(V_{in}+V_{off1})-V_{off2}-16V_{off1}+V_{off2}=16V_{in} \quad (4)$$

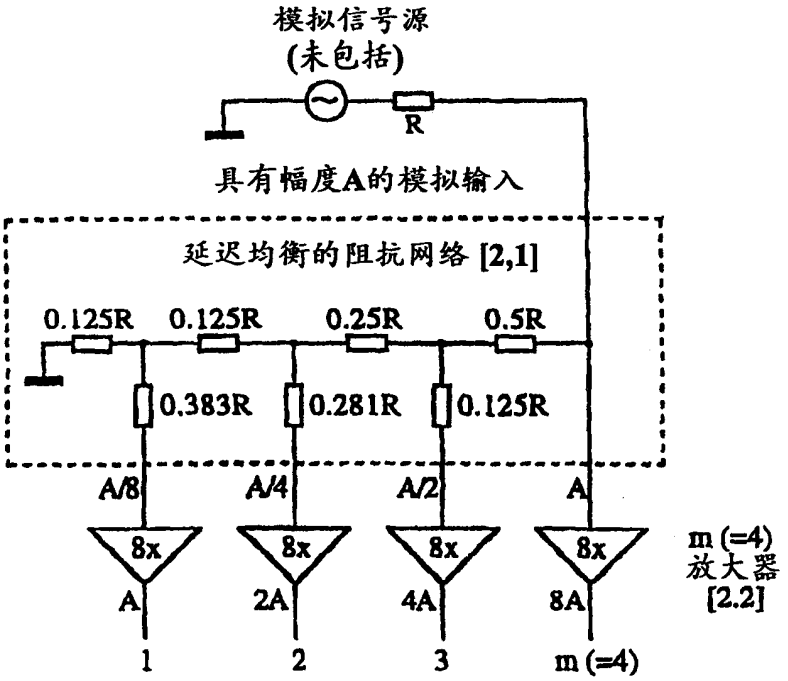
作为结果，A_1和 A_2的偏移电压都被消除。注意到，S_4是仅有的对时钟和通过的电荷敏感的开关。所有其它的开关仅仅与定义好的电压相连，并且并不影响准确性。因此，这是很可行的。此外，在每个采样阶段之后，由于输入 A_1与信号地相连，放大器输入电压总是从最小值开始，这将有效地消除过电压延迟问题。然而，速度将会受 A_1的调整时间影响。为了提高速度，两个放大器（A_1和 A_1'）可被用于每个信道。见图 10。

见图 10，A_1和 A_1'将获得更多的用于信号调整的时间。当切换到保持阶段时，S_5或 S_5'将帮助它们很快地返回到信号地（见用于定时的图 9）。A_1和 A_1'的功率应该保持足够低来限制整个的功率消耗。低电压放大器已经被设计用于此目的，见图 11，输入放大器网络（基于图 2）已经在 0.35umCMOS 处理中实现了。



A 浮点 A/D 转换器 [1]

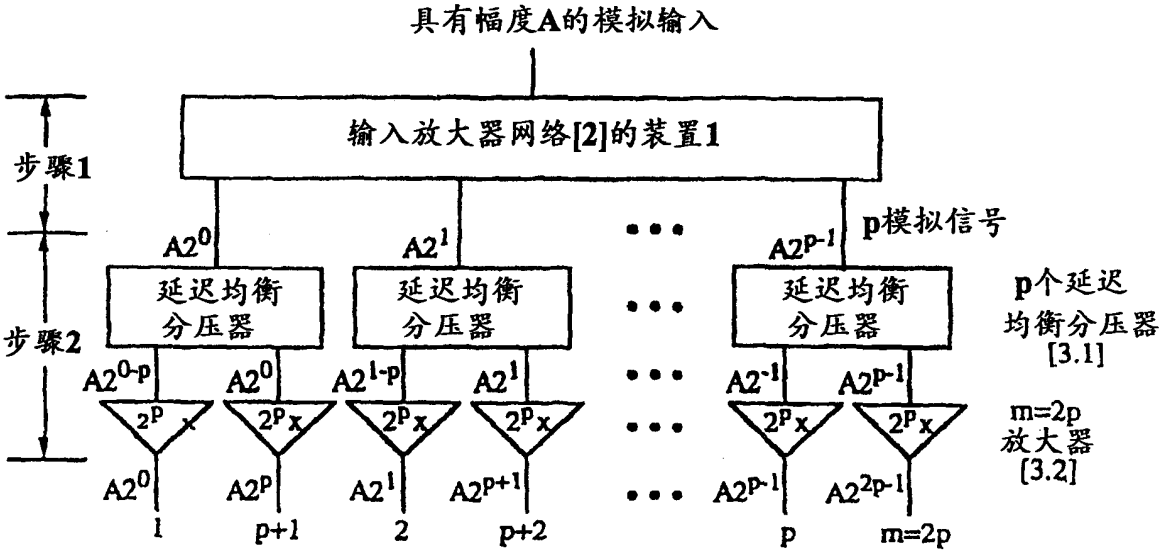
图 1



m(=4)个输出模拟信号
(部分信号可以是非线性的或饱和的)

以m=4和k=1示例的延迟均衡输入放大器网络[2]的装置1

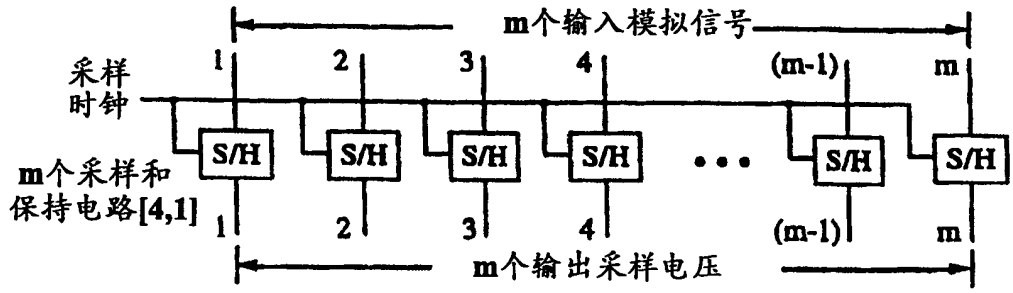
图 2



m=2p输出模拟信号(部分可以是非线性或饱和的)

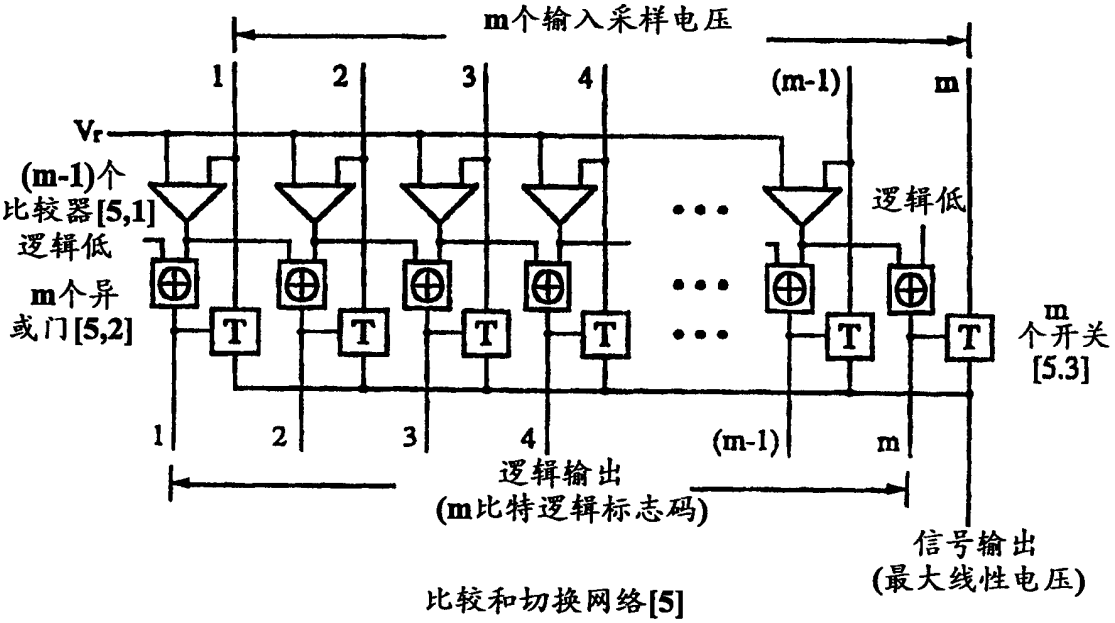
以k=1示例的延迟均衡输入放大器网络[3]的装置2

图 3



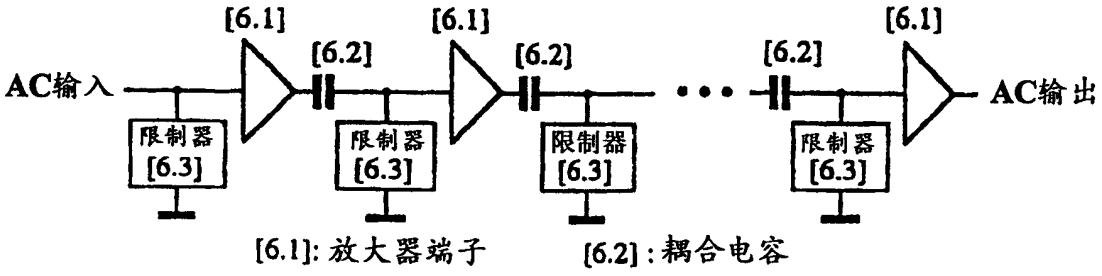
时间均衡采样保持网络[4]

图 4



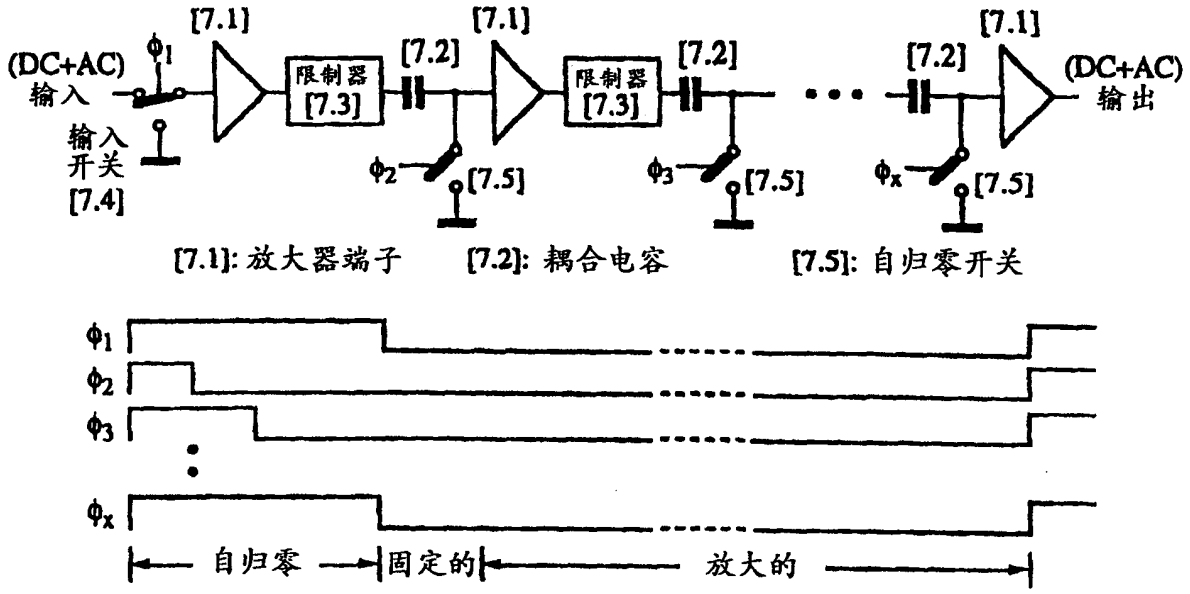
比较和切换网络[5]

图 5



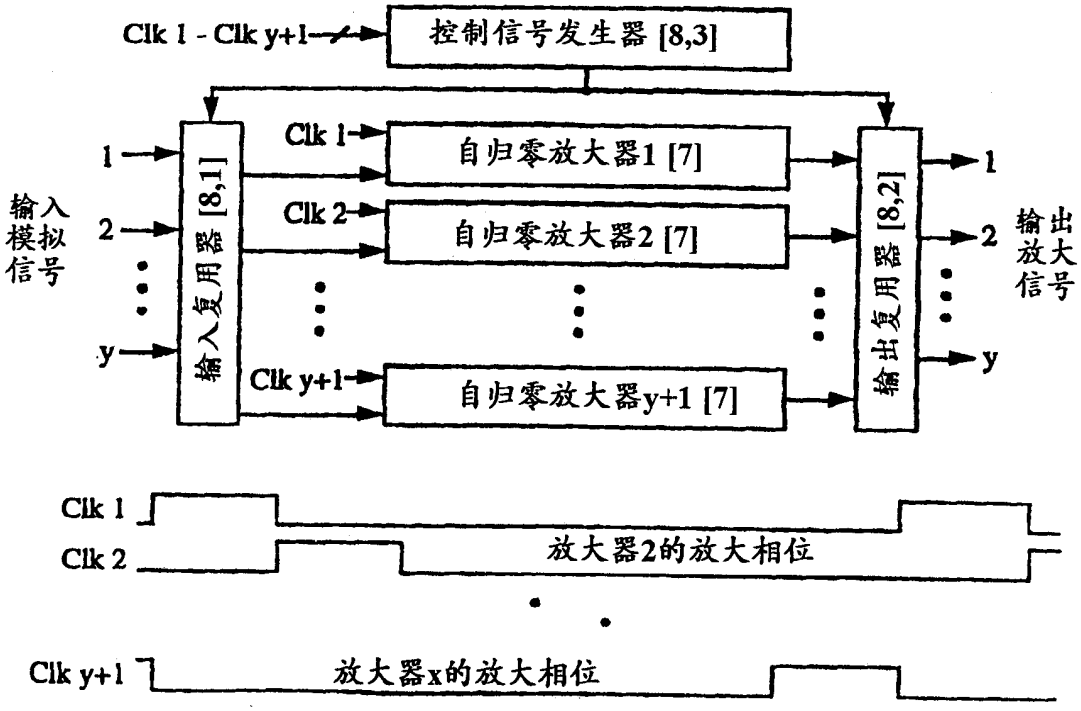
低偏移常数延迟AC放大器[6]

图 6



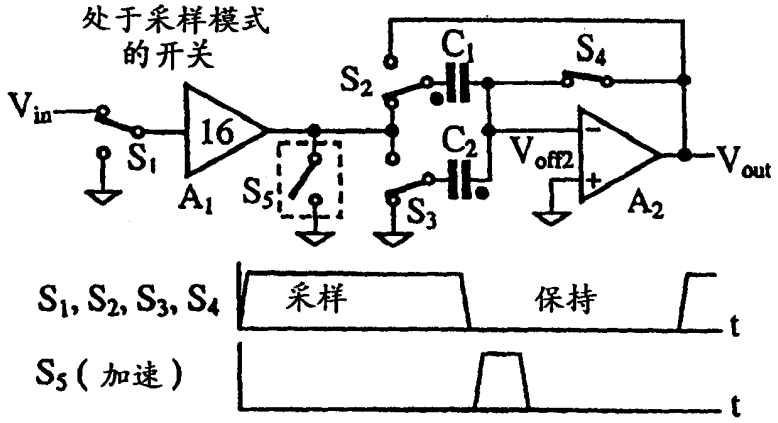
低偏移常数延迟自归零放大器[7]

图 7



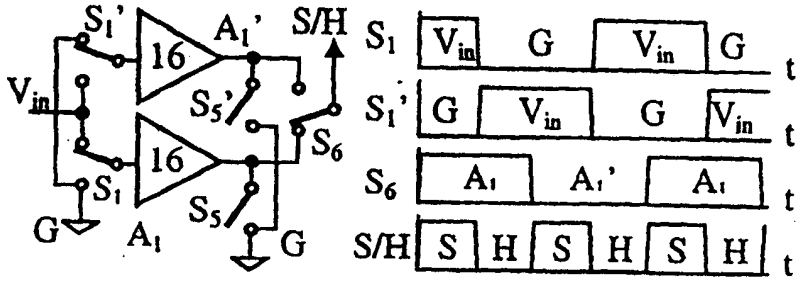
利用y+1个自归零放大器放大y个模拟信号的装置[8]

图 8



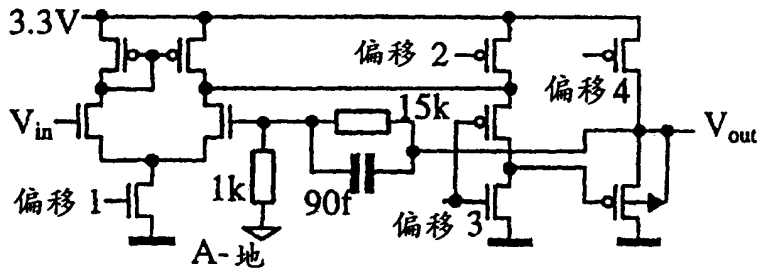
推荐的放大器和S/H信道

图 9



用于每个信道的两个并行放大器

图 10



低功率放大器

图 11