

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

261024

(11) (B1)

(51) Int. Cl.⁴

G 01 R 31/28

(22) Přihlášeno 28 05 86
(21) PV 3895-86.I

(40) Zveřejněno 15 06 88

(45) Vydáno 14 04 89

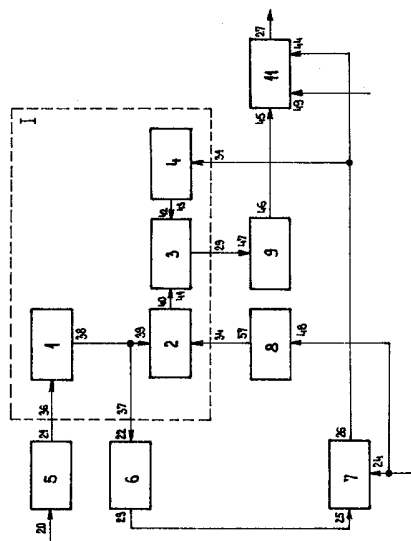
(75)

Autor vynálezu

CHOCHOLÁČ JAROMÍR ing., ROŽNOV pod Radhoštěm

(54) Zapojení pro funkční testování stupnicového děliče kmitočtu a fázového detektoru integrovaného obvodu pro řízení otáček motorků

Zapojení je určené pro funkční testování stupnicového děliče kmitočtu a fázového detektoru integrovaného obvodu pro řízení otáček motorků, sestávajícího z pomocného děliče kmitočtu, komparátoru a vyhodnocovacího obvodu. Zapojení obsahuje dělič kmitočtu, stupnicový dělič kmitočtu, fázový detektor, tachozesilovač, generátor impulsů, převodník úrovně, pomocný dělič kmitočtu, kodér, komparátor a vyhodnocovací obvod, propojené podle obr. a lze využít v automatických testovacích zařízeních jak u výrobce integrovaných obvodů, tak u výrobce finálních výrobků na vstupní kontrolu integrovaných obvodů.



Vynález se týká zapojení pro funkční testování stupnicového děliče kmitočtu a fázového detektoru integrovaného obvodu pro řízení otáček motorků, sestávajícího z pomocného děliče kmitočtu, komparátoru a vyhodnocovacího obvodu.

Monolitický LSI integrovaný obvod je určen pro řízení otáček motorků systémem fázového závěsu. Jedním z prvořadých požadavků při výrobě integrovaného obvodu je zajištění produktivity testování. Využití principů známých z řešení obvodů fázového závěsu pro testování stupnicového děliče kmitočtu a fázového detektoru je nevýhodné pro aplikaci v automatických testovacích zařízeních. Při využití těchto metod jsou nutné analogové smyčky, což s sebou přináší relativně dlouhé doby potřebné pro dosažení stavu fázového závěsu a změření kmitočtu oscilátoru a nelze vyhodnotit chybné počáteční nastavení stupnicového děliče kmitočtu, které se projeví změnou fáze referenčního signálu. Doba potřebná pro úplné otestování stupnicového děliče kmitočtu a fázového detektoru touto metodou se pohybuje kolem 1 s.

Nevýhody odstraňuje zapojení pro funkční testování stupnicového děliče kmitočtu a fázového detektoru integrovaného obvodu pro řízení otáček motorků podle vynálezu, jehož podstata spočívá v tom, že výstup generátoru impulsů, který je opatřen startovacím vstupem, je spojen s prvním vstupem testovaného integrovaného obvodu, jehož první výstup je spojen se vstupem převodníku úrovně, jehož výstup je spojen s prvním vstupem pomocného děliče kmitočtu majícího stejné funkční vlastnosti jako stupnicový dělič kmitočtu dobrého integrovaného obvodu, přičemž jeho výstup je spojen s druhým vstupem testovaného integrovaného obvodu a současně s druhým vstupem vyhodnocovacího obvodu, jehož první vstup je spojen s výstupem komparátoru a jehož výstupem je dáвана informace o kvalitě testovaného integrovaného obvodu, přičemž vstup komparátoru je propojen s druhým výstupem testovaného integrovaného obvodu, jehož třetí vstup je spojen s výstupem kodéru, přičemž řídicí vstup kodéru je propojen s řídicím vstupem pomocného děliče kmitočtu.

Na připojeném výkresu je blokově znázorněno zapojení pro funkční testování integrovaného obvodu pro řízení otáček motorků podle vynálezu.

Testovaný integrovaný obvod I obsahuje dělič 1 kmitočtu, jehož vstup současně tvoří první vstup 36 testovaného integrovaného obvodu I a jehož výstup 38 je spojen s prvním vstupem 39 stupnicového děliče 2 kmitočtu, přičemž druhý vstup současně tvoří třetí vstup 34 testovaného integrovaného obvodu I a výstup 40 stupnicového děliče 2 kmitočtu je spojen s referenčním vstupem 41 fázového detektoru 3, jehož výstup je současně druhým výstupem 29 testovaného integrovaného obvodu I a tachov vstup 42 fázového detektoru 3 je spojen s výstupem 43 tachozesilovače 4, jehož vstup je současně druhým vstupem 31 testovaného integrovaného obvodu I. Výstup 21 generátoru 5 impulsů opatřeného startovacím vstupem 20 je spojen s prvním vstupem 36 testovaného integrovaného obvodu I, jehož první výstup 37 je spojen se vstupem 22 převodníku 6 úrovně, jehož výstup 23 je spojen s prvním vstupem 25 pomocného děliče 7 kmitočtu, přičemž jeho výstup 26 je spojen s druhým vstupem 31 testovaného integrovaného obvodu I a současně s druhým vstupem 44 vyhodnocovacího obvodu 11, jehož třetí vstup 49 slouží k inicializaci vyhodnocovacího obvodu 11 a jehož první vstup 45 je spojen s výstupem 46 komparátoru 9, přičemž výstupem 27 vyhodnocovacího obvodu 11 je dáвана informace o kvalitě testovaného integrovaného obvodu a vstup 47 komparátoru 9 je propojen s druhým výstupem 29 testovaného integrovaného obvodu I, jehož třetí vstup 34 je spojen s výstupem 57 kodéru 8, přičemž řídicí vstup 48 kodéru 8 je propojen s řídicím vstupem 24 pomocného děliče 7 kmitočtu.

Princip testování integrovaného obvodu je následující: Přes tříbitový řídicí vstup 24 inicializujeme pomocný dělič 7 kmitočtu, přes tříbitový řídicí vstup 48, pomocí kodéru 8 inicializujeme přes dvoubitový vstup 34 testovaný integrovaný obvod I a přes vstup 49 vyhodnocovací obvod 11. Potom rovněž přes řídicí vstup 24 a řídicí vstup 48 nastavíme požadovaný dělicí poměr pomocného děliče 7 kmitočtu a stupnicového děliče 2 kmitočtu uvnitř testovaného integrovaného obvodu I. Pomocí startovacího vstupu 20 spustíme generátor 5 impulsů, který budí přes vstup 36 dělič 1 kmitočtu, z jehož výstupu 38 je buzen vstup 39

stupnicového děliče 2 kmitočtu a současně přes výstup 37 testovaného integrovaného obvodu I je signál přiveden na vstup 22 převodníku 6 úrovně, z jehož výstupu 23 je přes vstup 25 buzen pomocný dělič 7 kmitočtu, z jehož výstupu 26 je signál přiveden na druhý vstup 31 testovaného integrovaného obvodu I a současně na druhý vstup 44 vyhodnocovacího obvodu 11. Tímto zapojením je zajištěno shodné buzení referenčního vstupu 41 a tachu vstupu 42 fázového detektoru 3. Výstup 29 testovaného integrovaného obvodu I je současně výstupem fázového detektoru 3 a je spojen se vstupem 47 komparátoru 9, jehož výstup 46 je spojen se vstupem 45 vyhodnocovacího obvodu 11. U dobrého integrovaného obvodu je po inicializaci výstup 29 ve stavu odpovídajícímu stavu fázového závěsu. Komparátor 9 monitoruje tento stav a při jeho změně překloupí. Vyhodnocovací obvod 11 vyhodnocuje změnu stavu komparátoru po dobu dvou period signálu na výstupu 26 pomocného děliče 7 kmitočtu. Vyhodnocovací časový interval je odvozen ze signálu přivedeného na vstup 44 vyhodnocovacího obvodu 11. Vyhodnocovací obvod 11 na svém výstupu 27 dává informaci o hodnocení testovaného integrovaného obvodu systémem dobrý/vadný. Testovací postup se opakuje pro všechny dělicí poměry stupnicového děliče 2 kmitočtu. Doba potřebná pro úplné otestování stupnicového děliče 2 a fázového detektoru 3 v zapojení podle vynálezu je 0,12 s při frekvenci generátoru 5 impulsů rovné 4 MHz. Další výhodou je snadné vyhodnocení chybného počátečního nastavení stupnicového děliče kmitočtu projevující se změnou fáze referenčního signálu. Rozdílná fáze referenčního a tachu signálu způsobí změnu na výstupu 29 testovaného integrovaného obvodu I, v důsledku které dojde k překloupení komparátoru 9 a vyhodnocovací obvod 11 vyhodnotí testovaný integrovaný obvod I jako vadný.

Zapojení pro funkční testování integrovaného obvodu pro řízení otáček motorků lze využít v automatických testovacích zařízeních jak u výrobce integrovaných obvodů, tak u výrobce finálních výrobků na vstupní kontrolu integrovaných obvodů. Využití zapojení podle vynálezu zvýší produktivitu testování.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro funkční testování stupnicového děliče kmitočtu a fázového detektoru integrovaného obvodu pro řízení otáček motorků, vyznačující se tím, že výstup (21) generátoru (5) impulsů, který je opatřen startovacím vstupem (20), je spojen s prvním vstupem (36) testovaného integrovaného obvodu (I), jehož první výstup (37) je spojen se vstupem (22) převodníku (6) úrovně, jehož výstup (23) je spojen s prvním vstupem (25) pomocného děliče (7) kmitočtu majícího stejné funkční vlastnosti jako stupnicový dělič (2) kmitočtu dobrého integrovaného obvodu, přičemž jeho výstup (26) je spojen s druhým vstupem (31) testovaného integrovaného obvodu a současně s druhým vstupem (44) vyhodnocovacího obvodu (11), jehož první vstup (45) je spojen s výstupem (46) komparátoru (9), přičemž vstup (47) komparátoru (9) je propojen s druhým výstupem (29) testovaného integrovaného obvodu, jehož třetí vstup (34) je spojen s výstupem kodéru (8), přičemž řídicí vstup (48) kodéru (8) je propojen s řídicím vstupem (24) pomocného děliče (7) kmitočtu.

261024

