(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 3 月 4 日(04.03.2010)

PCT

(10) 国際公開番号
WO 2010/024433 A1

(51) 国際特許分類:
*H01L 21/336* (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2009/065171

(22) 国際出願日: 2009 年 8 月 31 日(31.08.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-223370 2008 年 9 月 1 日(01.09.2008) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中嶋 俊雄 (NAKAJIMA, Toshio) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001 東京都港区虎ノ門一丁目２番８号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

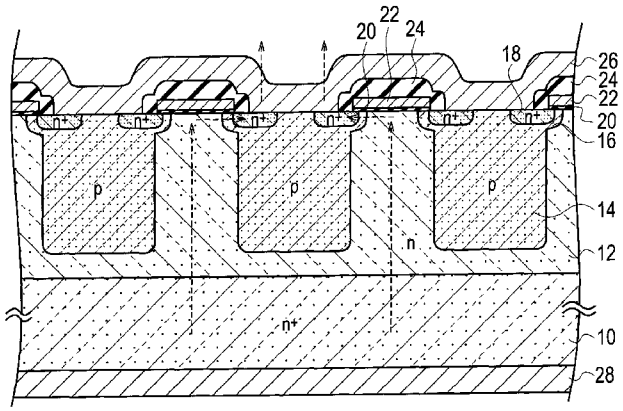
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称 : 半導体装置およびその製造方法

[図1]




(57) **Abstract**: Provided are a semiconductor device and a manufacturing method thereof by which reverse recovery time can be reduced without increasing leakage current between the drain and the source. With the semiconductor device and manufacturing method thereof, a first base layer (12), a drain layer (10) that is provided on the back surface of the first base layer (12), second base layers (16) that are formed on the front surface of the first base layer (12), source layers (18) that are formed on the front surfaces of the second base layers (16), gate insulating films (20) that are disposed on the front surfaces of the source layers (18) and the second base layers (16), gate electrodes (22) that are disposed on the gate insulating films (20), column layers (14) that are formed inside the first base layer (12) below the second base layers (16) and the source layers (18) so as to face the drain layer (10), a drain electrode (28) that is provided on the drain layer (10), and a source electrode (26) that is provided on the source layers and the second base layers are provided. The column layers (14) are irradiated with baryons and trap levels are formed locally.

(57) 要約:

[続葉有]

WO 2010/024433 A1

ドレイン・ソース間のリーク電流を増大させずに逆回復時間を短縮する半導体装置およびその製造方法を提供する。　第１ベース層（１２）と、第１ベース層（１２）の裏面に設けられたドレイン層（１０）と、第１ベース層（１２）の表面に形成された第２ベース層（１６）と、第２ベース層（１６）の表面に形成されたソース層（１８）と、ソース層（１８）および第２ベース層（１６）の表面上に配置されたゲート絶縁膜（２０）と、ゲート絶縁膜（２０）上に配置されたゲート電極（２２）と、第２ベース層（１６）およびソース層（１８）の下部の第１ベース層（１２）内にドレイン層（１０）に対向して形成されたコラム層（１４）と、ドレイン層（１０）に設けられたドレイン電極（２８）と、ソース層および第２ベース層に設けられたソース電極（２６）とを備え、コラム層（１４）に対して重粒子照射を行い、トラップレベルを局所的に形成した半導体装置およびその製造方法。

# 明　細　書

## 発明の名称 ： 半導体装置およびその製造方法

## 技術分野

[0001] 本発明は、半導体装置およびその製造方法に関し、特に、スーパージャンクションＭＯＳ（Metal Oxide Semiconductor）構造を備える半導体装置およびその製造方法に関する。

## 背景技術

[0002] ＭＯＳ電界効果トランジスタ（ＦＥＴ： Field Effect transistor）をブリッジ回路に構成する場合、３つの損失低減が要求される。

[0003] 第１の損失は、オン損失である。オン損失は、ＭＯＳＦＥＴのチャネル通して電流が流れることに伴う損失であり、ＭＯＳＦＥＴのオン抵抗の低減が要求される。

[0004] 第２の損失は、ターンオンスイッチングに伴うスイッチング損失である。ターンオンスイッチングに伴うスイッチング損失を低減するためには、ＭＯＳＦＥＴのゲート感度を増大させてターンオンスイッチングに必要なゲート電荷量Ｑｇを削減して、ターンオンスイッチング時間を短縮することが要求される。

[0005] 第３の損失は、ターンオフスイッチングに伴うスイッチング損失であり、貫通損失と呼ばれる。貫通損失を低減するためには、ＭＯＳＦＥＴの逆回復時間（Reverse Recovery Time）ｔｒｒを短縮し、ターンオフスイッチング時間を短縮することが要求される。

[0006] 従来例に係る半導体装置として、プレーナ構造のＭＯＳＦＥＴは、図１１に示すように、高抵抗で第１導電型の第１ベース層１２と、第１ベース層１２の裏面に設けられた第１導電型のドレイン層１０と、第１ベース層１２の表面に形成された第２導電型の第２ベース層１６と、第２ベース層１６の表面に形成された第１導電型のソース層１８と、ソース層１８および第２ベース層１６の表面上に配置されたゲート絶縁膜２０と、ゲート絶縁膜２０上に

配置されたゲート電極２２と、ゲート電極２２上に配置された層間絶縁膜２４とを備える。ドレイン層１０に設けられたドレイン電極と、ソース層１８および第２ベース層１６上に設けられたソース電極については、図１２では表示を省略している。

[0007] 従来例に係る半導体装置のスイッチング波形例を図１２に示す。

[0008] スーパージャンクションＭＯＳ構造を備えるＭＯＳＦＥＴは、従来のプレーナ構造のＭＯＳＦＥＴに比べ、スイッチング損失およびオン損失の点では優れた性能を示すが、貫通損失の点で性能が劣っている。

[0009] すなわち、スーパージャンクションＭＯＳＦＥＴでは、第２ベース層１６およびソース層１８の下部の第１ベース層１２内にドレイン層１０に対向して形成された第２導電型のコラム層を備える。このため、オン抵抗は低減化され、かつゲート感度が増大し、ターンオンスイッチングに必要なゲート電荷量Ｑｇが削減されて、ターンオンスイッチング時間が短縮される。一方、このコラム層を備えるため、ｐｎ接合面積が増大し、逆回復時間ｔｒｒが増大し、ターンオフスイッチング時間を増大する。ここで、ゲート電荷量Ｑｇは、例えば、ゲート・ソース間電圧$V_{GS}$が１０Ｖに到達するのに必要な電荷量と定義される。

[0010] 一般的に、逆回復時間ｔｒｒを短縮するための技術として、重金属の拡散を用いる方法と、電子線を照射する方法がある。これらの方法によれば、逆回復時間ｔｒｒを短縮することはできるが、トラップレベルの形成の制御性が悪いため、ドレイン・ソース間のリーク電流が増大するという問題がある。

[0011] また、絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ:Insulated Gate Bipolar Transistor）において、局所的にライフタイム制御された層を形成する技術は、既に提案されている（例えば、特許文献１参照。）。

[0012] また、ＩＧＢＴにおいて、アルミニウムで形成されたソース電極を配線として用いると共に、電子線照射のマスクとして用いることによって、所定の領域にのみ電子線を照射する技術についても、既に開示されている（例えば

、特許文献２参照。）。

## 先行技術文献

## 特許文献

[0013] 特許文献1：特開平１０－２４２１６５号公報（第１図、第３－４頁）

特許文献2：特開平１０－２７０４５１号公報（第１図、第４頁）

## 発明の概要

## 発明が解決しようとする課題

[0014] 本発明の目的は、ドレイン・ソース間のリーク電流を増大させずに逆回復時間ｔｒｒを短縮するスーパージャンクションＭＯＳ構造を備える半導体装置およびその製造方法を提供することにある。

## 課題を解決するための手段

[0015] 上記目的を達成するための本発明の一態様によれば、高抵抗で第１導電型の第１ベース層と、前記第１ベース層の裏面に設けられた第１導電型のドレイン層と、前記第１ベース層の表面に形成された第２導電型の第２ベース層と、前記第２ベース層の表面に形成された第１導電型のソース層と、前記ソース層および前記第２ベース層の表面上に配置されたゲート絶縁膜と、前記ゲート絶縁膜上に配置されたゲート電極と、前記第２ベース層および前記ソース層の下部の前記第１ベース層内に前記ドレイン層に対向して形成された第２導電型のコラム層と、前記ドレイン層に設けられたドレイン電極と、前記ソース層および前記第２ベース層に設けられたソース電極とを備え、前記コラム層に対して重粒子照射を行い、トラップレベルを局所的に形成した半導体装置が提供される。

[0016] 本発明の他の態様によれば、高抵抗で第１導電型の第１ベース層を形成する工程と、前記第１ベース層の裏面に第１導電型のドレイン層を形成する工程と、前記第１ベース層の表面に第２導電型の第２ベース層を形成する工程と、前記第２ベース層の表面に第１導電型のソース層を形成する工程と、前記ソース層および前記第２ベース層の表面上にゲート絶縁膜を形成する工程

と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記第２ベース層および前記ソース層の下部の前記第１ベース層内に前記ドレイン層に対向して第２導電型のコラム層を形成する工程と、前記ドレイン層にドレイン電極を形成する工程と、前記ソース層および前記第２ベース層にソース電極を形成する工程と、前記コラム層に対して重粒子照射を行い、トラップレベルを局所的に形成する工程とを有する半導体装置の製造方法が提供される。

## 発明の効果

[0017] 本発明によれば、ドレイン・ソース間のリーク電流を増大させずに逆回復時間ｔｒｒを短縮するスーパージャンクションＭＯＳ構造を備える半導体装置およびその製造方法を提供することができる。

## 図面の簡単な説明

[0018] [図1]本発明の第１の実施の形態に係る半導体装置の模式的断面構造図。

[図2]本発明の第１の実施の形態に係る半導体装置の模式的鳥瞰図。

[図3]本発明の第１の実施の形態に係る半導体装置の模式的平面パターン構成図。

[図4]本発明の第１の実施の形態に係る半導体装置の別の模式的平面パターン構成図。

[図5]本発明の第１の実施の形態に係る半導体装置の比較例のスイッチング波形例。

[図6]本発明の第１の実施の形態に係る半導体装置に裏面から$^{3}He^{++}$をイオン照射する場合の照射狙い位置とデバイス構造との関係を説明する模式的断面構造図。

[図7]本発明の第１の実施の形態に係る半導体装置において、ドレイン・ソース間飽和電流$I_{DSS}$とコラム層の底面からの距離との関係を示す図。

[図8]本発明の第１の実施の形態に係る半導体装置において、逆回復時間ｔｒｒとコラム層の底面からの距離との関係を示す図。

[図9]本発明の第１の実施の形態に係る半導体装置において、逆回復時間ｔｒｒおよびドレイン・ソース間飽和電流$I_{DSS}$とコラム層の底面からの距離との関

係を示す模式図。

[図10]本発明の第１の実施の形態に係る半導体装置において、不純物密度Ｎ、抵抗率、およびシート抵抗Ｒとコラム層の底面からの距離との関係を示す図。

[図11]従来例に係る半導体装置の模式的鳥瞰図。

[図12]従来例に係る半導体装置のスイッチング波形例。

## 発明を実施するための形態

[0019] 次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一　次に、図面を参照して、本発明の実施の形態を説明する。以下において、同じブロックまたは要素には同じ符号を付して説明の重複を避け、説明を簡略にする。図面は模式的なものであり、現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0020] 以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、各構成部品の配置などを下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

[0021] [第１の実施の形態]

（素子構造）

本発明の第１の実施の形態に係る半導体装置の模式的断面構造は、図１に示すように表される。また、第１の実施の形態に係る半導体装置の模式的鳥瞰構造は、図２に示すように表される。

[0022] 第１の実施の形態に係る半導体装置は、図１～図２に示すように、高抵抗でｎ型不純物をドープされた第１ベース層１２と、第１ベース層１２の裏面に設けられ、ｎ型不純物をドープされたドレイン層１０と、第１ベース層１２の表面に形成され、ｐ型不純物をドープされた第２ベース層１６と、第２ベース層１６の表面に形成され、ｎ型不純物をドープされたソース層１８と、ソース層１８および第２ベース層１６の表面上に配置されたゲート絶縁膜

２０と、ゲート絶縁膜２０上に配置されたゲート電極２２と、第２ベース層１６およびソース層１８の下部の第１ベース層１２内にドレイン層１０に対向して形成され、ｐ型不純物をドープされたコラム層１４と、ドレイン層１０に設けられたドレイン電極２８と、ソース層１８および第２ベース層１６に設けられたソース電極２６とを備える。ゲート電極２２上には、層間絶縁膜２４が配置されている。図１に示される破線は、ドレイン・ソース間に導通する電流を表す。

[0023] 第１の実施の形態に係る半導体装置においては、コラム層１４に対して重粒子照射を行い、トラップレベルを局所的に形成している。

[0024] ｎ型不純物としては、例えば、Ｐ、Ａｓ、Ｓｂなどを適用することができ、ｐ型不純物は、例えば、Ｂ、Ａｌ、Ｇａなどを適用することができる。これらの不純物は、拡散技術若しくはイオン注入技術を用いて各層にドーピングすることができる。

[0025] ゲート絶縁膜２０としては、例えば、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、ハフニウム酸化膜、アルミナ膜、タンタル酸化膜などを適用することができる。

[0026] ゲート電極２２としては、例えば、ポリシリコンを適用することができ、ドレイン電極２８とソース電極２６には、例えば、アルミニウムを適用することができる。

[0027] 層間絶縁膜２４としては、例えば、シリコン酸化膜、シリコン窒化膜、ＴＥＯＳ（テトラエトキシシラン）膜などを適用することができる。

[0028] 第１の実施の形態に係る半導体装置の模式的平面パターン構成は、図２の例では、矩形パターンを基調として、格子状に配置した例を示す。これに対して、例えば、図３に示すように、矩形パターンを基調として、千鳥格子状に配置しても良く、また、図４に示すように、六角形パターンを基調として、千鳥格子状に配置しても良い。さらに、平面パターン構成は、矩形、六角形に限らず、円形、楕円形、５角形、７角形以上の多角形などを基調とするものであっても良い。図３および図４においては、いずれも第１ベース層１

２、コラム層１４、第２ベース層１６、ソース層１８などの半導体層のパターンを模式的に示し、ゲート電極２２、ソース電極２６などは表示を省略している。

[0029] 第１の実施の形態に係る半導体装置において、重粒子照射によるライフタイム制御を実施しない比較例におけるスイッチング波形例を、図５に示す。図５の結果によれば、逆回復時間ｔｒｒは、１６０ｎｓｅｃであり、図１２に示す従来例の１３０ｎｓｅｃよりも長い。

[0030] 第１の実施の形態に係る半導体装置に裏面から$^{3}He^{++}$イオンを照射（ＩＲ：Irradiation）する場合の照射狙い位置とデバイス構造との関係を説明する模式的断面構造は、図６に示すように表される。

[0031] 図６において、ＷＡは、半導体装置の裏面から測ったドレイン層１０の厚さを示す。また、ＷＢは、半導体装置の裏面から測ったコラム層１４の底面までの距離を示す。図６の例では、ＷＡ＝２０８μｍ、ＷＢ＝２２０μｍである。

[0032] また、図６に示すように、コラム層１４の底面を基準とし、ソース電極２６の方向を正方向、ドレイン層１０の方向を負方向として、座標を定義する。照射狙い位置は、半導体装置の裏面から照射する重粒子イオンの飛程の減衰ピーク位置として定義され、上記の座標上で表すことができる。

[0033] （実験結果）

第１の実施の形態に係る半導体装置において、ドレイン・ソース間飽和電流$I_{DSS}$と減衰ピーク位置に対応するコラム層１４の底面からの距離との関係は、図７に示すように表される。図７においては、$^{3}He^{++}$イオンのドーズ量を１×１０$^{12}$個／ｃｍ$^{2}$、５×１０$^{12}$個／ｃｍ$^{2}$とした場合を示す。

[0034] また、第１の実施の形態に係る半導体装置において、逆回復時間ｔｒｒと減衰ピーク位置に対応するコラム層１４の底面からの距離との関係は、図８に示すように表される。図８においても、$^{3}He^{++}$イオンのドーズ量を１×１０$^{12}$個／ｃｍ$^{2}$、５×１０$^{12}$個／ｃｍ$^{2}$とした場合を示す。

[0035] 図７から明らかなように、ドレイン・ソース間飽和電流$I_{DSS}$の値は、減衰ピ

ーク位置に対応するコラム層１４の底面からの距離が増加するにつれて、減少する傾向がある。また、図８から明らかなように、逆回復時間ｔｒｒは、減衰ピーク位置に対応するコラム層１４の底面からの距離が増加するにつれて、増加する傾向がある。

[0036] 第１の実施の形態に係る半導体装置において、逆回復時間ｔｒｒおよびドレイン・ソース間飽和電流$I_{DSS}$とコラム層１４の底面からの距離との関係を図９に模式的に示す。

[0037] 第１の実施の形態に係る半導体装置において、コラム層１４の底面を基準とし、コラム層１４の底面からの距離と逆回復時間ｔｒｒとの関係より求めた第１の位置ＰＢと、コラム層１４の底面からの距離とドレイン・ソース間飽和電流$I_{DSS}$との関係より求めた第２の位置ＰＡとの間に、重粒子照射の減衰ピーク位置が含まれるように、重粒子照射を実施することによって、逆回復時間$t_0$よりも短い逆回復時間ｔｒｒを有し、ドレイン・ソース間飽和電流$I_0$よりも小さいドレイン・ソース間飽和電流$I_{DSS}$を有する半導体装置を得ることができる。図９において、曲線Ｄは、逆回復時間$t_0$よりも短い逆回復時間ｔｒｒを有し、ドレイン・ソース間飽和電流$I_0$よりも小さいドレイン・ソース間飽和電流$I_{DSS}$を有する半導体装置を得るための、重粒子照射の減衰ピーク曲線を表す。

[0038] ここで、第１の位置ＰＢは、逆回復時間$t_0$に対応する重粒子照射の減衰ピーク位置である。また、第２の位置ＰＡは、ドレイン・ソース間飽和電流$I_0$に対応する重粒子照射の減衰ピーク位置である。例えば、逆回復時間$t_0$として８０ｎｓｅｃ、ドレイン・ソース間飽和電流$I_0$として、１μＡとした場合、逆回復時間$t_{rr} < t_0 = 80$ｎｓｅｃでかつ、ドレイン・ソース間飽和電流$I_{DSS} < I_0 = 1$μＡの半導体装置を得ることができる。

[0039] ここで、重粒子照射する粒子種は、例えば、プロトン、$^{3}He^{++}$、$^{4}He^{++}$のいずれかを採用することができる。重粒子照射する粒子種として、$^{4}He^{++}$を使用する場合、薄い基板からなるドレイン層１０を採用することが望ましい。

[0040] また、重粒子照射のドーズ量は、例えば、$5 \times 10^{10}$～$5 \times 10^{12}$個／$cm^2$

の範囲に設定することができる。

[0041] 第１の実施の形態に係る半導体装置において、不純物密度Ｎ、抵抗率ρ、およびシート抵抗Ｒとコラム層１４の底面からの距離との関係を図１０に示す。重粒子照射の減衰ピーク曲線の傾向に対応して、抵抗率ρ、およびシート抵抗Ｒが増大するピーク特性を示し、不純物密度Ｎは、減少するピーク特性を示している。

[0042] （製造方法）

第１の実施の形態に係る半導体装置の製造方法は、図１～図２に示すように、高抵抗で第１導電型の第１ベース層１２を形成する工程と、第１ベース層１２の裏面に第１導電型のドレイン層１０を形成する工程と、第１ベース層１２の表面に第２導電型の第２ベース層１６を形成する工程と、第２ベース層１６の表面に第１導電型のソース層１８を形成する工程と、ソース層１８および第２ベース層１６の表面上にゲート絶縁膜２０を形成する工程と、ゲート絶縁膜２０上にゲート電極２２を形成する工程と、第２ベース層１６およびソース層１８の下部の第１ベース層１２内にドレイン層１０に対向して第２導電型のコラム層１４を形成する工程と、ドレイン層１０にドレイン電極２８を形成する工程と、

前記ソース層および前記第２ベース層にソース電極を形成する工程と、コラム層１４に対して重粒子照射を行い、トラップレベルを局所的に形成する工程とを有する。

[0043] トラップレベルを局所的に形成する工程は、図９に示すように、コラム層１４の底面を基準とし、コラム層１４の底面からの距離と逆回復時間ｔｒｒとの関係より第１の位置ＰＢを決定する工程と、コラム層１４の底面からの距離とドレイン・ソース間飽和電流$I_{DSS}$との関係より求めた第２の位置ＰＡを決定する工程と、第１の位置ＰＢと第２の位置ＰＡとの間に減衰ピーク位置が含まれるように重粒子照射を実施する工程とを有する。

[0044] 第１の実施の形態によれば、ドレイン・ソース間飽和電流$I_{DSS}$およびゲート・ソース間しきい値電圧の劣化を抑制しつつ、内蔵ダイオードの逆回復特性

の向上を実現することができる。これによって、スイッチングロスの低減と、ダイオード逆回復損失の低減が可能となった。

[0045] 第１の実施の形態によれば、ドレイン・ソース間のリーク電流を増大させずに逆回復時間ｔｒｒを短縮するスーパージャンクションＭＯＳ構造を備える半導体装置およびその製造方法を提供することができる。

[0046] [その他の実施の形態]

上記のように、本発明は第１の実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

[0047] このように、本発明はここでは記載していない様々な実施の形態などを含む。

## 産業上の利用可能性

[0048] 本発明の半導体装置は、高耐圧ＭＯＳＦＥＴを使用するブリッジ回路、ＬＣＤインバータ、モータ、自動車用ＨＩＤ（High Intensity Discharge lamp）ヘッドライト点灯装置などに適用可能である。

## 符号の説明

[0049] １０…ドレイン層

１２…第１ベース層

１４…コラム層

１６…第２ベース層

１８…ソース層

２０…ゲート絶縁膜

２２…ゲート電極

２４…層間絶縁膜

２６…ソース電極

２８…ドレイン電極

# 請求の範囲

[請求項1] 高抵抗で第１導電型の第１ベース層と、

前記第１ベース層の裏面に設けられた第１導電型のドレイン層と、

前記第１ベース層の表面に形成された第２導電型の第２ベース層と、

前記第２ベース層の表面に形成された第１導電型のソース層と、

前記ソース層および前記第２ベース層の表面上に配置されたゲート絶縁膜と、

前記ゲート絶縁膜上に配置されたゲート電極と、

前記第２ベース層および前記ソース層の下部の前記第１ベース層内に前記ドレイン層に対向して形成された第２導電型のコラム層と、

前記ドレイン層に設けられたドレイン電極と、

前記ソース層および前記第２ベース層に設けられたソース電極とを備え、

前記コラム層に対して重粒子照射を行い、トラップレベルを局所的に形成したことを特徴とする半導体装置。

[請求項2] 前記コラム層の底面を基準とし、前記コラム層の底面からの距離と逆回復時間との関係より求めた第１の位置と、前記コラム層の底面からの距離とドレイン・ソース間飽和電流との関係より求めた第２の位置との間に、前記イオン照射の減衰ピーク位置が含まれることを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記重粒子照射する粒子種は、プロトン、$^{3}He^{++}$、$^{4}He^{++}$のいずれかであることを特徴とする請求項１または２に記載の半導体装置。

[請求項4] 前記重粒子照射のドーズ量は、$5\times10^{10}$～$5\times10^{12}$個／$cm^{2}$であることを特徴とする請求項１～３のいずれか１項に記載の半導体装置。

[請求項5] 前記第１ベース層、前記第２ベース層、および前記ソース層は、矩形若しくは六角形を基調とする平面パターンを格子状、若しくは千鳥

格子状に配置したことを特徴とする請求項１～４のいずれか１項に記載の半導体装置。

[請求項6] 高抵抗で第１導電型の第１ベース層を形成する工程と、

前記第１ベース層の裏面に第１導電型のドレイン層を形成する工程と、

前記第１ベース層の表面に第２導電型の第２ベース層を形成する工程と、

前記第２ベース層の表面に第１導電型のソース層を形成する工程と、

前記ソース層および前記第２ベース層の表面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記第２ベース層および前記ソース層の下部の前記第１ベース層内に前記ドレイン層に対向して第２導電型のコラム層を形成する工程と、

前記ドレイン層にドレイン電極を形成する工程と、

前記ソース層および前記第２ベース層にソース電極を形成する工程と、

前記コラム層に対して重粒子照射を行い、トラップレベルを局所的に形成する工程と

を有することを特徴とする半導体装置の製造方法。

[請求項7] 前記トラップレベルを局所的に形成する工程は、

前記コラム層の底面を基準とし、前記コラム層の底面からの距離と逆回復時間との関係より第１の位置を決定する工程と、

前記コラム層の底面からの距離とドレイン・ソース間飽和電流との関係より求めた第２の位置を決定する工程と、

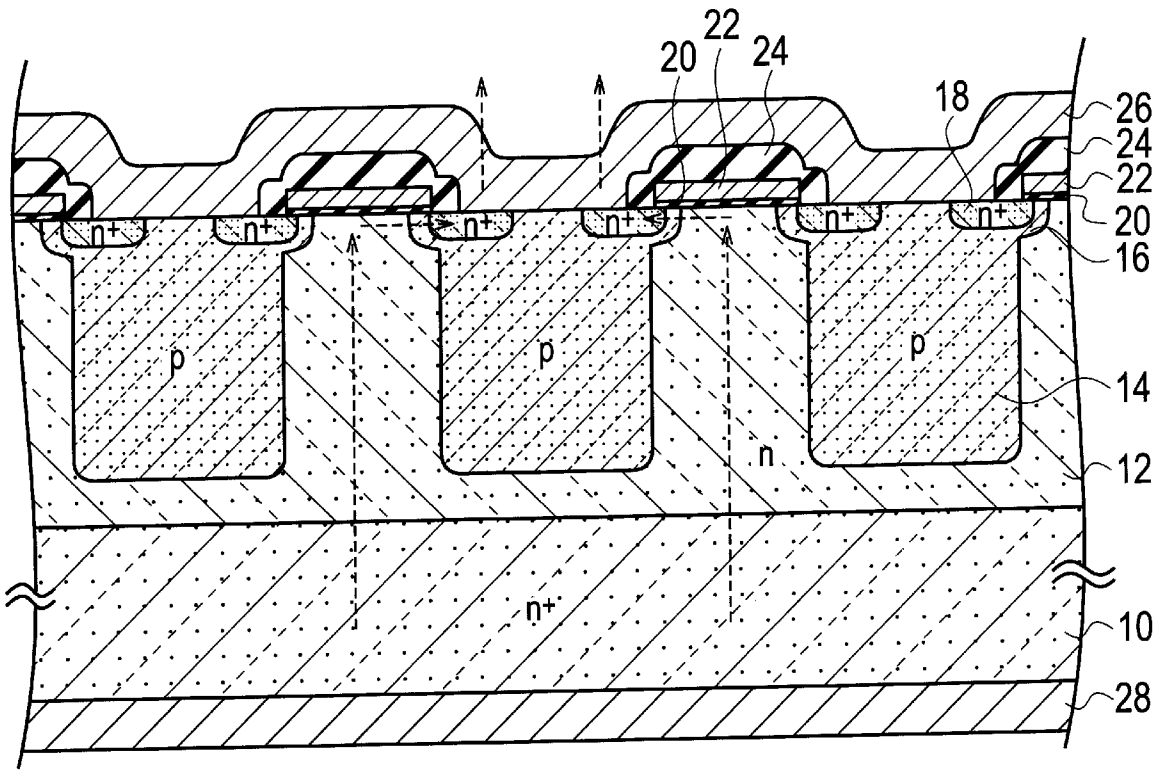
前記第１の位置と前記第２の位置との間に減衰ピーク位置が含まれるように重粒子照射を実施する工程と

を有することを特徴とする請求項６に記載の半導体装置の製造方法。

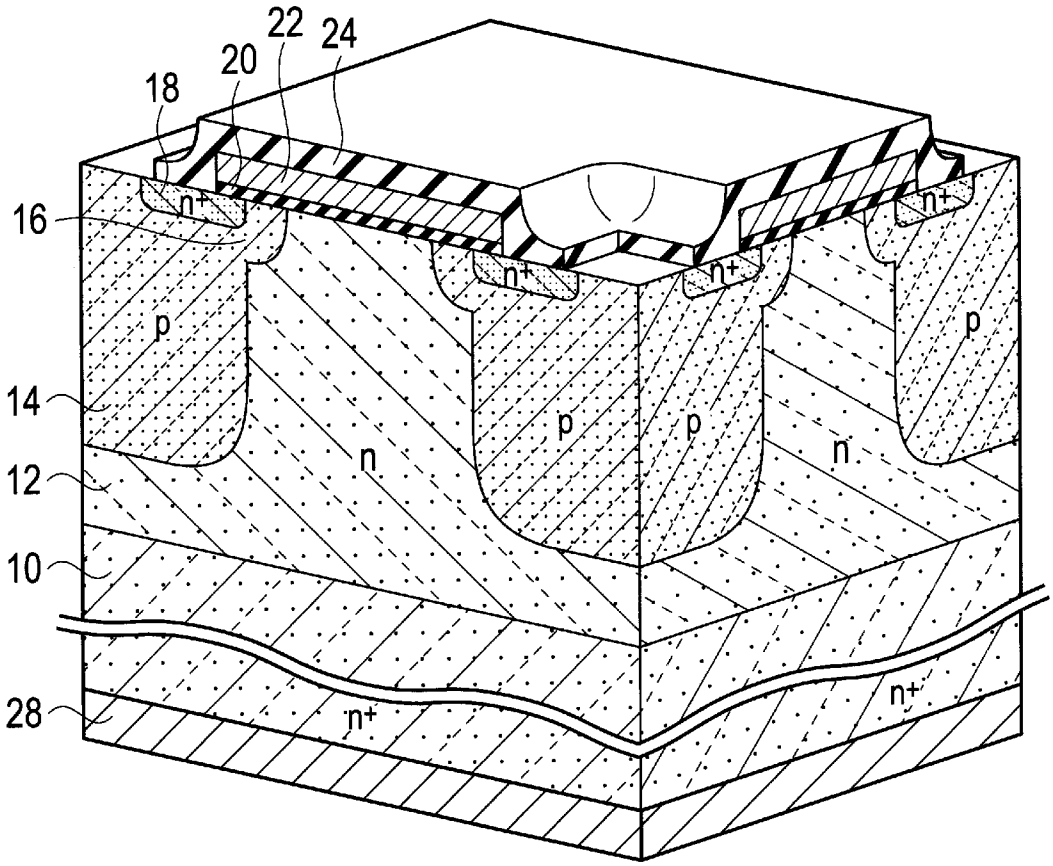
[請求項8] 前記重粒子照射する粒子種は、プロトン、$^{3}He^{++}$、$^{4}He^{++}$のいずれかであることを特徴とする請求項６または７に記載の半導体装置の製造方法。

[請求項9] 前記重粒子照射のドーズ量は、５×１０$^{10}$～５×１０$^{12}$個／ｃｍ$^{2}$であることを特徴とする請求項６～８のいずれか１項に記載の半導体装置の製造方法。

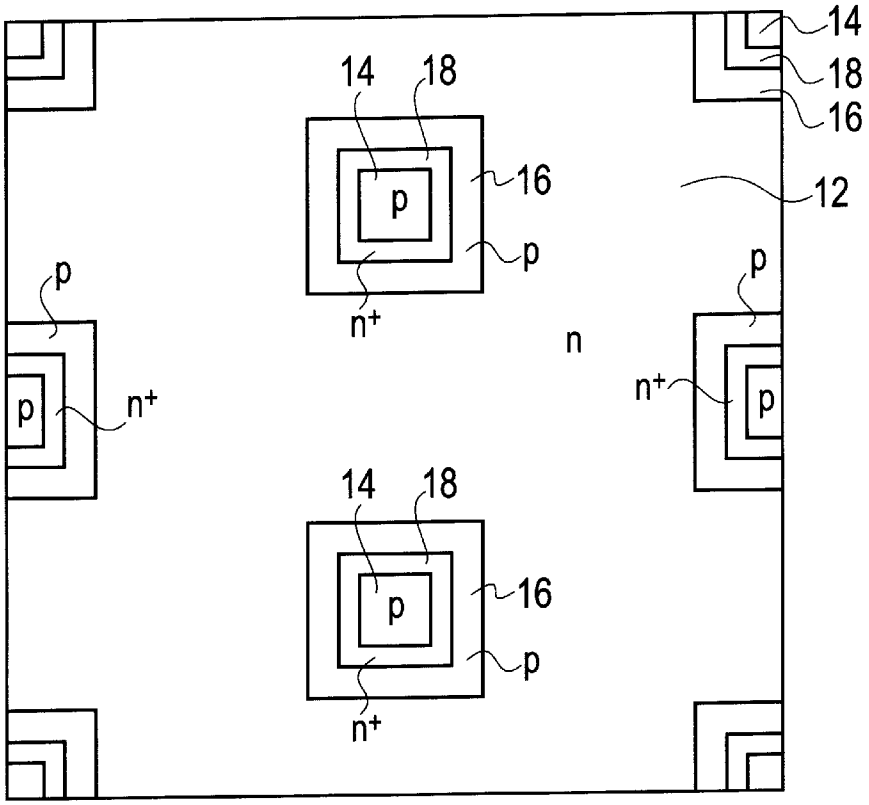
[図1]



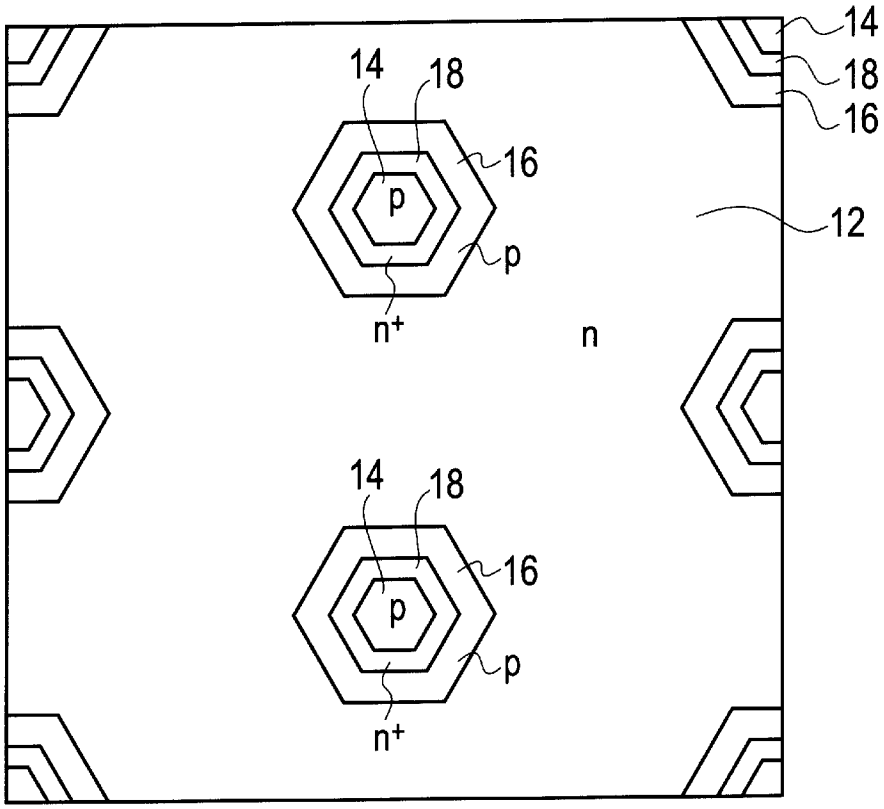
[図2]



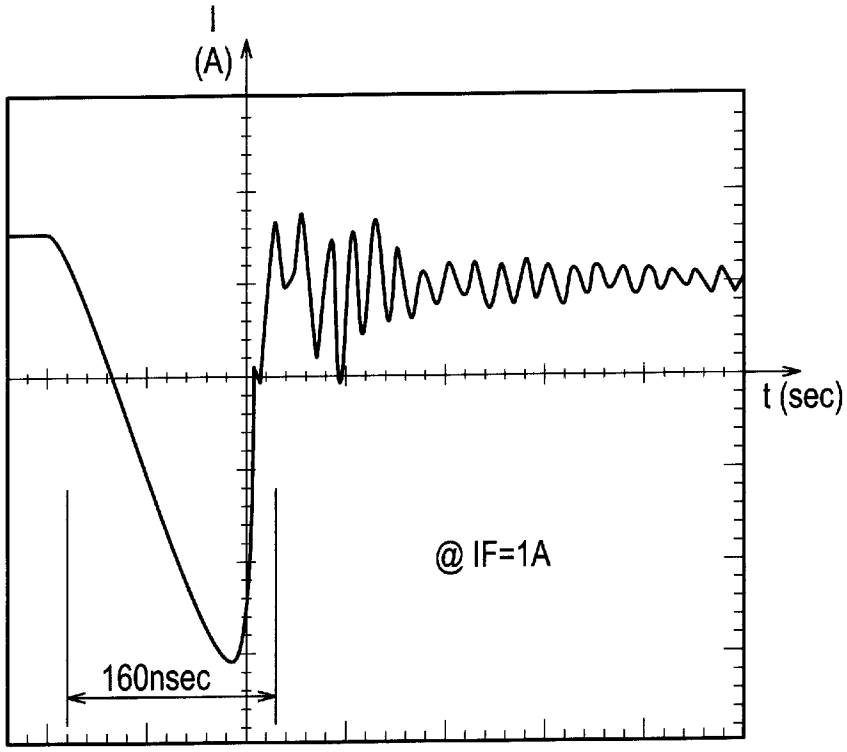
[図3]



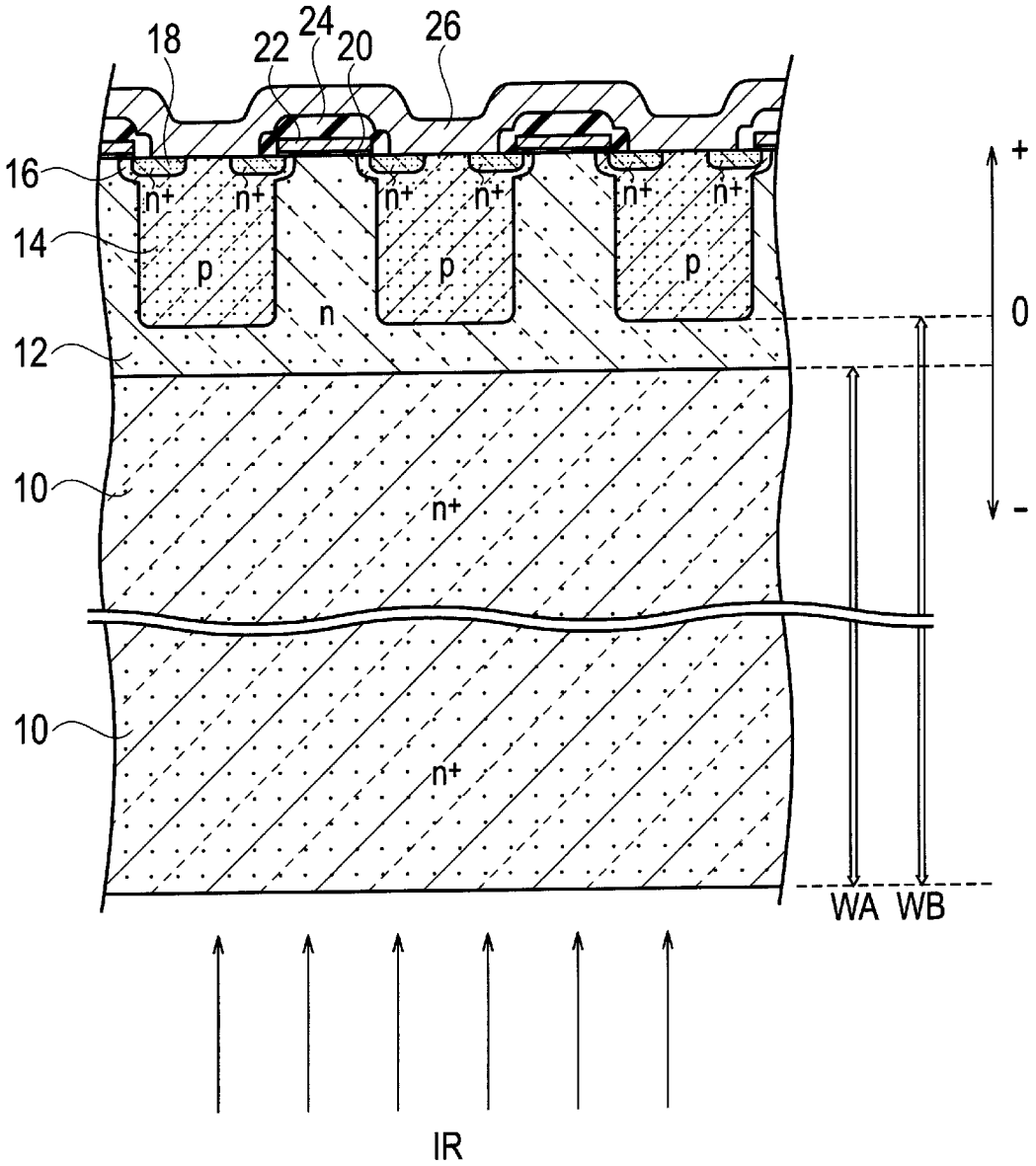

[図4]



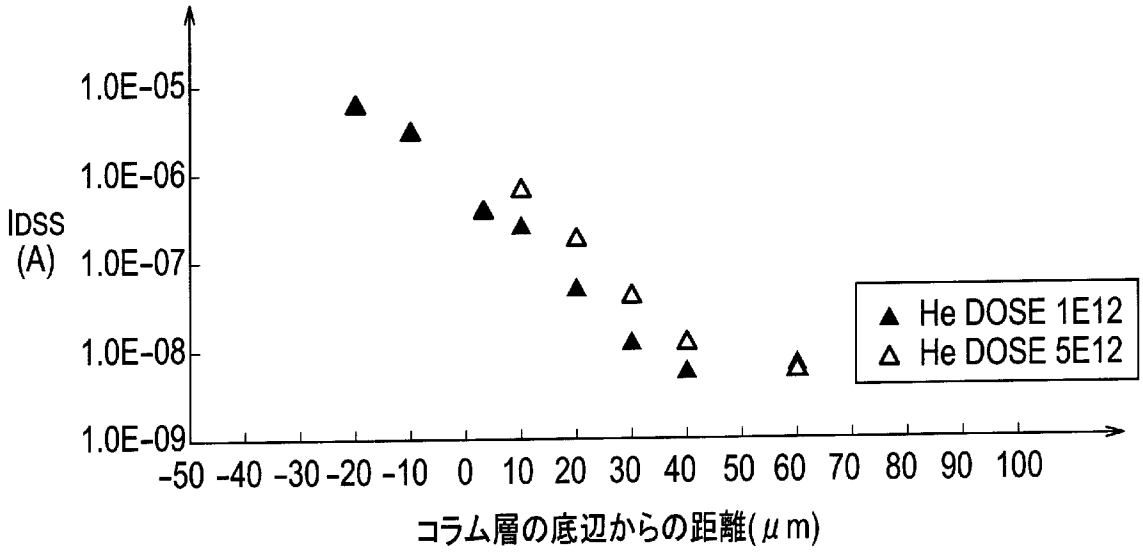
[図5]



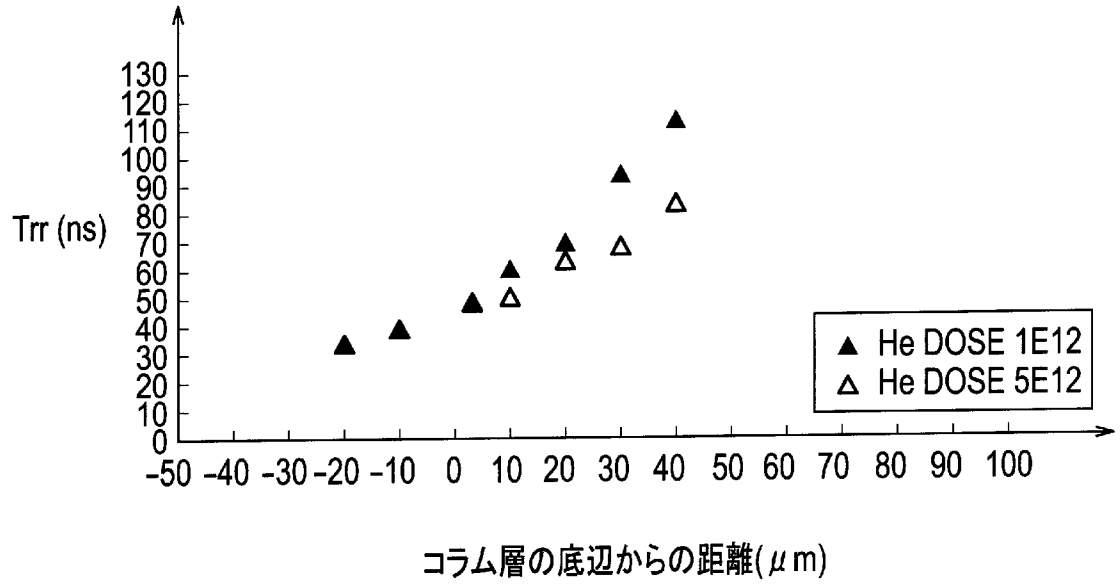
[図6]



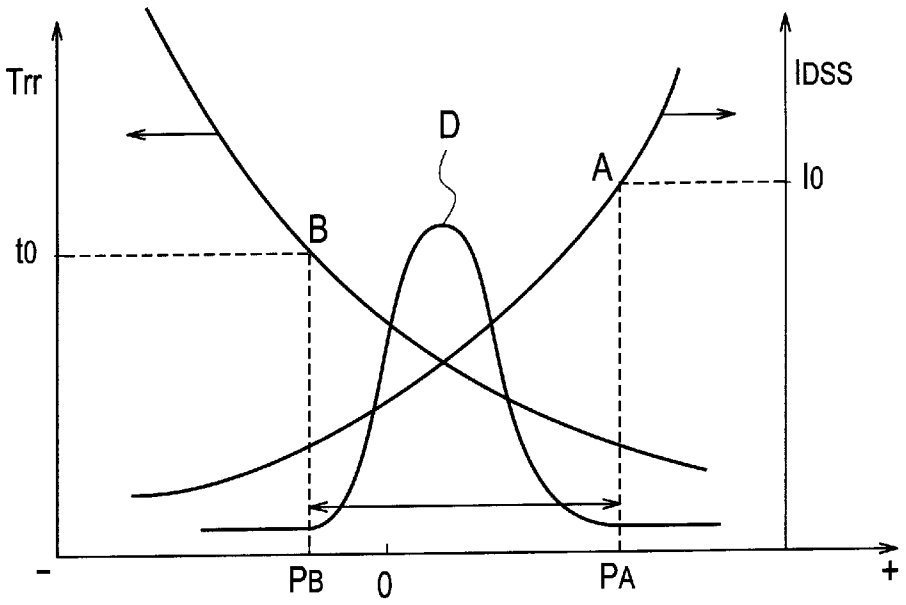
[図7]


1.0E-05
1.0E-06
IDSS
(A)
1.0E-07
1.0E-08
1.0E-09
-50 -40 -30 -20 -10 0 10 20 30 40 50 60 70 80 90 100
▲ He DOSE 1E12
△ He DOSE 5E12
コラム層の底辺からの距離(μm)

[図8]

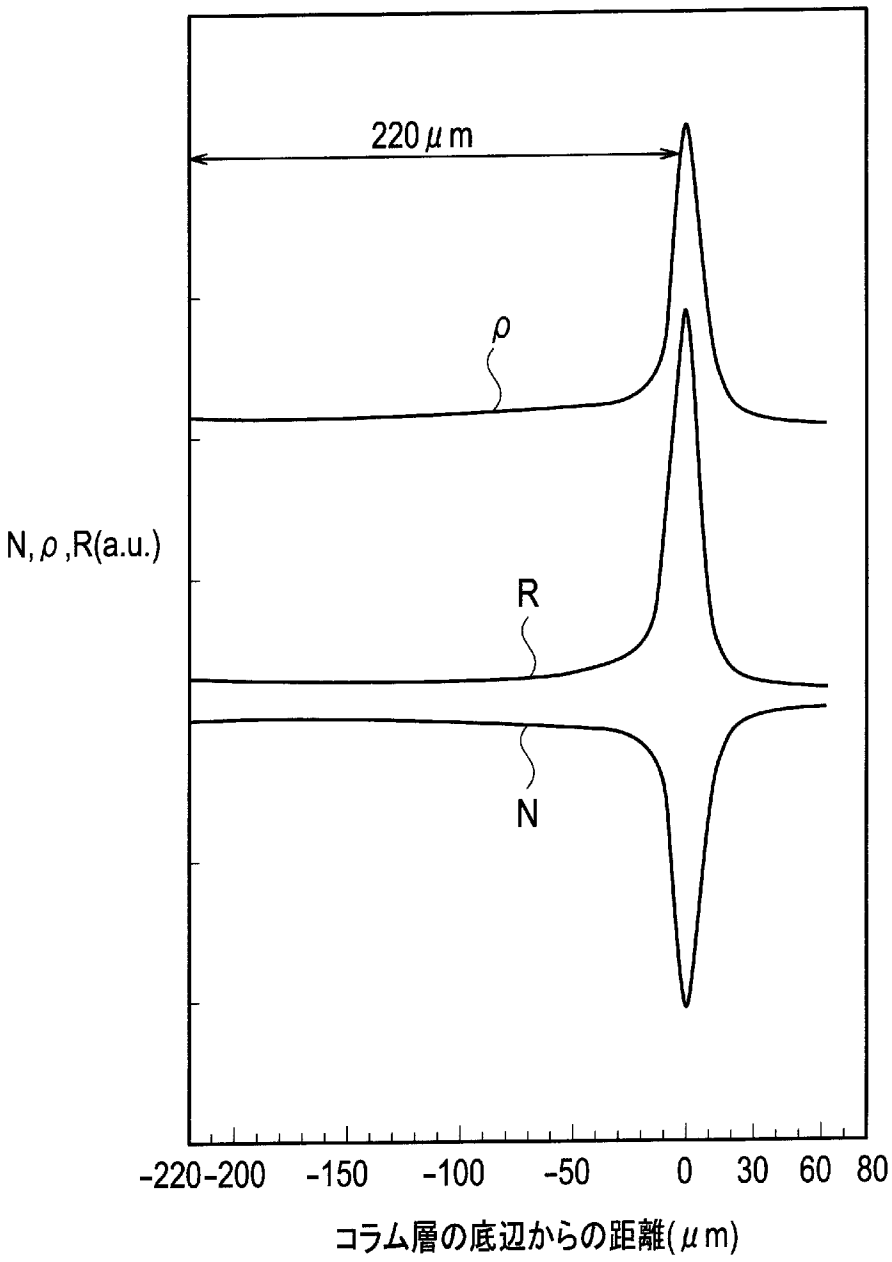

130
120
110
100
90
80
Trr (ns)
70
60
50
40
30
20
10
0
-50 -40 -30 -20 -10 0 10 20 30 40 50 60 70 80 90 100
▲ He DOSE 1E12
△ He DOSE 5E12
コラム層の底辺からの距離(μm)

[図9]

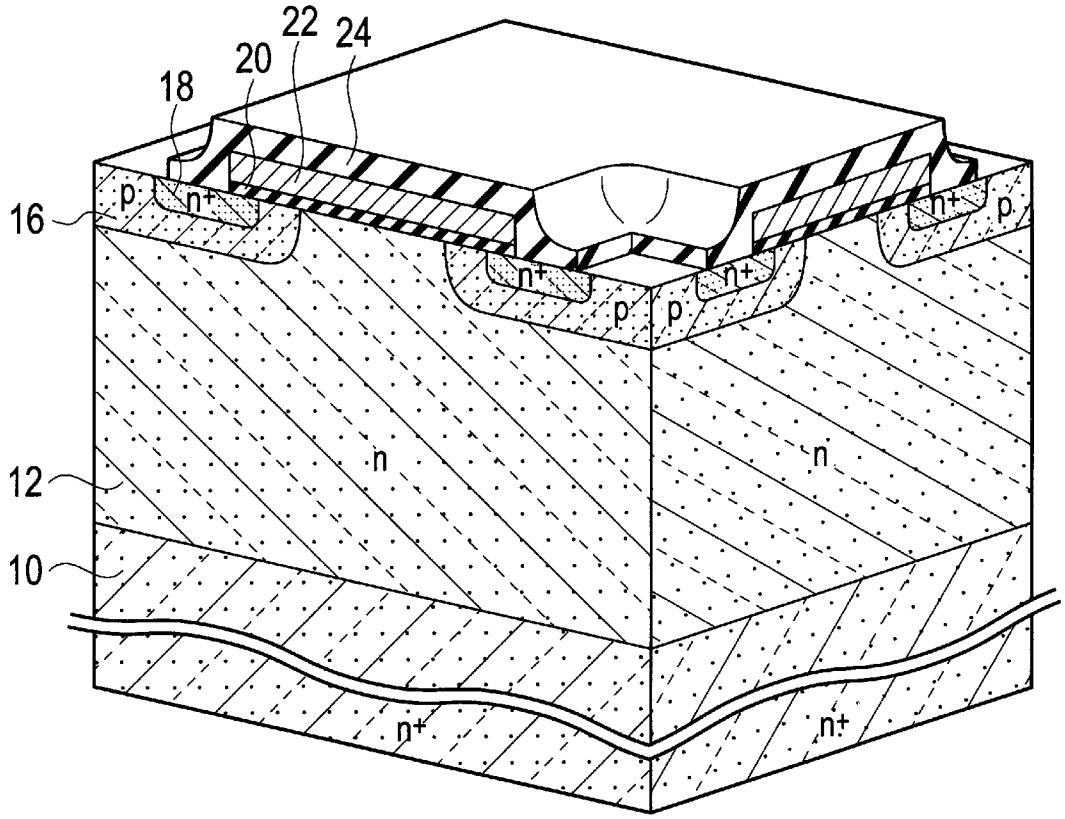



コラム層の底辺からの距離(μm)

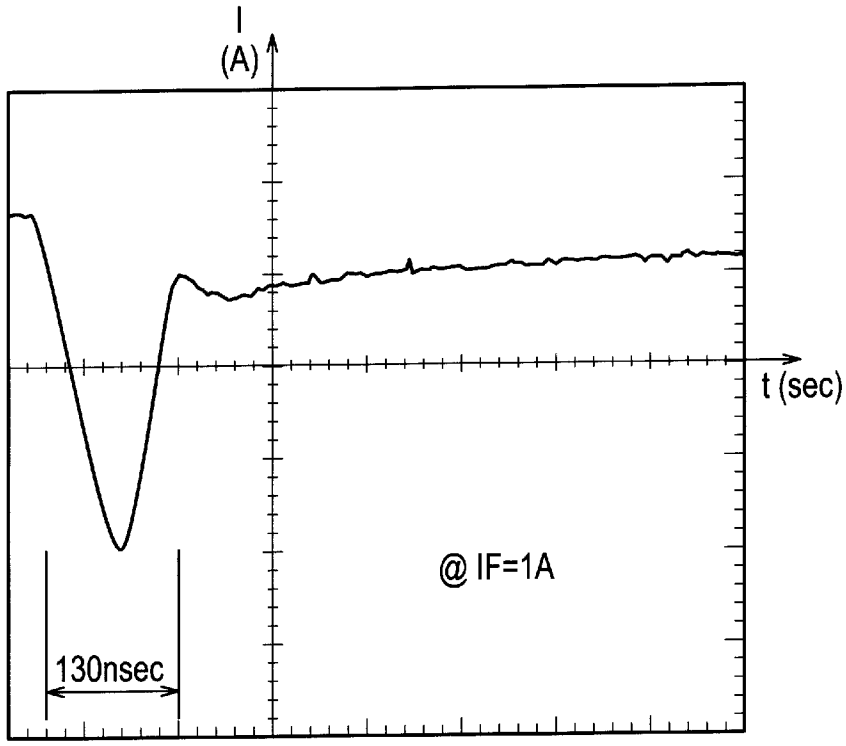
[図10]



[図11]



[図12]



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/065171

A. CLASSIFICATION OF SUBJECT MATTER
*H01L21/336*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2009 |
| Kokai Jitsuyo Shinan Koho | 1971-2009 | Toroku Jitsuyo Shinan Koho | 1994-2009 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2005-197497 A (Toyota Central Research and Development Laboratories, Inc.), 21 July 2005 (21.07.2005), paragraphs [0001] to [0008]; fig. 24 (Family: none) | 1-9 |
| Y | JP 2004-22716 A (Fuji Electric Holdings Co., Ltd.), 22 January 2004 (22.01.2004), paragraphs [0001] to [0012]; fig. 13 (Family: none) | 1-9 |
| Y | JP 3-263376 A (Mitsubishi Electric Corp.), 22 November 1991 (22.11.1991), entire text; all drawings (Family: none) | 1-9 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| | |
|---|---|
| Date of the actual completion of the international search<br>13 November, 2009 (13.11.09) | Date of mailing of the international search report<br>01 December, 2009 (01.12.09) |
| Name and mailing address of the ISA/<br>Japanese Patent Office<br><br>Facsimile No. | Authorized officer<br><br>Telephone No. |

Form PCT/ISA/210 (second sheet) (April 2007)

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2009/065171

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 62-298120 A (Hitachi, Ltd.), 25 December 1987 (25.12.1987), page 1, lower left column, line 16 to page 3, upper right column, line 4; fig. 1 (Family: none) | 1-9 |
| Y | JP 63-115383 A (Matsushita Electronics Corp.), 19 May 1988 (19.05.1988), entire text; all drawings (Family: none) | 2,7 |
| A | JP 62-219664 A (Hitachi, Ltd.), 16 September 1987 (16.09.1987), entire text; all drawings (Family: none) | 1-9 |
| A | JP 2001-102577 A (Toshiba Corp.), 13 April 2001 (13.04.2001), entire text; all drawings (Family: none) | 1-9 |
| A | JP 10-150208 A (Toshiba Corp.), 02 June 1988 (02.06.1988), entire text; all drawings (Family: none) | 4,9 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６５１７１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２００９年 |
| 日本国実用新案登録公報 | １９９６－２００９年 |
| 日本国登録実用新案公報 | １９９４－２００９年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2005-197497 A (株式会社豊田中央研究所) 2005.07.21, 段落【０００１】－【０００８】, 図２４（ファミリーなし） | 1-9 |
| Y | JP 2004-22716 A (富士電機ホールディングス株式会社) 2004.01.22, 段落【０００１】－【００１２】, 図１３（ファミリーなし） | 1-9 |
| Y | JP 3-263376 A (三菱電機株式会社) 1991.11.22, 全文, 全図（ファミリーなし） | 1-9 |

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| １３．１１．２００９ | ０１．１２．２００９ |

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｍ　８９３４

恩田　春香

電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 62-298120 A (株式会社日立製作所) 1987.12.25, 第1頁左下欄第16行－第3頁右上欄第4行, 第1図 (ファミリーなし) | 1-9 |
| Y | JP 63-115383 A (松下電子工業株式会社) 1988.05.19, 全文, 全図 (ファミリーなし) | 2,7 |
| A | JP 62-219664 A (株式会社日立製作所) 1987.09.16, 全文, 全図 (ファミリーなし) | 1-9 |
| A | JP 2001-102577 A (株式会社東芝) 2001.04.13, 全文, 全図 (ファミリーなし) | 1-9 |
| A | JP 10-150208 A (株式会社東芝) 1988.06.02, 全文, 全図 (ファミリーなし) | 4,9 |