(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G09G 3/00

(45) 공고일자 2004년10월28일
(11) 등록번호 10-0439451
(24) 등록일자 2004년06월29일

(21) 출원번호 10-1997-0046057
(22) 출원일자 1997년09월03일

(65) 공개번호 10-1998-0024399
(43) 공개일자 1998년07월06일

(30) 우선권주장 96-252491 1996년09월03일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 나가지마 세쯔오
일본국 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼가부시키가이샤 내

모리타 다쯔오
일본 교토후 소무라쿠군 가모쵸 나가모다이 9-5-8

아와네 카투노부
일본 나라켄 이코마시 시나사시가오카 15-2

(74) 대리인 이병호

심사관 : 나용수

(54) 액티브매트릭스형디스플레이장치및구동방법

요약

화질이 개선된 일체형 주변 구동 회로를 포함하고 있는 액티브 매트릭스 디스플레이 장치가 제공되며, 이 장치는 피드 스루 전압 ΔVs가 하나의 계조를 실현하는데 필요한 전압 Vgr보다 더 낮게 설정될 수 있는 구성으로 제공된다. 이런 방식으로, 액티브 매트릭스 회로에 제공된 박막 트랜지스터의 특성의 변동이 상기 Δ Vs를 변동시킬 수 있더라도, 이 피드 스루 전압 Δ Vs의 영향을 받지 않는 안정된 계조 디스플레이가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 액티브 매트릭스 회로를 주변 구동 회로와 집적화하는 구성을 도시하는 도면.
도 2A 및 2B는 각 회로들의 구성을 도시하는 도면.

도 3A 내지 3C는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 공정을 개략적으로 도시하는 도면.
도 4A 내지 4C는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 공정을 개략적으로 도시하는 도면.
도 5A 및 5B는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 공정을 개략적으로 도시하는 도면.
도 6은 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 공정을 개략적으로 도시하는 도면.
도 7A 및 7B는 액티브 매트릭스 회로 및 주변 구동 회로를 동시에 제조하는 공정을 개략적으로 도시하는 도면.
도 8은 액티브 매트릭스 회로의 한 화소부를 도시하는 횡단면도.
도 9는 액티브 매트릭스 회로의 한 화소부를 도시하는 상면도.
도 10은 액티브 매트릭스 회로에서의 구동 파형을 도시하는 도면.
도 11은 액티브 매트릭스 회로의 박막 트랜지스터를 구동하는 하나의 전압 파형을 도시하는 도면.
도 12는 액티브 매트릭스 회로에서의 구동 파형을 도시하는 도면.
<도면의 주요 부분에 대한 부호 설명>
201 : 시프트 레지스터 207 : 액정
503 : 비결정질 실리콘막 506 : 활성층
542 : 레지스트막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경
본 발명은 액티브 매트릭스형 평패널 디스플레이 장치에 관한 것이다.
종래에는, 비결정질 실리콘막을 이용하는 액티브 매트릭스형 액정 디스플레이 장치가 공지되어 있다. 또한, 결정질 실리콘막을 사용하여 보다 향상된 디스플레이 품질을 제공할 수 있는 액티브 매트릭스형 액정 디스플레이 장치가 공지되어 있다.
비결정질 실리콘막을 사용하는 경우에는, P 채널형 박막 트랜지스터를 실현할 수 없다는 문제점이 있다(저특성으로 인해 실제적인 사용이 불가함). 다른 한편으로, 결정질 실리콘막을 사용하는 경우에는, P 채널형 박막 트랜지스터를 제조할 수 있다.
그러므로, 결정질 실리콘막을 사용하는 경우에는, 박막 트랜지스터를 이용하여 CMOS 회로를 구성할 수 있다. 이러한 사실을 이용함으로써, 액티브 매트릭스 회로를 구동하기 위한 주변 구동 회로 역시 박막 트랜지스터로 구성될 수 있다.
따라서, 도 10에 도시된 바와 같이, 하나의 유리 기판이나 석영 기판 상에 집적화된 액티브 매트릭스 회로(10) 및 주변 구동 회로(11, 12)를 포함하는 구성이 실현될 수 있다. 이와 같은 구성은 주변 구동 회로 일체형이라 불린다.
주변 구동 회로 일체형의 구성은 디스플레이 장치 전체를 소형화할 수 있고, 제작 비용 및 제조 공정을 줄일 수 있는 특징을 갖는다.
고화질의 영상을 추구하는 경우에는, 얼마나 미세한 계조 디스플레이를 달성할 수 있느냐가 중요한 요소이다. 일반적으로, 계조 디스플레이를 행하는 경우에, 액정의 전압 투과율 곡선의 비포화 영역을 이용한다. 다시 말해서, 계조 디스플레이는 인가된 전압(전기장)의 변화에 따라 광학적 응답이 변화하는 범위를 이용함으로써 실현된다. 일반적으로, 이런 방법을 아날로그 계조 방법이라 한다.
상기 아날로그 계조 방법을 이용하는 경우, 다음의 사항들이 화질을 손상시키는 요인들이다. 그 중 주요인은 각 화소의 액정에 인가된 전압의 변동이 하나의 계조에 필요한 전압보다 더 크게 되는 경우이다. 이런 경우에, 화상은 흔들리게 되거나 줄무늬가 디스플레이 장치에 나타나는 상태를 초래한다.
각 화소의 액정에 인가된 전압의 변동은 수 백x 수 백 단위의 매트릭스로 배열된 박막 트랜지스터들의 특성 변동에 기여하게 된다. 또한, 주변 구동 회로 일체형의 경우에, 구동 회로에 제공되는 박막 트랜지스터에서의 변동 역시 상기 전압 변동에 기여한다.
일반적으로, 박막 트랜지스터 특성의 변화는 다수의 파라미터들에 의존한다. 따라서, 이러한 파라미터들중 어느 하나를 제어할지라도, 화질을 손상시키는 상기와 같은 문제점들을 해소하는 것은 매우 어렵다. 또한, 박막 트랜지스터의 특성의 변동을 완전히 억제하도록 제어할 수 없는 파라미터가 있기 때문에 문제점은 더욱 심각한 것이다.
본 명세서에 기재되어 있는 본 발명의 목적은 액티브 매트릭스형 디스플레이 장치를 제작하는데 있어 박막 트랜지스터의 파라미터를 우선적으로 제어해야 한다는 것에 대한 지침을 제공하는데 있다.
본 발명자들이 아는 바에 따르면, 액정 디스플레이 장치의 화질 악화와 밀접한 관계가 있는 액정 구동용 구동 전압의 변동은 각 화소에서의 피드 스루 전압(feed through voltage)에 가장 많이 기여한다.
액티브 매트릭스형의 액정 디스플레이 장치에 대한 피드 스루 전압의 영향은 IEICE(The Institute of Electronics, Information and Communication Engineers)의 기술 논문집, EID95-99, ED95-173, SDM95-213 (1996-02)에 기재되어 있다.

피드 스루 전압에 대해 간단히 설명한다. 도 11은 액티브 매트릭스 회로에 배열된 박막 트랜지스터를 구동시키는 구동 전압을 도시하고 있다.
도 11에서, Vg는 게이트 신호 라인으로부터 박막 트랜지스터의 게이트 전극에 공급된 신호 전압을 나타낸다. Vs는 소스 배선으로부터 박막 트랜지스터의 소스 영역으로 공급된 또다른 신호 전압을 나타낸다. 또한, Vd는 화소 전극으로부터 액 정에 공급된 전압의 파형을 나타낸다. 부수적으로, 게이트 신호 라인 및 드레인 라인이 매트릭스 형태로 배열되어 있다.
게이트 전압 Vg은 먼저 ON 레벨 Vgh로 상승하면, 다음에 박막 트랜지스터가 ON 상태로 되고, 따라서 소스 신호 라인으로부터 공급된 전압 신호는 액정에 인가될 수도 있다.
게이트 전압 Vg가 OFF 레벨 Vgl로 낮아진 후에도, 전기장은 액정 및 보조 캐패시턴스에 저장된 전하에 의해 액정에 계속하여 인가된다.
따라서, 화상 정보는 다음 게이트 전압 Vg의 펄스가 게이트 전극 내로 입력될 때에 화소 전극에서 재기록된다. 즉, 다음 게이트 전압Vg의 펄스가 게이트 전극 내로 입력될 때에 박막 트랜지스터가 또다시 ON 상태로 되고, 새로운 신호 전압 Vs에 대응하는 전하가 화소 전극 내로 유입한다.
일반적으로, 액정의 노화를 방지하기 위하여, Vsigc ± Vsig로 나타내어지는 AC 전압이 전압 Vs에 이용된다. 이런 경우에, Vsigc는 중심 전압을 나타내고, Vsig는 화상 신호 전압을 나타낸다. 또한, Vsig의 값은 계조에 대응한다.
이러한 박막 트랜지스터를 구동시킬 때, ON 상태에서 OFF 상태로 박막 트랜지스터를 스위칭할 때에 게이트 전압 Vg의 강하 전압은 게이트 및 드레인 간의 기생 용량을 통해 드레인 전압을 변동시킨다. 이런 전압 변동이 피드 스루 전압 Δ Vs이다.
도 11은 피드 스루 전압 Δ Vs의 영향을 나타낸 도면이다. 피드 스루 전압 Δ Vs은 다음의 식으로서 표현될 수 있다.
[수학식 1]

$$\Delta Vs = 1/Ct\ [Cgd \cdot \Delta Vg - \int Idt]$$

이 때, Ct는 보조 캐패시턴스의 값을 포함한 전체 화소 용량을 나타내고, Cgd는 게이트 및 드레인 간의 기생 캐패시턴스를 나타내며, Δ Vg는 게이트 전압에서의 변동량을 나타낸다. 도 11의 경우에, Δ Vg는 Δ Vg = Vgh - Vgl 로 표현된다.
∫ Idt 로 표현된 항은 게이트 신호 라인을 통해 공급된 신호 전압의 파형의 변형에 기인하는 소스 및 드레인 간에 흐르는 전류의 영향을 나타낸다.
도 10에 관해 설명하면, 게이트 배선을 통해 전파된 신호 파형은 게이트 구동 회로의 열등한 특성으로 인하여 왜곡된 파형(13)을 초래한다. 신호 파형(13)의 왜곡은 배선의 저항 및 배선의 캐패시턴스의 곱에 의존하는 시상수에 의해 영향받는다. 그러나, 알루미늄 등의 저저항 재료를 배선에 사용하는 경우, 구동 회로의 구동력은 파형에 대해 지배적이 된다.
액티브 매트릭스 영역의 박막 트랜지스터가 도 10에서의 그러한 왜곡된 파형(13)에 의해 구동되는 경우, 소정의 시간 주기가 박막 트랜지스터를 완전히 OFF 상태로 전환하는데 필요하다. 게다가, 이 소정 시간 주기 동안에, 전류는 피드 스루 전압을 보정하는 방향으로 흐른다. 상기 수학식 1의 ∫ Idt 으로 표현된 항은 상기 전류의 총량을 나타낸다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 피드 스루 전압의 변동에 기여하는 디스플레이 장치의 화 질 악화를 억제시키는데 있다. 이 목적을 달성하기 위하여, 본 발명은 하나의 계조를 실현하는데 필요한 전압 Vgr의 값이 수학식 1로 표현되는 피드 스루 전압 Vs 보다 더 크게 설정되는 특징을 갖고 있다.
다시 말해서, 본 발명은 다음의 식 2로 표현되는 관계식을 만족하는 각각의 파라미터들을 설정하는 것에 의해 특징지어진다.
[수학식 2]

$$|Vgr| > |1/Ct\ [Cgd \cdot \Delta Vg - \int Idt]|$$

여기서, Vgr은 하나의 계조를 실현하는데 필요한 전압, 즉 Vgr은 화소 전극에 인가된 전압에서의 소정의 단일 계조 레벨에 대응하는 전압이고, Ct는 보조 캐패시턴스의 값을 포함한 전체 화소 용량을 나타내며, Cgd는 게이트 및 드레인 간의 기생 용량을, Δ Vg는 게이트 전압의 ON 및 OFF 상태 간의 차를, 그리고 Δ Vs는 피드 스루 전압을 나타낸다. 유의해야 하는 점은 화소 전극측 상의 불순물 영역이 드레인으로서 정의된다는 것이다.
Vgr 및 Δ Vg는 구동 조건에 의존한다. Ct 및 Cgs는 설계 단계에서 설정된다. 비록 ∫ Idt 자체는 측정할 수 없지만, 그것은 수학식 1을 통해 Δ Vs를 구함으로써 계산될 수 있다. Δ Vs는 표본에 대한 직접 측정이나 시뮬레이션을 통해 구할 수 있다.
수학식 2에 의해 얻은 관계식을 만족하도록 파라미터를 설정함으로써, 계조 디스플레이는 파라미터의 변동으로 인해 피드 스루 전압 Δ Vs의 값에서 발생하는 변동의 영향과는 무관하게 설정될 수 있다.
수학식 2를 만족하기 위하여, 전체 화소 용량 Ct에 대한 높은 값을 얻는 것이 효과적이다. 즉, 보조 캐패시턴스를 증가시키는 것이 효과적이다.
또한, 수학식 2는 항 ∫ Idt에 포함된 값 I을 증가시킴으로써 이점이 되게 만족될 수 있다. 이 값 I은 액티브 매트릭스 영역에 제공된 박막 트랜지스터의 이동도를 증가시킴으로써 향상될 수 있다.
또한, 본 발명의 또다른 구성은, 수학식 2를 만족하기 위하여, 신호 파형의 강하 시에 고의적으로 지연된 신호 전압이, 액티브 매트릭스 회로에 제공된 각각의 박막 트랜지스터(즉, 각 화소 전극에 제공된 박막 트랜지스터)의 게이트 전극

에 공급되는 특징을 갖는다.
즉, 액티브 매트릭스 회로(100)에 집적화된 주변 구동 회로(101, 102)를 포함하는 디스플레이 장치가 도시되어 있는 도 12에 관해 설명하면, 본 발명은 게이트 신호 파형(103)이 주변 구동 회로(게이트 구동 회로, 101)로부터 게이트 신호 라인으로 공급되는 것을 특징으로 한다.
도 12의 103으로 디스플레이된 파형을 사용하는 게이트 신호 파형의 강하 시에 지연을 제어함으로써, 수학식 2의 항 ∫ Idt의 값이 변화된다.
도 12는 종래의 직각 파형 펄스 형태를 이용하지 않고, 신호에서 계단 강하가 일어나는 파형을 사용함으로써 게이트 신호 파형(103)의 강하를 지연시키는 방법을 도시하고 있다.
또한, 게이트 신호 파형에서의 강하는 신호가 점진적으로 낮아지는 파형을 이용함으로써 지연될 수도 있다.
이런 경우에, 수학식 2에서의 ∫ Idt의 값이 가능한 한 Cgd · Δ Vg의 값에 가까이 강하하도록 게이트 신호 파형에서의 강하 지연을 설정하는 것이 중요하다.
도 12에 도시된 바와 같은 신호 파형(103)을 게이트 구동 회로(101)로부터 공급함으로써, 수학식 2는 보다 쉽게 만족되어, 계조 디스플레이에 대해 박막 트랜지스터의 특성 변동의 영향을 억제할 수 있는 것이다.

발명의 구성 및 작용

도 1에 관해 설명하면, 본 발명에 따른 구성은 하나의 유리 기판 상에 집적화된 주변 구동 회로 및 액티브 매트릭스 회로를 포함한다. 도 1은 주변 구동 회로 일체형의 액티브 매트릭스 액정 디스플레이 장치의 기판들중 하나의 기판에 대한 구성을 나타낸다.
도 1에서, 도면 부호 201은 시프트(shift) 레지스터 회로를 나타내고, 202는 NAND 회로를 나타낸다. 203은 레벨 시프트 회로를 나타낸다. 도면 부호 204는 액티브 매트릭스 회로를 구동시키는 버퍼 회로(구동 회로)를 표시한다. 도 1에서, 주변 회로는 상기 회로들로 구성된다.
또한, 도 1에서, 도면 부호 205는 액티브 매트릭스 회로를 표시한다. 도 1에는, 4 개의 화소만이 도시되어 있지만, 실제 회로에서는 수 백 × 수 백 개의 화소들이 배열되어 있다.
각각의 화소는 도면 부호 206으로 표시된 박막 트랜지스터 및 도면 부호 208로 표시된 보조 캐패시턴스를 포함한다. 또한 액정은 도면 부호 207로서 상기 구성에서 도시되어 있다.
도 1에 도시되어 있는 구성에서, 모든 회로는 하나의 동일 유리 기판 상에 형성된 박막 트랜지스터들로 구성되어 있다.
이를테면, 시프트 레지스터 회로(201)를 구성하는 각각의 게이트는 도 2A에 도시된 바와 같이 P 채널형 및 N 채널형 박막 트랜지스터의 조합으로 구성된 폐쇄 인버터 회로에 의해 구성된다.
또한, 버퍼 회로(204)를 구성하는 각각의 게이트는 도 2B에 도시된 바와 같이 P 채널형 및 N 채널형 박막 트랜지스터의 조합으로 구성된 폐쇄 인버터 회로에 의해 구성된다.
수학식 2로 주어진 관계식을 만족하기 위하여, 가능한 한, 박막 트랜지스터의 이동도를 향상시키고, 보조 캐패시턴스(208)의 용량을 최대화하는 것이 효과적이다.
또한, 채널 폭 및 채널 길이를 가능한 한 최소화하도록, 박막 트랜지스터(206)를 구성하는 활성층의 형태를 설계하는 것 역시 효과적이다. 이것은 수학식 2의 Cgd 값을 감소시키는 것을 의미한다.
디스플레이 장치의 크기, 비용, 요구되는 디스플레이 특성과 같은 파라미터들의 조합을 고려해 본다.
또한, 도 1에 도시된 게이트 구동 회로로부터 액티브 매트릭스 회로(205)의 게이트 신호 라인에 공급된 신호 파형에서의 강하는 도 12에 도시된 대로 고의적으로 지연된다.
따라서, 수학식 2에서 ∫ Idt의 값이 제어될 수 있다. 그러므로, 수학식 2로 표현된 요구 조건들이 만족될 수 있으며, 계조 디스플레이에 영향을 미치는 각 박막 트랜지스터들의 특성 변동이 억제될 수 있다.
<양호한 실시예의 설명>
본 발명은 하기의 예들을 참조하여 보다 구체적으로 설명한다.
예 1
도 3A 내지 3C 및 이에 후속되는 도면들은 하나의 동일 유리 기판 상에 CMOS 구성의 박막 트랜지스터들을 포함하는 회로를 형성하기 위한 기본적인 처리 공정들을 나타내고 있으며, 상기 회로는 기본 회로로서 도 1에 도시된 시프트 레지스터 회로(201)나 버퍼 회로(205), 및 액티브 매트릭스 회로(205)의 각 화소들에 제공되는 박막 트랜지스터(206)를 구성한다.
상기 도면들에서, CMOS 회로를 위한 제조 공정은 좌측에 도시되어 있고, 액티브 매트릭스 회로(206)에 제공되는 N 채널형 박막 트랜지스터(205)를 위한 제조 공정은 우측에 도시되어 있다.
하기에 기술되는 값들 및 조건들은 단지 대표적인 예를 위해 제공되는 것이며, 필요에 따라 변경되거나 최적화될 수 있다. 즉, 상기 값들 및 조건들은 제한되어 있는 것이 아니다.
먼저, 기초막(502)으로서 기능하는 3000Å 두께의 산화 실리콘막이 스퍼터링법에 의해 유리 기판(또는 석영 기판)(501) 상에 형성된다.
거의 진성인 전도성 또는 진성인 1000 Å 두께의 비결정질 실리콘막(503)이 플라즈마 CVD에 의해 기초막(502) 상에 형성된다. 감압열 CVD가 또다른 막증착법으 로서 이용될 수도 있다. 따라서, 도 3A에 도시된 상태를 얻는다.
비결정질 실리콘막(503)은 열처리를 가함으로써 결정화된다. 이 결정화는 레이저광 조사 또는 램프 어닐링이나, 또는 이들과 열처리의 조합에 의해 이루어진다.

상기 처리 공정으로 달성된 결정성은 수학식 2에서의 값(I)에 관련된다. 따라서, 수학식 2로 표현되는 관계식을 만족하도록 조건들을 조정하는 것이 중요하다.
상기 공정(단계)에서, 각각의 회로에 필요한 실리콘막의 결정성은 선택적인 레이저광의 조사나 또는 램프 어닐링에 의해 선택적으로 제어될 수 있다.
본 명세서에서 언급되는 '결정질 실리콘막'이란 용어는, 가열 처리를 하거나 또는 레이저광을 조사함으로써 보다 높은 질서성의 결정 구조를 갖는 막으로 변화되는 실리콘막을 의미한다. 대개, 비결정질 실리콘막은 출발막으로서 이용된다.
따라서, 본 명세서에서 언급되는 '결정질 실리콘막'이란 용어는, 비결정질 실리콘막과 비교할 때 보다 높은 질서성의 결정 구조를 갖는 실리콘막을 설명하는 것이다.
일단 비결정질 실리콘막(503)이 결정화되면, 돌기부 영역(504, 505, 506)을 얻기 위하여 패터닝을 실행한다(도 3B).
도 3B에 관해 설명하면, 영역(504)은 나중에 CMOS 회로를 구성하는 P 채널형 박막 트랜지스터를 위한 활성층을 제공하고, 영역(505)은 후에 CMOS 회로의 N 채널형 박막 트랜지스터를 위한 활성층을 제공한다. 영역(506)은 후에 액티브 매트릭스 회로(화소 매트릭스 회로)에 제공되는 N 채널형 박막 트랜지스터의 활성층을 제공한다. 따라서, 도 3B에 도시된 상태를 얻는다.
유의해야 할 점은 상기 도면에서, 활성층(504, 505, 506)은 모두 동일한 크기로 도시되어 있다는 것이다. 그러나, 실제로는 각각의 박막 트랜지스터의 채널폭 및 채널 길이는 수학식 2로 표시된 관계식을 만족하는 방식으로 설정되며, 각각의 활성층에 대해 동일하게 패터닝이 행해진다.
보다 구체적으로는, 액티브 매트릭스 영역에 제공된 박막 트랜지스터의 활성층(506)은 채널 길이 및 채널 폭이 가능한 한 좁게 제공되는 방식으로 형성된다(물론 실제로는 게이트 전극의 크기도 그에 따라서 설정될 수 있음).
이는 수학식 2에서 Cgd의 값을 최소화하기 위한 것이다.
다른 한편, 버퍼 회로(204)를 구성하는 CMOS 회로의 박막 트랜지스터의 활성층(504, 505)의 채널 폭은 가능한 한 ON 상태의 전류 특성을 최대로 하도록 크게 설정된다.
이것은 수학식 2에서 적분 범위 dt에서 변동이 일어나는 것을 방지하는데 효과적이다.
각 활성층들의 형성을 위한 패터닝에 이어서, 게이트 전극을 형성시키기 위해 스퍼터링에 의해 5000 Å 두께의 알루미늄막(507)을 형성한다. 스칸디움(또는 이트륨)은 나중 단계에서 알루미늄막 상에 힐록(hillock)이나 휘스커(whisker)가 생성되는 것을 방지하도록 0.1 내지 0.2% 중량의 농도로 알루미늄막(507)에 함유된다(도 3C).
상기 힐록이나 휘스커는 가열 처리 시의 알루미늄의 이상 성장에 기여하게 되는 바늘 모양이나 가시 모양의 돌기물이다.
알루미늄막(507)의 형성 이후에, 조밀한 막의 질을 갖는 양극 산화막(508)이 그 위에 형성된다. 이 조밀한 막질을 갖는 양극 산화막(508)은 전해 용액으로서 3%의 주석산을 함유하는 에틸 글리콜 용액을 이용함으로써 형성된다.
보다 구체적으로는, 양극 산화막(508)은 양극으로서 알루미늄막(507)을 이용하고 백금을 음극으로 이용함으로써 전해 용액에서 양극 산화 전류를 흐르게 함으로써 형성된다. 본 경우에, 양극 산화막(508)은 약 100 Å의 두께로 형성된다. 상기 막두께는 인가된 전압을 조정함으로써 제어된다.
이와 같이 형성된 양극 산화막(508)은 나중 단계에서 제공되는 레지스트막의 접착성을 향상시키는 방식으로 작용한다.
따라서, 도 3C에 도시된 상태가 얻어진다. 그 다음으로, 도 4A에 도시된 바와 같이, 레지스트막(515, 516, 517)이 형성되고, 알루미늄막(507) 상에 패터닝이 행해진다(도 3C 참조). 이런 경우에는, 양극 산화막(508)이 너무 두텁게 형성되는 경우 패터닝이 알루미늄막(507) 상에 행하여지기가 어렵게 되기 때문에, 양극 산화막(508)을 형성하는데 있어 주의가 요구된다(도 3C).
도 4A에 관해 설명하면, 각각의 알루미늄 패턴(509, 511, 513)은 게이트 전극의 프로토콜(베이스)을 제공한다. 양극 산화막(510, 512, 514)은 알루미늄 패턴들 상에 남아 있는 조밀한 막질의 양극 산화막이다.
일단 도 4A에 도시된 상태가 되면, 양극 산화가 또다시 행하여진다. 이런 경 우에, 삼투성 양극 산화막(518, 519, 520)이 형성된다(도 4B).
이 단계에서, 3%의 수산을 함유하는 수용액이 전해 용액으로 사용된다. 따라서, 양극으로서 이용되는 알루미늄 패턴(509, 511, 513)과 더불어 백금 음극을 이용하여 이 전해 용액에서 양극 산화를 행한다.
본 단계에서, 조밀한 막질의 양극 산화막(510, 512, 514)과 마찬가지로, 레지스트막(515, 516, 517)이 존재하기 때문에, 양극 산화는 알루미늄 패턴(509, 511, 513)의 측부에서 우선적으로 진행된다.
이런 방식으로, 삼투성 양극 산화막이 도 4B에 도시되어 있는 부분(518, 519, 520)들 위에 형성된다. 삼투성 양극 산화막의 막두께(성장 길이)는 양극 산화의 시간 주기를 조정함으로써 제어될 수 있다.
본 경우에는, 삼투성 양극 산화막(518, 519, 520) 각각은 5000 Å의 두께로 형성된다. 삼투성 양극 산화막(518, 519, 520)은 저불순물 농도의 영역(LDD(lightly doped drain; 경도핑 드레인) 영역)을 형성하기 위해 나중 단계에서 이용된다.
일단 도 4B에 도시한 상태가 되면, 레지스트막(515, 516, 517)은 특수 스트립핑 용액을 이용함으로써 제거되고, 조밀한 막질의 양극 산화막이 또다시 형성된다. 이 단계의 결과로서, 조밀한 막질의 양극 산화막(51, 52, 53)을 얻는다.
이런 경우에, 양극 산화막(51, 52, 53)은 앞서 형성된 양극 산화막(510, 512, 514)과 일체화하여 형성된다(도 4C).
이 단계에서, 전해 용액이 삼투성 양극 산화막(518, 519, 520) 안쪽에 밀어 넣어지기 때문에 도 4C에 도시된 바와 같은 조밀한 막질의 양극 산화막(51, 52, 53)이 형성된다.
부수적으로, 조밀한 막질의 양극 산화막(51, 52, 53)은 각기 1000 Å의 막두께로 형성된다. 이와 같이 형성된 양극 산화막(51, 52, 53)은 게이트 전극을 위한 전기적 및 역학적 보호막으로서 작용한다(게이트 전극에서 연장되는 게이트

배선 포함). 보다 구체적으로는, 그것들은 전기 절연성을 향상시키고, 힐록이나 휘스커의 발생을 억제한다.
도 4C에 관해 설명하면, N 채널형 박막 트랜지스터의 게이트 전극(522, 523)과 마찬가지로 P 채널형 박막 트랜지스터의 게이트 전극(521)이 형성된다.
일단 도 4C에 도시된 상태가 되면, 인(P) 이온을 주입한다. 이 단계에서, 인 이온은 소스 및 드레인 영역을 형성하기 위한 도우즈량 만큼 주입된다. 인 이온은 공지된 플라즈마 도핑 공정을 이용하여 주입된다(도 5A).
본 단계에서, 인 이온은 비교적 고농도로 각각의 영역(524, 526, 527, 529, 530)에 주입된다. 본 단계에서, 이온 주입은 80kV의 가속 전압하에서 $1\times 10^{15}/cm^{2}$ 의 도우즈로 행하여진다.
도 5A에 관해 설명하면, 인 이온은 본 주입 단계에서 영역(525, 528, 531)내로는 주입되지 않는다. 따라서, 그들은 진성이나 또는 거의 진성으로 남아 있게 된다.
도 5A에 도시된 바와 같이 인 이온의 주입 완료 후에, 인산, 초산, 및 질산 을 함유하는 혼합산을 이용하여 삼투성 양극 산화막(518, 519, 520)을 선택적으로 제거한다.
도 5B에 관해 설명하면, 도 5A의 단계에서 이용된 것보다 더 작은 도우즈로 또다시 인 이온을 주입한다. 따라서, 이 단계에서의 이온 주입은 70kV의 가속 전압하에서 0.5 $1\times 10^{14}/cm^{2}$ 의 도우즈로 행하여진다.
이 단계의 결과로서, 각각의 영역(533, 535, 536, 538, 539, 541)이 N형 전도성(약 N형)을 나타내도록 전환된다. 이 영역들은 각 영역(524, 526, 527, 529, 530, 532)들 보다 낮은 농도로 인 이온이 첨가되는 저농도 불순물 영역이다(도 5B 참조).
박막 트랜지스터의 특성은 저농도 불순물 영역을 형성하는 조건에 의해 변화될 수 있다. 보다 구체적으로는, 수학식 2에서 값(I)은 저농도 불순물 영역을 형성하는 조건들에 의해 제어될 수 있다.
따라서, 채널 형성 영역으로서 게이트 전극 밑의 각각의 영역(534, 537, 540)들이 형성된다.
또한, 도 4C의 단계에서 형성된 조밀한 막질의 양극 산화막(51, 52, 53)에 대응하는 두께를 갖는 채널 영역의 양측부에 오프셋 게이트 영역이 형성된다. 그러나, 본 예에서, 오프셋 게이트 영역은 도면에서 생략되어 있는데 그 이유는 조밀한 막질의 양극 산화막(51, 52, 53)의 막두께가 약 1000Å정도로 얇기 때문이다.
도 5B에서 불순물 이온 주입의 완료 후에, 레지스트막(542)이 붕소 이온을 주입하기 위하여 도 6에 도시된 대로 배치된다.
붕소 이온으로 이온 주입을 행함으로써, 각각의 영역(543, 544, 545, 546)은 N형 전도성으로부터 P형 전도성으로 변환된다. 이 단계에서의 붕소 이온 주입은 60kV의 가속 전압하에서 $2\times 10^{15}/cm^{2}$ 의 도우즈로 행하여진다.
도 6의 붕소 이온 주입 완료 후에, 레지스트막(542)을 제거하고, KrF 엑시머 레이저를, 불순물 이온이 주입된 영역을 어닐링하고 주입된 불순물 이온을 활성화하도록 전체 구조에 조사한다.
따라서, 액티브 매트릭스 영역에서 제공된 N 채널형 박막 트랜지스터(NTFT)와 마찬가지로, CMOS 회로를 구성하는 P 채널형 박막 트랜지스터(PTFT) 및 N 채널형 박막 트랜지스터(NTFT)가 동시에 형성된다.
다음으로, 도 7A에 관해 설명하면, 층간 절연막(551)이 산화 실리콘막을 이용하여 형성된다. 그렇지 않으면, 질화 실리콘막 및 산화 실리콘막으로된 층막, 또는 수지막을 갖는 질화 실리콘막 또는 산화 실리콘막으로된 층막이 산화 실리콘막을 대신하여 이용될 수 있다.
일단 층간 절연막(551)이 얻어지면, 그 위에 접촉홀이 형성된다. 그 다음으로, P 채널형 박막 트랜지스터용 소스 전극(552)과 드레인 전극(553), 및 N 채널형 박막 트랜지스터를 위한 드레인 전극(553)과 소스 전극(554)이 형성된다.
따라서, 보상 구성으로 제공된 P 채널형 박막 트랜지스터 및 N 채널형 박막 트랜지스터를 포함하는 CMOS 회로가 실행된다.
이와 동시에, 소스 전극(555)-대개, 영상 신호 라인, 즉 소스 신호 라인을 연장함으로써 제공됨, 즉 매트릭스 형태로 제공됨- 및 드레인 전극(556)이 형성되어 액티브 매트릭스 회로에 제공되는 N 채널형 박막 트랜지스터를 실행시킨다.
도 7A에 도시된 상태가 된 이후에, 제 2 층간 절연막(557)이 형성되고, ITO로 만들어진 화소 전극(558)이 접촉홀 형성 후에 형성된다.
그 다음으로, 가열 처리가 수소 대기 하에서 350°C로 1시간 동안 행해져서 활성층의 결함을 보상한다. 이런 방식으로, 액티브 매트릭스 회로(화소 매트릭스 회로)가 주변 구동 회로와 동시에 형성된다.
도 7B의 구조가 얻어진 이후에, 러빙막(rubbing film)(미도시)이 형성되고, 공지된 러빙 처리를 한다. 도 7B에 도시된 최종 기판은 준비된 이격 대향 기판과 이들간에 소정의 갭을 두어서 접착되고, 그 사이에 액정이 주입된다. 따라서, 집적화된 주변 구동 회로를 갖는 액티브 매트릭스 액정 디스플레이 장치가 얻어진다.

예 2

본 예는 수학식 2에서 Ct 값을 최소화한 구성에 관한 것이다. 본 예에서, 액티브 매트릭스 영역은 도 8 및 9에 도시된 구성으로 제공된다. 도 8은 도 9의 절단선 A-A'을 따라 절단한 횡단면도이다.
도 8 및 9에 관해 설명하면, 그 구성은 액티브 매트릭스 회로가 제공되는 기판의 일부를 도시한다. 도 8 및 9에서 하나의 화소에 대응하는 부분이 도시되어 있다.
도 8 및 도 9에 관해 설명하면, 박막 트랜지스터는 도면 부호 103으로 정의 된 부분 상에 형성된다. 도면 부호 101은 유리 기판(101)을 표시한다. 또한, 도면 부호 102는 하지막을 구성하는 산화 실리콘막을 표시한다. 박막 트랜지스터의 활성층은 부분(104, 107, 105, 108, 106)들로 구성된다. 활성층은 가열 처리를 하여 비결정질 실리콘막을 결정화함으로써 얻어진 결정질 실리콘막으로 만들어진다.
이 활성층에서, 도면 부호 104는 소스 영역을 표시하고, 107, 108은 오프셋 영역, 105는 채널 형성 영역, 106은 드레인 영역을 표시한다.

도면 부호 109는 게이트 절연막으로서 작용하는 산화 실리콘막을 표시한다. 도면 부호 110은 주성분으로서 알루미늄을 함유하는 게이트 전극을 표시한다. 게이트 전극은 매트릭스 형태로 배열된 게이트 배선에서 연장된다.
양극 산화막(111)이 양극으로서 알루미늄을 이용하는 양극 산화로 형성된다. 오프셋 게이트 영역(107, 108)이 양극 산화막의 두께에 대응하는 두께로 형성된다.
효과적으로 작용하는 오프셋 게이트 영역을 형성하도록 약 2000Å 이상의 두께로 양극 산화막(111)을 형성하는 것이 필요하다.
도면 부호 112는 산화 실리콘막을 포함하는 제 1 층간 절연막을 표시한다. 도면 부호 113은 소스 영역(104)으로부터의 리드 전극(113)을 표시한다. 또한, 도면 부호 115는 티타늄으로 이루어진 드레인 영역(106)으로부터의 리드 전극을 표시한다. 전극은 화소 전극을 형성하는 ITO 전극(118)에 접속된다. 또한, 도면 부호 114는 제 2 층간 절연막을 표시하고, 도면 부호 117은 제 3 층간 절연막을 표시한다.
도면 부호 116은 블랙 매트릭스(BM, black matrix)로서도 작용하는 티타늄 전극을 표시한다. 크로늄 등은 티타늄 대신 이용될 수 있다. 티타늄 전극(116)은 BM으로서 작용하는 방식으로 화소 전극(118)의 주변 부분 상에 중첩되어 제공된다. 티타늄 전극(116)은 리드 전극(115)과 동시에 형성된다.
BM으로서도 작용하고, 화소 전극(118)상에 중첩되는 티타늄 전극(116)의 영역은 보조 캐패시턴스를 제공한다. 보다 구체적으로는, 화소 전극 및 티타늄 전극(116)과 이들 간에 삽입된 절연막(117)은 부분(119, 120)에서 캐패시턴스를 형성한다. 캐패시턴스는 절연막(117)이 얇아질 수 있기 때문에 높은 용량을 가질 수 있다.
본 경우에, 절연막(117)은 플라즈마 CVD에 의해 형성된 300Å 두께의 질화 실리콘막에 의해 제공된다.
질화 실리콘막은 약 6의 높은 유전 상수를 만들어 낸다. 따라서, 수학식 2의 용량 Ct는 증가될 수 있다. 절연막으로서 대개 이용되는 산화 실리콘막의 유전 상수는 약 4정도이다.
또한, 질화 실리콘막이 조밀한 막질의 막으로 제공될 수 있다. 따라서, 질화 실리콘막이 박막으로 제공될지라도 핀 홀 생성에 기여하는 전극들 간에 단락 회로를 형성하는 문제점을 회피할 수 있다.
티타늄 전극(116)은 박막 트랜지스터(103)를 덮도록 배치된다. 이와 같은 구성에서, 박막 트랜지스터(103)에 광이 조사되는 경우일지라도 광 조사의 영향을 피할 수 있다.
BM과 픽셀 전극(118)을 구성하는 전극(116)을 오버래핑하는 정도는 수학식 2 에 의해 표현된 관계식으로부터 도출된 값 Ct를 만족할 수 있도록 결정된다.

예 3

본 예는 수학식 2로 표현된 관계식을 만족하기 위해, 게이트 구동 회로에서 공급된 신호 파형의 강하가 도 12에 도시된 바와 같이 의도적으로 지연되는 경우에 관한 것이다.
상술한 바와 같이, 수학식 2로 표현된 관계식은 총 화소 용량(Ct)을 증가시키므로써 충분히 만족될 수 있다. 그러나, 이것은 보조 캐패시턴스의 용량을 증가시켜야 이루어질 수 있고, 예컨대 보조 캐패시턴스를 위해 허용된 면적 문제에 의해 제한된다.
본 예에서, 그 구조는 변형되지 않으나, 게이트 신호 파형의 형태는 수학식 2의 관계식을 만족하도록 변화된다. 사실상, 수학식 2의 관계식을 만족하도록 그 구조를 변형할 수도 있고 또한 본 예의 구성을 채택할 수도 있다.
주변 구동 회로의 버퍼 회로가 박막 트랜지스터로 구성되는 경우에, 파형 왜곡의 발생은 도 10에 도시된 바와 같이 피하기 어렵다.
본 예에 따른 구성은 게이트 신호 파형의 강하에 있어 지연은 ∫ Idt의 변화에 기여한다는 사실을 이용한다. 다시 말해, 게이트 신호 파형의 강하에 있어 지연을 제어하므로써 수학식 2의 관계식을 만족하도록, ∫ Idt의 값을 변화시킬 수 있다.
게이트 신호 파형의 강하에 있어 지연은 예를 들면 신호 전압이 도 12에 도시된 바와 같이 계단식으로 감소되는 파형을 사용하여 제어 가능하다.
이와 같은 방식에서, 수학식 1로 표현된 피드 스루 전압의 값 Δ Vs는 그 변동의 영향을 감소시키기 위해 최소화된다. 보다 구체적으로는, 피드 스루 전압의 값 Δ Vs을 1 개의 계조 디스플레이를 실현하는데 필요한 전압 Vgr보다 낮은 값으로 감소시키므로써, 피드 스루 전압 Δ Vs에서 변동의 영향은 억제될 수 있다. 그러므로, 고화질의 영상이 실현된다.

발명의 효과

상술한 바와 같이, 본 발명은, 기술적인 상황을 고려하여 어느 파라미터를 우선적으로 처리할 것인지의 결정을 가능하게 한다. 그러므로, 고화질의 영상을 디스플레이하는 액티브 매트릭스 디스플레이 장치가 구현될 수 있다.
또한, 고화질의 영상을 디스플레이하는 액티브 매트릭스 디스플레이 장치도 게이트 신호 파형의 강하 시의 지연을 제어하므로써 실현될 수 있다.
위에서 설명된 바는, 원칙적으로는 액티브 매트릭스 액정 디스플레이 장치에 관한 것이다. 그러나, 본 발명은 박막 트랜지스터를 채용한 기타 다른 종류의 액티브 매트릭스형 평패널 디스플레이 장치에 적용될 수 있다. 예를 들면, 본 발명은 EL 발광 소자를 이용한 주변 구동 회로 일체형의 액티브 매트릭스 디스플레이 장치에 적용될 수 있다.
또한, 게이트 전극이 기판측에 배치되는 하부 게이트형 구조를 갖는 박막 트랜지스터를 채용할 수도 있다.
본 발명이 본 명세서에서 상세하게 설명되었지만, 본 발명은 그 구성이 그에 제한되지 않고, 특허 청구 범위로부터 이탈됨이 없는 모든 변형예가 실시 가능하다 는 것이 이해되어야 한다.

(57) 청구의 범위

청구항 1.
복수의 계조 레벨들을 갖는 액티브 매트릭스형 디스플레이 장치에 있어서, 상기 장치는,
매트릭스 형태로 배열되는 복수의 화소들을 포함하고,
상기 복수의 화소들 각각은 화소 전극, 및 상기 화소 전극에 접속되는 박막 트랜지스터를 갖고,
상기 박막 트랜지스터는,
소스 영역, 드레인 영역, 및 상기 소스 및 드레인 영역 간에 삽입되는 채널 영역과,
적어도 상기 채널 영역에 인접하게 형성되고 게이트 절연막이 그 사이에 삽입되는 게이트 전극을 포함하고,
상기 박막 트랜지스터가 턴오프하는 동안에 상기 소스 영역 및 상기 드레인 영역 사이에 전류가 흐르고,
상기 게이트 전극에 공급된 신호 전압이 신호 파형의 하강시에 지연되어, 상기 전류가 피드 스루 전압 Δ Vs를 보정하도록 흐르고, 이에 의해서 상기 피드 스루 전압 Δ Vs는 하나의 계조를 실현하는데 필요한 전압 Vgr보다 더 낮게 설정되는, 액티브 매트릭스형 디스플레이 장치.

청구항 2.
복수의 계조 레벨들을 갖는 액티브 매트릭스 장치를 구동하는 방법에 있어 서,
상기 액티브 매트릭스 장치는,
매트릭스 형태의 복수의 화소들을 포함하고,
상기 복수의 화소들 각각은 화소 전극, 및 상기 화소 전극에 접속되는 박막 트랜지스터를 포함하고,
상기 박막 트랜지스터는,
소스 영역, 드레인 영역, 및 상기 소스 및 드레인 영역 간에 삽입되는 채널 영역과,
적어도 상기 채널 영역에 인접하게 형성되고 게이트 절연막이 그 사이에 삽입되는 게이트 전극을 포함하고,
상기 방법은,
상기 게이트 전극에 게이트 전압을 공급하는 단계와,
상기 게이트 전압을 공급하는 단계에 따라 상기 소스 영역에 소스 전압을 공급하고, 그에 의해 상기 화소 전극에 전압을 인가하며, 상시 소스 전압은 상기 화소들 각각의 원하는 계조 레벨에 따라서 선택되는, 상기 소스 전압을 공급하는 단계를 포함하며,
상기 박막 트랜지스터가 턴오프하는 동안에 상기 소스 영역 및 상기 드레인 영역 사이에 전류가 흐르고,
상기 게이트 전극에 공급된 상기 게이트 전압이 신호 파형의 하강시에 지연되어, 상기 전류가 피드 스루 전압 Δ Vs을 보정하도록 흐르고, 이에 의해서 상기 피드 스루 전압 Δ Vs은 하나의 계조 레벨을 실현하는데 필요한 전압 Vgr보다 더 작게 설정되는, 액티브 매트릭스 장치 구동 방법.

청구항 3.
복수의 계조 레벨들을 갖는 액티브 매트릭스형 디스플레이 장치에 있어서, 상기 장치는,
매트릭스 형태로 배열되는 복수의 화소들을 포함하고,
상기 복수의 화소들 각각은 화소 전극, 및 상기 화소 전극에 접속되는 n채널 박막 트랜지스터를 갖고,
상기 n 채널 박막 트랜지스터는,
제 1 농도로 n형 불순물을 각기 포함하는 소스 영역과 드레인 영역, 및 상기 소스 및 드레인 영역 간에 삽입되는 채널 영역과,
상기 소스 및 채널 영역들 간에 형성되는 제 1 저농도 불순물 영역 및 상기 채널 및 드레인 영역 간에 형성되는 제 2 저농도 불순물 영역으로서, 상기 제 1 농도보다 더 낮은 제 2 농도로 n형 불순물을 각기 포함하는, 상기 제 1 및 제 2 저농도 불순물 영역들과,
적어도 상기 채널 영역에 인접하게 형성되고 게이트 절연막이 그 사이에 삽입되는 게이트 전극을 포함하고,
상기 박막 트랜지스터가 턴오프하는 동안에 상기 소스 영역 및 상기 드레인 영역 사이에 전류가 흐르고,
상기 게이트 전극에 공급된 신호 전압이 신호 파형의 하강시에 지연되어, 상 기 전류가 피드 스루 전압 Δ Vs를 보정하도록 흐르고, 이에 의해서 상기 피드 스루 전압 Δ Vs는 하나의 계조를 실현하는데 필요한 전압 Vgr보다 더 낮게 설정되는, 액티브 매트릭스형 디스플레이 장치.

청구항 4.
액티브 매트릭스형 디스플레이 장치에 있어서, 상기 장치는,
제 1 기판 위의 화소부와,
상기 제 1 기판 위의 주변 구동 회로부를 포함하고,
상기 화소부는,
매트릭스 형태로 위치되는 제 1의 복수의 라인들 및 제 2의 복수의 라인들과,
상기 제 1 및 제 2의 복수의 라인들 각각의 교차부에 각기 위치되는 복수의 화소들과,
적어도, 각각의 상기 화소들내에 위치되고, 소스 영역, 드레인 영역, 및 상기 소스 및 드레인 영역들 간에 형성되는 채널 영역을 포함하는 박막 트랜지스터와,
적어도 상기 채널 영역에 인접하고 그 사이에 게이트 절연막을 갖는 게이트 전극과,
각각의 상기 화소내에 형성되는 화소 전극을 포함하고,
상기 게이트 전극은 상기 제 1의 복수의 라인들 각각에 전기적으로 접속되고, 상기 소스 영역은 상기 제 2의 복수의 라인들 각각에 전기적으로 접속되고, 상 기 드레인 영역은 상기 화소 전극에 전기적으로 접속되며,
Vg는 상기 제 1의 복수의 라인들 각각으로부터 상기 게이트 전극에 공급된 제 1 신호 전압에 의해 규정되고, Vs는 상기 제 2의 복수의 라인들 각각으로부터 상기 소스 영역에 공급된 제 2 신호 전압에 의해 규정되고, Vd는 상기 화소 전극으로부터 인가된 전압의 파형에 의해 규정되고,

상기 박막 트랜지스터가 스위칭되는 때에 피드 스루 전압 Δ Vs가 Vs의 변동에 의해 규정되고,
상기 박막 트랜지스터가 턴오프하는 동안에 상기 소스 영역 및 상기 드레인 영역 사이에 전류가 흐르고,
상기 게이트 전극에 공급된 상기 제 1 신호 전압이 신호 파형의 하강시에 지연되어, 상기 전류가 피드 스루 전압 Δ Vs을 보정하도록 흐르고, 이에 의해서 Δ Vs은 하나의 계조를 실현하는데 필요한 Vgr보다 더 낮은, 액티브 매트릭스형 디스플레이 장치.

청구항 5.

제 4 항에 있어서,
상기 주변 구동 회로부는 시프트 레지스터 회로, NAND 회로, 레벨 시프트 회로, 및 버퍼 회로로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함하는, 액티브 매트릭스형 디스플레이 장치.

청구항 6.

액티브 매트릭스형 디스플레이 장치에 있어서, 상기 장치는,
매트릭스 형태로 배열되는 복수의 화소들을 포함하고,
상기 복수의 화소들 각각은 화소 전극, 및 상기 화소 전극에 접속되는 박막 트랜지스터를 갖고,
상기 박막 트랜지스터는,
소스 영역, 드레인 영역, 및 상기 소스 및 드레인 영역 간에 삽입되는 채널 영역과,
상기 채널 영역에 인접하게 형성되고 게이트 절연막이 그 사이에 삽입되는 게이트 전극을 포함하고,
상기 박막 트랜지스터가 턴오프하는 동안에 상기 소스 영역 및 상기 드레인 영역 사이에 전류가 흐르고,
상기 게이트 전극에 공급된 신호 전압이 신호 파형의 하강시에 지연되어, 상기 전류가 피드 스루 전압 Δ Vs를 보정하도록 흐르고, 이에 의해서 상기 피드 스루 전압 Δ Vs는 하나의 계조를 실현하는데 필요한 전압 Vgr보다 더 낮게 설정되고,
상기 신호 전압은 상기 신호 파형의 하강시의 상기 지연을 제어하도록 계단형으로 감소되는, 액티브 매트릭스형 디스플레이 장치.

청구항 7.

제 1 항 또는 제 3 항 또는 제 4 항 또는 제 6 항중 어느 한 항에 있어서,
상기 박막 트랜지스터의 상기 소스 영역, 상기 드레인 영역 및 상기 채널 영역 각각은 결정질 반도체 아일랜드에 형성되는, 액티브 매트릭스형 디스플레이 장 치.

청구항 8.

제 1 항 또는 제 3 항 또는 제 4 항 또는 제 6 항중 어느 한 항에 있어서,
상기 액티브 매트릭스형 디스플레이 장치는 적어도 상기 박막 트랜지스터를 구동하는 구동 회로를 더 포함하고,
상기 박막 트랜지스터 및 상기 구동 회로는 하나의 기판 위에 형성되는, 액티브 매트릭스형 디스플레이 장치.

청구항 9.

제 1 항 또는 제 3 항 또는 제 4 항 또는 제 6 항중 어느 한 항에 있어서,
상기 액티브 매트릭스형 디스플레이 장치는 적어도 상기 박막 트랜지스터를 구동하는 구동 회로를 더 포함하고,
상기 박막 트랜지스터 및 상기 구동 회로는 하나의 기판 위에 형성되고,
상기 구동 회로는 시프트 레지스터 회로, NAND 회로, 레벨 시프트 회로, 및 버퍼 회로로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함하는, 액티브 매트릭스형 디스플레이 장치.

청구항 10.

제 1 항 또는 제 3 항 또는 제 4 항 또는 제 6 항중 어느 한 항에 있어서,
상기 액티브 매트릭스형 디스플레이 장치는 복수의 EL 발광 소자들을 포함하는, 액티브 매트릭스형 디스플레이 장치.

청구항 11.

복수의 계조 레벨들을 갖는 액티브 매트릭스 장치를 구동하는 방법에 있어서,
상기 액티브 매트릭스 장치는,
매트릭스 형태의 복수의 화소들을 포함하고,
상기 복수의 화소들 각각은 화소 전극, 및 상기 화소 전극에 접속되는 박막 트랜지스터를 포함하고,
상기 박막 트랜지스터는,
소스 영역, 드레인 영역, 및 상기 소스 및 드레인 영역 간에 삽입되는 채널 영역과,
적어도 상기 채널 영역에 인접하게 형성되고 게이트 절연막이 그 사이에 삽입되는 게이트 전극을 포함하고,
상기 방법은,
상기 게이트 전극에 게이트 전압을 공급하는 단계와,
상기 게이트 전압을 공급하는 단계에 따라 상기 소스 영역에 소스 전압을 공급하고, 그에 의해 상기 화소 전극에 전압을 인가하며, 상시 소스 전압은 상기 화소들 각각의 원하는 계조 레벨에 따라서 선택되는, 상기 소스 전압을 공급하는 단계를 포함하며,
상기 박막 트랜지스터가 턴오프하는 동안에 상기 소스 영역 및 상기 드레인 영역 사이에 전류가 흐르고,
상기 게이트 전극에 공급된 상기 게이트 전압이 신호 파형의 하강시에 지연 되어, 상기 전류가 피드 스루 전압 Δ Vs을 보정하도록 흐르고, 이에 의해서 상기 피드 스루 전압 Δ Vs은 하나의 계조 레벨을 실현하는데 필요한 전압 Vgr보다 더 작게 설정되고,
상기 게이트 전압은 상기 신호 파형의 하강시의 상기 지연을 제어하도록 게단형으로 감소되는, 액티브 매트릭스 장치 구동 방법.

청구항 12.
제 2 항 또는 제 11 항에 있어서,
상기 박막 트랜지스터의 상기 소스 영역, 상기 드레인 영역 및 상기 채널 영역 각각은 결정질 반도체 아일랜드에 형성되는, 액티브 매트릭스 장치 구동 방법.

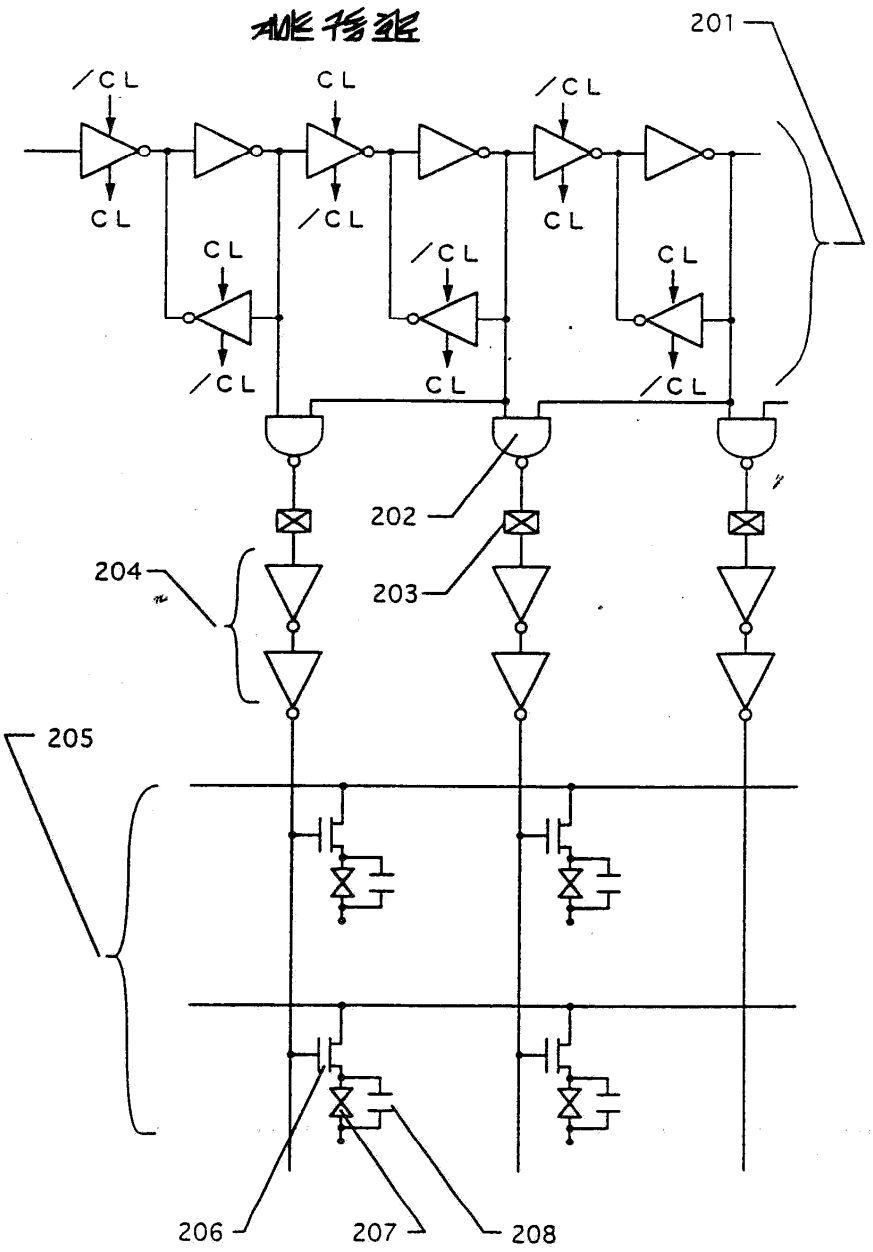
청구항 13.
제 2 항 또는 제 11 항에 있어서,
상기 액티브 매트릭스 장치는 적어도 상기 박막 트랜지스터를 구동하는 구동 회로를 더 포함하고,
상기 박막 트랜지스터 및 상기 구동 회로는 하나의 기판 위에 형성되는, 액티브 매트릭스 장치 구동 방법.

청구항 14.
제 13 항에 있어서,
상기 구동 회로는 시프트 레지스터 회로, NAND 회로, 레벨 시프트 회로, 및 버퍼 회로로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함하는, 액티브 매트릭스 장치 구동 방법.

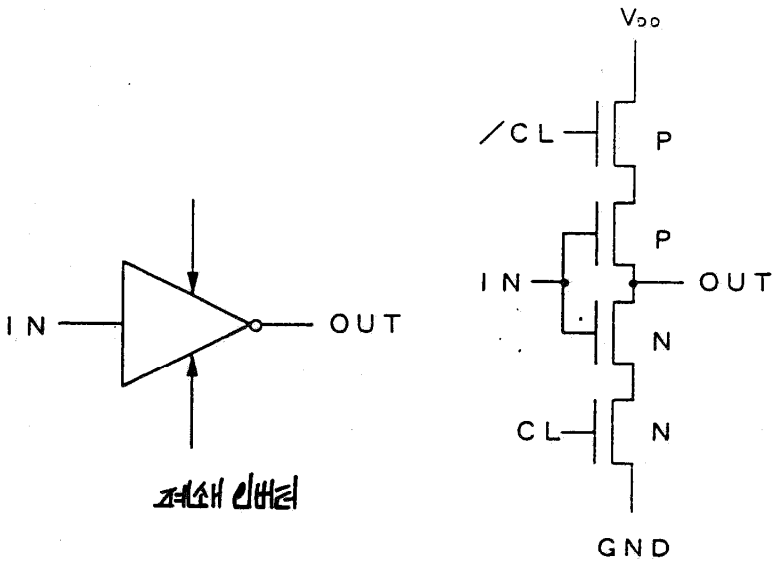
청구항 15.
제 2 항 또는 제 11 항에 있어서,
상기 액티브 매트릭스 장치는 복수의 EL 발광 소자들을 포함하는, 액티브 매트릭스 장치 구동 방법.

도면

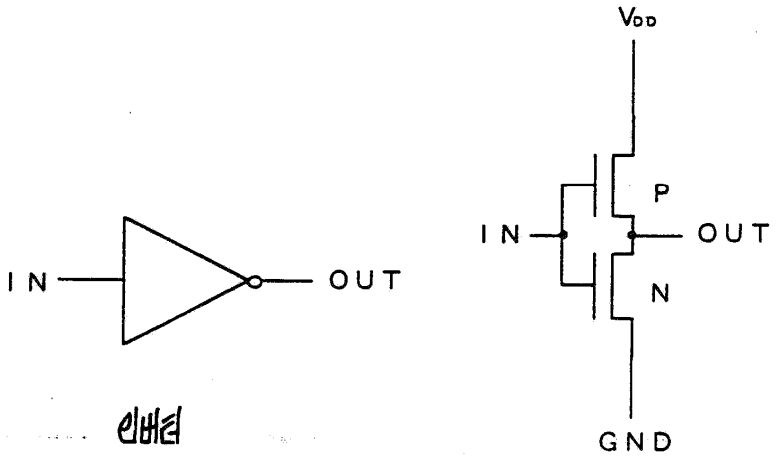
도면1



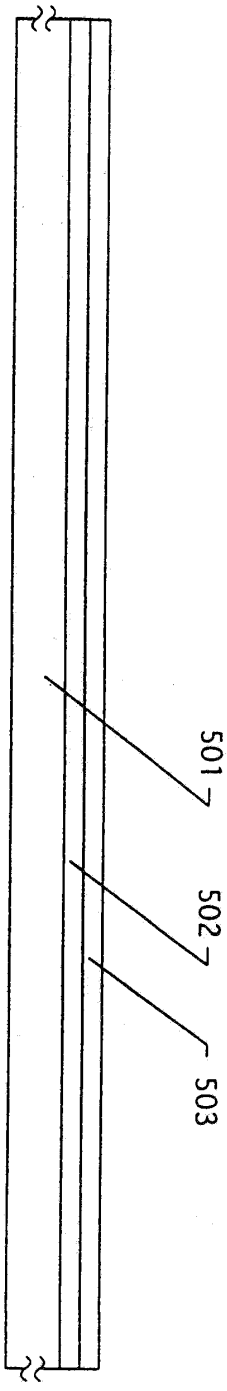
도면2a


IN
OUT
제소내 인버터
VDD
/CL
P
P
IN
OUT
N
CL
N
GND

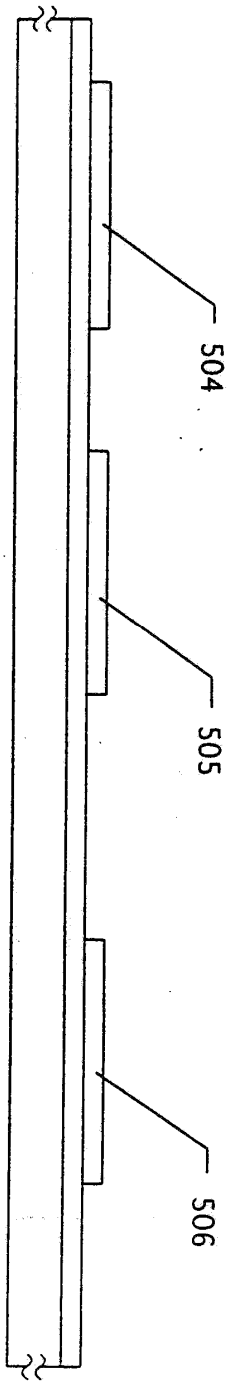
도면2b


IN
OUT
인버터
VDD
P
IN
OUT
N
GND

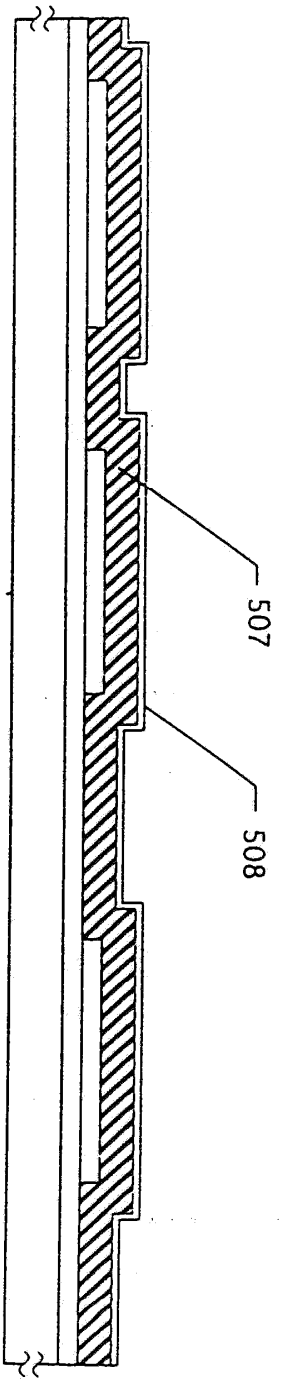
도면3a



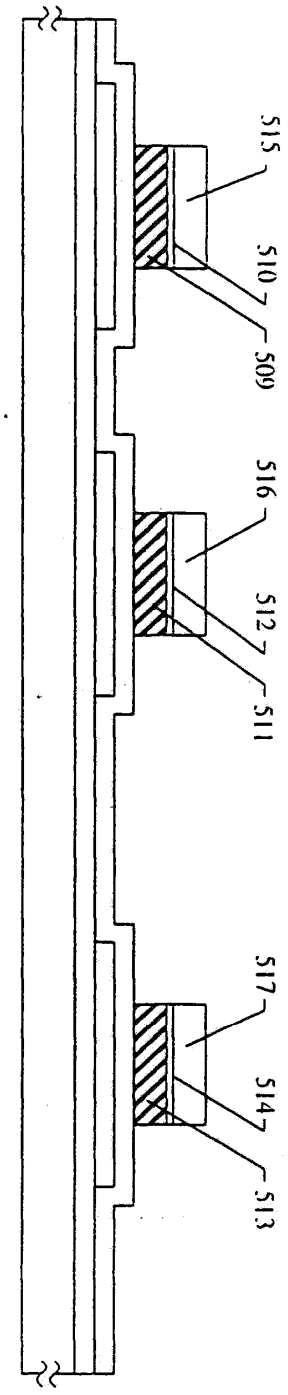
도면3b



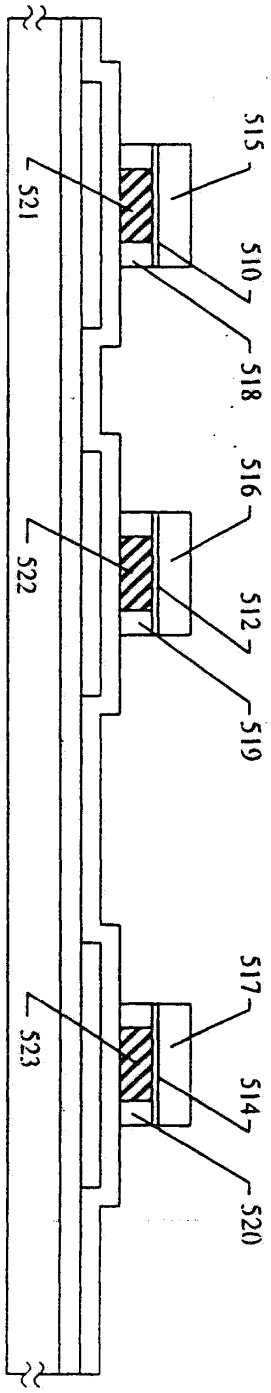
도면3c



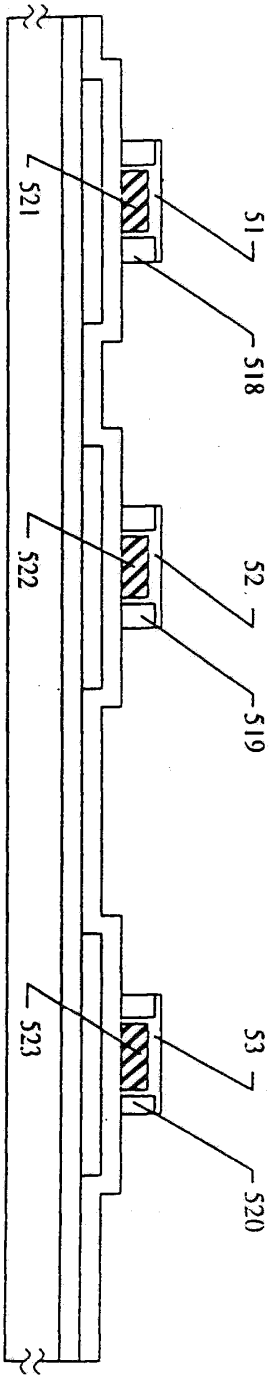
도면4a



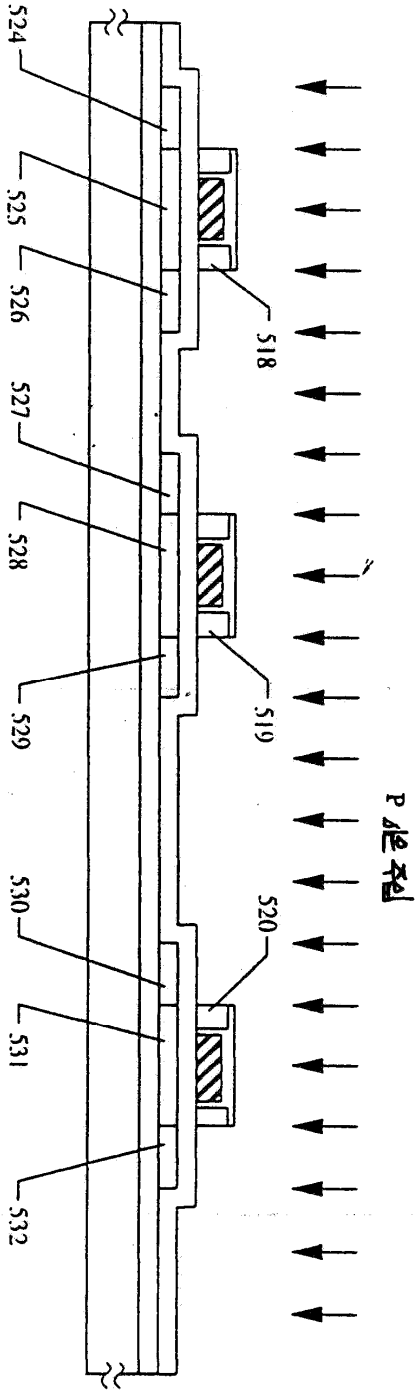
도면4b



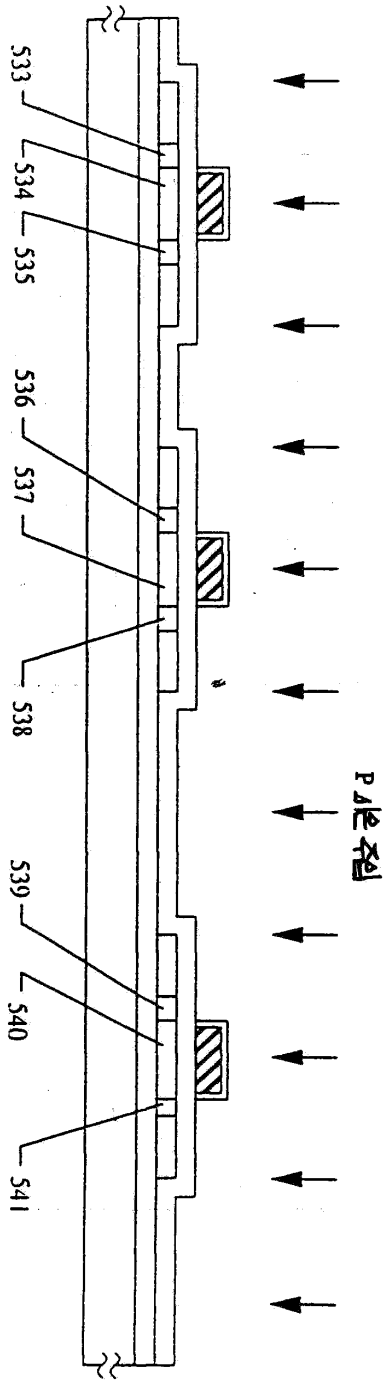
도면4c



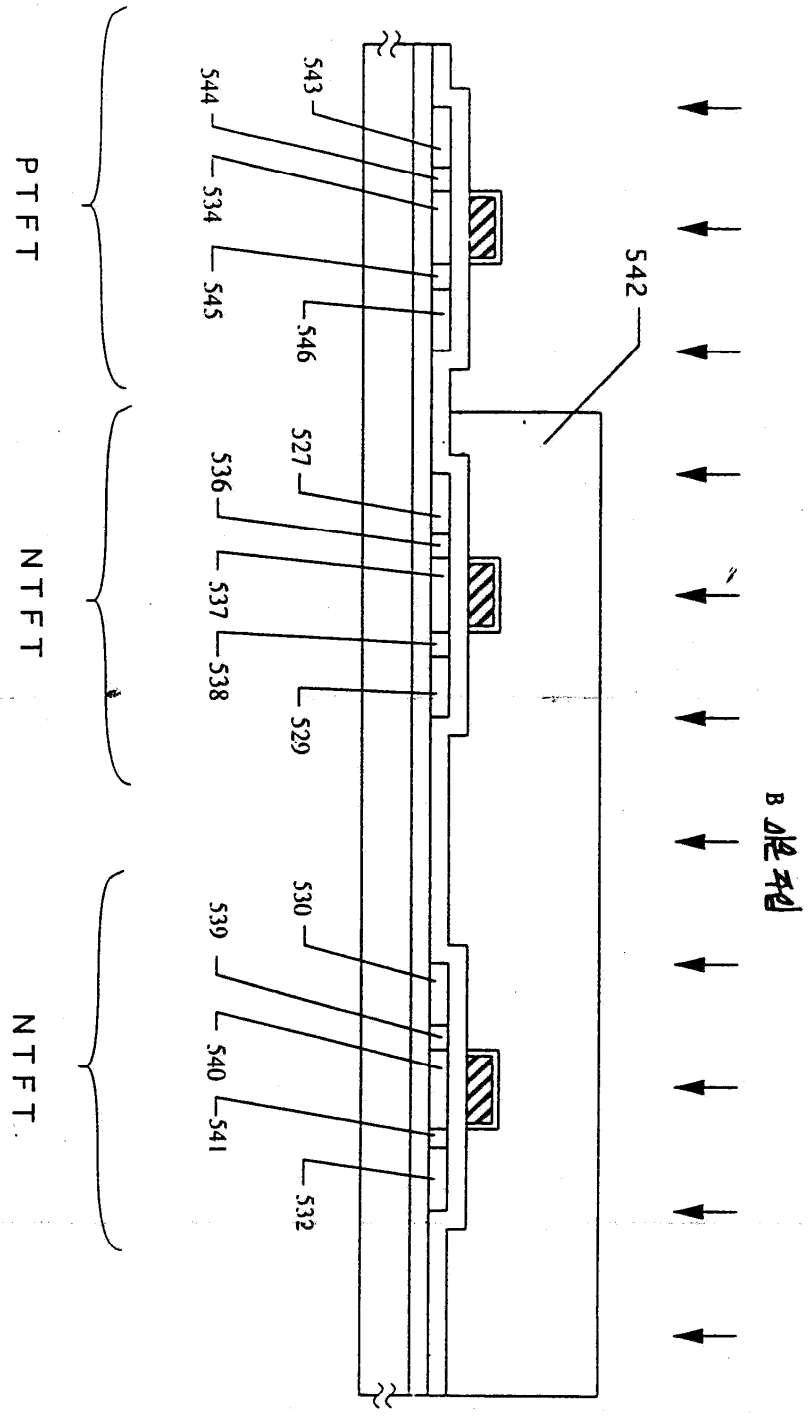
도면5a



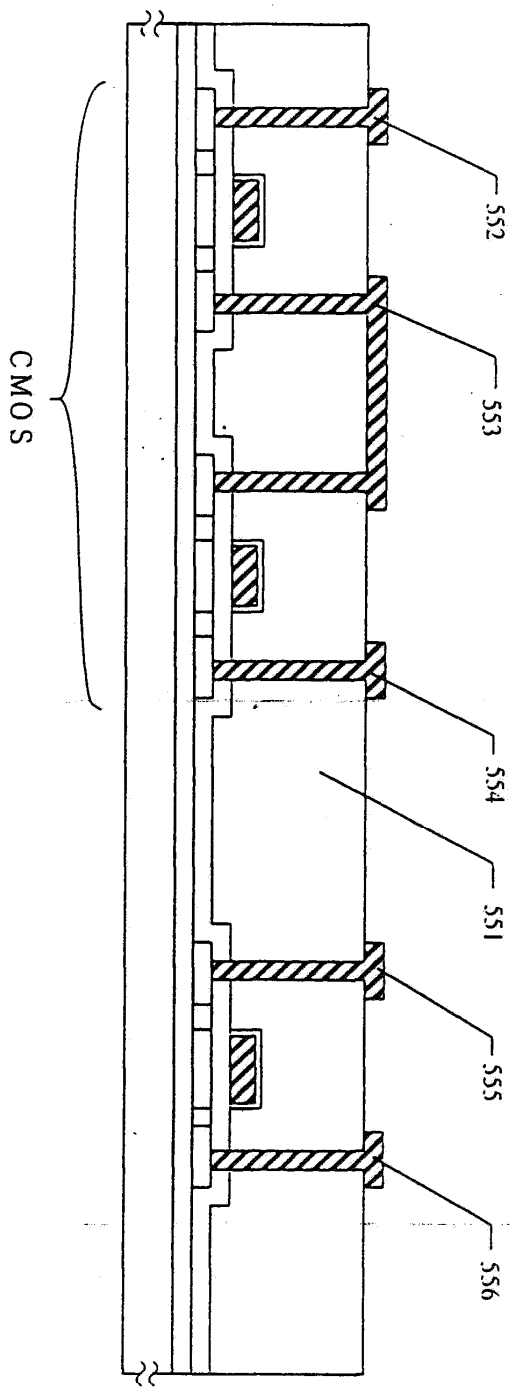
도면5b



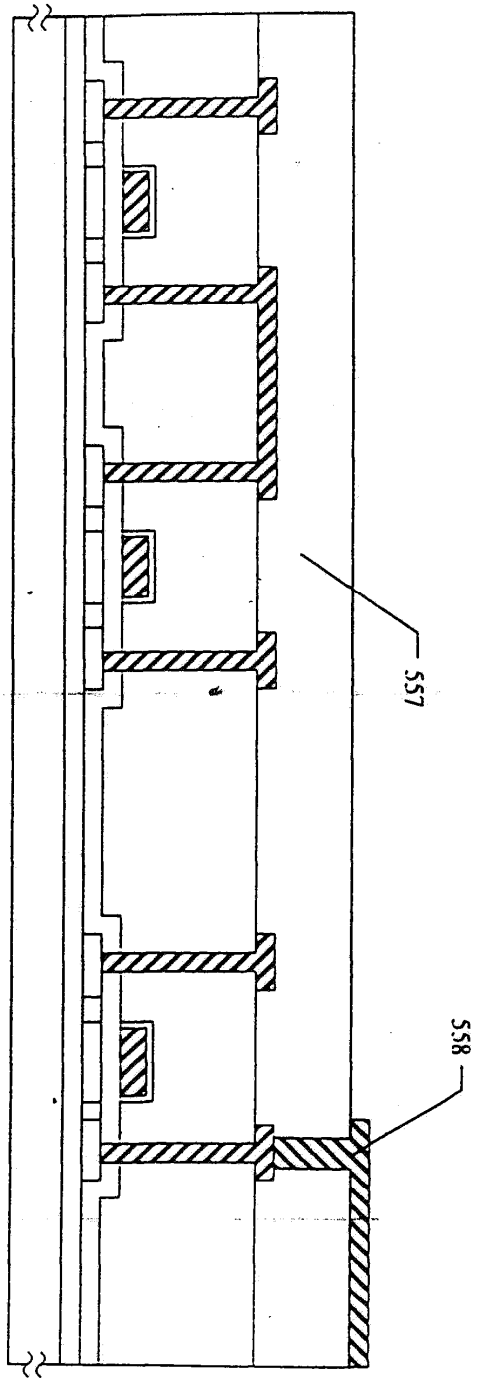
도면6


PTFT
NTFT
NTFT
543
544
534
545
546
542
527
536
537
538
529
530
539
540
541
532
B 새로 추가

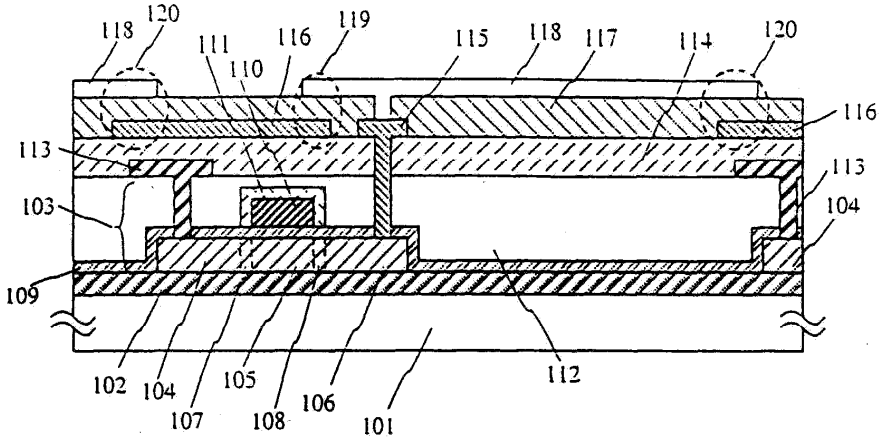
도면7a



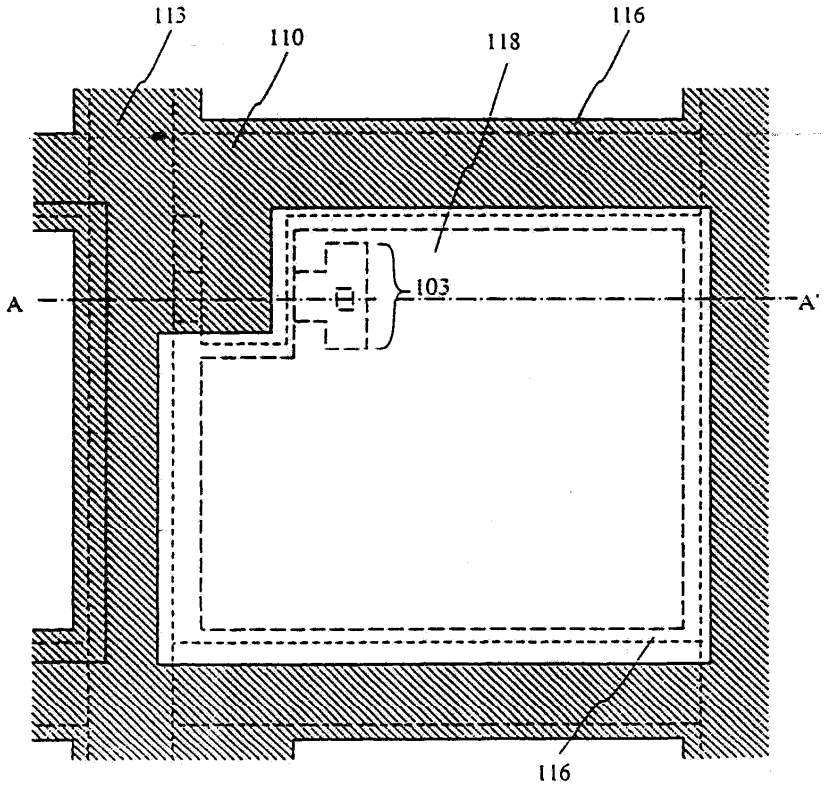
도면7b


557
558

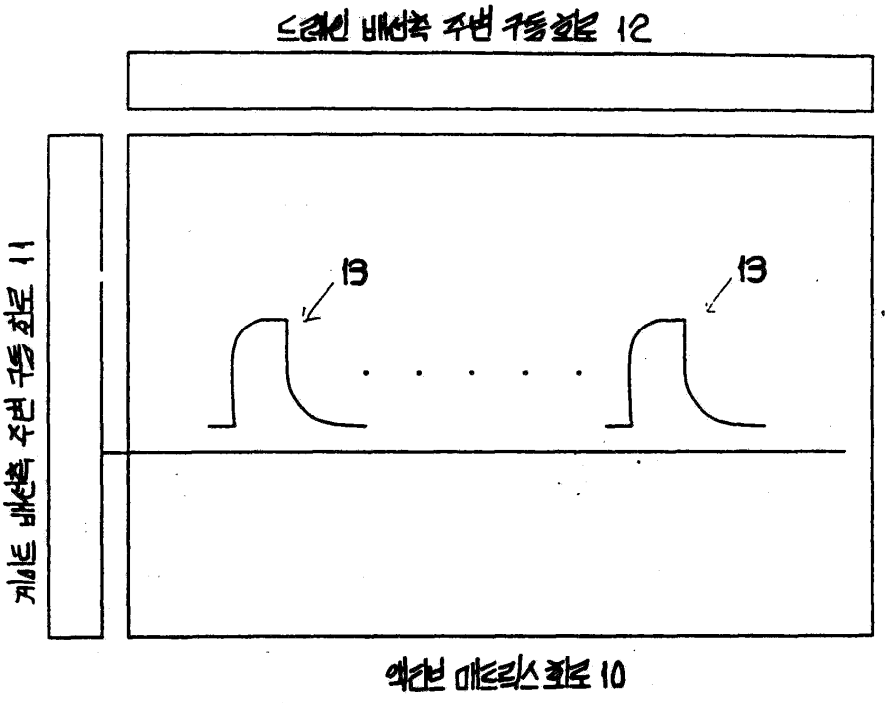
도면8


118
120
111
116
119
115
118
117
114
120
110
116
113
113
103
104
109
102
104
107
105
108
106
101
112

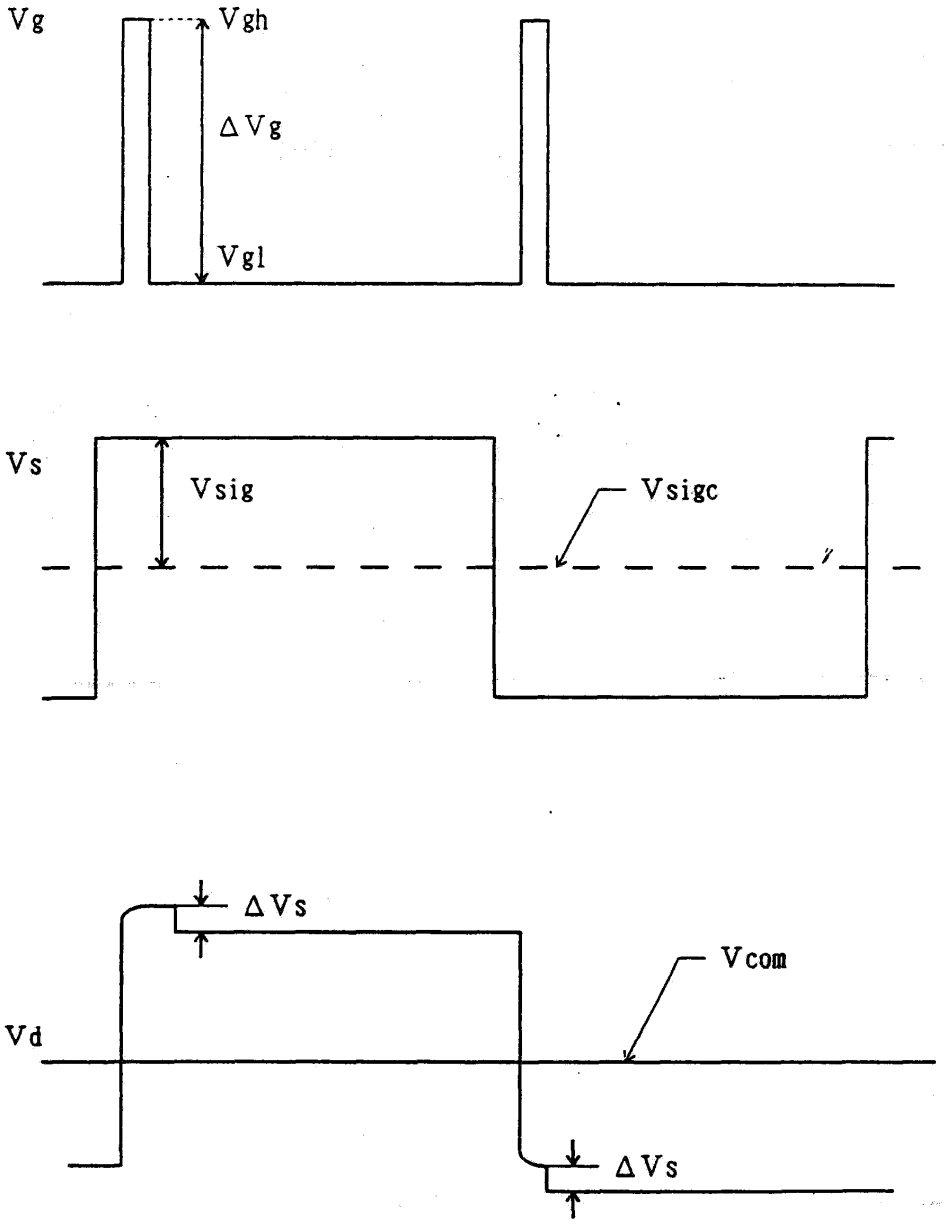
도면9


113
110
118
116
A
A'
103
116

도면10


드레인 배선측 주변 구동회로 12
13
13
게이트 배선측 주변 구동회로 11
액정표시 매트릭스 회로 10

도면11



도면12

