

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成19年11月8日(2007.11.8)

【公開番号】特開2001-222240(P2001-222240A)

【公開日】平成13年8月17日(2001.8.17)

【出願番号】特願2000-302979(P2000-302979)

【国際特許分類】

G 09 F	9/30	(2006.01)
H 01 L	27/32	(2006.01)
G 09 G	3/20	(2006.01)
G 09 G	3/30	(2006.01)
H 01 L	51/50	(2006.01)

【F I】

G 09 F	9/30	3 3 8
G 09 F	9/30	3 6 5 Z
G 09 G	3/20	6 4 1 E
G 09 G	3/30	J
H 05 B	33/14	A

【手続補正書】

【提出日】平成19年9月21日(2007.9.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、

前記画素部を構成する画素は、スイッチング用TFT、電流制御用TFT及びEL素子を有し、

前記スイッチング用TFTのLDD領域は、ゲート絶縁膜を介して前記スイッチング用TFTのゲート電極と重ならない位置に形成され、

前記電流制御用TFTのLDD領域は、前記ゲート絶縁膜を介して前記電流制御用TFTのゲート電極と重ならない位置に形成され、

前記スイッチング用TFTはnチャネル型TFTまたはpチャネル型TFTからなり、

前記電流制御用TFTはpチャネル型TFTからなり、

前記電流制御用TFTのドレインは前記EL素子の陽極に電気的に接続され、

前記ソース駆動回路及びゲート駆動回路は、CMOS回路を有し、

前記CMOS回路のnチャネル型TFTのLDD領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とするEL表示装置。

【請求項2】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、

前記画素部を構成する画素は、スイッチング用TFT、電流制御用TFT及びEL素子を有し、

前記スイッチング用TFTのLDD領域は、ゲート絶縁膜を介して前記スイッチング用TFTのゲート電極と重ならない位置に形成され、

前記電流制御用TFTのLDD領域は、前記ゲート絶縁膜を介して前記電流制御用TFTのゲート電極と重ならない位置に形成され、

前記スイッチング用 TFT は n チャネル型 TFT または p チャネル型 TFT からなり、
前記電流制御用 TFT は n チャネル型 TFT からなり、
前記電流制御用 TFT のドレインは前記 EL 素子の陰極に電気的に接続され、
前記ソース駆動回路及びゲート駆動回路は、CMOS 回路を有し、
前記 CMOS 回路の n チャネル型 TFT の LDD 領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とする EL 表示装置。

【請求項 3】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、
前記画素部を構成する画素は、スイッチング用 TFT、電流制御用 TFT 及び EL 素子を有し、
前記スイッチング用 TFT の LDD 領域は、ゲート絶縁膜を介して前記スイッチング用 TFT のゲート電極と重ならない位置に形成され、
前記電流制御用 TFT の LDD 領域は、前記ゲート絶縁膜を介して前記電流制御用 TFT のゲート電極と一部が重なる位置に形成され、
前記スイッチング用 TFT は n チャネル型 TFT または p チャネル型 TFT からなり、
前記電流制御用 TFT は p チャネル型 TFT からなり、
前記電流制御用 TFT のドレインは前記 EL 素子の陽極に電気的に接続され、
前記ソース駆動回路及びゲート駆動回路は、CMOS 回路を有し、
前記 CMOS 回路の n チャネル型 TFT の LDD 領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とする EL 表示装置。

【請求項 4】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、
前記画素部を構成する画素は、スイッチング用 TFT、電流制御用 TFT 及び EL 素子を有し、
前記スイッチング用 TFT の LDD 領域は、ゲート絶縁膜を介して前記スイッチング用 TFT のゲート電極と重ならない位置に形成され、
前記電流制御用 TFT の LDD 領域は、前記ゲート絶縁膜を介して前記電流制御用 TFT のゲート電極と一部が重なる位置に形成され、
前記スイッチング用 TFT は n チャネル型 TFT または p チャネル型 TFT からなり、
前記電流制御用 TFT は n チャネル型 TFT からなり、
前記電流制御用 TFT のドレインは前記 EL 素子の陰極に電気的に接続され、
前記ソース駆動回路及びゲート駆動回路は、CMOS 回路を有し、
前記 CMOS 回路の n チャネル型 TFT の LDD 領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とする EL 表示装置。

【請求項 5】

請求項 3 または請求項 4 において、
前記電流制御用 TFT のゲート電極と一部が重なる LDD 領域は、ドレイン側のみに形成されることを特徴とする EL 表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、
前記 CMOS 回路の n チャネル型 TFT の LDD 領域は、ドレイン側のみに形成されることを特徴とする EL 表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一に記載の EL 表示装置を含む電気器具。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一に記載の EL 表示装置を有し、前記 EL 表示装置が時分割階調方式により表示されることを特徴とする電気器具。