

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 2 区分
 【発行日】平成 19 年 11 月 8 日 (2007.11.8)

【公開番号】特開 2001-222240 (P2001-222240A)
 【公開日】平成 13 年 8 月 17 日 (2001.8.17)
 【出願番号】特願 2000-302979 (P2000-302979)
 【国際特許分類】

G 0 9 F 9/30 (2006.01)
H 0 1 L 27/32 (2006.01)
G 0 9 G 3/20 (2006.01)
G 0 9 G 3/30 (2006.01)
 H 0 1 L 51/50 (2006.01)

【F I】

G 0 9 F 9/30 3 3 8
 G 0 9 F 9/30 3 6 5 Z
 G 0 9 G 3/20 6 4 1 E
 G 0 9 G 3/30 J
 H 0 5 B 33/14 A

【手続補正書】
 【提出日】平成 19 年 9 月 21 日 (2007.9.21)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、
 前記画素部を構成する画素は、スイッチング用 T F T、電流制御用 T F T 及び E L 素子を有し、
 前記スイッチング用 T F T の L D D 領域は、ゲート絶縁膜を介して前記スイッチング用 T F T のゲート電極と重ならない位置に形成され、
 前記電流制御用 T F T の L D D 領域は、前記ゲート絶縁膜を介して前記電流制御用 T F T のゲート電極と重ならない位置に形成され、
 前記スイッチング用 T F T は n チャネル型 T F T または p チャネル型 T F T からなり、
 前記電流制御用 T F T は p チャネル型 T F T からなり、
 前記電流制御用 T F T のドレインは前記 E L 素子の陽極に電氣的に接続され、
 前記ソース駆動回路及びゲート駆動回路は、C M O S 回路を有し、
 前記 C M O S 回路の n チャネル型 T F T の L D D 領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とする E L 表示装置。

【請求項 2】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、
 前記画素部を構成する画素は、スイッチング用 T F T、電流制御用 T F T 及び E L 素子を有し、
 前記スイッチング用 T F T の L D D 領域は、ゲート絶縁膜を介して前記スイッチング用 T F T のゲート電極と重ならない位置に形成され、
 前記電流制御用 T F T の L D D 領域は、前記ゲート絶縁膜を介して前記電流制御用 T F T のゲート電極と重ならない位置に形成され、

前記スイッチング用 T F T は n チャンネル型 T F T または p チャンネル型 T F T からなり、
前記電流制御用 T F T は n チャンネル型 T F T からなり、
前記電流制御用 T F T のドレインは前記 E L 素子の陰極に電氣的に接続され、
前記ソース駆動回路及びゲート駆動回路は、C M O S 回路を有し、
前記 C M O S 回路の n チャンネル型 T F T の L D D 領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とする E L 表示装置。

【請求項 3】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、
前記画素部を構成する画素は、スイッチング用 T F T、電流制御用 T F T 及び E L 素子を有し、
前記スイッチング用 T F T の L D D 領域は、ゲート絶縁膜を介して前記スイッチング用 T F T のゲート電極と重ならない位置に形成され、
前記電流制御用 T F T の L D D 領域は、前記ゲート絶縁膜を介して前記電流制御用 T F T のゲート電極と一部が重なる位置に形成され、
前記スイッチング用 T F T は n チャンネル型 T F T または p チャンネル型 T F T からなり、
前記電流制御用 T F T は p チャンネル型 T F T からなり、
前記電流制御用 T F T のドレインは前記 E L 素子の陽極に電氣的に接続され、
前記ソース駆動回路及びゲート駆動回路は、C M O S 回路を有し、
前記 C M O S 回路の n チャンネル型 T F T の L D D 領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とする E L 表示装置。

【請求項 4】

同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、
前記画素部を構成する画素は、スイッチング用 T F T、電流制御用 T F T 及び E L 素子を有し、
前記スイッチング用 T F T の L D D 領域は、ゲート絶縁膜を介して前記スイッチング用 T F T のゲート電極と重ならない位置に形成され、
前記電流制御用 T F T の L D D 領域は、前記ゲート絶縁膜を介して前記電流制御用 T F T のゲート電極と一部が重なる位置に形成され、
前記スイッチング用 T F T は n チャンネル型 T F T または p チャンネル型 T F T からなり、
前記電流制御用 T F T は n チャンネル型 T F T からなり、
前記電流制御用 T F T のドレインは前記 E L 素子の陰極に電氣的に接続され、
前記ソース駆動回路及びゲート駆動回路は、C M O S 回路を有し、
前記 C M O S 回路の n チャンネル型 T F T の L D D 領域は、前記ゲート絶縁膜を介してゲート電極と重なる位置に形成されることを特徴とする E L 表示装置。

【請求項 5】

請求項 3 または請求項 4 において、
前記電流制御用 T F T のゲート電極と一部が重なる L D D 領域は、ドレイン側のみに形成されることを特徴とする E L 表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、
前記 C M O S 回路の n チャンネル型 T F T の L D D 領域は、ドレイン側のみに形成されることを特徴とする E L 表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーに記載の E L 表示装置を含む電気器具。

【請求項 8】

請求項 1 乃至請求項 6 のいずれかーに記載の E L 表示装置を有し、前記 E L 表示装置が時分割階調方式により表示されることを特徴とする電気器具。