



등록특허 10-2284228



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월03일
(11) 등록번호 10-2284228
(24) 등록일자 2021년07월27일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 27/32* (2006.01)
H01L 51/52 (2006.01)
- (21) 출원번호 10-2014-0067717
(22) 출원일자 2014년06월03일
심사청구일자 2019년05월20일
- (65) 공개번호 10-2014-0143108
(43) 공개일자 2014년12월15일
- (30) 우선권주장
JP-P-2013-119149 2013년06월05일 일본(JP)
- (56) 선행기술조사문현
JP2007123861 A*
(뒷면에 계속)
- 전체 청구항 수 : 총 16 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자
야마자키 순페이
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
미야케 히로유키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인
장훈

심사관 : 장영주

(54) 발명의 명칭 표시 장치

(57) 요약

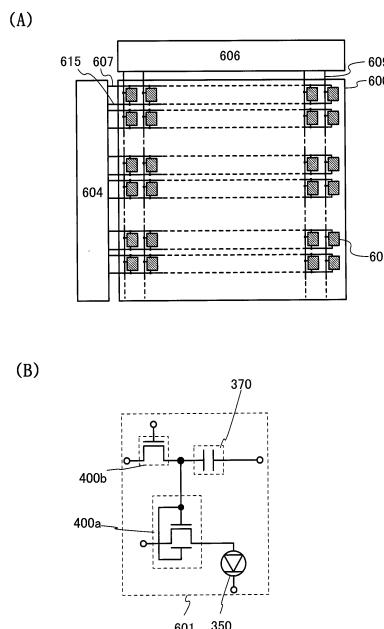
[과제]

신뢰성이 높은 표시 장치를 제공한다. 또는, 양호한 표시 특성을 갖는 표시 장치를 제공한다.

[해결 수단]

(뒷면에 계속)

대 표 도 - 도1



선택 트랜지스터, 구동 트랜지스터 및 발광 소자를 포함하는 화소에 있어서, 구동 트랜지스터로서, 산화물 반도체막에 채널이 형성되고, 그 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하인 트랜지스터를 적용한다. 또한, 상기 구동 트랜지스터로서, 산화물 반도체막의 상층 및 하층에 각각 중첩하는 제 1 게이트 전극 및 제 2 게이트 전극을 갖고, 각 게이트 전극이 서로 전기적으로 접속되어 있는 구성으로 한다. 또한, 구동 트랜지스터만큼의 전계 효과 이동도가 요구되지 않는 화소의 선택 트랜지스터의 채널 길이를, 적어도 구동 트랜지스터의 채널 길이보다 크게 한다.

(72) 발명자

이노우에 세이코

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

마쓰다 신페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

마츠바야시 다이스케

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

하야카와 마사히코

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이사 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2011124360 A*

KR100662986 B1*

KR1020130040387 A*

US20110049509 A1*

US20110109351 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

표시 장치에 있어서:

기판;

상기 기판 위의 제 1 트랜지스터로서,

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위의 제 1 산화물 반도체막;

상기 제 1 산화물 반도체막 위의 제 1 소스 전극 및 제 1 드레인 전극;

상기 제 1 산화물 반도체막, 상기 제 1 소스 전극, 및 상기 제 1 드레인 전극 위의 제 2 게이트 절연막;
및

상기 제 2 게이트 절연막 위의 제 2 게이트 전극 및 화소 전극을 포함하는, 상기 제 1 트랜지스터;

상기 기판 위의 제 2 트랜지스터로서,

제 3 게이트 전극;

상기 제 3 게이트 전극 위의 상기 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위의 제 2 산화물 반도체막;

상기 제 2 산화물 반도체막 위의 제 2 소스 전극 및 제 2 드레인 전극; 및

상기 제 2 산화물 반도체막, 상기 제 2 소스 전극, 및 상기 제 2 드레인 전극 위의 상기 제 2 게이트 절연막을 포함하는, 상기 제 2 트랜지스터; 및

상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속된 발광 소자를 포함하고,

상기 제 1 산화물 반도체막은 상기 제 1 게이트 전극과 상기 제 2 게이트 전극 사이에 위치되고,

상기 제 2 게이트 전극은 상기 제 1 트랜지스터의 채널 폭 방향에서 서로 대향하는 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 산화물 반도체막은 상기 제 2 게이트 전극의 상기 제 1 영역과 상기 제 2 영역 사이에 위치되고,

상기 제 1 산화물 반도체막은 인듐 및 아연을 포함하고,

상기 제 1 산화물 반도체막은 결정성 영역을 포함하고,

상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 한쪽은 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극에 전기적으로 접속되고,

상기 화소 전극은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 채널 폭에 대한 채널 길이의 비는 상기 제 1 트랜지스터의 채널 폭에 대한 채널 길이의 비보다 큰, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터는,

상기 제 1 게이트 절연막 위의 제 3 산화물 반도체막; 및

상기 제 1 산화물 반도체막 위의 제 4 산화물 반도체막을 포함하고,

상기 제 1 산화물 반도체막은 상기 제 3 산화물 반도체막과 상기 제 4 산화물 반도체막 사이에 위치되고,

상기 제 1 소스 전극과 상기 제 1 드레인 전극은 상기 제 4 산화물 반도체막 위에 위치되고,

상기 제 1 산화물 반도체막, 상기 제 3 산화물 반도체막, 및 상기 제 4 산화물 반도체막의 각각은 인듐, 갈륨, 및 아연을 포함하는, 표시 장치.

청구항 3

표시 장치에 있어서:

기판;

상기 기판 위의 제 1 트랜지스터로서,

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위의 제 1 산화물 반도체막;

상기 제 1 산화물 반도체막 위의 제 1 소스 전극 및 제 1 드레인 전극;

상기 제 1 산화물 반도체막, 상기 제 1 소스 전극, 및 상기 제 1 드레인 전극 위의 제 2 게이트 절연막;
및

상기 제 2 게이트 절연막 위의 제 2 게이트 전극 및 화소 전극을 포함하는, 상기 제 1 트랜지스터;

상기 기판 위의 제 2 트랜지스터로서,

제 3 게이트 전극;

상기 제 3 게이트 전극 위의 상기 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위의 제 2 산화물 반도체막;

상기 제 2 산화물 반도체막 위의 제 2 소스 전극 및 제 2 드레인 전극; 및

상기 제 2 산화물 반도체막, 상기 제 2 소스 전극, 및 상기 제 2 드레인 전극 위의 제 3 게이트 절연막을 포함하는, 상기 제 2 트랜지스터; 및

상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속된 발광 소자를 포함하고,

상기 제 1 산화물 반도체막은 상기 제 1 게이트 전극과 상기 제 2 게이트 전극 사이에 위치되고,

상기 제 2 게이트 전극은 상기 제 1 트랜지스터의 채널 폭 방향에서 서로 대향하는 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 산화물 반도체막은 상기 제 2 게이트 전극의 상기 제 1 영역과 상기 제 2 영역 사이에 위치되고,

상기 제 1 산화물 반도체막은 인듐 및 아연을 포함하고,

상기 제 1 산화물 반도체막은 결정성 영역을 포함하고,

상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 한쪽은 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극에 전기적으로 접속되고,

상기 화소 전극은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 채널 폭에 대한 채널 길이의 비는 상기 제 1 트랜지스터의 채널 폭에 대한 채널 길이의 비보다 크고,

상기 제 2 게이트 절연막과 상기 제 3 게이트 절연막은 서로 분리되는, 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 트랜지스터는,

상기 제 1 게이트 절연막 위의 제 3 산화물 반도체막; 및

상기 제 1 산화물 반도체막 위의 제 4 산화물 반도체막을 포함하고,

상기 제 1 산화물 반도체막은 상기 제 3 산화물 반도체막과 상기 제 4 산화물 반도체막 사이에 위치되고,

상기 제 1 산화물 반도체막, 상기 제 3 산화물 반도체막, 및 상기 제 4 산화물 반도체막의 각각은 인듐, 갈륨, 및 아연을 포함하는, 표시 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트 전극은 상기 제 2 게이트 절연막의 측면과 접하는, 표시 장치.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체막의 측면은 상기 제 1 트랜지스터의 상기 채널 폭 방향에서 상기 제 2 게이트 전극과 대향하는, 표시 장치.

청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트 전극은 상기 제 1 게이트 절연막과 접하는, 표시 장치.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트 절연막은 상기 제 1 게이트 절연막과 접하는, 표시 장치.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트 전극은 상기 제 1 게이트 절연막에 제공된 콘택트 홀을 통해 상기 제 1 게이트 전극에 전기적으로 접속되는, 표시 장치.

청구항 10

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트 전극은 상기 제 1 게이트 절연막에 각각 제공된 제 1 콘택트 홀 및 제 2 콘택트 홀을 통해 상기 제 1 게이트 전극에 전기적으로 접속되고,

상기 제 1 산화물 반도체막은 상기 제 1 콘택트 홀과 상기 제 2 콘택트 홀 사이에 위치되는, 표시 장치.

청구항 11

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 게이트 전극의 단부는 상기 제 1 산화물 반도체막의 단부를 넘어 연장하는, 표시 장치.

청구항 12

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트 절연막은,

제 1 산화물 절연막;

상기 제 1 산화물 절연막 위의 제 2 산화물 절연막; 및

상기 제 2 산화물 절연막 위의 질화물 절연막을 포함하는, 표시 장치.

청구항 13

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터는 듀얼 게이트 구조를 갖고 상기 제 2 트랜지스터는 하나의 게이트 전극을 포함하는 싱글 게이트 구조를 갖는, 표시 장치.

청구항 14

표시 장치에 있어서:

발광 소자;

상기 발광 소자에 전기적으로 접속된 제 1 트랜지스터; 및

상기 제 1 트랜지스터에 전기적으로 접속된 제 2 트랜지스터를 포함하고,

상기 제 1 트랜지스터는 듀얼 게이트 구조를 갖고 화소 전극을 포함하고,

상기 제 2 트랜지스터는 싱글 게이트 구조를 갖고,

상기 제 2 트랜지스터의 채널 폭에 대한 채널 길이의 비는 상기 제 1 트랜지스터의 채널 폭에 대한 채널 길이의 비보다 큰, 표시 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 포함하고,

상기 제 1 산화물 반도체막은 인듐 및 아연을 포함하는, 표시 장치.

청구항 16

제 15 항에 있어서,

상기 제 1 산화물 반도체막은 결정성 영역을 포함하는, 표시 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

- [0001] 본 명세서에서 개시하는 발명은, 표시 장치 및 그 제작 방법에 관한 것이다. 특히, 본 발명의 일 형태는, 산화물 반도체막을 갖는 트랜지스터를 구비한 표시 장치 및 그 제작 방법에 관한 것이다.

배경 기술

- [0002] 유기 일렉트로루미네센스(Electroluminescence, 이하 EL이라고도 기재함) 등의 발광 소자를 사용한 표시 장치는 시인성이 높고, 박형화에 최적인 동시에, 시야각에도 제한이 없으므로, CRT(cathode ray tube)나 액정 표시 장치를 대신할 표시 장치로서 주목받고 있다. 발광 소자를 사용한 액티브 매트릭스형의 표시 장치는 통상, 적어도 발광 소자와, 비디오 신호의 화소로의 입력을 제어하는 트랜지스터(스위칭(선택)용 트랜지스터)와, 상기 발광 소자에 공급하는 전류값을 제어하는 트랜지스터(구동용 트랜지스터)가 각 화소에 제공되어 있다.

- [0003] 표시 장치에 사용되고 있는 트랜지스터는, 유리 기판 위에 형성된 비정질 실리콘, 단결정 실리콘 또는 다결정 실리콘 등의 실리콘 반도체에 의하여 구성되어 있다.

- [0004] 또한, 최근에, 실리콘 반도체를 대신하여, 반도체 특성을 갖는 금속 산화물(산화물 반도체)을 트랜지스터에 사용하는 기술이 주목받고 있다. 예를 들어, 산화물 반도체로서, 산화 아연, 또는 In-Ga-Zn 산화물을 사용한 트랜지스터를 제작하고, 이 트랜지스터를 표시 장치의 화소의 스위칭용 트랜지스터 등에 사용하는 기술이 개시되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개 2007-123861호 공보

발명의 내용

해결하려는 과제

- [0006] 발광 소자를 포함하는 표시 장치에서는, 구동용 트랜지스터의 드레인 전류가 발광 소자에 공급된다. 따라서, 구동용 트랜지스터가 열화되어, 문턱 전압이 변동하면, 발광 소자의 휘도도 변동한다. 따라서, 구동용 트랜지스터의 문턱 전압의 변동을 억제하는 것은, 표시 장치의 화질 향상을 도모함에 있어서 중요한 과제이다.

- [0007] 또한, 표시 장치의 고속 구동을 위해서는, 구동용 트랜지스터로서, 전계 효과 이동도가 높은 트랜지스터를 사용하는 것이 요망된다.

- [0008] 한편, 표시 장치의 저소비 전력화를 위해서는, 선택용 트랜지스터로서, 문턱 전압이 플러스가 되는 전기 특성(노멀리 오프 특성이라고도 함.)의 트랜지스터를 적용하는 것이 요망된다. 또는, 선택용 트랜지스터로서, 드레인 전류(Id)-케이트 전압(Vg) 특성 커브에 있어서, 케이트 전압이 0V일 때의 드레인 전류(컷오프 전류(Icut))의 값이 저감된 트랜지스터를 적용하는 것이 요망된다.

- [0009] 상기 문제를 감안하여, 본 발명의 일 형태는, 트랜지스터의 문턱 전압의 변동에 의한 영향이 저감된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 신뢰성이 높은 표시 장치를 제공하는 것을 과제 중 하나로 한다.

- [0010] 또한, 본 발명의 일 형태는, 양호한 표시 특성을 갖는 표시 장치를 제공하는 것을 과제 중 하나로 한다.

- [0011] 또한, 본 발명의 일 형태는, 저소비 전력화를 달성한 표시 장치를 제공하는 것을 과제 중 하나로 한다.

- [0012] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는, 이들 과제 전체를 해결할 필요는 없는 것으로 한다. 또한, 상기 이외의 과제는, 명세서 등의 기재로부터 저절로 명백해지는 것이며, 명세서 등의 기재로부터 상기 이외의 과제를 추출할 수 있다.

과제의 해결 수단

- [0013] 선택 트랜지스터, 구동 트랜지스터 및 발광 소자를 포함하는 화소에 있어서, 구동 트랜지스터로서, 산화물 반도

체막에 채널이 형성되고, 그 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하인 트랜지스터를 적용한다. 또한, 구동용 트랜지스터로서, 산화물 반도체막의 상층 및 하층에 각각 중첩하는 제 1 게이트 전극 및 제 2 게이트 전극을 갖고, 각 게이트 전극이 서로 전기적으로 접속되어 있는 구성으로 한다. 이로써, 구동 트랜지스터의 전계 효과 이동도 및 온 전류를 향상시킬 수 있고, 고구동 주파수에서도 양호한 표시가 가능한 표시 장치로 할 수 있다. 또한, 구동 트랜지스터만큼의 전계 효과 이동도가 요구되지 않는 화소의 선택 트랜지스터의 채널 길이를, 적어도 구동 트랜지스터의 채널 길이보다도 크게 함으로써, 화소의 개구율을 높이면서 저소비 전력화를 달성하는 것이 가능해진다.

[0014] 보다 구체적으로는, 예를 들어 이하의 구성으로 할 수 있다.

본 발명의 일 형태는, 발광 소자와, 발광 소자의 구동 트랜지스터로서 기능하는 제 1 트랜지스터와, 제 1 트랜지스터와 전기적으로 접속하고, 선택 트랜지스터로서 기능하는 제 2 트랜지스터를 포함하는 화소를 갖고, 제 1 트랜지스터는, 절연 표면 위의 제 1 게이트 전극과, 제 1 게이트 전극 위의 제 1 절연막과, 제 1 절연막을 개재하여 제 1 게이트 전극과 중첩하는 제 1 산화물 반도체막과, 제 1 산화물 반도체막과 전기적으로 접속하고, 제 1 산화물 반도체막 위에 단부를 갖는 한 쌍의 전극과, 제 1 산화물 반도체막 위의 제 2 절연막과, 제 2 절연막을 개재하여 제 1 산화물 반도체막 위에 제공되고, 제 1 게이트 전극과 중첩하는 제 2 게이트 전극을 갖고, 제 2 게이트 전극은, 채널 폭 방향에 있어서 제 2 절연막을 개재하여 제 1 산화물 반도체막의 측면과 대향하는 영역을 갖고, 제 2 트랜지스터는, 절연 표면 위의 제 3 게이트 전극과, 제 3 게이트 전극 위의 제 1 절연막과, 제 1 절연막을 개재하여 제 3 게이트 전극과 중첩하는 제 2 산화물 반도체막과, 제 2 산화물 반도체막과 전기적으로 접속하고, 제 2 산화물 반도체막 위에 단부를 갖는 한 쌍의 전극을 갖고, 제 1 트랜지스터의 한 쌍의 전극의 간격은 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하이고, 제 2 트랜지스터의 한 쌍의 전극의 간격은 제 1 트랜지스터의 한 쌍의 전극의 간격보다도 넓은 것을 특징으로 하는 표시 장치이다.

[0016] 또한, 본 발명의 일 형태는, 발광 소자와, 발광 소자의 구동 트랜지스터로서 기능하는 제 1 트랜지스터와, 제 1 트랜지스터와 전기적으로 접속하고, 선택 트랜지스터로서 기능하는 제 2 트랜지스터를 포함하는 화소를 갖고, 제 1 트랜지스터는, 절연 표면 위의 제 1 게이트 전극과, 제 1 게이트 전극 위의 제 1 절연막과, 제 1 절연막을 개재하여 제 1 게이트 전극과 중첩하는 제 1 산화물 반도체막과, 제 1 산화물 반도체막과 전기적으로 접속하고, 제 1 산화물 반도체막 위에 단부를 갖는 한 쌍의 전극과, 제 1 산화물 반도체막 위의 제 2 절연막과, 제 2 절연막을 개재하여 제 1 산화물 반도체막 위에 제공되고, 제 1 게이트 전극과 중첩하는 제 2 게이트 전극을 갖고, 제 2 게이트 전극은, 채널 폭 방향에 있어서 제 2 절연막을 개재하여 제 1 산화물 반도체막의 측면과 대향하는 영역을 갖고, 제 2 트랜지스터는, 절연 표면 위의 제 3 게이트 전극과, 제 3 게이트 전극 위의 제 1 절연막과, 제 1 절연막을 개재하여 제 3 게이트 전극과 중첩하는 제 2 산화물 반도체막과, 제 2 산화물 반도체막과 전기적으로 접속하고, 제 2 산화물 반도체막 위에 단부를 갖는 한 쌍의 전극을 갖고, 제 1 트랜지스터의 한 쌍의 전극의 간격은 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하이고, 제 2 트랜지스터의 한 쌍의 전극의 간격은 제 1 트랜지스터의 한 쌍의 전극의 간격보다도 넓고, 또한, 제 2 트랜지스터의 컷오프 전류의 값은 제 1 트랜지스터의 컷오프 전류의 값보다 작은 것을 특징으로 하는 표시 장치이다.

[0017] 또한, 상기의 표시 장치에 있어서, 제 2 트랜지스터는 제 2 절연막을 개재하여 제 2 산화물 반도체막 위에 제공되고, 제 3 게이트 전극과 중첩하는 제 4 게이트 전극을 갖고, 제 3 게이트 전극 및 제 4 게이트 전극은 서로 접하는 영역을 갖고 있어도 좋다.

[0018] 또한, 상기의 표시 장치에 있어서, 제 1 게이트 전극과 제 2 게이트 전극은 서로 접하는 영역을 갖는 것이 바람직하다.

[0019] 또한, 상기의 표시 장치에 있어서, 제 1 절연막 및 제 2 절연막 중 적어도 하나는, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 갖는 것이 바람직하다.

발명의 효과

[0020] 본 발명의 일 형태에 의하여, 산화물 반도체막을 포함하는 트랜지스터의 문턱 전압의 변동에 의한 영향이 저감된 표시 장치를 제공할 수 있다.

[0021] 또한, 본 발명의 일 형태에 의하여, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0022] 또한, 본 발명의 일 형태에 의하여, 양호한 표시 특성을 갖는 표시 장치를 제공할 수 있다.

[0023] 또한, 본 발명의 일 형태에 의하여, 저소비 전력화를 달성한 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0024] 도 1은 표시 장치의 일 형태를 도시한 개념도 및 화소의 일 형태를 도시한 회로도.

도 2는 표시 장치의 일 형태를 도시한 평면도 및 단면도.

도 3은 표시 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 4는 표시 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 5는 표시 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 6은 표시 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 7은 표시 장치의 일 형태를 도시한 평면도 및 단면도.

도 8은 표시 장치의 일 형태를 도시한 평면도 및 단면도.

도 9는 표시 장치의 일 형태를 도시한 평면도, 단면도 및 회로도.

도 10은 회로 기호와 트랜지스터의 구성을 도시한 도면.

도 11은 표시 장치의 일 형태를 도시한 평면도 및 단면도.

도 12는 표시 장치의 일 형태를 도시한 평면도 및 단면도.

도 13은 표시 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 14는 표시 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 15는 표시 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 16은 표시 장치의 화소 구성의 일 형태를 설명하는 평면도.

도 17은 표시 장치의 화소 구성의 일 형태를 설명하는 단면도.

도 18은 표시 장치의 화소 구성의 일 형태를 설명하는 단면도.

도 19는 표시 장치의 일 형태를 설명하는 단면도.

도 20은 표시 장치의 일 형태를 설명하는 평면도 및 단면도.

도 21은 표시 장치의 일 형태를 설명하는 단면도.

도 22는 트랜지스터의 밴드 구조를 설명하는 도면.

도 23은 표시 장치의 화소 구성의 일 형태를 설명하는 회로도.

도 24는 표시 장치를 설명하는 상면도 및 단면도.

도 25는 전자 기기의 일례를 설명하는 도면.

도 26은 실시예에 따른 트랜지스터의 Vg - Id 특성.

도 27은 실시예에 따른 트랜지스터의 Vg - Id 특성.

도 28은 실시예에 따른 트랜지스터의 Vg - Id 특성.

도 29는 계산에 사용한 트랜지스터의 구조와, 계산에 의하여 얻어진 전계 효과 이동도 및 온 전류를 설명하는 도면.

도 30은 계산에 사용한 트랜지스터의 모델을 설명하는 도면.

도 31은 계산에 의하여 얻어진 포화 이동도의 채널 길이 의존성을 설명하는 도면.

도 32는 계산에 의하여 얻어진 온 전류의 채널 길이 의존성을 설명하는 도면.

도 33은 계산에 의하여 얻어진 트랜지스터의 Vg - Id 특성 및 산화물 반도체막 중의 전류 분포를 설명하는 도면.

도 34는 계산에 의하여 얻어진 트랜지스터의 V_g - I_d 특성 및 실리콘막 중의 전류 분포를 설명하는 도면.

도 35는 계산에 사용한 전자 트랩 및 계산에 의하여 얻어진 포화 이동도의 채널 길이 의존성을 설명하는 도면.

도 36은 트랜지스터의 오프 상태 및 온 상태에서의 캐리어의 흐름을 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태 및 실시예의 기재 내용에 한정되어 해석되는 것은 아니다. 또한, 이하에 설명하는 실시형태 및 실시예에 있어서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호 또는 동일한 해석 패턴을 다른 도면 간에서 공통적으로 사용하고 그 반복 설명은 생략한다.

[0026] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.

[0027] 또한, 본 명세서에서 사용하는 제 1, 제 2 등의 서수사는, 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 구성 요소를 수직으로 한정하는 것은 아니다. 따라서, 예를 들어 "제 1"을 "제 2" 또는 "제 3" 등으로 적절히 바꿔서 설명할 수 있다.

[0028] 또한, "소스"나 "드레인"의 기능은 회로 동작에서 전류 방향이 변화되는 경우 등에는 서로 바뀔 수 있다. 그러므로, 본 명세서 등에서는, "소스"나 "드레인"의 용어는 교체하여 사용될 수 있는 것으로 한다.

[0029] 또한, 전압이란, 2점간에서의 전위차를 말하고, 전위란 어느 한 점에서의 정전기장 중에 있는 단위 전하가 갖는 정전 에너지(전기적인 위치 에너지)를 말한다. 다만, 일반적으로, 어느 한 점에서의 전위와 기준이 되는 전위(예를 들어 접지 전위)의 전위차를, 단순히 전위 또는 전압이라고 부르고, 전위와 전압이 동의어로서 사용되는 경우가 많다. 그러므로, 본 명세서에서는 특히 지정하는 경우를 제외하고, 전위를 전압으로 바꿔 말해도 좋고, 전압을 전위로 바꿔 말해도 좋은 것으로 한다.

[0030] 본 명세서에서, 포토리소그래피 공정을 수행한 후에 예칭 공정을 수행할 경우에는, 포토리소그래피 공정에서 형성한 마스크는 제거하는 것으로 한다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치 및 그 제작 방법에 대하여 도면을 참조하여 설명한다.

[0033] <표시 장치의 구성예>

[0034] 표시 장치의 일례의 블럭도를 도 1의 (A)에 도시하였다. 도 1의 (A)에 도시된 표시 장치는, 화소부(600)와, 주사선 구동 회로(604)와, 신호선 구동 회로(606)와, 각각이 평행 또는 대략 평행하게 배치되고, 또한 주사선 구동 회로(604)에 의하여 전위가 제어되는 m 개의 주사선(607)과, 각각이 평행 또는 대략 평행하게 배치되고, 또한 신호선 구동 회로(606)에 의하여 전위가 제어되는 n 개의 신호선(609)을 갖는다. 또한 화소부(600)는 매트릭스 형상으로 배치된 복수의 화소(601)를 갖는다. 또한, 주사선 구동 회로(604) 및 신호선 구동 회로(606)를 총괄하여 구동 회로부라고 하는 경우가 있다.

[0035] 각 주사선(607)은, 화소부(600)에 있어서 m 행 n 열로 배치된 화소(601) 중 어느 한 행에 배치된 n 개의 화소(601)와 전기적으로 접속된다. 또한, 각 신호선(609)은, m 행 n 열로 배치된 화소(601) 중 어느 한 열에 배치된 m 개의 화소(601)에 전기적으로 접속된다. m, n 은 모두 1 이상의 정수이다. 또한, 각 용량선(615)은, m 행 n 열로 배치된 화소(601) 중 어느 한 행에 배치된 n 개의 화소(601)와 전기적으로 접속된다. 또한, 용량선(615)이 신호선(609)을 따라, 각각이 평행 또는 대략 평행하게 배치되어 있는 경우에는, m 행 n 열로 배치된 화소(601) 중 어느 한 열에 배치된 m 개의 화소(601)와 전기적으로 접속된다.

[0036] <화소의 구성예>

[0037] 도 1의 (B)는, 도 1의 (A)에 도시된 표시 장치의 화소(601)에 사용할 수 있는 회로 구성의 일례를 도시한 것이다.

[0038] 도 1의 (B)에 도시된 화소(601)는, 선택 트랜지스터로서 기능하는 트랜지스터(400b)와, 구동 트랜지스터로서 기

능하는 트랜지스터(400a)와, 용량 소자(370)와, 발광 소자(350)를 갖는다.

[0039] 트랜지스터(400a)의 소스 전극 및 드레인 전극의 한쪽은, 발광 소자(350)의 한쪽의 전극에 전기적으로 접속되고, 트랜지스터(400a)의 소스 전극 및 드레인 전극의 다른 쪽은, 고전원 전위가 공급되는 애노드선(도시되지 않았음)과 전기적으로 접속된다. 또한, 트랜지스터(400a)는, 반도체막을 사이에 끼워서 중첩하는 한 쌍의 게이트 전극을 갖고 있고, 트랜지스터(400a)의 게이트 전극의 한쪽은, 트랜지스터(400a)의 게이트 전극의 다른 쪽, 트랜지스터(400b)의 소스 전극 및 드레인 전극의 한쪽, 및 용량 소자(370)의 한쪽의 전극에 전기적으로 접속된다. 트랜지스터(400b)의 게이트 전극은 주사선(607)에 전기적으로 접속되고, 트랜지스터(400b)의 소스 전극 및 드레인 전극의 다른 쪽은 신호선(609)에 전기적으로 접속된다. 또한, 용량 소자(370)의 다른 쪽 전극은 용량 선(615)에 전기적으로 접속되고, 발광 소자(350)의 다른 쪽 전극은, 저전원 전위가 공급되는 캐소드선(도시되지 않았음)에 전기적으로 접속된다.

[0040] 트랜지스터(400a)는 온 상태 또는 오프 상태가 됨으로써, 발광 소자(350)에 흐르는 전류를 제어하는 기능을 갖는다.

[0041] 구동 트랜지스터로서 기능하는 트랜지스터(400a)는, 발광 소자(350)에 충분한 휘도를 얻기 위하여, 온 전류가 높은 트랜지스터를 적용하는 것이 요구된다. 또한, 표시 장치의 구동 주파수를 향상시켜서 보다 매끄러운 동영상 표시를 실현하기 위하여, 전계 효과 이동도가 높은 트랜지스터를 적용하는 것이 요구된다.

[0042] 그래서, 본 실시형태의 표시 장치에서는, 트랜지스터(400a)로서, 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하인 트랜지스터를 적용한다. 트랜지스터의 온 전류는 채널 폭에 대한 채널 길이의 비(L/W비)가 작을수록 증가하기 때문에, 트랜지스터(400a)의 채널 길이를 상술한 범위 정도로 축소함으로써 온 전류를 향상시킬 수 있다. 또는, 채널 길이를 상술한 범위 정도로 축소하고, 또 채널 폭도 축소함으로써, 온 전류를 일정하게 유지한 채 트랜지스터 사이즈를 작게 할 수 있고, 화소의 개구율을 향상시킬 수 있다.

[0043] 또한, 트랜지스터(400a)는, 채널이 형성되는 산화물 반도체막과, 산화물 반도체막을 사이에 끼워서 중첩하는 제1 게이트 전극과 제2 게이트 전극을 갖는다. 또한, 트랜지스터(400a)에 포함되는 제1 게이트 전극 및 제2 게이트 전극은 전기적으로 접속하고 있다. 이와 같이, 산화물 반도체막을 끼워서 한 쌍의 게이트 전극을 제공하고, 또한 상기 한 쌍의 게이트 전극을 전기적으로 접속시킴으로써 한 쌍의 게이트 전극의 한쪽에만 일정한 전위를 공급하는 경우와는 달리, 한 쌍의 게이트 전극에 동일한 전위가 공급되므로, 채널 형성 영역이 늘어나고, 트랜지스터(400a)의 드레인 전류의 증가를 실현할 수 있다. 따라서, 온 전류의 저하를 억제하면서 트랜지스터(400a)의 사이즈를 작게 억제할 수 있다.

[0044] 또한, 제1 게이트 전극과 제2 게이트 전극을 접속하기 위하여, 산화물 반도체막의 채널 폭 방향의 측면의 적어도 한쪽에 중첩하도록 제2 게이트 전극이 제공된다. 이로써, 산화물 반도체막의 채널 폭 방향의 측면에도 전계가 인가되게 되고, 전류가 흐르는 영역을 확대하는 것이 가능해진다. 따라서, 트랜지스터(400a)의 전계 효과 이동도를 향상시킬 수 있다.

[0045] 또한, 전기적으로 접속된 한 쌍의 게이트 전극을 제공함으로써, 산화물 반도체막에 공핍층이 형성되기 쉬워지므로, 트랜지스터(400a)의 서브스레스홀드(subthreshold) 특성을 개선할 수 있다.

[0046] 또한, 채널 길이를 단축함으로써, 트랜지스터의 문턱 전압이 마이너스 방향으로 변동되는 경우가 있다. 하지만, 트랜지스터(400a)에서는, 제1 게이트 전극에 추가하여, 백 채널 영역측에 제2 게이트 전극(백 게이트 전극)을 제공함으로써, 백 채널 영역에 마이너스의 전하가 생기는 것을 방지하고, 트랜지스터의 문턱 전압이 마이너스 방향으로 시프트하는 것을 억제할 수 있다.

[0047] 트랜지스터(400b)는, 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 기록을 제어하는 기능을 갖는다.

[0048] 트랜지스터(400b)로서는, 문턱 전압이 플러스가 되는 전기 특성(노멀리 오프 특성이라고도 함.)을 갖는 트랜지스터를 적용하는 것이 바람직하다. 또한, 컷오프 전류가 저감된 트랜지스터를 적용하는 것이 바람직하다.

[0049] 상술한 바와 같이, 트랜지스터의 채널 길이를 작게 함으로써, 높은 온 전류가 얻어지는 한편으로, 트랜지스터의 문턱 전압이 마이너스 방향으로 변동(마이너스 시프트)되는 경우가 있다. 본 실시형태의 표시 장치에서는, 높은 온 전류, 높은 전계 효과 이동도가 요구되는 구동 트랜지스터로서 기능하는 트랜지스터(400a)의 채널 길이를 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하로 하고, 또 전기적으로 접속된 한 쌍의 게이트 전극을 제공함으로써, 온 전류 및 전계 효과 이동도를 향상시키면서, 문턱 전압의 마이너스 시프트를 억제한다.

- [0050] 한편, 선택 트랜지스터로서 기능하는 트랜지스터(400b)는, 트랜지스터(400a) 만큼 높은 전계 효과 이동도를 요하지 않기 때문에, 그 채널 길이를 트랜지스터(400a)의 채널 길이보다도 크게 함으로써 트랜지스터(400b)의 문턱 전압의 마이너스 시프트를 억제한다. 이로써, 표시 장치의 고속 동작 및 저소비 전력화를 도모하는 것이 가능해진다.
- [0051] 예를 들어, 트랜지스터(400a)의 채널 길이를 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하로 한 경우에는, 트랜지스터(400b)의 채널 길이를 $6\mu\text{m}$ 로 할 수 있다. 다만, 트랜지스터(400b)의 채널 길이는, 적어도 트랜지스터(400a)의 채널 길이보다도 크면 좋고, 표시 장치에 요구되는 특성에 의하여 적절히 설정할 수 있다.
- [0052] 또한, 트랜지스터(400b)의 컷오프 전류의 값은 트랜지스터(400a)의 컷오프 전류의 값보다도 작은 것이 바람직하다. 예를 들어, 트랜지스터(400b)의 채널 폭에 대한 채널 길이의 비(L/W 비)를 트랜지스터(400a)의 L/W 비보다도 크게 함으로써, 트랜지스터(400b)의 컷오프 전류의 값을 트랜지스터(400a)의 컷오프 전류의 값보다도 작게 할 수 있다. 또한, 트랜지스터(400a)와 트랜지스터(400b)의 채널 폭이 동등한 경우에는, 트랜지스터(400b)의 채널 길이를 트랜지스터(400a)의 채널 길이보다도 크게 함으로써, 트랜지스터(400b)의 컷오프 전류의 값을 저감하는 것이 가능해진다.
- [0053] 또한, 트랜지스터(400b)를, 트랜지스터(400a)와 동일하게, 전기적으로 접속된 한 쌍의 게이트 전극을 갖는 구성으로 해도 좋다. 다만, 트랜지스터(400b)를 상기한 구성으로 한 경우, 한 쌍의 게이트 전극을 접속하기 위한 영역이 필요하게 되고, 결과적으로, 트랜지스터(400b)의 면적이 커지고, 화소의 개구율이 저하된다. 따라서, 트랜지스터(400b)는 싱글 게이트 구조가 바람직하다. 또한, 표시 장치가 대형화된 경우, 트랜지스터(400b)의 게이트 배선의 기생 용량이 표시 장치의 동작 속도에 영향을 주게 된다. 그 때문에, 트랜지스터(400b)는 게이트 배선의 기생 용량이 작은 싱글 게이트 구조가 바람직하다.
- [0054] 발광 소자(350)로서는, 예를 들어, 유기 일렉트로루미네센스 소자(유기 EL 소자), 또는 무기 EL 소자를 사용할 수 있다.
- [0055] <트랜지스터의 회로 기호>
- [0056] 여기에서, 본 명세서에서 사용하는, 산화물 반도체막을 사이에 끼워 중첩하는 한 쌍의 게이트 전극을 갖는 트랜지스터의 회로 기호에 대하여 도 10의 (A)에 도시하였다. 도 10의 (A)에 도시된 회로 기호에서는, 한 쌍의 게이트 전극을 FG, BG로 나타내고, 소스 전극을 S, 드레인 전극을 D로 나타내었다.
- [0057] 도 10의 (B2)는, 도 10의 (B1)의 회로 기호로 나타낼 수 있는 트랜지스터(400a)의 단면도의 일례를 도시한 것이다. 도 10의 (B2)에 도시된 트랜지스터(400a)는, 소스 전극 또는 드레인 전극으로서 기능하는 한 쌍의 전극(20a, 20b)이, 산화물 반도체막(17a) 위에서 게이트 전극(31)과 부분적으로 중첩하고 있다. 도 10의 (B1)에 도시된 회로 기호에서는, 도 10의 (A)에 도시된 회로 기호와 마찬가지로, 한 쌍의 게이트 전극을 FG, BG로 나타내고, 소스 전극을 S, 드레인 전극을 D로 나타내었다.
- [0058] 도 10의 (B2)에 도시된 트랜지스터(400a)는, 채널 길이 방향에 있어서, 한 쌍의 전극(20a, 20b)의 단부의 거리 W_{sd} 가 게이트 전극(31)의 단부간의 거리 W_{bg} 에 비하여 짧다. 그리고, 채널 길이 방향에서의 단면도에서는, 게이트 전극(31)의 한 쌍의 단부가 한 쌍의 전극(20a, 20b)과 중첩하고 있다.
- [0059] 도 10의 (C2)는, 도 10의 (C1)의 회로 기호로 나타낼 수 있는 트랜지스터(400a)의 단면도의 일례를 도시한 것이다. 도 10의 (C2)에 도시된 트랜지스터(400a)는, 소스 전극 또는 드레인 전극으로서 기능하는 한 쌍의 전극(20a, 20b)이 산화물 반도체막(17a) 위에서 게이트 전극(31)과 중첩되어 있지 않다. 도 10의 (C1)에 도시된 회로 기호에서는, 도 10의 (A)에 도시된 회로 기호와 마찬가지로, 한 쌍의 게이트 전극을 FG, BG로 나타내고, 소스 전극을 S, 드레인 전극을 D로 나타내었다.
- [0060] 도 10의 (C2)에 도시된 트랜지스터(400a)는, 채널 길이 방향에 있어서, 한 쌍의 전극(20a, 20b)의 거리 W_{sd} 가 게이트 전극(31)의 단부간의 거리 W_{bg} 에 비하여 길다. 그리고, 채널 길이 방향에서의 단면도에서는, 게이트 전극(31)의 한 쌍의 단부가 한 쌍의 전극(20a, 20b)과 중첩되어 있지 않다.
- [0061] 본 명세서에 첨부된 도면에서는, 도 10의 (A)에 도시된 회로 기호가, 도 10의 (B1)의 회로 기호로 나타내는 구조의 트랜지스터(400a)와, 도 10의 (C1)의 회로 기호로 나타내는 구조의 트랜지스터(400a)를 포함하는 것으로 한다.
- [0062] <화소에 포함되는 트랜지스터의 구성예>

- [0063] 이어서, 표시 장치의 화소에 포함되는 트랜지스터의 구체적인 구성에 대하여 설명한다.
- [0064] 표시 장치의 화소(601)에 포함되는 트랜지스터(400a) 및 트랜지스터(400b)의 상면도 및 단면도를 도 2의 (A1) 내지 도 2의 (C2)에 도시하였다. 도 2의 (A1)은 구동 트랜지스터로서의 기능을 갖는 트랜지스터(400a)의 상면도이고, 도 2의 (A2)는 선택 트랜지스터로서의 기능을 갖는 트랜지스터(400b)의 상면도이고, 도 2의 (B)는 도 2의 (A1)의 일점쇄선 A1-B1간 및 도 2의 (A2)의 일점쇄선 A2-B2간의 단면도이고, 도 2의 (C1)은 도 2의 (A1)의 일점쇄선 C1-D1간의 단면도이고, 도 2의 (C2)는 도 2의 (A2)의 일점쇄선 C2-D2간의 단면도이다. 또한, 도 2의 (A1) 및 도 2의 (A2)에서는 명료화를 위해, 기판(11) 및 절연막(15) 등을 생략하였다.
- [0065] 도 2의 (A1), 도 2의 (B) 및 도 2의 (C1)에 도시된 트랜지스터(400a)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13a)과, 기판(11) 및 게이트 전극(13a) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13a)과 중첩하는 산화물 반도체막(17a)과, 산화물 반도체막(17a)에 접하는 한 쌍의 전극(20a, 20b)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17a), 및 한 쌍의 전극(20a, 20b) 위에, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)으로 구성되는 절연막(28)과, 절연막(28) 위에 형성되는 게이트 전극(31)을 갖는다. 게이트 전극(31)은 절연막(15) 및 절연막(28)에 제공된 개구부(42, 43)에서 게이트 전극(13a)과 접속한다. 또한, 한 쌍의 전극(20a, 20b)의 한쪽, 여기서는 전극(20b)에 접속하는 전극(32)이 질화물 절연막(27) 위에 형성된다. 또한, 전극(32)은 화소 전극으로서 기능한다.
- [0066] 도 2의 (B) 및 도 2의 (C2)에 도시된 트랜지스터(400b)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13b)과, 기판(11) 및 게이트 전극(13b) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13b)과 중첩하는 산화물 반도체막(17b)과, 산화물 반도체막(17b)에 접하는 한 쌍의 전극(20c, 20d)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17b), 및 한 쌍의 전극(20c, 20d) 위에, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)으로 구성되는 절연막(28)을 갖는다.
- [0067] 트랜지스터(400a) 및 트랜지스터(400b)에 있어서, 절연막(15)은 게이트 절연막(트랜지스터(400a)에 있어서는 제 1 게이트 절연막)으로서 기능한다. 또한, 절연막(28)은 트랜지스터(400a)의 제 2 게이트 절연막으로서 기능하고, 트랜지스터(400b)에서는 보호 절연막으로서 기능한다.
- [0068] 본 실시형태에 기재된 트랜지스터(400a)는, 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하이다. 또한, 트랜지스터(400a)는, 채널 폭 방향에 있어서, 게이트 전극(13a) 및 게이트 전극(31) 사이에 절연막(15) 및 절연막(28)을 개재하여 산화물 반도체막(17a)이 제공되어 있다. 또한, 게이트 전극(31)은 도 2의 (A1)에 도시된 바와 같이, 상면에서 보았을 때, 절연막(28)을 개재하여 산화물 반도체막(17a)의 단부와 중첩한다.
- [0069] 트랜지스터(400a)에 포함되는 산화물 반도체막(17a)은, 채널 길이 방향의 측면이 한 쌍의 전극(20a, 20b)과 중첩하고, 채널 폭 방향의 측면이 게이트 전극(31)과 중첩하는 구성을 갖는다. 산화물 반도체막(17a)의 단부는, 산화물 반도체막(17a)을 섬 형상으로 가공하기 위한 에칭 처리로 플라즈마에 노출될 때에, 에칭 가스로부터 생긴 염소 라디칼, 불소 라디칼 등이 산화물 반도체를 구성하는 금속 원소와 결합되기 쉽다. 따라서, 산화물 반도체막(17a)의 단부에서는, 상기 금속 원소와 결합하고 있었던 산소가 이탈하기 쉬운 상태에 있기 때문에, 산소 결손이 형성되어, n형화하기 쉬운 경우가 있다. 특히, 산화물 반도체막(17a)의 단부 중, 파선(33) 및 파선(34)으로 둘러싸인 영역이 n형화되면, 이 영역을 통하여 한 쌍의 전극(20a, 20b) 사이에 누설 전류가 흐르기 쉽다. 하지만, 트랜지스터(400a)에서는, 상기의 영역이 게이트 전극(31)과 중첩되므로, 게이트 전극(31)(게이트 전극(31)과 동일 전위의 게이트 전극(13a)을 포함함)의 전위를 제어함으로써, 상기 영역에 인가되는 전류를 제어할 수 있다. 따라서, 산화물 반도체막(17a)의 단부가 n형화되어 있었다고 해도, 한 쌍의 전극(20a, 20b) 간에 흐를 수 있는 누설 전류를, 한 쌍의 게이트 전극에 공급하는 전위에 의하여 제어할 수 있다.
- [0070] 구체적으로, 트랜지스터(400a)가 비도통 상태가 되는 전위를 한 쌍의 게이트 전극에 공급하였을 때에는, 파선(33) 및 파선(34)으로 둘러싸인 산화물 반도체막(17a)의 단부를 통하여 한 쌍의 전극(20a, 20b) 간에 흐르는 오프 전류를 작게 억제할 수 있다. 따라서, 트랜지스터(400a)에서는 큰 온 전류를 얻기 위하여 채널 길이를 짧게 하고, 그 결과, 산화물 반도체막(17a)의 단부에서의 한 쌍의 전극(20a, 20b) 간의 길이가 짧아져도, 오프 전류를 작게 억제하는 것이 가능해진다. 즉, 트랜지스터(400a)는 도통 상태인 경우에는 큰 온 전류를 얻을 수 있고, 비도통 상태인 경우에는 오프 전류를 작게 억제할 수 있는 트랜지스터이다.
- [0071] 또한, 본 실시형태에 기재된 트랜지스터(400b)의 채널 길이는 트랜지스터(400a)의 채널 길이보다도 크다. 이로써, 싱글 게이트 구조인 트랜지스터(400b)의 문턱 전압의 마이너스 방향으로의 변동을 억제하고, 컷오프 전류의

값을 작게 억제할 수 있다.

[0072] 절연막(15) 및 절연막(28)에는 복수의 개구부를 갖는다. 대표적으로는, 도 2의 (B)에 도시된 바와 같이, 한 쌍의 전극(20a, 20b)의 한쪽을 노출하는 개구부(41)를 갖는다. 또한, 도 2의 (C1)에 도시된 바와 같이, 채널 폭 방향에 있어서, 산화물 반도체막(17a)을 끼우는 개구부(42, 43)를 갖는다. 즉, 산화물 반도체막(17a)의 측면의 외측에 개구부(42, 43)를 갖는다. 개구부(41)에 있어서, 한 쌍의 전극(20a, 20b) 중 한쪽, 여기에서는 전극(20b)과 전극(32)이 접속한다. 또한, 개구부(42, 43)에 있어서, 게이트 전극(13a) 및 게이트 전극(31)이 접속한다. 즉, 채널 폭 방향에 있어서, 게이트 전극(13a) 및 게이트 전극(31)은, 절연막(15) 및 절연막(28)을 개재하여 산화물 반도체막(17a)을 둘러싼다. 또한, 상기 개구부(42, 43)의 측면에 있어서, 게이트 전극(31)은 산화물 반도체막(17a)의 측면과 대향한다.

[0073] 또한, 도 2의 (C1)에 도시된 바와 같이, 채널 폭 방향에 있어서, 산화물 반도체막(17a)의 측면과 개구부(42, 43)에서의 게이트 전극(31)의 거리(d)는, 절연막(15)의 막 두께(t1)와 절연막(28)의 막 두께(t2)를 더한 막 두께의 1배 이상 7.5배 이하로 한다. 산화물 반도체막(17a)의 측면과 개구부(42, 43)에서의 게이트 전극(31)의 거리(d)가, 절연막(15)의 막 두께(t1)와 절연막(28)의 막 두께(t2)를 더한 막 두께의 1배 이상인 경우, 도 2의 (D)의 전기력선(444)으로 나타낸 바와 같이, 게이트 전극(31)의 전계가 산화물 반도체막(17a)의 측면, 또는 측면 및 그 근방을 포함하는 단부에 영향을 주기 때문에, 산화물 반도체막(17a)의 측면 또는 단부에 서의 기생 채널의 발생을 억제할 수 있다. 한편, 산화물 반도체막(17a)의 측면과 개구부(42, 43)에서의 게이트 전극(31)의 거리(d)가, 절연막(15)의 막 두께(t1)와 절연막(28)의 막 두께(t2)를 더한 막 두께의 7.5배 이하인 경우, 트랜지스터의 면적을 보다 작게 할 수 있다.

[0074] 트랜지스터(400a)에 포함되는 산화물 반도체막(17a)과, 트랜지스터(400b)에 포함되는 산화물 반도체막(17b)은 동일한 제작 공정으로 형성할 수 있다. 산화물 반도체막(17a) 및 산화물 반도체막(17b)은, 적어도 In 또는 Zn을 포함하는 금속 산화물로 형성되고, 대표적으로는, In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 등으로 형성된다.

[0075] 또한, 산화물 반도체막(17a) 및 산화물 반도체막(17b)이 In-M-Zn 산화물일 때, Zn 및 O를 제외한 In 및 M의 원자수 비율은, In이 25atomic% 이상, M이 75atomic% 미만, 더 바람직하게는 In이 34atomic% 이상, M이 66atomic% 미만으로 한다.

[0076] 산화물 반도체막(17a) 및 산화물 반도체막(17b)은, 에너지 캡이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 이와 같이, 에너지 캡이 얇은 산화물 반도체를 사용함으로써, 트랜지스터(400a) 및 트랜지스터(400b)의 오프 전류를 저감할 수 있다.

[0077] 산화물 반도체막(17a) 및 산화물 반도체막(17b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0078] 산화물 반도체막(17a) 및 산화물 반도체막(17b)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, In-M-Zn 산화물을 성막하기 위해서 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는 $In \geq M$, $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서, In:M:Zn=1:1:1, In:M:Zn=1:1:2, In:M:Zn=3:1:2가 바람직하다. 또한, 형성되는 산화물 반도체막(17a) 및 산화물 반도체막(17b)의 원자수비는 각각, 상기의 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 오차 변동을 포함한다.

[0079] 산화물 반도체막(17a) 및 산화물 반도체막(17b)으로서는, 캐리어 밀도가 낮은 산화물 반도체막을 사용한다. 예를 들어, 산화물 반도체막(17a) 및 산화물 반도체막(17b)은, 캐리어 밀도가 1×10^{17} 개/cm³ 이하, 바람직하게는 1×10^{15} 개/cm³ 이하, 더욱 바람직하게는 1×10^{13} 개/cm³ 이하, 보다 바람직하게는 1×10^{11} 개/cm³ 이하인 산화물 반도체막을 사용한다.

[0080] 또한, 상기에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 각각의 산화물 반도체막에 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여 산화물 반도체막(17a) 및 산화물 반도체막(17b)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0081] 또한, 산화물 반도체막(17a) 및 산화물 반도체막(17b)으로서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 산화물 반도체막을 사용함으로써, 더 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있어 바람직하다. 또한, 불순물로서는 수소, 질소, 알칼리 금속, 또는 알칼리 토금속 등을 들 수 있다. 본 명세서에서는, 불순물 농도가

낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 따라서, 이 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 문턱 전압이 플러스가 되는 전기 특성(노멀리 오프 특성이라고도 함.)이 되기 쉽다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막을 사용한 트랜지스터는 오프 전류가 현저히 작고, 소스 전극과 드레인 전극 간의 전압(드레인 전압)이 1V 내지 10V의 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높다. 또한, 산화물 반도체막의 트랩 준위에 포함된 전하는 소실되기까지 필요한 시간이 길고, 마치 고정 전하와 같이 행동하는 경우가 있다. 따라서, 트랩 준위 밀도가 높은 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0082] 산화물 반도체막에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되고, 수소와 반응한 산소는 금속 원자로부터 이탈되어, 격자(또는 산소가 이탈된 부분)에 산소 결손을 형성한다. 이 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합함으로써 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함된 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다.

[0083] 그러므로, 산화물 반도체막(17a) 및 산화물 반도체막(17b)은 산소 결손과 함께, 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(17a) 및 산화물 반도체막(17b)에서, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 수소 농도를 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

[0084] 산화물 반도체막(17a) 및 산화물 반도체막(17b)에 있어서, 제 14족 원소의 하나인 실리콘이나 탄소가 포함되면 산화물 반도체막(17a) 및 산화물 반도체막(17b)에서 산소 결손이 증가되어 n형화된다. 그러므로, 산화물 반도체막(17a) 및 산화물 반도체막(17b)에서의 실리콘이나 탄소의 농도(2차 이온 질량 분석법에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

[0085] 또한, 산화물 반도체막(17a) 및 산화물 반도체막(17b)에서 2차 이온 질량 분석법에 의하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 따라서, 산화물 반도체막(17a) 및 산화물 반도체막(17b)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0086] 또한, 산화물 반도체막(17a) 및 산화물 반도체막(17b)에 질소가 포함되면 캐리어인 전자가 생겨 캐리어 밀도가 증가되기 때문에 n형화되기 쉬워진다. 이 결과, 질소가 포함된 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 이 산화물 반도체막에서, 질소는 가능한 한 저감되어 있는 것이 바람직하고, 예를 들어, 2차 이온 질량 분석법에 의하여 얻어지는 질소 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0087] 산화물 반도체막(17a) 및 산화물 반도체막(17b)에 포함되는 불순물 농도를 상술한 값까지 저감함으로써, 트랜지스터(400a, 400b)에 문턱 전압이 플러스가 되는 전기 특성(노멀리 오프 특성이라고도 함.)을 부여하는 것이 가능해진다.

[0088] 또한, 산화물 반도체막(17a) 및 산화물 반도체막(17b)은 예를 들어 비단결정 구조라도 좋다. 비단결정 구조는, 예를 들어, 후술하는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에 있어서, 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0089] 또한, 산화물 반도체막(17a)을 CAAC-OS막으로 형성함으로써, 채널 길이가 작은, 대표적으로는 $0.5 \mu\text{m}$ 이상 $4.5 \mu\text{m}$ 이하, 바람직하게는 $1 \mu\text{m}$ 보다 크고 $4 \mu\text{m}$ 이하, 보다 바람직하게는 $1 \mu\text{m}$ 보다 크고 $3.5 \mu\text{m}$ 이하, 더 바람직하게는 $1 \mu\text{m}$ 보다 크고 $2.5 \mu\text{m}$ 이하로 한 경우라도 채널 에치형의 트랜지스터를 제작할 수 있어 바람직하다.

- [0090] 또한, 산화물 반도체막(17a) 및 산화물 반도체막(17b)이, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 2종 이상을 갖는 혼합막이라도 좋다. 혼합막은, 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역을 갖는 경우가 있다. 또한, 혼합막은, 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역의 적층 구조를 갖는 경우가 있다.
- [0091] 산화물 반도체막을 갖는 트랜지스터는, 축적형의 트랜지스터이다. 여기에서, 산화물 반도체막을 갖는 트랜지스터의 오프 상태 및 온 상태에서의 캐리어의 흐름에 대하여, 도 36에 도시된 모식도를 사용하여 설명한다. 또한, 도 36의 (A) 및 도 36의 (B)는 채널 길이 방향의 단면도이고, 도 36의 (C)는 채널 폭 방향의 단면도이다.
- [0092] 도 36에 있어서, 산화물 반도체막을 갖는 트랜지스터는, 게이트 전극(GE_1)과, 게이트 전극(GE_1) 위의 게이트 절연막(GI_1)과, 게이트 절연막(GI_1) 위의 산화물 반도체막(OS)과, 산화물 반도체막(OS) 위의 전극(S, D)과, 산화물 반도체막(OS) 및 전극(S, D) 위의 게이트 절연막(GI_2)과, 게이트 절연막(GI_2) 위의 게이트 전극(GE_2)을 갖는다. 산화물 반도체막(OS)은 채널 영역(i)과, 전극(S, D)에 접하는 저저항 영역(n^+)을 갖는다. 게이트 전극(GE_1) 및 게이트 전극(GE_2)은, 도 36의 (C)에 도시된 바와 같이 접속되어 있다.
- [0093] 트랜지스터가 오프 상태인 경우, 도 36의 (A)에 도시된 바와 같이, 게이트 전극(GE_1, GE_2)에 음의 전압이 인가되면, 산화물 반도체막(OS)의 채널 영역(i)으로부터 전자가 배척되어, 채널 영역(i)은 완전히 공핍화된다. 이 결과, 트랜지스터의 오프 전류가 지극히 작아진다.
- [0094] 한편, 온 상태인 경우, 도 36의 (B)에 도시된 바와 같이, 전극(S)과 접하는 저저항 영역(n^+)으로부터 전극(D)과 접하는 저저항 영역(n^+)에 걸쳐 전자가 축적되고, 화살표로 나타내는 바와 같이 전류 패스가 형성된다. 도 36의 (C)에 도시된 바와 같이, 게이트 전극(GE_1) 및 게이트 전극(GE_2)을 동일 전위로 하고, 또 산화물 반도체막(OS)의 측면이 게이트 전극(GE_2)과 대향함으로써, 또는, 채널 폭 방향에 있어서, 게이트 전극(GE_1) 및 게이트 전극(GE_2)이 게이트 절연막(GI_1) 및 게이트 절연막(GI_2)을 개재하여 산화물 반도체막(OS)을 둘러쌈으로써 도 36의 (B)에 도시된 바와 같이, 산화물 반도체막(OS)에 있어서 캐리어가, 게이트 절연막(GI_1, GI_2)과 산화물 반도체막(OS)의 계면뿐만 아니라, 산화물 반도체막(OS) 중의 넓은 범위에서 흐르기 때문에, 트랜지스터에서의 캐리어의 이동량이 증가한다. 이 결과, 트랜지스터의 온 전류가 커지는 동시에, 전계 효과 이동도가 높아지고, 대표적으로는 전계 효과 이동도가 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이상, 또는 $20\text{cm}^2/\text{V}\cdot\text{s}$ 이상이 된다. 또한, 여기에서의 전계 효과 이동도는, 산화물 반도체막의 물성값으로서의 이동도의 근사 값이 아니고, 트랜지스터의 포화 영역에서의 전계 효과 이동도이다. 또한, 트랜지스터의 채널 길이(L길이라고도 함)를 $0.5\mu\text{m}$ 이상 $6.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $6\mu\text{m}$ 미만, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하로 함으로써, 전계 효과 이동도의 증가가 현저하다. 또한, 채널 길이가 $0.5\mu\text{m}$ 이상 $6.5\mu\text{m}$ 이하와 같이 작게 함으로써, 채널 폭도 작게 할 수 있다. 따라서, 도 36의 (C)에 도시된 바와 같이, 게이트 전극(GE_1) 및 게이트 전극(GE_2)의 접속부가 되기 위한 영역을 제공하여도, 트랜지스터의 면적을 축소할 수 있다.
- [0095] 도 2의 (A1), 도 2의 (B), 도 2의 (C1), 및 도 2의 (D)에 도시된 트랜지스터(400a)에서는, 게이트 전극(13a) 및 게이트 전극(31)을 가짐으로써, 각각이 외부로부터의 전계를 차폐하는 기능을 갖기 때문에, 기판(11) 및 게이트 전극(13a) 사이나, 게이트 전극(31) 위에 존재하는 고정 전하가 산화물 반도체막(17a)에 영향을 미치지 않는다. 이 결과, 스트레스 시험(예를 들어, 게이트 전극에 마이너스의 전위를 인가하는 -GBT(Gate Bias-Temperature) 스트레스 시험)에 의한 열화가 억제되는 동시에, 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동을 억제할 수 있다.
- [0096] 또한, BT 스트레스 시험은 가속 시험의 일종이며, 장기간의 사용에 의하여 일어나는 트랜지스터의 특성 변화(즉, 장기간 사용에 따른 변화)를 단시간에 평가할 수 있다. 특히, BT 스트레스 시험 전후에서의 트랜지스터의 문턱 전압의 변동량은 신뢰성을 조사하기 위한 중요한 지표가 된다. BT 스트레스 시험 전후에 있어서 문턱 전압의 변동량이 적을수록 신뢰성이 높은 트랜지스터라고 할 수 있다.
- [0097] 트랜지스터의 채널 길이를 미세화하면, 문턱 전압이 마이너스 방향으로 시프트되는 경우가 있다. 하지만, 본 실시형태의 표시 장치에서는, 화소의 선택 트랜지스터로서 기능하는 트랜지스터(400b)의 채널 길이를 구동 트랜지스터로서 기능하는 트랜지스터(400a)보다도 길게 함으로써, 표시 장치의 고속 동작과 저소비 전력화를 도모할 수 있다.

[0098]

또한, 산화물 반도체막(17a) 및 산화물 반도체막(17b) 위에 제공되는 절연막(28)에 있어서, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함되는 것이 바람직하다. 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, 가열에 의하여 산소의 일부가 이탈된다. 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위에서 행해지는 TDS(Thermal Desorption Spectroscopy) 분석에서, 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18} atoms/cm² 이상, 바람직하게는 3.0×10^{20} atoms/cm² 이상인 산화물 절연막이다.

[0099]

절연막(28)에 있어서, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함되면, 절연막(28)에 포함되는 산소의 일부를 산화물 반도체막(17a) 및 산화물 반도체막(17b)으로 이동시키고, 이 산화물 반도체막에 포함될 수 있는 산소 결손을 저감할 수 있다.

[0100]

산화물 반도체막 중에 산소 결손이 포함되어 있는 산화물 반도체막을 사용한 트랜지스터는, 문턱 전압이 마이너스 방향으로 변동되기 쉬워, 노멀리 온 특성이 되기 쉽다. 이것은, 산화물 반도체막에 포함되는 산소 결손에 기인해서 전하가 생기고, 산화물 반도체막이 저저항화되기 때문이다. 트랜지스터가 노멀리 온 특성을 가지면, 동작시에 동작 불량이 발생되기 쉬워지거나, 또는 비동작시의 소비 전력이 높아지는 등의 여러가지 문제가 생긴다. 또한, 시간 경과나 스트레스 시험에 의하여, 트랜지스터의 전기 특성, 대표적으로는 문턱 전압의 변동량이 증대된다는 문제가 있다.

[0101]

하지만, 본 실시형태에 기재된 트랜지스터(400a) 및 트랜지스터(400b)는, 산화물 반도체막(17a, 17b) 위에 제공되는 절연막(28)에, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함됨으로써, 절연막(28)에 포함되는 산소를 산화물 반도체막(17a, 17b)으로 이동시켜, 이 산화물 반도체막의 산소 결손을 저감할 수 있다. 또한, 절연막(28)은, 예칭 분위기에 노출되어 있지 않으므로, 결함이 적다. 이 결과, 노멀리 오프 특성을 갖는 트랜지스터가 된다. 또한, 시간 경과나 스트레스 시험에 있어서, 트랜지스터의 전기 특성, 대표적으로는 동작 시간에 대한 문턱 전압의 변동량을 저감할 수 있다. 또한, 스트레스 시험을 반복해도 문턱 전압의 변동을 저감할 수 있다.

[0102]

또한, 트랜지스터(400a) 및 트랜지스터(400b)가 채널 에치형의 트랜지스터인 것도, 전기 특성의 향상에 유효하다. 여기에서, 채널 에치형의 트랜지스터와 채널 보호형의 트랜지스터를 비교한다. 예를 들어, 산화물 반도체막을 끼워서 2개의 게이트 전극을 갖는 채널 보호형의 트랜지스터는, 제 1 게이트 전극 위에 제 1 게이트 절연막이 형성되고, 제 1 게이트 절연막 위에 산화물 반도체막이 형성된다. 산화물 반도체막 위에 채널 보호막이 형성되고, 이 채널 보호막 위에 산화물 반도체막과 접하는 한 쌍의 전극이 형성된다. 또한, 채널 보호막 및 한 쌍의 전극 위에 제 2 게이트 절연막이 형성되고, 제 2 게이트 절연막 위에 제 2 게이트 전극이 형성된다.

[0103]

채널 보호막은, 한 쌍의 전극을 형성할 때의 예칭 공정에 있어서, 플라즈마에 노출되어 대미지를 받는다. 이 때문에, 채널 보호막에는 결함이 형성되기 쉽다. 이 결과, 산화물 반도체막을 흐르는 캐리어가 채널 보호막의 결함에 포획되어버려, 트랜지스터의 전기 특성이 동작 시간과 함께 변동되어, 신뢰성이 낮다. 하지만, 본 실시형태에 기재된 트랜지스터(400a) 및 트랜지스터(400b)는 채널 에치형이고, 절연막(28)에 있어서, 산화물 반도체막(17a) 또는 산화물 반도체막(17b)과 중첩하는 영역은 예칭의 분위기에 노출되지 않는다. 그러므로, 절연막(28)의 결함이 적고, 신뢰성이 높은 트랜지스터이다.

[0104]

또한, 채널 보호형의 트랜지스터에 있어서, 산화물 반도체막에 있어서 한 쌍의 전극과 중첩하는 영역에서는, 한 쌍의 전극이 제 2 게이트 전극의 전계를 차폐해버려, 제 2 게이트 전극의 전계가 산화물 반도체막에 균일하게 영향을 주지 않는다. 이 결과, 제 2 게이트 전극의 전계에 의하여 야기되어 산화물 반도체막을 흐르는 캐리어량이 감소된다. 그러나, 본 실시형태에 기재된 트랜지스터(400a)는 채널 에치형의 트랜지스터이고, 게이트 전극(31)의 전계가 산화물 반도체막(17a)의 백 채널에 균일하게 영향을 준다. 또한, 산화물 반도체막(17a)의 측면에서도 게이트 전극(31)의 전계의 영향을 받는다. 이 결과, 산화물 반도체막(17a)이 넓은 범위에서 캐리어가 흐르기 때문에, 트랜지스터의 전계 효과 이동도가 상승하는 동시에, 온 전류가 증대한다.

[0105]

또한, 채널 보호형의 트랜지스터는, 산화물 반도체막과 한 쌍의 전극 각각을 접속시키기 위하여, 한 쌍의 전극 각각의 한쪽 단부를 채널 보호막 위에 위치시킨다. 또한, 한 쌍의 전극 각각의 한쪽의 단부는, 산화물 반도체막과 한 쌍의 전극 각각의 접속 영역보다도 내측에 위치한다. 이 때문에, 포토 마스크의 위치 어긋남을 고려하면, 산화물 반도체막과 한 쌍의 전극 각각의 접속 영역의 간격을 넓게 설계할 필요가 있다. 한편, 채널 에치형의 트랜지스터는, 산화물 반도체막에 한 쌍의 전극 각각의 한쪽의 단부가 직접 접속하므로, 채널 에치형의 트랜지스터는, 채널 보호형의 트랜지스터에 비하여 한 쌍의 전극 간의 거리를 작게 하는 것이 용이하다. 특히 본 발명의

일 형태에 따른 표시 장치에서 화소의 구동 트랜지스터로서 기능하는 트랜지스터(400a)는 채널 길이가 짧은 트랜지스터이므로, 채널 에치형으로 함으로써, 표시 장치를 수율 좋게 제작하는 것이 가능해진다.

[0106] 또한, 트랜지스터(400a) 및 트랜지스터(400b)의 쌍방이 채널 에치형이고, 트랜지스터(400b)와 트랜지스터(400a)의 구성의 차이점은, 채널 길이의 길이 및 트랜지스터(400a)가 백 게이트 전극으로서 기능하는 게이트 전극(31)을 갖는 점이다. 따라서, 트랜지스터(400a) 및 트랜지스터(400b)를 동일한 공정으로 제작할 수 있다. 따라서, 표시 장치의 제작 공정의 간략화를 도모하는 것이 가능해진다.

[0107] <트랜지스터의 구성 요소의 상세>

[0108] 트랜지스터(400a), 트랜지스터(400b)의 구성의 상세에 대하여 이하에서 설명한다.

[0109] 기판(11)의 재질 등에 큰 제한은 없지만, 적어도, 나중에 수행되는 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(11)으로서 사용하여도 좋다. 또한, 실리콘이나 탄화 실리콘 등으로 이루어지는 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이들 기판 위에 반도체 소자가 제공된 것을 기판(11)으로서 사용하여도 좋다. 또한, 기판(11)으로서 유리 기판을 사용하는 경우, 제 6 세대($1500\text{mm} \times 1850\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2200\text{mm} \times 2400\text{mm}$), 제 9 세대($2400\text{mm} \times 2800\text{mm}$), 제 10 세대($2950\text{mm} \times 3400\text{mm}$) 등의 대면적 기판을 사용하여 대형 표시 장치를 제작할 수 있다.

[0110] 또한, 기판(11)으로서 가요성 기판을 사용하고 가요성 기판 위에 직접 트랜지스터(400a), 트랜지스터(400b)를 형성하여도 좋다. 또는 기판(11)과 트랜지스터(400a), 트랜지스터(400b) 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 반도체 장치를 일부 또는 전부 완성시킨 후, 기판(11)으로부터 분리하여, 다른 기판에 전재(轉載)하는데 사용할 수 있다. 이 때, 트랜지스터(400a), 트랜지스터(400b)는 내열성이 떨어지는 기판이나 가요성 기판에도 전재될 수 있다.

[0111] 게이트 전극(13a, 13b)은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텉스텐으로부터 선택된 금속 원소, 또는 이들 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나의 금속 원소 또는 복수로부터 선택된 금속 원소를 사용하여도 좋다. 또한, 게이트 전극(13a, 13b)은 단층 구조로 하여도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄막 위에 알루미늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 텉스텐막을 적층하는 2층 구조, 티타늄막 위에 구리막을 적층하는 2층 구조, 티타늄막 위에 알루미늄막을 적층하고, 그 위에 티타늄막을 더 형성하는 3층 구조 등이 있다. 또한, 알루미늄에 티타늄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소의 막, 또는 복수를 조합한 합금막, 또는 질화막을 사용하여도 좋다.

[0112] 또한, 게이트 전극(13a, 13b)은 인듐 주석 산화물(ITO), 산화 텉스텐을 포함한 인듐 산화물, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상술한 금속 원소의 적층 구조로 할 수도 있다.

[0113] 절연막(15)은, 예를 들어 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물, 질화 실리콘 등을 사용하면 좋고, 적층 또는 단층으로 제공한다.

[0114] 또한, 절연막(15)으로서 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄 알루미네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 사용함으로써 트랜지스터의 게이트 누설을 저감할 수 있다.

[0115] 절연막(15)의 두께는 5nm 이상 400nm 이하, 보다 바람직하게는 10nm 이상 300nm 이하, 보다 바람직하게는 50nm 이상 250nm 이하로 하면 좋다.

[0116] 한 쌍의 전극(20a, 20b) 및 한 쌍의 전극(20c, 20d)은, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텉스텐으로 이루어진 단체 금속, 또는 이를 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용한다. 예를 들어, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄막 위에 알루미늄막을 적층하는 2층 구조, 텉스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금

막 위에 구리막을 적층하는 2층 구조, 티타늄막 위에 구리막을 적층하는 2층 구조, 텡스텐막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막 위에 겹쳐 알루미늄막 또는 구리막을 적층하고, 그 위에 티타늄막 또는 질화 티타늄막을 더 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막 위에 겹쳐 알루미늄막 또는 구리막을 적층하고, 또 그 위에 몰리브덴막 또는 질화 몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 산화인듐, 산화주석, 또는 산화아연을 포함한 투명 도전재료를 사용하여도 좋다.

[0117] 절연막(28)은, 산화물 반도체막(17a, 17b)에 접하는 산화물 절연막(23), 산화물 절연막(23)에 접하는 산화물 절연막(25), 산화물 절연막(25)에 접하는 질화물 절연막(27)을 갖는다. 절연막(28)은 적어도 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 갖는 것이 바람직하다. 여기서는, 산화물 절연막(23)으로서, 산소를 투과하는 산화물 절연막을 형성하고, 산화물 절연막(25)으로서, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 형성하고, 질화물 절연막(27)으로서, 수소 및 산소를 차단하는 질화물 절연막을 형성한다. 또한, 여기서는, 절연막(28)을 3층 구조로 하였지만, 적절히 1층, 2층 또는 4층 이상으로 할 수 있다. 또한, 이 경우, 적어도, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 갖는 것이 바람직하다.

[0118] 산화물 절연막(23)은 산소를 투과하는 산화물 절연막이다. 따라서, 산화물 절연막(23) 위에 제공되는, 산화물 절연막(25)으로부터 이탈되는 산소를, 산화물 절연막(23)을 통하여 산화물 반도체막(17a, 17b)으로 이동시킬 수 있다. 또한, 산화물 절연막(23)은, 나중에 형성하는 산화물 절연막(25)을 형성할 때의, 산화물 반도체막(17a, 17b)에 대한 대미지 완화막으로서 기능한다.

[0119] 산화물 절연막(23)으로서는 두께가 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하인 산화 실리콘막, 산화 질화 실리콘막 등을 사용할 수 있다. 또한, 본 명세서 중에서, 산화 질화 실리콘막이란 그 조성으로서 질소보다 산소의 함유량이 많은 막을 가리키고, 질화 산화 실리콘막이란 그 조성으로서 산소보다 질소의 함유량이 많은 막을 가리킨다.

[0120] 또한, 산화물 절연막(23)은 결합량이 적은 것이 바람직하고, 대표적으로는 ESR(Electron Spin Resonance) 측정하였을 때, 실리콘의 데클링 본드에서 유래하는 $g=2.001$ 에 나타나는 신호의 스핀 밀도가 3×10^{17} spins/cm³ 이하인 것이 바람직하다. 이것은 산화물 절연막(23)에 포함되는 결합 밀도가 많으면 상기 결합에 산소가 결합되어, 산화물 절연막(23)에서의 산소의 투과량이 감소되기 때문이다.

[0121] 또한, 산화물 절연막(23)과 산화물 반도체막(17a, 17b)의 계면에서의 결합량이 적은 것이 바람직하고, 대표적으로는, ESR 측정하였을 때, 산화물 반도체막(17a, 17b)의 결합에서 유래하는 $g=1.93$ 에 나타나는 신호의 스핀 밀도가 1×10^{17} spins/cm³ 이하가 바람직하고, 검출 하한 이하가 더 바람직하다.

[0122] 또한, 산화물 절연막(23)에서는, 외부로부터 산화물 절연막(23)에 들어간 산소가 모두 산화물 절연막(23) 외부로 이동하는 경우가 있다. 또는, 외부로부터 산화물 절연막(23)에 들어간 산소의 일부가 산화물 절연막(23)에 머무르는 경우도 있다. 또한, 외부로부터 산화물 절연막(23)에 산소가 들어감과 함께, 산화물 절연막(23)에 포함되는 산소가 산화물 절연막(23)의 외부로 이동함으로써, 산화물 절연막(23)에서 산소의 이동이 생기는 경우도 있다.

[0123] 산화물 절연막(23)에 접하도록 산화물 절연막(25)이 형성된다. 산화물 절연막(25)은 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하여 형성한다. 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은 가열에 의하여 산소의 일부가 이탈된다. 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위에서 행해지는 TDS 분석하였을 때의 산소의 이탈량이 산소 원자로 환산하여 1.0×10^{18} atoms/cm³ 이상, 바람직하게는 3.0×10^{20} atoms/cm³ 이상인 산화물 절연막이다.

[0124] 산화물 절연막(25)으로서는, 두께가 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하인 산화 실리콘, 산화 질화 실리콘 등을 사용할 수 있다.

[0125] 또한, 산화물 절연막(25)은 결합량이 적은 것이 바람직하며, 대표적으로는 ESR 측정하였을 때, 실리콘의 데클링 본드에서 유래하는 $g=2.001$ 에 나타나는 신호의 스핀 밀도가 1.5×10^{18} spins/cm³ 미만인 것이 바람직하고, 1×10^{18} spins/cm³ 이하인 것이 더 바람직하다. 또한, 산화물 절연막(25)은 산화물 절연막(23)에 비하여 산화물 반도체막(17a, 17b)으로부터 떨어져 있기 때문에 산화물 절연막(23)보다 결합 밀도가 많아도 좋다.

- [0126] 질화물 절연막(27)은 적어도 수소 및 산소의 차단 효과를 갖는다. 또한, 바람직하게는, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 차단 효과를 갖는다. 절연막(28)에 질화물 절연막(27)을 제공함으로써, 산화물 반도체막(17a, 17b)으로부터의 산소의 외부로의 확산과, 외부로부터 산화물 반도체막(17a, 17b)으로의 수소, 물 등의 침입을 방지할 수 있다.
- [0127] 질화물 절연막(27)으로서는, 두께가 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하인 질화실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등이 있다.
- [0128] 또한, 질화물 절연막(27) 대신에, 산소, 수소, 물 등의 차단 효과를 갖는 산화물 절연막을 제공하여도 좋다. 산소, 수소, 물 등의 차단 효과를 갖는 산화물 절연막으로서는, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄 등이 있다.
- [0129] 트랜지스터(400a)에 있어서, 게이트 전극(31) 및 전극(32)은 투광성을 갖는 도전막을 사용한다. 투광성을 갖는 도전막은 인듐 주석 산화물(이하, ITO라고도 함.), 인듐 아연 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 산화 실리콘을 포함하는 인듐 주석 산화물 등이 있다.
- [0130] <듀얼 게이트 구동에 의한 전류 구동력의 향상에 대하여>
- [0131] 본 실시형태의 표시 장치에서는, 높은 온 전류 및 높은 전계 효과 이동도가 요망되는 화소의 구동 트랜지스터로서 기능하는 트랜지스터(400a)로서, 채널이 형성되는 산화물 반도체막(17a)의 상층 및 하층에 각각 중첩하는 게이트 전극(13a) 및 게이트 전극(31)을 갖고, 각 게이트 전극이 서로 전기적으로 접속되어 있는, 즉 듀얼 게이트 구동(Dual Gate 구동)을 행하는 트랜지스터를 사용하고, 또한 그 채널 길이를 0.5μm 이상 4.5μm 이하로 미세화되어 있다. 이하에서는, 산화물 반도체막을 끼워 대향하는 게이트 전극이 접속하고, 양 전극이 동일 전위인 듀얼 게이트 구동의 트랜지스터에 있어서, 채널 길이 L을 작게 함으로써, 전류 구동력이 향상되는 것에 대하여 설명한다.
- [0132] <<이상적인 모델에서의 포화 이동도에 대하여>>
- [0133] 우선, 계면 준위나 계면 산란 등의 효과를 고려하지 않는, 이상적인 모델에 대하여 시뮬레이션으로 검토하였다. 계산에서 사용한 트랜지스터의 모델을 도 30에 도시하였다. 또한, 계산에는 디바이스 시뮬레이션 소프트Atlas(Silvaco사제)를 사용하였다.
- [0134] 도 30에 도시된 트랜지스터는, 게이트 전극(GE_1) 위에 게이트 절연막(GI_1)이 형성되고, 게이트 절연막(GI_1) 위에 산화물 반도체막(OS)이 형성된다. 게이트 절연막(GI_1) 및 산화물 반도체막(OS) 위에 소스 전극(S) 및 드레인 전극(D)이 형성된다. 산화물 반도체막(OS), 소스 전극(S) 및 드레인 전극(D) 위에 게이트 절연막(GI_2)이 형성된다. 게이트 절연막(GI_2) 위에 게이트 전극(GE_2)이 형성된다. 또한, 게이트 전극(GE_1) 및 게이트 전극(GE_2)은 게이트 절연막(GI_1) 및 게이트 절연막(GI_2)에 형성되는 개구부(도시되지 않았음.)에서 접속한다.
- [0135] 계산에 사용한 조건을 표 1에 기재한다.

표 1

채널 길이	2 μm, 3 μm, 6 μm, 또는 10 μm
채널 폭	50 μm
GI_1 의 두께 (T1)	450 nm
GI_2 의 두께 (T2)	450 nm
GI_1 및 GI_2 의 유전율 (Er)	3.9
OS 의 두께	35 nm
OS 의 이동도	10 cm ² /Vsec
OS의 유전율 (Er)	15
SD 하의 OS 의 도너 밀도	1 × 10 ¹⁹ /cm ³
채널 영역에서 OS 의 도너 밀도	6.6 × 10 ⁻⁹ /cm ³
드레인 전압	1 V 또는 10 V

[0136]

[0137] 게이트 전극(GE_1) 및 게이트 전극(GE_2)은 접속되어 있으므로, 항상 같은 전위이다. 또한, 이 모델은 2차원 시뮬레이션을 사용하고 있으므로, 채널 폭 방향의 효과에 대해서는 고려되지 않았다. 또한, 드레인 전압(Vd)이 10V일 때의 V_g - I_d 특성의 값을 수학식 1에 대입함으로써 포화 이동도 μ_{FE} 를 산출하였다. 또한, 여기서는, 포화 영역의 전계 효과 이동도를 포화 이동도로서 설명한다. 또한, 계산에 의하여 얻어지는 포화 이동도의 최대값은, 포화 영역(게이트 전압(V_g)<드레인 전압(Vd)+문턱 전압(V_{th}))에서의 전류 구동력의 지표로서, 산화물 반도체 막의 물성값으로서의 이동도의 근사값과는 다르다.

수학식 1

$$\mu_{FE} = \left(\frac{\partial \sqrt{I_d}}{\partial V_g} \right)^2 \frac{2L}{C_{Bottom} W}$$

[0138]

[0139] 또한, 수학식 1에 있어서, W 는 트랜지스터의 채널 폭이고, C_{Bottom} 은, 게이트 전극(GE_1) 및 산화물 반도체막(OS) 사이의 단위 면적당의 용량값이다.

[0140]

[0140] 듀얼 게이트 구동의 트랜지스터의 계산 결과를 도 31의 (A)에 도시하고, 게이트 전극(GE_2)을 갖지 않는 싱글 게이트 구동의 트랜지스터의 계산 결과를 도 31의 (B)에 도시하였다.

[0141]

[0141] 도 31로부터, 듀얼 게이트 구동의 트랜지스터, 및 싱글 게이트 구동의 트랜지스터 각각에 있어서, 날카로운 피크를 갖는 포화 이동도가 얻어진다. 또한, L 길이가 짧을수록 포화 이동도의 피크값이 높다.

[0142]

[0142] 여기서, 채널 길이 L이 짧아짐에 따라 포화 이동도가 향상되지만, 이것이 트랜지스터의 전류 구동력의 향상에 상당하는 것인지에 대하여, 이하에 설명한다.

[0143]

[0143] 이상적인 모델의 시뮬레이션으로부터 얻어진 결과에 있어서, 게이트 전압이 $V_g = V_{th} + 5V$ 일 때와 $V_g = V_{th} + 10V$ 일 때에서의, 온 전류를 L 길이에 대하여 플롯(plot)한 그래프를 도 32에 도시하였다. 도 32의 상단은 온 전류를 나타낸 것이고, 도 32의 하단은 온 전류 \times 채널 길이를 나타낸 것이다. 또한, 도 32에 있어서, 좌란은 드레인 전압(Vd)이 1V일 때의 계산 결과이고, 우란은 드레인 전압(Vd)이 10V일 때의 계산 결과이다.

[0144]

[0144] 도 32에 도시된 온 전류는 채널 길이(L)에 반비례하고 있다. 이는, 온 전류가 채널 길이(L)에 반비례하기 때문이다.

[0145]

[0145] 또한, 온 전류가 완전히 채널 길이에 반비례하는 것이라면, 온 전류 \times 채널 길이의 값은 채널 길이에 의존하지 않고 일정 값이 된다. 도 32에 있어서, 드레인 전압(Vd)이 1V인 경우에는, 온 전류 \times 채널 길이의 값은, 채널 길이(L)에 대하여 대략 일정 값이 되어 있다. 한편, 드레인 전압(Vd)이 10V인 경우에는, 채널 길이(L)가 짧아짐에 따라, 온 전류 \times 채널 길이의 값이 증가하였다. 이는, 드레인 전압(Vd)이 10V인 경우에는, 실효 채널 길이(추후 설명함)가, 도 30에 있어서 정해지는 채널 길이(소스 전극(S)과 드레인 전극(D) 사이의 거리)보다 짧아져 있는 것을 나타내고 있다.

[0146]

[0146] <<별크 전류의 이론>>

[0147]

[0147] 이하, 이상적인 모델의 트랜지스터의 포화 이동도에 있어서, 낮은 게이트 전압으로 피크가 생기는 원인에 대하여 설명한다.

[0148]

[0148] 도 30에 도시된 트랜지스터에 있어서, 산화물 반도체막(OS)에 포함되는 전자밀도는, 산화물 반도체막(OS)의 막 두께 방향에 일정한 값 $n_0(y)$ 으로 나타난다고 가정한다. y는 산화물 반도체막(OS) 내의 채널 길이 방향의 임의의 위치를 나타낸다. 산화물 반도체막(OS)의 막 두께 방향에서의 포텐셜 ϕ 는 수학식 2로 나타나고, 일정해진다. 다만, 게이트 전극(GE_1)의 게이트 전압(Vg_1) 및 게이트 전극(GE_2)의 게이트 전압(Vg_2)이 같은 전위이고, 게이트 전극(GE_1)측 및 게이트 전극(GE_2)측에서의 플랫 밴드 전압을 모두, 플랫 밴드 전압 V_{FB} 라고 가정한다.

수학식 2

$$\phi - V(y) = V_g - V_{FB} - V(y)$$

[0149]

[0150] 이 때, 축적형인 산화물 반도체막을 갖는 트랜지스터에 있어서, 드레인 전류 I_d 는, 수학식 3에 나타낸 바와 같은 벌크 전류 I_{bulk} 만으로 근사적으로 공급된다.

수학식 3

$$I_d \cong I_{bulk} = \frac{Wt}{L_{eff}} \mu k_B T [n_0(0) - n_0(L_{eff})]$$

[0151]

[0152] 또한, 수학식 3에 있어서, t 는 산화물 반도체막의 막 두께, μ 는 산화물 반도체막의 전자 이동도, k_B 는 볼츠만 상수, T 는 절대 온도, L_{eff} 는 실효 채널 길이이다. 또한, 여기서는, 채널 길이는 소스 전극 및 드레인 전극의 간격이고, 실효 채널 길이란 산화물 반도체막에 있어서 소스 전극 아래로부터 넓어지는 n 영역과, 드레인 전극 아래로부터 넓어지는 n 영역 사이의 거리를 나타낸다. 특히, 채널 길이가 짧은 경우 또는 드레인 전압이 높은 경우, 실효 채널 길이는 채널 길이보다도 짧아진다.

[0153]

또한, $n_0(0)$ 은 상술한 실효 채널 길이로 정해지는 영역의 소스 전극측 단부에서의 전자 밀도이며, 수학식 4로 나타낸다. 또한, $n_0(L_{eff})$ 은, 상술한 실효 채널 길이로 정해지는 영역의 드레인 전극측 단부에서의 전자 밀도이며, 수학식 5로 나타낸다. 또한, 수학식 4 및 수학식 5에 있어서, N_D 는 산화물 반도체막의 채널 영역의 도너 밀도이며, q 는 기본 전하이다.

수학식 4

$$n_0(0) = N_D e^{q\phi/k_B T} = N_D e^{q(V_g - V_{FB})/k_B T}$$

[0154]

수학식 5

$$n_0(L_{eff}) = N_D e^{q(\phi - V_d)/k_B T} = N_D e^{q(V_g - V_{FB} - V_d)/k_B T}$$

[0155]

[0156] $V_d > V_g - V_{th}$, 및 $V_g > V_{th}$ 의 포화 영역인 경우, 드레인 전압(V_d)은 $V_g - V_{th}$ 로 치환되므로, 수학식 3은 수학식 6이 된다.

수학식 6

$$I_d = \frac{Wt}{L_{eff}} \mu k_B T N_D e^{-qV_{FB}/k_B T} (e^{qV_g/k_B T} - e^{qV_{th}/k_B T})$$

[0157]

[0158] 수학식 6에서 얻어진 드레인 전류(I_d)에 대하여, 포화 이동도 μ_{FE}^{sat} 를 계산하면 수학식 7이 된다.

수학식 7

$$\mu_{FE}^{sat} \equiv \left(\frac{d\sqrt{I_d}}{dV_g} \right)^2 \frac{2L}{C_{GI}W} = \frac{Lt\mu q^2 N_D e^{-qV_{FB}/k_B T}}{2L_{eff}C_{GI}k_B T} \frac{e^{qV_g/k_B T}}{1 - e^{q(V_g - V_{th})/k_B T}}$$

[0159]

[0160] 수학식 7에 있어서, V_g 를 V_{th} 로 하면, 분모가 0이 되고, 포화 이동도 μ_{FE}^{sat} 는 무한대로 발산한다. 이 성질이, 도 31에 도시된 바와 같은 포화 이동도에서의, 낮은 게이트 전압(V_g)에서의 피크의 원인이다. 즉, 산화물 반도체막(OS)의 내부를 흐르는 벌크 전류가 드레인 전류의 주요인일수록, 도 31의 채널 길이가 $2\mu\text{m}$ 일 때의 포화 이동도와 같이, 보다 분명한 피크가 나타난다.

[0161]

또한, 포화 이동도가 커지는 기타 요인 중 하나로서, 실효 채널 길이 L_{eff} 가 채널 길이 L 에 비하여 짧아지는 것을 생각할 수 있다. 예를 들어, 산화물 반도체막(OS)에 있어서, 소스 전극(S) 및 드레인 전극(D)과 접하는 영역 근방에서 n 영역이 넓어짐으로써, 실효 채널 길이 L_{eff} 가 채널 길이 L 보다 짧아진다. 이 영향은, 수학식 7에 나타난 포화 이동도 μ_{FE}^{sat} 의 L/L_{eff} 에 대한 비례 관계로부터도 명확하다.

[0162]

<<산화물 반도체막 중의 전류 밀도>>

[0163]

벌크 전류가 포화 이동도에 영향을 주는 것은, 축적형의 디바이스인 산화물 반도체막을 갖는 트랜지스터에 특유한 현상이며, 반도체막으로서 실리콘막을 갖는 트랜지스터와 같은, 반전형 디바이스에서는 벌크 전류의 영향이 적다.

[0164]

다음에, 디바이스 시뮬레이션에 의하여 얻어진 전류 밀도 분포를 플롯한 그래프를 도 33의 (B) 및 도 33의 (C)에 도시하였다. 도 33의 (A)는 드레인 전압을 10V로 하여 계산으로 얻어진 V_g - I_d 특성을 나타낸 것이고, 도 33의 (B) 및 도 33의 (C)는 도 30에 도시된 산화물 반도체막의 A1-A2의 단면 방향의 전류 밀도 분포를 나타낸 것이다. 도 33의 (B)는 포화 영역($V_g=0.5V$), 도 33의 (C)는 선형 영역($V_g=15V$)에서의 전류 밀도 분포를 나타낸 것이다. 또한, 계산에 사용한 트랜지스터의 채널 길이 L /채널 폭 W 는 $2\mu\text{m}/50\mu\text{m}$ 이고, 드레인 전압(V_d)을 10V로 하였다.

[0165]

도 33의 (B)로부터, 포화 영역(낮은 게이트 전압(V_g))에서는, 산화물 반도체막(OS) 중에 거의 균일하게 전류 밀도가 분포되어 있다. 한편으로, 도 33의 (C)에 도시된 바와 같이, 선형 영역(높은 게이트 전압(V_g))에서는, 산화물 반도체막(OS)의 표면 부근을 흐르는 전류가 지배적으로 되어 있다. 도 33의 (B)에 도시된 바와 같이 포화 영역에서는, 산화물 반도체막(OS) 중에서 전류 밀도가 거의 균일하게 분포되어 있으므로, 포화 이동도에 피크가 생기는 원인 중 하나는 벌크 전류임을 알 수 있다.

[0166]

한편, 디바이스 시뮬레이션에 의하여 얻어진 반전형 디바이스의 반도체막의 전류 밀도 분포를 도 34의 (B) 및 도 34의 (C)에 도시하였다. 도 34는 도 30에 도시된 트랜지스터의 산화물 반도체막(OS)을, n-p-n 접합을 포함하는 반도체막(실리콘)으로 치환한 경우의 계산 결과이다. 반도체막의 채널 영역에는 $1\times17/\text{cm}^2$ 의 밀도를 갖는 억셉터형 불순물을 가정하였다.

[0167]

도 34의 (A)는 드레인 전압을 10V로 하여 계산으로 얻어진 V_g - I_d 특성을 나타낸 것이고, 도 34의 (B) 및 도 34의 (C)는 도 30에 도시된 반도체막의 A1-A2의 단면 방향의 전류 밀도 분포를 나타낸 것이다. 도 34의 (B)는 포화 영역($V_g=0.5V$), 도 34의 (C)는 선형 영역($V_g=15V$)에서의 전류 밀도 분포이다. 또한, 계산에 사용한 트랜지스터의 채널 길이 L /채널 폭 W 는 $2\mu\text{m}/50\mu\text{m}$ 이고, 드레인 전압(V_d)을 10V로 하였다.

[0168]

축적형 디바이스인 산화물 반도체막을 갖는 트랜지스터와 달리, 반전형 디바이스인 반도체막을 갖는 트랜지스터는, 도 34의 (B)에 도시된 바와 같이, 문턱 전압 근방에서도 반도체막의 표면을 흐르는 전류가 많아져, 벌크 전류의 기여는 축적형 디바이스에 비하면 작다.

[0169]

이상의 것으로부터, 축적형 디바이스인 산화물 반도체막을 갖는 트랜지스터에 있어서, 이상적인 모델에서는, 벌크 전류에 의하여 포화 이동도에 날카로운 피크가 생기는 것을 알 수 있다. 또한, 벌크 전류에 의하여, 채널 길이 L 이 짧아질수록 포화 이동도가 향상된다.

[0170]

또한, 채널 길이 L 이 짧아질수록, 벌크 전류에 의하여 생긴 포화 이동도의 피크치가 높아지는 원인으로서, 산화

물 반도체막(OS)에 있어서, 소스 전극(S) 및 드레인 전극(D)과 접하는 영역 근방에서, n 영역이 넓어짐으로써, 실효 채널 길이 L_{eff} 가 채널 길이 L보다 짧아지는 것을 생각할 수 있다. 또한, 채널 길이 L이 작으면, 소스 전극(S) 및 드레인 전극(D)의 영향으로 산화물 반도체막(OS)의 전도대 하단의 에너지(Ec)가 낮아지고, 전도대 하단의 에너지와 페르미(Fermi) 에너지가 가까워지는 현상(CBL 효과(Conduction band lowering effect))에 의하여, 실효 채널 길이 L_{eff} 가 채널 길이 L보다 짧아지는 것을 생각할 수 있다. 포화 이동도는 수학식 7에 나타낸 바와 같이, 실효 채널 길이 L_{eff} 가 작아짐으로써 L/L_{eff} 에 비례해서 커진다. 이 효과는, 채널 길이 L이 작을수록 현저히 생기므로, 채널 길이 L이 작을수록 포화 이동도가 향상된다고 생각할 수 있다.

[0171] <<얇은 전자 트랩 준위를 가정한 모델>>

[0172] 다음에, 실제의 트랜지스터의 포화 이동도에 근사시키기 위해서, 이상적인 모델의 트랜지스터에 있어서, 게이트 절연막(GI_1) 및 산화물 반도체막(OS)의 계면에서, 전자를 트랩하면 음으로 대전하는 억셉터형의 준위, 즉 얇은 전자 트랩 준위를 가정하여 계산한 결과를 도 35에 도시하였다.

[0173] 도 35의 (A)에, 게이트 절연막(GI_1) 및 산화물 반도체막(OS)의 계면에서 가정한 전자 트랩 준위의 DOS(density of state)를 도시하였다.

[0174] 다음에, 듀얼 게이트 구동의 트랜지스터 및 싱글 게이트 구동의 트랜지스터 각각의 포화 이동도를 계산하였다. 듀얼 게이트 구동의 트랜지스터의 계산 결과를 도 35의 (B)에 도시하였고, 싱글 게이트 구동의 트랜지스터의 계산 결과를 도 35의 (C)에 도시하였다.

[0175] 도 35의 (B) 및 도 35의 (C)로부터, 듀얼 게이트 구동의 트랜지스터 및 싱글 게이트 구동의 트랜지스터의 포화 이동도에 있어서, 이상적인 모델로 얻어진 것 같은 날카로운 피크가 나타나지 않았다. 또한, 도 35의 (C)로부터, 싱글 게이트 구동의 트랜지스터에서는, 채널 길이 L에 그다지 의존하지 않고, 포화 이동도의 피크값은 대략 $5\text{cm}^3/\text{V} \cdot \text{sec}$ 전후였다. 한편, 듀얼 게이트 구동의 트랜지스터에서는, 채널 길이 L이 작아질수록, 포화 이동도의 피크값이 높아지고, 그 값은 15 내지 $20\text{cm}^3/\text{V} \cdot \text{sec}$ 이 되었다. 이 결과는, 후술하는 실시예의 결과와 같은 경향이다.

[0176] 이것으로부터, 듀얼 게이트 구동의 트랜지스터에 있어서, 채널 길이 L을 작게 할수록, 포화 이동도가 상승하는 것을 알 수 있다.

[0177] <듀얼 게이트 구동에서의 채널 에치형의 트랜지스터 및 채널 보호형의 트랜지스터의 비교>

[0178] 이하에, 채널 에치형의 트랜지스터 및 채널 보호형의 트랜지스터의 전기 특성에 대하여 계산한 결과를 사용하여, 채널 에치형의 트랜지스터 및 채널 보호형의 트랜지스터, 각각의 전계 효과 이동도 및 온 전류에 대하여 비교한다. 또한, 여기서는, 산화물 반도체막을 끼워서 대향하는 게이트 전극이 접속하고, 동일 전위인 듀얼 게이트 구동의 트랜지스터의 전계 효과 이동도(μ_{FE}) 및 온 전류(Ion)에 대하여 비교하는 것으로 한다.

[0179] 계산에 사용한 채널 보호형의 트랜지스터의 구조를 도 29의 (A)에 도시하였다. 또한, 계산에는 디바이스 시뮬레이션 소프트 Atlas(Silvaco사제)를 사용하였다.

[0180] 채널 보호형의 트랜지스터는, 게이트 전극(GE_1) 위에 게이트 절연막(GI_1)이 형성되고, 게이트 절연막(GI_1) 위에 산화물 반도체막(OS)이 형성된다. 게이트 절연막(GI_1) 및 산화물 반도체막(OS) 위에 소스 전극(S) 및 드레인 전극(D)이 형성된다. 또한, 소스 전극(S) 및 드레인 전극(D)의 단부와 산화물 반도체막(OS) 사이에는 채널 보호막(CS)이 형성된다. 산화물 반도체막(OS), 소스 전극(S) 및 드레인 전극(D), 및 채널 보호막(CS) 위에 게이트 절연막(GI_2)이 형성된다. 게이트 절연막(GI_2) 위에 게이트 전극(GE_2)이 형성된다. 또한, 게이트 전극(GE_1) 및 게이트 전극(GE_2)은, 게이트 절연막(GI_1) 및 게이트 절연막(GI_2)에 형성되는 개구부(도시되지 않았음)에서 접속한다.

[0181] 채널 에치형의 트랜지스터는, 채널 보호막(CS)이 제공되지 않고, 소스 전극(S) 및 드레인 전극(D)의 단부가 산화물 반도체막(OS)에 접하는 구조이다.

[0182] 계산에 사용한 조건을 표 2에 기재하였다.

표 2

채널 길이(L)	10 μm
채널 폭(W)	50 μm
GI_1 의 두께 (T1)	450 nm
GI_2 의 두께 (T2)	450 nm
채널 보호막 CS 의 두께(T3)	100 nm
GI_1, GI_2, 및 CS 의 유전율(Er)	3.9
OS 의 두께	35 nm
OS 의 이동도	10 cm^2/Vsec
OS 의 유전율(Er)	15
SD 하 OS 의 도너 밀도	$1 \times 10^{19}/\text{cm}^3$
채널 영역에서 OS 의 도너 밀도	$6.6 \times 10^{-9}/\text{cm}^3$

[0183]

[0184] 도 29의 (A)는 듀얼 게이트 구동의 트랜지스터를 나타내지만, 비교예로서, 게이트 전극(GE_2)을 갖지 않는, 싱글 게이트 구동의 트랜지스터에 관해서도, 듀얼 게이트 구동의 트랜지스터와 동일한 계산을 수행하였다. 싱글 게이트 구동의 트랜지스터는, 도 2의 (A2), 도 2의 (B), 및 도 2의 (C2)의 선택 트랜지스터로서 기능하는 트랜지스터(400b)에 상당한다.

[0185]

채널 보호형의 트랜지스터에 있어서, 채널 보호막(CS)을 개재하여, 산화물 반도체막(OS)과 소스 전극(S) 또는 드레인 전극(D)이 중첩하는 영역의 길이를 Sov로 한다. 또한, 소스 전극(S) 및 드레인 전극(D)에 있어서, 채널 보호막(CS)을 개재하여 산화물 반도체막(OS)과 중첩하는 영역을 Sov 영역으로 한다. Sov와 전계 효과 이동도의 관계를 계산한 결과를 도 29의 (B)에 도시하였고, Sov와 온 전류의 관계를 계산한 결과를 도 29의 (C)에 도시하였다.

[0186]

또한, 채널 에치형의 트랜지스터에 있어서는, Sov를 $0\mu\text{m}$ 으로 하여 전계 효과 이동도 및 온 전류를 계산하였다. 또한, 계산 결과를 각각 도 29의 (B) 및 도 29의 (C)에 도시하였다.

[0187]

또한, 도 29의 (B)는 드레인 전압(Vd)을 1V로 했을 때의 결과이다. 또한, 도 29의 (C)는 드레인 전압(Vd)을 1V, 게이트 전압(Vg)을 10V로 했을 때의 결과이다.

[0188]

도 29의 (B)에 도시된 바와 같이, 채널 에치형의 트랜지스터(Sov가 $0\mu\text{m}$)에서는, 싱글 게이트 구동의 트랜지스터와 비교하여, 듀얼 게이트 구동의 트랜지스터의 전계 효과 이동도는 약 2배가 된다. 한편, 채널 보호형의 트랜지스터에서는, 듀얼 게이트 구동의 트랜지스터의 전계 효과 이동도는 Sov의 길이가 커짐에 따라 감소한다.

[0189]

또한, 도 29의 (C)에 도시된 바와 같이, 채널 에치형의 트랜지스터(Sov가 $0\mu\text{m}$)에서는, 싱글 게이트 구동의 트랜지스터와 비교하여, 듀얼 게이트 구동의 트랜지스터의 온 전류는 약 2배가 된다. 한편, 채널 보호형의 트랜지스터에서는, 듀얼 게이트 구동의 트랜지스터의 온 전류는 Sov의 길이가 커짐에 따라 감소한다.

[0190]

채널 보호형의 트랜지스터에서는, 소스 전극(S) 및 드레인 전극(D)에서의 Sov 영역이 게이트 전극(GE_2)의 전계를 차폐한다. 이 때문에, 산화물 반도체막(OS)에 있어서, 게이트 전극(GE_2)의 전압에 의하여 캐리어 밀도를 제어할 수 없는 영역이 넓어진다. 이 결과, Sov의 길이가 커짐에 따라 전계 효과 이동도가 저감되고, 온 전류가 작아진다고 생각할 수 있다. 이상의 것으로부터, 채널 보호형의 트랜지스터와 비교하여, 채널 에치형의 트랜지스터인 쪽이, 듀얼 게이트 구동에서의 전계 효과 이동도의 상승 효과 및 전류 증폭 효과가 높다. 즉, 본 실시형태에 따른 표시 장치에 있어서 발광 소자의 구동 트랜지스터로서 사용할 수 있는 트랜지스터(400a)에는, 채널 에치형의 트랜지스터를 적용하는 것이 효과적이다.

[0191]

또한, 채널 에치형의 트랜지스터는, 채널 보호형의 트랜지스터와 비교하여, 한 쌍의 전극의 거리를 작게 하는 것이 용이하다. 따라서, 트랜지스터(400a)는 채널 길이를 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하로 할 수 있다.

[0192]

<표시 장치의 제작 방법>

- [0193] 다음에, 도 2에 도시된 트랜지스터(400a) 및 트랜지스터(400b)를 포함하는 표시 장치의 제작 방법에 대하여, 도 3 내지 도 6을 사용하여 설명한다. 또한, 도 3 내지 도 6에 있어서, A1-B1로 나타낸 채널 길이 방향의 단면도 및 C1-D1로 나타낸 채널 폭 방향의 단면도를 사용하여 트랜지스터(400a)의 제작 방법을 설명하고, A2-B2로 나타낸 채널 길이 방향의 단면도를 사용하여 트랜지스터(400b)의 제작 방법을 설명한다.
- [0194] 또한, 트랜지스터(400b)의 채널 폭 방향의 단면도는, 개구부(42, 43)에서 게이트 전극(13a)과 접하는 게이트 전극(31)을 갖지 않는 점 이외에는 트랜지스터(400a)와 동일하다.
- [0195] 도 3의 (A)에 도시된 바와 같이, 기판(11) 위에, 나중에 게이트 전극(13a, 13b)이 되는 도전막(12)을 형성한다.
- [0196] 여기서는, 기판(11)으로서 유리 기판을 사용한다.
- [0197] 도전막(12)은 스퍼터링법, CVD법, 증착법 등에 의하여 형성한다.
- [0198] 여기서는, 도전막(12)으로서, 두께 100nm의 텅스텐막을 스퍼터링법에 의하여 형성한다.
- [0199] 다음에, 도전막(12) 위에 제 1 포토 마스크를 사용한 포토리소그래피 공정에 의하여 마스크를 형성한다. 다음에, 이 마스크를 사용하여 도전막(12)의 일부를 에칭하고, 게이트 전극(13a, 13b)을 형성한다. 이 후에 마스크를 제거한다(도 3의 (B) 참조.).
- [0200] 도전막(12)의 일부를 에칭하는 방법으로서는, 웨트 에칭법, 드라이 에칭법 등이 있고, 이것들 중 한쪽 또는 양쪽을 사용할 수 있다.
- [0201] 여기서는, 포토리소그래피 공정에 의하여 마스크를 형성하고, 이 마스크를 사용하여 도전막(12)을 드라이 에칭하여 게이트 전극(13a, 13b)을 형성한다.
- [0202] 또한, 게이트 전극(13a, 13b)은 상술한 형성 방법 대신에 전해 도금법, 인쇄법, 잉크젯법 등으로 형성하여도 좋다.
- [0203] 다음에, 도 3의 (C)에 도시된 바와 같이, 기판(11) 및 게이트 전극(13a, 13b) 위에, 나중에 절연막(15)이 되는 절연막(14)을 형성하고, 절연막(14) 위에, 나중에 산화물 반도체막(17a, 17b)이 되는 산화물 반도체막(16)을 형성한다.
- [0204] 절연막(14)은 스퍼터링법, CVD법, 증착법 등으로 형성한다.
- [0205] 절연막(14)으로서 산화 실리콘막, 산화 질화 실리콘막, 또는 질화 산화 실리콘막을 형성하는 경우, 원료 가스로서는 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.
- [0206] 절연막(14)으로서 산화 갈륨막을 형성하는 경우, MOCVD(Metal Organic Chemical Vapor Deposition)법을 사용하여 형성할 수 있다.
- [0207] 산화물 반도체막(16)은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법(laser ablation method) 등을 사용하여 형성할 수 있다.
- [0208] 스퍼터링법으로 산화물 반도체막(16)을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 사용할 수 있다.
- [0209] 스퍼터링 가스로서는, 희가스(대표적으로는 아르곤) 분위기, 산화 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 또한, 희가스 및 산소의 혼합 가스의 경우, 희가스에 대한 산소의 가스 비율을 높이는 것이 바람직하다.
- [0210] 또한, 타깃은, 형성하는 산화물 반도체막(16)의 조성에 맞추어 적절히 선택하면 좋다.
- [0211] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막(16)을 얻기 위해서는 체임버 내를 고진공 배기할 뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 사용하는 산소 가스나 아르곤 가스는 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 보다 바람직하게는 -100°C 이하, 보다 바람직하게는 -120°C 이하까지 고순도화된 가스를 사용함으로써 산화물 반도체막(16)에 수분 등이 들어가는 것을 가능한 한 막을 수 있다.
- [0212] 여기서는 In-Ga-Zn 산화물 타깃(In:Ga:Zn=1:1:1)을 사용한 스퍼터링법에 의하여, 산화물 반도체막(16)으로서 두

께 35nm의 In-Ga-Zn 산화물막을 형성한다.

[0213] 다음에, 산화물 반도체막(16) 위에 제 2 포토 마스크를 사용한 포토리소그래피 공정에 의하여 마스크를 형성한 후, 이 마스크를 사용하여 산화물 반도체막(16)의 일부를 에칭함으로써, 소자 분리된 산화물 반도체막(17a, 17b)을 각각 형성한다. 그 후 마스크를 제거한다(도 3의 (D) 참조.).

[0214] 산화물 반도체막(16)의 일부를 에칭하는 방법으로서는, 웨트 에칭법, 드라이 에칭법 등이 있고, 이것들 중 한쪽 또는 양쪽을 사용할 수 있다.

[0215] 여기에서는, 포토리소그래피 공정에 의하여 마스크를 형성하고, 이 마스크를 사용하여 산화물 반도체막(16)을 웨트 에칭하여 산화물 반도체막(17a, 17b)을 형성한다.

[0216] 또한, 이 후, 150°C 이상 기판 변형점 미만, 바람직하게는 200°C 이상 450°C 이하, 더 바람직하게는 300°C 이상 450°C 이하의 가열 처리를 수행해도 좋다. 이 결과, 산화물 반도체막(17a, 17b)에 포함되는 수소, 물 등의 함유량을 저감할 수 있고, 산화물 반도체막(17a, 17b)에 포함되는 불순물을 저감할 수 있다.

[0217] 다음에, 도 4의 (A)에 도시된 바와 같이, 나중에 트랜지스터(400a)의 한 쌍의 전극(20a, 20b), 및 트랜지스터(400b)의 한 쌍의 전극(20c, 20d)이 되는 도전막(18)을 형성한다.

[0218] 도전막(18)은 스퍼터링법, CVD법, 증착법 등으로 형성한다.

[0219] 여기에서는, 두께 50nm의 텅스텐막 및 두께 300nm의 구리막을 차례로 스퍼터링법에 의하여 적층하여 도전막(18)을 형성한다.

[0220] 다음에, 도전막(18) 위에 제 3 포토 마스크를 사용한 포토리소그래피 공정에 의하여 마스크를 형성한다. 다음에, 이 마스크를 사용하여 도전막(18)을 에칭하고, 한 쌍의 전극(20a, 20b) 및 한 쌍의 전극(20c, 20d)을 형성한다. 이 후에 마스크를 제거한다(도 4의 (B) 참조.).

[0221] 여기에서는, 이 마스크를 사용하여 텅스텐막 및 구리막을 드라이 에칭하고, 한 쌍의 전극(20a, 20b) 및 한 쌍의 전극(20c, 20d)을 형성한다. 또한, 우선, 웨트 에칭법을 사용하여 구리막을 에칭하고, 다음에, SF₆을 사용한 드라이 에칭법에 의하여 텅스텐막을 에칭함으로써, 상기 에칭에 있어서, 구리막의 표면에 불화물이 형성된다. 상기 불화물에 의하여, 구리막으로부터의 구리 원소의 확산이 저감되고, 산화물 반도체막(17a, 17b)에서의 구리 농도를 저감할 수 있다.

[0222] 다음에, 도 5의 (A)에 도시된 바와 같이, 산화물 반도체막(17a) 및 한 쌍의 전극(20a, 20b) 위, 및 산화물 반도체막(17b) 및 한 쌍의 전극(20c, 20d) 위에, 나중에 산화물 절연막(23)이 되는 산화물 절연막(22), 및 나중에 산화물 절연막(25)이 되는 산화물 절연막(24)을 형성한다.

[0223] 또한, 산화물 절연막(22)을 형성한 후, 대기에 노출시키지 않고 연속적으로 산화물 절연막(24)을 형성하는 것이 바람직하다. 산화물 절연막(22)을 형성한 후, 대기 개방하지 않고, 원료 가스의 유량, 압력, 고주파 전력 및 기판 온도 중 하나 이상을 조정하여 산화물 절연막(24)을 연속적으로 형성함으로써, 산화물 절연막(22) 및 산화물 절연막(24)에서의 계면의 대기 성분에서 유래하는 불순물 농도를 저감할 수 있음과 동시에, 산화물 절연막(24)에 포함되는 산소를 산화물 반도체막(17a, 17b)으로 이동시킬 수 있고, 산화물 반도체막(17a, 17b)의 산소 결손량을 저감할 수 있다.

[0224] 산화물 절연막(22)으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치(載置)된 기판을 280°C 이상 400°C 이하로 유지하고, 처리실에 원료 가스를 도입하고 처리실 내의 압력을 20Pa 이상 250Pa 이하, 더 바람직하게는 100Pa 이상 250Pa 이하로 하고, 처리실 내에 제공되는 전극에 고주파 전력을 공급하는 조건에 의하여 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다.

[0225] 산화물 절연막(22)의 원료 가스로서는, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0226] 상술한 조건을 사용함으로써, 산화물 절연막(22)으로서 산소를 투과시키는 산화물 절연막을 형성할 수 있다. 또한, 산화물 절연막(22)을 제공함으로써, 나중에 형성하는 산화물 절연막(25)의 형성 공정에서 산화물 반도체막(17a, 17b)에 대한 대미지를 저감할 수 있다.

[0227] 상기 성막 조건에 있어서, 기판 온도를 상기 온도로 함으로써, 실리콘 및 산소의 결합력이 강해진다. 이 결과,

산화물 절연막(22)으로서, 산소가 투과하고, 치밀하며, 또 단단한 산화물 절연막, 대표적으로는, 25°C에서 0.5wt%의 불산에 대한 에칭 속도가 10nm/min 이하, 바람직하게는 8nm/min 이하인 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다.

[0228] 또한, 가열하면서 산화물 절연막(22)을 형성하기 때문에, 산화물 반도체막(17a, 17b)에 수소, 물 등이 포함되는 경우, 상기 공정에서 산화물 반도체막(17a, 17b)에 포함되는 수소, 물 등을 이탈시킬 수 있다. 산화물 반도체막(17a, 17b)에 포함되는 수소는 플라즈마 중에서 발생한 산소 라디칼과 결합하여 물이 된다. 산화물 절연막(22)의 형성 공정에서 기판이 가열되기 때문에, 산소 및 수소의 결합에 의하여 생성된 물은 산화물 반도체막(17a, 17b)으로부터 이탈된다. 즉, 플라즈마 CVD법에 의하여 산화물 절연막(22)을 형성함으로써, 산화물 반도체막(17a, 17b)에 포함되는 물 및 수소의 함유량을 저감할 수 있다.

[0229] 또한, 산화물 절연막(22)을 형성하는 공정에서 가열하기 때문에, 산화물 반도체막(17a, 17b)이 노출된 상태에서의 가열 시간이 적고, 가열 처리에 의한 산화물 반도체막으로부터의 산소의 이탈량을 저감할 수 있다. 즉, 산화물 반도체막(17a, 17b) 중에 포함되는 산소 결손량을 저감할 수 있다.

[0230] 또한, 처리실의 압력을 100Pa 이상 250Pa 이하로 함으로써 산화물 절연막(23)에 포함되는 물의 함유량이 적어지기 때문에 트랜지스터(400a) 및 트랜지스터(400b)의 전기 특성 편차를 저감하는 동시에 문턱 전압의 변동을 억제할 수 있다.

[0231] 또한, 처리실의 압력을 100Pa 이상 250Pa 이하로 함으로써, 산화물 절연막(22)을 형성할 때에, 산화물 반도체막(17a, 17b)에 대한 대미지를 저감할 수 있고, 산화물 반도체막(17a, 17b)에 포함되는 산소 결손량을 저감할 수 있다. 특히, 산화물 절연막(22) 또는 나중에 형성되는 산화물 절연막(24)의 성막 온도를 높게, 대표적으로는 220°C보다 높은 온도로 함으로써, 산화물 반도체막(17a, 17b)에 포함되는 산소의 일부가 이탈되어 산소 결손이 형성되기 쉽다. 또한, 트랜지스터의 신뢰성을 높이기 위하여, 나중에 형성하는 산화물 절연막(24)의 결함량을 저감하기 위한 성막 조건을 사용하면, 산소 이탈량이 저감되기 쉽다. 그러므로, 산화물 반도체막(17a, 17b)의 산소 결손을 저감하기 어려운 경우가 있다. 그러나, 처리실의 압력을 100Pa 이상 250Pa 이하로 하고, 산화물 절연막(22)의 형성 시의 산화물 반도체막(17a, 17b)에 대한 대미지를 저감함으로써, 산화물 절연막(24)으로부터의 산소 이탈량이 적은 경우에도 산화물 반도체막(17a, 17b) 중의 산소 결손을 저감할 수 있다.

[0232] 또한, 실리콘을 포함한 퇴적성 가스에 대한 산화성 가스량을 100배 이상으로 함으로써, 산화물 절연막(22)에 포함되는 수소의 함유량을 저감할 수 있다. 이 결과, 산화물 반도체막(17a, 17b)에 혼입되는 수소의 양을 저감할 수 있어 트랜지스터의 문턱 전압의 마이너스 시프트를 억제할 수 있다.

[0233] 여기서는 산화물 절연막(22)으로서, 유량 30sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로 하고, 처리실의 압력을 200Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여, 두께 50nm의 산화 질화 실리콘막을 형성한다. 상술한 조건에 의하여 산소를 투과시키는 산화 질화 실리콘막을 형성할 수 있다.

[0234] 산화물 절연막(24)으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180°C 이상 280°C 이하, 더 바람직하게는 200°C 이상 240°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내의 압력을 100Pa 이상 250Pa 이하, 더 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 제공되는 전극에 0.17W/cm² 이상 0.5W/cm² 이하, 더 바람직하게는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 공급하는 조건에 의하여, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0235] 산화물 절연막(24)의 원료 가스로서는 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0236] 산화물 절연막(24)의 형성 조건으로서, 상기 압력으로 유지된 반응실에 있어서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 가스의 분해 효율이 높아져 산소 라디칼이 증가되고, 원료 가스의 산화가 진행되기 때문에, 산화물 절연막(25)에 포함되는 산소 함유량이 화학량론적 조성보다 많아진다. 한편, 기판 온도가 상기 온도로 형성된 막에서는 실리콘과 산소의 결합력이 약하기 때문에, 나중에 수행되는 공정의 가열 처리에 의하여 막 중의 산소의 일부가 이탈된다. 이 결과, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하고 가열에 의하여 산소의 일부가 이탈되는 산화물 절연막을 형성할 수 있다. 또한, 산화물 반도체막(17) 위에 산화물 절연막(22)이 제공된다. 이로써, 산화물 절연막(24)의 형성 공정에서, 산화물 절연막(22)이 산화물 반도체막(17)의 보호막이 된다. 이 결과, 산화물 반도체막(17)에 대한 대미지를 저감하면서, 파워 밀도가 높은

고주파 전력을 사용하여 산화물 절연막(24)을 형성할 수 있다.

[0237] 여기서는, 산화물 절연막(24)으로서, 유량 200sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로 하고 반응실의 압력을 200Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 1500W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여, 두께 400nm의 산화 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm²인 평행 평판형의 플라즈마 CVD 장치이며, 공급한 전력을 단위 면적당의 전력(전력 밀도)으로 환산하면 0.25W/cm²이다.

[0238] 다음에, 가열 처리를 수행한다. 이 가열 처리의 온도는 대표적으로는, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하로 한다.

[0239] 이 가열 처리는 전기로, RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 단시간에 한하여 기판의 변형점 이상의 온도로 가열 처리를 수행할 수 있다. 그러므로 가열 처리 시간을 단축할 수 있다.

[0240] 가열 처리는, 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서 수행하면 좋다. 또한, 상기 질소, 산소, 초건조 공기, 또는 희가스에 수소, 물 등이 포함되지 않는 것이 바람직하다.

[0241] 상기 가열 처리에 의하여, 산화물 절연막(24)에 포함되는 산소의 일부를 산화물 반도체막(17a, 17b)으로 이동시켜, 산화물 반도체막(17a, 17b)에 포함되는 산소 결손량을 더 저감할 수 있다.

[0242] 또한, 산화물 절연막(22) 및 산화물 절연막(24)에 물, 수소 등이 포함되는 경우, 물, 수소 등을 차단하는 기능을 갖는 질화물 절연막(26)을 형성한 후에 가열 처리를 수행하면, 산화물 절연막(22) 및 산화물 절연막(24)에 포함되는 물, 수소 등이 산화물 반도체막(17a, 17b)으로 이동하여 산화물 반도체막(17a, 17b)에 결함이 생긴다. 그러나, 이 가열 처리를 질화물 절연막(26)의 형성 전에 수행함으로써, 산화물 절연막(22) 및 산화물 절연막(24)에 포함되는 물, 수소 등을 이탈시킬 수 있고, 트랜지스터(400a), 트랜지스터(400b)의 전기 특성 편차를 저감하는 동시에, 문턱 전압의 변동을 억제할 수 있다.

[0243] 또한, 가열하면서 산화물 절연막(24)을 산화물 절연막(22) 위에 형성함으로써, 산화물 반도체막(17a, 17b)으로 산소를 이동시켜, 산화물 반도체막(17a, 17b)에 포함되는 산소 결손을 저감할 수 있으므로, 이 가열 처리를 수행하지 않아도 좋다.

[0244] 여기서는, 질소 및 산화 분위기에서 350°C로 1시간 동안 가열 처리를 수행한다.

[0245] 또한, 한 쌍의 전극(20a, 20b) 및 한 쌍의 전극(20c, 20d)을 형성할 때, 도전막의 에칭에 의하여 산화물 반도체막(17a, 17b)은 대미지를 받고, 산화물 반도체막(17a, 17b)의 백 채널(산화물 반도체막(17a, 17b)에서 게이트 전극(13a, 13b)과 대향하는 면과 반대 측의 면) 측에 산소 결손이 생긴다. 그러나, 산화물 절연막(24)에 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 적용함으로써 가열 처리로 인하여 상기 백 채널 측에 생긴 산소 결손을 저감할 수 있다. 이로써 트랜지스터(400a, 400b)의 신뢰성을 향상시킬 수 있다.

[0246] 다음에, 스퍼터링법, CVD법 등에 의하여 나중에 질화물 절연막(27)이 되는 질화물 절연막(26)을 형성한다.

[0247] 또한, 질화물 절연막(26)을 플라즈마 CVD법으로 형성하는 경우, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하로 함으로써, 치밀한 질화물 절연막을 형성할 수 있어 바람직하다.

[0248] 질화물 절연막(26)으로서 플라즈마 CVD법에 의하여 질화 실리콘막을 형성하는 경우, 실리콘을 포함한 퇴적성 가스, 질소, 및 암모니아를 원료 가스로서 사용하는 것이 바람직하다. 원료 가스로서 질소와 비교하여 소량의 암모니아를 사용함으로써, 플라즈마 중에서 암모니아가 해리되어 활성종이 발생한다. 이 활성종은 실리콘을 포함한 퇴적성 가스에 포함되는 실리콘과 수소의 결합, 및 질소의 삼중 결합을 절단한다. 이 결과, 실리콘 및 질소의 결합이 촉진되어 실리콘 및 수소의 결합이 적고, 결함이 적고, 치밀한 질화 실리콘막을 형성할 수 있다. 한편, 원료 가스에 있어서, 질소에 대한 암모니아의 양이 많으면, 실리콘을 포함한 퇴적성 가스 및 질소 각각의 분해가 진행되지 않고, 실리콘과 수소의 결합이 잔존하여 결함이 증대되고, 또한 거친 질화 실리콘막이 형성된다. 그러므로, 원료 가스에 있어서 암모니아에 대한 질소의 유량비를 5 이상 50 이하, 바람직하게는 10 이상 50 이하로 하는 것이 바람직하다.

[0249] 여기서는, 플라즈마 CVD 장치의 반응실에, 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암

모니아를 원료 가스로 하고, 처리실의 압력을 100Pa, 기판 온도를 350°C로 하고, 27.12MHz의 고주파 전원을 사용하여 1000W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여, 질화물 절연막(26)으로서 두께 50nm의 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm²인 평행 평판형의 플라즈마 CVD 장치이며, 공급한 전력을 단위 면적당의 전력(전력 밀도)으로 환산하면 $1.7 \times 10^{-1} \text{W/cm}^2$ 이다.

[0250] 이상의 공정에 의하여, 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)을 형성할 수 있다.

[0251] 다음에, 가열 처리를 수행해도 좋다. 이 가열 처리의 온도는, 대표적으로는, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하로 한다.

[0252] 다음에, 질화물 절연막(26) 위에 제 4 포토마스크를 사용한 포토리소그래피 공정에 의하여 마스크를 형성한 후, 이 마스크를 사용하여 절연막(14), 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)의 각각 일부를 에칭하고, 절연막(15)과, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)으로 구성되는 절연막(28)을 형성한다. 또한, 절연막(28)은, 트랜지스터(400a)의 채널 길이 방향의 단면도인 도 5의 (B)의 A1-B1로 도시된 바와 같이 개구부(41)를 갖는다. 또한, 절연막(15) 및 절연막(28)에는, 트랜지스터(400a)의 채널 폭 방향의 단면도인 도 5의 (B)의 C1-D1로 도시된 바와 같이 개구부(42, 43)를 갖는다.

[0253] 다음에, 도 6의 (A)에 도시된 바와 같이, 나중에 게이트 전극(31) 및 전극(32)이 되는 도전막(30)을 형성한다.

[0254] 도전막(30)은 스퍼터링법, CVD법, 증착법 등에 의하여 형성한다.

[0255] 여기서는, 스퍼터링법에 의하여 도전막(30)으로서 두께 100nm의 ITO막을 형성한다.

[0256] 다음에, 도전막(30) 위에 제 5 포토마스크를 사용한 포토리소그래피 공정에 의하여 마스크를 형성한다. 다음에, 이 마스크를 사용하여 도전막의 일부를 에칭하고, 게이트 전극(31) 및 전극(32)을 형성한다. 이 후에 마스크를 제거한다.

[0257] 또한, 도 6의 (B)에 도시된 바와 같이, 트랜지스터(400a)에서는, 채널 폭 방향에 있어서, 절연막(15) 및 절연막(28)에 제공되는 개구부의 측면에서 산화물 반도체막(17a)의 측면과 대향하도록 게이트 전극(31)을 형성한다.

[0258] 이상의 공정에 의하여 트랜지스터(400a) 및 트랜지스터(400b)를 제작할 수 있다.

[0259] 본 실시형태에 기재된 트랜지스터는, 채널 영역으로서 기능하는 산화물 반도체막에 중첩하고, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 형성함으로써, 이 산화물 절연막의 산소를 산화물 반도체막으로 이동시킬 수 있다. 이 결과, 산화물 반도체막에 포함되는 산소 결손의 함유량을 저감할 수 있어, 신뢰성이 높은 트랜지스터가 된다.

[0260] 또한, 발광 소자의 구동 트랜지스터로서 기능하는 트랜지스터(400a)에서는, 채널 폭 방향에 있어서, 게이트 전극(31)을, 절연막(15) 및 절연막(28)에 제공되는 개구부(42, 43)의 측면에서 산화물 반도체막(17a)의 측면과 대향시킴으로써, 산화물 반도체막(17a)의 측면에서도 게이트 전극(31)의 전계의 영향을 받고, 산화물 반도체막(17a)의 넓은 범위에서 캐리어가 흐르기 때문에, 트랜지스터의 전계 효과 이동도가 상승하는 동시에 온 전류가 증대한다.

[0261] 또한, 발광 소자의 구동 트랜지스터로서 기능하는 트랜지스터(400a)의 채널 길이를, 0.5μm 이상 4.5μm 이하, 바람직하게는 1μm보다 크고 4μm 이하, 보다 바람직하게는 1μm보다 크고 3.5μm 이하, 더 바람직하게는 1μm보다 크고 2.5μm 이하로 함으로써, 트랜지스터의 전계 효과 이동도를 더욱 상승시키는 것이 가능해진다. 이로써, 표시 장치의 고속 구동을 실현할 수 있다.

[0262] 또한, 화소의 선택 트랜지스터로서 기능하는 트랜지스터(400b)의 채널 길이를 트랜지스터(400a)보다 크게 함으로써, 컷오프 전류를 저감하는 것이 가능해진다. 이로써, 표시 장치의 저소비 전력화를 실현할 수 있다.

[0263] 상기로부터, 산화물 반도체막을 갖는 트랜지스터를 구비한 표시 장치로서 전기 특성이 뛰어난 표시 장치를 얻을 수 있다. 또한, 산화물 반도체막을 갖는 트랜지스터를 구비한 표시 장치에 있어서, 신뢰성이 높은 표시 장치를 얻을 수 있다.

[0264] 또한, 본 실시형태에 기재된 구성 및 방법 등을 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0265] <표시 장치의 변형 예 1>

- [0266] 도 2와 다른 구조의 표시 장치에 대하여 도 7을 사용하여 설명한다. 도 7에 도시된 표시 장치는, 구동 트랜지스터로서 기능하는 트랜지스터(410a)와, 선택 트랜지스터로서 기능하는 트랜지스터(400b)를 포함하는 화소를 갖는다. 도 7의 (A1)은 구동 트랜지스터로서 기능하는 트랜지스터(410a)의 상면도이고, 도 7의 (A2)는 선택 트랜지스터로서 기능하는 트랜지스터(400b)의 상면도이고, 도 7의 (B)는 도 7의 (A1)의 일점쇄선 A3-B3 및 도 7의 (A2)의 일점쇄선 A2-B2의 단면도이고, 도 7의 (C1)은 도 7의 (A1)의 일점쇄선 C3-D3간의 단면도이고, 도 7의 (C2)는 도 7의 (A2)의 일점쇄선 C2-D2간의 단면도이다. 또한, 도 7의 (A1) 및 도 7의 (A2)에서는 명료화를 위해 기판(11) 및 절연막 등을 생략하였다.
- [0267] 도 7의 (A2), 도 7의 (B) 및 도 7의 (C2)에서 선택 트랜지스터로서 기능하는 트랜지스터(400b)는 도 2의 (A2), 도 2의 (B) 및 도 2의 (C2)의 구성과 동일하다.
- [0268] 트랜지스터(410a)는, 채널 폭 방향에 있어서, 산화물 반도체막(17a)의 한쪽의 측면의 외측에서 게이트 전극(13a) 및 게이트 전극(51)이 접속하지만, 산화물 반도체막(17a)의 다른 쪽의 측면의 외측에서 절연막(15) 및 절연막(28)을 개재하여 게이트 전극(13a) 및 게이트 전극(51)이 대향하는 점이, 앞에 기재된 트랜지스터(400a)와 다르다.
- [0269] 도 7의 (A1), 도 7의 (B) 및 도 7의 (C1)에 도시된 트랜지스터(410a)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13a)과, 기판(11) 및 게이트 전극(13a) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13a)과 중첩하는 산화물 반도체막(17a)과, 산화물 반도체막(17a)에 접하는 한 쌍의 전극(20a, 20b)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17a), 및 한 쌍의 전극(20a, 20b) 위에 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)으로 구성되는 절연막(28)과, 절연막(28) 위에 형성되는 게이트 전극(51)을 갖는다. 게이트 전극(51)은, 절연막(15) 및 절연막(28)에 제공된 개구부(42)에서 게이트 전극(13a)에 접속한다. 또한, 한 쌍의 전극(20a, 20b)의 한쪽, 여기에서는 전극(20b)에 접속하는 전극(32)이 절연막(28) 위에 형성된다. 또한, 전극(32)은 화소 전극으로서 기능한다.
- [0270] 트랜지스터(410a)는, 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하이다. 트랜지스터(410a)는 게이트 전극(13a) 및 게이트 전극(51) 사이에 산화물 반도체막(17a)이 제공된다. 또한, 게이트 전극(51)은 도 7의 (A1)에 도시된 바와 같이, 상면에서 보았을 때, 절연막(28)을 개재하여 산화물 반도체막(17a)의 단부와 중첩한다.
- [0271] 또한, 절연막(15) 및 절연막(28)에는 복수의 개구부를 갖는다. 대표적으로는, 도 7의 (B)에 도시된 바와 같이, 한 쌍의 전극(20a, 20b)의 한쪽을 노출하는 개구부(41)를 갖는다. 또한, 도 7의 (C1)에 도시된 바와 같이, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 한쪽의 외측에서 절연막(15) 및 절연막(28)에 개구부(42)가 제공되고, 상기 개구부(42)에서 게이트 전극(51)과 게이트 전극(13a)이 접속한다. 또한, 게이트 전극(51)은 개구부(42)의 측면에서 산화물 반도체막(17a)의 채널 폭 방향의 측면과 대향한다. 또한, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 다른 쪽의 외측에서는, 게이트 전극(51)은 게이트 전극(13a)과 접속하지 않는다. 또한, 게이트 전극(51) 단부는 산화물 반도체막(17a)의 측면의 외측에 위치한다.
- [0272] 또한, 도 7의 (C1)에 도시된 바와 같이, 채널 폭 방향에 있어서, 절연막(15) 및 절연막(28)의 계면에 게이트 전극(51)을 투영했을 때의 단부와 산화물 반도체막(17a)의 측면의 거리(d)는, 절연막(15)의 막 두께(t1)와 절연막(28)의 막 두께(t2)를 더한 막 두께의 1배 이상 7.5배 이하로 하는 것이 바람직하다. 거리(d)가, 절연막(15)의 막 두께(t1)와 절연막(28)의 막 두께(t2)를 더한 막 두께의 1배 이상인 경우, 게이트 전극(51)의 전계가 산화물 반도체막(17a)의 측면, 또는 측면 및 그 근방을 포함하는 단부에 영향을 주기 때문에, 산화물 반도체막(17a)의 측면 또는 단부에서의 기생 채널의 발생을 억제할 수 있다. 한편, 거리(d)가 절연막(15)의 막 두께(t1)와 절연막(28)의 막 두께(t2)를 더한 막 두께의 7.5배 이하인 경우, 트랜지스터의 면적을 작게 할 수 있다.
- [0273] 다음에, 트랜지스터(410a)의 제작 공정에 대하여 설명한다.
- [0274] 도 3 내지 도 5의 (A)의 공정을 거쳐, 기판(11) 위에 게이트 전극(13a), 절연막(14), 산화물 반도체막(17a), 한 쌍의 전극(20a, 20b), 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)을 형성한다. 또한, 상기 공정에서는 제 1 포토 마스크 내지 제 3 포토 마스크를 사용한 포토리소그래피 공정을 수행한다.
- [0275] 다음에, 제 4 포토 마스크를 사용한 포토리소그래피 공정에 의하여 질화물 절연막(26) 위에 마스크를 형성한 후, 절연막(14), 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)의 일부를 에칭하여 도 7의 (A1), 도 7의 (B) 및 도 7의 (C1)에 도시된 개구부(41, 42)를 형성한다.

- [0276] 다음에, 도 6의 (A)에 도시된 공정과 동일하게 도전막(30)을 형성한다. 다음에, 제 5 포토 마스크를 사용한 포토리소그래피 공정에 의하여 도전막(30) 위에 마스크를 형성한 후, 도전막(30)의 일부를 에칭하여 도 7의 (A1), 도 7의 (B) 및 도 7의 (C1)에 도시된 게이트 전극(51) 및 전극(32)을 형성한다.
- [0277] 이상의 공정에 의하여 트랜지스터(410a)를 제작할 수 있다.
- [0278] <표시 장치의 변형 예 2>
- [0279] 도 2 및 도 7과 다른 구조의 표시 장치에 대하여 도 8을 사용하여 설명한다. 도 8에 도시된 표시 장치는, 구동 트랜지스터로서 기능하는 트랜지스터(420a)와, 선택 트랜지스터로서 기능하는 트랜지스터(400b)를 포함하는 화소를 갖는다. 도 8의 (A1)은 구동 트랜지스터로서 기능하는 트랜지스터(420a)의 상면도이고, 도 8의 (A2)는 선택 트랜지스터로서 기능하는 트랜지스터(400b)의 상면도이고, 도 8의 (B)는 도 8의 (A1)의 일점쇄선 A4-B4 및 도 8의 (A2)의 일점쇄선 A2-B2의 단면도이고, 도 8의 (C1)은 도 8의 (A1)의 일점쇄선 C4-D4간의 단면도이고, 도 8의 (C2)는 도 8의 (A2)의 일점쇄선 C2-D2간의 단면도이다. 또한, 도 8의 (A1) 및 도 8의 (A2)에서는 명료화를 위해 기판(11) 및 절연막 등을 생략하였다.
- [0280] 도 8의 (A2), 도 8의 (B) 및 도 8의 (C2)에 있어서 선택 트랜지스터로서 기능하는 트랜지스터(400b)는 도 2의 (A2), 도 2의 (B) 및 도 2의 (C2)의 구성과 동일하다. 또한, 도 8의 (A1), 도 8의 (B) 및 도 8의 (C1)에 있어서 구동 트랜지스터로서 기능하는 트랜지스터(420a)는 게이트 전극(13a) 및 게이트 전극(64)이 도전막(62)을 통하여 접속하고 있는 점이 앞에 기재된 구동 트랜지스터(410a)와 다르다.
- [0281] 도 8의 (A1), (B) 및 도 8의 (C1)에 도시된 트랜지스터(420a)는, 채널 에치형의 트랜지스터이며, 기판(11) 위에 제공되는 게이트 전극(13a)과, 기판(11) 및 게이트 전극(13a) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13a)과 중첩하는 산화물 반도체막(17a)과, 산화물 반도체막(17a)에 접하는 한 쌍의 전극(20a, 20b)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17a), 및 한 쌍의 전극(20a, 20b) 위에, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)으로 구성되는 절연막(28)과, 절연막(28) 위에 형성되는 게이트 전극(64)을 갖는다. 게이트 전극(64)은 도전막(62)을 통하여 게이트 전극(13a)에 접속한다. 또한, 한 쌍의 전극(20a, 20b)의 한쪽, 여기서는 전극(20b)에 접속하는 전극(32)이 절연막(28) 위에 형성된다. 또한, 전극(32)은 화소 전극으로서 기능한다.
- [0282] 트랜지스터(420a)는, 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하이다. 또한, 트랜지스터(420a)는, 게이트 전극(13a) 및 게이트 전극(64) 사이에 산화물 반도체막(17a)이 제공되어 있다. 또한, 게이트 전극(64)은 도 8의 (A1)에 도시된 바와 같이, 상면에서 보았을 때, 절연막(28)을 개재하여 산화물 반도체막(17a)의 단부와 중첩한다.
- [0283] 또한, 절연막(15) 및 절연막(28)은 복수의 개구부를 갖는다. 대표적으로는, 도 8의 (B)에 도시된 바와 같이, 트랜지스터(420a)의 한 쌍의 전극(20a, 20b)의 한쪽을 노출하는 개구부(41)를 갖는다. 또한, 도 8의 (C1)에 도시된 바와 같이, 절연막(15)에 제공된 개구부(61)에서 도전막(62)이 게이트 전극(13a)과 접속한다. 또한, 도전막(62)은 한 쌍의 전극(20a, 20b)과 동시에 형성된다. 또한, 절연막(28)에 제공된 개구부(63)에서 게이트 전극(64)은 도전막(62)과 접속한다. 즉, 도전막(62)을 통하여 게이트 전극(13a) 및 게이트 전극(64)은 전기적으로 접속한다. 또한, 게이트 전극(13a) 및 게이트 전극(64)과 동일 전위인 도전막(62)은 산화물 반도체막(17a)의 측면과 대향한다.
- [0284] 또한, 도 8의 (C1)에 도시된 바와 같이, 트랜지스터(420a)는, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 한쪽의 외측에만 게이트 전극(13a) 및 게이트 전극(64)이 도전막(62)을 통하여 접속하지만, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 양쪽의 외측에서 게이트 전극(13a) 및 게이트 전극(64)이 도전막(62)을 통하여 접속해도 좋다.
- [0285] 다음에, 트랜지스터(420a)의 제작 공정에 대하여 설명한다.
- [0286] 도 3의 공정을 거쳐, 기판(11) 위에 게이트 전극(13a), 절연막(14), 및 산화물 반도체막(17a)을 형성한다. 상기 공정에서는, 제 1 포토 마스크 및 제 2 포토 마스크를 사용한 포토리소그래피 공정을 수행한다.
- [0287] 다음에, 제 3 포토 마스크를 사용한 포토리소그래피 공정에 의하여 절연막(14) 위에 마스크를 형성한 후, 절연막(14)의 일부를 에칭하여 도 8의 (A1) 및 도 8의 (C1)에 도시된 개구부(61)를 형성한다.
- [0288] 다음에, 도 4의 (A) 및 도 4의 (B)에 도시된 공정과 동일하게, 제 4 포토 마스크를 사용한 포토리소그래피 공정

에 의하여 도전막(18) 위에 마스크를 형성한 후, 도전막(18)의 일부를 에칭하여 한 쌍의 전극(20a, 20b) 및 도전막(62)을 형성한다.

[0289] 다음에, 도 5의 (A)에 도시된 공정과 동일하게, 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)을 형성한다. 다음에, 제 5 포토 마스크를 사용한 포토리소그래피 공정에 의하여 질화물 절연막(26) 위에 마스크를 형성한 후, 질화물 절연막(26)의 일부를 에칭하여 도 8의 (A1) 및 도 8의 (C1)에 도시된 개구부(63)를 형성한다.

[0290] 다음에, 도 6의 (A)에 도시된 공정과 동일하게 도전막(30)을 형성한다. 다음에, 제 6 포토 마스크를 사용한 포토리소그래피 공정에 의하여 도전막(30) 위에 마스크를 형성한 후, 도전막(30)의 일부를 에칭하고, 도 8의 (A1), 도 8의 (B) 및 도 8의 (C1)에 도시된 게이트 전극(64) 및 전극(32)을 형성한다.

[0291] 이상의 공정에 의하여 트랜지스터(420a)를 제작할 수 있다.

[0292] <표시 장치의 변형 예 3>

[0293] 도 2, 도 7 및 도 8과 다른 구조의 표시 장치에 대하여 도 11을 사용하여 설명한다. 도 11에 도시된 표시 장치는, 구동 트랜지스터로서 기능하는 트랜지스터(430a)와, 선택 트랜지스터로서 기능하는 트랜지스터(430b)를 포함하는 화소를 갖는다. 도 11의 (A1)은 구동 트랜지스터로서 기능하는 트랜지스터(430a)의 상면도이고, 도 11의 (A2)는 선택 트랜지스터로서 기능하는 트랜지스터(430b)의 상면도이고, 도 11의 (B)는 도 11의 (A1)의 일점쇄선 A5-B5 및 도 11의 (A2)의 일점쇄선 A6-B6의 단면도이고, 도 11의 (C1)은 도 11의 (A1)의 일점쇄선 C5-D5간의 단면도이고, 도 11의 (C2)는 도 11의 (A2)의 일점쇄선 C6-D6간의 단면도이다. 또한, 도 11의 (A1) 및 도 11의 (A2)에서는 명료화를 위해 기판이나 절연막 등을 생략하였다.

[0294] 도 11의 (A1), 도 11의 (B) 및 도 11의 (C1)에 도시된 트랜지스터(430a)는 한 쌍의 전극(20a, 20b)의 한쪽에 접속하는 전극(77)이 절연막(15) 위에 형성된다. 또한, 산화물 반도체막(17a) 및 한 쌍의 전극(20a, 20b) 위에 트랜지스터마다 분리된 절연막(74a)을 갖는 점이, 앞에 기재된 다른 구동용 트랜지스터와 다르다.

[0295] 또한, 도 11의 (A2), 도 11의 (B) 및 도 11의 (C2)에 도시된 트랜지스터(430b)는 산화물 반도체막(17b) 및 한 쌍의 전극(20c, 20d) 위에 트랜지스터마다 분리된 절연막(74b)을 갖는 점이, 앞에 기재된 트랜지스터(400b)와 다르다.

[0296] 도 11의 (A1), 도 11의 (B) 및 도 11의 (C1)에 도시된 트랜지스터(430a)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13a)과, 기판(11) 및 게이트 전극(13a) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13a)과 중첩하는 산화물 반도체막(17a)과, 산화물 반도체막(17a)에 접하는 한 쌍의 전극(20a, 20b)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17a) 및 한 쌍의 전극(20a, 20b) 위에, 산화물 절연막(71a), 산화물 절연막(72a) 및 질화물 절연막(73a)으로 구성되는 게이트 절연막으로서 기능하는 절연막(74a)과, 절연막(74a) 및 질화물 절연막(15a) 위에 형성되는 게이트 전극(76)을 갖는다. 게이트 전극(76)은 질화물 절연막(15a)에 제공된 개구부(75)에서 게이트 전극(13a)과 접속한다. 또한, 한 쌍의 전극(20a, 20b)의 한쪽, 여기서는 전극(20b)에 접속하는 전극(77)이 절연막(15) 위에 형성된다. 또한, 전극(77)은 화소 전극으로서 기능한다.

[0297] 또한 도 11의 (A2), 도 11의 (B) 및 도 11의 (C2)에 도시된 트랜지스터(430b)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13b)과, 기판(11) 및 게이트 전극(13b) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13b)과 중첩하는 산화물 반도체막(17b)과, 산화물 반도체막(17b)에 접하는 한 쌍의 전극(20c, 20d)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17b) 및 한 쌍의 전극(20c, 20d) 위에, 산화물 절연막(71b), 산화물 절연막(72b), 및 질화물 절연막(73b)으로 구성되는 절연막(74b)을 갖는다.

[0298] 트랜지스터(430a, 430b)에 포함되는 절연막(15)은 질화물 절연막(15a) 및 산화물 절연막(15b)으로 형성된다. 산화물 절연막(15b)은, 산화물 반도체막(17a), 한 쌍의 전극(20a, 20b) 및 산화물 절연막(71a)과 중복되는 영역과, 산화물 반도체막(17b), 한 쌍의 전극(20c, 20d) 및 산화물 절연막(71b)과 중복되는 영역에 형성된다.

[0299] 또한, 절연막(74a, 74b)은, 트랜지스터마다 분리되어 있고, 또한 산화물 반도체막(17a, 17b)과 각각 중첩한다. 구체적으로는, 도 11의 (B)에 도시된 트랜지스터(430a)의 채널 길이 방향에 있어서, 한 쌍의 전극(20a, 20b) 위에 절연막(74a)의 단부가 위치하고, 도 11의 (C1)에 도시된 트랜지스터(430a)의 채널 폭 방향에 있어서, 산화물 반도체막(17a)의 외측에 절연막(74a)의 단부가 위치한다. 또한, 도 11의 (B)에 도시된 트랜지스터(430b)의 채널 길이 방향에 있어서, 한 쌍의 전극(20c, 20d) 위에 절연막(74b)의 단부가 위치하고, 도 11의 (C2)에 도시된 트

랜지스터(430b)의 채널 폭 방향에 있어서, 산화물 반도체막(17b)의 외측에 절연막(74b)의 단부가 위치한다.

[0300] 또한, 도 11의 (C1)에 도시된 채널 폭 방향에 있어서, 게이트 전극(76)은, 게이트 절연막으로서 기능하는 절연막(74a)의 측면에 있어서 산화물 반도체막(17a)의 측면과 대향한다. 또한, 절연막(74a)의 단부는, 채널 길이 방향에 있어서, 한 쌍의 전극(20a, 20b) 위에 제공되지 않고, 절연막(15) 위에 제공되어도 좋다. 이 경우, 전극(77)은 절연막(74a) 위에 형성되고, 또한 절연막(74a)의 개구부에서 한 쌍의 전극(20a, 20b)의 한쪽과 접속한다.

[0301] 트랜지스터(430a)는, 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하이다. 또한, 트랜지스터(430a)는 채널 폭 방향에 있어서, 게이트 전극(13a) 및 게이트 전극(76) 사이에 절연막(15) 및 절연막(74a)을 개재하여 산화물 반도체막(17a)이 제공된다. 또한, 게이트 전극(76)은 도 11의 (A1)에 도시된 바와 같이, 상면에서 보았을 때, 절연막(74a)을 개재하여 산화물 반도체막(17a)의 단부와 중첩한다.

[0302] 또한, 트랜지스터(430b)의 채널 길이는 트랜지스터(430a)보다 크다. 이로써, 화소의 선택 트랜지스터로서 기능하는 트랜지스터(430b)의 컷오프 전류의 값을 저감하는 것이 가능해진다.

[0303] 또한, 도 11의 (C1)에서는 채널 폭 방향에 있어서, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 한쪽의 외측에만 게이트 전극(13a) 및 게이트 전극(76)이 접속하는 경우를 예로 나타냈지만, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 양쪽의 외측에서 게이트 전극(13a) 및 게이트 전극(76)이 접속해도 좋다.

[0304] 다음에, 트랜지스터(430a, 430b)의 제작 방법에 대하여 설명한다.

[0305] 트랜지스터(430a, 430b)는 도 3 내지 도 5의 (A)에 도시된 공정을 거쳐, 기판(11) 위에 게이트 전극(13a, 13b), 절연막(14), 산화물 반도체막(17a, 17b), 한 쌍의 전극(20a, 20b), 한 쌍의 전극(20c, 20d), 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)을 형성한다. 상기 공정에서는 제 1 포토 마스크 내지 제 3 포토 마스크를 사용한 포토리소그래피 공정을 수행한다.

[0306] 다음에, 도 5의 (B)에 도시된 공정에 있어서, 제 4 포토 마스크를 사용한 포토리소그래피 공정에 의하여 질화물 절연막(26) 위에 마스크를 형성한 후, 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)의 일부를 에칭하여 트랜지스터마다 분리된 절연막(74a, 74b)을 형성할 수 있다. 또한, 절연막(14)이 질화물 절연막 및 산화물 절연막으로 적층되는 경우, 산화물 절연막(23)의 에칭과 함께 절연막(14)의 일부도 에칭된다. 이 결과, 도 11의 (B)에 도시된 바와 같이, 질화물 절연막(15a) 및 산화물 절연막(15b)으로 형성되는 단자를 갖는 절연막(15)이 형성된다.

[0307] 이 후, 도 6에 도시된 공정을 거쳐 게이트 전극(76) 및 전극(77)을 형성한다.

[0308] 이상의 공정에 의하여 트랜지스터(430a, 430b)를 제작할 수 있다.

[0309] <표시 장치의 변형 예 4>

[0310] 도 2, 도 7, 도 8 및 도 11과 다른 구조의 표시 장치에 대하여 도 9를 사용하여 설명한다. 표시 장치에 포함되는 화소(602)의 등가 회로도를 도 9의 (A)에 도시하였다.

[0311] 도 9의 (A)에 도시된 바와 같이, 본 변형예의 화소(602)는, 발광 소자(350)와, 발광 소자(350)의 구동 트랜지스터로서 기능하는 트랜지스터(400a)와, 선택 트랜지스터로서 기능하는 트랜지스터(450b)와, 용량 소자(370)를 갖고, 트랜지스터(400a) 및 트랜지스터(450b)는 모두 산화물 반도체막의 상하에 배치된 게이트 전극을 포함하는 소위 듀얼 게이트형의 트랜지스터이다.

[0312] 화소(602)에 포함되는 트랜지스터(400a)는, 도 2의 (A1), 도 2의 (B), 도 2의 (C1) 및 도 2의 (D)에 도시된 구조와 동일한 구조으로 할 수 있다.

[0313] 또한, 도 9의 (B)는 선택 트랜지스터로서 기능하는 트랜지스터(450b)의 상면도이고, 도 9의 (C)는 도 9의 (B)의 일점쇄선 C9-D9의 단면도이고, 도 9의 (D)는 도 2의 (A1)로 도시된 트랜지스터(400a)의 일점쇄선 A1-B1 및 도 9의 (B)의 일점쇄선 A9-B9의 단면도이다. 또한, 도 9의 (B)에서는 명료화를 위해 기판(11) 및 절연막 등을 생략하였다.

[0314] 도 9에 도시된 트랜지스터(450b)는 절연막(28) 위에 산화물 반도체막(17b) 및 게이트 전극(13b)과 중첩하는 게이트 전극(109)을 갖는 점이, 앞에 기재된 다른 선택용 트랜지스터와 다르다.

- [0315] 도 9에 도시된 트랜지스터(450b)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13b)과, 기판(11) 및 게이트 전극(13b) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13b)과 중첩하는 산화물 반도체막(17b)과, 산화물 반도체막(17b)에 접하는 한 쌍의 전극(20c, 20d)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17b), 및 한 쌍의 전극(20c, 20d) 위에 산화물 절연막(23), 산화물 절연막(25), 및 절화물 절연막(27)으로 구성되는 게이트 절연막으로서 기능하는 절연막(28)과, 절연막(28) 및 절연막(15) 위에 형성되는 게이트 전극(109)을 갖는다. 게이트 전극(109)은 절연막(15) 및 절연막(28)에 제공된 개구부(102, 103)에서 게이트 전극(13b)과 접속한다.
- [0316] 트랜지스터(450b)에 포함되는 게이트 전극(109)은, 트랜지스터(400a)에 포함되는 게이트 전극(31)과 같은 층으로 형성된다.
- [0317] 또한, 트랜지스터(450b)는 적어도 트랜지스터(400a)보다 큰 채널 길이를 갖는다. 또한, 채널 폭 방향에 있어서, 게이트 전극(13b) 및 게이트 전극(109) 사이에 절연막(15) 및 절연막(28)을 개재하여 산화물 반도체막(17b)이 제공된다. 또한, 게이트 전극(109)은 도 9의 (B)에 도시된 바와 같이, 상면에서 보았을 때, 절연막(28)을 개재하여 산화물 반도체막(17b)의 단부와 중첩한다.
- [0318] 트랜지스터(400a, 450b)에 있어서, 에칭 등으로 섬 형상으로 가공된 산화물 반도체막의 단부에서는, 가공 대미지에 의하여 결함이 형성되는 동시에, 불순물 부착 등에 의하여 오염되는 경우가 있다. 따라서, 트랜지스터에 있어서 산화물 반도체막의 상측 또는 하측에 형성되는 게이트 전극 중 한쪽만이 형성되는 경우, 산화물 반도체막이 진성 또는 실질적으로 진성이라도, 전계 등의 스트레스가 가해짐으로써 산화물 반도체막의 단부는 활성화되어, n형(저저항 영역)이 되기 쉽다. 예를 들어, 상기 n형의 단부가, 도 9의 (B)의 파선(33, 34)과 같이, 한 쌍의 전극(20c, 20d) 사이에 제공되면, n형의 영역이 캐리어의 패스가 되어 기생 채널이 형성된다. 이 결과, 문턱 전압에서의 드레인 전류의 상승이 단계적이고, 또 문턱 전압이 마이너스 시프트된 트랜지스터가 된다.
- [0319] 하지만, 도 9에 도시된 트랜지스터(450b)는 동일 전위인 게이트 전극(13b) 및 게이트 전극(109)을 갖고, 채널 폭 방향에 있어서, 게이트 전극(109)이, 절연막(28)의 측면에서 산화물 반도체막(17b)의 측면과 대향함으로써, 게이트 전극(109)의 전계가 산화물 반도체막(17b) 측면에서도 영향을 준다. 이 결과, 산화물 반도체막(17b)의 측면, 또는 측면 및 그 근방을 포함하는 단부에서의 기생 채널의 발생이 억제된다. 이 결과, 트랜지스터(450b)는 문턱 전압에서의 드레인 전류의 상승이 급준한, 전기 특성이 뛰어난 트랜지스터로 할 수 있다. 또한, 상기의 기재는, 트랜지스터(400a)가 갖는 게이트 전극(13a), 게이트 전극(31) 및 산화물 반도체막(17a)에 대해서도 적용할 수 있다.
- [0320] 또한, 상술한 본 실시형태의 표시 장치의 구성 및 변형예의 표시 장치의 구성은 일부가 상이한 구성이지만, 각각의 구성을 자유롭게 조합할 수 있다.
- [0321] 이상, 본 실시형태에서 기재된 구성, 방법 등은 다른 실시형태에 기재되는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0322] (실시형태 2)
- [0323] 본 실시형태에서는, 실시형태 1과 다른 표시 장치 및 그 제작 방법에 대하여 도면을 참조하여 설명한다. 본 실시형태에서는, 산화물 반도체막에 포함되는 산소 결손이 보다 저감된 트랜지스터를 도 12 내지 도 15를 사용하여 설명한다.
- [0324] 도 12에 본 실시형태의 표시 장치의 화소에 포함되는 트랜지스터의 상면도 및 단면도를 도시하였다.
- [0325] 본 실시형태의 표시 장치는, 구동 트랜지스터로서 기능하는 트랜지스터(440a)와, 선택 트랜지스터로서 기능하는 트랜지스터(440b)를 포함하는 화소를 갖는다. 도 12의 (A1)은 구동 트랜지스터로서 기능하는 트랜지스터(440a)의 상면도이고, 도 12의 (A2)는 선택 트랜지스터로서 기능하는 트랜지스터(440b)의 상면도이고, 도 12의 (B)는 도 12의 (A1)의 일점쇄선 A7-B7간의 단면도 및 도 12의 (A2)의 일점쇄선 A8-B8간의 단면도이고, 도 12의 (C1)은 도 12의 (A1)의 일점쇄선 C7-D7간의 단면도이고, 도 12의 (C2)는 도 12의 (A2)의 일점쇄선 C8-D8간의 단면도이다. 또한, 도 12의 (A1) 및 도 12의 (A2)에서는 명료화를 위해 기판(11) 및 절연막 등을 생략하였다.
- [0326] 도 12의 (A1), 도 12의 (B) 및 도 12의 (C1)에 도시된 트랜지스터(440a)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13a)과, 기판(11) 및 게이트 전극(13a) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13a)과 중첩하는 산화물 반도체막(17a)과, 산화물 반도체막(17a)에 접하는 한 쌍의 전극(20a, 20b)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17a), 및 한 쌍의 전극(20a, 20b) 위에 산화물

물 절연막(83a), 산화물 절연막(85a), 및 질화물 절연막(87)으로 구성되는 절연막(88a)과, 절연막(88a) 위에 형성되는 게이트 전극(91)을 갖는다. 게이트 전극(91)은 절연막(15) 및 질화물 절연막(87)에 제공된 개구부(96)에서 게이트 전극(13a)과 접속한다. 또한, 한 쌍의 전극(20a, 20b)의 한쪽, 여기서는 전극(20b)에 접속하는 전극(92)이 질화물 절연막(87) 위에 형성된다. 전극(92)은 질화물 절연막(87)에 제공된 개구부(95)에서 전극(20b)과 접속한다. 또한, 전극(92)은 화소 전극으로서 기능한다.

[0327] 또한, 도 12의 (A2), 도 12의 (B) 및 도 12의 (C2)에 도시된 트랜지스터(440b)는 채널 에치형의 트랜지스터이고, 기판(11) 위에 제공되는 게이트 전극(13b)과, 기판(11) 및 게이트 전극(13b) 위에 형성되는 절연막(15)과, 절연막(15)을 개재하여 게이트 전극(13b)과 중첩하는 산화물 반도체막(17b)과, 산화물 반도체막(17b)에 접하는 한 쌍의 전극(20c, 20d)을 갖는다. 또한, 절연막(15), 산화물 반도체막(17b), 및 한 쌍의 전극(20c, 20d) 위에 산화물 절연막(83b), 산화물 절연막(85b), 및 질화물 절연막(87)으로 구성되는 절연막(88b)을 갖는다.

[0328] 트랜지스터(440a)에 있어서, 절연막(15) 및 절연막(88a)은 각각 게이트 절연막으로서 기능한다. 또한, 트랜지스터(440b)에 있어서, 절연막(15)은 게이트 절연막으로서 기능한다. 절연막(15)은 질화물 절연막(15a) 및 산화물 절연막(15b)으로 형성된다. 산화물 절연막(15b)은 산화물 반도체막(17a, 17b), 한 쌍의 전극(20a, 20b), 한 쌍의 전극(20c, 20d), 또는 산화물 절연막(83a) 중 어느 하나와 중첩하는 영역에 형성된다.

[0329] 또한, 트랜지스터(440b)에 있어서, 절연막(88b) 위로서, 게이트 전극(13b) 및 산화물 반도체막(17b)과 중첩하는 영역에 제 2 게이트 전극을 형성하여도 좋다. 그 경우, 상기 제 2 게이트 전극은, 절연막(15) 및 질화물 절연막(87)에 제공된 개구부에서 게이트 전극(13b)과 접속하는 것이 바람직하다.

[0330] 본 실시형태에서는, 질화물 절연막(15a)으로서 질화 실리콘막을 사용하여 형성한다. 또한, 산화물 절연막(15b)은, 실시형태 1에 기재된 절연막(15)에 있어서 열거한 산화물을 적절히 사용할 수 있다. 또한, 질화물 절연막(15a) 및 산화물 절연막(15b)은 각각 절연막(14)에 열거한 제작 방법을 적절히 사용할 수 있다. 또한, 산화물 절연막(83a, 83b)은, 실시형태 1에 기재된 산화물 절연막(23)과 동일한 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다. 또한, 산화물 절연막(85a, 85b)은 실시형태 1에 기재된 산화물 절연막(25)과 동일한 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다. 질화물 절연막(87)은 실시형태 1에 기재된 질화물 절연막(27)과 동일한 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다. 또한, 게이트 전극(91) 및 전극(92)은 실시형태 1에 기재된 게이트 전극(31) 및 전극(32)과 동일한 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다.

[0331] 또한, 산화물 절연막(83a, 83b) 및 산화물 절연막(85a, 85b)은, 트랜지스터마다 분리되어 있고, 또한 산화물 반도체막(17a, 17b)과 각각 중첩한다. 구체적으로는, 도 12의 (B)에 도시된 트랜지스터(440a)의 채널 길이 방향의 단면도에 있어서, 한 쌍의 전극(20a, 20b) 위에 산화물 절연막(83a) 및 산화물 절연막(85a)의 단부가 위치하고, 도 12의 (C1)에 도시된 트랜지스터(440a)의 채널 폭 방향의 단면도에 있어서, 산화물 반도체막(17a)의 외측에 산화물 절연막(83a) 및 산화물 절연막(85a)의 단부가 위치한다. 마찬가지로, 도 12의 (B)에 도시된 트랜지스터(440b)의 채널 길이 방향의 단면도에 있어서, 한 쌍의 전극(20c, 20d) 위에 산화물 절연막(83b) 및 산화물 절연막(85b)의 단부가 위치하고, 도 12의 (C2)에 도시된 트랜지스터(440b)의 채널 폭 방향의 단면도에 있어서, 산화물 반도체막(17b)의 외측에 산화물 절연막(83b) 및 산화물 절연막(85b)의 단부가 위치한다.

[0332] 또한, 질화물 절연막(87)은, 산화물 절연막(83a, 83b) 및 산화물 절연막(85a, 85b)의 상면 및 측면을 덮도록 형성되어, 질화물 절연막(15a)과 접한다.

[0333] 또한, 트랜지스터(440a)에 있어서, 산화물 절연막(83a) 및 산화물 절연막(85a)의 단부는, 채널 길이 방향에 있어서, 한 쌍의 전극(20a, 20b) 위에 제공되지 않고, 질화물 절연막(15a) 위에 제공되어도 좋다. 또한, 트랜지스터(440b)에 있어서, 산화물 절연막(83b) 및 산화물 절연막(85b)의 단부는, 채널 길이 방향에 있어서, 한 쌍의 전극(20c, 20d) 위에 제공되지 않고, 질화물 절연막(15a) 위에 제공되어도 좋다.

[0334] 또한, 도 12의 (C1)에 도시된 트랜지스터(440a)의 채널 폭 방향의 단면도에 있어서, 게이트 전극(91)은 산화물 절연막(83a) 및 산화물 절연막(85a)의 측면을 개재하여 산화물 반도체막(17a)의 측면과 대향한다.

[0335] 본 실시형태에 기재된 트랜지스터(440a)는, 채널 길이가 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하, 바람직하게는 $1\mu\text{m}$ 보다 크고 $4\mu\text{m}$ 이하, 보다 바람직하게는 $1\mu\text{m}$ 보다 크고 $3.5\mu\text{m}$ 이하, 더 바람직하게는 $1\mu\text{m}$ 보다 크고 $2.5\mu\text{m}$ 이하이다. 또한, 트랜지스터(440a)는, 채널 폭 방향에 있어서, 게이트 전극(13a) 및 게이트 전극(91) 사이에 절연막(15) 및 절연막(88a)을 개재하여 산화물 반도체막(17a)이 제공된다. 또한, 게이트 전극(91)은 도 12의 (A1)에 도시된 바와 같이, 상면에서 보았을 때, 절연막(88a)을 개재하여 산화물 반도체막(17a)의 단부와 중첩한다.

- [0336] 또한, 트랜지스터(440b)의 채널 길이는 트랜지스터(440a)보다 크다. 이로써, 화소의 선택 트랜지스터로서 기능하는 트랜지스터(440b)의 컷오프 전류의 값을 저감하는 것이 가능해진다.
- [0337] 트랜지스터(440a)는, 도 12의 (C1)에 도시된 바와 같이, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 한쪽의 외측에 절연막(15) 및 질화물 절연막(87)의 개구부(96)가 제공된다. 그리고 상기 개구부(96)에서 게이트 전극(91)은 게이트 전극(13a)과 접속한다. 또한, 게이트 전극(91)은 산화물 절연막(83a, 85a)의 측면에서 산화물 반도체막(17a)의 채널 폭 방향의 측면과 대향한다. 또한, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 다른 쪽의 외측에서는 게이트 전극(91)은 게이트 전극(13a)과 접속하지 않는다. 또한, 게이트 전극(91) 단부는 산화물 반도체막(17a)의 측면의 외측에 위치한다.
- [0338] 또한, 트랜지스터(440a)에서는, 도 12의 (C1)에 도시된 바와 같이, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 한쪽의 외측에만 게이트 전극(13a) 및 게이트 전극(91)이 접속하지만, 산화물 반도체막(17a)의 채널 폭 방향의 측면의 양쪽의 외측에서 게이트 전극(13a) 및 게이트 전극(91)이 접속해도 좋다.
- [0339] 본 실시형태에 기재된 트랜지스터(440a) 또는 트랜지스터(440b)에 있어서, 산화물 반도체막(17a) 및 산화물 절연막(85a), 또는 산화물 반도체막(17b) 및 산화물 절연막(85b)의 주위가, 질화물 절연막(15a) 및 질화물 절연막(87)으로 둘러싸여 있다. 질화물 절연막(15a) 및 질화물 절연막(87)은 산소의 확산 계수가 낮고, 산소에 대한 배리어성을 갖기 때문에, 산화물 절연막(85a, 85b)에 포함되는 산소의 일부를 효율적으로 산화물 반도체막(17a, 17b)으로 이동시킬 수 있고, 산화물 반도체막(17a, 17b)의 산소 결손량을 감소시킬 수 있다. 또한, 질화물 절연막(15a) 및 질화물 절연막(87)은 물, 수소 등의 확산 계수가 낮고, 물, 수소 등에 대한 배리어성을 갖기 때문에, 외부로부터 산화물 반도체막(17a, 17b)으로의 물, 수소 등의 확산을 방지할 수 있다. 이 결과, 트랜지스터(440a) 및 트랜지스터(440b)는 신뢰성이 높은 트랜지스터가 된다.
- [0340] 다음에, 트랜지스터(440a) 및 트랜지스터(440b)를 포함하는 본 실시형태의 표시 장치의 제작 공정에 대하여 도 13 내지 도 15를 사용하여 설명한다.
- [0341] 또한, 도 13 내지 도 15에 있어서, A7-B7에 나타낸 채널 길이 방향의 단면도 및 C7-D7에 나타낸 채널 폭 방향의 단면도를 사용하여 트랜지스터(440a)의 제작 방법을 설명하고, A8-B8에 나타낸 채널 길이 방향의 단면도를 사용하여 트랜지스터(440b)의 제작 방법을 설명한다.
- [0342] 또한, 트랜지스터(440b)의 채널 폭 방향의 단면도는, 개구부(96)에서 게이트 전극(13a)과 접하는 게이트 전극(91)을 갖지 않는 점 이외에는 트랜지스터(440a)와 동일하다.
- [0343] 트랜지스터(440a) 및 트랜지스터(440b)는 도 3 내지 도 4의 (B)에 도시된 공정과 동일한 공정을 거쳐, 기판(11) 위에 게이트 전극(13a, 13b), 질화물 절연막(15a), 산화물 절연막(14b), 산화물 반도체막(17a, 17b), 한 쌍의 전극(20a, 20b) 및 한 쌍의 전극(20c, 20d)을 형성한다. 상기 공정에서는, 제 1 포토 마스크 내지 제 3 포토 마스크를 사용한 포토리소그래피 공정을 수행한다.
- [0344] 다음에, 도 13의 (A)에 도시된 바와 같이, 산화물 절연막(22) 및 산화물 절연막(24)을 형성한다. 다음에, 가열 처리를 수행하고, 산화물 절연막(24)에 포함되는 산소의 일부를 산화물 반도체막(17a) 및 산화물 반도체막(17b)으로 이동시킨다. 여기서의 가열 처리에 의하여 산화물 반도체막(17a, 17b)에 포함되는 산소 결손량을 저감할 수 있다.
- [0345] 다음에, 제 4 포토 마스크를 사용한 포토리소그래피 공정에 의하여, 산화물 절연막(24) 위에 마스크를 형성한 후, 산화물 절연막(22) 및 산화물 절연막(24)의 일부를 에칭하여 트랜지스터마다 분리된 산화물 절연막(83a, 83b) 및 산화물 절연막(85a, 85b)을 형성한다. 또한, 산화물 절연막(24)의 에칭과 함께, 산화물 절연막(14b)의 일부도 에칭되어, 산화물 절연막(15b)이 형성된다. 이 결과, 도 13의 (B)에 도시된 바와 같이 질화물 절연막(15a)이 노출된다. 즉, 단차를 갖는 절연막(15)이 형성된다.
- [0346] 다음에, 도 14의 (A)에 도시된 질화물 절연막(86)을 형성한다. 상기 공정에 있어서, C7-D7에 나타낸 트랜지스터(440a)의 채널 폭 방향 단면도에 있어서, 질화물 절연막(15a) 및 질화물 절연막(86)이 접한다. 즉, 산화물 반도체막(17a) 및 산화물 절연막(85a)의 주위가 질화물 절연막(15a) 및 질화물 절연막(86)으로 둘러싸여 있다.
- [0347] 또한, 도시되지 않았지만, 질화물 절연막(86)을 형성함으로써, 트랜지스터(440b)의 채널 폭 방향 단면도에서도, 산화물 반도체막(17b) 및 산화물 절연막(85b)의 주위가 질화물 절연막(15a) 및 질화물 절연막(86)으로 둘러싸여 있다.
- [0348] 다음에, 제 5 포토 마스크를 사용한 포토리소그래피 공정에 의하여, 질화물 절연막(86) 위에 마스크를 형성한

후, 질화물 절연막(86)의 일부를 에칭하여 개구부(95)를 형성한다. 또한, 질화물 절연막(15a) 및 질화물 절연막(86)의 일부를 에칭하여 개구부(96)를 형성한다(도 14의 (B) 참조).

[0349] 이 후, 도 15의 (A)에 도시된 바와 같이, 나중에 트랜지스터(440a)의 게이트 전극(91) 및 전극(92)이 되는 도전막(90)을 형성한다. 도전막(90)은 실시형태 1에 기재된 도전막(30)과 동일하게 형성할 수 있다.

[0350] 다음에, 도전막(90) 위에 제 6 포토 마스크를 사용한 포토리소그래피 공정에 의하여 마스크를 형성한다. 다음에, 이 마스크를 사용하여 도전막(90)의 일부를 에칭하여 게이트 전극(91) 및 전극(92)을 형성한다. 이후에 마스크를 제거한다(도 15의 (B) 참조.).

[0351] 또한, 도 15의 (B)에 도시된 바와 같이, 트랜지스터(440a)의 채널 폭 방향 단면도에 있어서, 산화물 절연막(83a) 및 산화물 절연막(85a)의 측면에서 산화물 반도체막(17a)과의 측면과 대향하도록 게이트 전극(91)을 형성한다.

[0352] 이후에 가열 처리를 수행하여도 좋다. 산화물 절연막(85a, 85b)은, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막으로 형성된다. 또한, 질화물 절연막(15a) 및 질화물 절연막(87)은 산소에 대한 배리어성이 높다. 따라서, 상기 가열 처리에 있어서, 산화물 절연막(85a, 85b)에 포함되는 산소의 외부로의 확산을 저감할 수 있다. 또한, 산화물 반도체막(17a, 17b)에 포함되는 산소의 외부로의 확산을 저감할 수 있다. 이 결과, 산화물 반도체막(17a, 17b)의 산소 결손을 저감할 수 있다. 또한, 질화물 절연막(15a) 및 질화물 절연막(87)은 수소, 물 등에 대한 배리어성이 높고, 외부로부터의 산화물 반도체막(17a, 17b)으로의 수소, 물 등의 확산을 저감할 수 있다. 따라서, 산화물 반도체막(17a, 17b)의 수소, 물 등을 저감할 수 있다. 이 결과, 신뢰성이 높은 트랜지스터(440a) 및 트랜지스터(440b)를 제작할 수 있다.

[0353] 이상의 공정에 의하여, 트랜지스터(440a) 및 트랜지스터(440b)를 포함하는 표시 장치를 제작할 수 있다.

[0354] 이상, 본 실시형태에서 기재된 구성, 방법 등은 다른 실시형태에 기재되는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0355] (실시형태 3)

[0356] 실시형태 1 및 실시형태 2에 기재된 선택 트랜지스터 및 구동 트랜지스터에 있어서, 필요에 따라, 기판(11) 및 게이트 전극(13a, 13b) 사이에 하지 절연막을 제공할 수 있다. 하지 절연막으로서는, 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄 등이 있다. 또한, 하지 절연막으로서, 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄 등을 사용함으로써, 기판(11)으로부터 불순물, 대표적으로는 알칼리 금속, 물, 수소 등의 산화물 반도체막(17a, 17b)으로의 확산을 억제할 수 있다.

[0357] 하지 절연막은 스퍼터링법, CVD법 등에 의하여 형성할 수 있다.

[0358] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0359] (실시형태 4)

[0360] 본 실시형태에서는, 도 2에서 도시된 트랜지스터(400a) 및 트랜지스터(400b)를 사용하고, 산화물 반도체막(17a) 및 한 쌍의 전극(20a, 20b), 산화물 반도체막(17b) 및 한 쌍의 전극(20c, 20d)이 다른 형태를 갖는 표시 장치에 대하여 도 19를 사용하여 설명한다. 또한, 다른 트랜지스터에 적절히 본 실시형태를 적용할 수 있다.

[0361] 트랜지스터에 제공되는 한 쌍의 전극으로서, 텅스텐, 티타늄, 알루미늄, 구리, 몰리브덴, 크롬, 또는 탄탈 단체 또는 합금 등의 산소와 결합하기 쉬운 도전 재료를 사용할 수 있다. 이 결과, 산화물 반도체막(17a, 17b)에 포함되는 산소와 전극(20a 내지 20d)에 포함되는 도전 재료가 결합하고, 산화물 반도체막(17a, 17b)에서 산소 결손 영역이 형성된다. 또한, 산화물 반도체막(17a, 17b)에 전극(20a 내지 20d)을 형성하는 도전 재료의 구성 원소의 일부가 혼입되는 경우도 있다. 이 결과, 도 19에 도시된 바와 같이, 산화물 반도체막(17a, 17b)에서 전극(20a 내지 20d)과 접하는 영역 근방에 저저항 영역(21a 내지 21d)이 형성된다. 구체적으로는, 저저항 영역(21a, 21b)은 한 쌍의 전극(20a, 20b)에 각각 접하고, 또한 절연막(15)과 한 쌍의 전극(20a, 20b) 사이에 형성된다. 또한, 저저항 영역(21c, 21d)은 한 쌍의 전극(20c, 20d)에 각각 접하고, 또한 절연막(15)과 한 쌍의 전극(20c, 20d) 사이에 형성된다.

[0362] 저저항 영역(21a 내지 21d)은 도전성이 높기 때문에, 산화물 반도체막(17a, 17b)과 전극(20a 내지 20d)의 접촉

저항을 저감할 수 있고, 트랜지스터의 온 전류를 증대시킬 수 있다.

[0363] 또한, 저저항 영역(21a, 21b)의 단부는 한 쌍의 전극(20a, 20b)의 단부와 대략 일치해도 좋다. 또는, 도 19에 도시된 바와 같이, 한 쌍의 전극(20a, 20b)의 단부보다 내측에 저저항 영역(21a, 21b)의 단부가 위치해도 좋다. 마찬가지로, 저저항 영역(21c, 21d)의 단부는 한 쌍의 전극(20c, 20d)의 단부와 대략 일치해도 좋다. 또는, 도 19에 도시된 바와 같이, 한 쌍의 전극(20c, 20d)의 단부보다 내측에 저저항 영역(21c, 21d)의 단부가 위치해도 좋다. 산화물 반도체막(17a, 17b)에 있어서, 저저항 영역(21a 내지 21d)이 형성되는 경우, 채널 길이는 산화물 반도체막과 절연막(28)의 계면에서의 저저항 영역간의 거리가 된다.

[0364] 또한, 전극(20a 내지 20d)을 상기 산소와 결합하기 쉬운 도전 재료와 질화 티타늄, 질화 탄탈, 루테늄 등의 산소와 결합하기 어려운 도전 재료의 적층 구조로 해도 좋다. 이러한 적층 구조로 함으로써, 전극(20a 내지 20d)과 산화물 절연막(23)의 계면에서 전극(20a 내지 20d)의 산화를 방지할 수 있고, 전극(20a 내지 20d)의 고저항화를 억제할 수 있다.

[0365] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0366] (실시형태 5)

[0367] 본 실시형태에서는, 실시형태 1 내지 실시형태 4와 비교하여, 산화물 반도체막의 결합량을 더욱 저감할 수 있는 트랜지스터를 갖는 표시 장치에 대하여 도면을 참조해서 설명한다. 본 실시형태에서 설명하는 트랜지스터는, 실시형태 1 내지 실시형태 4와 비교하여, 산화물 반도체막을 복수개 구비한 다층막을 갖는 점이 다르다.

[0368] 표시 장치가 갖는 트랜지스터(105a) 및 트랜지스터(105b)의 상면도 및 단면도를 도 20의 (A1) 내지 도 20의 (C2)에 도시하였다. 트랜지스터(105a)는 화소에 포함되는 발광 소자의 구동 트랜지스터로서 기능하는 트랜지스터이다. 또한, 트랜지스터(105b)는 화소의 선택 트랜지스터로서 기능하는 트랜지스터이다.

[0369] 도 20의 (A1)은 트랜지스터(105a)의 상면도이고, 도 20의 (A2)는 트랜지스터(105b)의 상면도이다. 도 20의 (B)는, 도 20의 (A1)의 일점쇄선 A10-B10간의 단면도 및 도 20의 (A2)의 일점쇄선 A11-B11간의 단면도이고, 도 20의 (C1)은 도 20의 (A1)의 일점쇄선 C10-D10간의 단면도이고, 도 20의 (C2)는 도 20의 (A2)의 일점쇄선 C11-D11간의 단면도이다. 또한, 도 20의 (A1), 도 20의 (A2)에서는 명료화를 위해 기판(11) 및 절연막 등을 생략하였다.

[0370] 도 20에 도시된 표시 장치에 포함되는 트랜지스터(105a) 및 트랜지스터(105b)는 절연막(15)과 절연막(28) 사이에 다층막(98a) 및 다층막(98b)을 각각 갖는 점에서, 도 2에 도시된 표시 장치에 포함되는 트랜지스터(400a) 및 트랜지스터(400b)와 다르다. 그 밖의 구성은 도 2와 동일하여, 앞의 설명을 참작할 수 있다.

[0371] 본 실시형태에 기재된 트랜지스터(105a)에 있어서, 다층막(98a)은 산화물 반도체막(17a) 및 산화물 반도체막(97a)을 갖는다. 또한, 트랜지스터(105b)에 있어서, 다층막(98b)은 산화물 반도체막(17b) 및 산화물 반도체막(97b)을 갖는다. 즉, 다층막(98a) 및 다층막(98b)은 각각 2층 구조이다.

[0372] 트랜지스터(105a)에서는 산화물 반도체막(17a)의 일부가 채널 영역으로서 기능하고, 트랜지스터(105b)에서는 산화물 반도체막(17b)의 일부가 채널 영역으로서 기능한다. 또한, 다층막(98a) 및 다층막(98b)에 접하도록 산화물 절연막(23)이 형성되어 있고, 산화물 절연막(23)에 접하도록 산화물 절연막(25)이 형성되어 있다. 즉, 산화물 반도체막(17a)과 산화물 절연막(23) 사이에 산화물 반도체막(97a)이 제공되고, 또, 산화물 반도체막(17b)과 산화물 절연막(23) 사이에 산화물 반도체막(97b)이 제공되어 있다.

[0373] 산화물 반도체막(97a, 97b)은 산화물 반도체막(17a, 17b)을 구성하는 원소 중 1종 이상으로부터 구성되는 산화물 반도체막이다. 그러므로, 산화물 반도체막(17a)과 산화물 반도체막(97a)의 계면, 및 산화물 반도체막(17b)과 산화물 반도체막(97b)의 계면에서 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에서는 캐리어의 움직임이 저해되지 않으므로, 트랜지스터의 전계 효과 이동도가 높아진다.

[0374] 산화물 반도체막(97a, 97b)에 적용하는 산화물 반도체막(이하, 산화물 반도체막(97))은 적어도 In 또는 Zn을 포함하는 금속 산화물로 형성되고, 대표적으로는, In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)이고, 또한 산화물 반도체막(17a, 17b)에 적용하는 산화물 반도체막(이하, 산화물 반도체막(17))보다도 전도대의 하단의 에너지가 진공 준위에 가깝고, 대표적으로는, 산화물 반도체막(97)의 전도대의 하단의 에너지와 산화물 반도체막(17)의 전도대의 하단의 에너지의 차이가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다. 즉, 산화물 반도체막(97)은 전도대의 하단의 에너지와 산화물 반도체막(17)의 전도대의 하단의 에너지의 차이가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다.

7)의 전자 친화력과, 산화물 반도체막(17)의 전자 친화력의 차이가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다.

[0375] 산화물 반도체막(97)은 In을 포함함으로써, 캐리어 이동도(전자 이동도)가 높아져 바람직하다.

[0376] 산화물 반도체막(97)으로서, Al, Ga, Y, Zr, La, Ce, 또는 Nd를 In보다 높은 원자수비로 가짐으로써, 이하의 효과를 갖는 경우가 있다. (1) 산화물 반도체막(97)의 에너지 캡을 크게 한다. (2) 산화물 반도체막(97)의 전자 친화력을 작게 한다. (3) 외부로부터의 불순물의 확산을 저감한다. (4) 산화물 반도체막(17)과 비교하여 절연성이 높아진다.

[0377] 또한, Ga, Y, Zr, La, Ce, 또는 Nd는 산소와의 결합력이 강한 금속 원소이기 때문에, Ga, Y, Zr, La, Ce, 또는 Nd를 In보다 높은 원자수비로 가짐으로써, 산소 결손이 생기기 어려워진다.

[0378] 산화물 반도체막(97)이 In-M-Zn 산화물일 때, Zn 및 O를 제외한 In 및 M의 원자수비율은, In을 50atomic% 미만, M을 50atomic% 이상, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다.

[0379] 또한, 산화물 반도체막(17) 및 산화물 반도체막(97)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(17)에 비하여 산화물 반도체막(97)에 포함되는 M(Ga, Y, Zr, La, Ce, 또는 Nd)의 원자수비가 크고, 대표적으로는, 산화물 반도체막(17)에 포함되는 상기 원자에 비하여 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 높은 원자수비이다.

[0380] 또한, 산화물 반도체막(17) 및 산화물 반도체막(97)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(97)을 $In:M:Zn=x_1:y_1:z_1$ [원자수비], 산화물 반도체막(17)을 $In:M:Zn=x_2:y_2:z_2$ [원자수비]로 하면, y_1/x_1 이 y_2/x_2 보다 크고, 바람직하게는 y_1/x_1 이 y_2/x_2 보다 1.5배 이상이다. 더 바람직하게는 y_1/x_1 이 y_2/x_2 보다 2배 이상 크고, 보다 바람직하게는 y_1/x_1 이 y_2/x_2 보다 3배 이상 크다. 이 때, 산화물 반도체막에서 y_2 가 x_2 이상이면, 상기 산화물 반도체막을 사용한 트랜지스터에 안정적인 전기 특성을 부여할 수 있어 바람직하다. 단, y_2 가 x_2 의 3배 이상이 되면, 상기 산화물 반도체막을 사용한 트랜지스터의 전계 효과 이동도가 저하되므로, y_2 는 x_2 의 3배 미만이면 바람직하다.

[0381] 산화물 반도체막(17)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(17)을 형성하기 위하여 사용하는 타깃에 있어서, 금속 원소의 원자수비를 $In:M:Zn=x_1:y_1:z_1$ 로 하면, x_1/y_1 은 1/3 이상 6 이하가 바람직하고, 1 이상 6 이하가 더 바람직하고, z_1/y_1 은 1/3 이상 6 이하가 바람직하고, 1 이상 6 이하인 것이 더 바람직하다. 또한, z_1/y_1 을 1 이상 6 이하로 함으로써, 산화물 반도체막(17)으로서 CAAC-OS막이 형성되기 쉬워진다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=3:1:2$ 등이 있다.

[0382] 산화물 반도체막(97)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(97)을 형성하기 위하여 사용하는 타깃에 있어서, 금속 원소의 원자수비를 $In:M:Zn=x_2:y_2:z_2$ 로 하면, $x_2/y_2 < x_1/y_1$ 이고, z_2/y_2 는 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하가 더 바람직하다. 또한, z_2/y_2 를 1 이상 6 이하로 함으로써, 산화물 반도체막(97)으로서 CAAC-OS막이 형성되기 쉬워진다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$ 등이 있다.

[0383] 또한, 산화물 반도체막(17) 및 산화물 반도체막(97)의 원자수비는 각각, 상기의 원자수비의 $\pm 40\%$ 의 오차 변동을 포함한다.

[0384] 산화물 반도체막(97a, 97b)은, 나중에 형성하는 산화물 절연막(25)을 형성할 때의, 산화물 반도체막(17a, 17b)에 대한 대미지 완화막으로서도 가능한다. 따라서, 산화물 절연막(23)을 제공하지 않고, 산화물 반도체막(97a, 97b) 위에 산화물 절연막(25)을 형성해도 좋다.

[0385] 산화물 반도체막(97a, 97b)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다.

[0386] 또한, 산화물 반도체막(97a, 97b)은 산화물 반도체막(17a, 17b)과 마찬가지로, 예를 들어 비단결정 구조라도 좋다. 비단결정 구조는 예를 들어, 후술하는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다.

- [0387] 산화물 반도체막(97a, 97b)은 예를 들어 비정질 구조라도 좋다. 비정질 구조의 산화물 반도체막은 예를 들어, 원자 배열이 무질서하고 결정 성분을 갖지 않는다. 또는, 비정질 구조의 산화물막은 예를 들어, 완전한 비정질 구조이며 결정부를 갖지 않는다.
- [0388] 또한, 산화물 반도체막(17) 및 산화물 반도체막(97)에 의하여, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 2종 이상을 갖는 혼합막을 구성하여도 좋다. 혼합막은 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역을 갖는 경우가 있다. 또한, 혼합막은 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역의 적층 구조를 갖는 경우가 있다.
- [0389] 여기서는, 산화물 반도체막(17a)과 산화물 절연막(23) 사이, 및 산화물 반도체막(17b)과 산화물 절연막(23) 사이에, 각각 산화물 반도체막(97a) 및 산화물 반도체막(97b)이 제공되어 있다. 따라서, 산화물 반도체막(97a) 및 산화물 반도체막(97b)과 산화물 절연막(23) 사이에서 불순물 및 결함에 의하여 트랩 준위가 형성되어도, 이 트랩 준위가 형성되는 영역과 산화물 반도체막(17a) 및 산화물 반도체막(17b) 사이에는 거리가 있다. 이 결과, 산화물 반도체막(17a) 및 산화물 반도체막(17b)을 흐르는 전자가 트랩 준위에 포획되기 어렵고, 트랜지스터의 온전류를 증대시킬 수 있는 동시에, 전계 효과 이동도를 높일 수 있다. 또한, 트랩 준위에 전자가 포획되면, 상기 전자가 마이너스의 고정 전하가 되어 버린다. 이 결과, 트랜지스터의 문턱 전압이 변동된다. 그러나, 산화물 반도체막(17a, 17b)과 트랩 준위가 형성되는 영역 사이에 거리가 있으므로, 트랩 준위에서의 전자의 포획을 저감할 수 있고, 트랜지스터(105a) 및 트랜지스터(105b)에서의 문턱 전압의 변동을 저감할 수 있다.
- [0390] 또한, 산화물 반도체막(97a, 97b)은, 외부로부터의 불순물을 차폐할 수 있으므로, 외부로부터 산화물 반도체막(17a, 17b)으로 이동하는 불순물량을 저감할 수 있다. 또한, 산화물 반도체막(97a, 97b)은 산소 결손을 형성하기 어렵다. 따라서, 산화물 반도체막(17a, 17b)에서의 불순물 농도 및 산소 결손량을 저감할 수 있다.
- [0391] 또한, 산화물 반도체막(17) 및 산화물 반도체막(97)은, 각 막을 단순히 적층하는 것이 아니라 연속 접합(여기서는 특히 전도대의 하단의 에너지가 각 막 사이에서 연속적으로 변화하는 구조)이 형성되도록 제작한다. 즉, 각 막의 계면에 트랩 중심이나 재결합 중심과 같은 결합 준위를 형성하는 것 같은 불순물이 존재하지 않는 적층 구조로 한다. 가령, 적층된 산화물 반도체막(17) 및 산화물 반도체막(97) 사이에 불순물이 혼재해 있으면, 에너지 밴드의 연속성이 없어져, 계면에서 캐리어가 트랩되거나 재결합되어 소멸된다.
- [0392] 연속 결합을 형성하기 위해서는, 로드록실을 구비한 멀티 체임버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기에 노출시키지 않고 연속하여 적층할 필요가 있다. 스퍼터링 장치에서의 각 체임버는, 산화물 반도체막에 있어서 불순물이 되는 물 등을 가능한 한 제거하기 위하여 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공 배기(5×10^{-7} Pa 내지 1×10^{-4} Pa 정도까지)하는 것이 바람직하다. 또는 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 체임버 내에 가스, 특히 탄소 또는 수소를 포함하는 가스가 역류하지 않도록 해 두는 것이 바람직하다.
- [0393] 또한, 다층막(98a, 98b) 대신에, 도 21에 도시된 트랜지스터(106a), 트랜지스터(106b)와 같이, 다층막(94a, 94b)을 가져도 좋다. 트랜지스터(106a)는 화소의 구동 트랜지스터로서 기능하는 트랜지스터이고, 트랜지스터(106b)는 화소의 선택 트랜지스터로서 기능하는 트랜지스터이다.
- [0394] 다층막(94a)은, 산화물 반도체막(99a), 산화물 반도체막(17a), 및 산화물 반도체막(97a)이 차례로 적층되어 있다. 또한, 다층막(94b)은, 산화물 반도체막(99b), 산화물 반도체막(17b), 및 산화물 반도체막(97b)이 차례로 적층되어 있다. 즉, 다층막(94a) 및 다층막(94b)은 3층 구조이다. 또한, 다층막(94a)과 다층막(94b)은 동일한 공정으로 형성된다. 또한, 트랜지스터(106a)에서는 산화물 반도체막(17a)이 채널 영역으로서 기능하고, 트랜지스터(106b)에서는 산화물 반도체막(17b)이 채널 영역으로서 기능한다.
- [0395] 또한, 트랜지스터(106a) 및 트랜지스터(106b)에 있어서, 절연막(15)과, 산화물 반도체막(99a) 및 산화물 반도체막(99b)이 각각 접한다. 즉, 절연막(15)과 산화물 반도체막(17a) 또는 산화물 반도체막(17b) 사이에 산화물 반도체막(99a) 또는 산화물 반도체막(99b)이 제공되어 있다.
- [0396] 또한, 산화물 반도체막(97a) 및 산화물 반도체막(97b)과 산화물 절연막(23)이 각각 접한다. 즉, 산화물 반도체막(17a) 또는 산화물 반도체막(17b)과 산화물 절연막(23) 사이에 산화물 반도체막(97a) 또는 산화물 반도체막(97b)이 제공되어 있다.

- [0397] 산화물 반도체막(99a, 99b)에 적용되는 산화물 반도체막(이하, 산화물 반도체막(99))에는, 산화물 반도체막(97)과 같은 재료 및 형성 방법을 적절히 사용할 수 있다.
- [0398] 산화물 반도체막(99a) 및 산화물 반도체막(99b)은 각각, 산화물 반도체막(17a) 및 산화물 반도체막(17b)보다 막 두께가 작으면 바람직하다. 산화물 반도체막(99a) 및 산화물 반도체막(99b)의 두께를 1nm 이상 5nm 이하, 바람직하게는 1nm 이상 3nm 이하로 함으로써, 트랜지스터의 문턱 전압의 변동량을 저감할 수 있다.
- [0399] 또한, 트랜지스터(105a) 및 트랜지스터(105b)와 마찬가지로, 트랜지스터(106a) 및 트랜지스터(106b)에 포함되는 산화물 반도체막(97a, 97b)은, 나중에 형성하는 산화물 절연막(25)을 형성할 때의, 산화물 반도체막(17a, 17b)에 대한 대미지 완화막으로서도 기능한다. 그러므로, 산화물 절연막(23)을 제공하지 않고, 산화물 반도체막(97a, 97b) 위에 산화물 절연막(25)을 형성하여도 좋다.
- [0400] 본 실시형태에 기재된 트랜지스터는, 채널이 형성되는 산화물 반도체막인 산화물 반도체막(17a) 및 산화물 반도체막(17b)과 산화물 절연막(23) 사이에 산화물 반도체막(97a) 및 산화물 반도체막(97b)이 각각 제공되어 있다. 따라서, 산화물 반도체막(97a) 및 산화물 반도체막(97b)과 산화물 절연막(23) 사이에서 불순물 및 결함에 의해 트랩 준위가 형성되어도, 상기 트랩 준위가 형성되는 영역과 산화물 반도체막(17a) 및 산화물 반도체막(17b) 사이에는 거리가 있다. 이 결과, 산화물 반도체막(17a) 및 산화물 반도체막(17b)을 흐르는 전자가 트랩 준위에 포획되기 어렵고, 트랜지스터의 온 전류를 증대시킬 수 있는 동시에, 전계 효과 이동도를 높일 수 있다. 또한, 트랩 준위에 전자가 포획되면, 이 전자가 마이너스의 고정 전하가 되어버린다. 이 결과, 트랜지스터의 문턱 전압이 변동된다. 그러나, 산화물 반도체막(17a) 및 산화물 반도체막(17b)과 트랩 준위가 형성되는 영역 사이에 거리가 있으므로, 트랩 준위에 포획되는 전자의 수를 저감할 수 있고, 문턱 전압의 변동을 저감할 수 있다.
- [0401] 또한, 산화물 반도체막(97a) 및 산화물 반도체막(97b)은 불순물의 침입을 차단하는 기능을 가지고, 외부로부터 산화물 반도체막(17a) 및 산화물 반도체막(17b)으로 침입하는 불순물량을 저감할 수 있다. 또한, 산화물 반도체막(97a) 및 산화물 반도체막(97b)은 산소 결손을 형성하기 어렵다. 상기 이유로부터, 본 실시형태에 기재된 트랜지스터는, 산화물 반도체막(17a) 및 산화물 반도체막(17b)에서의 불순물 농도 및 산소 결손량을 저감할 수 있다.
- [0402] 또한, 절연막(15)과 산화물 반도체막(17a) 및 산화물 반도체막(17b) 사이에 각각 산화물 반도체막(99a) 및 산화물 반도체막(99b)이 제공되고, 산화물 반도체막(17a) 및 산화물 반도체막(17b)과 산화물 절연막(23) 사이에 각각 산화물 반도체막(97a) 및 산화물 반도체막(97b)이 제공된다. 따라서, 산화물 반도체막(99a, 99b)과 산화물 반도체막(17a, 17b)의 계면 근방에서의 실리콘이나 탄소의 농도, 산화물 반도체막(17a, 17b)에서의 실리콘이나 탄소의 농도, 또는 산화물 반도체막(97a, 97b)과 산화물 반도체막(17a, 17b)의 계면 근방에서의 실리콘이나 탄소의 농도를 저감할 수 있다.
- [0403] 이러한 구조를 갖는 본 실시형태에 따른 트랜지스터는, 채널이 형성되는 산화물 반도체막을 포함하는 다층막에 있어서 결함이 지극히 적기 때문에, 트랜지스터의 전기 특성을 향상시킬 수 있고, 대표적으로는, 온 전류의 증대 및 전계 효과 이동도의 향상이 가능하다. 또한, 스트레스 시험의 일례인 BT 스트레스 시험 및 광 BT 스트레스 시험에서의 문턱 전압의 변동량이 적고 신뢰성이 높다.
- [0404] <트랜지스터의 밴드 구조>
- [0405] 다음에, 도 20의 (A1), 도 20의 (B), 및 도 20의 (C1)에 도시된 트랜지스터(105a)에 제공되는 다층막(98a), 및 도 21에 도시된 트랜지스터(106a)에 제공되는 다층막(94a)의 밴드 구조에 대하여, 도 22를 사용하여 설명한다. 또한, 트랜지스터(105b)에 제공되는 다층막(98b)은 다층막(98a)과 동일한 구성을 갖는다. 또한, 트랜지스터(106b)에 제공되는 다층막(94b)은 다층막(94a)과 동일한 구성을 갖는다. 따라서, 이하의 설명에서, 다층막(98a)은 다층막(98b)으로 대체할 수 있고, 다층막(94a)은 다층막(94b)으로 대체할 수 있다.
- [0406] 여기서는, 예로서, 산화물 반도체막(17a)으로서 에너지 캡이 3.15eV인 In-Ga-Zn 산화물을 사용하고, 산화물 반도체막(97a)으로서 에너지 캡이 3.5eV인 In-Ga-Zn 산화물로 한다. 에너지 캡은, 분광 엘립소미터(HORIBA JOBIN YVON사 UT-300)를 사용하여 측정하였다.
- [0407] 산화물 반도체막(17a) 및 산화물 반도체막(97a)의 진공 준위와 가전자대 상단의 에너지 차(이온화 포텐셜이라고도 함.)는 각각 8eV 및 8.2eV이었다. 또한, 진공 준위와 가전자대 상단의 에너지 차는 자외선 광전자 분광 분석(UPS: Ultra violet Photoelectron Spectroscopy) 장치(PHI사 VersaProbe)를 사용하여 측정할 수 있다.
- [0408] 따라서, 산화물 반도체막(17a) 및 산화물 반도체막(97a)의 진공 준위와 전도대 하단의 에너지 차(전자 친화력이

라고도 함.)는 각각 4.85eV 및 4.7eV이다.

[0409] 도 22의 (A)는, 다층막(98a)의 밴드 구조의 일부를 모식적으로 도시하고 있다. 여기서는, 절연막(15) 및 산화물 절연막(23)을 산화 실리콘막으로 하고, 다층막(98a)과 산화 실리콘막을 접하여 제공한 경우에 대하여 설명한다. 또한, 도 22의 (A)에 나타내는 EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체막(17a)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물 반도체막(97a)의 전도대 하단의 에너지를 나타낸다. 또한, EcI1은 도 20의 (B)에 도시된 절연막(15)에 상당하고, EcI2는 도 20의 (B)에 도시된 산화물 절연막(23)에 상당한다.

[0410] 도 22의 (A)에 도시된 바와 같이, 산화물 반도체막(17a) 및 산화물 반도체막(97a)에 있어서, 전도대 하단의 에너지는 장벽이 없고 완만하게 변화한다. 바꿔 말하면, 연속적으로 변화한다고도 할 수 있다. 이것은, 다층막(98a)은 산화물 반도체막(17a)과 공통의 원소를 포함하고, 산화물 반도체막(17a) 및 산화물 반도체막(97a) 사이에서 산소가 서로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.

[0411] 도 22의 (A)로부터, 다층막(98a)의 산화물 반도체막(17a)이 웨(우물)이 되고, 다층막(98a)을 사용한 트랜지스터에 있어서, 채널 영역이 산화물 반도체막(17a)에 형성됨을 알 수 있다. 또한, 다층막(98a)은, 전도대 하단의 에너지가 연속적으로 변화하기 때문에, 산화물 반도체막(17a)과 산화물 반도체막(97a)이 연속 접합되어 있다,라고도 할 수 있다.

[0412] 또한, 도 22의 (A)에 도시된 바와 같이, 산화물 반도체막(97a)과 산화물 절연막(23)의 계면 근방에는, 불순물이나 결합에 기인한 트랩 준위가 형성될 수 있지만, 산화물 반도체막(97a)이 제공됨으로써, 산화물 반도체막(17a)과 상기 트랩 준위가 형성되는 영역을 멀리할 수 있다. 다만, EcS1과 EcS2의 에너지 차가 작은 경우, 산화물 반도체막(17a)의 전자가 이 에너지 차를 초과하여 트랩 준위에 도달하는 경우가 있다. 트랩 준위에 전자가 포획됨으로써 절연막 표면에 마이너스의 고정 전하가 생기고, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트한다. 따라서, EcS1과 EcS2의 에너지 차를 0.1eV 이상, 바람직하게는 0.15eV 이상으로 하면, 트랜지스터의 문턱 전압의 변동이 저감되어, 안정적인 전기 특성이 되어 적합하다.

[0413] 또한, 도 22의 (B)는 다층막(98a)의 밴드 구조의 일부를 모식적으로 도시하였고, 도 22의 (A)에 도시된 밴드 구조의 변형예이다. 여기서는, 절연막(15) 및 산화물 절연막(23)을 산화 실리콘막으로 하고, 다층막(98a)과 산화 실리콘막을 접하여 제공한 경우에 대하여 설명한다. 또한, 도 22의 (B)에 나타내는 EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체막(17a)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다. 또한, EcI1은 도 20의 (B)에 도시된 절연막(15)에 상당하고, EcI2는 도 20의 (B)에 도시된 산화물 절연막(23)에 상당한다.

[0414] 도 20의 (B)에 도시된 트랜지스터에 있어서, 한 쌍의 전극(20a, 20b)의 형성 시에 다층막(98a)의 위쪽, 즉 산화물 반도체막(97a)이 에칭되는 경우가 있다. 한편, 산화물 반도체막(17a)의 상면은, 산화물 반도체막(97a)의 형성 시에 산화물 반도체막(17a)과 산화물 반도체막(97a)의 혼합층이 형성되는 경우가 있다.

[0415] 예를 들어, 산화물 반도체막(17a)이, In:Ga:Zn=1:1:1[원자수비]의 In-Ga-Zn 산화물, 또는 In:Ga:Zn=3:1:2[원자수비]의 In-Ga-Zn 산화물을 스펀팅 타깃에 사용하여 형성된 산화물 반도체막이고, 산화물 반도체막(97a)이, In:Ga:Zn=1:3:2[원자수비]의 In-Ga-Zn 산화물, In:Ga:Zn=1:3:4[원자수비]의 In-Ga-Zn 산화물, 또는 In:Ga:Zn=1:3:6[원자수비]의 In-Ga-Zn 산화물을 스펀팅 타깃에 사용하여 형성한 산화물 반도체막인 경우, 산화물 반도체막(17a)보다 산화물 반도체막(97a)의 Ga의 함유량이 많으므로, 산화물 반도체막(17a)의 상면에는 GaO_x 층 또는 산화물 반도체막(17a)보다도 Ga를 많이 포함하는 혼합층이 형성될 수 있다.

[0416] 따라서, 산화물 반도체막(97a)이 에칭된 경우에서도, EcS1의 EcI2측의 전도대 하단의 에너지가 높아지고, 도 22의 (B)에 도시된 밴드 구조와 같이 되는 경우가 있다.

[0417] 도 22의 (B)에 도시된 밴드 구조와 같이 되는 경우, 채널 영역의 단면 관찰 시에 있어서, 다층막(98a)은 산화물 반도체막(17a)만 외관상 관찰되는 경우가 있다. 그러나, 실질적으로는 산화물 반도체막(17a) 위에는 산화물 반도체막(17a)보다 Ga를 많이 포함하는 혼합층이 형성되어 있기 때문에, 이 혼합층을 1.5번재층으로서 받아들일 수 있다. 또한, 이 혼합층은 예를 들어, EDX 분석 등에 의하여, 다층막(98a)에 함유하는 원소를 측정한 경우, 산화물 반도체막(17a)의 위쪽의 조성을 분석함으로써 확인할 수 있다. 예를 들어, 산화물 반도체막(17a)의 위쪽의 조성이 산화물 반도체막(17a) 중의 조성보다도 Ga의 함유량이 많은 구성이 되는 것으로 확인할 수 있다.

[0418] 도 22의 (C)는 도 21에 도시된 다층막(94a)의 밴드 구조의 일부를 모식적으로 도시한 것이다. 여기서는, 절연막

(15) 및 산화물 절연막(23)을 산화 실리콘막으로 하고, 다층막(94a)과 산화 실리콘막을 접하여 제공한 경우에 대하여 설명한다. 또한, 도 22의 (C)에 나타낸 Ec11은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체막(17a)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물 반도체막(97a)의 전도대 하단의 에너지를 나타내고, EcS3은 산화물 반도체막(99a)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다. 또한, Ec11은 도 21에 도시된 절연막(15)에 상당하고, EcI2는 도 21에 도시된 산화물 절연막(23)에 상당한다.

[0419] 도 22의 (C)에 도시된 바와 같이, 산화물 반도체막(99a), 산화물 반도체막(17a), 및 산화물 반도체막(97a)에 있어서, 전도대 하단의 에너지는 장벽이 없고 완만하게 변화한다. 바꿔 말하면, 연속적으로 변화한다고도 할 수 있다. 이것은, 다층막(94a)은 산화물 반도체막(17a)과 공통의 원소를 포함하고, 산화물 반도체막(17a) 및 산화물 반도체막(97) 사이에서 산소가 서로 이동함으로써 혼합층이 형성되기 때문이라고 말할 수 있다.

[0420] 도 22의 (C)로부터, 다층막(94a)의 산화물 반도체막(17a)이 웨(우물)이 되고, 다층막(94a)을 사용한 트랜지스터에 있어서, 채널 영역이 산화물 반도체막(17a)에 형성됨을 알 수 있다. 또한, 다층막(94a)은, 전도대 하단의 에너지가 연속적으로 변화하므로, 산화물 반도체막(99a)과 산화물 반도체막(17a)과 산화물 반도체막(97a)이 연속 접합되어 있다, 라고도 할 수 있다.

[0421] 또한, 다층막(94a)과 산화물 절연막(23)의 계면 근방, 다층막(94a)과 절연막(15)의 계면 근방에는, 불순물이나 결합에 기인한 트랩 준위가 형성될 수 있지만, 도 22의 (C)에 도시된 바와 같이, 산화물 반도체막(97a, 99a)이 제공됨으로써, 산화물 반도체막(17a)과 상기 트랩 준위가 형성되는 영역을 멀리할 수 있다. 다만, EcS1과 EcS2의 에너지 차, 및 EcS1과 EcS3의 에너지 차가 작은 경우, 산화물 반도체막(17a)의 전자가 이 에너지 차를 초과하여 트랩 준위에 도달하는 경우가 있다. 트랩 준위에 전자가 포획됨으로써 절연막 표면에 마이너스의 고정 전하가 생기고, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트한다. 따라서, EcS1과 EcS2의 에너지 차, 및 EcS1과 EcS3의 에너지 차를, 0.1eV 이상, 바람직하게는 0.15eV 이상으로 하면, 트랜지스터의 문턱 전압의 변동이 저감되어, 안정적인 전기 특성이 되므로 적합하다.

[0422] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0423] (실시형태 6)

[0424] 본 실시형태에서는, 상기 실시형태에서 설명한 반도체 장치에 포함되어 있는 트랜지스터에 있어서, 산화물 반도체막에 적용 가능한 일 형태에 대하여 설명한다.

[0425] 산화물 반도체막은 CAAC-OS막으로 구성되어 있는 것이 바람직하다. CAAC-OS막은, c축 배향성을 갖는 결정을 구비하는데, 이 결정의, 명확한 결정립계(그레인 바운더리라고도 함.)를 확인할 수 없다. c축 배향을 갖는 결정은 예치되거나 어렵고, 채널 예치형 트랜지스터에 있어서, 한 쌍의 전극을 형성할 때의 산화물 반도체막의 오버에 칭량이 적다. 이 결과, 산화물 반도체막을 CAAC-OS막으로 구성함으로써, 채널 예치형의 트랜지스터를 제작할 수 있다. 특히, 구동 트랜지스터에 사용하는 채널 예치형의 트랜지스터는, 한 쌍의 전극의 간격, 즉 채널 길이를 $0.5\mu\text{m}$ 이상 $4.5\mu\text{m}$ 이하로 작게 할 수 있다.

[0426] 또한, 산화물 반도체막은, 단결정 구조의 산화물 반도체(이하, 단결정 산화물 반도체라고 함.), 다결정 구조의 산화물 반도체(이하, 다결정 산화물 반도체라고 함.), 미결정 구조의 산화물 반도체(이하, 미결정 산화물 반도체라고 함.), 및 비정질 구조의 산화물 반도체(이하, 비정질 산화물 반도체라고 함.) 중 하나 이상으로 구성되어도 좋다. 이하에, CAAC-OS, 단결정 산화물 반도체, 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체에 대하여 설명한다.

[0427] <CAAC-OS>

[0428] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막 중 하나이다. 또한, CAAC-OS막에 포함되는 결정부는 c축 배향성을 갖는다. 평면 TEM상에 있어서, CAAC-OS막에 포함되는 결정부의 면적이 2500nm^2 이상, 더 바람직하게는 $5\mu\text{m}^2$ 이상, 더욱 바람직하게는 $1000\mu\text{m}^2$ 이상이다. 또한, 단면 TEM상에 있어서, 상기 결정부를 50% 이상, 바람직하게는 80% 이상, 더 바람직하게는 95% 이상 가짐으로써, 단결정에 가까운 물성의 박막이 된다.

[0429] CAAC-OS막을 투파형 전자 현미경(TEM: Transmission Electron Microscope)으로 관찰하면, 결정부끼리의 명확한 경계, 즉 결정립계(그레인 바운더리라고도 함.)를 확인할 수 없다. 따라서, CAAC-OS막은 결정립계에 기인하는

전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

- [0430] CAAC-OS막을, 시료면과 개략 평행한 방향에서 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열하고 있음을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막의 막을 형성하는 면(괴형성면이라고도 함.) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 괴형성면 또는 상면과 평행하게 배열한다. 또한, 본 명세서에 있어서, "평행"이란, 두 개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, "수직"이란, 두 개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다.
- [0431] 한편, CAAC-OS막을 시료면과 개략 수직인 방향에서 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형상 또는 육각형상으로 배열하고 있음을 확인할 수 있다. 하지만, 상이한 결정부 간에서 금속 원자의 배열에 규칙성은 보이지 않는다.
- [0432] 또한, CAAC-OS막에 대하여, 전자선 회절을 행하면, 배향성을 나타내는 스폷(휘점)이 관측된다.
- [0433] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖고 있음을 알 수 있다.
- [0434] CAAC-OS막에 대하여, X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, CAAC-OS막의 out-of-plane법에 의한 해석으로는, 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZn 산화물의 결정의 (00x)면(x는 정수)에 귀속되는 것으로부터, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 개략 수직인 방향을 향하고 있음을 확인할 수 있다.
- [0435] 한편, CAAC-OS막에 대하여, c축에 개략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZn 산화물의 결정의 (110)면에 귀속된다. InGaZn 산화물의 단결정 산화물 반도체막이면, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로서 시료를 회전시키면서 분석(ϕ 스캔)을 행하면, (110)면과 등가의 결정면에 귀속되는 피크가 6개 관찰된다. 이에 대하여, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하여 ϕ 스캔한 경우에도 명료한 피크가 나타나지 않는다.
- [0436] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부 간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 갖고, 또한 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있음을 알 수 있다. 따라서, 상술한 단면 TEM 관찰에서 확인된 층상으로 배열한 금속 원자의 각 층은 결정의 a-b면에 평행한 면이다.
- [0437] 또한, 결정부는 CAAC-OS막을 형성했을 때, 또는 가열 처리 등의 결정화 처리를 수행했을 때에 형성된다. 상술한 바와 같이, 결정부의 c축은, CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어, CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정부의 c축이 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터와 평행하게 되지 않는 경우도 있다.
- [0438] 또한, CAAC-OS막 중의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가, CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우, 상면 근방의 영역은 괴형성면 근방의 영역보다도 결정화도가 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화되고, 부분적으로 결정화도가 상이한 영역이 형성되는 경우도 있다.
- [0439] 또한, CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방의 피크의 이외에, 2θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방의 피크는, CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정부가 포함되는 것을 나타내고 있다. CAAC-OS막은 2θ 가 31° 근방에 피크를 나타내고, 2θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.
- [0440] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다도 산소와의 결합력이 강한 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 어지럽혀 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 포함되면, 산화물 반도체막의 원자 배열을 어지럽혀 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0441] 또한, CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 중의 산소

결손은, 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0442] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함.)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출되기까지 필요한 시간이 길어, 마치 고정 전하와 같이 행동하는 경우가 있다. 따라서, 불순물 농도가 높고, 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0443] 또한, CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0444] <단결정 산화물 반도체>

[0445] 단결정 산화물 반도체막은 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체막이다. 그러므로, 캐리어 밀도를 낮게 할 수 있다. 따라서, 단결정 산화물 반도체막을 사용한 트랜지스터는, 노멀리 온의 전기 특성이 되는 경우가 적다. 또한, 단결정 산화물 반도체막은 불순물 농도가 낮고, 결함 준위 밀도가 낮기 때문에 캐리어 트랩이 적어지는 경우가 있다. 따라서, 단결정 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다.

[0446] 또한, 산화물 반도체막은 결함이 적으면 밀도가 높아진다. 또한, 산화물 반도체막은 결정성이 높으면 밀도가 높아진다. 또한, 산화물 반도체막은 수소 등의 불순물 농도가 낮으면 밀도가 높아진다. 단결정 산화물 반도체막은 CAAC-OS막보다 밀도가 높다. 또한, CAAC-OS막은 미결정 산화물 반도체막보다 밀도가 높다. 또한, 다결정 산화물 반도체막은 미결정 산화물 반도체막보다 밀도가 높다. 또한, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 밀도가 높다.

[0447] <다결정 산화물 반도체>

[0448] 다결정 산화물 반도체막은 TEM에 의한 관찰상에서 결정립을 확인할 수 있다. 다결정 산화물 반도체막에 포함되는 결정립은 예를 들어, TEM에 의한 관찰상에서, 2nm 이상 300nm 이하, 3nm 이상 100nm 이하 또는 5nm 이상 50nm 이하의 입자 직경인 경우가 많다. 또한, 다결정 산화물 반도체막은 TEM에 의한 관찰상에서 결정립계를 확인할 수 있는 경우가 있다.

[0449] 다결정 산화물 반도체막은 복수의 결정립을 갖고, 상기 복수의 결정립 간에서 결정의 방위가 상이한 경우가 있다. 또한, 다결정 산화물 반도체막에 대하여, XRD장치를 사용하여 구조 해석을 행하면, 예를 들어 InGaZn 산화물의 결정을 갖는 다결정 산화물 반도체막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방의 피크, 2θ가 36° 근방의 피크, 또는 그 밖의 피크가 나타나는 경우가 있다.

[0450] 다결정 산화물 반도체막은 높은 결정성을 가지므로, 높은 전자 이동도를 갖는 경우가 있다. 따라서, 다결정 산화물 반도체막을 사용한 트랜지스터는 높은 전계 효과 이동도를 갖는다. 다만, 다결정 산화물 반도체막은 결정립계에 불순물이 편석되는 경우가 있다. 또한, 다결정 산화물 반도체막의 결정립계는 결함 준위가 된다. 다결정 산화물 반도체막은 결정립계가 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있기 때문에, 다결정 산화물 반도체막을 사용한 트랜지스터는, CAAC-OS막을 사용한 트랜지스터에 비하여 전기 특성의 변동이 크고, 신뢰성이 낮은 트랜지스터가 되는 경우가 있다.

[0451] <미결정 산화물 반도체>

[0452] 미결정 산화물 반도체막은, TEM에 의한 관찰상에서는 명확하게 결정부를 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 것이 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을, nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어, TEM에 의한 관찰상에서는 결정립계를 명확하게 확인할 수 없는 경우가 있다.

[0453] nc-OS막은 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별이 되지 않는 경우가 있다. 예를 들어, nc-OS막에 대하여 결정부보다 큰 직경의 X선을 사용하는 XRD 장치를 사

용하여 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막은, 결정부보다도 큰 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함.)을 수행하면, 할로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 결정부의 크기와 가깝거나 결정부보다 작은 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노 범 전자선 회절이라고도 함.)을 수행하면, 스포이 관측된다. 또한, nc-OS막에 대하여 나노 범 전자선 회절을 행하면, 원을 그리듯이(링 형상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 범 전자선 회절을 수행하면, 링 형상의 영역 내에 복수의 스포이 관측되는 경우가 있다.

[0454] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 그러므로, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮아진다. 다만, nc-OS막은 상이한 결정부 간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막에 비하여 결함 준위 밀도가 높아진다.

[0455] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0456] (실시형태 7)

[0457] 실시형태 1 내지 실시형태 6에 기재된 표시 장치의 제작 방법에 있어서, 산화물 반도체막(17a, 17b) 위에 전극(20a 내지 20d)을 형성한 후, 산화물 반도체막(17a, 17b)을 산화 분위기에서 발생시킨 플라즈마에 노출시키고, 산화물 반도체막(17a, 17b)에 산소를 공급할 수 있다. 산화 분위기로서는, 산소, 오존, 일산화 이질소, 이산화질소 등의 분위기가 있다. 또한, 상기 플라즈마 처리에 있어서, 기판(11) 측에 바이어스를 인가하지 않은 상태에서 발생한 플라즈마에 산화물 반도체막(17a, 17b)을 노출시키는 것이 바람직하다. 이 결과, 산화물 반도체막(17a, 17b)에 대미지를 주지 않고 산소를 공급할 수 있고, 산화물 반도체막(17a, 17b)에 포함되는 산소 결손량을 저감할 수 있다. 또한, 예칭 처리에 의하여 산화물 반도체막(17a, 17b)의 표면에 잔존하는 불순물, 예를 들어, 불소, 염소 등의 할로겐 등을 제거할 수 있다. 또한, 상기 플라즈마 처리를 300°C 이상에서 가열하면서 수행하는 것이 바람직하다. 플라즈마 중의 산소와 산화물 반도체막(17a, 17b)에 포함되는 수소가 결합하여 물이 된다. 기판이 가열되어 있기 때문에, 상기 물은 산화물 반도체막(17a, 17b)으로부터 이탈한다. 이 결과, 산화물 반도체막(17a, 17b)에 포함되는 수소 및 물의 함유량을 저감할 수 있다.

[0458] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0459] (실시형태 8)

[0460] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치에 포함되는 화소의 구성에 대하여 도면을 사용하여 설명한다. 또한, 상술한 실시형태에 기재된 부호와 같은 부분, 또는 같은 기능을 갖는 부분에 대해서는 같은 부호를 붙이고 그 상세 설명은 생략한다.

[0461] 도 23은 표시 장치의 화소에 사용할 수 있는 회로 구성의 일례를 도시한 것이다.

[0462] 도 23에 도시된 화소(603)는 데이터 신호의 데이터 기록을 제어하는 선택 트랜지스터로서 기능하는 트랜지스터(300b)와, 구동 트랜지스터로서 기능하는 트랜지스터(300a)와, 트랜지스터(300c)와, 용량 소자(370)와, 발광 소자(350)를 구비한다.

[0463] 트랜지스터(300a)의 소스 전극 및 드레인 전극 중 한쪽은 애노드선으로서 기능하는 배선(AN01)에 전기적으로 접속되고, 트랜지스터(300a)의 소스 전극 및 드레인 전극 중 다른 쪽은 발광 소자(350)의 한쪽 전극에 전기적으로 접속된다. 또한, 트랜지스터(300a)의 게이트 전극은 트랜지스터(300b)의 소스 전극 및 드레인 전극 중 한쪽 및 용량 소자(370)의 한쪽 전극에 전기적으로 접속된다.

[0464] 트랜지스터(300a)는 온 상태 또는 오프 상태가 됨으로써, 발광 소자(350)에 흐르는 전류를 제어하는 기능을 갖는다. 본 실시형태에 있어서, 트랜지스터(300a)는, 채널 길이를 0.5μm 이상 4.5μm 이하로 하고 또한, 산화물 반도체막의 상층 및 하층에 각각 배치되어, 서로 전기적으로 접속된 제 1 게이트 전극 및 제 2 게이트 전극을 갖는다. 즉, 트랜지스터(300a)는 온 전류 및 전계 효과 이동도가 향상되고, 또한 문턱 전압의 마이너스 방향으로의 변동이 억제된 트랜지스터이다.

[0465] 트랜지스터(300b)의 소스 전극 및 드레인 전극 중 다른 쪽은 데이터 신호가 공급되는 신호선(SL)에 전기적으로 접속된다. 또한 트랜지스터(300b)의 게이트 전극은 게이트 신호가 공급되는 주사선(GL)에 전기적으로 접속된다.

- [0466] 트랜지스터(300b)는 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 기록을 제어하는 기능을 갖는다. 즉, 트랜지스터(300b)는 선택 트랜지스터로서의 기능을 갖는다.
- [0467] 본 실시형태에 있어서, 트랜지스터(300b)의 채널 길이는 트랜지스터(300a)의 채널 길이보다도 크다. 트랜지스터(300b)는 문턱 전압의 마이너스 방향으로의 변동(시프트)이 억제된 트랜지스터이며, 컷오프 전류의 값이 작다.
- [0468] 트랜지스터(300c)의 소스 전극 및 드레인 전극 중 한쪽은 데이터의 기준 전위가 공급되는 배선(ML)과 접속되고, 트랜지스터(300c)의 소스 전극 및 드레인 전극의 다른 쪽은 발광 소자(350)의 한쪽의 전극, 및 용량 소자(370)의 다른 쪽 전극에 전기적으로 접속된다. 또한, 트랜지스터(300c)의 게이트 전극은 게이트 신호가 공급되는 주사선(GL)에 전기적으로 접속된다.
- [0469] 트랜지스터(300c)는 발광 소자(350)에 흐르는 전류를 조정하는 기능을 갖는다. 예를 들어, 트랜지스터(300a)의 문턱 전압이나 전계 효과 이동도의 편차가 생긴 경우, 또는 트랜지스터(300a)가 열화된 경우에 배선(ML)에 흐르는 전류를 모니터링함으로써, 발광 소자(350)에 흐르는 전류를 보정할 수 있다. 배선(ML)에 공급되는 전위로서는 예를 들어, 발광 소자(350)의 문턱 전압 이하의 전압으로 할 수 있다.
- [0470] 본 실시형태에 있어서, 트랜지스터(300c)의 채널 길이는 예를 들어, 트랜지스터(300a)의 채널 길이보다도 크게 하는 것이 바람직하다. 또한, 트랜지스터(300c)는 싱글 게이트 구조로 해도 좋고, 트랜지스터(300a)와 동일하게 듀얼 게이트 구조로 해도 좋다. 다만, 트랜지스터(300c)를 싱글 게이트 구조로 하면, 제 1 게이트 전극과 제 2 게이트 전극을 접속하기 위한 영역을 삭제할 수 있으므로, 트랜지스터의 면적을 축소할 수 있다. 이로써, 화소의 개구율을 증가시킬 수 있어 바람직하다.
- [0471] 용량 소자(370)의 한 쌍의 전극의 한쪽은 트랜지스터(300b)의 소스 전극 및 드레인 전극의 한쪽, 및 트랜지스터(300a)의 게이트 전극과 전기적으로 접속되고, 용량 소자(370)의 한 쌍의 전극의 다른 쪽은 트랜지스터(300c)의 소스 전극 및 드레인 전극의 다른 쪽, 및 발광 소자(350)의 한쪽의 전극에 전기적으로 접속된다.
- [0472] 도 23에 도시된 화소(603)의 구성에 있어서, 용량 소자(370)는 기록된 데이터를 유지하는 저장 용량으로서의 기능을 갖는다.
- [0473] 발광 소자(350)의 한 쌍의 전극의 한쪽은 트랜지스터(300a)의 소스 전극 및 드레인 전극의 다른 쪽, 용량 소자(370)의 다른 쪽, 및 트랜지스터(300c)의 소스 전극 및 드레인 전극의 다른 쪽과 전기적으로 접속된다. 또한, 발광 소자(350)의 한 쌍의 전극의 다른 쪽은 캐소드로서 기능하는 배선(CAT)에 전기적으로 접속된다.
- [0474] 발광 소자(350)로서는 예를 들어, 유기 일렉트로루미네센스 소자(유기 EL 소자), 또는 무기 EL 소자를 사용할 수 있다.
- [0475] 또한, 배선(ML)과 평행한 방향에 연장된 배선(ANO2)이 제공된다. 배선(ANO2)은 애노드선으로서 기능하는 배선(ANO1)과 접속되어 있어, 배선(ANO1)의 배선 저항을 저감할 수 있다. 이 결과, 대면적 기판을 사용한 표시 장치에 있어서, 배선의 전압강하를 저감할 수 있고, 표시 장치의 휙도 불균일을 저감할 수 있다.
- [0476] 배선(ANO1)과 배선(ANO2), 및 배선(CAT) 중 한쪽에는 고전원 전위 VDD가 공급되고, 다른 쪽에는 저전원 전위 VSS가 공급된다. 도 23에 도시된 구성에서는 배선(ANO1)과 배선(ANO2)에 고전원 전위 VDD를 공급하고, 배선(CAT)에 저전원 전위 VSS를 공급하는 구성으로 하였다.
- [0477] 도 23에 도시된 화소(603)를 갖는 표시 장치에서는, 주사선 구동 회로에 의하여 각 행의 화소(603)를 차례로 선택하고, 트랜지스터(300b)를 온 상태로 하여 데이터 신호의 데이터를 기록한다.
- [0478] 데이터가 기록된 화소(603)는 트랜지스터(300b)가 오프 상태가 됨으로써 유지 상태가 된다. 또한, 트랜지스터(300b)는 용량 소자(370)에 접속되기 때문에, 기록된 데이터를 장시간 동안 유지할 수 있게 된다. 또한, 트랜지스터(300a)에 의하여 소스 전극과 드레인 전극 사이에 흐르는 전류량이 제어되고, 발광 소자(350)는 흐르는 전류량에 따른 휙도로 발광한다.
- [0479] 다음에, 도 23에 도시된 화소(603)에 사용할 수 있는 구성에 대하여 도 16 내지 도 18을 사용하여 이하에서 설명한다.
- [0480] 도 16은 화소(603)에 사용할 수 있는 화소 회로의 상면도의 일부를 도시한 것이다. 또한, 도 17은 도 16에 도시된 일점쇄선 X1-X2간의 단면을 도시한 것이고, 도 18은 도 16에 도시된 일점쇄선 X3-X4 및 X5-X6간의 단면을 도시한 것이다.

- [0481] 도 16에서, 주사선으로서 기능하는 배선 GL은 신호선에 대략 직교하는 방향(도면 중에서 좌우 방향)으로 연장되어 제공된다. 신호선으로서 기능하는 배선(SL)은 주사선에 대략 직교하는 방향(도면 중에서 상하 방향)으로 연장되어 제공된다. 데이터의 기준 전위가 공급되는 배선(ML)은 배선(SL)에 평행한 방향으로 연장되어 제공된다. 애노드선으로서 기능하는 배선(AN02)은 배선(SL) 및 배선(ML)에 평행한 방향으로 연장되어 제공된다.
- [0482] 트랜지스터(300a, 300b, 300c)는 화소(603) 내에 제공된다. 또한, 트랜지스터(300a, 300b, 300c)는, 각각 게이트 전극으로서 기능하는 도전막과, 게이트 절연막과, 게이트 절연막 위에 형성된 채널 영역이 형성되는 산화물 반도체막과, 한 쌍의 전극으로서 기능하는 도전막에 의하여 구성된다. 예를 들어, 트랜지스터(300a)에서는, 게이트 전극(13a)과, 게이트 절연막(도시되지 않았음)과, 산화물 반도체막(17a)과, 전극(20a, 20b)에 의하여 구성된다.
- [0483] 또한, 트랜지스터(300b)에 있어서는, 게이트 전극(13b)과, 게이트 절연막(도시되지 않았음)과, 산화물 반도체막(17b)과, 전극(20c, 20d)에 의하여 구성된다.
- [0484] 또한, 트랜지스터(300c)의 구성에 대해서는 특별히 언급하지 않지만, 트랜지스터(300b)의 구성과 같은 구성으로 할 수 있다.
- [0485] 또한, 전극(13c)은 개구부(352a)에서 전극(20a)과 전기적으로 접속된다. 또한, 전극(20b)은 개구부(354, 356b)에서 화소 전극(322)과 전기적으로 접속된다. 또한, 전극(13d)은 개구부(352b) 및 개구부(352c)에서 전극(20e)과 전기적으로 접속된다.
- [0486] 또한, 전극(20b)의 아래쪽에는 게이트 전극(13a)이 형성되어 있다. 전극(20b)과, 게이트 전극(13a) 위에 형성되는 유전막과, 게이트 전극(13a)에 의하여 용량 소자가 형성된다. 상기 용량 소자는 도 23에 도시된 용량 소자(370)에 상당한다.
- [0487] 다음에, 도 16에 도시된 일점쇄선 X1-X2간의 단면, 일점쇄선 X3-X4간의 단면 및 일점쇄선 X5-X6간의 단면에 대하여 도 17 및 도 18을 사용하여 설명한다.
- [0488] 도 17 및 도 18에 도시된 화소는 기판(11)과, 기판(11) 위의 게이트 전극(13a, 13b) 및 전극(13c, 13d)과, 기판(11), 게이트 전극(13a, 13b), 및 전극(13c, 13d) 위에 형성된 절연막(306a, 306b)과, 절연막(306b) 위의 산화물 반도체막(17a, 17b)과, 산화물 반도체막(17a, 17b) 위에 각각 제공된 한 쌍의 전극(20a, 20b) 및 한 쌍의 전극(20c, 20d)과, 전극(20a 내지 20d)과 동일한 공정으로 형성된 전극(20e)과, 산화물 반도체막(17a, 17b), 및 전극(20a 내지 20e) 위에 형성된 산화물 절연막(314)과, 산화물 절연막(314) 위에 형성된 질화물 절연막(316)과, 질화물 절연막(316) 위에 제공되며 산화물 반도체막(17a)과 중첩되는 위치에 형성된 게이트 전극(320)과, 질화물 절연막(316) 위에 제공되며 산화물 반도체막(17a)과 중첩되는 위치에 개구부(356a)가 제공된 절연막(318)과, 게이트 전극(320)과 동일한 공정으로 형성되며 절연막(318) 위에 형성된 화소 전극(322)과, 트랜지스터, 및 화소 전극(322)의 단부를 덮도록 형성된 절연막(324)을 갖는다.
- [0489] 또한, 절연막(306a, 306b)은 트랜지스터(300a), 트랜지스터(300b)의 게이트 절연막(트랜지스터(300a)에서는 제1 게이트 절연막)으로서 기능하고, 산화물 절연막(314) 및 질화물 절연막(316)은 트랜지스터(300a)의 제2 게이트 절연막으로서 기능한다.
- [0490] 또한, 전극(20b) 및 게이트 전극(13a)에 끼인 영역에서는 절연막(306a, 306b)은 유전체로서의 기능을 갖는다. 즉, 전극(20b), 절연막(306a, 306b), 및 게이트 전극(13a)은 용량 소자를 형성한다.
- [0491] 또한, 화소 전극(322) 및 절연막(324) 위에는 EL층(326)이 형성되고, EL층(326) 위에는 전극(328)이 형성된다. 또한, 화소 전극(322)과, EL층(326)과, 전극(328)에 의하여 발광 소자(350)가 형성된다. EL층(326)에는 발광성 물질을 포함한 발광층이 적어도 형성되어 있으면 좋고, 상기 발광층 외에 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층, 및 전자 발생층 등의 기능층이 형성되어 있어도 좋다. EL층(326)은 한 쌍의 전극(여기서는 화소 전극(322)과 전극(328))으로부터 전자와 정공이 주입되어 전류가 흐른다. 그리고, 상기 전자와 정공이 재결합함으로써 발광성 물질이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때 발광할 수 있다.
- [0492] 또한, 절연막(318)은 화소 전극(322) 아래쪽에 형성되는 요철을 평탄화시키는 기능을 가지면 좋고, 예를 들어 유기 절연막 등을 사용하여 형성할 수 있다.
- [0493] 또한, 절연막(324)은 인접하는 화소 사이에서 EL층(326)을 분리시키는 기능, 즉 격벽으로서의 기능을 갖는다. 절연막(324)으로서는 절연성을 가지면 좋고, 예를 들어 유기 절연막 또는 무기 절연막을 사용할 수 있다. 유기 절연막으로서는, 예를 들어 폴리이미드계 수지, 폴리아미드계 수지, 아크릴계 수지, 실록산계 수지, 에폭시계

수지, 또는 폐놀계 수지 등을 사용할 수 있다. 무기 절연막으로서는, 산화 실리콘, 산화 질화 실리콘 등을 사용할 수 있다. 특히, 감광성 유기 수지 재료를 사용함으로써, 절연막(324)을 쉽게 제작할 수 있기 때문에 바람직하다.

[0494] 또한, 전극(13c) 위의 절연막(306a, 306b)에는 개구부(352a)가 형성된다. 전극(13c)은 개구부(352a)를 통하여 전극(20a)에 접속된다. 또한, 전극(13d) 위의 절연막(306a, 306b)에는 개구부(352b, 352c)가 형성된다. 전극(13d)은 개구부(352b, 352c)를 통하여 전극(20e)에 접속된다. 전극(13d) 위에 형성된 개구부(352b, 352c)와 같이, 복수의 개구부를 제공함으로써 전극(20e)과 전극(13d)의 접촉 저항을 낮게 할 수 있다. 또한, 도 18에서는 개구부(352b, 352c)의 2개의 개구부를 형성하는 경우에 대하여 예시하였지만, 이에 한정되지 않고, 하나의 개구부 또는 3개 이상의 복수의 개구부를 형성하여도 좋다.

[0495] 또한, 트랜지스터(300a) 위의 절연막(318)에는 개구부(356a)가 형성된다. 개구부(356a)를 형성함으로써, 게이트 전극(320)과 산화물 반도체막(17a)의 거리를 쉽게 할 수 있다. 따라서, 게이트 전극(320)으로부터의 전계를 산화물 반도체막(17a)에 적합하게 인가할 수 있다.

[0496] 또한, 전극(20b) 위의 산화물 절연막(314) 및 질화물 절연막(316)에는 개구부(354)가 형성된다. 또한, 개구부(354) 위의 절연막(318)에는 개구부(356b)가 형성된다. 전극(20b)은 개구부(354, 356b)를 통하여 화소 전극(322)과 전기적으로 접속된다.

[0497] 또한, 도 17 및 도 18에 도시된 화소에 사용할 수 있는 재료에 대해서는 실시형태 1 또는 실시형태 2의 기재를 원용할 수 있다.

[0498] 또한, 본 실시형태의 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0499] (실시형태 9)

[0500] 본 실시형태에서는, 본 발명의 일 형태인 액티브 매트릭스형 표시 장치의 일례에 대하여 도 24를 사용하여 설명한다.

[0501] 도 24의 (A)는 본 발명의 일 형태에 따른 표시 장치의 상면도이다. 또한, 도 24의 (B)는 일점쇄선 M1-M2 및 N1-N2에서의 단면도에 상당한다.

[0502] 도 24의 (A) 및 (B)에 도시된 액티브 매트릭스형 표시 장치는 지지 기판(801) 위에 발광부(802), 구동 회로부(803)(게이트선 구동 회로 등), 구동 회로부(804)(신호선 구동 회로 등), 및 실재(805)를 갖는다. 발광부(802) 및 구동 회로부(803, 804)는 지지 기판(801), 밀봉 기판(806), 및 실재(805)로 형성된 공간(810)에 밀봉된다.

[0503] 구동 회로부(803) 및 구동 회로부(804)는 상기 실시형태에서 설명한 트랜지스터의 구성을 사용하여 형성하여도 좋다. 또한, 각각의 구동 회로 등을 분할하고, 화소를 끼운 대향 측에 배치하여도 좋다.

[0504] 도 24의 (B)에 도시된 발광부(802)는 데이터 신호의 데이터 기록을 제어하는 기능을 갖는 선택 트랜지스터로서 기능하는 제 1 트랜지스터(도시되지 않았음)와, 발광 소자에 흐르는 전류를 조정하는 기능을 갖는 구동 트랜지스터로서 기능하는 제 2 트랜지스터(811)와, 제 2 트랜지스터(811)의 배선(소스 전극 또는 드레인 전극)에 전기적으로 접속된 제 1 전극(831)을 포함하는 복수의 화소에 의하여 형성된다.

[0505] 발광 소자(840)는 텁 이미션(상면 사출) 구조이며, 제 1 전극(831), EL층(833), 및 제 2 전극(835)으로 구성되어 있다. 또한, 제 1 전극(831)의 단부를 덮어서 격벽으로서 기능하는 절연막(839)이 형성되어 있다.

[0506] 트랜지스터(811)는 듀얼 게이트 구조이며, 제 1 전극(831)과 동시에 형성되는 게이트 전극(832)을 절연막(844) 위에 갖는다. 절연막(839) 아래에 트랜지스터(811)를 제공함으로써, 게이트 전극(832)에서 외광이 반사되는 것을 저감할 수 있다.

[0507] 지지 기판(801) 위에는 구동 회로부(803, 804)에 외부로부터의 신호(비디오 신호, 클록 신호, 스타트 신호, 또는 리셋 신호 등)나 전위를 전달하는 외부 입력 단자를 접속시키기 위한 리드 배선(809)이 제공된다. 여기서는, 외부 입력용 배선으로서 FPC(808)(Flexible Printed Circuit)를 제공하는 예를 기재하였다.

[0508] 구동 회로부(803, 804)는 복수의 트랜지스터를 갖는다. 도 24의 (B)에서는 구동 회로부(803)가, n채널형 트랜지스터(852, 853)를 갖는 NMOS 회로를 갖는 예를 도시하였다. 구동 회로부의 회로는 각종 CMOS 회로, PMOS 회로 또는 NMOS 회로로 형성할 수 있다. 또한, 본 실시형태에서는 발광부가 형성된 기판 위에 구동 회로가 형성된 구

동 회로 일체형을 기재하지만, 이 구성에 한정되지 않고, 발광부가 형성된 기판과는 다른 기판에 구동 회로를 형성할 수도 있다.

[0509] 공정수가 증가되는 것을 방지하기 위하여 리드 배선(809)은 발광부나 구동 회로부에 사용하는 전극이나 배선과 동일한 재료, 동일한 공정으로 제작하는 것이 바람직하다. 예를 들어, 발광부(802) 및 구동 회로부(803)에 포함되는 트랜지스터의 게이트 전극과 동일한 재료, 및 동일한 공정으로 리드 배선(809)을 제작할 수 있다.

[0510] 지지 기판(801)은 표시 장치의 제작 공정에 견딜 수 있을 정도의 내열성을 갖는 기판을 사용할 수 있다. 상기 기판의 두께 및 크기는 제조 장치에 적용할 수 있는 한 특별히 한정되지 않는다.

[0511] 지지 기판(801)은 가스 배리어성을 가지면 바람직하다. 또한, 가스 배리어성을 갖는 막을 적층하여 사용하여도 좋다. 구체적으로는, 가스 배리어성의 수증기 투과율이 $10^{-5} \text{ g/m}^2 \cdot \text{day}$ 이하, 바람직하게는 $10^{-6} \text{ g/m}^2 \cdot \text{day}$ 이하이면, 표시 장치의 신뢰성을 높일 수 있다.

[0512] 또한, 지지 기판(801)은 가요성을 가져도 좋다. 가요성을 갖는 기판으로서는 대표적으로는 플라스틱 기판을 그 예로 들 수 있고, 그 외에 두께가 $50\mu\text{m}$ 이상 $500\mu\text{m}$ 이하인 얇은 유리나 금속박 등을 사용할 수도 있다.

[0513] 예를 들어, 지지 기판(801)에 적용할 수 있는 기판으로서는, 무알칼리 유리 기판, 바륨보로실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 금속 기판, 스테인리스 기판, 플라스틱 기판, 폴리에틸렌레프탈레이트 기판, 폴리이미드 기판 등을 들 수 있다.

[0514] 구동 회로부(803)가 갖는 트랜지스터의 구조는 특별히 한정되지 않는다. 도 24의 (B)에 도시된 트랜지스터는 채널 에치형 보텀 게이트 구조를 일례로서 도시하였지만, 채널 보호형 보텀 게이트 구조, 자기정렬(self-aligned)형 톱 게이트 구조, 또는 비자기정렬(non-self-aligned)형 톱 게이트 구조이어도 좋다.

[0515] 채널이 형성되는 영역에 산화물 반도체를 사용한 트랜지스터에는 오프 전류가 매우 낮은 특성을 갖는 것이다. 상기 트랜지스터를 사용하면, 화소(용량 소자)에 입력된 신호를 유지하는 능력이 높아지고, 예를 들어 정지 화상 표시 등에서 프레임 주파수를 작게 할 수 있다. 프레임 주파수를 작게 함으로써, 표시 장치의 소비 전력을 저감할 수 있다.

[0516] 절연막(839)은 제 1 전극(831)의 단부를 덮도록 제공된다. 절연막(839)은 상기 격벽의 상층에 형성되는 EL층(833)이나 제 2 전극(835)의 피복성을 향상시키기 위하여, 단부가 곡면이 되는 형상으로 하는 것이 바람직하다.

[0517] 또한, 절연막(839)에는 EL층(833)보다 굴절률이 작은 재료를 사용하는 것이 바람직하다. 상기 재료를 사용하여 절연막(839)을 형성함으로써, EL층(833)과 절연막(839)의 계면에서 전반사를 일으킬 수 있고, 절연막(839) 중에 진입하는 광을 감소시켜 광 추출 효율을 향상시킬 수 있다.

[0518] 표시 장치가 구비하는 발광 소자는 한 쌍의 전극(제 1 전극(831) 및 제 2 전극(835))과, 상기 한 쌍의 전극 사이에 제공된 EL층(833)을 갖는다. 상기 한 쌍의 전극 중 한쪽은 양극으로서 기능하고 다른 쪽은 음극으로서 기능한다.

[0519] 톱 이미션 구조의 발광 소자에서는 상부 전극으로서 가시광에 대한 투광성을 갖는 도전막을 사용한다. 또한, 하부 전극으로서는 가시광을 반사시키는 도전막을 사용하는 것이 바람직하다. 보텀 이미션(하면 사출) 구조의 발광 소자에서는 하부 전극으로서 가시광에 대한 투광성을 갖는 도전막을 사용한다. 또한, 상부 전극으로서는 가시광을 반사시키는 도전막을 사용하는 것이 바람직하다. 듀얼 이미션(양면 사출) 구조의 발광 소자에서는 상부 전극 및 하부 전극의 양쪽으로서 가시광에 대한 투광성을 갖는 도전막을 사용한다.

[0520] 제 1 전극(831)과 제 2 전극(835) 사이에 발광 소자의 문턱 전압보다 높은 전압을 인가하면, EL층(833)에 제 1 전극(831) 측으로부터 정공이 주입되고, 제 2 전극(835) 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층(833)에서 재결합하여 EL층(833)에 포함되는 발광 물질이 발광한다.

[0521] EL층(833)은 발광층을 갖는다. EL층(833)은 발광층 외의 층으로서, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성(bipolar) 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함한 층을 더 가져도 좋다.

[0522] EL층(833)에는 저분자계 화합물 및 고분자계 화합물 중 어느 쪽을 사용할 수도 있고 무기 화합물을 포함하여도 좋다. EL층(833)을 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사(轉寫)법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

- [0523] 또한, 발광 소자(840)의 제 1 전극(831)과 제 2 전극(835)을 사용하여 미소 공진기(마이크로 캐비티라고도 함)를 구성할 수 있다. 예를 들어 EL층(833)이 발하는 광을 반사시키는 도전막을 제 1 전극(831)에 사용하고, 상기 광의 일부를 반사하고 일부를 투과시키는 반투과·반반사성 도전막을 제 2 전극(835)에 사용하여 구성할 수 있다.
- [0524] 또한, 광학 조정층을 제 1 전극(831)과 제 2 전극(835) 사이에 제공할 수 있다. 광학 조정층은 반사성 제 1 전극(831)과 반투과·반반사성 제 2 전극(835) 사이의 광학 거리를 조정하는 층이며, 광학 조정층의 두께를 조정함으로써, 제 2 전극(835)으로부터 우선적으로 추출하는 광의 파장을 조정할 수 있다.
- [0525] 광학 조정층에 사용할 수 있는 재료로서는 EL층을 적용할 수 있다. 예를 들어, 전하 발생 영역을 사용하여 그 두께를 조정하여도 좋다. 특히 정공 수송성이 높은 물질과 억셉터성 물질을 포함한 영역을 광학 조정층에 사용하면, 광학 조정층이 두꺼운 구성이라도 구동 전압의 상승을 억제할 수 있기 때문에 바람직하다.
- [0526] 또한, 광학 조정층에 사용할 수 있는 다른 재료로서는, EL층(833)이 발하는 광을 투과시키는 투광성 도전막을 적용할 수 있다. 예를 들어, 반사성 도전막의 표면에 상기 투광성 도전막을 적층하여 제 1 전극(831)을 구성할 수 있다. 이 구성에 의하면, 인접하는 제 1 전극(831)의 광학 조정층의 두께를 다르게 하기 쉽기 때문에 바람직하다.
- [0527] 절연막(844)에는, 실시형태 1에 기재된 산화물 절연막 및 질화물 절연막을 사용할 수 있다.
- [0528] 절연막(846)으로서는, 트랜지스터에 기인하는 표면 요철을 저감하기 위하여 평탄화막으로서 기능하는 절연막을 선택하는 것이 적합하다.
- [0529] 실재(805) 및 밀봉 기판(806)은 대기 중의 불순물(대표적으로는 물 및/또는 산소)을 가능한 한 투과시키지 않는 재료를 사용하여 형성되는 것이 바람직하다. 실재(805)에는 에폭시계 수지나, 글라스 프릿 등을 사용할 수 있다.
- [0530] 밀봉 기판(806)에 사용할 수 있는 재료로서는 지지 기판(801)에 적용할 수 있는 기판 외에, PVF(폴리비닐 플루오라이드), 폴리에스테르 또는 아크릴 등으로 이루어진 플라스틱 기판이나, FRP(Fiber Reinforced Plastics) 등을 그 예로 들 수 있다.
- [0531] 또한, 지지 기판(801) 측에 형성하는 구조물과 밀봉 기판(806) 측에 형성하는 구조물이 접하지 않는 공간(810)에는 투광성을 갖는 재료가 포함되어도 좋다.
- [0532] 상기 투광성을 갖는 재료로서는, 예를 들어 발광 소자의 신뢰성을 떨어뜨리는 불순물(대표적으로는 물 및/또는 산소)과 반응하거나, 또는 불순물을 흡착하는 재료를 사용할 수 있다. 이로써, 상기 불순물은 발광 소자의 신뢰성을 떨어뜨리기 전에 충전물에 포함되는 재료와 우선적으로 반응 또는 흡착되어, 그 활성을 잃게 할 수 있다. 따라서, 표시 장치의 신뢰성을 향상시킬 수 있다.
- [0533] 상기 투광성을 갖는 재료로서는, 예를 들어 정공 수송성이 높은 물질, 발광 물질, 호스트 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질 또는/및 억셉터성 물질 등을 사용할 수 있다.
- [0534] 구체적으로는, 도전성 고분자, 폴리(3,4-에틸렌다이옥시티오펜)/폴리(스틸렌설폰산)(PEDOT/PSS), 건조제, EL층(833)에 적용 가능한 재료, 4,4'-비스[N-(1-나프탈)-N-페닐아미노]바이페닐(약칭: NPB 또는 α -NPD), 트리스(8-퀴놀리놀라토)알루미늄(III)(약칭: Alq) 등을 들 수 있다.
- [0535] 또한, 상기 투광성을 갖는 재료는 제 2 전극(835)과 밀봉 기판(806)(밀봉 기판(806) 위에 형성되는 구조물을 포함함)을 광학적으로 접속시킬 수 있다. 이로써, 발광 소자(840)로부터 사출되는 광이 제 2 전극(835)으로부터 밀봉 기판(806)까지 도달하는 광로에 있어서, 굴절률이 급격히 변화(굴절률의 단차라고도 함)되는 것이 억제되어, 제 2 전극(835) 측으로부터 밀봉 기판(806)에 발광 소자(840)의 발광을 효율적으로 추출할 수 있다. 따라서, 표시 장치의 발광 효율을 향상시킬 수 있다.
- [0536] 상기 투광성을 갖는 재료는 제 2 전극(835)보다 굴절률이 큰 재료인 것이 바람직하다. 상기 재료를 사용함으로써, 제 2 전극(835)과 상기 재료의 계면에서의 전반사를 억제하여 광을 효율적으로 추출할 수 있다.
- [0537] 또한, 제 2 전극(835)과 밀봉 기판(806)을 광학적으로 접속시킬 수 있는 재료로서는, 상술한 재료 외에, 액정 재료, 불소계 불활성 액체(페플루오로 카본 등), 투광성을 갖는 수지 등을 사용할 수 있다. 또한, 필요에 따라 이를 재료로부터 발광 소자의 신뢰성을 떨어뜨리는 불순물을 제거하여도 좋다. 또한, 이를 재료에 상기 불순물

과 반응 또는 흡착되는 재료를 분산시켜도 좋다.

[0538] 또한, 액정 재료로서는, 네마틱 액정, 콜레스테릭 액정, 스벡터 액정, 디스코티 액정, 서모트로픽 액정, 리오토로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 바나나형 액정 등의 액정, 또는 이들 액정과 키랄체 등의 혼합 재료를 사용할 수 있다.

[0539] 컬러 필터(866)는 광원으로부터의 광을 조색하여 색 순도를 높이는 목적으로 제공된다. 예를 들어, 백색의 발광소자를 사용하여 풀 컬러 표시 장치로 하는 경우에는, 상이한 색의 컬러 필터를 제공한 복수의 화소를 사용한다. 그 경우, 적색(R), 녹색(G), 청색(B)의 3색의 컬러 필터를 사용하여도 좋고, 이들에 황색(Y)을 추가한 4색으로 할 수도 있다. 또한, R, G, B(및 Y)의 화소에 백색(W)의 화소를 추가하여 4색(또는 5색)으로 하여도 좋다.

[0540] 또한, 인접한 컬러 필터(866) 사이에 블랙 매트릭스(864)가 제공된다. 블랙 매트릭스(864)는 인접한 화소로부터 돌아 들어가는 광을 차광하여, 인접한 화소 간에서의 혼색을 억제한다. 블랙 매트릭스(864)는 상이한 발광색의 인접 화소 간에만 배치하고, 동색 화소 간에는 배치하지 않는 구성으로 하여도 좋다. 여기서, 컬러 필터(866)의 단부를 블랙 매트릭스(864)와 중첩시켜 제공함으로써 광 누설을 억제할 수 있다.

[0541] 블랙 매트릭스(864)에는 광을 차광하는 재료를 사용할 수 있고, 금속 재료나 안료를 포함한 수지 재료 등을 사용하여 형성할 수 있다. 또한, 블랙 매트릭스(864)를 구동 회로부 등 발광부(802) 외의 영역에 중첩시켜 제공하면, 도파광 등에 의한 의도하지 않는 광 누설을 억제할 수 있다.

[0542] 또한, 도 24의 (B)에 도시된 바와 같이, 컬러 필터(866)와 블랙 매트릭스(864)를 덮는 오버코트(868)를 제공하면, 컬러 필터(866)나 블랙 매트릭스(864)에 포함되는 안료 등의 불순물이 발광 소자 등에 확산되는 것을 억제할 수 있다. 오버코트(868)는 투광성을 갖고, 무기 절연 재료나 유기 절연 재료를 사용하여 형성할 수 있다.

[0543] 또한, 본 실시형태는 본 명세서에서 기재하는 다른 실시형태와 적절히 조합할 수 있다.

[0544] (실시형태 10)

[0545] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치를 탑재할 수 있는 전자 기기에 대하여 설명한다.

[0546] 표시 장치를 적용한 전자 기기로서, 예를 들어, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 25에 도시하였다.

[0547] 도 25의 (A)는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치(7100)에서는 하우징(7101)에 표시부(7103)가 내장되어 있다. 표시부(7103)에 의하여 영상을 표시할 수 있고, 표시 장치를 표시부(7103)에 사용할 수 있다. 또한, 여기서는, 스탠드(7105)에 의하여 하우징(7101)을 지지한 구성을 도시하였다.

[0548] 텔레비전 장치(7100)는 하우징(7101)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(7110)에 의하여 조작할 수 있다. 리모트 컨트롤러(7110)가 구비한 조작 키(7109)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(7103)에 표시되는 영상을 조작할 수 있다. 또한, 상기 리모트 컨트롤러로부터 출력하는 정보를 표시하는 표시부(7107)를 리모트 컨트롤러(7110)에 제공하는 구성으로 하여도 좋다.

[0549] 또한, 텔레비전 장치(7100)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송이 수신될 수 있고, 또한 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속됨으로써, 일방향(송신자에서 수신자로) 또는 쌍방향(송신자와 수신자 사이 또는 수신자들 사이 등)의 정보 통신이 수행될 수도 있다.

[0550] 도 25의 (B)는 컴퓨터를 도시한 것이고, 본체(7201), 하우징(7202), 표시부(7203), 키보드(7204), 외부 접속 포트(7205), 포인팅 디바이스(7206) 등을 포함한다. 또한, 컴퓨터는 표시 장치를 그 표시부(7203)에 사용함으로써 제작된다.

[0551] 도 25의 (C)는 휴대형 게임기를 도시한 것이고, 하우징(7301)과 하우징(7302)의 2개의 하우징으로 구성되어 있고, 연결부(7303)에 의하여 개폐 가능하게 연결된다. 하우징(7301)에는 표시부(7304)가 내장되고, 하우징(7302)에는 표시부(7305)가 내장된다. 또한, 도 25의 (C)에 도시된 휴대형 게임기는, 상기 외에, 스피커부(7306), 기록 매체 삽입부(7307), LED 램프(7308), 입력 수단(조작 키(7309), 접속 단자(7310), 센서(7311)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기 장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도(傾度), 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는

것), 마이크로폰(7312)) 등을 구비한다. 물론, 휴대형 게임기의 구성은 상술한 것에 한정되지 않고, 적어도 표시부(7304) 및 표시부(7305)의 양쪽, 또는 한쪽에 표시 장치를 사용하면 좋고, 기타 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 25의 (C)에 도시된 휴대형 게임기는 기록 매체에 기록된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 무선 통신을 수행하여 다른 휴대형 게임기와 정보를 공유하는 기능을 갖는다. 또한, 도 25의 (C)에 도시된 휴대형 게임기가 갖는 기능은 상술한 것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0552] 도 25의 (D)는 휴대 전화기의 일례를 도시한 것이다. 휴대 전화기(7400)는, 하우징(7401)에 내장된 표시부(7402) 외에, 조작 버튼(7403), 외부 접속 포트(7404), 스피커(7405), 마이크로폰(7406) 등을 구비한다. 또한, 휴대 전화기(7400)는 표시 장치를 표시부(7402)에 사용함으로써 제작된다.

[0553] 도 25의 (D)에 도시된 휴대 전화기(7400)는 표시부(7402)를 손가락 등으로 터치함으로써 정보를 입력할 수 있다. 또한, 전화를 걸거나, 또는 메일을 작성하는 등의 조작은, 표시부(7402)를 손가락 등으로 터치함으로써 수행할 수 있다.

[0554] 표시부(7402)의 화면은 주로 3가지 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시+입력 모드이다.

[0555] 예를 들어, 전화를 걸거나, 또는 메일을 작성하는 경우에는, 표시부(7402)를 문자의 입력이 주된 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 수행하면 좋다. 이 경우에, 키보드 또는 번호 버튼을 표시부(7402)의 화면의 거의 대부분에 표시시키는 것이 바람직하다.

[0556] 또한, 휴대 전화기(7400) 내부에, 자이로(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 휴대 전화기(7400)의 방향(세로인지 가로인지)을 판단하여, 표시부(7402)의 화면 표시를 자동적으로 전환하도록 할 수 있다.

[0557] 또한, 화면 모드는 표시부(7402)를 터치하거나, 또는 하우징(7401)의 조작 버튼(7403)을 조작함으로써 전환될 수 있다. 또한, 표시부(7402)에 표시되는 화상의 종류에 따라 전환되도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상의 데이터이면 표시 모드, 텍스트 데이터이면 입력 모드로 전환한다.

[0558] 또한, 입력 모드에 있어서, 표시부(7402)의 광 센서로 검출되는 신호를 검지하여, 표시부(7402)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0559] 표시부(7402)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(7402)를 손바닥이나 손가락으로 터치하여, 장문, 지문 등을 활상(撮像)함으로써, 본인 인증을 수행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백 라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 활상할 수도 있다.

[0560] 도 25의 (E)는 폴더형 컴퓨터의 일례를 도시한 것이다. 폴더형 컴퓨터(7450)는, 힌지(7454)로 접속된 하우징(7451L)과 하우징(7451R)을 구비한다. 또한, 조작 버튼(7453), 왼쪽 스피커(7455L) 및 오른쪽 스피커(7455R) 외에, 컴퓨터(7450)의 측면에는 도시되지 않은 외부 접속 포트(7456)를 구비한다. 또한, 하우징(7451L)에 제공된 표시부(7452L)와 하우징(7451R)에 제공된 표시부(7452R)가 서로 대치하도록 힌지(7454)를 접으면, 표시부를 하우징으로 보호할 수 있다.

[0561] 표시부(7452L)와 표시부(7452R)는 화상을 표시하는 것 외에, 손가락 등으로 터치함으로써 정보를 입력할 수 있다. 예를 들어, 이미 인스톨된 프로그램을 나타내는 아이콘을 손가락으로 터치함으로써 선택하여, 프로그램을 기동시킬 수 있다. 또는, 표시된 화상의 2개소를 터치한 손가락들 사이의 간격을 변화시켜 화상을 확대 또는 축소할 수 있다. 또는, 표시된 화상의 1개소를 터치한 손가락을 이동시켜 화상을 이동시킬 수 있다. 그리고, 키보드의 화상을 표시하여, 표시된 문자나 기호를 손가락으로 터치하여 선택하고, 정보를 입력할 수도 있다.

[0562] 또한, 컴퓨터(7450)에 자이로, 가속도 센서, GPS(Global Positioning System) 수신기, 지문 센서, 비디오 카메라를 탑재할 수도 있다. 예를 들어, 자이로, 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 컴퓨터(7450)의 방향(세로인지 가로인지)을 판단하여 표시하는 화면의 방향을 자동적으로 전환할 수 있다.

[0563] 또한, 컴퓨터(7450)는 네트워크에 접속될 수 있다. 컴퓨터(7450)는 인터넷상의 정보를 표시할 수 있는 것 외에,

네트워크에 접속된 다른 전자 기기를 원격으로 조작하는 단말로서 사용할 수 있다.

[0564] 도 25의 (F)는 본 실시형태의 표시 장치의 조명 장치로의 적용례를 도시한 것이다. 조명 장치(7500)는 하우징(7501)과, 광원으로서 본 발명의 일 형태에 따른 표시 장치가 내장된 발광부(7503a), 발광부(7503b), 발광부(7503c), 발광부(7503d)를 갖는다. 조명 장치(7500)는 천장이나 벽 등에 장착할 수 있다.

[0565] 또한, 본 실시형태는 본 명세서에서 기재한 다른 실시형태와 적절히 조합할 수 있다.

[0566] [실시예]

[0567] 본 실시예에서는, 트랜지스터를 제작하고, 그 Vg - Id 특성 및 신뢰성 평가를 수행한 결과에 대하여 설명한다.

[0568] <시료의 제작>

[0569] 본 실시예에서는, 본 발명의 일 형태에 따른 표시 장치의 화소의 구동 트랜지스터로서 적용 가능한 시료 1, 2와, 선택 트랜지스터로서 적용 가능한 시료 3을 각각 제작하였다. 보다 구체적으로는, 본 발명의 일 형태인 시료 1로서, 도 7의 (A1), 도 7의 (B) 및 도 7의 (C1)에 도시된 트랜지스터(410a)에 상당하는 구성을 제작하였다. 또한 본 발명의 일 형태인 시료 2로서, 도 12의 (A1), 도 12의 (B) 및 도 12의 (C1)에 도시된 트랜지스터(440a)에 상당하는 구성을 제작하였다. 또한 본 발명의 일 형태인 시료 3으로서는, 도 2의 (A2), 도 2의 (B) 및 도 2의 (C2)에 도시된 트랜지스터(400b)에 상당하는 구성을 제작하였다.

[0570] <시료 1>

[0571] 우선, 기판으로서 유리 기판을 사용하고, 기판 위에 게이트 전극을 형성하였다.

[0572] 게이트 전극으로서, 스퍼터링법으로 두께 200nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의하여 상기 텅스텐막 위에 마스크를 형성하고, 이 마스크를 사용하여 상기 텅스텐막의 일부를 에칭하여 형성하였다.

[0573] 다음에, 게이트 전극 위에 게이트 절연막으로서 기능하는 절연막을 형성하였다.

[0574] 게이트 절연막으로서, 두께 400nm의 질화 실리콘막과, 두께 50nm의 산화 질화 실리콘막을 적층하여 형성하였다.

[0575] 또한, 질화 실리콘막은, 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막의 3층 적층 구조로 하였다.

[0576] 제 1 질화 실리콘막은, 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하고, 두께가 50nm이 되도록 형성되었다. 제 2 질화 실리콘막은, 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 2000sccm의 암모니아 가스를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하고, 두께가 300nm이 되도록 형성되었다. 제 3 질화 실리콘막은, 유량 200sccm의 실레인, 및 유량 5000sccm의 질소를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하고, 두께가 50nm이 되도록 형성되었다. 또한, 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막 형성시의 기판 온도는 350°C로 하였다.

[0577] 산화 질화 실리콘막은, 유량 20sccm의 실레인, 유량 3000sccm의 일산화 이질소를 원료 가스로서 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 40Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 100W의 전력을 공급하여 형성되었다. 또한, 산화 질화 실리콘막 형성시의 기판 온도는 350°C로 하였다.

[0578] 다음에, 게이트 절연막을 개재하여 게이트 전극에 중첩하는 산화물 반도체막을 형성하였다.

[0579] 여기서는, 게이트 절연막 위에 두께 35nm의 산화물 반도체막을 스퍼터링법으로 형성하였다.

[0580] 산화물 반도체막은, 스퍼터링 타깃을 $In:Ga:Zn=1:1:1$ (원자수비)의 타깃으로 하고, 유량 100sccm의 산소를 스퍼터링 가스로서 스퍼터링 장치의 반응실 내에 공급하고, 반응실 내의 압력을 0.6Pa로 제어하고, 5kW의 직류 전력을 공급하여 형성되었다. 또한, 산화물 반도체막을 형성할 때의 기판 온도를 170°C로 하였다.

[0581] 다음에, 산화물 반도체막에 접하는 한 쌍의 전극을 형성하였다.

[0582] 우선, 게이트 절연막 및 산화물 반도체막 위에 도전막을 형성하였다. 상기 도전막으로서, 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 상기 알루미늄막 위에 두께 200nm의 티타늄막을 형성하였다. 다음에, 포토리소그래피 공정에 의하여 상기 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 상기 도전

막의 일부를 에칭하고, 한 쌍의 전극을 형성하였다.

[0583] 다음에, 감압된 처리실에 기판을 이동하고, 350°C로 가열한 후, 반응실에 제공되는 상부 전극에 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 공급하고, 일산화 이질소 분위기에서 발생시킨 산소 플라즈마에 산화물 반도체막을 노출시켰다.

[0584] 다음에, 산화물 반도체막 및 한 쌍의 전극 위에 제 2 게이트 절연막을 형성하였다. 여기서는, 제 2 게이트 절연막으로서 제 1 산화물 절연막, 제 2 산화물 절연막, 및 질화물 절연막의 3층 구조로 하였다.

[0585] 제 1 산화물 절연막은, 유량 20sccm의 실레인 및 유량 3000sccm의 일산화 이질소를 원료 가스로 하고, 반응실의 압력을 200Pa, 기판 온도를 350°C로 하고, 100W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여 형성하였다.

[0586] 제 2 산화물 절연막은, 유량 160sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로 하고, 반응실의 압력을 200Pa, 기판 온도를 220°C로 하고, 1500W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여 형성하였다. 상기 조건에 의하여, 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하고, 가열에 의하여 산소의 일부가 이탈하는 산화 질화 실리콘막을 형성할 수 있다.

[0587] 다음에, 가열 처리를 수행하고, 제 1 산화물 절연막 및 제 2 산화물 절연막으로부터 물, 질소, 수소 등을 이탈시키는 동시에, 제 2 산화물 절연막에 포함되는 산소의 일부를 산화물 반도체막에 공급하였다. 여기서는, 질소 및 산소 분위기에서 350°C, 1시간의 가열 처리를 수행하였다.

[0588] 다음에, 제 2 산화물 절연막 위에 두께 100nm의 질화물 절연막을 형성하였다. 질화물 절연막은, 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로 하고, 반응실의 압력을 100Pa, 기판 온도를 350°C로 하고, 1000W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여 형성되었다.

[0589] 다음에, 산화물 반도체막 및 한 쌍의 전극이 제공되지 않은 영역에 있어서, 게이트 절연막 및 제 2 게이트 절연막의 일부에 게이트 전극에 도달하는 개구부를 형성하였다. 상기 개구부는 포토리소그래피 공정에 의하여 제 2 게이트 절연막 위에 마스크를 형성하고, 이 마스크를 사용하여 게이트 절연막 및 제 2 게이트 절연막의 일부를 에칭함으로써 형성하였다.

[0590] 다음에, 제 2 게이트 절연막 위에 백 게이트 전극으로 기능하는 제 2 게이트 전극을 형성하였다. 백 게이트 전극은, 게이트 절연막 및 제 2 게이트 절연막의 일부에 제공된 개구부를 통하여 게이트 전극과 전기적으로 접속하는 구조으로 하였다.

[0591] 여기서는, 백 게이트 전극으로서, 스퍼터링법에 의하여 두께 100nm의 산화 실리콘을 포함하는 산화 인듐-산화 주석 화합물(ITO-SiO_2)의 도전막을 형성하였다. 또한, 상기 도전막에 사용한 타깃의 조성은, $\text{In}_2\text{O}_3:\text{SnO}_2:\text{SiO}_2=85:10:5$ [중량%]로 하였다. 이 후에 질소 분위기에서, 250°C, 1시간의 가열 처리를 수행하였다.

[0592] 이상의 공정에 의하여 본 실시예의 시료 1을 얻었다.

[0593] <시료 2>

[0594] 시료 2는 시료 1과 비교하여 제 2 게이트 절연막 및 백 게이트 전극의 구조가 다르다. 보다 구체적으로는, 도 12의 (C1)에 도시된 바와 같이, 트랜지스터의 채널 폭 방향에 있어서, 제 1 산화물 절연막 및 제 2 산화물 절연막의 측면을 백 게이트 전극이 덮는 구조으로 하였다.

[0595] 시료 2의 제작은 상술한 시료 1의 제작 공정에 있어서, 제 1 산화물 절연막, 제 2 산화물 절연막을 형성하고, 가열 처리를 수행한 후에, 포토리소그래피 공정에 의하여 제 2 산화물 절연막 위에 마스크를 형성하였다. 이어서 이 마스크를 사용하여 제 1 산화물 절연막, 제 2 산화물 절연막의 일부를 에칭하였다. 그 이외의 공정은 상술한 시료 1과 동일하므로, 시료 1의 기재를 원용할 수 있다.

[0596] <시료 3>

[0597] 시료 3은, 시료 1과 비교하여, 백 게이트 전극을 갖지 않는 점에서 상이하다.

[0598] 시료 3의 제작은, 상술한 시료 1의 제작 공정에 있어서, 백 게이트 전극의 형성 공정을 생략함으로써 제작하였다. 그 이외의 공정은 상술한 시료 1과 동일하므로, 시료 1의 기재를 원용할 수 있다.

[0599] 또한, 상술한 시료 1 내지 시료 3으로서, 채널 폭(W)이 $50\mu\text{m}$ 이고, 채널 길이(L)가 $2\mu\text{m}$, $3\mu\text{m}$, 및 $6\mu\text{m}$ 인, 3종류의 트랜지스터를 각각 제작하였다.

[0600] <Vg-Id 특성>

[0601] 다음에, 시료 1 내지 시료 3의 트랜지스터의 초기 특성으로서 Vg-Id 특성을 측정하였다. 여기서는, 기판 온도를 25°C 로 하고, 소스-드레인 간의 전위차(이하, 드레인 전압, Vd라고도 함.)를 1V , 10V 로 하고, 소스-게이트 전극 간의 전위차(이하, 게이트 전압, Vg라고도 함.)를 -15V 내지 15V 까지 변화시켰을 때의 소스-드레인 간에 흐르는 전류(이하, 드레인 전류, Id라고도 함.)의 변화 특성, 즉 Vg-Id 특성을 측정하였다.

[0602] 여기에서, 시료 1 및 시료 2에서는, 게이트 전극과 백 게이트 전극이 전기적으로 단락된 상태에서 게이트 전압을 가하는 구동 방법을 사용하였다. 이러한 구동 방법을 Dual Gate(듀얼 게이트) 구동이라고 한다. 즉, 듀얼 게이트 구동에서는, 항상 게이트 전극과 백 게이트 전극의 게이트 전압이 같아진다.

[0603] 시료 3의 Vg-Id 특성을 도 26에 도시하였다. 도 26의 (A), (B), (C)는 각각, 채널 길이(L)가 $2\mu\text{m}$, $3\mu\text{m}$, $6\mu\text{m}$ 인 트랜지스터에 관한 결과이다. 또한 마찬가지로, 도 27에는 시료 1의 Vg-Id 특성을, 도 28에는 시료 2의 Vg-Id 특성을 각각 도시한 것이다.

[0604] 또한, 도 26, 도 27, 도 28의 각각에 있어서, 가로축은 게이트 전압(Vg)을, 세로축은 드레인 전류(Id)를, 세 2 세로축은 전계 효과 이동도(Mobility)를 각각 도시한 것이다. 여기서, 전계 효과 이동도는, 포화 영역에서의 값을 나타내기 위하여, $Vd=10\text{V}$ 로 산출한 전계 효과 이동도를 나타내고 있다.

[0605] 도 26에 도시된 시료 3(본 발명의 일 형태에 따른 표시 장치에 있어서 화소의 선택 트랜지스터에 사용하기 적합한 트랜지스터)은, 채널 길이(L)를 크게 할수록, 문턱 전압이 마이너스 방향의 시프트가 억제되는 결과가 나타났다. 특히, 드레인 전압(Vd)이 큰 경우에서의 문턱 전압의 마이너스 방향으로의 시프트의 억제 효과가 현저히 확인되었다. 또한, 채널 길이(L)에 의하지 않고, 전계 효과 이동도의 값은 거의 변화되지 않음을 알 수 있었다.

[0606] 또한, 도 27에 도시된 시료 1(본 발명의 일 형태에 따른 표시 장치에 있어서 화소의 구동 트랜지스터에 사용하기 적합한 트랜지스터)은, 모든 채널 길이(L)의 조건으로, 상기 시료 3에 비하여 전계 효과 이동도가 향상된 것을 확인할 수 있었다. 또한, 채널 길이(L)가 작을수록 전계 효과 이동도가 향상된 것을 알 수 있었다. 또한, 듀얼 게이트 구동으로 함으로써, 채널 길이(L)가 작은 조건($L=2\mu\text{m}$)이라도, 드레인 전압(Vd)에 대한 문턱 전압의 변화는 극히 작은 것임을 알 수 있었다.

[0607] 또한, 도 28에 도시된 시료 2(본 발명의 일 형태에 따른 표시 장치에 있어서 화소의 구동 트랜지스터에 사용하기 적합한 트랜지스터)는, 모든 채널 길이(L)의 조건으로, 상기 시료 3에 비하여 전계 효과 이동도가 향상된 것을 확인할 수 있었다. 또한, 채널 길이(L)가 작을수록 전계 효과 이동도가 향상되는 것을 알 수 있었다. 또한, 듀얼 게이트 구동으로 함으로써, 채널 길이(L)가 작은 조건($L=2\mu\text{m}$)이라도, 드레인 전압(Vd)에 대한 문턱 전압의 변화는 극히 작은 것임을 알 수 있었다.

[0608] 이상의 결과로부터, 채널 길이(L)를 크게 할수록, 문턱 전압의 마이너스 방향의 시프트가 억제되는 것이 확인되었다. 또한, 채널 길이(L)가 작을수록 전계 효과 이동도가 향상되는 것이 확인되었다. 또한, 듀얼 게이트 구동으로 함으로써 채널이 형성되는 산화물 반도체에 대하여 보다 효과적으로 전계를 가하는 것이 가능해지고, 그 결과 채널 길이(L)가 작은 경우라도, 드레인 전압(Vd)에 대한 문턱 전압의 변화를 작게 할 수 있음을 알 수 있다. 따라서, 높은 전계 효과 이동도가 요구되는 화소의 구동 트랜지스터에 있어서는, 채널 길이(L)를 작게 하고 (대표적으로는, $L=2\mu\text{m}$) 또 듀얼 게이트 구동으로 하고, 노멀리 오프 특성이 요구되는 화소의 선택 트랜지스터에 있어서는, 채널 길이(L)를 상기 구동 트랜지스터보다 크게 함으로써, 고속 구동 및 저소비 전력화를 실현할 수 있는 표시 장치를 제공할 수 있다.

부호의 설명

[0609] 350: 발광 소자

370: 용량 소자

400a: 트랜지스터

400b: 트랜지스터

600: 화소부

601: 화소

604: 주사선 구동 회로

606: 신호선 구동 회로

607: 주사선

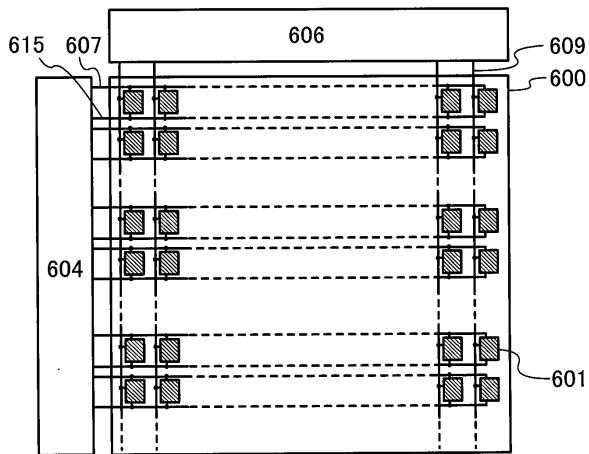
609: 신호선

615: 용량선

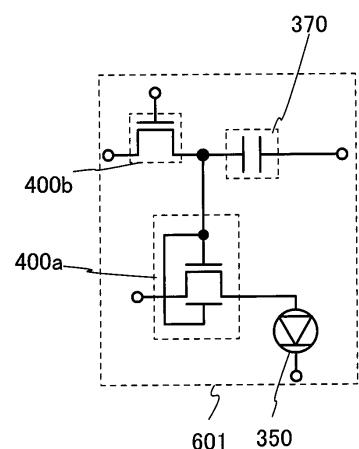
도면

도면1

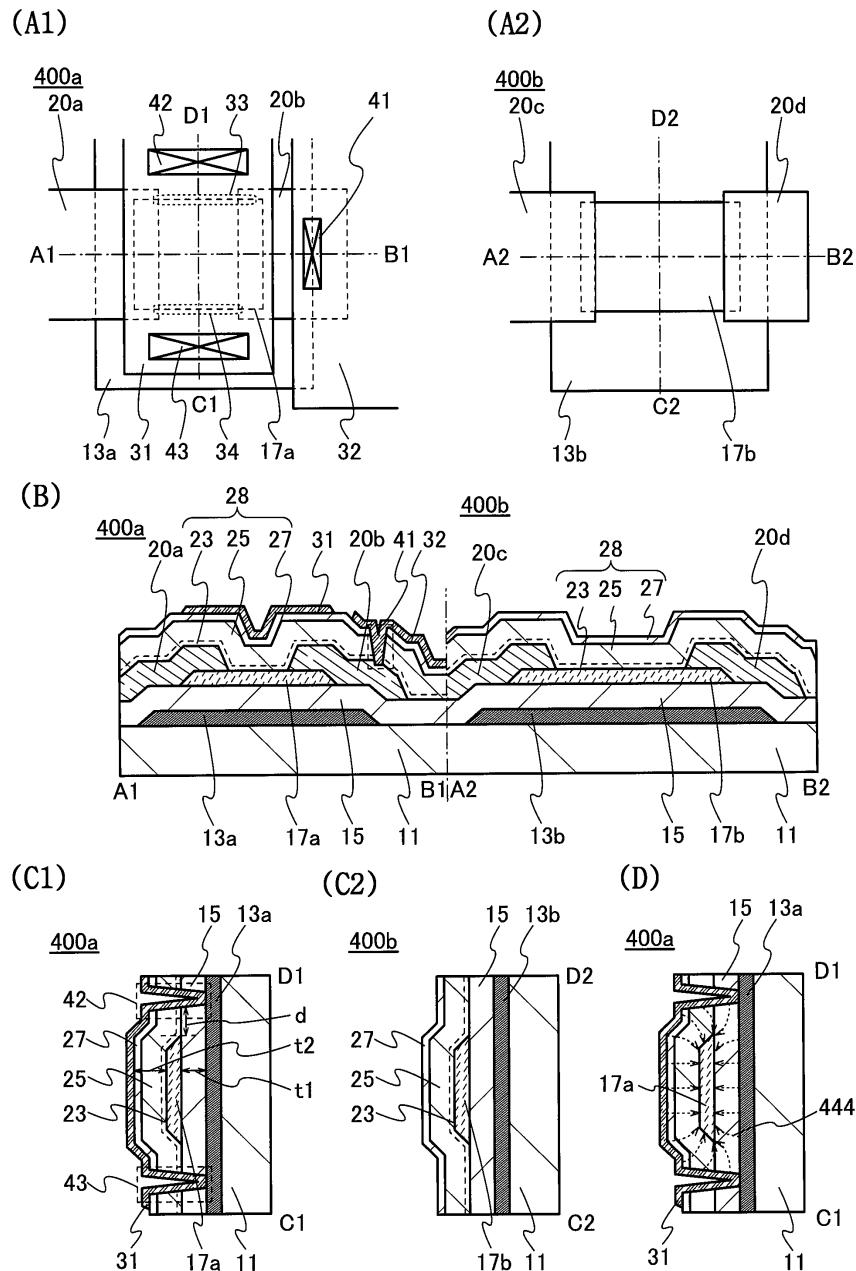
(A)



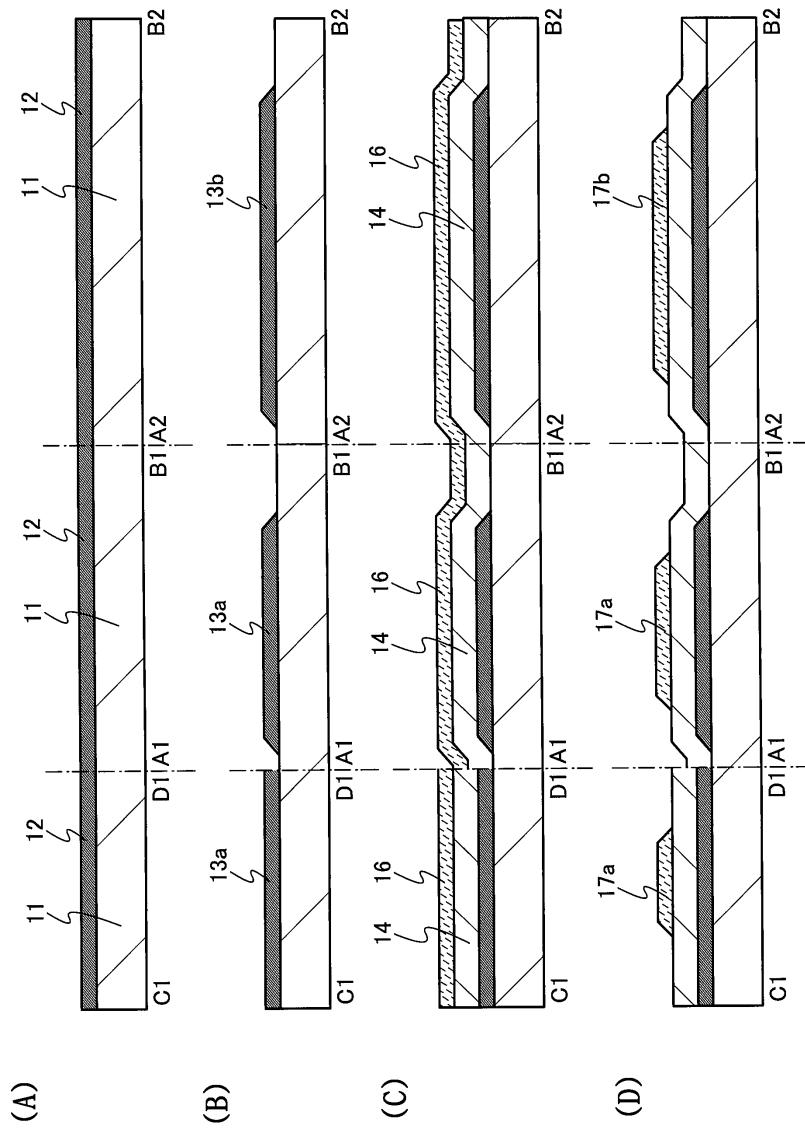
(B)



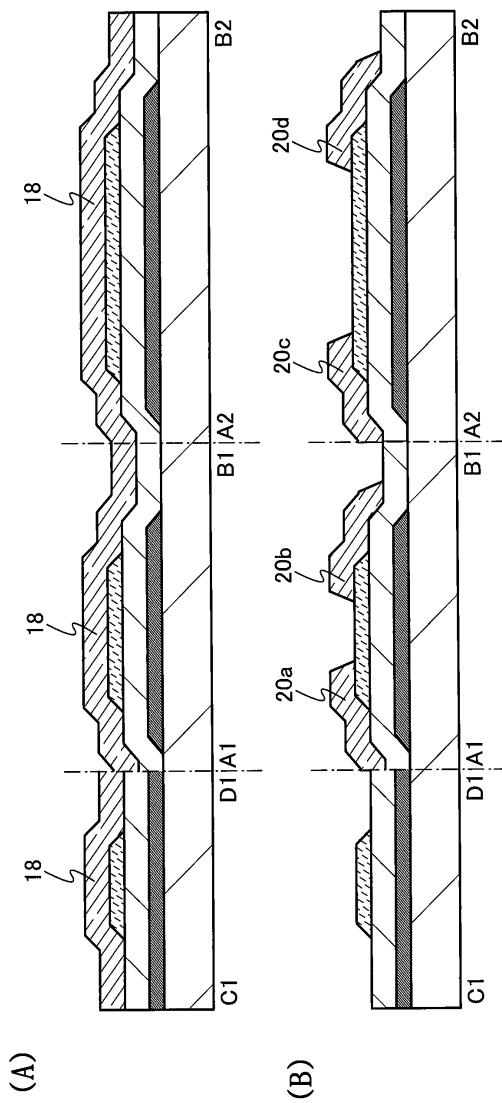
도면2



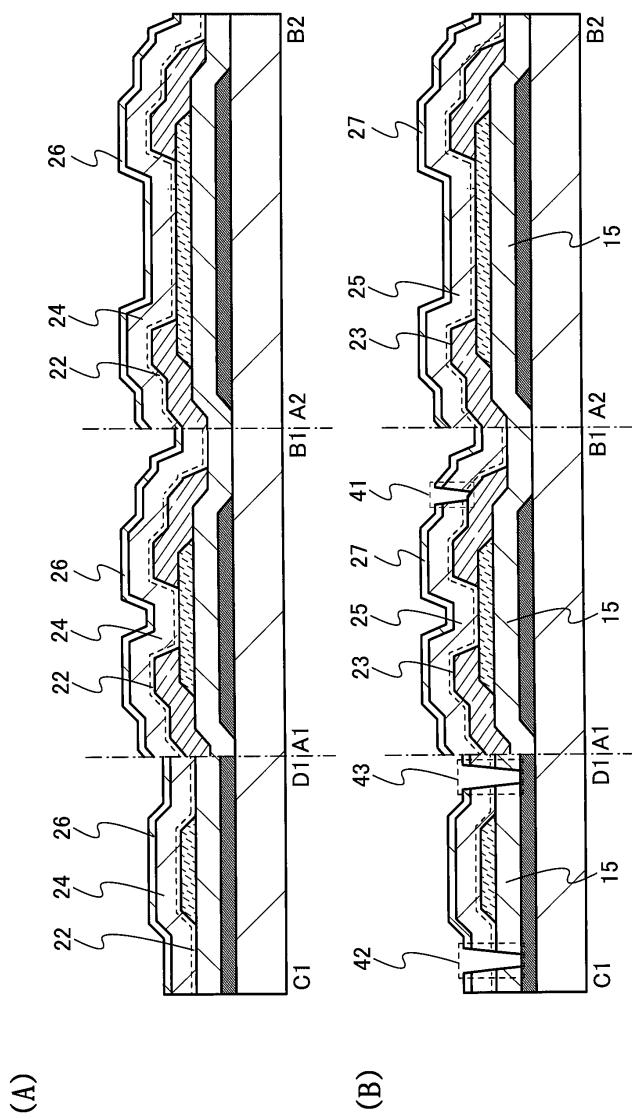
도면3



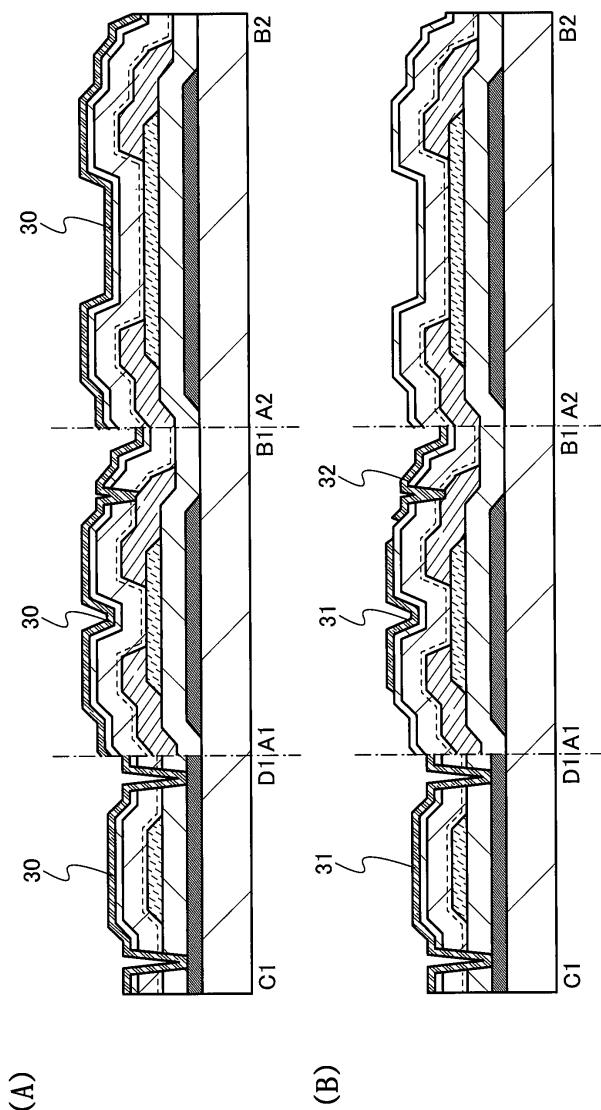
도면4



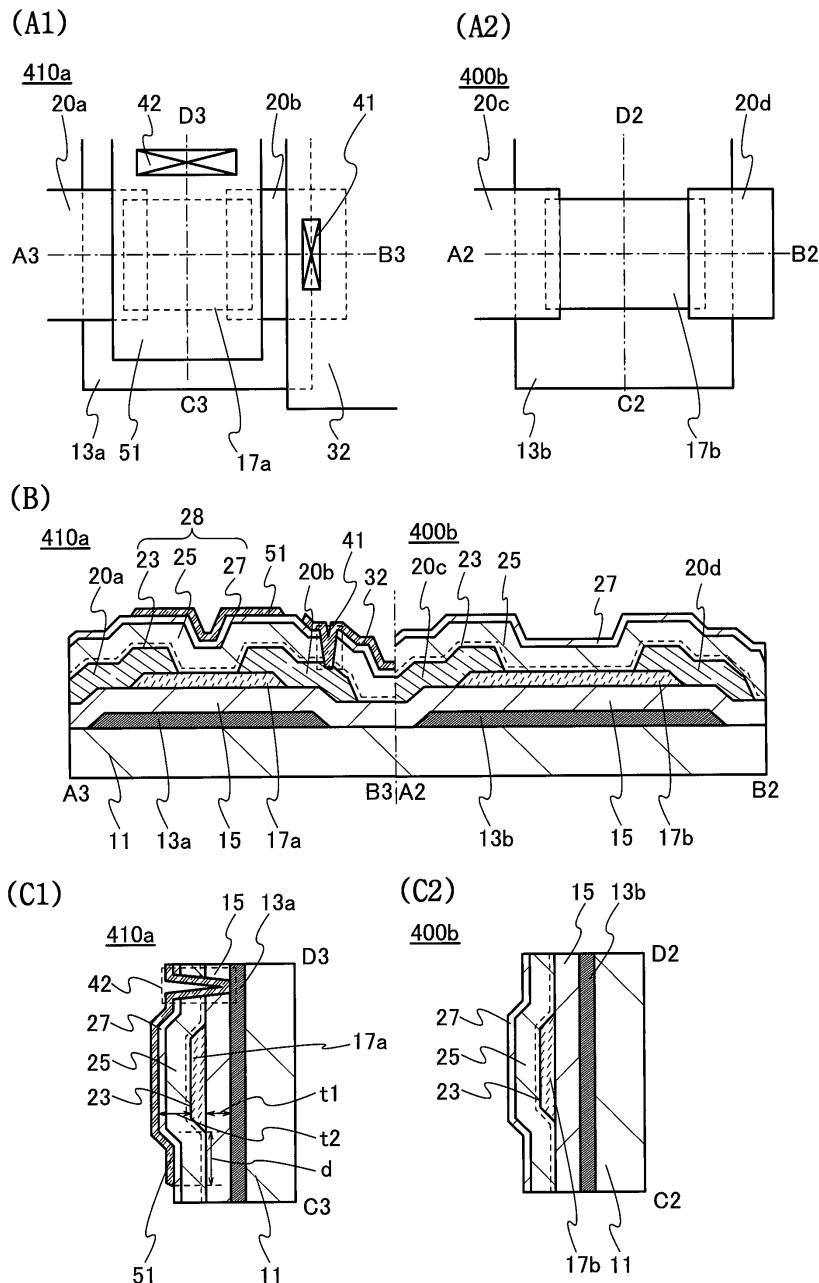
도면5



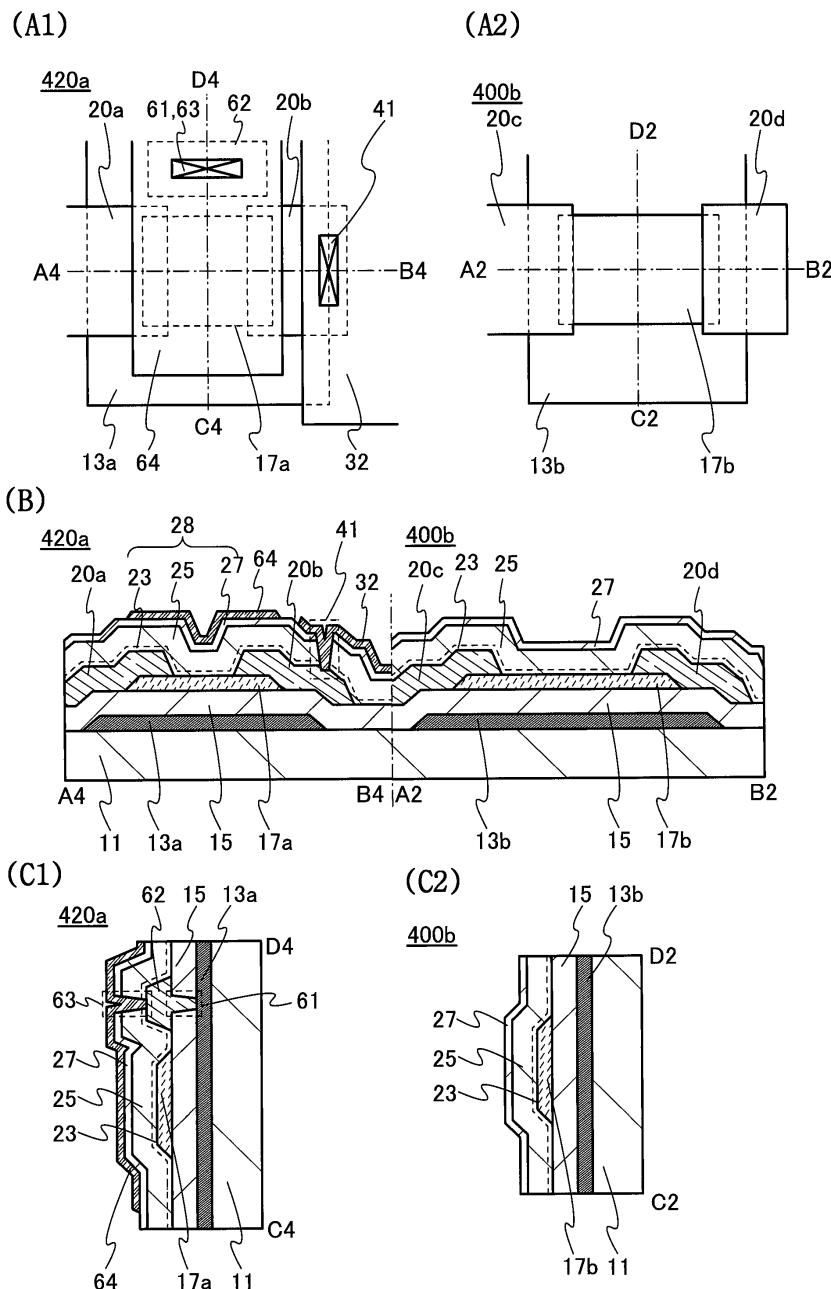
도면6



도면7

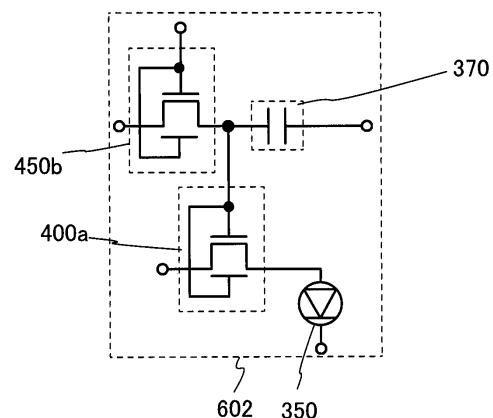


도면8

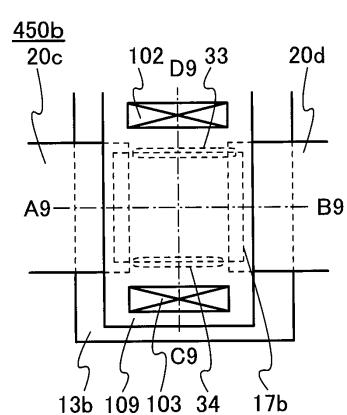


도면9

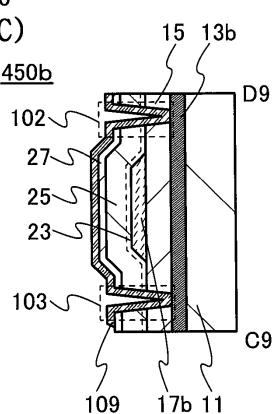
(A)



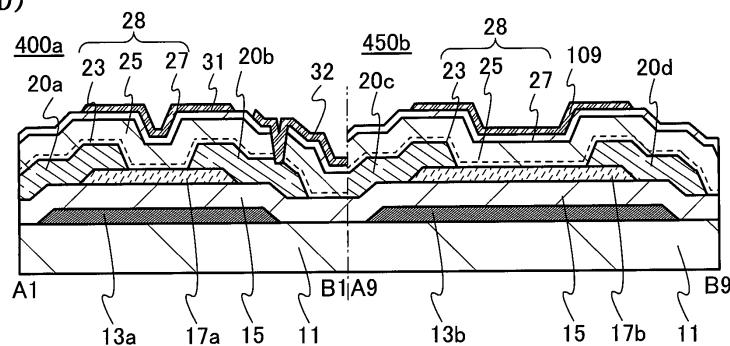
(B)



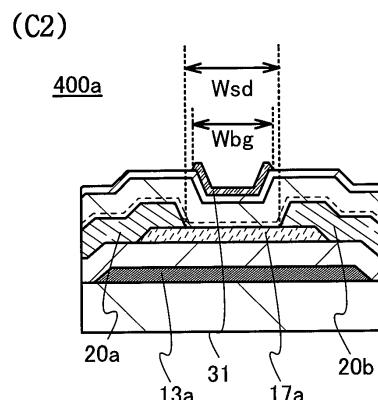
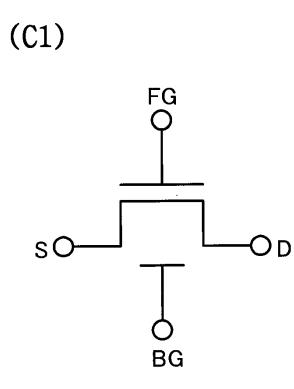
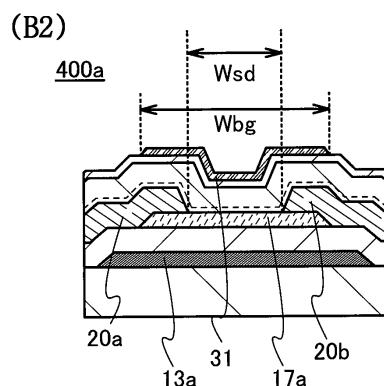
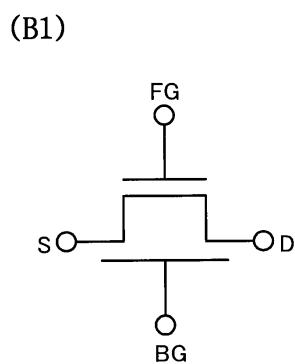
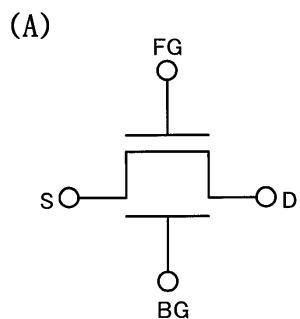
(C)



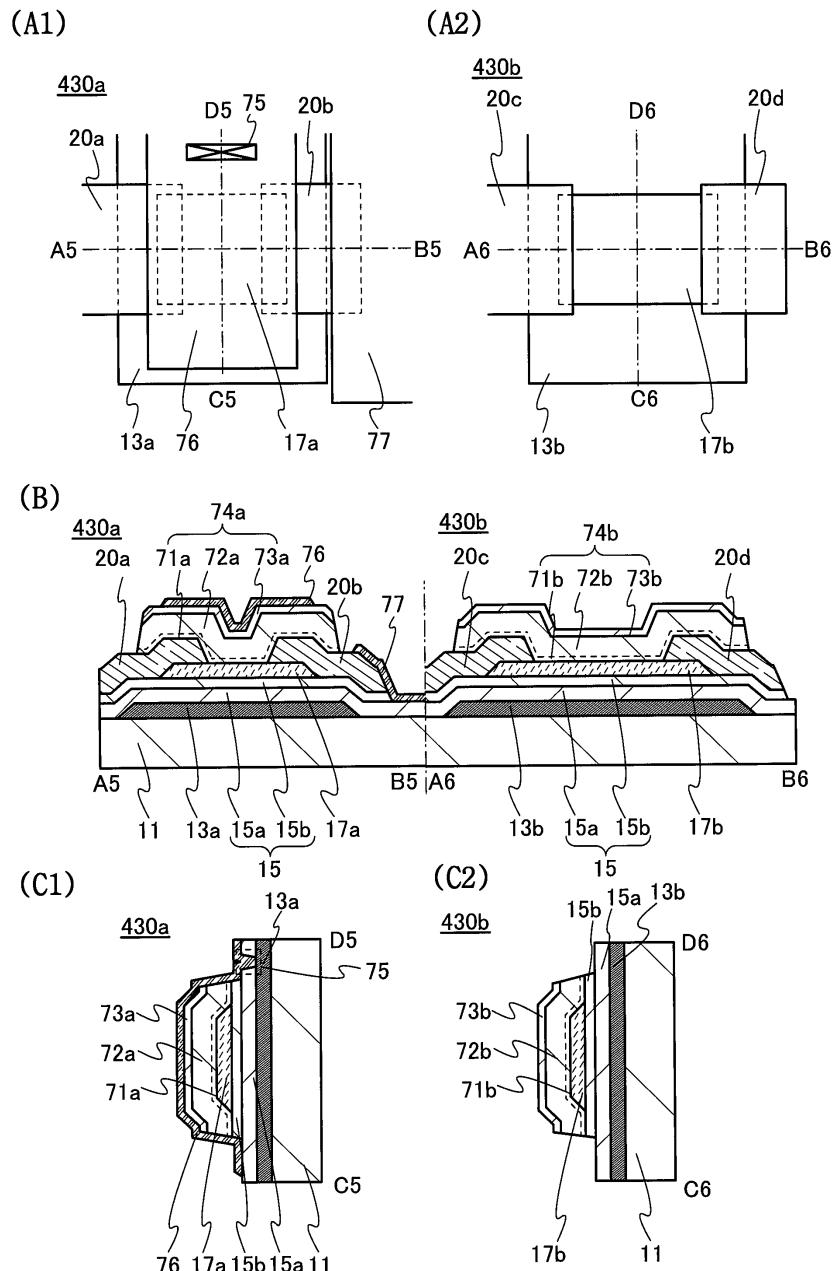
(D)



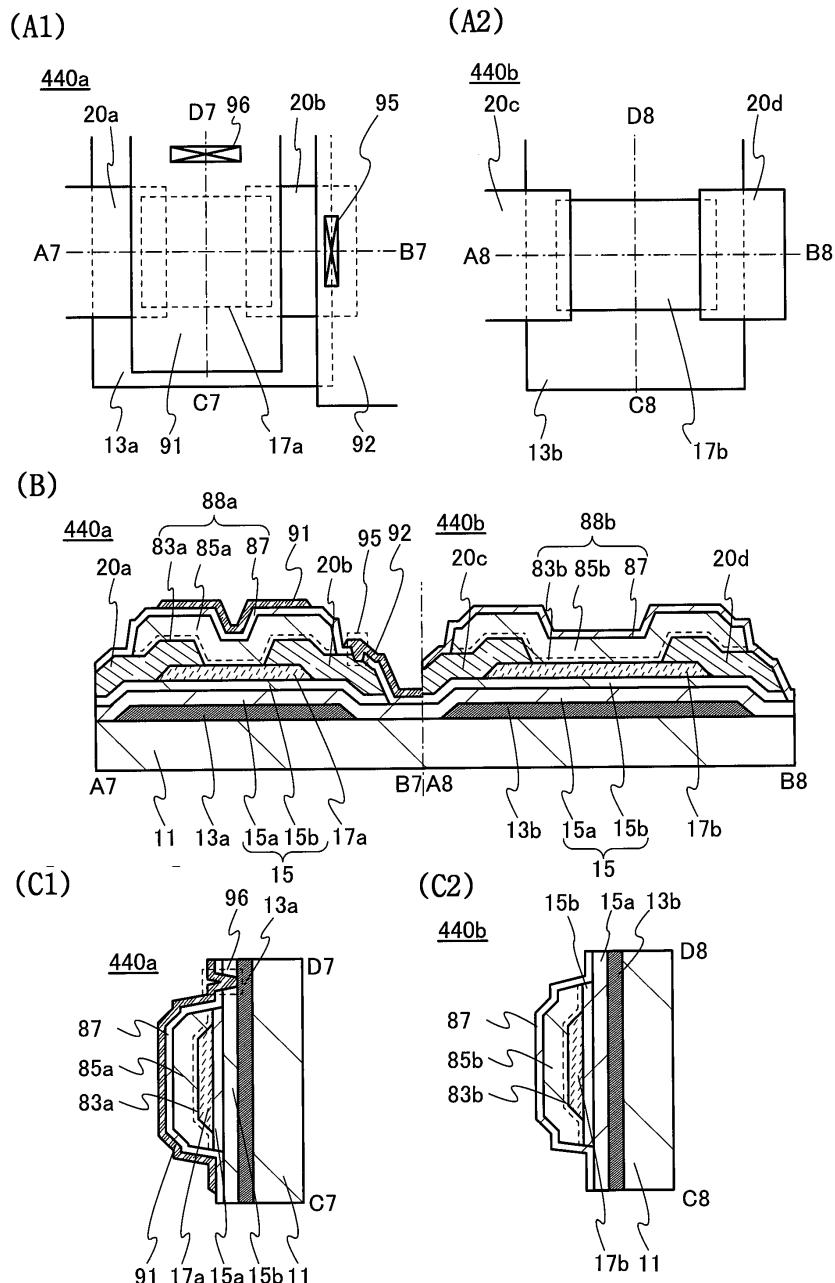
도면10



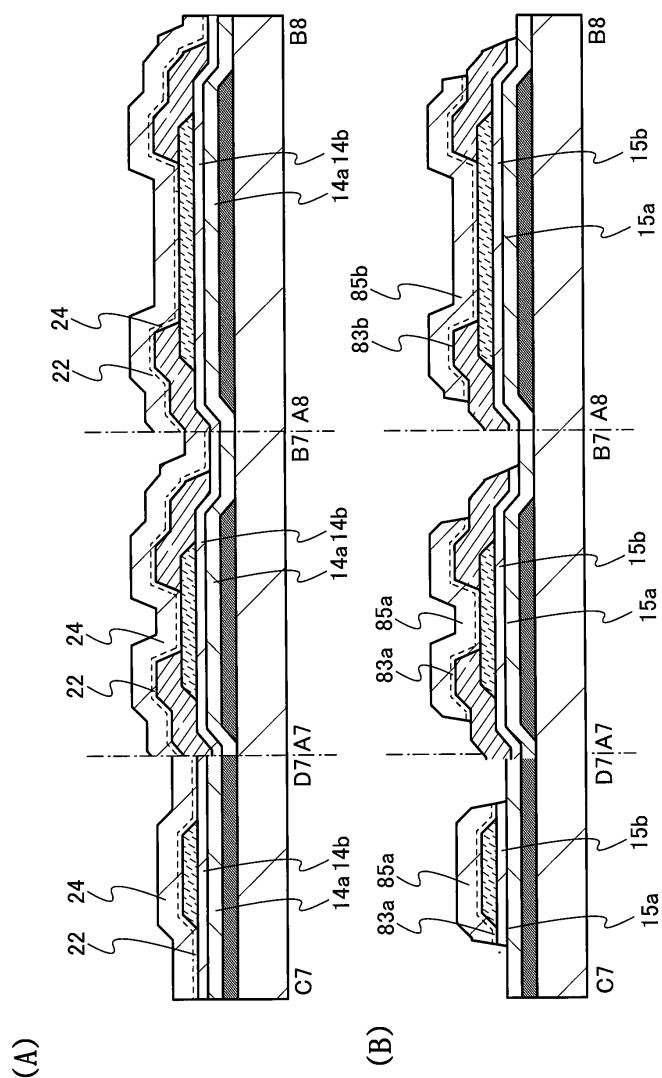
도면11



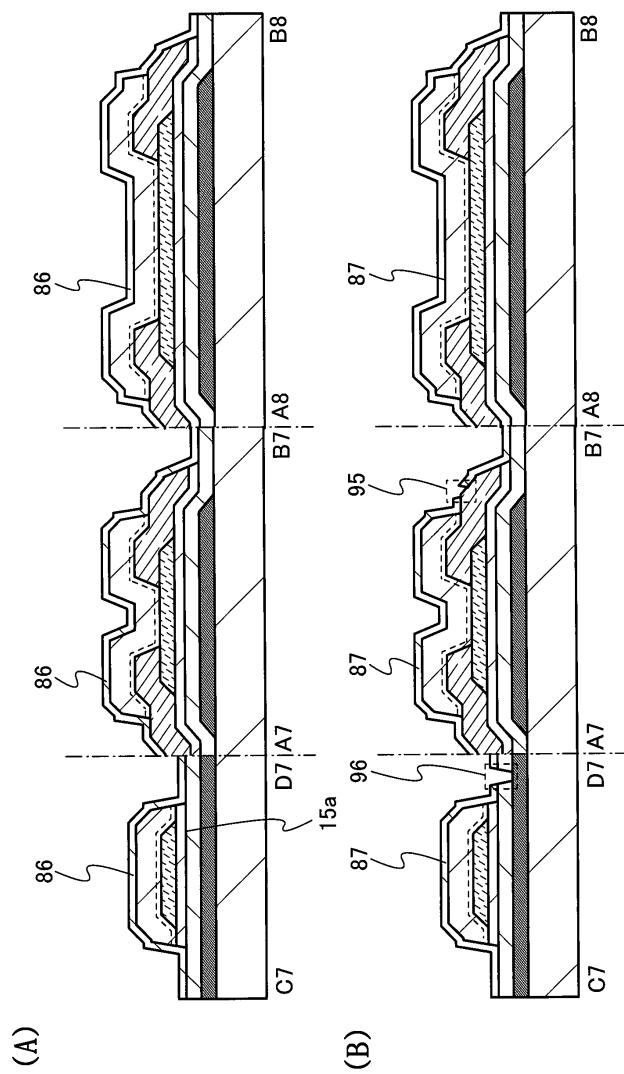
도면12



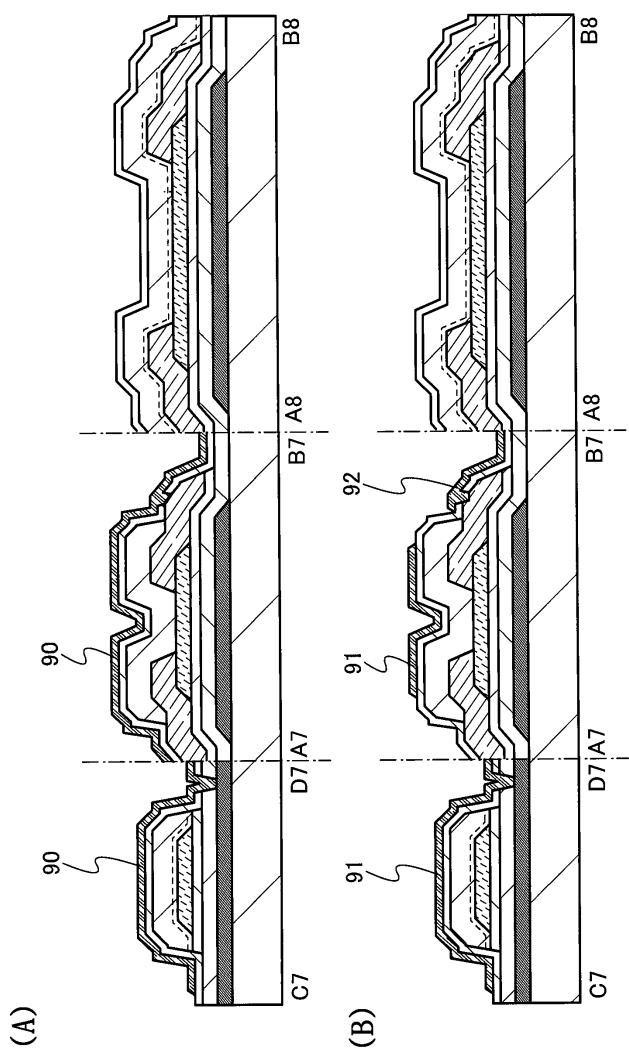
도면13



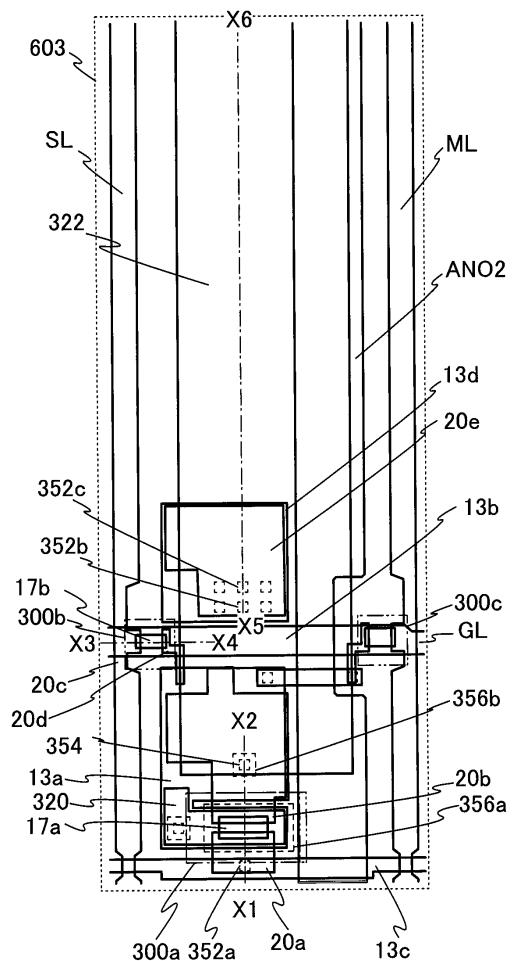
도면14



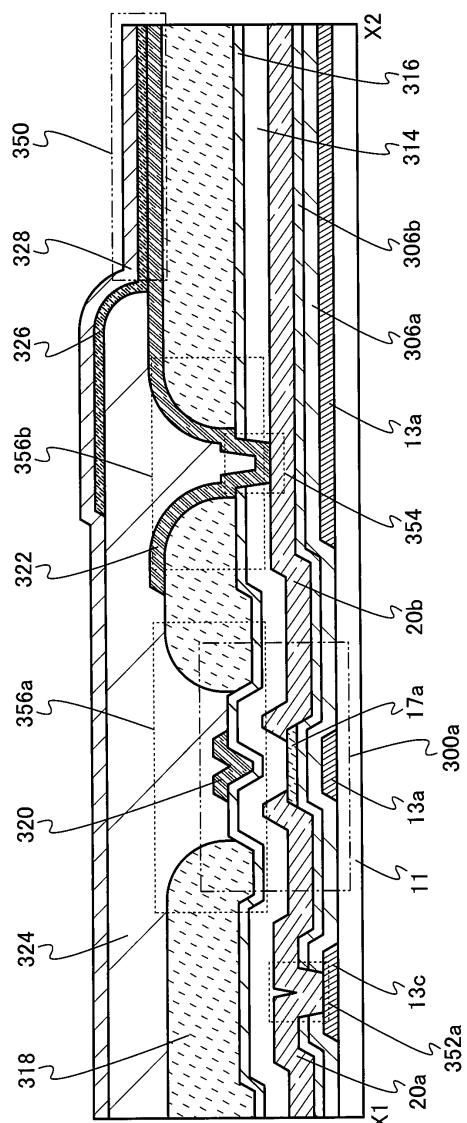
도면 15



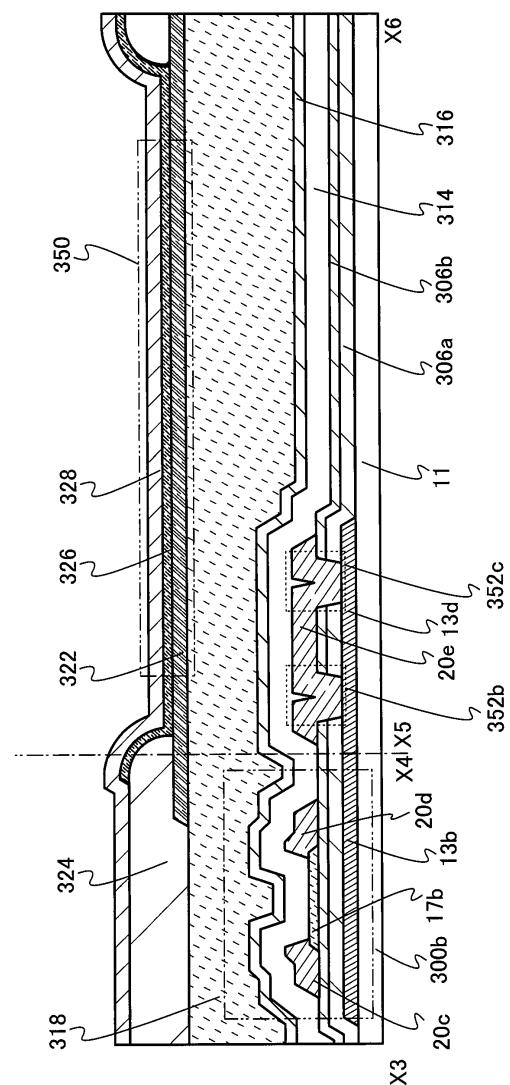
도면16



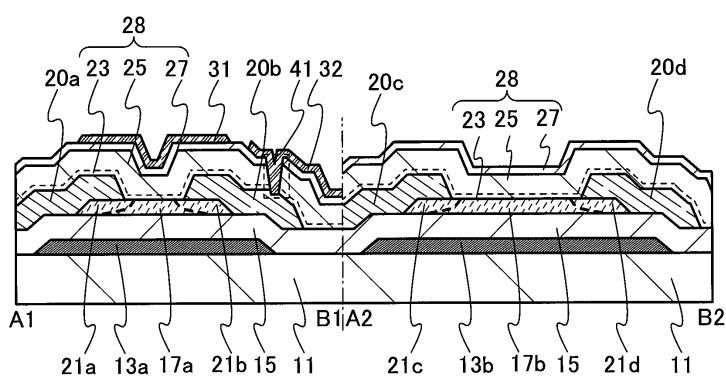
도면17



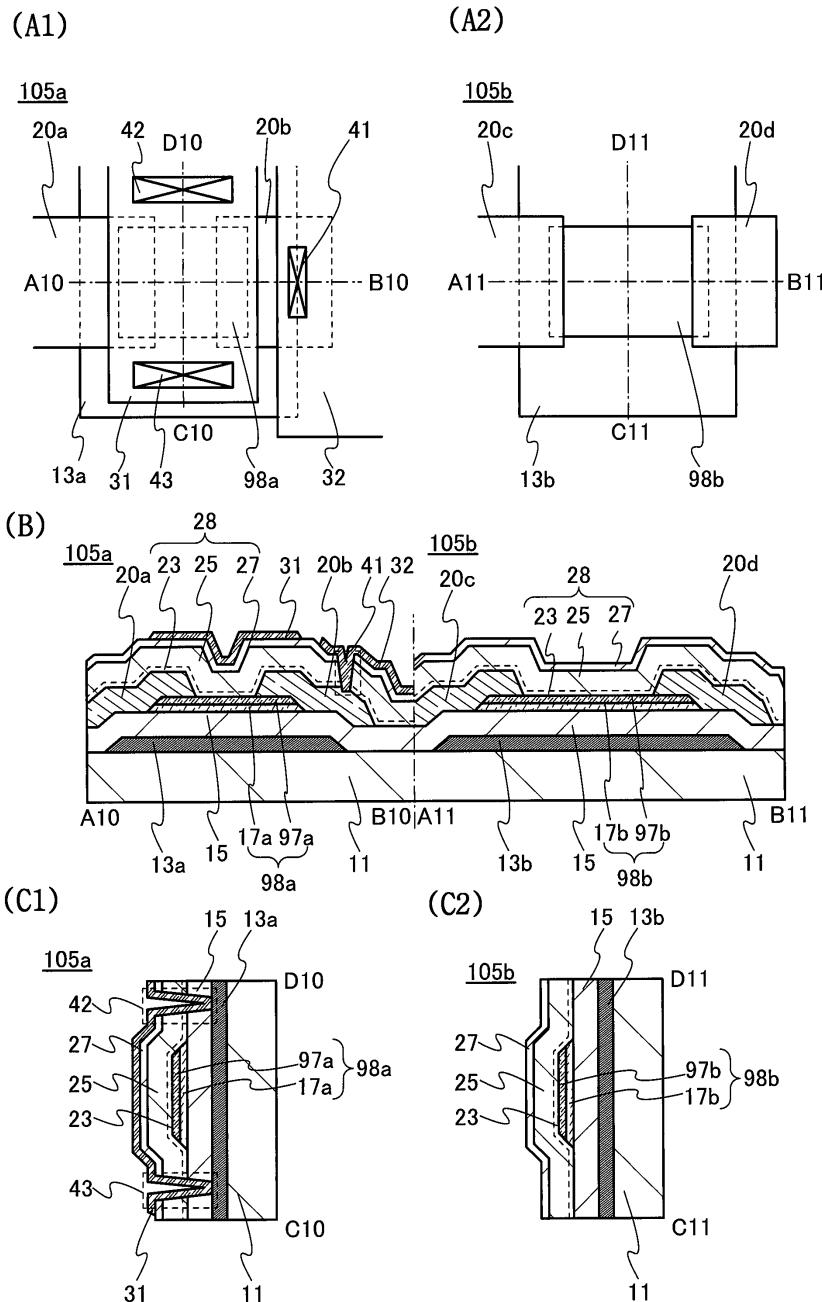
도면18



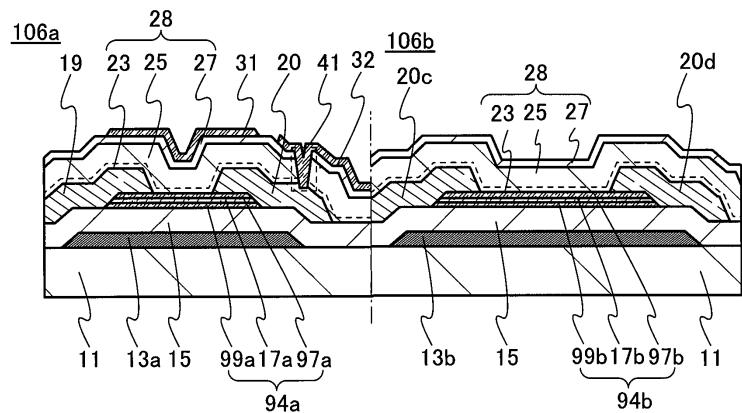
도면19



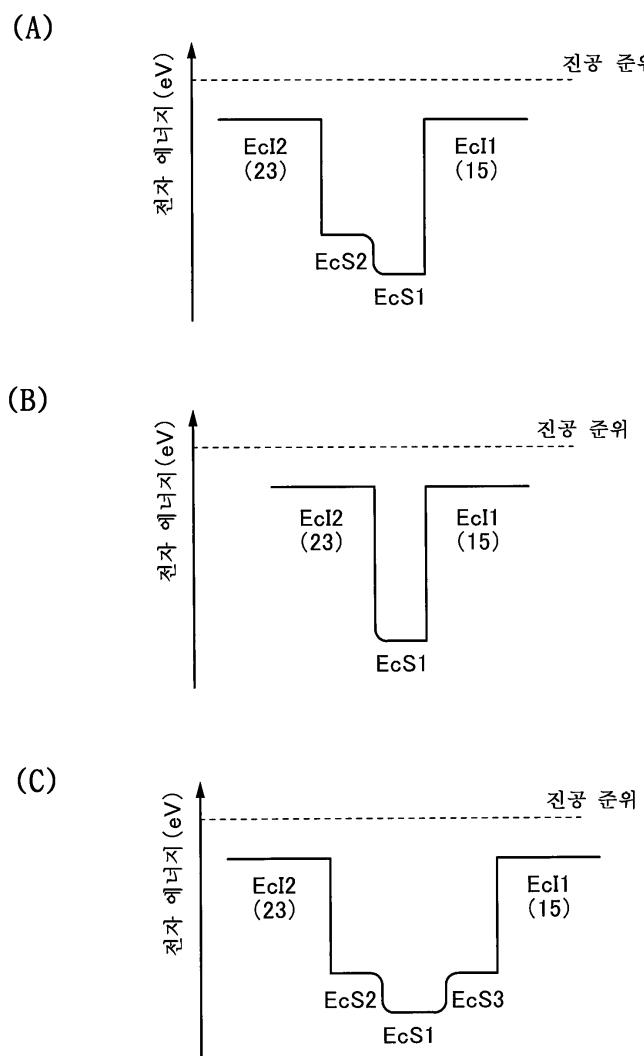
도면20



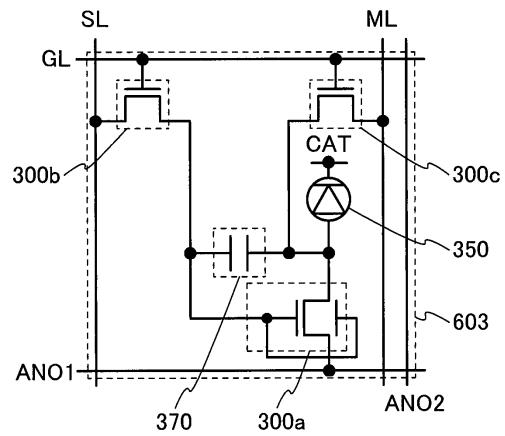
도면21



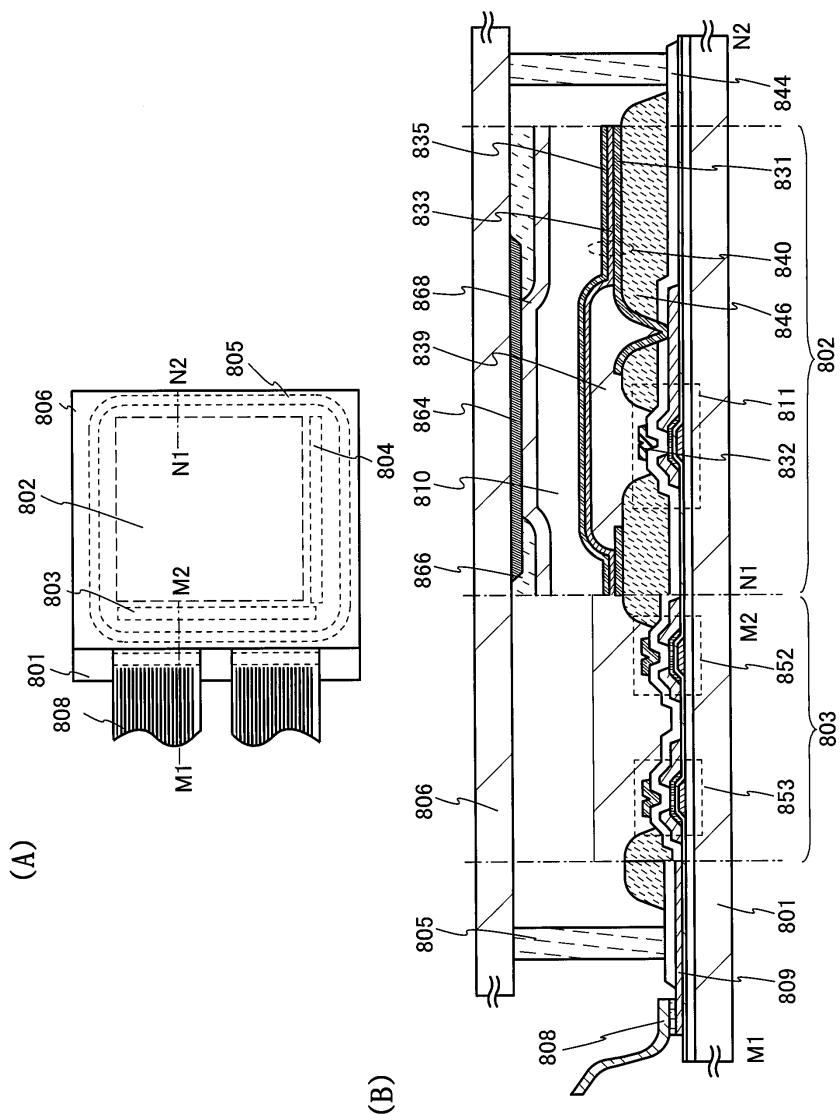
도면22



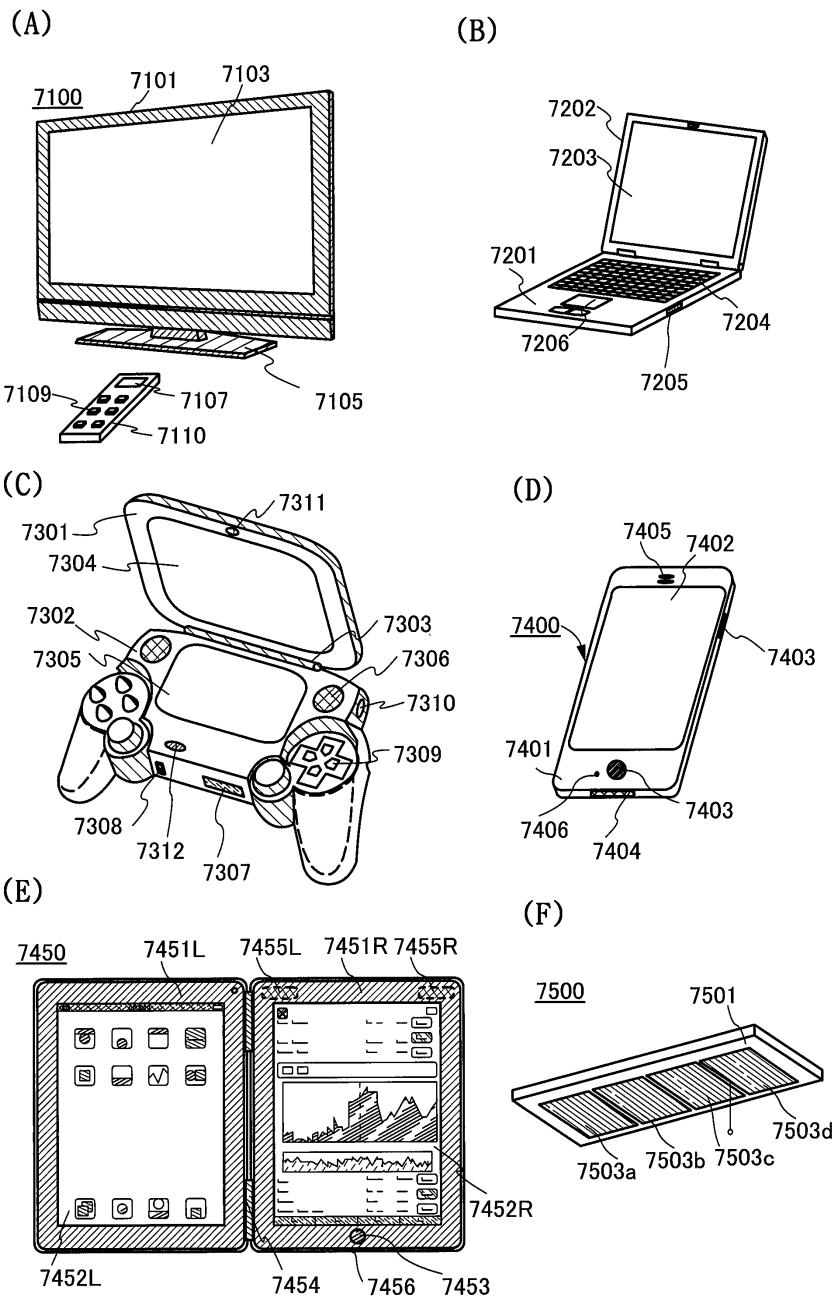
도면23



도면24

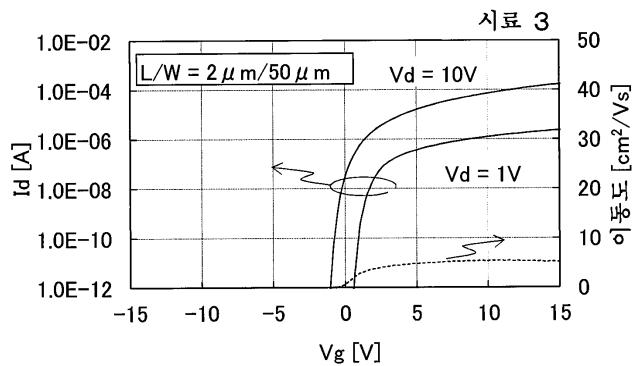


도면25

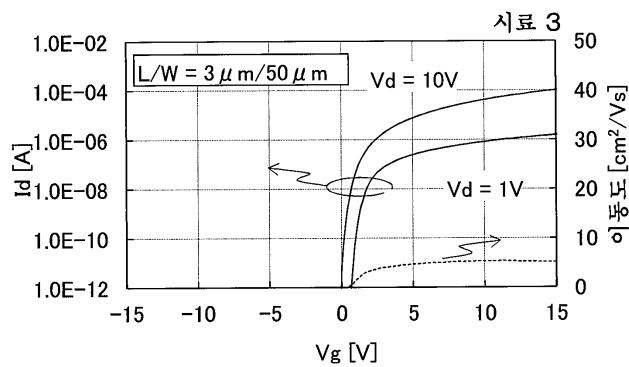


도면26

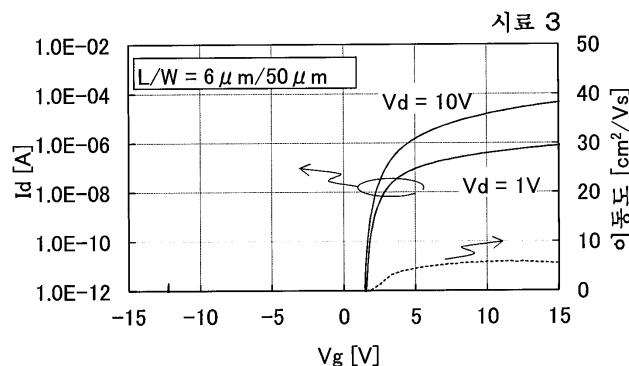
(A)



(B)

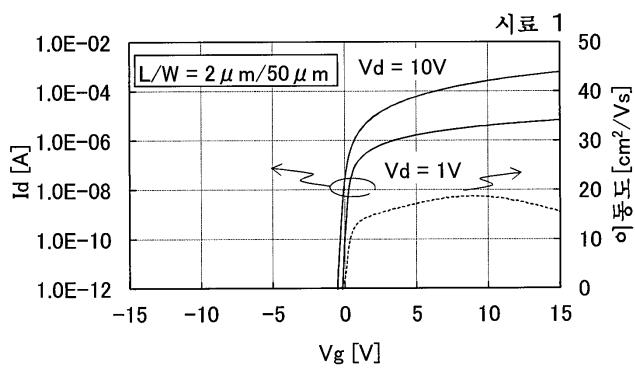


(C)

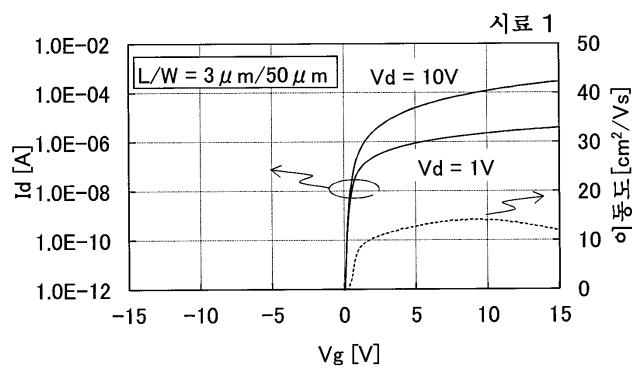


도면27

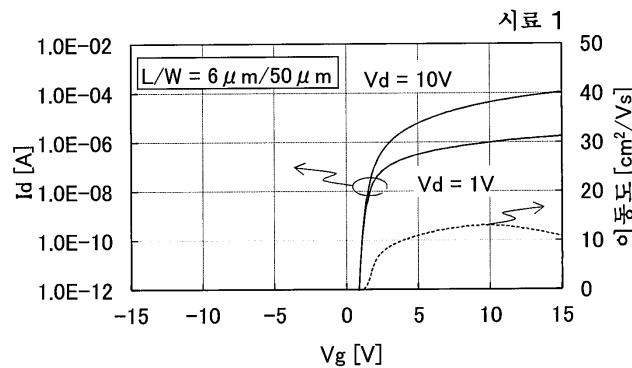
(A)



(B)

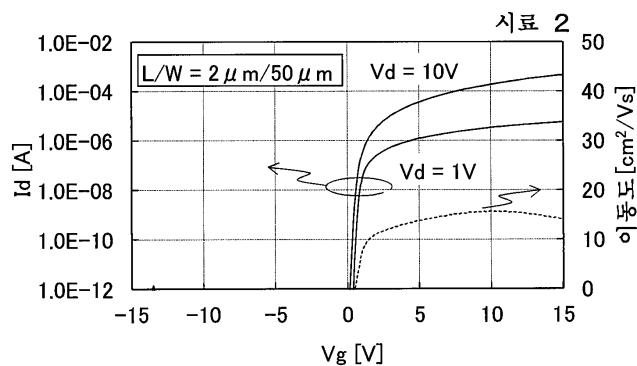


(C)

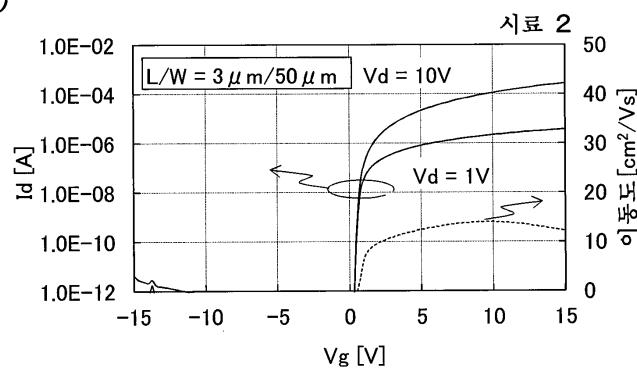


도면28

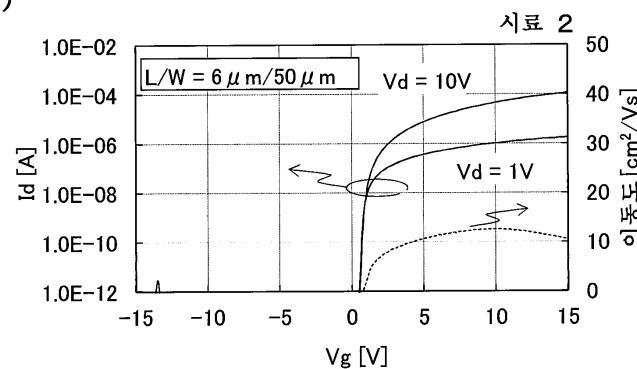
(A)



(B)

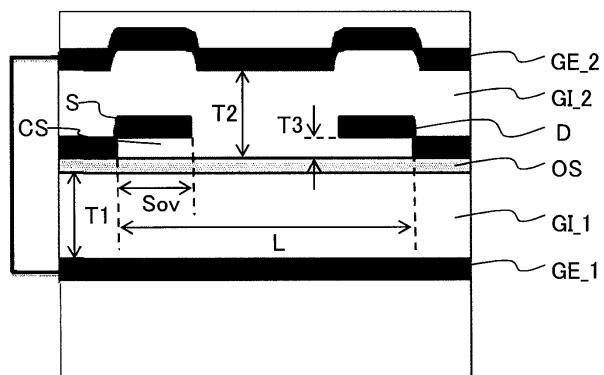


(C)

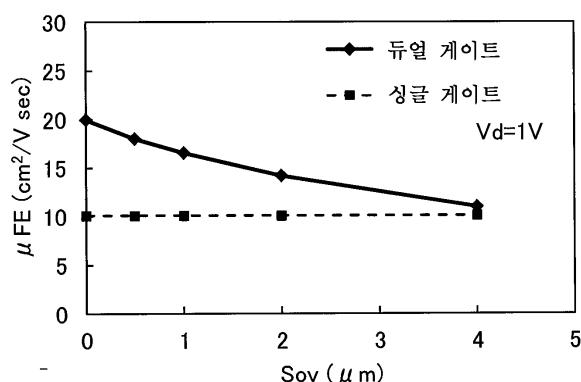


도면29

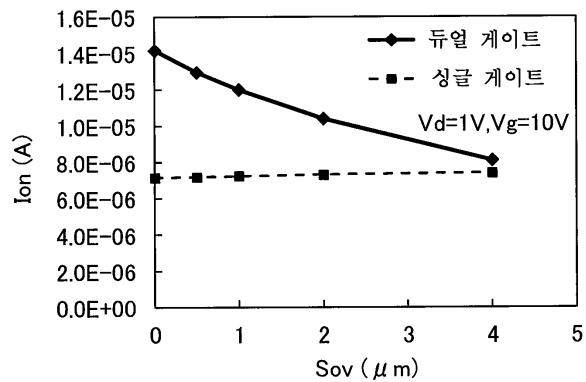
(A)



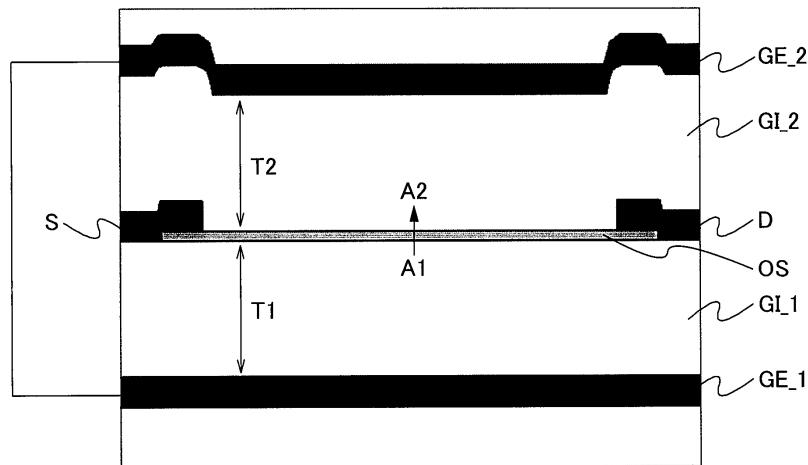
(B)



(C)

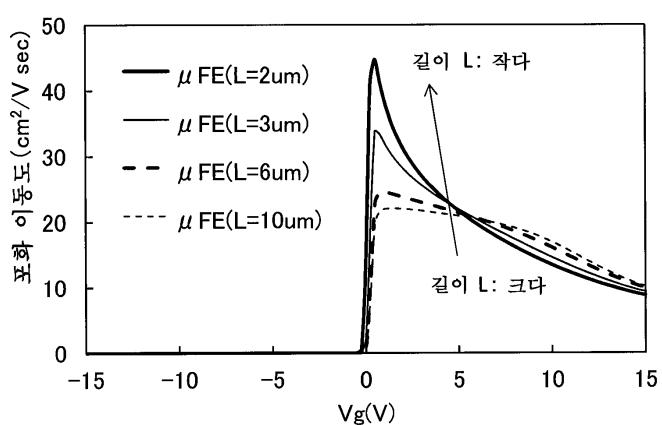


도면30

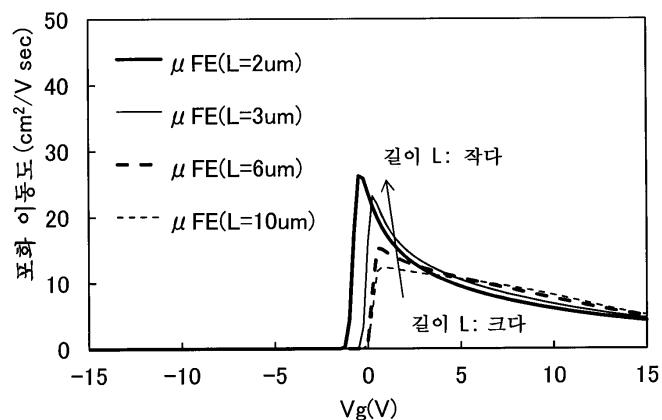


도면31

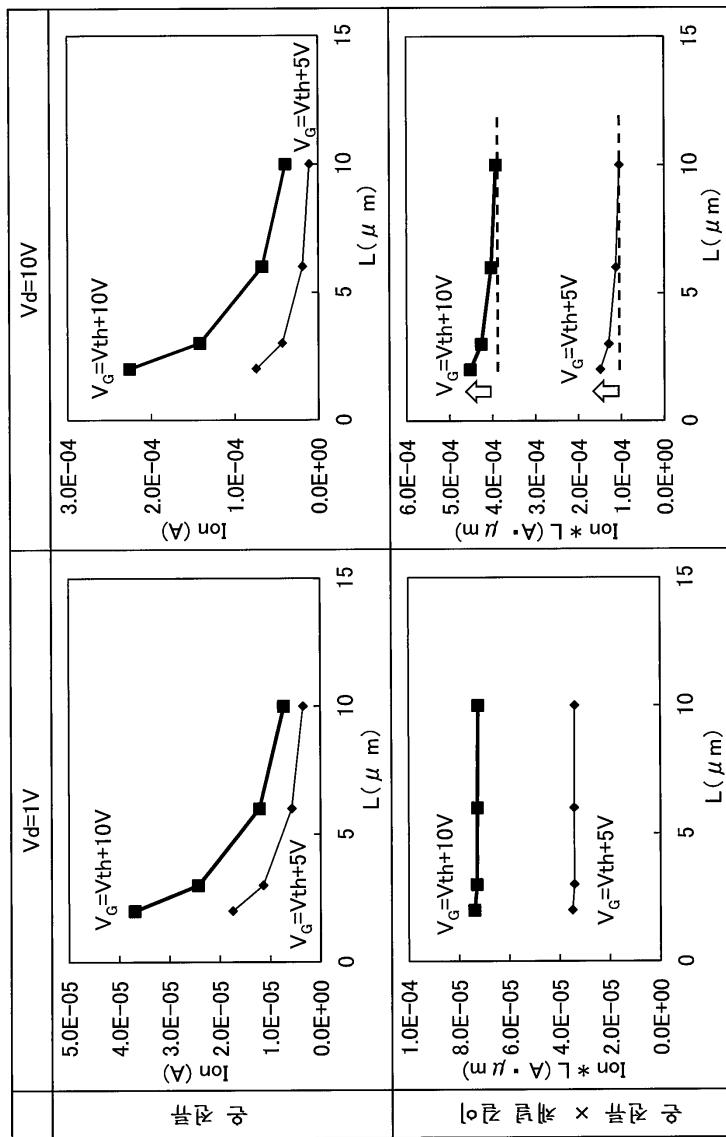
(A)



(B)

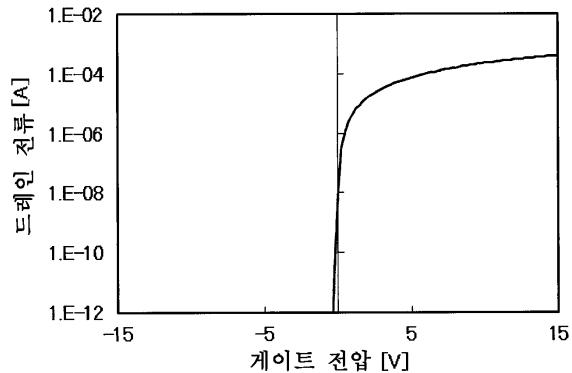


도면32

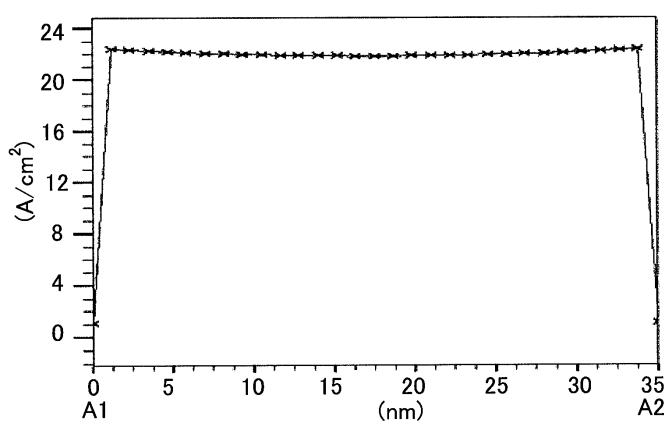


도면33

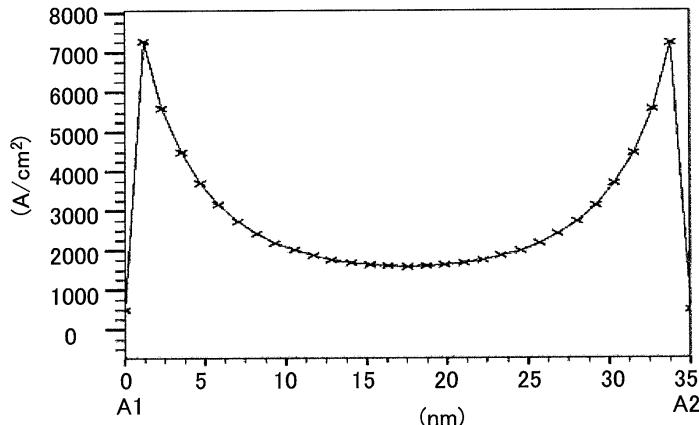
(A)



(B)

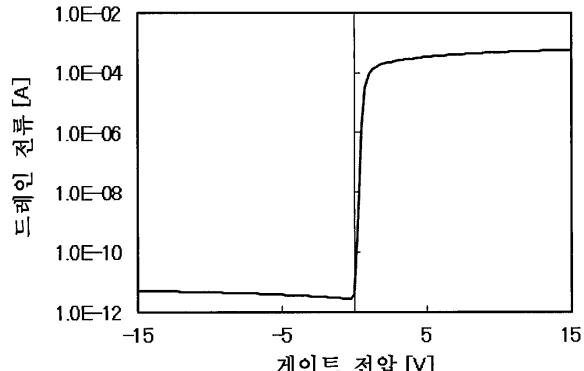


(C)

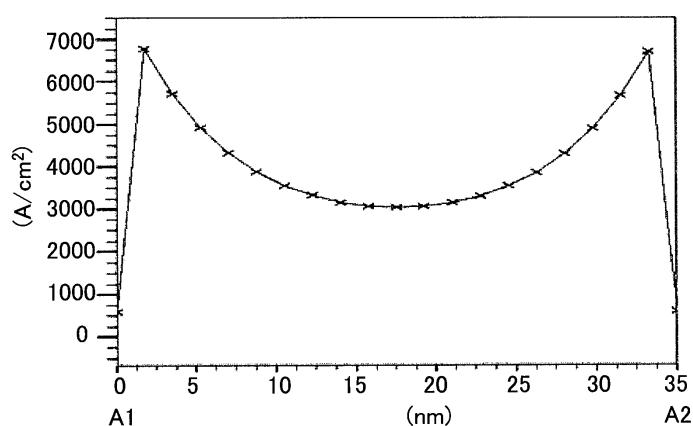


도면34

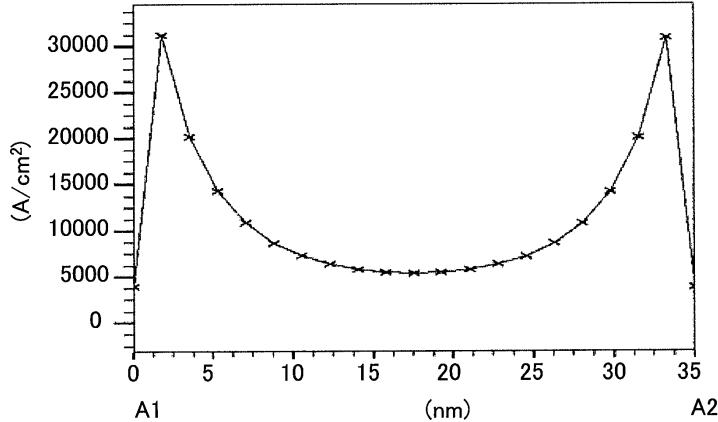
(A)



(B)

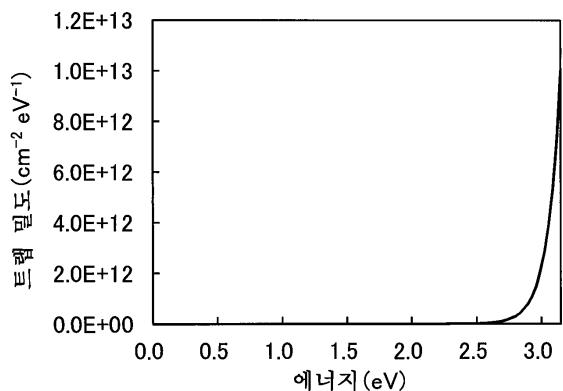


(C)

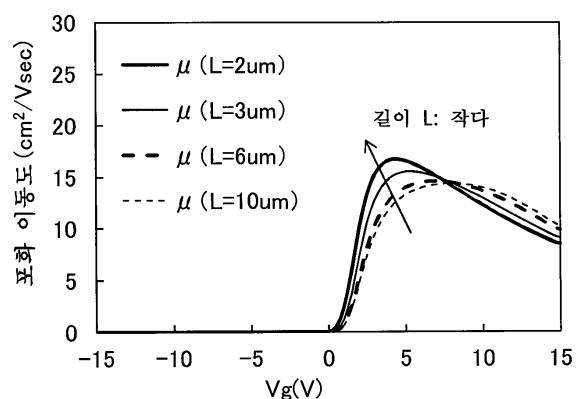


도면35

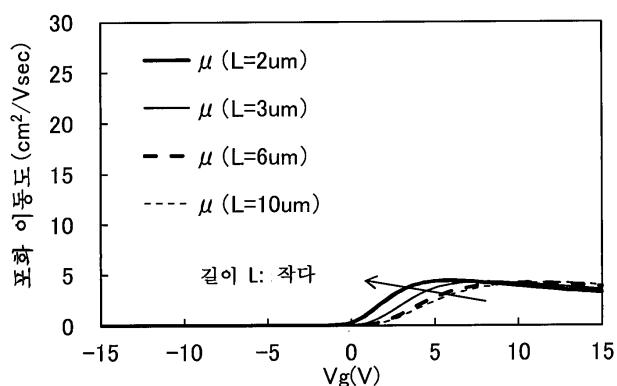
(A)



(B)



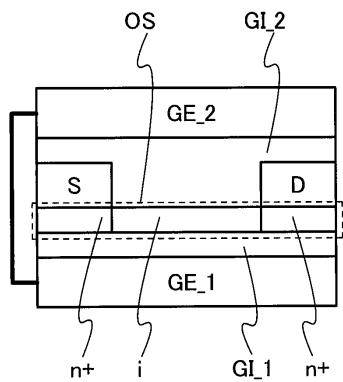
(C)



도면36

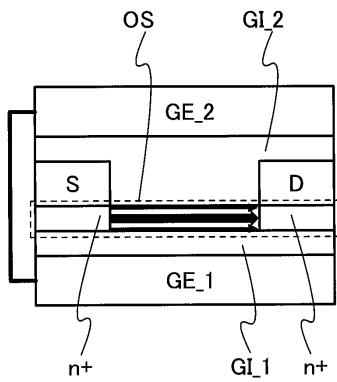
(A)

오프 상태



(B)

온 상태



(C)

