

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-519

(P2024-519A)

(43)公開日 令和6年1月5日(2024.1.5)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78	6 1 6 K 4 M 1 0 4
H 0 1 L 21/8234(2006.01)	H 0 1 L 27/088	E 5 F 0 4 8
H 0 1 L 27/088(2006.01)	H 0 1 L 27/088	3 3 1 E 5 F 1 1 0
H 0 1 L 29/786(2006.01)	H 0 1 L 29/78	6 1 8 B
H 0 1 L 21/285(2006.01)	H 0 1 L 29/78	6 1 7 K
審査請求 未請求 請求項の数 6 O L (全88頁) 最終頁に続く		

(21)出願番号 特願2023-97587(P2023-97587)  
 (22)出願日 令和5年6月14日(2023.6.14)  
 (31)優先権主張番号 特願2022-98829(P2022-98829)  
 (32)優先日 令和4年6月20日(2022.6.20)  
 (33)優先権主張国・地域又は機関 日本国(JP)

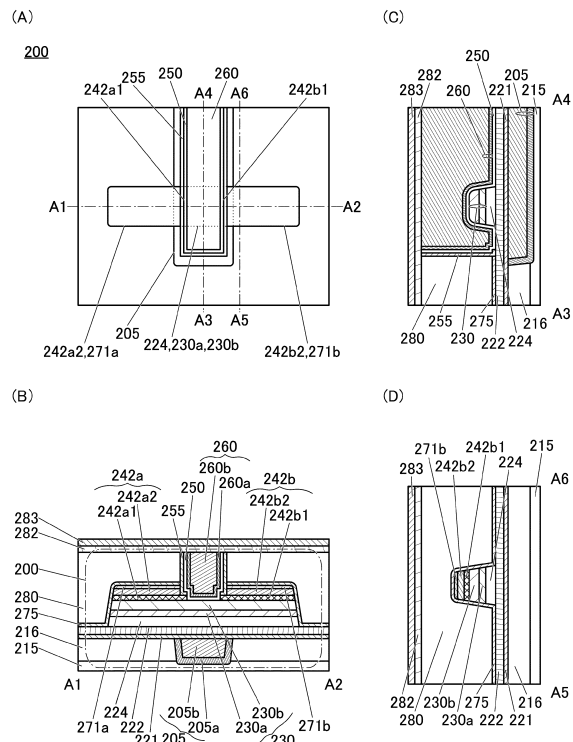
(71)出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72)発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式  
 社半導体エネルギー研究所内  
 (72)発明者 遠藤 俊弥  
 神奈川県厚木市長谷398番地 株式  
 社半導体エネルギー研究所内  
 (72)発明者 方堂 涼太  
 神奈川県厚木市長谷398番地 株式  
 社半導体エネルギー研究所内  
 Fターム(参考) 4M104 AA03 BB32 CC01 CC05  
 DD08 DD33 DD37 DD43  
 DD64 DD78 EE03 EE06  
 最終頁に続く

(54)【発明の名称】 半導体装置の作製方法

(57)【要約】 (修正有)

【課題】微細化高集積化可能な半導体装置を提供する。  
 【解決手段】トランジスタ200は、絶縁体216に埋め込まれるように設けられた導電体205と、絶縁体216及び導電体205上の絶縁体221と、絶縁体221上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の酸化物230と、酸化物230上の導電体242a、242bと、導電体242a、242b上の絶縁体271a、271bと、酸化物230上の絶縁体250と、絶縁体250上の導電体260と、を有する。絶縁体271a、271b上には、絶縁体275が設けられ、絶縁体275上には絶縁体280が設けられている。絶縁体255、絶縁体250及び導電体260は、絶縁体280及び絶縁体275に設けられた開口の内部に配置されている。絶縁体250には酸化物絶縁体を用いる。絶縁体271a、271bには金属を酸化させにくい窒化物絶縁体を用いる。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

基板上に、酸化物、前記酸化物上の第 1 の導電体、及び前記第 1 の導電体上の第 2 の導電体を形成し、

前記酸化物、前記第 1 の導電体、及び前記第 2 の導電体を覆って、第 1 の絶縁体を形成し、

前記第 1 の絶縁体に開口を形成し、

前記開口に重畳して、前記第 2 の導電体を第 3 の導電体と第 4 の導電体に分断し、

前記酸化物、及び前記第 1 の絶縁体を覆って、第 2 の絶縁体を成膜し、

前記第 2 の絶縁体上に第 3 の絶縁体を成膜し、

ドライエッチング法を用いて、前記第 2 の絶縁体、及び前記第 3 の絶縁体を加工して、前記第 1 の絶縁体の側面、前記第 3 の導電体の側面、及び前記第 4 の導電体の側面に接する、第 4 の絶縁体、及び前記第 4 の絶縁体の側面及び上面に接する第 5 の絶縁体を形成し、

前記ドライエッチング法を用いて、前記第 4 の絶縁体及び前記第 5 の絶縁体をマスクとして前記第 1 の導電体を加工し、前記第 1 の導電体を第 5 の導電体と第 6 の導電体に分断し、

等方性エッチングを用いて、前記第 5 の絶縁体を除去し、

前記酸化物に、酸素を含む雰囲気中で加熱処理を行い、

前記酸化物、前記第 1 の絶縁体、及び前記第 4 の絶縁体を覆って、第 6 の絶縁体を成膜し、

前記第 6 の絶縁体上に、第 7 の導電体を成膜し、

CMP 処理を用いて、前記第 6 の絶縁体、及び前記第 7 の導電体を加工し、前記開口内に第 7 の絶縁体、及び第 8 の導電体を形成し、

前記第 2 の絶縁体の成膜は、窒化物絶縁体を成膜し、

前記第 3 の絶縁体の成膜は、酸化物絶縁体を成膜する、

半導体装置の作製方法。

## 【請求項 2】

請求項 1 において、

前記第 2 の絶縁体の成膜は、PEALD法を用いて窒化シリコンを成膜する、

半導体装置の作製方法。

## 【請求項 3】

請求項 2 において、

前記第 3 の絶縁体の成膜は、PEALD法を用いて酸化シリコンを成膜する、

半導体装置の作製方法。

## 【請求項 4】

請求項 1 において、

前記第 1 の導電体の形成は、スパッタリング法を用いて窒化タンタルを成膜する、

半導体装置の作製方法。

## 【請求項 5】

請求項 4 において、

前記第 2 の導電体の形成は、スパッタリング法を用いてタングステンを成膜する、

半導体装置の作製方法。

## 【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記酸化物の形成は、スパッタリング法を用いて、インジウム、ガリウム、及び亜鉛を含む酸化物を成膜する、

半導体装置の作製方法。

## 【発明の詳細な説明】

## 【技術分野】

10

20

30

40

50

## 【0001】

本発明の一態様は、酸化物半導体を用いた半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、上記半導体装置の作製方法に関する。

## 【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げるができる。

## 【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有するといえる場合がある。

## 【背景技術】

## 【0004】

近年、半導体装置の開発が進められ、LSI、CPU、メモリなどが主に半導体装置に用いられている。CPUは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

## 【0005】

LSI、CPU、メモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

## 【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）、画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

## 【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持できる記憶装置などが、開示されている。

## 【0008】

また、酸化物半導体の上面に接して、ソース電極層とドレイン電極層が設けられた、微細構造のトランジスタが、特許文献3に開示されている。

## 【先行技術文献】

## 【特許文献】

## 【0009】

【特許文献1】特開2012-257187号公報

【特許文献2】特開2011-151383号公報

【特許文献3】国際公開第2016-125052号

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0010】

本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一とする。または、本発明の一態様は、動作速度が速い半導体装置を提供することを課題

10

20

30

40

50

の一とする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一とする。または、本発明の一態様は、トランジスタの電気特性のばらつきが少ない半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性が高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一とする。または、本発明の一態様は、消費電力が少ない半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規の半導体装置を提供することを課題の一とする。または、本発明の一態様は、生産性の高い半導体装置の作製方法を提供することを課題の一とする。また、本発明の一態様は、新規の半導体装置の作製方法を提供することを課題の一とする。

【0011】

10

または、本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一とする。または、本発明の一態様は、動作速度が速い記憶装置を提供することを課題の一とする。または、本発明の一態様は、消費電力が少ない記憶装置を提供することを課題の一とする。または、本発明の一態様は、新規な記憶装置を提供することを課題の一とする。

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0013】

20

本発明の一態様は、基板上に、酸化物、酸化物上の第1の導電体、及び第1の導電体上の第2の導電体を形成し、酸化物、第1の導電体、及び第2の導電体を覆って、第1の絶縁体を形成し、第1の絶縁体に開口を形成し、開口に重畳して、第2の導電体を第3の導電体と第4の導電体に分断し、酸化物、及び第1の絶縁体を覆って、第2の絶縁体を成膜し、第2の絶縁体上に第3の絶縁体を成膜し、ドライエッチング法を用いて、第2の絶縁体、及び第3の絶縁体を加工して、第1の絶縁体の側面、第3の導電体の側面、及び第4の導電体の側面に接する、第4の絶縁体、及び第4の絶縁体の側面及び上面に接する第5の絶縁体を形成し、ドライエッチング法を用いて、第4の絶縁体及び第5の絶縁体をマスクとして第1の導電体を加工し、第1の導電体を第5の導電体と第6の導電体に分断し、等方性エッチングを用いて、第5の絶縁体を除去し、酸化物に、酸素を含む雰囲気中で加熱処理を行い、酸化物、第1の絶縁体、及び第4の絶縁体を覆って、第6の絶縁体を成膜し、第6の絶縁体上に、第7の導電体を成膜し、CMP処理を用いて、第6の絶縁体、及び第7の導電体を加工し、開口内に第7の絶縁体、及び第8の導電体を形成し、第2の絶縁体の成膜は、窒化物絶縁体を成膜し、第3の絶縁体の成膜は、酸化物絶縁体を成膜する、半導体装置の作製方法である。

30

【0014】

上記において、第2の絶縁体の成膜は、PEALD法を用いて窒化シリコンを成膜することが好ましい。

【0015】

また、上記において、第3の絶縁体の成膜は、PEALD法を用いて酸化シリコンを成膜することが好ましい。

40

【0016】

また、上記において、第1の導電体の形成は、スパッタリング法を用いて窒化タンタルを成膜することが好ましい。

【0017】

また、上記において、第2の導電体の形成は、スパッタリング法を用いてタングステンを成膜することが好ましい。

【0018】

また、上記において、酸化物の形成は、スパッタリング法を用いて、インジウム、ガリウム、及び亜鉛を含む酸化物を成膜することが好ましい。

50

## 【発明の効果】

## 【0019】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供できる。または、本発明の一態様により、動作速度が速い半導体装置を提供できる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供できる。または、本発明の一態様により、トランジスタの電気特性のばらつきが少ない半導体装置を提供できる。または、本発明の一態様により、信頼性が高い半導体装置を提供できる。または、本発明の一態様により、オン電流が大きい半導体装置を提供できる。または、本発明の一態様により、消費電力が少ない半導体装置を提供できる。または、本発明の一態様により、新規の半導体装置を提供できる。または、本発明の一態様により、生産性の高い半導体装置の作製方法を提供できる。または、本発明の一態様により、新規の半導体装置の作製方法を提供できる。

10

## 【0020】

本発明の一態様により、記憶容量が大きい記憶装置を提供できる。または、本発明の一態様により、動作速度が速い記憶装置を提供できる。または、本発明の一態様により、消費電力が少ない記憶装置を提供できる。または、本発明の一態様により、新規な記憶装置を提供できる。

## 【0021】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

20

## 【図面の簡単な説明】

## 【0022】

【図1】図1(A)は、半導体装置の一例を示す平面図である。図1(B)乃至図1(D)は、半導体装置の一例を示す断面図である。

【図2】図2(A)及び図2(B)は、半導体装置の一例を示す断面図である。

【図3】図3(A)乃至図3(C)は、半導体装置の一例を示す断面図である。

【図4】図4(A)乃至図4(D)は、半導体装置の一例を示す断面図である。

【図5】図5(A)は、半導体装置の作製方法の一例を示す平面図である。図5(B)乃至図5(D)は、半導体装置の作製方法の一例を示す断面図である。

30

【図6】図6(A)は、半導体装置の作製方法の一例を示す平面図である。図6(B)乃至図6(D)は、半導体装置の作製方法の一例を示す断面図である。

【図7】図7(A)は、半導体装置の作製方法の一例を示す平面図である。図7(B)乃至図7(D)は、半導体装置の作製方法の一例を示す断面図である。

【図8】図8(A)は、半導体装置の作製方法の一例を示す平面図である。図8(B)乃至図8(D)は、半導体装置の作製方法の一例を示す断面図である。

【図9】図9(A)は、半導体装置の作製方法の一例を示す平面図である。図9(B)乃至図9(D)は、半導体装置の作製方法の一例を示す断面図である。

【図10】図10(A)は、半導体装置の作製方法の一例を示す平面図である。図10(B)乃至図10(D)は、半導体装置の作製方法の一例を示す断面図である。

40

【図11】図11(A)は、半導体装置の作製方法の一例を示す平面図である。図11(B)乃至図11(D)は、半導体装置の作製方法の一例を示す断面図である。

【図12】図12(A)は、半導体装置の作製方法の一例を示す平面図である。図12(B)乃至図12(D)は、半導体装置の作製方法の一例を示す断面図である。

【図13】図13(A)は、半導体装置の作製方法の一例を示す平面図である。図13(B)乃至図13(D)は、半導体装置の作製方法の一例を示す断面図である。

【図14】図14(A)乃至図14(C)は、半導体装置の作製方法の一例を示す断面図である。

【図15】図15(A)は、半導体装置の作製方法の一例を示す平面図である。図15(B)乃至図15(D)は、半導体装置の作製方法の一例を示す断面図である。

50

【図 16】図 16 (A) 乃至図 16 (C) は、半導体装置の作製方法の一例を示す断面図である。

【図 17】図 17 (A) は、半導体装置の作製方法の一例を示す平面図である。図 17 (B) 乃至図 17 (D) は、半導体装置の作製方法の一例を示す断面図である。

【図 18】図 18 (A) は、半導体装置の作製方法の一例を示す平面図である。図 18 (B) 乃至図 18 (D) は、半導体装置の作製方法の一例を示す断面図である。

【図 19】図 19 は、記憶装置の一例を示すブロック図である。

【図 20】図 20 (A) 及び図 20 (B) は、記憶装置の一例を示す模式図及び回路図である。

【図 21】図 21 (A) 及び図 21 (B) は、記憶装置の一例を示す模式図である。 10

【図 22】図 22 は、記憶装置の一例を示す回路図である。

【図 23】図 23 は、記憶装置の一例を示す断面図である。

【図 24】図 24 は、記憶装置の一例を示す断面図である。

【図 25】図 25 (A) 乃至図 25 (C) は、記憶装置の一例を示す回路図である。

【図 26】図 26 (A) 及び図 26 (B) は半導体装置の一例を示す図である。

【図 27】図 27 (A) 及び図 27 (B) は、電子部品の一例を示す図である。

【図 28】図 28 (A) 及び図 28 (B) は、電子機器の一例を示す図であり、図 28 (C) 乃至図 28 (E) は、大型計算機の一例を示す図である。

【図 29】図 29 は、宇宙用機器の一例を示す図である。

【図 30】図 30 は、データセンターに適用可能なストレージシステムの一例を示す図である。 20

【発明を実施するための形態】

【0023】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0024】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。 30

【0025】

また、図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

【0026】

なお、本明細書等において、「第 1」、「第 2」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。 40

【0027】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。また、「導電体」という用語は、場合によっては、または、状況に応じて、「導電層」という用語、または「導電膜」という用語に、互いに入れ替えることが可能である。また、「絶縁体」という用語は、場合によっては、または、状況に応じて、「絶縁層」という用語、または「絶縁膜」という用語 50

に、互いに入れ替えることが可能である。

【 0 0 2 8 】

開口とは、例えば、溝、スリットなども含まれる。また、開口が形成された領域を開口部と記す場合がある。

【 0 0 2 9 】

また、本明細書における実施の形態で用いる図面において、絶縁体の開口部における、絶縁体の側壁が、基板面または被形成面に対して垂直、または概略垂直である場合を示すが、テーパ形状であってもよい。

【 0 0 3 0 】

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（以下、テーパ角と呼ぶ場合がある）が90°未満である領域を有する形状のことを指す。なお、構造の側面及び基板面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

10

【 0 0 3 1 】

（実施の形態1）

本実施の形態では、酸化物半導体を有する半導体装置、及び当該半導体装置の作製方法について、図1乃至図18を用いて説明する。

【 0 0 3 2 】

20

<半導体装置の構成例>

図1乃至図4を用いて、半導体装置の構成例について説明する。図1(A)乃至図1(D)は、半導体装置（トランジスタ200）の平面図および断面図である。図1(A)は、当該半導体装置の平面図である。また、図1(B)乃至図1(D)は、当該半導体装置の断面図である。ここで、図1(B)は、図1(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図1(C)は、図1(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、図1(D)は、図1(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。なお、図1(A)の平面図では、図の明瞭化のために一部の要素を省いている。

30

また、図2(A)乃至図4(D)に、トランジスタ200のチャンネル長方向の断面拡大図を示す。

【 0 0 3 3 】

トランジスタ200は、絶縁体216に埋め込まれるように設けられた導電体205（導電体205a及び導電体205b）と、絶縁体216及び導電体205上の絶縁体221と、絶縁体221上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の酸化物230（酸化物230a及び酸化物230b）と、酸化物230上の、導電体242a（導電体242a1及び導電体242a2）及び導電体242b（導電体242b1及び導電体242b2）と、導電体242a上の絶縁体271aと、導電体242b上の絶縁体271bと、酸化物230上の絶縁体250と、絶縁体250上の導電体260（導電体260a及び導電体260b）と、を有する。

40

【 0 0 3 4 】

絶縁体271a、271b上には、絶縁体275が設けられ、絶縁体275上には絶縁体280が設けられている。絶縁体255、絶縁体250、及び導電体260は、絶縁体280及び絶縁体275に設けられた開口の内部に配置されている。また、絶縁体280上及び導電体260上に絶縁体282が設けられている。また、絶縁体282上に絶縁体283が設けられている。また、絶縁体216及び導電体205の下に絶縁体215が設けられている。また、導電体242a2、導電体242b2、絶縁体271a、絶縁体271b、絶縁体275、及び絶縁体280と、絶縁体250の間に、絶縁体255が設けられている。

50

## 【0035】

酸化物230は、トランジスタ200のチャンネル形成領域として機能する領域を有する。また、導電体260は、トランジスタ200の第1のゲート電極（上側のゲート電極）として機能する領域を有する。絶縁体250は、トランジスタ200の第1のゲート絶縁体として機能する領域を有する。また、導電体205は、トランジスタ200の第2のゲート電極（下側のゲート電極）として機能する領域を有する。絶縁体224、絶縁体222、及び絶縁体221は、それぞれ、トランジスタ200の第2のゲート絶縁体として機能する領域を有する。

## 【0036】

導電体242aは、トランジスタ200のソース電極またはドレイン電極の一方として機能する領域を有する。導電体242bは、トランジスタ200のソース電極またはドレイン電極の他方として機能する領域を有する。

10

## 【0037】

導電体242aは、導電体242a1と、導電体242a1上の導電体242a2の積層構造であり、導電体242bは、導電体242b1と、導電体242b1上の導電体242b2の積層構造である。酸化物230bに接する導電体242a1及び導電体242b1は、金属窒化物などの酸化しにくい導電体であることが好ましい。これにより、酸化物230bに含まれる酸素によって、導電体242a及び導電体242bが過剰に酸化されるのを防ぐことができる。また、導電体242a2及び導電体242b2は、導電体242a1及び導電体242b1より導電性が高い、金属層などの導電体であることが好ましい。これにより、導電体242a及び導電体242bを、導電性が高い配線または電極として機能させることができる。このようにして、活性層として機能する酸化物230の上面に接して、配線または電極として機能する導電体242a及び導電体242bが設けられた、半導体装置を提供することができる。

20

## 【0038】

絶縁体255は、窒化物などの酸化しにくい絶縁体であることが好ましい。絶縁体255は異方性エッチングを用いて、絶縁体280などに設けられた開口の側壁（ここで、開口の側壁とは、例えば、開口における絶縁体280等の側面に対応する。）に接して、サイドウォール状に形成される。絶縁体255は、導電体242a2の側面、及び導電体242b2の側面に接して形成されており、導電体242a2、及び導電体242b2を保護する機能を有する。詳細は後述するが、導電体を導電体242a1と導電体242b1とに分断した後で、絶縁体250を成膜する前に、酸素を含む雰囲気中で熱処理を行うことが好ましい。このとき、絶縁体255が、導電体242a2の側面、及び導電体242b2の側面に接して形成されていることで、導電体242a2及び導電体242b2が過剰に酸化されるのを防ぐことができる。

30

## 【0039】

上述の絶縁体280及び絶縁体275に設けられた開口は、導電体242a2と導電体242b2の間の領域と重畳する。上面視において、開口における絶縁体280の側面は、導電体242a2の側面、及び導電体242b2の側面と一致または概略一致する。また、導電体242a1の上面の一部が、導電体242a2に接し、導電体242b1の上面の一部が、導電体242b2に接する。よって、絶縁体255は、上記開口内で、導電体242a1の上面の他の一部、導電体242b1の上面の他の一部、導電体242a2の側面、及び導電体242b2の側面に接する。ここで、図1(B)及び図1(C)に示すように、絶縁体255の、導電体242a1の上面、導電体242b1の上面、または絶縁体222の上面に接する部分に、突出部が形成されている。絶縁体255の突出部は、他の部分よりも、上記開口の中央部に向かって突出した形状になっている。ゆえに、絶縁体255の突出部、導電体242a1の一部、及び導電体242b1の一部は、上記開口内に突出するように形成されている。

40

## 【0040】

また、絶縁体250は、酸化物230の上面、導電体242a1の側面、導電体242

50

b 1 の側面、及び絶縁体 2 5 5 の側面に接する。なお、上記開口において、絶縁体 2 5 5 の突出部、導電体 2 4 2 a 1 の一部、及び導電体 2 4 2 b 1 の一部が突出されるように形成されているので、絶縁体 2 5 0 の形状に、絶縁体 2 5 5 の突出部、導電体 2 4 2 a 1 の一部、及び導電体 2 4 2 b 1 の一部の形状が反映されている。

【0041】

上記のように、絶縁体 2 5 5 の突出部と同程度に、導電体 2 4 2 a 1、2 4 2 b 1 を、導電体 2 4 2 a 2、2 4 2 b 2 より、突出して形成することができる。これにより、図 2 (B) に示すように、トランジスタ 2 0 0 のチャンネル長方向の断面視において、導電体 2 4 2 a 1 と導電体 2 4 2 b 1 の間の距離  $L_2$  が、導電体 2 4 2 a 2 と導電体 2 4 2 b 2 の間の距離  $L_1$  より小さくなる。このような構成にすることで、ソースとドレインの間の距離をより短くし、それに応じてチャンネル長を短くすることが可能になる。よって、トランジスタ 2 0 0 の周波数特性を向上させることができる。このように、半導体装置の微細化を図ることで、動作速度の向上した半導体装置を提供することができる。

10

【0042】

酸化物 2 3 0 は、絶縁体 2 2 4 上の酸化物 2 3 0 a と、酸化物 2 3 0 a 上の酸化物 2 3 0 b と、を有することが好ましい。酸化物 2 3 0 b の下に酸化物 2 3 0 a を有することで、酸化物 2 3 0 a よりも下方に形成された構造物から、酸化物 2 3 0 b への不純物の拡散を抑制することができる。

【0043】

なお、本実施の形態では、酸化物 2 3 0 が、酸化物 2 3 0 a 及び酸化物 2 3 0 b の 2 層構造である例を示すが、これに限定されない。酸化物 2 3 0 は、例えば、酸化物 2 3 0 b の単層構造であってもよく、3 層以上の積層構造としてもよい。

20

【0044】

酸化物 2 3 0 b には、トランジスタ 2 0 0 における、チャンネル形成領域と、チャンネル形成領域を挟むように設けられるソース領域及びドレイン領域と、が形成される。チャンネル形成領域の少なくとも一部は、導電体 2 6 0 と重なる。ソース領域は導電体 2 4 2 a と重なり、ドレイン領域は導電体 2 4 2 b と重なる。なお、ソース領域とドレイン領域は互いに入れ替えることができる。

【0045】

チャンネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、チャンネル形成領域は、i 型（真性）または実質的に i 型であるということが出来る。

30

【0046】

また、ソース領域及びドレイン領域は、酸素欠損が多い、または水素、窒素、金属元素などの不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、ソース領域及びドレイン領域は、チャンネル形成領域と比較してキャリア濃度が高い、n 型の領域（低抵抗領域）である。

【0047】

なお、チャンネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$  以下、 $1 \times 10^{17} \text{ cm}^{-3}$  未満、 $1 \times 10^{16} \text{ cm}^{-3}$  未満、 $1 \times 10^{15} \text{ cm}^{-3}$  未満、 $1 \times 10^{14} \text{ cm}^{-3}$  未満、 $1 \times 10^{13} \text{ cm}^{-3}$  未満、 $1 \times 10^{12} \text{ cm}^{-3}$  未満、 $1 \times 10^{11} \text{ cm}^{-3}$  未満、または、 $1 \times 10^{10} \text{ cm}^{-3}$  未満であることが好ましい。また、チャンネル形成領域のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$  とすることができる。

40

【0048】

なお、酸化物 2 3 0 b のキャリア濃度を低くする場合においては、酸化物 2 3 0 b 中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体（または金属酸化物）を、高純度真性または実質的に高純度真性な酸化物半導体（または金属酸化物）と呼ぶ場合がある。

50

## 【 0 0 4 9 】

トランジスタ 2 0 0 の電気特性を安定にするためには、酸化物 2 3 0 b 中の不純物濃度を低減することが有効である。また、酸化物 2 3 0 b の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。なお、酸化物 2 3 0 b 中の不純物とは、例えば、酸化物 2 3 0 b を構成する主成分以外をいう。例えば、濃度が 0 . 1 原子 % 未満の元素は不純物といえる。

## 【 0 0 5 0 】

なお、チャンネル形成領域、ソース領域、及び、ドレイン領域は、それぞれ、酸化物 2 3 0 b だけでなく、酸化物 2 3 0 a まで形成されていてもよい。

10

## 【 0 0 5 1 】

また、酸化物 2 3 0 において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに、水素、及び窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、並びに、水素、及び窒素などの不純物元素の濃度が減少していてもよい。

## 【 0 0 5 2 】

酸化物 2 3 0 ( 酸化物 2 3 0 a 及び酸化物 2 3 0 b ) には、半導体として機能する金属酸化物 ( 以下、酸化物半導体ともいう ) を用いることが好ましい。

## 【 0 0 5 3 】

半導体として機能する金属酸化物のバンドギャップは、2 e V 以上が好ましく、2 . 5 e V 以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。このように、チャンネル形成領域に金属酸化物を有するトランジスタを O S トランジスタと呼ぶ。O S トランジスタは、オフ電流が小さいため、半導体装置の消費電力を十分に低減できる。また、O S トランジスタの周波数特性が高いため、半導体装置を高速に動作させることができる。

20

## 【 0 0 5 4 】

酸化物 2 3 0 は、金属酸化物 ( 酸化物半導体 ) を有することが好ましい。酸化物 2 3 0 に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム ( I n ) または亜鉛 ( Z n ) を含むことが好ましい。また、金属酸化物は、インジウムと、元素 M と、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素 M は、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素 M として、具体的には、アルミニウム、ガリウム、錫、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素 M は、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、錫、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

30

40

## 【 0 0 5 5 】

酸化物 2 3 0 は、例えば、インジウム亜鉛酸化物 ( I n - Z n 酸化物 ) 、インジウム錫酸化物 ( I n - S n 酸化物 ) 、インジウムチタン酸化物 ( I n - T i 酸化物 ) 、インジウムガリウム酸化物 ( I n - G a 酸化物 ) 、インジウムガリウムアルミニウム酸化物 ( I n - G a - A l 酸化物 ) 、インジウムガリウム錫酸化物 ( I n - G a - S n 酸化物 ) 、ガリウム亜鉛酸化物 ( G a - Z n 酸化物、G Z O と記す ) 、アルミニウム亜鉛酸化物 ( A l - Z n 酸化物、A Z O と記す ) 、インジウムアルミニウム亜鉛酸化物 ( I n - A l - Z

50

n 酸化物、I A Z Oとも記す)、インジウム錫亜鉛酸化物 (I n - S n - Z n酸化物)、インジウムチタン亜鉛酸化物 (I n - T i - Z n酸化物)、インジウムガリウム亜鉛酸化物 (I n - G a - Z n酸化物、I G Z Oとも記す)、インジウムガリウム錫亜鉛酸化物 (I n - G a - S n - Z n酸化物、I G Z T Oとも記す)、インジウムガリウムアルミニウム亜鉛酸化物 (I n - G a - A l - Z n酸化物、I G A Z OまたはI A G Z Oとも記す)などを用いることができる。または、シリコンを含むインジウム錫酸化物、ガリウム錫酸化物 (G a - S n酸化物)、アルミニウム錫酸化物 (A l - S n酸化物)などを用いることができる。

【0056】

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。 10

【0057】

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、錫、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。 20

【0058】

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

【0059】

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。 30

【0060】

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されるのを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

【0061】

前述したように、酸化物230に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。 40

【0062】

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。当該構成に 50

することで、酸化物 230 a よりも下方に形成された構造物からの、酸化物 230 b に対する、不純物及び酸素の拡散を抑制できる。

【0063】

また、酸化物 230 b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。当該構成することで、トランジスタ 200 は大きいオン電流、及び高い周波数特性を得ることができる。

【0064】

また、酸化物 230 a 及び酸化物 230 b が、酸素以外に共通の元素を主成分として有することで、酸化物 230 a 及び酸化物 230 b の界面における欠陥準位密度を低減できる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は大きいオン電流、及び高い周波数特性を得ることができる。

【0065】

具体的には、酸化物 230 a として、 $In : M : Zn = 1 : 3 : 2$  [原子数比] もしくはその近傍の組成、 $In : M : Zn = 1 : 3 : 4$  [原子数比] もしくはその近傍の組成、または  $In : M : Zn = 1 : 1 : 0.5$  [原子数比] もしくはその近傍の組成の金属酸化物を用いることができる。また、酸化物 230 b として、 $In : M : Zn = 1 : 1 : 1$  [原子数比] もしくはその近傍の組成、 $In : M : Zn = 1 : 1 : 1.2$  [原子数比] もしくはその近傍の組成、 $In : M : Zn = 1 : 1 : 2$  [原子数比] もしくはその近傍の組成、または  $In : M : Zn = 4 : 2 : 3$  [原子数比] もしくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の  $\pm 30\%$  の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。また、酸化物 230 として酸化物 230 b の単層を設ける場合、酸化物 230 b として、酸化物 230 a に用いることができる金属酸化物を適用してもよい。また、酸化物 230 a、及び酸化物 230 b に用いることのできる金属酸化物の組成については、上記に限定されない。例えば、酸化物 230 a に用いることのできる金属酸化物の組成は、酸化物 230 b に適用してもよい。同様に、酸化物 230 b に用いることのできる金属酸化物の組成は、酸化物 230 a に適用してもよい。

【0066】

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

【0067】

酸化物 230 b は、結晶性を有することが好ましい。特に、酸化物 230 b として、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。

【0068】

CAAC-OS は、結晶性の高い、緻密な構造を有しており、不純物及び欠陥 (例えば、酸素欠損) が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度 (例えば、400 以上 600 以下) で加熱処理することで、CAAC-OS をより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OS の密度をより高めることで、当該 CAAC-OS 中の不純物または酸素の拡散をより低減することができる。

【0069】

また、CAAC-OS は、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OS を有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OS を有する金属酸化物は熱に強く、信頼性が高い。

【0070】

また、酸化物 230 b として CAAC-OS などの結晶性を有する酸化物を用いること

で、ソース電極またはドレイン電極による、酸化物 230 b からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物 230 b から酸素が引き抜かれることを低減できるため、トランジスタ 200 は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

#### 【0071】

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャンネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 $V_{OH}$ と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャンネル形成領域では、不純物、酸素欠損、及び $V_{OH}$ はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャンネル形成領域は、キャリア濃度が低減され、 $i$ 型（真性化）または実質的に $i$ 型であることが好ましい。

10

#### 【0072】

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、及び $V_{OH}$ を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ 200 のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給する酸素が、ゲート電極、ソース電極、及びドレイン電極などの導電体に拡散すると、当該導電体が酸化してしまい、導電性が損なわれることなどにより、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。

20

#### 【0073】

よって、酸化物半導体中において、チャンネル形成領域は、キャリア濃度が低減され、 $i$ 型または実質的に $i$ 型であることが好ましいが、ソース領域及びドレイン領域は、キャリア濃度が高く、 $n$ 型であることが好ましい。つまり、酸化物半導体のチャンネル形成領域の酸素欠損、及び $V_{OH}$ を低減することが好ましい。また、ソース領域及びドレイン領域には過剰な量の酸素が供給されないようにすること、及びソース領域及びドレイン領域の $V_{OH}$ の量が過剰に低減しないようにすることが好ましい。また、導電体 260、導電体 242 a、及び導電体 242 b などの導電率が低下することを抑制する構成にすることが好ましい。例えば、導電体 260、導電体 242 a、及び導電体 242 b などの酸化を抑制する構成にすることが好ましい。なお、酸化物半導体中の水素は $V_{OH}$ を形成しうるため、 $V_{OH}$ の量を低減するには、水素濃度を低減する必要がある。

30

#### 【0074】

そこで、本実施の形態では、半導体装置を、チャンネル形成領域の水素濃度を低減し、かつ、導電体 242 a、導電体 242 b、及び導電体 260 の酸化を抑制し、かつ、ソース領域及びドレイン領域中の水素濃度が低減することを抑制する構成とする。

40

#### 【0075】

酸化物 230 b におけるチャンネル形成領域と接する絶縁体 250 は、水素を捕獲または水素を固着する機能を有することが好ましい。これにより、酸化物 230 b のチャンネル形成領域中の水素濃度を低減できる。よって、チャンネル形成領域中の $V_{OH}$ を低減し、チャンネル形成領域を $i$ 型または実質的に $i$ 型とすることができる。

#### 【0076】

ここで、図 2 (A) に示すように、絶縁体 250 は、酸化物 230 に接する絶縁体 250 a と、絶縁体 250 a 上の絶縁体 250 b と、絶縁体 250 b 上の絶縁体 250 c の積層構造とすることが好ましい。この場合、絶縁体 250 a が水素を捕獲または水素を固着

50

する機能を有することが好ましい。

【0077】

水素を捕獲または水素を固着する機能を有する絶縁体として、アモルファス構造を有する金属酸化物が挙げられる。絶縁体250aとして、例えば、酸化マグネシウム、またはアルミニウム及びハフニウム的一方または双方を含む酸化物などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲または固着する能力が高いといえる。

【0078】

また、絶縁体250aに、高誘電率(high-k)材料を用いることが好ましい。なお、high-k材料の一例として、アルミニウム及びハフニウム的一方または双方を含む酸化物がある。絶縁体250aとしてhigh-k材料を用いることで、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

【0079】

以上より、絶縁体250aとして、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウム的一方または双方を含む酸化物を用いることがより好ましい。酸化アルミニウムは、ALD法を用いて、アモルファス化した膜を比較的容易に成膜することができるため、アモルファス構造を有する酸化アルミニウムを用いることがさらに好ましい。本実施の形態では、絶縁体250aとして、酸化アルミニウム膜を用いる。この場合、絶縁体250aは、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。また、当該酸化アルミニウムは、アモルファス構造を有する。この場合、絶縁体250aは、アモルファス構造を有する。

【0080】

次に、絶縁体250bは、酸化シリコンまたは酸化窒化シリコンなどの、熱に対し安定な絶縁体を用いることが好ましい。なお、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0081】

また、図3(B)に示すように、絶縁体250bの上に絶縁体250dを設ける構造にしてもよい。この場合、絶縁体250dとしては、絶縁体250aに用いることができる絶縁体を設けることができる。例えば、絶縁体250dとして、酸化ハフニウムを用いることができる。ここで、絶縁体250cと絶縁体250bの間に、絶縁体250dを設けることにより、絶縁体250bなどに含まれる水素を、より効果的に捕獲及び固着させることができる。

【0082】

導電体242a、導電体242b、及び導電体260の酸化を抑制するために、導電体242a、導電体242b、及び導電体260それぞれの近傍に酸素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する半導体装置において、当該絶縁体は、例えば、絶縁体250a、絶縁体250c、絶縁体250d、絶縁体255、及び絶縁体275である。

【0083】

なお、本明細書等において、バリア絶縁体とは、バリア性を有する絶縁体のことを指す。本明細書等において、バリア性を有するとは、対応する物質の透過を妨げる性質(透過性が低いともいう)を有することを指す。例えば、バリア性を有する絶縁体は、対応する

10

20

30

40

50

物質が当該絶縁体内部に拡散しにくい性質を有する。また例えば、バリア性を有する絶縁体は、対応する物質を、当該絶縁体内部で捕獲、または固着する（ゲッタリングともいう）機能を有する。

【0084】

酸素に対するバリア絶縁体としては、例えば、アルミニウム及びハフニウム的一方または双方を含む酸化物、酸化マグネシウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウム的一方または双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。例えば、絶縁体250a、絶縁体250c、絶縁体250d、絶縁体255、及び絶縁体275はそれぞれ、上記酸素に対するバリア絶縁体の単層構造または積層構造であると好ましい。例えば、絶縁体255を積層構造にする場合、酸化アルミニウム膜と、酸化アルミニウム膜上の窒化シリコン膜の2層構造にすることができる。

10

【0085】

絶縁体250a及び絶縁体255は、酸素に対するバリア性を有することが好ましい。絶縁体250a及び絶縁体255は、少なくとも絶縁体280よりも酸素を透過しにくいことが好ましい。絶縁体250aは、導電体242a1の側面、及び導電体242b1の側面と接する領域を有する。絶縁体255は、導電体242a1の上面、導電体242b1の上面、導電体242a2の側面、及び導電体242b2の側面と接する領域を有する。また、絶縁体250aは、絶縁体255の側面に接する。絶縁体250a及び絶縁体255が酸素に対するバリア性を有することで、導電体242a及び導電体242bの側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタ200のオン電流の低下、または電界効果移動度の低下を抑制できる。

20

【0086】

また、絶縁体250aは、酸化物230bの上面及び側面、酸化物230aの側面、絶縁体224の側面、及び絶縁体222の上面に接して設けられる。絶縁体250aが酸素に対するバリア性を有することで、熱処理などを行った際に、酸化物230bのチャンネル形成領域から酸素が脱離することを抑制できる。よって、酸化物230a及び酸化物230bに酸素欠損が形成されることを低減できる。

30

【0087】

また、絶縁体250a及び絶縁体255を設けることにより、絶縁体280に過剰な量の酸素が含まれていても、当該酸素が酸化物230a及び酸化物230bに過剰に供給されることを抑制し、適量の酸素を酸化物230a及び酸化物230bに供給することができる。よって、ソース領域及びドレイン領域が過剰に酸化され、トランジスタ200のオン電流の低下、または電界効果移動度の低下を抑制できる。

【0088】

アルミニウム及びハフニウム的一方または双方を含む酸化物は酸素に対するバリア性を有するため、絶縁体250aとして好適に用いることができる。

【0089】

また、窒化シリコンも、酸素に対するバリア性を有するため、絶縁体255として好適に用いることができる。この場合、絶縁体255は、少なくとも窒素と、シリコンと、を有する絶縁体となる。また、絶縁体255は、水素に対するバリア性を有することが好ましい。これにより、導電体242a2、242b2に含まれる水素などの不純物が、酸化物230bに拡散することを防ぐことができる。

40

【0090】

絶縁体250cも、酸素に対するバリア性を有することが好ましい。絶縁体250cは酸化物230のチャンネル形成領域と導電体260との間、及び絶縁体280と導電体260との間に設けられている。当該構成にすることで、酸化物230のチャンネル形成領域に含まれる酸素が導電体260へ拡散し、酸化物230のチャンネル形成領域に酸素欠損が形

50

成されることを抑制できる。また、酸化物 230 に含まれる酸素及び絶縁体 280 に含まれる酸素が導電体 260 へ拡散し、導電体 260 が酸化することを抑制できる。絶縁体 250c は、少なくとも絶縁体 280 よりも酸素を透過しにくいことが好ましい。例えば、絶縁体 250c として、窒化シリコン膜を用いることが好ましい。この場合、絶縁体 250c は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

【0091】

また、絶縁体 250c は、水素に対するバリア性を有することが好ましい。これにより、導電体 260 に含まれる水素などの不純物が、酸化物 230b に拡散することを防ぐことができる。

【0092】

絶縁体 275 も、酸素に対するバリア性を有することが好ましい。絶縁体 275 は、絶縁体 280 と導電体 242a との間、及び、絶縁体 280 と導電体 242b との間に設けられている。当該構成にすることで、絶縁体 280 に含まれる酸素が導電体 242a 及び導電体 242b に拡散することを抑制できる。したがって、絶縁体 280 に含まれる酸素によって、導電体 242a 及び導電体 242b が酸化されて抵抗率が増大し、オン電流が低減することを抑制できる。絶縁体 275 は、少なくとも絶縁体 280 よりも酸素を透過しにくいことが好ましい。例えば、絶縁体 275 として、窒化シリコンを用いることが好ましい。この場合、絶縁体 275 は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

【0093】

酸化物 230 におけるソース領域及びドレイン領域の水素濃度が低減することを抑制するために、ソース領域及びドレイン領域それぞれの近傍に水素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する半導体装置において、当該水素に対するバリア絶縁体は、例えば、絶縁体 275 である。

【0094】

水素に対するバリア絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの酸化物、及び窒化シリコンなどの窒化物が挙げられる。例えば、絶縁体 275 は、上記水素に対するバリア絶縁体の単層構造または積層構造であると好ましい。

【0095】

上記のような絶縁体 275 を設けることで、ソース領域及びドレイン領域の水素が外部に拡散するのを低減することができるので、ソース領域及びドレイン領域の水素濃度が低減するのを抑制することができる。したがって、ソース領域及びドレイン領域を n 型とすることができる。

【0096】

上記構成にすることで、チャネル形成領域を i 型または実質的に i 型とし、ソース領域及びドレイン領域を n 型とすることができ、良好な電気特性を有する半導体装置を提供できる。また、上記構成にすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。また、トランジスタ 200 を微細化することで周波数特性を向上することができる。具体的には、遮断周波数を向上することができる。

【0097】

絶縁体 250a 乃至絶縁体 250d は、第 1 のゲート絶縁体の一部として機能する。絶縁体 250a 乃至絶縁体 250d は、絶縁体 255 及び導電体 260 とともに、絶縁体 280 に形成された開口に設ける。トランジスタ 200 の微細化を図るにあたって、絶縁体 250a 乃至絶縁体 250d の膜厚はそれぞれ薄いことが好ましい。絶縁体 250a 乃至絶縁体 250d の膜厚は、それぞれ、0.1nm 以上 10nm 以下が好ましく、0.1nm 以上 5.0nm 以下がより好ましく、0.5nm 以上 5.0nm 以下がより好ましく、1.0nm 以上 5.0nm 未満がより好ましく、1.0nm 以上 3.0nm 以下がさらに好ましい。なお、絶縁体 250a 乃至絶縁体 250d は、それぞれ、少なくとも一部において、上記のような膜厚の領域を有していればよい。

【0098】

10

20

30

40

50

絶縁体 250 a 乃至絶縁体 250 d の膜厚を上記のように薄くするためには、原子層堆積 (ALD: Atomic Layer Deposition) 法を用いて成膜することが好ましい。また、絶縁体 280 等の開口内に、絶縁体 250 a 乃至絶縁体 250 d、及び絶縁体 255 を設けるには、ALD 法を用いて成膜することが好ましい。ALD 法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱 ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いる PEALD (Plasma Enhanced ALD) 法などがある。PEALD 法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

#### 【0099】

ALD 法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体 255 及び絶縁体 250 を、絶縁体 280 に形成された開口部の側面、及び導電体 242 a、242 b の側端部などに被覆性良く、上記のような薄い膜厚で成膜することができる。

#### 【0100】

なお、ALD 法で用いるプリカーサには炭素などを含むものがある。このため、ALD 法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry)、X 線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy)、またはオージェ電子分光法 (AES: Auger Electron Spectroscopy) を用いて行うことができる。

#### 【0101】

なお、上記において、絶縁体 250 が、絶縁体 250 a 乃至絶縁体 250 c の 3 層構造、または絶縁体 250 a 乃至絶縁体 250 d の 4 層構造となる構成について説明したが、本発明はこれに限られるものではない。絶縁体 250 は、絶縁体 250 a 乃至絶縁体 250 d のうち、少なくとも一つを有する構成にすることができる。絶縁体 250 を、絶縁体 250 a 乃至絶縁体 250 d のうち、1 層、2 層または 3 層で構成することで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

#### 【0102】

例えば、図 3 (A) に示すように、絶縁体 250 を 2 層構造にする構成にしてもよい。この場合、絶縁体 250 を、絶縁体 250 a と、絶縁体 250 a 上の絶縁体 250 c の積層構造にすることが好ましい。絶縁体 250 a 及び絶縁体 250 c の少なくとも一方に high-k 材料を用いることができる。これにより、絶縁体 250 a 及び絶縁体 250 c をリーク電流が抑制される程度の膜厚に維持しながら、等価酸化膜厚 (EOT) の薄膜化が可能となる。

#### 【0103】

また、本実施の形態では、半導体装置を、上記構成に加えて、水素がトランジスタ 200 等に混入することを抑制する構成とすることが好ましい。例えば、水素の拡散を抑制する機能を有する絶縁体を、トランジスタ 200 等の上下の一方または双方を覆うように設けることが好ましい。本実施の形態で説明する半導体装置において、当該絶縁体は、例えば、絶縁体 283、絶縁体 282、絶縁体 222、及び絶縁体 221 などである。また、トランジスタ 200 の下に設ける絶縁体 215 を、絶縁体 282、及び絶縁体 283 のいずれか一方、または両方と同様の構成にしてもよい。この場合、絶縁体 215 を、絶縁体 282 と絶縁体 283 の積層構造にしてもよく、絶縁体 282 を下にし、絶縁体 283 を上にする構成にしてもよいし、絶縁体 282 を上にし、絶縁体 283 を下にする構成にしてもよい。

#### 【0104】

絶縁体 283、絶縁体 282、絶縁体 222、及び絶縁体 221 のうち一つまたは複数は、水、水素などの不純物が、基板側から、または、トランジスタ 200 等の上方からト

10

20

30

40

50

ランジスタ 200 等に拡散することを抑制するバリア絶縁体として機能することが好ましい。したがって、絶縁体 283、絶縁体 282、絶縁体 222、及び絶縁体 221 のうち一つまたは複数は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 ( $N_2O$ 、 $NO$ 、 $NO_2$  など)、銅原子などの不純物の拡散を抑制する機能を有する (上記不純物が透過しにくい) 絶縁性材料を有することが好ましい。または、酸素 (例えば、酸素原子、及び酸素分子などの少なくとも一) の拡散を抑制する機能を有する (上記酸素が透過しにくい) 絶縁性材料を有することが好ましい。

【0105】

絶縁体 283、絶縁体 282、絶縁体 222、及び絶縁体 221 は、それぞれ、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体を有することが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを含む酸化物 (ハフニウムアルミネート)、ハフニウム及びジルコニウムを含む酸化物 (ハフニウムジルコニウム酸化物)、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体 283 及び絶縁体 221 は、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体 282 は、水素を捕獲または水素を固着する能力が高い、酸化アルミニウムなどを用いることが好ましい。また、例えば、絶縁体 222 は、水素を捕獲または水素を固着する能力が高く、高誘電率 (high-k) 材料である、酸化ハフニウムなどを用いることが好ましい。

10

【0106】

このような構成にすることで、絶縁体 283 よりも上側に配置されている層間絶縁膜などから、水、水素などの不純物が、ランジスタ 200 等に拡散することを抑制できる。また、絶縁体 221 よりも下側に配置されている層間絶縁膜などから、水、水素などの不純物が、ランジスタ 200 等に拡散することを抑制できる。また、絶縁体 280、絶縁体 224、及び絶縁体 250 等に含まれる水素を、絶縁体 282 または絶縁体 222 に、捕獲及び固着することができる。また、絶縁体 282 及び絶縁体 283 を設けることで、絶縁体 280 などに含まれる酸素が、ランジスタ 200 等より上方に拡散することを抑制できる。また、絶縁体 222 及び絶縁体 221 を設けることで、絶縁体 224 などに含まれる酸素が、ランジスタ 200 等より下方に拡散することを抑制できる。このように、ランジスタ 200 の上下を、水、水素などの不純物、及び酸素の拡散を抑制する機能を有する絶縁体で取り囲む構造にすることで、酸化物半導体に過剰な酸素及び水素が拡散するのを低減することができる。これにより、半導体装置の電気特性、及び信頼性の向上を図ることができる。

20

30

【0107】

さらに、絶縁体 255、絶縁体 275、及び絶縁体 250c に、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、絶縁体 250a に、水素を捕獲または水素を固着する能力が高い、酸化アルミニウムなどを用いることが好ましい。

【0108】

ここで、絶縁体 275 の酸化物 230 と重畳してない領域が絶縁体 222 に接し、絶縁体 275 の側端部が絶縁体 255 に接し、絶縁体 255 の上端部、及び絶縁体 250a 乃至絶縁体 250c の上端部が絶縁体 282 に接することが好ましい。上記のような構成にすることで、絶縁体 283 と絶縁体 221 に挟まれた領域において、絶縁体 280 が、絶縁体 275 によって酸化物 230 と離隔され、絶縁体 280 が、絶縁体 255 及び絶縁体 250a によって絶縁体 250b と離隔され、導電体 260 が、絶縁体 250c によって絶縁体 250b と離隔され、導電体 242a2 及び導電体 242b2 が、絶縁体 255 及び絶縁体 250a によって絶縁体 250b と離隔される。

40

【0109】

これにより、絶縁体 280 に含まれる水、水素などの不純物が、酸化物 230 及び絶縁体 250b に拡散することを抑制することができる。また、導電体 260 に含まれる水、水素などの不純物が、絶縁体 250b を介して酸化物 230 に拡散することを抑制するこ

50

とができる。また、導電体 2 4 2 a 2 及び導電体 2 4 2 b 2 に含まれる水、水素などの不純物が、絶縁体 2 5 0 b を介して酸化物 2 3 0 に拡散することを抑制することができる。例えば、導電体 2 4 2 a 2 及び導電体 2 4 2 b 2 の上面に接して、コンタクトプラグを形成し、当該コンタクトプラグを介して、導電体 2 4 2 a 2 及び導電体 2 4 2 b 2 に水、水素などの不純物が拡散しても、水、水素などの不純物が酸化物 2 3 0 に拡散するのを低減することができる。また、絶縁体 2 5 0 a、及び絶縁体 2 5 0 b に含まれる水素を、絶縁体 2 8 2 に、捕獲及び固着することができる。このような構成にすることで、酸化物半導体に水素が拡散するのをさらに低減することができる。これにより、半導体装置の電気特性、及び信頼性の向上を図ることができる。

#### 【0110】

10

トランジスタ 2 0 0 において、導電体 2 0 5 は、酸化物 2 3 0 及び導電体 2 6 0 と重なるように配置する。ここで、導電体 2 0 5 は、絶縁体 2 1 6 に形成された開口部に埋め込まれて設けることが好ましい。また、導電体 2 0 5 は、図 1 ( A ) 及び図 1 ( C ) に示すように、チャンネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体 2 0 5 は配線として機能する。

#### 【0111】

図 1 ( B ) 及び図 1 ( C ) に示すように、導電体 2 0 5 は、導電体 2 0 5 a 及び導電体 2 0 5 b を有する事が好ましい。導電体 2 0 5 a は、上記開口部の底面及び側壁に接して設けられる。導電体 2 0 5 b は、上記開口部に沿って形成された導電体 2 0 5 a の凹部を埋め込むように設けられる。ここで、導電体 2 0 5 の上面の高さは、絶縁体 2 1 6 の上面の高さと一致または概略一致する。

20

#### 【0112】

ここで、導電体 2 0 5 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (  $N_2O$ 、 $NO$ 、 $NO_2$  など )、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を有することが好ましい。または、酸素 ( 例えば、酸素原子、及び酸素分子などの少なくとも一 ) の拡散を抑制する機能を有する導電性材料を有することが好ましい。

#### 【0113】

導電体 2 0 5 a に、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体 2 0 5 b に含まれる水素などの不純物が、絶縁体 2 1 6 等を介して、酸化物 2 3 0 に拡散することを防ぐことができる。また、導電体 2 0 5 a に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 2 0 5 b が酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、及び、酸化ルテニウムが挙げられる。導電体 2 0 5 a は、上記導電性材料の単層構造または積層構造とすることができる。例えば、導電体 2 0 5 a は、窒化チタンを有することが好ましい。

30

#### 【0114】

また、導電体 2 0 5 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体 2 0 5 b は、タングステンを有することが好ましい。

40

#### 【0115】

導電体 2 0 5 は、第 2 のゲート電極として機能することができる。その場合、導電体 2 0 5 に印加する電位を、導電体 2 6 0 に印加する電位と連動させず、独立して変化させることで、トランジスタ 2 0 0 のしきい値電圧 (  $V_{th}$  ) を制御することができる。特に、導電体 2 0 5 に負の電位を印加することにより、トランジスタ 2 0 0 の  $V_{th}$  をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 2 0 5 に負の電位を印加したほうが、印加しない場合よりも、導電体 2 6 0 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

#### 【0116】

また、導電体 2 0 5 の電気抵抗率は、上記の導電体 2 0 5 に印加する電位を考慮して設

50

計され、導電体 205 の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体 216 の膜厚は、導電体 205 とほぼ同じになる。ここで、導電体 205 の設計が許す範囲で導電体 205 及び絶縁体 216 の膜厚を薄くすることが好ましい。絶縁体 216 の膜厚を薄くすることで、絶縁体 216 中に含まれる水素などの不純物の絶対量を低減することができるため、当該不純物が酸化物 230 に拡散することを低減することができる。

【0117】

なお、上記において、導電体 205 a と導電体 205 b の積層構造について示したが、本発明はこれに限られるものではなく、導電体 205 は、単層構造であってもよく、3層以上の積層構造であってもよい。例えば、導電体 205 を3層の積層構造にする場合、上記導電体 205 a と導電体 205 b の積層構造でさらに、導電体 205 b の上に、導電体 205 a と同様の材料を有する導電体を設ける構成にすることができる。このとき、導電体 205 b の上面が導電体 205 a の最上部より低くなるようにして、導電体 205 a と導電体 205 b で形成された凹部を埋め込むように、上記導電体を形成する構成にしてもよい。

10

【0118】

絶縁体 224 は、絶縁体 221、及び絶縁体 222 とともに、第2のゲート絶縁体として機能する。

【0119】

酸化物 230 と接する絶縁体 224 は、例えば、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。これにより、絶縁体 224 から酸化物 230 に酸素を供給し、酸素欠損を低減することができる。

20

【0120】

また、絶縁体 224 は、酸化物 230 と同様に、島状に加工することが好ましい。これにより、複数のトランジスタ 200 を設ける場合、1個のトランジスタ 200 に対して、ほぼ同程度の大きさの絶縁体 224 が設けられることになる。これにより、各トランジスタ 200 において、絶縁体 224 から酸化物 230 に供給される酸素の量が、同程度になる。よって、基板面内でトランジスタ 200 の電気特性のばらつきを抑制することができる。ただし、これに限られず、絶縁体 222 と同様に、絶縁体 224 をパターン形成しない構成にすることもできる。

【0121】

なお、絶縁体 224 は、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

30

【0122】

導電体 242 a、導電体 242 b、及び導電体 260 として、それぞれ、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電体 242 a、導電体 242 b、及び導電体 260 の導電率が低下することを抑制できる。導電体 242 a、導電体 242 b、及び導電体 260 として、金属及び窒素を含む導電性材料を用いる場合、導電体 242 a、導電体 242 b、及び導電体 260 は、少なくとも金属と、窒素と、を有する導電体となる。

40

【0123】

図1(B)において、導電体 242 a、242 b を2層構造で示す。導電体 242 a は、導電体 242 a 1 と導電体 242 a 1 上の導電体 242 a 2 の積層膜であり、導電体 242 b は、導電体 242 b 1 と導電体 242 b 1 上の導電体 242 b 2 の積層膜である。このとき、酸化物 230 b に接する層(導電体 242 a 1 及び導電体 242 b 1)として、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。これにより、導電体 242 a、242 b の導電率が低下することを抑制できる。また、酸化物 230 b から酸素が引き抜かれ、過剰な量の酸素欠損が形成されるのを抑制できる。また、酸化物 230 b に接する層(導電体 242 a 1 及び導電体 242 b 1)として、水素を吸い取りやすい(抜き取りやすい)材料を用いると、酸化物 2

50

30の水素濃度を低減でき、好ましい。

【0124】

導電体242a1、242b1としては、金属窒化物を用いることが好ましく、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

10

【0125】

なお、酸化物230bなどに含まれる水素が、導電体242a1または導電体242b1に拡散する場合がある。特に、導電体242a1及び導電体242b1に、タンタルを含む窒化物を用いることで、酸化物230bなどに含まれる水素は、導電体242a1または導電体242b1に拡散しやすく、拡散した水素は、導電体242a1または導電体242b1が有する窒素と結合することがある。つまり、酸化物230bなどに含まれる水素は、導電体242a1または導電体242b1に吸い取られる場合がある。

【0126】

また、導電体242a2及び導電体242b2は、導電体242a1及び導電体242b1よりも、導電性が高いことが好ましい。例えば、導電体242a2及び導電体242b2の膜厚を、導電体242a1及び導電体242b1の膜厚より大きくすることが好ましい。導電体242a2及び導電体242b2としては、上記導電体205bに用いることが可能な導電体を用いればよい。上記のような構造にすることで、導電体242a2及び導電体242b2の抵抗を低減することができる。これにより、本実施の形態に係る半導体装置の動作速度の向上を図ることができる。

20

【0127】

例えば、導電体242a1及び導電体242b1として、窒化タンタルまたは窒化チタンを用い、導電体242a2及び導電体242b2として、タングステンをを用いることができる。

【0128】

また、導電体242a、242bの導電率が低下することを抑制するために、酸化物230bとして、CAAC-Osなどの結晶性を有する酸化物を用いることが好ましい。特に、インジウムと、亜鉛と、ガリウム、アルミニウム、及び錫から選ばれる一または複数と、を有する金属酸化物を用いることが好ましい。CAAC-Osを用いることで、導電体242aまたは導電体242bによる、酸化物230bからの酸素の引き抜きを抑制できる。また、導電体242a及び導電体242bの導電率が低下することを抑制できる。

30

【0129】

絶縁体255は、図1(B)及び図1(C)に示すように、絶縁体280等に形成された開口の中に配置され、絶縁体280の側面、絶縁体275の側面、絶縁体271aの側面、絶縁体271bの側面、導電体242a2の側面、導電体242b2の側面、導電体242a1の上面、導電体242b1の上面、及び絶縁体222の上面に接する。言い換えると、絶縁体255は、絶縁体280等に形成された開口の側壁に接してサイドウォール状に形成されているということもできる。なお、絶縁体255の、導電体242a1の上面、導電体242b1の上面、または絶縁体222の上面に接する部分には、突出部が形成されており、他の部分よりも、上記開口の中央部に向かって突出した形状になっている。

40

【0130】

絶縁体255は、導電体242a2の側面、及び導電体242b2の側面に接して形成されており、導電体242a2、及び導電体242b2を保護する無機絶縁体である。絶縁体255は、酸化雰囲気曝されるので、酸化されにくい無機絶縁体が好ましい。また

50

、絶縁体 255 は、導電体 242 a 2 及び導電体 242 b 2 に接するので、導電体 242 a 2、242 b 2 を酸化させにくい、無機絶縁体であることが好ましい。よって、絶縁体 255 は、酸素に対するバリア性を有する絶縁体 250 c に用いることが可能な絶縁性材料を用いることが好ましい。例えば、絶縁体 255 として、窒化シリコンを用いることができる。

【0131】

このような絶縁体 255 を用いることで、導電体を導電体 242 a 1 と導電体 242 b 1 とに分断した後で、絶縁体 250 を成膜する前に酸素を含む雰囲気中で熱処理を行っても、導電体 242 a 2 及び導電体 242 b 2 が過剰に酸化されない。

【0132】

また、絶縁体 255 の膜厚は、0.5 nm 以上 20 nm 以下が好ましく、0.5 nm 以上 10 nm 以下がより好ましく、0.5 nm 以上 3 nm 以下がより好ましい。絶縁体 255 を上記のような膜厚にすることで、導電体 242 a 2 及び導電体 242 b 2 が過剰に酸化されるのを抑制することができる。なお、絶縁体 255 は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体 255 は、絶縁体 280 等に形成された開口の側壁に接して設けるので、被覆性の良好な、ALD 法などを用いて成膜することが好ましい。絶縁体 255 の膜厚を過剰に厚くすると、ALD 法による絶縁体 255 の成膜時間が長くなり、生産性が低下するため、絶縁体 255 の膜厚は上記の範囲程度にすることが好ましい。ここで、絶縁体 255 の膜厚とは、絶縁体 255 の突出部より上部における、A1 - A2 方向の膜厚を指す。

【0133】

また、絶縁体 255 は、2 層以上の積層構造にしてもよい。この場合、少なくとも一層が、上述の酸化されにくい無機絶縁体であればよい。例えば、図 3 (C) に示すように、絶縁体 255 b と、絶縁体 255 b 上の絶縁体 255 a の積層構造にしてもよい。絶縁体 255 b の内側に絶縁体 255 a が配置された構造とみることもできる。ここで、絶縁体 255 a の下面が絶縁体 255 b に接する場合がある。絶縁体 255 a には上述の酸化されにくい無機絶縁体を用い、絶縁体 255 b には、絶縁体 250 b に用いることができる絶縁体 (例えば、酸化シリコンなど) を用いられればよい。絶縁体 255 b は、絶縁体 255 a より誘電率が低いことが好ましい。このように、絶縁体 255 を 2 層構造にして膜厚を大きくすることで、導電体 260 と導電体 242 a または導電体 242 b との距離を大きくし、寄生容量を低減させることができる。

【0134】

また、絶縁体 255 は、導電体 242 a 1 と導電体 242 b 1 に分断する際に、マスクとして機能する。よって、図 1 (B) などに示すように、トランジスタ 200 の断面視において、絶縁体 255 の突出部の端部は、導電体 242 a 1 の側端部、及び導電体 242 b 1 の側端部と一致または概略一致していることが好ましい。

【0135】

なお、断面視において、側端部が一致している、または概略一致している場合、及び、上面形状が一致または概略一致している場合、上面視において、積層した層と層との間で少なくとも輪郭の一部が重なっているといえる。例えば、上層の側端部の下部が、下層の側端部の上部と接する場合を含む。また、例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。また、例えば、上層をマスクとして、下層が加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層の一部が下層の内側に位置すること、または、上層の一部が下層の外側に位置することもあり、この場合も側端部が一致または概略一致している、または、上面形状が一致または概略一致している、という。

【0136】

ここで、導電体 242 a 1 において、上面に絶縁体 255 が形成された部分は、導電体 242 a 2 より、導電体 260 側に突出して形成される。同様に、導電体 242 b 1 において、上面に絶縁体 255 が形成された部分は、導電体 242 b 2 より、導電体 260 側

10

20

30

40

50

に突出して形成される。図 2 ( B ) に示すように、トランジスタ 2 0 0 のチャンネル長方向の断面視において、導電体 2 4 2 a 1 と導電体 2 4 2 b 1 の間の距離 L 2 は、導電体 2 4 2 a 2 と導電体 2 4 2 b 2 の間の距離 L 1 より小さい。ここで、L 1 と L 2 の差は、絶縁体 2 5 5 の膜厚の 2 倍以上にすることができる。

【 0 1 3 7 】

導電体 2 4 2 a 1 と導電体 2 4 2 b 1 の間の距離 L 2 は、トランジスタ 2 0 0 のチャンネル長に反映されるため、微細であることが好ましい。例えば、距離 L 2 が、6 0 n m 以下、5 0 n m 以下、4 0 n m 以下、3 0 n m 以下、2 0 n m 以下、または 1 0 n m 以下であって、1 n m 以上、または 5 n m 以上であることが好ましい。例えば、距離 L 2 は、1 n m 以上 2 0 n m 以下程度にすることがより好ましい。このような構成にすることで、ソースとドレインの間の距離をより短くし、それに応じてチャンネル長を短くすることが可能になる。よって、トランジスタ 2 0 0 のオン電流を大きくし、サブスレッショルドスイング値 ( S 値と表記することがある ) を低減し、周波数特性を向上させることができる。ここで、S 値とは、ドレイン電圧一定にてドレイン電流を 1 桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。このように、半導体装置の微細化を図ることで、動作速度の向上した半導体装置を提供することができる。

10

【 0 1 3 8 】

なお、図 4 ( A ) に示すように、酸化物 2 3 0 b の、導電体 2 4 2 a 1 及び導電体 2 4 2 b 1 から露出した部分に凹部が形成される場合がある。言い換えると、酸化物 2 3 0 b の上面において、導電体 2 4 2 a 1 と導電体 2 4 2 b 1 に挟まれた領域は、導電体 2 4 2 a 1 と重なる領域、及び導電体 2 4 2 b 1 と重なる領域より、高さが低くなる場合がある。

20

【 0 1 3 9 】

また、図 2 ( A ) に示すトランジスタ 2 0 0 においては、導電体 2 4 2 a 1 と導電体 2 4 2 b 1 の互いに対向する側面、及び導電体 2 4 2 a 2 と導電体 2 4 2 b 2 の互いに対向する側面が、酸化物 2 3 0 b の上面に対して垂直または概略垂直であるが、本発明はこれに限られるものではない。例えば、図 4 ( B ) に示すように、導電体 2 4 2 a 1 と導電体 2 4 2 b 1 の互いに対向する側面、及び導電体 2 4 2 a 2 と導電体 2 4 2 b 2 の互いに対向する側面がテーパ形状になってもよい。このとき、絶縁体 2 7 1 a、絶縁体 2 7 1 b、絶縁体 2 7 5、及び絶縁体 2 8 0 の側面がテーパ形状になる場合がある。

30

【 0 1 4 0 】

また、導電体 2 4 2 a 1、2 4 2 b 1 のテーパ角が、導電体 2 4 2 a 2、2 4 2 b 2 のテーパ角より鋭角になる構成であってもよい。

【 0 1 4 1 】

また、図 4 ( C ) に示すように、絶縁体 2 5 5 の側面の上部がテーパ形状を有する場合がある。また、図 4 ( C ) に示すように、絶縁体 2 8 0 の上部にも、絶縁体 2 5 5 の側面のテーパ形状と連続または概略連続する、テーパ形状が形成される場合がある。また、図 4 ( C ) に示すように、絶縁体 2 5 5 および絶縁体 2 8 0 の上部が曲面を有する場合もある。ここで、絶縁体 2 5 5 の上部、及び絶縁体 2 8 0 の上部のテーパ形状の部分に、絶縁体 2 5 0 a が接することがある。このとき、絶縁体 2 5 5 および絶縁体 2 8 0 の上部が曲面を有していると、絶縁体 2 5 0 a を良好な被覆性で形成することができる。

40

【 0 1 4 2 】

なお、トランジスタ 2 0 0 は、図 4 ( D ) に示すように、図 4 ( A ) 乃至図 4 ( C ) に示す構造を有してもよい。つまり、酸化物 2 3 0 b の、導電体 2 4 2 a 1、2 4 2 b 1 から露出した部分に凹部を有し、導電体 2 4 2 a 1、2 4 2 b 1 の側面、及び導電体 2 4 2 a 2、2 4 2 b 2 の側面がテーパ形状を有し、且つ絶縁体 2 5 5 の側面の上部がテーパ形状を有する、場合がある。

【 0 1 4 3 】

絶縁体 2 7 1 a 及び絶縁体 2 7 1 b は、導電体 2 4 2 a 2 及び導電体 2 4 2 b 2 の加工時にエッチングストップパとして機能し、導電体 2 4 2 a 2 及び導電体 2 4 2 b 2 を保護す

50

る無機絶縁体である。また、絶縁体 271 a 及び絶縁体 271 b は、導電体 242 a 2 及び導電体 242 b 2 に接するので、導電体 242 a、242 b を酸化させにくい、無機絶縁体であることが好ましい。よって、図 2 (A) に示すように、絶縁体 271 a を、絶縁体 271 a 1 と、絶縁体 271 a 1 上の絶縁体 271 a 2 の積層構造にし、絶縁体 271 b を、絶縁体 271 b 1 と、絶縁体 271 b 1 上の絶縁体 271 b 2 の積層構造にすることが好ましい。ここで、絶縁体 271 a 1、271 b 1 は、導電体 242 a 2、242 b 2 を酸化させにくいように、絶縁体 250 c に用いることができる窒化物絶縁体を用いることが好ましい。また、絶縁体 271 a 2、271 b 2 は、エッチングストップパとして機能するように、絶縁体 250 b に用いることができる酸化絶縁体を用いることが好ましい。

10

**【0144】**

ここで、絶縁体 271 a 1 は、導電体 242 a 2 の上面及び絶縁体 275 の一部に接し、絶縁体 271 b 1 は、導電体 242 b 2 の上面及び絶縁体 275 の一部に接する。また、絶縁体 271 a 2 は、絶縁体 271 a 1 の上面及び絶縁体 275 の下面に接し、絶縁体 271 b 2 は、絶縁体 271 b 1 の上面及び絶縁体 275 の下面に接する。例えば、絶縁体 271 a 1 及び絶縁体 271 b 1 として、窒化シリコンを用い、絶縁体 271 a 2 及び絶縁体 271 b 2 として、酸化シリコンを用いることができる。

**【0145】**

絶縁体 271 a 及び絶縁体 271 b の元になる絶縁体は、導電体 242 a 及び導電体 242 b の元になる導電体のマスクとして機能するので、導電体 242 a 及び導電体 242 b は側面と上面の間に湾曲面を有さない。これにより、導電体 242 a 及び導電体 242 b は、側面と上面が交わる端部が角状になる。導電体 242 a 及び導電体 242 b の側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体 242 a 及び導電体 242 b の断面積が大きくなる。さらに、絶縁体 271 a 1、271 b 1 に、金属を酸化させにくい窒化物絶縁体を用いることで、導電体 242 a 及び導電体 242 b が過剰に酸化されるのを防ぐことができる。以上により、導電体 242 a 及び導電体 242 b の抵抗が低減されるので、トランジスタのオン電流を大きくすることができる。

20

**【0146】**

導電体 260 は、図 1 (B) 及び図 1 (C) に示すように、絶縁体 280、絶縁体 275 に形成された開口内に配置される。導電体 260 は、当該開口内において、絶縁体 250 を介して、絶縁体 222 の上面、絶縁体 224 の側面、酸化物 230 a の側面、酸化物 230 b の側面、及び酸化物 230 b の上面を覆うように設けられる。また、導電体 260 の上面は、絶縁体 250 の最上部、絶縁体 255 の最上部、及び絶縁体 280 の上面と高さが一致または概略一致するように配置される。

30

**【0147】**

なお、導電体 260 及び絶縁体 250 が配置された、上記開口において、当該開口の側壁は、絶縁体 222 の上面に対して垂直または概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、絶縁体 280 の開口に設けられる、絶縁体 255 及び絶縁体 250 などの被覆性が向上し、鬆などの欠陥を低減できる。

40

**【0148】**

導電体 260 は、トランジスタ 200 の第 1 のゲート電極として機能する。ここで、導電体 260 は、図 1 (A)、及び図 1 (C) に示すように、チャンネル幅方向に延在して設けられることが好ましい。このような構成にすることで、複数のトランジスタを設ける場合に、導電体 260 は配線として機能する。

**【0149】**

上記のような構造にする場合、図 1 (C) に示すように、トランジスタ 200 のチャンネル幅方向の断面視において、酸化物 230 b の側面と酸化物 230 b の上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい(以下、ラウンド状ともいう)。

50

## 【0150】

上記湾曲面での曲率半径は、0 nmより大きく、導電体242a及び導電体242bと重なる領域の酸化物230bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0 nmより大きく20 nm以下、好ましくは1 nm以上15 nm以下、さらに好ましくは2 nm以上10 nm以下とする。このような形状にすることで、絶縁体250、および導電体260の、酸化物230bへの被覆性を高めることができる。

## 【0151】

なお、本明細書等において、少なくとも第1のゲート電極の電界によって、チャンネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。また、本明細書等で開示するS-channel構造は、Fin型構造およびプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示するS-channel構造は、Fin型構造の一種として捉えることも可能である。なお、本明細書等において、Fin型構造とは、ゲート電極が少なくともチャンネルの2面以上(具体的には、2面、3面、または4面等)を包むように配置される構造を示す。Fin型構造、およびS-channel構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

10

## 【0152】

トランジスタ200を、上記のS-channel構造とすることで、チャンネル形成領域を電気的に取り囲むことができる。なお、S-channel構造は、チャンネル形成領域を電気的に取り囲んでいる構造であるため、実質的にGAA(Gate All Around)構造、またはLGAA(Lateral Gate All Around)構造と、同等の構造であるともいえる。トランジスタ200をS-channel構造、GAA構造、又はLGAA構造とすることで、酸化物230とゲート絶縁体との界面又は界面近傍に形成されるチャンネル形成領域を、酸化物230のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度を高めることが期待できる。

20

## 【0153】

本実施の形態では、絶縁体224を島状に設ける構成にする。よって、図1(C)に示すように、導電体260の下面の少なくとも一部を、酸化物230bの下面、より下に設けることができる。これにより、酸化物230bの上面及び側面に対向して、導電体260を設けることができるので、導電体260の電界を酸化物230bの上面及び側面に作用させることができる。このように、絶縁体224を島状に設ける構成にすることで、トランジスタ200をS-channel構造にすることができる。

30

## 【0154】

なお、図1(C)に示すトランジスタ200については、S-channel構造のトランジスタを例示したが、本発明の一態様の半導体装置はこれに限定されない。例えば、本発明の一態様に用いることができるトランジスタ構造としては、プレーナ型構造、Fin型構造、およびGAA構造の中から選ばれるいずれか一または複数としてもよい。

40

## 【0155】

図1(B)などでは、導電体260を2層構造で示す。ここで、導電体260は、導電体260aと、導電体260aの上に配置された導電体260bと、を有することが好ましい。例えば、導電体260aは、導電体260bの底面及び側面を包むように配置されることが好ましい。このとき、導電体260aとして、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

## 【0156】

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい

50

。または、酸素（例えば、酸素原子、及び酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0157】

また、導電体260aが酸素の拡散を抑制する機能を有することにより、絶縁体280などに含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

【0158】

また、導電体260bは、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

10

【0159】

また、トランジスタ200では、導電体260は、絶縁体280などに形成されている開口を埋めるように自己整合的に形成される。導電体260をこのように形成することにより、位置合わせをしなくても、導電体242a1と導電体242b1との間の領域に重畳して、導電体260を配置することができる。

【0160】

絶縁体216、及び絶縁体280は、それぞれ、絶縁体222よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

20

【0161】

例えば、絶縁体216、及び絶縁体280は、それぞれ、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、及び、空孔を有する酸化シリコンのうち一つまたは複数を有することが好ましい。

【0162】

特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

30

【0163】

また、絶縁体216、及び絶縁体280の上面は、それぞれ、平坦化されていてもよい。

【0164】

絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体280は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を有することが好ましい。

【0165】

<半導体装置の構成材料>

40

以下では、半導体装置に用いることができる構成材料について説明する。なお、半導体装置を構成する各層は、単層構造であってもよく、積層構造であってもよい。

【0166】

<<基板>>

トランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、及び、樹脂基板が挙げられる。また、半導体基板としては、例えば、シリコンまたはゲルマニウムを材料とした半導体基板、及び、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、もしくは酸化ガリウムからなる化合物半導体基板が挙げ

50

られる。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などが挙げられる。導電体基板としては、例えば、黒鉛基板、金属基板、合金基板、及び導電性樹脂基板が挙げられる。また、基板としては、例えば、金属の窒化物を有する基板、金属の酸化物を有する基板、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、及び、導電体基板に半導体または絶縁体が設けられた基板が挙げられる。または、これらの基板に1種または複数種の素子が設けられたものを用いてもよい。基板に設けられる素子としては、例えば、容量素子、抵抗素子、スイッチ素子、発光素子、及び記憶素子が挙げられる。

【0167】

<<絶縁体>>

絶縁体としては、例えば、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、及び、金属窒化酸化物が挙げられる。

【0168】

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0169】

比誘電率の高い絶縁体としては、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

【0170】

比誘電率が低い絶縁体としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、及び、樹脂が挙げられる。

【0171】

また、金属酸化物を用いたトランジスタは、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルのうち一つまたは複数を含む絶縁体を、単層で、または積層で用いることができる。具体的には、水素などの不純物及び酸素の透過を抑制する機能を有する絶縁体として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、及び、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物が挙げられる。

【0172】

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0173】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チ

10

20

30

40

50

タン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金が、上述した金属元素を組み合わせた合金等を用いることが好ましい。導電体としては、例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及び、ランタンとニッケルを含む酸化物が挙げられる。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及び、ランタンとニッケルを含む酸化物は、それぞれ、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、または、ニッケルシリサイドなどのシリサイドを用いてもよい。

10

## 【0174】

積層構造の導電体を用いる場合、例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造、または、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造を適用してもよい。

## 【0175】

なお、トランジスタのチャンネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャンネル形成領域側に設けるとよい。酸素を含む導電性材料をチャンネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャンネル形成領域に供給されやすくなる。

20

## 【0176】

特に、ゲート電極として機能する導電体として、チャンネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウム錫酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

30

## 【0177】

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物(酸化物半導体)を用いることが好ましい。以下では、本発明の一態様に係る酸化物230に適用可能な金属酸化物について説明する。

40

## 【0178】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫、アンチモンなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

## 【0179】

ここでは、金属酸化物が、インジウム、元素M及び亜鉛を有するIn-M-Zn酸化物

50

である場合を考える。なお、元素 M は、アルミニウム、ガリウム、イットリウム、錫、またはアンチモンとする。その他、元素 M に適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。特に、元素 M は、ガリウム、アルミニウム、イットリウム、及び錫から選ばれた一種または複数種であることが好ましい。

【0180】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸化窒化物 (metal oxynitride) と呼称してもよい。 10

【0181】

以降では、金属酸化物の一例として、In - Ga - Zn 酸化物について説明する。

【0182】

酸化物半導体の結晶構造としては、アモルファス (completely amorphous を含む)、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、CAC (cloud-aligned composite)、単結晶 (single crystal)、及び多結晶 (polycrystal) 等が挙げられる。

【0183】

なお、酸化物半導体は、構造に着目した場合、上記とは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述の CAAC - OS、及び nc - OS がある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体などが含まれる。 20

【0184】

ここで、上述の CAAC - OS、nc - OS、及び a-like OS の詳細について、説明を行う。

【0185】

[CAAC - OS]

CAAC - OS は、複数の結晶領域を有し、当該複数の結晶領域は c 軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC - OS 膜の厚さ方向、CAAC - OS 膜の被形成面の法線方向、または CAAC - OS 膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC - OS は、a - b 面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC - OS は、c 軸配向し、a - b 面方向には明らかな配向をしていない酸化物半導体である。 40

【0186】

なお、上記複数の結晶領域のそれぞれは、1 つまたは複数の微小な結晶 (最大径が 10 nm 未満である結晶) で構成される。結晶領域が 1 つの微小な結晶で構成されている場合、当該結晶領域の最大径は 10 nm 未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の最大径は、数十 nm 程度となる場合がある。

【0187】

CAAC - OS は、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC - OS は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥の生成などによって低下する場 50

合があるため、C A A C - O S は不純物及び欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、C A A C - O S を有する酸化物半導体は、物理的性質が安定する。そのため、C A A C - O S を有する酸化物半導体は熱に強く、信頼性が高い。また、C A A C - O S は、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、O S トランジスタにC A A C - O S を用いると、製造工程の自由度を広げることが可能となる。

【0188】

[ n c - O S ]

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。別言すると、n c - O S は、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1 n m 以上 1 0 n m 以下、特に 1 n m 以上 3 n m 以下であることから、当該微小な結晶をナノ結晶ともいう。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S または非晶質酸化物半導体と区別が付かない場合がある。

10

【0189】

[ a - l i k e O S ]

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a - l i k e O S は、鬆または低密度領域を有する。即ち、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、結晶性が低い。また、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、膜中の水素濃度が高い。

20

【0190】

次に、上述の C A C - O S の詳細について、説明を行う。なお、C A C - O S は材料構成に関する。

【0191】

[ C A C - O S ]

C A C - O S とは、例えば、金属酸化物を構成する元素が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

30

【0192】

さらに、C A C - O S とは、第 1 の領域と、第 2 の領域と、に材料が分離することでモザイク状となり、当該第 1 の領域が、膜中に分布した構成（以下、クラウド状ともいう）である。つまり、C A C - O S は、当該第 1 の領域と、当該第 2 の領域とが、混合している構成を有する複合金属酸化物である。

【0193】

また、I n - G a - Z n 酸化物における C A C - O S とは、I n、G a、Z n、及び O を含む材料構成において、一部に I n を主成分とする領域（第 1 の領域）と、一部に G a を主成分とする領域（第 2 の領域）とが、それぞれモザイク状であり、これらの領域がランダムに存在している構成をいう。よって、C A C - O S は、金属元素が不均一に分布した構造を有していると推測される。

40

【0194】

C A C - O S は、例えば基板を加熱しない条件で、スパッタリング法により形成することができる。また、C A C - O S をスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つまたは複数を用いることができる。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましい。例えば、成膜時の成膜ガスの総流量に対する酸素ガスの流量比を 0 % 以上 3 0 % 未満、好ましくは 0 % 以上 1 0 % 以下とする。

50

## 【0195】

ここで、第1の領域は、第2の領域と比較して、導電性が高い領域である。つまり、第1の領域を、キャリアが流れることにより、金属酸化物としての導電性が発現する。従って、第1の領域が、金属酸化物中にクラウド状に分布することで、高い電界効果移動度( $\mu$ )が実現できる。

## 【0196】

一方、第2の領域は、第1の領域と比較して、絶縁性が高い領域である。つまり、第2の領域が、金属酸化物中に分布することで、リーク電流を抑制することができる。

## 【0197】

したがって、CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性が、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流( $I_{on}$ )、高い電界効果移動度( $\mu$ )、及び良好なスイッチング動作を実現することができる。

10

## 【0198】

また、CAC-OSを用いたトランジスタは、信頼性が高い。従って、CAC-OSは、表示装置をはじめとするさまざまな半導体装置に最適である。

20

## 【0199】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

## 【0200】

<<その他の半導体材料>>

トランジスタの半導体層には、バンドギャップを有する半導体材料(ゼロギャップ半導体ではない半導体材料)を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体を用いてもよい。

## 【0201】

また、トランジスタの半導体層に、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。トランジスタの半導体層に適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン(代表的には $MoS_2$ )、セレン化モリブデン(代表的には $MoSe_2$ )、モリブデンテルル(代表的には $MoTe_2$ )、硫化タングステン(代表的には $WS_2$ )、セレン化タングステン(代表的には $WSe_2$ )、タングステンテルル(代表的には $WTe_2$ )、硫化ハフニウム(代表的には $HfS_2$ )、セレン化ハフニウム(代表的には $HfSe_2$ )、硫化ジルコニウム(代表的には $ZrS_2$ )、セレン化ジルコニウム(代表的には $ZrSe_2$ )などが挙げられる。上述の遷移金属カルコゲナイドを、トランジスタの半導体層に適用することで、オン電流が大きい半導体装置を提供することができる。

30

40

## 【0202】

<半導体装置の作製方法例>

図5(A)乃至図18(D)を用いて、本発明の一態様の半導体装置の作製方法例について説明する。ここでは、図1(A)乃至図1(D)に示す半導体装置を作製する場合を例に挙げて説明する。

## 【0203】

各図の(A)は、平面図を示す。また、各図の(B)はそれぞれ、各図の(A)にA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、各図の(C)はそれぞれ、各図の(A)にA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル幅方向の断面

50

図でもある。また、各図の(D)はそれぞれ、各図の(A)にA5 - A6の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。なお、各図の(A)の平面図では、図の明瞭化のために一部の要素を省いている。また、図14(A)乃至図14(C)は、A3 - A4の一点鎖線で示す部位に対応する断面図である。図16(A)乃至図16(C)は、トランジスタ200のチャンネル長方向の断面拡大図である。

#### 【0204】

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、パルスレーザ堆積(PLD: Pulsed Laser Deposition)法、ALD法などを適宜用いて成膜することができる。

10

#### 【0205】

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際に用いられる。

20

#### 【0206】

なお、CVD法は、プラズマを利用するプラズマCVD(PECVD)法、熱を利用する熱CVD(TCVD: Thermal CVD)法、光を利用する光CVD(Photo CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD: Metal CVD)法、有機金属CVD(MOCVD: Metal Organic CVD)法に分けることができる。

#### 【0207】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子(トランジスタ、容量素子など)などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

30

#### 【0208】

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法などを用いることができる。

#### 【0209】

CVD法及びALD法は、ターゲットなどから放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

40

#### 【0210】

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させなが

50

ら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送または圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0211】

また、ALD法では、異なる複数種のプリカーサを同時に導入することで任意の組成の膜を成膜することができる。または、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで任意の組成の膜を成膜することができる。

【0212】

まず、基板（図示しない）を準備し、当該基板上に絶縁体215を成膜する（図5（A）乃至図5（D）参照）。上述の通り、絶縁体215は、絶縁体224、絶縁体282、及び絶縁体283のいずれか一、または複数の積層膜と同様の絶縁体を用いることができる。絶縁体215の成膜方法は、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いることができる。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体215中の水素濃度を低減できるので好ましい。

10

【0213】

次に、絶縁体215上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体216中の水素濃度を低減できる。ただし、絶縁体216の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。本実施の形態では、絶縁体216として、スパッタリング法を用いて酸化シリコンを成膜する。

20

【0214】

絶縁体215、及び絶縁体216は、大気に暴露することなく連続して成膜することが好ましい。例えば、マルチチャンパー方式の成膜装置を用いればよい。これにより、絶縁体215、及び絶縁体216を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減できる。

【0215】

次に、絶縁体216に絶縁体215に達する開口を形成する。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体215は、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体215は窒化シリコン、酸化アルミニウム、または酸化ハフニウムなどを用いるとよい。

30

【0216】

開口の形成後に、導電体205aとなる導電膜を成膜する。導電体205aとなる導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体205aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

40

【0217】

本実施の形態では、導電体205aとなる導電膜として窒化チタンを成膜する。このような金属窒化物を導電体205bの下層に用いることにより、絶縁体216などによって、導電体205bが酸化されるのを抑制できる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

【0218】

次に、導電体205bとなる導電膜を成膜する。導電体205bとなる導電膜としては

50

、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、導電体205bとなる導電膜として、タングステンを成膜する。

【0219】

次に、CMP処理を行うことで、導電体205aとなる導電膜および導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する(図5(A)乃至図5(D)参照)。その結果、開口部のみに、導電体205aおよび導電体205bが残存する。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

【0220】

次に、絶縁体216上及び導電体205上に絶縁体221を成膜する(図6(A)乃至図6(D)参照)。

【0221】

絶縁体221は、酸素、水素、及び水に対してバリア性を有する絶縁体を用いればよい。絶縁体221は、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。本実施の形態では、絶縁体221として、PEALD法を用いて、窒化シリコンを成膜する。

【0222】

次に、絶縁体221上に絶縁体222を成膜する(図6(A)乃至図6(D)参照)。

【0223】

絶縁体222として、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、例えば、酸化アルミニウム、酸化ハフニウム、または、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)を用いることが好ましい。または、ハフニウムジルコニウム酸化物を用いることが好ましい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、及び水に対するバリア性を有する。絶縁体222が、水素及び水に対するバリア性を有することで、トランジスタの周辺に設けられた構造体に含まれる水素、及び水が、絶縁体222を通じてトランジスタの内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制できる。

【0224】

絶縁体222は、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。本実施の形態では、絶縁体222として、ALD法を用いて、酸化ハフニウムを成膜する。

【0225】

次に、絶縁体222上に絶縁膜224fを成膜する(図6(A)乃至図6(D)参照)。絶縁膜224fとしては、上記絶縁体224に対応する絶縁体を用いればよい。

【0226】

絶縁膜224fは、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。本実施の形態では、絶縁膜224fとして、スパッタリング法を用いて、酸化シリコンを成膜する。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁膜224f中の水素濃度を低減できる。絶縁膜224fは、後の工程で酸化物230aと接するため、このように水素濃度が低減されていることが好適である。

【0227】

なお、絶縁膜224fの成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜224fを成膜してもよい。このような処理を行うことによって、絶縁体222の表面に吸着している水分及び水素を除去し、さらに絶縁体222中の水分濃度及び水素濃度を低減させることができる。ここで、絶縁体222の下面に接して絶縁体221を設けておくことで、当該加熱処理によって、絶縁体221より下方から水分、または水素などの不純物が侵入するのを防ぐことができる。

10

20

30

40

50

加熱処理の温度は、100 以上400 以下が好ましい。本実施の形態では、加熱処理の温度を250 とする。

【0228】

次に、絶縁膜224f上に、酸化膜230afを成膜し、酸化膜230af上に、酸化膜230bfを成膜する(図6(A)乃至図6(D)参照)。酸化膜230afとしては、上記酸化物230aに対応する金属酸化物を、酸化膜230bfとしては、上記酸化物230bに対応する金属酸化物を、用いればよい。なお、酸化膜230af及び酸化膜230bfは、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230af上及び酸化膜230bf上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230afと酸化膜230bfとの界面又は界面近傍を清浄に保つことができる。

10

【0229】

酸化膜230af及び酸化膜230bfは、それぞれ、例えば、スパッタリング法、CVD法、MBE法、PLD法、または、ALD法を用いて成膜することができる。本実施の形態では、酸化膜230af及び酸化膜230bfの成膜はスパッタリング法を用いる。

【0230】

例えば、酸化膜230af及び酸化膜230bfをスパッタリング法によって成膜する場合は、スパッタリングガスとして、酸素、または、酸素と貴ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、In-M-Zn酸化物ターゲットなどを用いることができる。

20

【0231】

特に、酸化膜230afの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁膜224fに供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は70%以上が好ましく、80%以上がより好ましく、100%がさらに好ましい。

【0232】

また、酸化膜230bfをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜230bfをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

30

【0233】

本実施の形態では、酸化膜230afを、スパッタリング法によって、In:Ga:Zn=1:3:2[原子数比]の酸化物ターゲット、またはIn:Ga:Zn=1:3:4[原子数比]の酸化物ターゲットを用いて成膜する。また、酸化膜230bfを、スパッタリング法によって、In:Ga:Zn=1:1:1[原子数比]の酸化物ターゲット、In:Ga:Zn=1:1:1.2[原子数比]の酸化物ターゲット、In:Ga:Zn=4:2:4.1[原子数比]の酸化物ターゲット、またはIn:Ga:Zn=1:1:2[原子数比]の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、及び原子数比を適宜選択することで、酸化物230a、及び酸化物230bに求める特性に合わせて形成するとよい。

40

【0234】

なお、絶縁膜224f、酸化膜230af、及び酸化膜230bfを、大気に暴露する

50

ことなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いることが好ましい。これにより、絶縁膜 2 2 4 f、酸化膜 2 3 0 a f、及び酸化膜 2 3 0 b f について、各成膜工程の合間に膜中に水素が混入することを低減できる。

#### 【 0 2 3 5 】

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜 2 3 0 a f、及び酸化膜 2 3 0 b f が多結晶化しない温度範囲で行えばよい。加熱処理の温度は、1 0 0 以上、2 5 0 以上、または 3 5 0 以上であり、かつ、6 5 0 以下、6 0 0 以下、または 5 5 0 以下であると好ましい。

#### 【 0 2 3 6 】

なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 1 0 p p m 以上、1 % 以上、もしくは 1 0 % 以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを 2 0 % 程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。または、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 1 0 p p m 以上、1 % 以上、または 1 0 % 以上含む雰囲気で行ってもよい。

#### 【 0 2 3 7 】

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量は、1 p p b 以下が好ましく、0 . 1 p p b 以下がより好ましく、0 . 0 5 p p b 以下がさらに好ましい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜 2 3 0 a f、及び酸化膜 2 3 0 b f などに水分等が取り込まれることを可能な限り防ぐことができる。

#### 【 0 2 3 8 】

本実施の形態では、加熱処理として、窒素ガスと酸素ガスの流量比を 4 : 1 として、4 5 0 の温度で 1 時間の処理を行う。このような酸素ガスを含む加熱処理によって、酸化膜 2 3 0 a f 及び酸化膜 2 3 0 b f 中の炭素、水、水素などの不純物を低減できる。このように膜中の不純物を低減することで、酸化膜 2 3 0 a f 及び酸化膜 2 3 0 b f の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜 2 3 0 a f 及び酸化膜 2 3 0 b f 中の結晶領域を増大させ、酸化膜 2 3 0 a f 及び酸化膜 2 3 0 b f 中における、結晶領域の面内ばらつきを低減できる。よって、トランジスタの電気特性の面内ばらつきを低減できる。

#### 【 0 2 3 9 】

また、加熱処理を行うことで、絶縁体 2 1 6、絶縁膜 2 2 4 f、酸化膜 2 3 0 a f、及び酸化膜 2 3 0 b f 中の水素が絶縁体 2 2 2 内に吸い取られる。別言すると、絶縁体 2 1 6、絶縁膜 2 2 4 f、酸化膜 2 3 0 a f、及び酸化膜 2 3 0 b f 中の水素が絶縁体 2 2 2 に拡散する。従って、絶縁体 2 2 2 の水素濃度は高くなるが、絶縁体 2 1 6、絶縁膜 2 2 4 f、酸化膜 2 3 0 a f、及び酸化膜 2 3 0 b f 中のそれぞれの水素濃度は低下する。なお、絶縁体 2 2 2 の下面に接して絶縁体 2 2 1 を設けておくことで、当該加熱処理において、絶縁体 2 2 1 より下方から水分、または水素などの不純物が侵入するのを防ぐことができる。

#### 【 0 2 4 0 】

特に、絶縁膜 2 2 4 f (後の絶縁体 2 2 4) は、トランジスタ 2 0 0 の第 2 のゲート絶縁体として機能し、酸化膜 2 3 0 a f 及び酸化膜 2 3 0 b f (後の酸化物 2 3 0 a 及び酸化物 2 3 0 b) は、トランジスタ 2 0 0 のチャンネル形成領域として機能する。水素濃度が低減された絶縁膜 2 2 4 f、酸化膜 2 3 0 a f 及び酸化膜 2 3 0 b f を用いて形成されたトランジスタ 2 0 0 は、良好な信頼性を有するため好ましい。

#### 【 0 2 4 1 】

次に、酸化膜 2 3 0 b f 上に、導電膜 2 4 2 \_\_ 1 f を成膜し、導電膜 2 4 2 \_\_ 1 f 上に、導電膜 2 4 2 \_\_ 2 f を成膜する (図 6 (A) 乃至図 6 (D) 参照)。導電膜 2 4 2 \_\_ 1 f としては、上記導電体 2 4 2 a 1、2 4 2 b 1 に対応する導電体を用いればよく、導電

10

20

30

40

50

膜 2 4 2 \_\_ 2 f としては、上記導電体 2 4 2 a 2、2 4 2 b 2 に対応する導電体を用いればよい。酸化膜 2 3 0 b f の成膜後に、エッチング工程などを挟まずに、酸化膜 2 3 0 b f 上に接して導電膜 2 4 2 \_\_ 1 f を成膜することで、酸化膜 2 3 0 b f の上面を、導電膜 2 4 2 \_\_ 1 f で保護することができる。これにより、トランジスタを構成する酸化物 2 3 0 に不純物が拡散するのを低減することができるので、半導体装置の電気特性及び信頼性の向上を図ることができる。

【0 2 4 2】

導電膜 2 4 2 \_\_ 1 f、及び、導電膜 2 4 2 \_\_ 2 f は、それぞれ、例えば、スパッタリング法、CVD法、MBE法、PLD法、またはALD法を用いて成膜することができる。

【0 2 4 3】

本実施の形態では、スパッタリング法を用いて、導電膜 2 4 2 \_\_ 1 f として窒化タンタルを成膜し、導電膜 2 4 2 \_\_ 2 f としてタングステンを成膜する。なお、導電膜 2 4 2 \_\_ 1 f の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜 2 4 2 \_\_ 1 f を成膜してもよい。このような処理を行うことによって、酸化物 2 3 0 b の表面に吸着している水分及び水素を除去し、さらに酸化物 2 3 0 a、及び酸化物 2 3 0 b 中の水分濃度及び水素濃度を低減させることができる。加熱処理の温度は、100 以上400 以下が好ましい。本実施の形態では、加熱処理の温度を250 とする。

【0 2 4 4】

次に、導電膜 2 4 2 \_\_ 1 f 上に絶縁膜 2 7 1 f を成膜する（図 6 (A) 乃至図 6 (D) 参照）。絶縁膜 2 7 1 f の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。絶縁膜 2 7 1 f は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁膜 2 7 1 f として、スパッタリング法によって、窒化シリコン膜と、窒化シリコン膜上の酸化シリコン膜の積層膜を成膜すればよい。

【0 2 4 5】

ここで、絶縁膜 2 7 1 f を積層膜にする場合、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁膜 2 7 1 f の積層膜の界面又は界面近傍を清浄に保つことができる。また、導電膜 2 4 2 \_\_ 1 f から絶縁膜 2 7 1 f まで、大気環境にさらさずに連続して成膜すると、より好ましい。

【0 2 4 6】

なお、絶縁膜 2 7 1 f の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 2 7 1 f を成膜してもよい。このような処理を行うことによって、導電膜 2 4 2 \_\_ 1 f 及び導電膜 2 4 2 \_\_ 2 f の表面に吸着している水分及び水素を除去し、さらに導電膜 2 4 2 \_\_ 1 f 及び導電膜 2 4 2 \_\_ 2 f 中の水分濃度及び水素濃度を低減させることができる。加熱処理の温度は、100 以上400 以下が好ましい。本実施の形態では、加熱処理の温度を250 とする。

【0 2 4 7】

次に、リソグラフィ法を用いて、絶縁膜 2 2 4 f、酸化膜 2 3 0 a f、酸化膜 2 3 0 b f、導電膜 2 4 2 \_\_ 1 f、導電膜 2 4 2 \_\_ 2 f、及び絶縁膜 2 7 1 f を島状に加工して、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 を形成する（図 7 (A) 乃至図 7 (D) 参照）。

【0 2 4 8】

上記加工には、ドライエッチング法またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、絶縁膜 2 2 4 f、酸化膜 2 3 0 a f、酸化膜 2 3 0 b f、導電膜 2 4 2 \_\_ 1 f、導電膜 2 4 2 \_\_ 2 f、及び絶縁膜 2 7 1 f の加工は、それぞれ異なる条件で行ってもよい。

【0 2 4 9】

ここで、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 を一括で島状に加工することが好ましい。このとき、導電

10

20

30

40

50

体 2 4 2 \_\_ 1 の側端部、及び導電体 2 4 2 \_\_ 2 の側端部は、酸化物 2 3 0 a 及び酸化物 2 3 0 b の側端部と一致または概略一致することが好ましい。さらに、絶縁体 2 2 4 の側端部が、酸化物 2 3 0 の側端部と一致または概略一致することが好ましい。さらに、絶縁体 2 7 1 の側端部は、導電体 2 4 2 \_\_ 2 の側端部と一致または概略一致することが好ましい。このような構成にすることで、本発明の一態様に係る半導体装置の工程数を削減することができる。よって、生産性の良好な半導体装置の作製方法を提供することができる。

【 0 2 5 0 】

また、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 は、少なくとも一部が導電体 2 0 5 と重なるように形成する。また、絶縁体 2 2 2 が、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 と重畳しない領域において、絶縁体 2 2 2 が露出する。

10

【 0 2 5 1 】

図 7 ( B ) に示すように、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 の側面がテーパ形状になっていてもよい。絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 の側面のテーパ角は、例えば、60°以上90°未満であってもよい。このように側面をテーパ形状にすることで、これより後の工程において、絶縁体 2 7 5 などの被覆性が向上し、鬆などの欠陥を低減できる。

【 0 2 5 2 】

また、上記に限られず、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 の側面が、絶縁体 2 2 2 の上面に対し、垂直または概略垂直になる構成にしてもよい。このような構成にすることで、複数のトランジスタを設ける際に、小面積化、高密度化が可能となる。

20

【 0 2 5 3 】

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで、導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV ( Extreme Ultraviolet ) 光などを用いて、レジストを露光することでレジストマスクを形成することができる。また、基板と投影レンズとの間に液体 ( 例えば水 ) を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームまたはイオンビームを用いてもよい。なお、電子ビームまたはイオンビームを用いる場合には、マスクを用いなくてもよい場合がある。

30

【 0 2 5 4 】

なお、加工後に不要になったレジストマスクは、酸素プラズマを用いたアッシング ( 以下、酸素プラズマ処理と呼ぶ場合がある。 ) などのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

40

【 0 2 5 5 】

さらに、レジストマスクの下に絶縁体または導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、絶縁膜 2 7 1 f 上にハードマスク材料となる絶縁膜または導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。絶縁膜 2 7 1 f などのエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。酸化物膜 2 3 0 b f などのエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

50

## 【0256】

また、被加工物とレジストマスクの間に、SOC (Spin On Carbon) 膜、及びSOG (Spin On Glass) 膜を成膜する構成にしてもよい。SOC膜及びSOG膜をマスクとして用いることで、レジストマスクとの密着性を向上させ、マスクパターンの耐久性を向上させることができる。例えば、被加工物の上に、SOC膜、SOG膜、レジストマスクの順に成膜してリソグラフィ法を行うことができる。

## 【0257】

ドライエッチング処理用のエッチングガスとしては、ハロゲンを含むエッチングガスを用いることができ、具体的には、フッ素、塩素、及び臭素のうち、一または複数を含むエッチングガスを用いることができる。例えば、エッチングガスとして、 $C_4F_6$ ガス、 $C_5F_6$ ガス、 $C_4F_8$ ガス、 $CF_4$ ガス、 $SF_6$ ガス、 $CHF_3$ ガス、 $CH_2F_2$ ガス、 $Cl_2$ ガス、 $BCl_3$ ガス、 $SiCl_4$ ガス、または $BBr_3$ ガスなどを単独または2以上のガスを混合して用いることができる。また、上記のエッチングガスに酸素ガス、炭酸ガス、窒素ガス、ヘリウムガス、アルゴンガス、水素ガス、または炭化水素ガスなどを適宜追加することができる。また、ドライエッチング処理の被処理物によっては、ハロゲンガスを含まず、炭化水素ガスまたは水素ガスを含むガスを、エッチングガスとして用いることができる。エッチングガスに用いる炭化水素としては、メタン( $CH_4$ )、エタン( $C_2H_6$ )、プロパン( $C_3H_8$ )、ブタン( $C_4H_{10}$ )、エチレン( $C_2H_4$ )、プロピレン( $C_3H_6$ )、アセチレン( $C_2H_2$ )、およびプロピン( $C_3H_4$ )の一または複数を用いることができる。エッチング条件は、エッチングする対象に合わせて適宜設定することができる。

## 【0258】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。エッチング装置は、エッチングする対象に合わせて適宜設定することができる。

## 【0259】

また、上記エッチング工程において、絶縁体271を、導電体242\_2を保護するエッチングストッパとして機能させることができる。例えば、上記エッチング工程で、絶縁体271上に金属製のハードマスクを形成すると、当該ハードマスクを除去する際に、導電体242\_2とのエッチング選択比をとりにくい場合がある。しかしながら、導電体242\_2上に絶縁体271を形成しておくことで、ハードマスク除去のエッチング処理において、絶縁体271を、導電体242\_2を保護するエッチングストッパとして機能させることができる。これにより、導電体242\_2の側面と上面の間に湾曲面が形成されるのを防ぐことができるので、後で形成する導電体242a2および導電体242b2は、側面と上面が交わる端部が角状になる。導電体242\_2の側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体242\_2の断面積が大きくなる。さらに、絶縁体271に、金属を酸化させにくい窒化物絶縁体を用いることで、導電体242\_2が過剰に酸化されるのを防ぐことができる。これにより、導電体242a2および導電体242b2の抵抗が低減されるので、トランジスタのオン電流を大きくすることができる。

## 【0260】

また、絶縁体224を島状に加工することで、後述する工程で、絶縁体224の側面お

10

20

30

40

50

よび絶縁体 2 2 2 の上面に接して絶縁体 2 7 5 を設けることができる。つまり、絶縁体 2 2 4 を、絶縁体 2 7 5 によって、絶縁体 2 8 0 と離隔することができる。このような構成にすることで、絶縁体 2 8 0 から絶縁体 2 2 4 を介して、過剰な量の酸素、及び水素などの不純物が、酸化物 2 3 0 に混入するのを防ぐことができる。

【 0 2 6 1 】

また、絶縁体 2 2 4 を、島状に加工することにより、複数のトランジスタ 2 0 0 を設ける場合、1 個のトランジスタ 2 0 0 に対して、ほぼ同程度の大きさの絶縁体 2 2 4 が設けられることになる。これにより、各トランジスタ 2 0 0 において、絶縁体 2 2 4 から酸化物 2 3 0 に供給される酸素の量が、同程度になる。よって、基板面内でトランジスタ 2 0 0 の電気特性のばらつきを抑制することができる。ただし、これに限られず、絶縁体 2 2 2 と同様に、絶縁体 2 2 4 をパターン形成しない構成にすることもできる。

10

【 0 2 6 2 】

次に、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、導電体 2 4 2 \_\_ 2、及び絶縁体 2 7 1 を覆って、絶縁体 2 7 5 を成膜し、さらに絶縁体 2 7 5 上に絶縁体 2 8 0 を成膜する（図 8 ( A ) 乃至図 8 ( D ) 参照）。絶縁体 2 7 5、及び絶縁体 2 8 0 としては、上述の絶縁体を用いればよい。

【 0 2 6 3 】

ここで、絶縁体 2 7 5 は、絶縁体 2 2 2 の上面に接することが好ましい。

【 0 2 6 4 】

絶縁体 2 8 0 としては、絶縁体 2 8 0 となる絶縁膜を形成し、当該絶縁膜に C M P 処理を行うことで、上面が平坦な絶縁体を形成することが好ましい。なお、絶縁体 2 8 0 上に、例えば、スパッタリング法によって窒化シリコンを成膜し、該窒化シリコンを絶縁体 2 8 0 に達するまで、C M P 処理を行ってもよい。

20

【 0 2 6 5 】

絶縁体 2 7 5 及び絶縁体 2 8 0 は、それぞれ、例えば、スパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法を用いて成膜することができる。

【 0 2 6 6 】

絶縁体 2 7 5 には、酸素の透過を抑制する機能を有する絶縁体を用いることが好ましい。例えば、絶縁体 2 7 5 として、P E A L D 法を用いて窒化シリコンを成膜することが好ましい。または、絶縁体 2 7 5 として、スパッタリング法を用いて、酸化アルミニウムを成膜し、その上に P E A L D 法を用いて窒化シリコンを成膜することが好ましい。絶縁体 2 7 5 を上記のような構造とすることで、水、水素などの不純物、及び酸素の拡散を抑制する機能の向上を図ることができる。

30

【 0 2 6 7 】

このようにして、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、及び導電体 2 4 2 \_\_ 2 を、酸素の拡散を抑制する機能を有する絶縁体 2 7 5 で覆うことができる。これにより、のちの工程で、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2 \_\_ 1、及び導電体 2 4 2 \_\_ 2 に、絶縁体 2 8 0 などから酸素が直接拡散することを低減できる。

【 0 2 6 8 】

また、絶縁体 2 8 0 として、スパッタリング法を用いて酸化シリコンを成膜することが好ましい。絶縁体 2 8 0 となる絶縁膜を、酸素を含む雰囲気中で、スパッタリング法で成膜することで、過剰酸素を含む絶縁体 2 8 0 を形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 8 0 中の水素濃度を低減できる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体 2 7 5 の表面などに吸着している水分及び水素を除去し、さらに酸化物 2 3 0 a、酸化物 2 3 0 b、及び絶縁体 2 2 4 中の水分濃度及び水素濃度を低減できる。当該加熱処理には、上述した加熱処理条件を用いることができる。

40

50

## 【0269】

また、絶縁体280を積層構造にしてもよい。例えば、上述の酸化シリコン膜の上に、さらにエッチングストッパとして機能する絶縁体を設ける構成にしてもよい。エッチングストッパとして機能する絶縁体としては、上述の絶縁体283などに用いることができる絶縁体を適宜用いればよい。

## 【0270】

次に、リソグラフィ法を用いて、導電体242<sub>2</sub>、絶縁体271、絶縁体275、及び絶縁体280を加工して、導電体242<sub>1</sub>及び絶縁体222に達する開口を形成する(図9(A)乃至図9(D)参照)。ここで、導電体242<sub>2</sub>が分断されて、導電体242<sub>a2</sub>及び導電体242<sub>b2</sub>が形成され、絶縁体271が分断されて、絶縁体271<sub>a</sub>及び絶縁体271<sub>b</sub>が形成される。導電体242<sub>1</sub>に達する開口は、酸化物230<sub>b</sub>と導電体205とが重なる領域に形成する。トランジスタ200のチャンネル長方向の断面視において、当該開口の幅はL1となり、これは、図2(B)に示す導電体242<sub>a2</sub>と導電体242<sub>b2</sub>の距離L1と対応する。つまり、当該開口の幅は、図2(B)に示す導電体242<sub>a1</sub>と導電体242<sub>b1</sub>の距離L2より大きい。

10

## 【0271】

リソグラフィ法は、上記の方法を適宜用いることができる。上記絶縁体280の開口を微細に加工するには、EUV光などの短波長の光、または電子ビームを用いたリソグラフィ法を用いることが好ましい。

## 【0272】

例えば、絶縁体280上に、SOC膜、SOG膜、レジストマスクの順に成膜してリソグラフィ法を行うことができる。EUV光などの短波長の光、または電子ビームを用いて、開口を有するレジストマスクを形成し、当該レジストマスクを用いて、SOG膜、SOC膜、絶縁体280、絶縁体275、絶縁体271、及び導電体242<sub>2</sub>を加工する。

20

## 【0273】

上記加工は、ドライエッチング法を用いて行うことが好ましい。ドライエッチング法は、異方性エッチングが可能なので、アスペクト比が高い、図2(B)に示す幅L1の開口を形成するのに好適である。なお、ドライエッチング法の条件、及びドライエッチング装置については、上記の記載を参照することができる。また、SOG膜、SOC膜、絶縁体280、絶縁体275、絶縁体271、及び導電体242<sub>2</sub>のエッチング処理は、それぞれ異なる条件で行ってもよい。

30

## 【0274】

例えば、SOG膜のエッチングには、CF<sub>4</sub>をエッチングガスとして用いることができる。また、例えば、SOC膜のエッチングには、H<sub>2</sub>とN<sub>2</sub>をエッチングガスとして用いることができる。また、例えば、絶縁体280に酸化シリコンを用いる場合、C<sub>4</sub>F<sub>8</sub>とC<sub>4</sub>F<sub>6</sub>とO<sub>2</sub>とArをエッチングガスとして用いることができる。また、例えば、絶縁体275に窒化シリコンを用いる場合、CH<sub>2</sub>F<sub>2</sub>とO<sub>2</sub>とArをエッチングガスとして用いることができる。また、例えば、絶縁体271に窒化シリコンと酸化シリコンの積層膜を用いる場合、ICPEッチング装置で、CHF<sub>3</sub>とO<sub>2</sub>をエッチングガスとしてエッチング処理を行うことができる。

40

## 【0275】

また、例えば、導電体242<sub>2</sub>にタングステンをし、導電体242<sub>1</sub>に窒化タンタルを用いる場合、ICPEッチング装置で、CF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>をエッチングガスとしてエッチング処理を行うことができる。ここで、導電体242<sub>2</sub>は、絶縁体280などに形成された幅L1の開口に重畳してエッチングされるので、分断された導電体242<sub>a2</sub>と導電体242<sub>b2</sub>の間の距離はL1になる。

## 【0276】

ここで、後の工程で導電体242<sub>a2</sub>及び導電体242<sub>b2</sub>の下に、互いの距離がL2の導電体242<sub>a1</sub>及び導電体242<sub>b1</sub>を形成するために、本工程のエッチング処理を導電体242<sub>1</sub>の上面でストップする必要がある。よって、本工程では、導電体242

50

\_\_ 1のエッチングレートに対する、導電体 2 4 2 \_\_ 2のエッチングレート（以下、導電体 2 4 2 \_\_ 2のエッチング選択比と呼ぶ。）が大きくなる条件で、ICPエッチング装置を用いて、エッチング処理を行う。

【 0 2 7 7 】

ICPエッチング装置の下部電極に印加するバイアス電力を低くすることで、イオン入射エネルギーを低減し、導電体 2 4 2 \_\_ 1のエッチングレートを低減することができる。例えば、ICPエッチング装置の下部電極に印加するバイアス電力を、50W未満、好ましくは25W以下程度にすればよい。ただし、本発明はこれに限られることなく、ICPエッチング装置の下部電極に印加するバイアス電力を、50W以上にすることもできる。当該バイアス電力を大きくすることで、導電体 2 4 2 a 2及び導電体 2 4 2 b 2の側面に形成される凹部を小さくすることもできる。この場合、例えば当該バイアス電力を100Wにすればよい。

10

【 0 2 7 8 】

また、CF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>をエッチングガスとして用いることで、導電体 2 4 2 \_\_ 2のタングステンは、WF<sub>6</sub>、またはWOC<sub>1</sub>などの揮発性が高い反応生成物となり、導電体 2 4 2 \_\_ 2のエッチングレートが高くなる。一方、導電体 2 4 2 \_\_ 1の表面の窒化タンタルは、酸化タンタルまたは酸化窒化タンタルなどの非常に揮発性が低い反応生成物となり、エッチングが抑制される。よって、エッチングガス中の酸素ガスの流量比を大きくすることが好ましい。例えば、エッチングガス中の酸素ガスの流量比を35%以上にすればよい。

20

【 0 2 7 9 】

以上のような条件で、導電体 2 4 2 \_\_ 2のエッチング処理を行うことで、導電体 2 4 2 \_\_ 1を過剰にエッチングせずに、導電体 2 4 2 a 2と導電体 2 4 2 b 2に分断することができる。これにより、微細構造を有する半導体装置においても、設計通りに加工を行うことができる。

【 0 2 8 0 】

なお、SOC膜は、酸素プラズマを用いたアッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去すればよい。

30

【 0 2 8 1 】

また、絶縁体 2 7 1、及び導電体 2 4 2 \_\_ 2の加工、及びSOC膜の除去は、外気に曝さず連続して行うことができる。例えば、マルチチャンバー方式のエッチング装置を用いて、外気に曝さず処理を行えばよい。

【 0 2 8 2 】

以上のようにして、導電体 2 4 2 \_\_ 2、絶縁体 2 7 1、絶縁体 2 7 5、及び絶縁体 2 8 0を加工して幅L1の開口を形成することができる。

【 0 2 8 3 】

次に、絶縁体 2 8 0、導電体 2 4 2 \_\_ 1、及び絶縁体 2 2 2を覆って、絶縁膜 2 5 5 Aを成膜する（図10（A）乃至図10（D）参照）。絶縁膜 2 5 5 Aは、後の工程で絶縁体 2 5 5となる絶縁膜であり、上述の窒化物絶縁体などを用いることができる。絶縁膜 2 5 5 Aは、例えば、スパッタリング法、CVD法、MBE法、PLD法、またはALD法を用いて成膜することができる。

40

【 0 2 8 4 】

絶縁膜 2 5 5 Aは、導電体 2 4 2 a 2、導電体 2 4 2 b 2、絶縁体 2 7 1、絶縁体 2 7 5、及び絶縁体 2 8 0に形成された開口に沿って成膜されるので、被覆性が良好であることが好ましい。よって、絶縁膜 2 5 5 Aは、良好な被覆性を有するALD法などを用いて成膜することが好ましい。例えば、絶縁膜 2 5 5 Aとして、PEALD法を用いて窒化シリコンを成膜することが好ましい。

【 0 2 8 5 】

50

次に、絶縁膜 255A 上に、絶縁膜 256A を成膜する（図 10（A）乃至図 10（D）参照）。絶縁膜 256A は、上述の絶縁体 250b などに適用可能な酸化物絶縁体を用いることができる。絶縁膜 256A は、例えば、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法を用いて成膜することができる。

【0286】

絶縁膜 256A は、絶縁膜 255A と同様に、導電体 242a2、導電体 242b2、絶縁体 271、絶縁体 275、及び絶縁体 280 に形成された開口に沿って成膜されるので、被覆性が良好であることが好ましい。よって、絶縁膜 256A は、良好な被覆性を有する ALD 法などを用いて成膜することが好ましい。例えば、絶縁膜 256A として、PEALD 法を用いて酸化シリコンを成膜することが好ましい。なお、絶縁膜 255A の成膜、及び絶縁膜 256A の成膜は、外気に曝さず連続して行うことができる。例えば、マルチチャンバー方式の成膜装置を用いて、外気に曝さず処理を行えばよい。

10

【0287】

次に、絶縁膜 255A 及び絶縁膜 256A の一部を異方性エッチングによって除去し、上記開口の側壁に接してサイドウォール状の絶縁体 255 及び絶縁体 256 を形成する（図 11（A）乃至図 11（D）参照）。これにより、絶縁体 255 は、絶縁体 280 の側面、絶縁体 275 の側面、絶縁体 271a の側面、絶縁体 271b の側面、導電体 242a2 の側面、導電体 242b2 の側面、導電体 242\_1 の上面、及び絶縁体 222 の上面に接して形成される。また、図 11（B）及び図 11（C）に示すように、絶縁体 255 の、導電体 242\_1 の上面または絶縁体 222 の上面に接する部分に、突出部が形成される。絶縁体 255 の突出部は、他の部分よりも、絶縁体 280 などに形成される開口の中央部に向かって突出した形状になる。つまり、絶縁体 255 は、チャンネル長方向の断面視において、所謂 L 字状の形状になる。

20

【0288】

絶縁体 256 は、絶縁体 255 の内側に位置するように形成される。図 11（B）及び図 11（C）に示すように、絶縁体 256 の下面は、絶縁体 255 の突出部の上面に接し、絶縁体 256 の一方の側面は、絶縁体 255 の側面に接する。また、上面視において、絶縁体 256 の他方の側面は、絶縁体 255 の突出部の端部と一致または概略一致するように形成される。

【0289】

チャンネル長方向の断面視において、絶縁体 255 及び絶縁体 256 は幅 L1 の開口の中に形成されるので、A1 側の絶縁体 256 と、A2 側の絶縁体 256 の間の距離を L2 とすると、L2 は L1 より短くなる。ここで、距離 L2 は、A1 側の絶縁体 255 の突出部の端部と、A2 側の絶縁体 255 の突出部の端部の間の距離とみることでもできる。

30

【0290】

絶縁膜 255A 及び絶縁膜 256A の異方性エッチングには、ドライエッチング法を用いることが好ましい。なお、ドライエッチング法の条件、及びドライエッチング装置については、上記の記載を参照することができる。例えば、絶縁膜 255A に窒化シリコンを用い、絶縁膜 256A に酸化シリコンを用いる場合、ICPEッチング装置で、CHF<sub>3</sub> と O<sub>2</sub> をエッチングガスとしてエッチング処理を行うことができる。

40

【0291】

また、絶縁膜 255A 及び絶縁膜 256A のエッチングにおいて、発生したイオンが絶縁体 280 および絶縁体 255 の開口の縁の角部に衝突する場合がある。これにより、図 4（C）などに示すように、上記角部が研磨されてテーパ形状になる場合がある。例えば、エッチングガスにアルゴンなどのイオン化しやすいガスを含ませる、または基板側の電極にバイアス電圧を印加することで、上記角部が除去されやすくなる。

【0292】

続いて、異方性エッチングを用いて、導電体 242\_1 の絶縁体 255 及び絶縁体 256 から露出した部分を除去して、導電体 242a1 及び導電体 242b1 を形成する（図 12（A）乃至図 12（D）参照）。言い換えると、絶縁体 255 及び絶縁体 256 をマ

50

スクとして、導電体 2 4 2 \_\_ 1 を加工し、導電体 2 4 2 \_\_ 1 を導電体 2 4 2 a 1 と導電体 2 4 2 b 1 に分断する。このように、絶縁体 2 5 5 及び絶縁体 2 5 6 をマスクとして用いて、導電体 2 4 2 \_\_ 1 を加工することで、トランジスタ 2 0 0 の断面視において、絶縁体 2 5 5 の突出部の端部が、導電体 2 4 2 a 1 の側端部、及び導電体 2 4 2 b 1 の側端部と一致または概略一致するように形成される。これにより、チャンネル長方向の断面視において、導電体 2 4 2 a 1 と導電体 2 4 2 b 1 の距離も L 2 となる。

#### 【 0 2 9 3 】

異方性エッチングには、ドライエッチング法を用いることが好ましい。なお、ドライエッチング法の条件、及びドライエッチング装置については、上記の記載を参照することができる。例えば、導電体 2 4 2 \_\_ 1 に窒化タンタルを用いる場合、ICPエッチング装置で、Cl<sub>2</sub> と Ar をエッチングガスとしてエッチング処理を行うことができる。

10

#### 【 0 2 9 4 】

上記のように、異方性エッチングを用いて、導電体 2 4 2 \_\_ 1 の上に絶縁体 2 5 5 及び絶縁体 2 5 6 を形成し、絶縁体 2 5 5 及び絶縁体 2 5 6 をマスクとして用いて導電体 2 4 2 \_\_ 1 を分断することで、マスクとして機能する絶縁体 2 5 5 及び絶縁体 2 5 6 を自己整合的に形成することができる。これにより、本実施の形態に示す半導体装置の作製工程において、マスク数、及び工程数の削減を図ることができる。よって、生産性の高い半導体装置の作製方法を提供することができる。

#### 【 0 2 9 5 】

また、上記の方法を用いることで、島状の酸化物 2 3 0 がドライエッチング雰囲気には曝される機会を、導電体 2 4 2 \_\_ 1 の加工時のみにすることができる。言い換えると、絶縁体 2 5 5 及び絶縁体 2 5 6 の形成の際に、島状の酸化物 2 3 0 の上面がドライエッチング雰囲気に曝されるのを防ぐことができる。これにより、トランジスタ 2 0 0 のチャンネル形成領域として機能する酸化物 2 3 0 b が、ドライエッチングによって受けるダメージ（例えば、イオンの衝突による損傷など）を低減することができる。導電体 2 4 2 \_\_ 1 のドライエッチング処理において、途中からバイアス電力を下げることにより、さらに酸化物 2 3 0 のダメージを低減させることができる。ただし、図 4 ( A ) に示すように、酸化物 2 3 0 の、導電体 2 4 2 a 1 及び導電体 2 4 2 b 1 から露出した部分に凹部が形成される場合もある。

20

#### 【 0 2 9 6 】

なお、導電体 2 4 2 \_\_ 1 の加工後に、酸素プラズマを用いたアッシング処理を行ってもよい。このような酸素プラズマ処理を行うことで、上記エッチング処理で発生し、酸化物 2 3 0 などに拡散した不純物を除去することができる。当該不純物は、上記エッチング処理の被加工物に含まれる成分、及び、エッチングに使用されるガスなどに含まれる成分に起因したものが挙げられる。例えば、塩素、フッ素、タンタル、シリコン、ハフニウムなどが挙げられる。特に、上記エッチング処理に示すように、導電体 2 4 2 \_\_ 1 の加工で塩素ガスを用いると、塩素ガスを含む雰囲気に酸化物 2 3 0 が曝されるので、酸化物 2 3 0 に付着した塩素を除去することが好ましい。このように酸化物 2 3 0 に付着した不純物を除去することで、トランジスタの電気特性、及び信頼性を向上させることができる。

30

#### 【 0 2 9 7 】

また、上記酸素プラズマ処理を行うことで、絶縁体 2 5 5 の少なくとも一部が酸化される場合がある。言い換えると、絶縁体 2 5 5 に酸素が含まれる場合がある。この場合、絶縁体 2 5 5 について、SIMSなどで組成分析を行うことで、絶縁体 2 5 5 中に酸素濃度が高い領域が観測される。なお、絶縁体 2 5 5 の酸化が進行し、トランジスタ 2 0 0 の形成後に、絶縁体 2 5 5 の少なくとも一部が、酸化窒化シリコンまたは窒化酸化シリコンになる場合がある。

40

#### 【 0 2 9 8 】

また、絶縁膜 2 5 5 A、絶縁膜 2 5 6 A、及び導電体 2 4 2 \_\_ 1 の加工、及び酸素プラズマ処理は、外気に曝さず連続して行うことができる。例えば、マルチチャンバー方式のエッチング装置を用いて、外気に曝さず処理を行えばよい。

50

## 【0299】

次に等方性エッチングを行って、絶縁体256を選択的に除去することが好ましい(図13(A)乃至図13(D)参照)。等方性エッチングとしては、例えば、ウェットエッチング法を用いればよい。ここで、等方性エッチングにおいて、絶縁体256のエッチングレートが、絶縁体255のエッチングレートと比較して十分に大きいことが好ましい。さらに、絶縁体256のエッチングレートが、酸化物230のエッチングレートと比較して十分に大きいことが好ましい。

## 【0300】

上記のように等方性エッチングを行うことで、絶縁体256を除去して、絶縁体255を残存させることができる。これにより、絶縁体280などに形成された開口において、絶縁体255の突出部、導電体242a1の一部、及び導電体242b1の一部が突出されるように形成される。

10

## 【0301】

なお、上記のように、絶縁体280を積層構造とし、上面にエッチングストップとして機能する絶縁体を成膜しておくことで、上記等方性エッチングにおいて、絶縁体280の上面がエッチングされることを防ぐことができる。

## 【0302】

また、上記において、導電体242\_\_1の加工後に、絶縁体256の除去を行う例について示したが、本発明はこれに限られるものではない。例えば、絶縁体255及び絶縁体256の形成後に、絶縁体256を等方性エッチングで除去してから、導電体242\_\_1の加工を行うこともできる。これにより、酸化物230bの上面が、絶縁体256の等方性エッチングに曝されるのを防ぐことができる。よって、トランジスタ200のチャンネル形成領域として機能する酸化物230bが、当該等方性エッチングによって受けるダメージ(例えば、エッチャントによる損傷など)を低減することができる。なお、絶縁体255及び絶縁体256を形成した際に、絶縁体255は断面視においてL字状に形成されているので、L字状の絶縁体255をマスクとして用いて、導電体242\_\_1の加工を行えばよい。

20

## 【0303】

以上のようにして、導電性が良好な導電体242a2、242b2の下に、耐酸化性の導電体242a1、242b1を形成し、且つ導電体242a2、242b2の側面に接して、耐酸化性の絶縁体255を形成することができる。このような構成にすることで、導電性が良好な導電体242a2、242b2をトランジスタ200のソース電極及びドレイン電極として用いることができるので、トランジスタ200の周波数特性の向上、及び半導体装置の動作速度の向上を図ることができる。また、絶縁体255の突出部と同程度に、導電体242a1、242b1を、導電体242a2、242b2より、突出して形成することができるので、ソースとドレインの間の距離をより短くし、それに応じてチャンネル長を短くすることが可能になる。よって、トランジスタ200のオン電流を大きくし、S値を低減し、周波数特性を向上させることができる。

30

## 【0304】

また、上記エッチング工程で酸化物230b表面に付着した不純物などを除去するために、洗浄処理を行ってもよい。洗浄方法としては、洗浄液など用いたウェット洗浄(ウェットエッチング処理ということもできる)、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせることもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

40

## 【0305】

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、及びフッ化水素酸のうち一つまたは複数を炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせることもよい。

## 【0306】

50

また、図 1 1 ( C ) に係る工程において、図 1 4 ( A ) に示すように、チャンネル幅方向の断面視において、絶縁体 2 5 5 の一部が、絶縁体 2 2 4 の側面、酸化物 2 3 0 の側面、導電体 2 4 2 \_ 1 の側面、及び絶縁体 2 2 2 の上面に接して形成され、絶縁体 2 5 5 上に絶縁体 2 5 6 が形成される場合がある。この場合、図 1 3 ( C ) に係る工程において、図 1 4 ( B ) に示すように、チャンネル幅方向の断面視において、絶縁体 2 5 5 の一部が、絶縁体 2 2 4 の側面、酸化物 2 3 0 の側面、導電体 2 4 2 \_ 1 の側面、及び絶縁体 2 2 2 の上面に接して形成される場合がある。さらに、図 1 4 ( C ) に示すように、トランジスタ 2 0 0 において、絶縁体 2 5 5 の一部が、酸化物 2 3 0 の側面、及び絶縁体 2 2 4 の側面に接して形成される場合がある。このとき、トランジスタ 2 0 0 において、絶縁体 2 5 0 は、酸化物 2 3 0 の側面、及び絶縁体 2 2 4 の側面に接しない。

10

**【 0 3 0 7 】**

なお、本明細書等では、フッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、アンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整する。希釈アンモニア水のアンモニア濃度は 0 . 0 1 % 以上 5 % 以下が好ましく、0 . 1 % 以上 0 . 5 % 以下がより好ましい。また、希釈フッ化水素酸のフッ化水素濃度は 0 . 0 1 p p m 以上 1 0 0 p p m 以下が好ましく、0 . 1 p p m 以上 1 0 p p m 以下がより好ましい。

**【 0 3 0 8 】**

なお、超音波洗浄には、2 0 0 k H z 以上の周波数を用いることが好ましく、9 0 0 k H z 以上の周波数を用いることがより好ましい。当該周波数を用いることで、酸化物 2 3 0 b などへのダメージを低減することができる。

20

**【 0 3 0 9 】**

また、上記洗浄処理を複数回行ってよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第 1 の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第 2 の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

**【 0 3 1 0 】**

上記洗浄処理として、本実施の形態では、希釈アンモニア水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物 2 3 0 a、酸化物 2 3 0 b などの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物 2 3 0 a、酸化物 2 3 0 b などの結晶性を高めることができる。

30

**【 0 3 1 1 】**

上記エッチング後、または上記洗浄後に加熱処理を行うことが好ましい。加熱処理の温度は、1 0 0 以上、2 5 0 以上、または 3 5 0 以上であり、かつ、6 5 0 以下、6 0 0 以下、5 5 0 以下、または 4 0 0 以下であると好ましい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 1 0 p p m 以上、1 % 以上、もしくは 1 0 % 以上含む雰囲気で行う。当該加熱処理は、酸素を含む雰囲気で行うことが好ましく、例えば、窒素ガスと酸素ガスの流量比を 4 : 1 として、3 5 0 の温度で 1 時間の処理を行うことが好ましい。これにより、酸化物 2 3 0 a 及び酸化物 2 3 0 b に酸素を供給して、酸素欠損の低減を図ることができる。また、このような熱処理を行うことで、酸化物 2 3 0 b の結晶性を向上させることができる。さらに、酸化物 2 3 0 a 及び酸化物 2 3 0 b 中に残存した水素に供給された酸素が反応することで、当該水素を  $H_2O$  として除去する（脱水化する）ことができる。これにより、酸化物 2 3 0 a 及び酸化物 2 3 0 b 中に残存していた水素が酸素欠損に再結合して  $VOH$  が形成されることを抑制できる。これにより、酸化物 2 3 0 が設けられたトランジスタの電気特性を良好にし、信頼性を向上させることができる。また、同一基板上に複数形成されるトランジスタの電気特性のばらつきを抑制することができる。なお、上記加熱処理は減圧状態で行ってもよい。または、酸素雰囲気加熱処理した後に、大気に露出せずに連続して窒素雰囲気加熱処理を行ってもよい。なお、本実施の形態においては、絶縁体 2 5 6 の除去後に加熱処理を行う例について示したが、本発明はこれに限られるものではない。上記加熱処理を行ってから

40

50

、絶縁体 256 の除去を行う構成にすることもできる。

【0312】

ここで、上述の通り、酸化しにくい無機絶縁体を有する絶縁体 255 が、導電体 242 a 2 の側面、及び導電体 242 b 2 の側面に接して設けられている。これにより、導電体 242 a 2、242 b 2 に、比較的酸化されやすいタングステン膜などが用いられても、上記加熱処理によって、導電体 242 a 2、242 b 2 が過剰に酸化されるのを防ぐことができる。

【0313】

なお、酸化物 230 b に、導電体 242 a 及び導電体 242 b が接した状態で加熱処理を行う場合、酸化物 230 b における導電体 242 a と重なる領域、及び、導電体 242 b と重なる領域は、それぞれシート抵抗が低下することがある。また、キャリア濃度が増加することがある。したがって、酸化物 230 b における導電体 242 a と重なる領域、及び、導電体 242 b と重なる領域を、自己整合的に低抵抗化することができる。

10

【0314】

次に、絶縁体 280 などに形成された開口を埋めるように、絶縁体 250 となる絶縁膜 250 A を成膜する（図 15 (A) 乃至図 15 (D) 参照）。ここで、絶縁膜 250 A は、絶縁体 280、絶縁体 255、導電体 242 a 1、導電体 242 b 1、絶縁体 222、絶縁体 224、酸化物 230 a、及び酸化物 230 b に接する。なお、絶縁体 280 などに形成された開口において、絶縁体 255 の突出部、導電体 242 a 1 の一部、及び導電体 242 b 1 の一部が突出されるように形成されているので、絶縁膜 250 A の形状に、絶縁体 255 の突出部、導電体 242 a 1 の一部、及び導電体 242 b 1 の一部の形状が反映されている。

20

【0315】

絶縁膜 250 A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または、ALD 法を用いて成膜することができる。例えば、絶縁膜 250 A は ALD 法を用いて成膜することが好ましい。上述の絶縁体 250 と同様に、絶縁膜 250 A は薄い膜厚で形成することが好ましく、膜厚のパラつきが小さくなるようにする必要がある。これに対して、ALD 法は、プリカーサと、リアクタント（例えば酸化剤など）を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。また、絶縁膜 250 A は、上記開口の底面及び側面に、被覆性良く成膜される必要がある。ALD 法を用いることで、上記開口の底面及び側面において、原子の層を一層ずつ堆積させることができるため、絶縁膜 250 A を当該開口に対して良好な被覆性で形成できる。

30

【0316】

また、絶縁膜 250 A を ALD 法で成膜する場合、酸化剤として、オゾン ( $O_3$ )、酸素 ( $O_2$ )、水 ( $H_2O$ ) などを用いることができる。水素を含まない、オゾン ( $O_3$ )、酸素 ( $O_2$ ) などを酸化剤として用いることで、酸化物 230 b に拡散する水素を低減できる。

【0317】

絶縁体 250 は、図 2 (A) などで示したように、積層構造にすることができる。以下では、図 2 (A) と同様に、絶縁体 250 が絶縁体 250 a、絶縁体 250 b、絶縁体 250 c の 3 層構造である場合の、絶縁膜 250 A の成膜方法について、図 16 (A) 乃至図 16 (C) を用いて説明する。図 16 (A) 乃至図 16 (C) では、絶縁膜 250 A が、絶縁膜 250 A a と、絶縁膜 250 A a 上の絶縁膜 250 A b と、絶縁膜 250 A b 上の絶縁膜 250 A c と、を有する。

40

【0318】

まず、絶縁体 280 などに形成された開口を埋めるように、絶縁体 250 a となる絶縁膜 250 A a を成膜し、さらに絶縁膜 250 A a の上に絶縁膜 250 A b を成膜する（図 16 (A) 参照）。本実施の形態では、絶縁膜 250 A a として、酸化アルミニウムを熱 ALD 法によって成膜し、絶縁膜 250 A b として、酸化シリコンを PEALD 法によっ

50

て成膜する。

【0319】

次に、酸素を含む雰囲気でマイクロ波処理を行うことが好ましい（図16（B）参照）。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書などにおいて、マイクロ波とは、300MHz以上300GHz以下の周波数を有する電磁波を指すものとする。

【0320】

マイクロ波処理では、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、300MHz以上300GHz以下が好ましく、2.4GHz以上2.5GHz以下がより好ましく、例えば、2.45GHzにすることができる。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、1000W以上10000W以下が好ましく、2000W以上5000W以下がより好ましい。また、マイクロ波処理装置は基板側にRFを印加する電源を有してもよい。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく酸化物230b中に導くことができる。

【0321】

また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力は、10Pa以上1000Pa以下が好ましく、300Pa以上700Pa以下がより好ましい。また、処理温度は、750以下が好ましく、500以下がより好ましく、例えば250程度とすることができる。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、100以上750以下が好ましく、300以上500以下がより好ましい。

【0322】

また、例えば、上記マイクロ波処理は、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比（ $O_2 / (O_2 + Ar)$ ）は、0%より大きく、100%以下とする。好ましくは、酸素流量比（ $O_2 / (O_2 + Ar)$ ）を、0%より大きく、50%以下とする。より好ましくは、酸素流量比（ $O_2 / (O_2 + Ar)$ ）を、10%以上、40%以下とする。さらに好ましくは、酸素流量比（ $O_2 / (O_2 + Ar)$ ）を、10%以上、30%以下とする。このように、酸素を含む雰囲気でマイクロ波処理を行うことで、酸化物230b中のキャリア濃度を低下させることができる。また、マイクロ波処理において、チャンパーに過剰な量の酸素が導入されないようにすることで、酸化物230bでキャリア濃度が過剰に低下することを防ぐことができる。

【0323】

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物230bの、導電体242aと導電体242bとの間の領域に作用させることができる。プラズマ、マイクロ波などの作用により、当該領域におけるVOHを酸素欠損と水素とに分断し、水素を当該領域から除去することができる。ここで、図2（A）などに示す構造にする場合、絶縁膜250Aaとして、水素を捕獲または水素を固着する機能を有する絶縁膜（例えば、酸化アルミニウムなど）を用いることが好ましい。このような構成にすることで、マイクロ波処理により生じた水素を、絶縁膜250Aaに捕獲、または固着させることができる。このようにして、チャンネル形成領域に含まれるVOHを低減できる。以上により、チャンネル形成領域中の酸素欠損、及びVOHを低減し、キャリア濃度を低下させることができる。また、チャンネル形成領域に形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカルを供給することで、さらに、チャンネル形成領域中の酸素欠損を低減し、キャリア濃度を低下させることができる。

【0324】

チャンネル形成領域中に注入される酸素は、酸素原子、酸素分子、酸素イオン、及び酸素ラジカル（Oラジカルともいう、不対電子をもつ原子、分子、またはイオン）など様々な

形態がある。なお、チャンネル形成領域中に注入される酸素は、上述の形態のいずれか一または複数であればよく、特に酸素ラジカルであると好適である。また、絶縁体 250 の膜質を向上させることができるため、トランジスタの信頼性が向上する。

**【0325】**

一方、酸化物 230 b には、導電体 242 a、242 b のいずれかと重なる領域が存在する。当該領域は、ソース領域またはドレイン領域として機能することができる。ここで、導電体 242 a、242 b は、酸素を含む雰囲気中でマイクロ波処理を行う際、マイクロ波、RF 等の高周波、酸素プラズマなどの作用に対する遮蔽膜として機能することが好ましい。このため、導電体 242 a、242 b は、300 MHz 以上 300 GHz 以下、例えば、2.4 GHz 以上 2.5 GHz 以下の電磁波を遮蔽する機能を有することが好ましい。

10

**【0326】**

導電体 242 a、242 b は、マイクロ波、または RF 等の高周波、酸素プラズマなどの作用を遮蔽するため、これらの作用は、酸化物 230 b の導電体 242 a、242 b のいずれかと重なる領域には及ばない。これにより、マイクロ波処理によって、ソース領域及びドレイン領域で、V<sub>OH</sub> の低減、及び過剰な量の酸素供給が発生しないため、キャリア濃度の低下を防ぐことができる。

**【0327】**

また、導電体 242 a 2、242 b 2 の側面に接して、酸素に対するバリア性を有する、絶縁体 255 が設けられている。また、導電体 242 a 1、242 b 1、及び絶縁体 255 を覆って、絶縁膜 250 A a、及び絶縁膜 250 A b が設けられている。これにより、マイクロ波処理によって、導電体 242 a、242 b の側面に酸化膜が形成されることを抑制できる。

20

**【0328】**

以上のようにして、酸化物半導体のチャンネル形成領域で選択的に酸素欠損、及び V<sub>OH</sub> を除去して、チャンネル形成領域を i 型または実質的に i 型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域に過剰な酸素が供給されることを抑制し、マイクロ波処理を行う前の導電性（低抵抗領域である状態）を維持することができる。これにより、トランジスタの電気特性の変動を抑制し、基板面内でトランジスタの電気特性がばらつくことを抑制できる。

30

**【0329】**

なお、マイクロ波処理では、マイクロ波と酸化物 230 b 中の分子の電磁気的な相互作用により、酸化物 230 b に直接的に熱エネルギーを伝達する場合がある。この熱エネルギーにより、酸化物 230 b が加熱される場合がある。このような加熱処理をマイクロ波アニールと呼ぶ場合がある。マイクロ波処理を、酸素を含む雰囲気中で行うことで、酸素アニールと同等の効果が得られる場合がある。また、酸化物 230 b に水素が含まれる場合、この熱エネルギーが酸化物 230 b 中の水素に伝わり、これにより活性化した水素が酸化物 230 b から放出されることが考えられる。

**【0330】**

また、マイクロ波処理を行って絶縁膜 250 A a、及び絶縁膜 250 A b の膜質を改質することで、水素、水、不純物等の拡散を抑制できる。従って、導電体 260 となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体 250 を介して、水素、水、不純物等が、酸化物 230 b、酸化物 230 a などへ拡散することを抑制できる。このように、絶縁体 250 の膜質を向上させることで、トランジスタの信頼性を向上させることができる。

40

**【0331】**

次に、絶縁膜 250 A b の上に絶縁膜 250 A c を成膜する（図 16 (C) 参照）。本実施の形態では、絶縁膜 250 A c として、窒化シリコンを P E A L D 法によって成膜する。このようにして、絶縁膜 250 A a 乃至絶縁膜 250 A c を有する、絶縁膜 250 A を形成することができる。

50

## 【0332】

なお、上記において、絶縁膜250Abを成膜した後にマイクロ波処理を行う例について示したが、本発明はこれに限られるものではない。絶縁膜250Acまで成膜した後で、マイクロ波処理を行う構成にすることもできる。または、絶縁膜250Aaの成膜前にマイクロ波処理を行う構成にすることもできる。

## 【0333】

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、当該絶縁膜中、酸化物230b中、及び酸化物230a中の水素を効率よく除去できる。また、水素の一部は、導電体242a、242bにゲッターリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、当該絶縁膜中、酸化物230b中、及び酸化物230a中の水素をさらに効率よく除去できる。なお、加熱処理温度は、300以上500以下とすることが好ましい。また、上記マイクロ波処理、すなわちマイクロ波アニールが該加熱処理を兼ねてもよい。マイクロ波アニールにより、酸化物230bなどが十分加熱される場合、該加熱処理を行わなくてもよい。

10

## 【0334】

なお、図3(A)に示すように、絶縁体250を絶縁体250aと絶縁体250cの積層構造にする場合、上記の工程において、絶縁膜250Abの成膜を行わない構成にすればよい。また、図3(B)に示すように、絶縁体250を絶縁体250a、絶縁体250b、絶縁体250c、及び絶縁体250dの積層構造にする場合、図16(B)のマイクロ波処理の後で、絶縁体250dとなる絶縁膜を成膜し、さらにもう一度マイクロ波処理を行い、絶縁膜250Acを成膜してもよい。ここで、絶縁体250dとなる絶縁膜として、酸化ハフニウムを熱ALD法によって成膜することができる。このように、酸素を含む雰囲気でのマイクロ波処理は、複数回(少なくとも2回以上)の処理としてもよい。

20

## 【0335】

次に、導電体260aとなる導電膜260Aと、導電体260bとなる導電膜260Bと、を順に成膜する(図17(A)乃至図17(D)参照)。導電膜260A、及び、導電膜260Bは、それぞれ、例えば、スパッタリング法、CVD法、MBE法、PLD法、メッキ法または、ALD法を用いて成膜することができる。本実施の形態では、ALD法を用いて、導電膜260Aとして窒化チタンを成膜し、CVD法を用いて導電膜260Bとしてタンゲステンを成膜する。

30

## 【0336】

次に、CMP処理によって、絶縁膜250A、導電膜260A、及び、導電膜260Bを、絶縁体280が露出するまで研磨する。つまり、絶縁膜250A、導電膜260A、及び、導電膜260Bの、上記開口から露出した部分を除去する。これによって、導電体205と重なる開口の中に、絶縁体250、及び導電体260(導電体260a及び導電体260b)を形成する(図18(A)乃至図18(D)参照)。

## 【0337】

これにより、絶縁体250は、上記開口内で、絶縁体255、導電体242a1、導電体242b1、酸化物230、絶縁体224、及び絶縁体222に接して設けられる。また、導電体260は、絶縁体250を介して、上記開口を埋め込むように配置される。このようにして、トランジスタ200が形成される。

40

## 【0338】

なお、上記のように、絶縁体280を積層構造とし、上面にエッチングストップパとして機能する絶縁体を設けた場合、エッチングストップパとして機能する絶縁体を、上記CMP処理によって除去することが好ましい。これにより、後の工程で絶縁体280に酸素を添加する際に、上記エッチングストップパとして機能する絶縁体によって、酸素の添加が阻害されることを防ぐことができる。

## 【0339】

50

次に、絶縁体 255 上、絶縁体 250 上、導電体 260 上、及び絶縁体 280 上に、絶縁体 282 を形成する。絶縁体 282 は、例えば、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法を用いて成膜することができる。絶縁体 282 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体 282 中の水素濃度を低減できる。

#### 【0340】

また、スパッタリング法を用いて、酸素を含む雰囲気中で絶縁体 282 の成膜を行うことで、成膜しながら、絶縁体 280 に酸素を添加できる。これにより、絶縁体 280 に過剰酸素を含ませることができる。このとき、基板加熱を行いながら、絶縁体 282 を成膜することが好ましい。ここで、上述のように、絶縁体 255 の一部を酸化させておくことで、絶縁体 280 に供給された酸素を絶縁体 255、及び絶縁体 250 を介して酸化物 230b まで拡散させ、好適な量の酸素を酸化物 230b に供給することができる。

10

#### 【0341】

本実施の形態では、絶縁体 282 として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、スパッタリング法で酸化アルミニウムを成膜する。スパッタリング法で基板に印加する RF 電力の大きさによって、絶縁体 282 より下層へ注入する酸素量を制御することができる。例えば、RF 電力が小さいほど絶縁体 282 より下層へ注入する酸素量が減り、絶縁体 282 の膜厚が薄くても当該酸素量は飽和しやすくなる。また、RF 電力が大きいほど絶縁体 282 より下層へ注入する酸素量が増える。RF 電力を小さくすることで、絶縁体 280 へ注入される酸素量を抑制できる。また、絶縁体 282 を 2 層の積層構造で成膜してもよい。このとき、例えば、絶縁体 282 の下層を、基板に印加する RF 電力を印加しないで成膜し、絶縁体 282 の上層を、基板に RF 電力を印加して成膜する。

20

#### 【0342】

なお、RF の周波数は、10 MHz 以上が好ましい。代表的には、13.56 MHz である。RF の周波数が高いほど基板へ与えるダメージを小さくすることができる。

#### 【0343】

また、絶縁体 282 の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁体 282 を成膜してもよい。このような処理を行うことによって、絶縁体 280 の表面に吸着している水分及び水素を除去し、さらに絶縁体 280 中の水分濃度及び水素濃度を低減させることができる。加熱処理の温度は、100 以上 400 以下が好ましい。本実施の形態では、加熱処理の温度を 250 とする。

30

#### 【0344】

次に、絶縁体 282 上に、絶縁体 283 を形成する。絶縁体 283 は、例えば、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法を用いて成膜することができる。絶縁体 283 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁体 283 中の水素濃度を低減できる。本実施の形態では、絶縁体 283 として、スパッタリング法を用いて、窒化シリコンを成膜する。

40

#### 【0345】

ここで、絶縁体 282 及び絶縁体 283 は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体 282 及び絶縁体 283 上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体 282 及び絶縁体 283 との界面または界面近傍を清浄に保つことができる。

#### 【0346】

また、絶縁体 283 の成膜後に、加熱処理を行ってもよい。当該加熱処理の温度は、100 以上 400 以下が好ましい。加熱処理を行うことで、絶縁体 280、絶縁体 250、及び酸化物 230 に含まれる水素が絶縁体 282 内に吸い取られる。別言すると、絶縁体 280、絶縁体 250、及び酸化物 230 に含まれる水素が絶縁体 282 に拡散する

50

。従って、絶縁体 282 の水素濃度は高くなるが、絶縁体 280、絶縁体 250、及び酸化物 230 のそれぞれの水素濃度は低下する。なお、絶縁体 282 の上面に接して絶縁体 283 を設けておくことで、当該加熱処理において、絶縁体 283 より上方から水分、または水素などの不純物が侵入するのを防ぐことができる。また、加熱処理を行うことで、絶縁体 216、絶縁体 224、及び酸化物 230 に含まれる水素が絶縁体 222 内に吸い取られる。別言すると、絶縁体 216、絶縁体 224、及び酸化物 230 に含まれる水素が絶縁体 222 に拡散する。従って、絶縁体 222 の水素濃度は高くなるが、絶縁体 216、絶縁体 224、及び酸化物 230 中のそれぞれの水素濃度は低下する。なお、絶縁体 222 の下面に接して絶縁体 221 を設けておくことで、当該加熱処理において、絶縁体 221 より下方から水分、または水素などの不純物が侵入するのを防ぐことができる。

10

【0347】

以上により、図 1 に示す半導体装置を作製できる。

【0348】

本実施の形態に係る半導体装置は、酸化物半導体上の導電体を 2 層構造にし、下層に酸化しにくい導電体を用い、上層に導電性の高い導電体を用いる構成にすることで、酸化物半導体の上面に接して、電極または配線として機能する導電体が設けられている。当該導電体は、OS トランジスタのソース電極及びドレイン電極として機能する。本実施の形態に係る半導体装置は、ソース電極及びドレイン電極の下層の導電体どうしの距離を、ソース電極及びドレイン電極の上層の導電体どうしの距離より短くし、微細化を図ることで、半導体装置の周波数特性の向上及び動作速度の向上を図ることができる。また、本実施の形態に係る半導体装置は、ソース電極及びドレイン電極の上層の導電体の側面に接して、保護膜として機能する絶縁体を設ける。これにより、ソース電極及びドレイン電極の上層が過剰に酸化されるのを抑制することができる。

20

【0349】

本実施の形態に係る半導体装置は、OS トランジスタを有する。OS トランジスタは、オフ電流が小さいため、消費電力が少ない半導体装置または記憶装置を実現できる。また、OS トランジスタは、周波数特性が高いため、動作速度が速い半導体装置または記憶装置を実現できる。また、OS トランジスタを用いることで、良好な電気特性を有する半導体装置、トランジスタの電気特性のばらつきが少ない半導体装置、オン電流が大きい半導体装置、信頼性が高い半導体装置または記憶装置を実現できる。

30

【0350】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1 つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

【0351】

(実施の形態 2)

本実施の形態では、先の実施の形態に示す OS トランジスタと、チャンネル形成領域にシリコンを有するトランジスタ (Si トランジスタともいう) との比較について説明する。

【0352】

[OS トランジスタ]

40

OS トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャンネル形成領域のキャリア濃度は  $1 \times 10^{18} \text{ cm}^{-3}$  以下、好ましくは  $1 \times 10^{17} \text{ cm}^{-3}$  未満、より好ましくは  $1 \times 10^{16} \text{ cm}^{-3}$  未満、さらに好ましくは  $1 \times 10^{13} \text{ cm}^{-3}$  未満、さらに好ましくは  $1 \times 10^{10} \text{ cm}^{-3}$  未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$  以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

【0353】

50

また、高純度真性又は実質的に高純度真性である酸化物半導体は、欠陥準位密度が低い  
ため、トラップ準位密度も低くなる場合がある。また、酸化物半導体のトラップ準位に捕  
獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞う  
ことがある。そのため、トラップ準位密度の高い酸化物半導体にチャンネル形成領域が形成  
されるトランジスタは、電気特性が不安定となる場合がある。

【0354】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度  
を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、  
近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素等が  
挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成  
分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。

10

【0355】

また、OSトランジスタは、酸化物半導体中のチャンネル形成領域に不純物および酸素欠  
損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、OSト  
ランジスタは、酸化物半導体中の酸素欠損に水素が入った欠陥（以下、VOHと呼ぶ場合  
がある）を形成し、キャリアとなる電子を生成する場合がある。また、チャンネル形成領域  
にVOHが形成されると、チャンネル形成領域中のドナー濃度が増加する場合がある。チャ  
ネル形成領域中のドナー濃度が増加するにつれ、しきい値電圧がばらつくことがある。こ  
のため、酸化物半導体中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタ  
はノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジ  
スタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャンネル形成領  
域では、不純物、酸素欠損、およびVOHはできる限り低減されていることが好ましい。

20

【0356】

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には1.  
1 eV）よりも大きいことが好ましく、好ましくは2 eV以上、より好ましくは2.5 e  
V以上、さらに好ましくは3.0 eV以上である。シリコンよりも、バンドギャップの大き  
い酸化物半導体を用いることで、トランジスタのオフ電流（I<sub>off</sub>とも呼称する）を  
低減することができる。

【0357】

また、Siトランジスタでは、トランジスタの微細化が進むにつれて、短チャンネル効果  
（ショートチャンネル効果：Short Channel Effect：SCEともいう）が発現する。そのため、Siトランジスタでは、微細化が困難となる。短チャンネル効果  
が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一  
方、OSトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用  
いるため、短チャンネル効果の抑制を図ることができる。別言すると、OSトランジスタは  
、短チャンネル効果がない、または短チャンネル効果が極めて少ないトランジスタである。

30

【0358】

なお、短チャンネル効果とは、トランジスタの微細化（チャンネル長の縮小）に伴って顕在  
化する電気特性の劣化である。短チャンネル効果の具体例としては、しきい値電圧の低下、  
S値の増大、漏れ電流の増大などがある。

40

【0359】

また、短チャンネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャンネル形成領域のポテンシ  
ヤルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がる  
ため、短チャンネル効果に強いといえる。

【0360】

OSトランジスタは蓄積型のトランジスタであり、Siトランジスタは反転型のトラン  
ジスタである。したがって、Siトランジスタと比較して、OSトランジスタは、ソース  
領域 - チャンネル形成領域間の特性長、及びドレイン領域 - チャンネル形成領域間の特性長が  
小さい。したがって、OSトランジスタは、Siトランジスタよりも短チャンネル効果に強

50

い。すなわち、チャンネル長の短いトランジスタを作製したい場合においては、OSトランジスタは、Siトランジスタよりも好適である。

【0361】

チャンネル形成領域がi型又は実質的にi型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャンネルのトランジスタではConduction-Band-Lowering (CBL) 効果により、チャンネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャンネル形成領域との間の伝導帯下端のエネルギー差は、0.1 eV以上0.2 eV以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャンネル形成領域がn<sup>-</sup>型の領域となり、ソース領域およびドレイン領域がn<sup>+</sup>型の領域となる、n<sup>+</sup>/n<sup>-</sup>/n<sup>+</sup>の蓄積型junction-lessトランジスタ構造、または、n<sup>+</sup>/n<sup>-</sup>/n<sup>+</sup>の蓄積型non-junctionトランジスタ構造と、捉えることもできる。

10

【0362】

OSトランジスタを、上記の構造とすることで、半導体装置を微細化または高集積化しても良好な電気特性を有することができる。例えば、OSトランジスタのゲート長が、20 nm以下、15 nm以下、10 nm以下、7 nm以下、または6 nm以下であって、1 nm以上、3 nm以上、または5 nm以上であって、良好な電気特性を得ることができる。一方で、Siトランジスタは、短チャンネル効果が発現するため、20 nm以下、または15 nm以下のゲート長とすることが困難な場合がある。したがって、OSトランジスタは、Siトランジスタと比較してチャンネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャンネル形成領域内部を移動する方向における、ゲート電極の長さであり、トランジスタの平面視における、ゲート電極の底面の幅をいう。

20

【0363】

また、OSトランジスタを微細化することで、トランジスタの周波数特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OSトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、50 GHz以上、好ましくは100 GHz以上、さらに好ましくは150 GHz以上とすることができる。

【0364】

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、オフ電流が小さいこと、チャンネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

30

【0365】

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

【0366】

(実施の形態3)

本実施の形態では、本発明の一態様のトランジスタを用いた記憶装置について図19乃至図25を用いて説明する。

40

【0367】

本実施の形態では、上記実施の形態で説明したトランジスタを有するメモリセルを用いた記憶装置の構成例について説明する。本実施の形態では、積層されたメモリセルを有する層と、メモリセルに保持したデータ電位を増幅して出力する機能を有する機能回路を有する層を設けた、記憶装置の構成例について説明する。

【0368】

[記憶装置の構成例]

図19に、本発明の一態様の記憶装置のブロック図を示す。

【0369】

図19に示す記憶装置300は、駆動回路21と、メモリアレイ20と、を有する。メ

50

モリアレイ 20 は、複数のメモリセル 10 と、複数の機能回路 51 を有する機能層 50 と、を有する。

【0370】

図 19 では、メモリアレイ 20 が  $m$  行  $n$  列 ( $m$  及び  $n$  は 2 以上の整数。) のマトリクス状に配置された複数のメモリセル 10 を有する例を示している。また、図 19 では、機能回路 51 を、ビット線として機能する配線  $BL$  ごとに設ける例を示しており、機能層 50 が、 $n$  本の配線  $BL$  に対応して設けられた  $n$  個の機能回路 51 を有する例を示している。

【0371】

図 19 では、1 行 1 列目のメモリセル 10 をメモリセル 10 [ 1 , 1 ] と示し、 $m$  行  $n$  列目のメモリセル 10 をメモリセル 10 [  $m$  ,  $n$  ] と示している。また、本実施の形態などでは、任意の行を示す場合に  $i$  行と記す場合がある。また、任意の列を示す場合に  $j$  列と記す場合がある。よって、 $i$  は 1 以上  $m$  以下の整数であり、 $j$  は 1 以上  $n$  以下の整数である。また、本実施の形態などでは、 $i$  行  $j$  列目のメモリセル 10 をメモリセル 10 [  $i$  ,  $j$  ] と示している。なお、本実施の形態などにおいて、「 $i +$ 」 ( $i$  は正または負の整数) と示す場合は、「 $i +$ 」は 1 を下回らず、 $m$  を超えない。同様に、「 $j +$ 」と示す場合は、「 $j +$ 」は 1 を下回らず、 $n$  を超えない。

【0372】

また、メモリアレイ 20 は、行方向に延在する  $m$  本の配線  $WL$  と、行方向に延在する  $m$  本の配線  $PL$  と、列方向に延在する  $n$  本の配線  $BL$  と、を備える。本実施の形態などでは、1 本目 (1 行目) に設けられた配線  $WL$  を配線  $WL$  [ 1 ] と示し、 $m$  本目 ( $m$  行目) に設けられた配線  $WL$  を配線  $WL$  [  $m$  ] と示す。同様に、1 本目 (1 行目) に設けられた配線  $PL$  を配線  $PL$  [ 1 ] と示し、 $m$  本目 ( $m$  行目) に設けられた配線  $PL$  を配線  $PL$  [  $m$  ] と示す。同様に、1 本目 (1 列目) に設けられた配線  $BL$  を配線  $BL$  [ 1 ] と示し、 $n$  本目 ( $n$  列目) に設けられた配線  $BL$  を配線  $BL$  [  $n$  ] と示す。

【0373】

$i$  行目に設けられた複数のメモリセル 10 は、 $i$  行目の配線  $WL$  (配線  $WL$  [  $i$  ]) と  $i$  行目の配線  $PL$  (配線  $PL$  [  $i$  ]) に電氣的に接続される。 $j$  列目に設けられた複数のメモリセル 10 は、 $j$  列目の配線  $BL$  (配線  $BL$  [  $j$  ]) と電氣的に接続される。

【0374】

メモリアレイ 20 には、DOSRAM (登録商標) (Dynamic Oxide Semiconductor Random Access Memory) を適用することができる。DOSRAM は、1T (トランジスタ) 1C (容量) 型のメモリセルを有する RAM であり、アクセストランジスタが OSTランジスタであるメモリのことをいう。OSTランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。DOSRAM は、アクセストランジスタをオフ (非導通状態) にすることで、容量素子 (キャパシタ) に保持しているデータに応じた電荷を長時間保持することが可能である。そのため DOSRAM は、チャンネル形成領域にシリコンを有するトランジスタ (Siトランジスタ) で構成される DRAM と比較して、リフレッシュ動作の頻度を低減できる。その結果、低消費電力化を図ることができる。また、OSTランジスタの周波数特性は高いため、記憶装置の読み出し、及び書き込みを高速に行うことができる。これにより、動作速度が速い記憶装置を提供することができる。

【0375】

図 19 に示すメモリアレイ 20 では、複数のメモリアレイ 20 [ 1 ] 乃至 20 [  $m$  ] を積層して設けることができる。メモリアレイ 20 が有するメモリアレイ 20 [ 1 ] 乃至 20 [  $m$  ] は、駆動回路 21 が設けられる基板表面の垂直方向に配置することで、メモリセル 10 のメモリ密度の向上を図ることができる。

【0376】

配線  $BL$  は、データの書き込み及び読み出しを行うためのビット線として機能する。配線  $WL$  は、スイッチとして機能するアクセストランジスタのオンまたはオフ (導通状態または非導通状態) を制御するためのワード線として機能する。配線  $PL$  は、容量素子に接

10

20

30

40

50

続される定電位線としての機能を有する。なお、アクセストランジスタである O S トランジスタのバックゲートにバックゲート電位を伝える機能を有する配線として、配線 C L ( 図示せず ) を別途設けることができる。また、配線 P L が、バックゲート電位を伝える機能を兼ねる構成にしてもよい。

**【 0 3 7 7 】**

メモリアレイ 2 0 [ 1 ] 乃至 2 0 [ m ] がそれぞれ有するメモリセル 1 0 は、配線 B L を介して機能回路 5 1 に接続される。配線 B L は、駆動回路 2 1 が設けられる基板表面の垂直方向に配置することができる。メモリアレイ 2 0 [ 1 ] 乃至 2 0 [ m ] が有するメモリセル 1 0 から延びて設けられる配線 B L を基板表面の垂直方向に設けることで、メモリアレイ 2 0 と機能回路 5 1 との間の配線の長さを短くできる。そのため、ビット線に接続される 2 つの回路の間の信号伝搬距離を短くでき、ビット線の抵抗及び寄生容量が大幅に削減されるため、消費電力及び信号遅延の低減が実現できる。またメモリセル 1 0 が有する容量素子の容量を小さくしても、記憶装置を動作させることが可能となる。

10

**【 0 3 7 8 】**

機能回路 5 1 は、メモリセル 1 0 に保持したデータ電位を増幅し、後述する配線 G B L ( 図示せず ) を介して駆動回路 2 1 が有するセンスアンプ 4 6 に出力する機能を有する。当該構成にすることで、データ読み出し時に配線 B L のわずかな電位差を増幅することができる。配線 G B L は、配線 B L と同様に駆動回路 2 1 が設けられる基板表面の垂直方向に配置することができる。メモリアレイ 2 0 [ 1 ] 乃至 2 0 [ m ] が有するメモリセル 1 0 から延びて設けられる配線 B L 及び配線 G B L を基板表面の垂直方向に設けることで、機能回路 5 1 とセンスアンプ 4 6 との間の配線の長さを短くできる。そのため、配線 G B L に接続される 2 つの回路の間の信号伝搬距離を短くでき、配線 G B L の抵抗及び寄生容量が大幅に削減されるため、消費電力及び信号遅延の低減が実現できる。

20

**【 0 3 7 9 】**

なお配線 B L は、メモリセル 1 0 が有するトランジスタの半導体層に接して設けられる。あるいは配線 B L は、メモリセル 1 0 が有するトランジスタの半導体層のソースまたはドレインとして機能する領域に接して設けられる。あるいは配線 B L は、メモリセル 1 0 が有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体に接して設けられる。つまり配線 B L は、メモリアレイ 2 0 の各層におけるメモリセル 1 0 が有するトランジスタのソースまたはドレインの一方のそれぞれと、機能回路 5 1 と、を垂直方向で電氣的に接続するための配線であるといえる。

30

**【 0 3 8 0 】**

メモリアレイ 2 0 は、駆動回路 2 1 上に重ねて設けることができる。駆動回路 2 1 とメモリアレイ 2 0 を重ねて設けることで、駆動回路 2 1 とメモリアレイ 2 0 の間の信号伝搬距離を短くすることができる。よって、駆動回路 2 1 とメモリアレイ 2 0 の間の抵抗及び寄生容量が低減され、消費電力及び信号遅延の低減が実現できる。また、記憶装置 3 0 0 の小型化が実現できる。

**【 0 3 8 1 】**

機能回路 5 1 は、D O S R A M のメモリセル 1 0 が有するトランジスタと同様に O S トランジスタを用いることで、メモリアレイ 2 0 [ 1 ] 乃至 2 0 [ m ] と同様に S i t トランジスタを用いた回路上などに自由に配置可能であるため、集積化を容易に行うことができる。機能回路 5 1 で信号を増幅する構成とすることで後段の回路であるセンスアンプ 4 6 等の回路を小型化できるため、記憶装置 3 0 0 の小型化を図ることができる。

40

**【 0 3 8 2 】**

駆動回路 2 1 は、P S W 2 2 ( パワースイッチ )、P S W 2 3、及び周辺回路 3 1 を有する。周辺回路 3 1 は、周辺回路 4 1、コントロール回路 3 2 ( C o n t r o l C i r c u i t )、及び電圧生成回路 3 3 を有する。

**【 0 3 8 3 】**

記憶装置 3 0 0 において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号 B W、信号 C

50

E、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

【0384】

また、信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路32で生成してもよい。

【0385】

コントロール回路32は、記憶装置300の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GW及び信号BWを論理演算して、記憶装置300の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路32は、この動作モードが実行されるように、周辺回路41の制御信号を生成する。

【0386】

電圧生成回路33は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路33への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路33へ入力され、電圧生成回路33は負電圧を生成する。

【0387】

周辺回路41は、メモリセル10に対するデータの書き込み及び読み出しを行うための回路である。また周辺回路41は、機能回路51を制御するための各種信号を出力する回路である。周辺回路41は、行デコーダ42（Row Decoder）、列デコーダ44（Column Decoder）、行ドライバ43（Row Driver）、列ドライバ45（Column Driver）、入力回路47（Input Cir.）、出力回路48（Output Cir.）、センスアンプ46（Sense Amplifier）を有する。

【0388】

行デコーダ42及び列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定するための回路である。行ドライバ43は、行デコーダ42が指定する配線WLを選択する機能を有する。列ドライバ45は、データをメモリセル10に書き込む機能、メモリセル10からデータを読み出す機能、読み出したデータを保持する機能等を有する。

【0389】

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、メモリセル10に書き込むデータ（Din）である。列ドライバ45がメモリセル10から読み出したデータ（Dout）は、出力回路48に出力される。出力回路48は、Doutを保持する機能を有する。また、出力回路48は、Doutを記憶装置300の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

【0390】

PSW22は周辺回路31へのVDDの供給を制御する機能を有する。PSW23は、行ドライバ43へのVHMの供給を制御する機能を有する。ここでは、記憶装置300の高電源電圧がVDDであり、低電源電圧はGND（接地電位）である。また、VHMは、ワード線を高レベルにするために用いられる高電源電圧であり、VDDよりも高い。信号PON1によってPSW22のオン・オフが制御され、信号PON2によってPSW23のオン・オフが制御される。図19では、周辺回路31において、VDDが供給される電

10

20

30

40

50

源ドメインの数を 1 としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

【0391】

メモリアレイ 20 [ 1 ] 乃至 20 [ m ] ( m は 2 以上の整数 ) 及び機能層 50 を有するメモリアレイ 20 は、駆動回路 21 上に複数層のメモリアレイ 20 を重ねて設けることができる。複数層のメモリアレイ 20 を重ねて設けることで、メモリセル 10 のメモリ密度を高めることができる。図 20 ( A ) に、駆動回路 21 上に機能層 50 と、5 層 ( m = 5 ) のメモリアレイ 20 [ 1 ] 乃至 20 [ 5 ] と、を重ねて有する記憶装置 300 の斜視図を示している。

【0392】

図 20 ( A ) では、1 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [ 1 ] と示し、2 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [ 2 ] と示し、5 層目に設けられたメモリアレイ 20 をメモリアレイ 20 [ 5 ] と示している。また図 20 ( A ) において、X 方向に延びて設けられる配線 W L、配線 P L 及び配線 C L と、Z 方向 ( 駆動回路が設けられる基板表面に垂直な方向 ) に延びて設けられる配線 B L と、を図示している。なお、図面を見やすくするため、メモリアレイ 20 それぞれが有する配線 W L 及び配線 P L の記載を一部省略している。

【0393】

図 20 ( B ) に、図 20 ( A ) で図示した配線 B L に接続された機能回路 51、及び配線 B L に接続されたメモリアレイ 20 [ 1 ] 乃至 20 [ 5 ] が有するメモリセル 10 の構成例を説明する模式図を示す。また図 20 ( B ) では、機能回路 51 と駆動回路 21 との間に設けられる配線 G B L を図示している。なお、1 つの配線 B L に複数のメモリセル ( メモリセル 10 ) が電氣的に接続される構成を「メモリストリング」ともいう。なお図面において、配線 G B L は、視認性を高めるため、太線で図示する場合がある。

【0394】

図 20 ( B ) では、配線 B L に接続されるメモリセル 10 の回路構成の一例を図示している。メモリセル 10 は、トランジスタ 11 及び容量素子 12 を有する。トランジスタ 11、容量素子 12、及び各配線 ( 配線 B L、及び配線 W L など ) についても、例えば配線 B L [ 1 ] 及び配線 W L [ 1 ] を配線 B L 及び配線 W L などのようにいう場合がある。ここで、トランジスタ 11 は、実施の形態 1 で示したトランジスタ 200 と対応する。

【0395】

メモリセル 10 において、トランジスタ 11 のソースまたはドレインの一方は配線 B L に接続される。トランジスタ 11 のソースまたはドレインの他方は容量素子 12 の一方の電極に接続される。容量素子 12 の他方の電極は、配線 P L に接続される。トランジスタ 11 のゲートは配線 W L に接続される。トランジスタ 11 のバックゲートは配線 C L に接続される。

【0396】

配線 P L は、容量素子 12 の電位を保持するための定電位を与える配線である。配線 C L は、トランジスタ 11 のしきい値電圧を制御するための定電位を与える配線である。配線 P L と配線 C L は、同じ電位でもよい。この場合、2 つの配線を接続することで、メモリセル 10 に接続される配線数を削減することができる。

【0397】

図 20 ( B ) に図示する配線 G B L は、駆動回路 21 と機能層 50 との間を電氣的に接続するように設けられる。図 21 ( A ) では、機能回路 51、及びメモリアレイ 20 [ 1 ] 乃至 20 [ m ] を繰り返し単位 70 とする記憶装置 300 の模式図を示している。なお図 21 ( A ) では、配線 G B L を 1 本図示しているが、配線 G B L は機能層 50 に設けられる機能回路 51 の数に応じて適宜設ければよい。

【0398】

なお配線 G B L は、機能回路 51 が有するトランジスタの半導体層に接して設けられる。あるいは配線 G B L は、機能回路 51 が有するトランジスタの半導体層のソースまたは

10

20

30

40

50

ドレインとして機能する領域に接して設けられる。あるいは配線 G B L は、機能回路 5 1 が有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体に接して設けられる。つまり配線 G B L は、機能層 5 0 における機能回路 5 1 が有するトランジスタのソースまたはドレインの一方と、駆動回路 2 1 と、を垂直方向で電氣的に接続するための配線であるといえる。

**【 0 3 9 9 】**

また機能回路 5 1、及びメモリアレイ 2 0 [ 1 ] 乃至 2 0 [ m ] を有する繰返し単位 7 0 は、さらに積層する構成としてもよい。本発明の一態様の記憶装置 3 0 0 A は、図 2 1 ( B ) に図示するように繰返し単位 7 0 [ 1 ] 乃至 7 0 [ p ] ( p は 2 以上の整数 ) とすることができる。配線 G B L は繰返し単位 7 0 が有する機能層 5 0 に接続される。配線 G B L は、機能回路 5 1 の数に応じて適宜設ければよい。

10

**【 0 4 0 0 】**

本発明の一形態では、O S トランジスタを積層して設けるとともに、ビット線として機能する配線を、駆動回路 2 1 が設けられる基板表面の垂直方向に配置する。メモリアレイ 2 0 から延びて設けられるビット線として機能する配線を基板表面の垂直方向に設けることで、メモリアレイ 2 0 と駆動回路 2 1 との間の配線の長さを短くできる。そのため、ビット線の寄生容量を大幅に削減できる。

**【 0 4 0 1 】**

また本発明の一形態は、メモリアレイ 2 0 が設けられる層において、メモリセル 1 0 に保持したデータ電位を増幅して出力する機能を有する機能回路 5 1 を有する機能層 5 0 を備えている。当該構成にすることで、データ読み出し時にビット線として機能する配線 B L のわずかな電位差を増幅して、駆動回路 2 1 が有するセンスアンプ 4 6 を駆動することができる。センスアンプ等の回路を小型化できるため、記憶装置 3 0 0 の小型化を図ることができる。またメモリセル 1 0 が有する容量素子 1 2 の容量を小さくしても記憶装置 3 0 0 を動作させることが可能となる。

20

**【 0 4 0 2 】**

なお、上記においては、メモリセル 1 0 を 1 T ( トランジスタ ) 1 C ( 容量 ) 型の構成にする例について示したが、本発明はこれに限られるものではない。例えば、図 2 5 ( A ) に示すように、3 T 1 C 型のメモリセルを記憶装置に用いてもよい。図 2 5 ( A ) に示すメモリセルは、トランジスタ 1 1 a、1 1 b、1 1 c と、容量素子 1 2 a を有する。ここで、トランジスタ 1 1 a、1 1 b、1 1 c は、トランジスタ 1 1 と同様の構成にすることができ、容量素子 1 2 a は、容量素子 1 2 と同様の構成にすることができる。また、このような構成の R A M を、N O S R A M ( 登録商標 ) ( N o n v o l a t i l e O x i d e S e m i c o n d u c t o r R A M ) と呼ぶ場合がある。

30

**【 0 4 0 3 】**

図 2 5 ( A ) に示すように、トランジスタ 1 1 a のソースまたはドレインの一方が、容量素子 1 2 a の電極の一方、及びトランジスタ 1 1 b の第 1 のゲートと電氣的に接続される。また、トランジスタ 1 1 b のソース及びドレインの一方が、トランジスタ 1 1 c のソース及びドレインの一方と電氣的に接続される。なお、トランジスタ 1 1 a の第 1 のゲート、ソース及びドレインの他方、ならびに第 2 のゲート、トランジスタ 1 1 b のソース及びドレインの他方、ならびに第 2 のゲート、トランジスタ 1 1 c の第 1 のゲート、ソース及びドレインの他方、ならびに第 2 のゲート、ならびに容量素子 1 2 a の電極の他方には、適宜配線を設ければよい。また、これらの配線に合わせて、記憶装置の構造も適宜変形させることができる。

40

**【 0 4 0 4 】**

また、図 2 5 ( B ) に示すように、トランジスタ 1 1 c を設けずに、トランジスタ 1 1 a、1 1 b と容量素子 1 2 a だけを有する、2 T 1 C 型のメモリセルにしてもよい。

**【 0 4 0 5 】**

また、トランジスタ 1 1 a、及びトランジスタ 1 1 b の寄生容量が十分大きい場合、図 2 5 ( C ) に示すように、容量素子 1 2 a を設けない構成にしてもよい。この場合、トラ

50

ンジスタ 1 1 a 及びトランジスタ 1 1 b だけでメモリセルが構成される。

【 0 4 0 6 】

[ メモリアレイ 2 0 及び機能回路 5 1 の構成例 ]

図 2 2 を用いて、図 1 9 乃至図 2 1 で説明した機能回路 5 1 の構成例、及びメモリアレイ 2 0 及び駆動回路 2 1 が有するセンスアンプ 4 6 の構成例について説明する。図 2 2 では、異なる配線 B L ( 配線 B L \_\_ A、配線 B L \_\_ B ) に接続されたメモリセル 1 0 ( メモリセル 1 0 \_\_ A、メモリセル 1 0 \_\_ B ) に接続された機能回路 5 1 ( 機能回路 5 1 \_\_ A、機能回路 5 1 \_\_ B ) に接続される配線 G B L ( 配線 G B L \_\_ A、配線 G B L \_\_ B ) に接続された駆動回路 2 1 を図示している。図 2 2 に図示する駆動回路 2 1 として、センスアンプ 4 6 の他、プリチャージ回路 7 1 \_\_ A、プリチャージ回路 7 1 \_\_ B、スイッチ回路 7 2 \_\_ A、スイッチ回路 7 2 \_\_ B 及び書き込み読み出し回路 7 3 を図示している。

10

【 0 4 0 7 】

機能回路 5 1 \_\_ A、5 1 \_\_ B として、トランジスタ 5 2 \_\_ a、5 2 \_\_ b、5 3 \_\_ a、5 3 \_\_ b、5 4 \_\_ a、5 4 \_\_ b、5 5 \_\_ a、5 5 \_\_ b を図示している。図 2 2 に図示するトランジスタ 5 2 \_\_ a、5 2 \_\_ b、5 3 \_\_ a、5 3 \_\_ b、5 4 \_\_ a、5 4 \_\_ b、5 5 \_\_ a、5 5 \_\_ b は、メモリセル 1 0 が有するトランジスタ 1 1 と同様に O S トランジスタである。機能回路 5 1 を有する機能層 5 0 は、メモリアレイ 2 0 [ 1 ] 乃至 2 0 [ m ] と同様に、駆動回路 2 1 上に積層して設けることができる。

【 0 4 0 8 】

配線 B L \_\_ A は、トランジスタ 5 2 \_\_ a のゲートに接続され、配線 B L \_\_ B はトランジスタ 5 2 \_\_ b のゲートに接続される。配線 G B L \_\_ A は、トランジスタ 5 3 \_\_ a、5 4 \_\_ a のソースまたはドレインの一方が接続される。配線 G B L \_\_ B は、トランジスタ 5 3 \_\_ b、5 4 \_\_ b のソースまたはドレインの一方が接続される。配線 G B L \_\_ A、G B L \_\_ B は、配線 B L \_\_ A、B L \_\_ B と同様に垂直方向に設けられ、駆動回路 2 1 が有するトランジスタに接続される。トランジスタ 5 3 \_\_ a、5 3 \_\_ b、5 4 \_\_ a、5 4 \_\_ b、5 5 \_\_ a、5 5 \_\_ b のゲートには、図 2 2 に示すように、それぞれ、選択信号 M U X、制御信号 W E、または制御信号 R E が与えられる。

20

【 0 4 0 9 】

図 2 2 に示すセンスアンプ 4 6、プリチャージ回路 7 1 \_\_ A、及びプリチャージ回路 7 1 \_\_ B を構成するトランジスタ 8 1 \_\_ 1 乃至 8 1 \_\_ 6、及び 8 2 \_\_ 1 乃至 8 2 \_\_ 4 は、S i トランジスタで構成される。スイッチ回路 7 2 \_\_ A 及びスイッチ回路 7 2 \_\_ B を構成するスイッチ 8 3 \_\_ A 乃至 8 3 \_\_ D も S i トランジスタで構成することができる。トランジスタ 5 3 \_\_ a、5 3 \_\_ b、5 4 \_\_ a、5 4 \_\_ b のソースまたはドレインの一方は、プリチャージ回路 7 1 \_\_ A、プリチャージ回路 7 1 \_\_ B、センスアンプ 4 6、スイッチ回路 7 2 \_\_ A を構成するトランジスタまたはスイッチに接続される。

30

【 0 4 1 0 】

プリチャージ回路 7 1 \_\_ A は、n チャンネル型のトランジスタ 8 1 \_\_ 1 乃至 8 1 \_\_ 3 を有する。プリチャージ回路 7 1 \_\_ A は、プリチャージ線 P C L 1 に与えられるプリチャージ信号に応じて、配線 B L \_\_ A 及び配線 B L \_\_ B を高電源電位 ( V D D ) と低電源電位 ( V S S ) の間の電位 V D D / 2 に相当する中間電位 V P C にプリチャージするための回路である。

40

【 0 4 1 1 】

プリチャージ回路 7 1 \_\_ B は、n チャンネル型のトランジスタ 8 1 \_\_ 4 乃至 8 1 \_\_ 6 を有する。プリチャージ回路 7 1 \_\_ B は、プリチャージ線 P C L 2 に与えられるプリチャージ信号に応じて、配線 G B L \_\_ A 及び配線 G B L \_\_ B を V D D と V S S の間の電位 V D D / 2 に相当する中間電位 V P C にプリチャージするための回路である。

【 0 4 1 2 】

センスアンプ 4 6 は、配線 V H H または配線 V L L に接続された、p チャンネル型のトランジスタ 8 2 \_\_ 1、8 2 \_\_ 2 及び n チャンネル型のトランジスタ 8 2 \_\_ 3、8 2 \_\_ 4 を有する。配線 V H H または配線 V L L は、V D D または V S S を与える機能を有する配線であ

50

る。トランジスタ 8 2 \_\_ 1 乃至 8 2 \_\_ 4 は、インバータループを構成するトランジスタである。メモリセル 1 0 \_\_ A、1 0 \_\_ B を選択することでプリチャージされた配線 B L \_\_ A 及び配線 B L \_\_ B の電位が変化し、当該変化に応じて配線 G B L \_\_ A 及び配線 G B L \_\_ B の電位を V D D または V S S とする。配線 G B L \_\_ A 及び配線 G B L \_\_ B の電位は、スイッチ 8 3 \_\_ C 及びスイッチ 8 3 \_\_ D、及び書き込み読み出し回路 7 3 を介して外部に出力することができる。配線 B L \_\_ A 及び配線 B L \_\_ B、並びに配線 G B L \_\_ A 及び配線 G B L \_\_ B は、ビット線対に相当する。書き込み読み出し回路 7 3 は、信号 E N \_\_ d a t a に応じて、データ信号の書き込みが制御される。

#### 【 0 4 1 3 】

スイッチ回路 7 2 \_\_ A は、センスアンプ 4 6 と配線 G B L \_\_ A 及び配線 G B L \_\_ B との間の導通状態を制御するための回路である。スイッチ回路 7 2 \_\_ A は、切り替え信号 C S E L 1 の制御によってオンまたはオフが切り替えられる。スイッチ 8 3 \_\_ A 及び 8 3 \_\_ B が、n チャンネルトランジスタの場合、切り替え信号 C S E L 1 がハイレベルでオン、ローレベルでオフとなる。スイッチ回路 7 2 \_\_ B は、書き込み読み出し回路 7 3 と、センスアンプ 4 6 に接続されるビット線対との間の導通状態を制御するための回路である。スイッチ回路 7 2 \_\_ B は、切り替え信号 C S E L 2 の制御によってオンまたはオフが切り替えられる。スイッチ 8 3 \_\_ C 及び 8 3 \_\_ D は、スイッチ 8 3 \_\_ A 及び 8 3 \_\_ B と同様に動作すればよい。

#### 【 0 4 1 4 】

図 2 2 に示すように記憶装置 3 0 0 は、メモリセル 1 0 と、機能回路 5 1 と、センスアンプ 4 6 と、を最短距離になる垂直方向に設けられる配線 B L 及び配線 G B L を介して接続する構成とすることができる。機能回路 5 1 を構成するトランジスタを有する機能層 5 0 が増えるが、配線 B L の負荷が低減されることで、書き込み時間を短縮し、データを読み出しやすくすることができる。

#### 【 0 4 1 5 】

また図 2 2 に示すように機能回路 5 1 \_\_ A、5 1 \_\_ B が有する各トランジスタは、制御信号 W E、R E、及び選択信号 M U X に応じて制御される。各トランジスタは、制御信号及び選択信号に応じて、配線 G B L を介して配線 B L の電位を駆動回路 2 1 に出力することができる。機能回路 5 1 \_\_ A、5 1 \_\_ B は、O S トランジスタで構成されるセンスアンプとして機能させることができる。当該構成にすることで、読み出し時に配線 B L のわずかな電位差を増幅して、S i トランジスタを用いたセンスアンプ 4 6 を駆動することができる。

#### 【 0 4 1 6 】

< メモリセルの構成例 >

図 2 3 を用いて、上記記憶装置に用いられるメモリセル 1 0 の構成例について説明する。

#### 【 0 4 1 7 】

なお、図 2 3 において、X 方向は、図示するトランジスタのチャンネル幅方向と平行であり、Y 方向は、X 方向に垂直であり、Z 方向は、X 方向及び Y 方向に垂直である。

#### 【 0 4 1 8 】

図 2 3 に示すように、メモリセル 1 0 は、トランジスタ 1 1 及び容量素子 1 2 を有する。トランジスタ 1 1 の上には、絶縁体 2 8 5 が設けられ、絶縁体 2 8 5 の上には、絶縁体 2 8 4 が設けられている。絶縁体 2 8 5、及び絶縁体 2 8 4 は、絶縁体 2 1 6 に用いることが可能な絶縁体を用いればよい。なお、トランジスタ 1 1 は、先の実施の形態に示すトランジスタ 2 0 0 と同様の構成を有し、同じ構成要素には同符号を付す。トランジスタ 2 0 0 の詳細については、先の実施の形態を参照することができる。また、トランジスタ 1 1 のソースまたはドレインの一方（導電体 2 4 2 a）に接して導電体 2 4 0 が設けられる。導電体 2 4 0 は、Z 方向に延伸して設けられており、配線 B L として機能する。

#### 【 0 4 1 9 】

容量素子 1 2 は、導電体 2 4 2 b 上の導電体 1 5 3 と、導電体 1 5 3 上の絶縁体 1 5 4

と、絶縁体 154 上の導電体 160 (導電体 160 a 及び導電体 160 b) と、を有する。

【0420】

導電体 153、絶縁体 154、及び、導電体 160 は、それぞれ、少なくとも一部が、絶縁体 271 b、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283 及び絶縁体 285 に設けられた開口の内部に配置されている。導電体 153、絶縁体 154、及び、導電体 160 のそれぞれの端部は、少なくとも絶縁体 282 上に位置し、好ましくは絶縁体 285 上に位置する。絶縁体 154 は、導電体 153 の端部を覆うように設けられる。これにより、導電体 153 と導電体 160 とを電氣的に絶縁させることができる。

【0421】

絶縁体 271 b、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283 及び絶縁体 285 に設けられる開口の深さを深くする(つまり、絶縁体 271 b、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283 及び絶縁体 285 のうち一つまたは複数の厚さを厚くする)ほど、容量素子 12 の静電容量を大きくすることができる。容量素子 12 の単位面積当たりの静電容量を大きくすることで、半導体装置の微細化または高集積化を図ることができる。

【0422】

導電体 153 は、容量素子 12 の一方の電極(下部電極)として機能する領域を有する。絶縁体 154 は、容量素子 12 の誘電体として機能する領域を有する。導電体 160 は、容量素子 12 の他方の電極(上部電極)として機能する領域を有する。容量素子 12 は、MIM (Metal - Insulator - Metal) 容量を構成している。

【0423】

また、酸化物 230 上に重畳して設けられた導電体 242 b は、容量素子 12 の導電体 153 と電氣的に接続する配線として機能する。

【0424】

容量素子 12 が有する導電体 153 及び導電体 160 は、それぞれ、導電体 205、または導電体 260 に用いることができる各種導電体を用いて形成することができる。導電体 153 及び導電体 160 は、それぞれ、ALD 法または CVD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。例えば、導電体 153 として、ALD 法または CVD 法を用いて成膜した窒化チタンまたは窒化タンタルを用いることができる。

【0425】

また、導電体 153 の下面には、導電体 242 b 2 の上面が接する。ここで、導電体 242 b 2 として、導電性の良好な導電性材料を用いることで、導電体 153 と導電体 242 b との接触抵抗を低減することができる。

【0426】

また、導電体 160 a として、ALD 法または CVD 法を用いて成膜した窒化チタンを用い、導電体 160 b として、CVD 法を用いて成膜したタングステンをを用いることができる。なお、絶縁体 154 に対するタングステンの密着性が十分高い場合は、導電体 160 として、CVD 法を用いて成膜したタングステンの単層構造を用いてもよい。

【0427】

容量素子 12 が有する絶縁体 154 には、高誘電率 (high - k) 材料 (高い比誘電率の材料) を用いることが好ましい。絶縁体 154 は、ALD 法または CVD 法などの被覆性の良好な成膜法を用いて成膜することが好ましい。

【0428】

高誘電率 (high - k) 材料の絶縁体としては、例えば、アルミニウム、ハフニウム、ジルコニウム、及びガリウムなどから選ばれた金属元素を一種以上含む、酸化物、酸化窒化物、窒化酸化物、及び窒化物が挙げられる。また、上記酸化物、酸化窒化物、窒化酸化物、または窒化物に、シリコンを含有させてもよい。また、上記の材料からなる絶縁体を積層して用いることもできる。

【0429】

10

20

30

40

50

例えば、高誘電率 (high - k) 材料の絶縁体として、例えば、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、シリコン及びジルコニウムを有する酸化物、シリコン及びジルコニウムを有する酸化窒化物、ハフニウム及びジルコニウムを有する酸化物、並びに、ハフニウム及びジルコニウムを有する酸化窒化物が挙げられる。このような high - k 材料を用いることで、リーク電流を抑制できる程度に絶縁体 154 を厚くし、且つ容量素子 12 の静電容量を十分確保することができる。

#### 【0430】

また、上記の材料からなる絶縁体を積層して用いることが好ましく、高誘電率 (high - k) 材料と、当該高誘電率 (high - k) 材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体 154 として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁体を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁体を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁体を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量素子 12 の静電破壊を抑制することができる。

#### 【0431】

絶縁体 271b、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283 及び絶縁体 285 に設けられる開口の深さを深くする（つまり、絶縁体 271b、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283 及び絶縁体 285 のうち一つまたは複数の厚さを厚くする）ほど、容量素子 12 の静電容量を大きくすることができる。ここで、絶縁体 271b、絶縁体 275、絶縁体 282、及び絶縁体 283 はバリア絶縁体として機能するので、半導体装置に求められるバリア性に応じて膜厚を設定することが好ましい。また、絶縁体 280 の膜厚に応じて、ゲート電極として機能する導電体 260 の膜厚が決定されるので、絶縁体 280 の膜厚は、半導体装置に求められる導電体 260 の膜厚に合わせて設定することが好ましい。

#### 【0432】

よって、絶縁体 285 の膜厚を調節することで、容量素子 12 の静電容量を設定することが好ましい。例えば、絶縁体 285 の膜厚を 50 nm 以上 250 nm 以下の範囲で設定し、上記開口の深さを 150 nm 以上 350 nm 以下程度にすればよい。このような範囲で容量素子 12 を形成することで、容量素子 12 に十分な静電容量を有せしめ、且つ複数のメモリセルの層を積層する半導体装置において、一つの層の高さが過剰に高くないようにすることができる。なお、複数のメモリセルの層のそれぞれにおいて、各メモリセルに設けられる容量素子の静電容量を異ならせる構成としてもよい。当該構成の場合、例えば、各メモリセルの層に設けられる絶縁体 285 の膜厚を異ならせればよい。

#### 【0433】

なお、容量素子 12 が配置された、絶縁体 285 等に設けられた開口部において、当該開口部の側壁は、絶縁体 222 の上面に対して垂直または概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、絶縁体 285 等の開口部に設ける導電体 153 などの被覆性が向上し、鬆などの欠陥を低減できる。

#### 【0434】

また、酸化物 230 上に重畳して設けられた導電体 242a は、導電体 240 と電氣的に接続する配線として機能する。例えば、図 23 では、導電体 242a の上面及び側端部が、Z 方向に延在する導電体 240 と電氣的に接続している。特に図 23 では、導電体 242a2 の上面及び側端部と、導電体 242a1 の側端部が、導電体 240 と接している。

#### 【0435】

。

導電体 240 が直接、導電体 242 a の上面、及び側端部の少なくとも一と接することで、別途接続用の電極を設ける必要がないため、メモリアレイの占有面積を低減できる。また、メモリセルの集積度が向上し、記憶装置の記憶容量を増大できる。なお、導電体 240 は、導電体 242 a の上面の一部、及び側端部と接することが好ましい。導電体 240 が導電体 242 a の複数面と接することで、導電体 240 と導電体 242 a の接触抵抗を低減できる。特に、図 23 に示すように、導電体 240 が、導電性の高い導電体 242 a 2 の上面の一部、及び側端部と接することで、導電体 240 と導電体 242 a の接触抵抗をより低減することができる。

【0436】

導電体 240 は、絶縁体 216、絶縁体 221、絶縁体 222、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283、絶縁体 285 及び、絶縁体 284 に形成された開口内に設けられている。

10

【0437】

導電体 240 は、導電体 240 a と導電体 240 b との積層構造とすることが好ましい。例えば、図 23 に示すように、導電体 240 は、導電体 240 a が上記開口部の内壁に接して設けられ、さらに内側に導電体 240 b が設けられる構造とすることができる。つまり、導電体 240 a は、導電体 240 b に比べて、絶縁体 216、絶縁体 221、絶縁体 222、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283、絶縁体 285、及び、絶縁体 284 の近傍に配置される。また、導電体 240 a は、導電体 242 a の上面及び側端部と接する。

20

【0438】

導電体 240 a としては、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。導電体 240 a は、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、及び、酸化ルテニウムのうち一つまたは複数を用いた、単層構造または積層構造とすることができる。これにより、水、水素などの不純物が、導電体 240 を通じて酸化物 230 に混入することを抑制できる。

【0439】

また、導電体 240 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 240 b には、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。

30

【0440】

例えば、導電体 240 a として窒化チタンを用い、導電体 240 b としてタングステンをを用いることが好ましい。この場合、導電体 240 a は、チタンと、窒素とを有する導電体となり、導電体 240 b は、タングステンを有する導電体となる。

【0441】

なお、導電体 240 は、単層構造であってもよく、3層以上の積層構造であってもよい。

【0442】

また、図 23 に示すように、導電体 240 の側面に接して絶縁体 241 が設けられることが好ましい。具体的には、絶縁体 216、絶縁体 221、絶縁体 222、絶縁体 275、絶縁体 280、絶縁体 282、絶縁体 283、絶縁体 285、及び絶縁体 284 の開口の内壁に接して絶縁体 241 が設けられる。また、当該開口内に突出して形成される、絶縁体 224、酸化物 230、及び導電体 242 a の側面にも絶縁体 241 が形成される。ここで、導電体 242 a の少なくとも一部は、絶縁体 241 から露出しており、導電体 240 に接している。つまり、導電体 240 は、絶縁体 241 を介して、上記開口の内部を埋め込むように設けられる。

40

【0443】

なお、図 23 に示すように、導電体 242 a より下に形成される絶縁体 241 の最上部は、導電体 242 a の上面よりも下方に位置することが好ましい。当該構成にすることで、導電体 240 が導電体 242 a の側端部の少なくとも一部と接することができる。なお

50

、導電体 242 a より下に形成される絶縁体 241 は、酸化物 230 の側面と接する領域を有することが好ましい。当該構成にすることで、絶縁体 280 等に含まれる水、水素等の不純物が、導電体 240 を通じて酸化物 230 に混入するのを抑制できる。

【0444】

絶縁体 241 として、絶縁体 275 等に用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体 241 は、窒化シリコン、酸化アルミニウム、窒化酸化シリコン等の絶縁体を用いればよい。当該構成にすることで、絶縁体 280 等に含まれる水、水素等の不純物が、導電体 240 を通じて酸化物 230 に混入するのを抑制できる。特に、窒化シリコンは水素に対するブロッキング性が高いため好適である。また、絶縁体 280 に含まれる酸素が導電体 240 に吸収されるのを抑制できる。

10

【0445】

なお、図 23 では、絶縁体 241 を単層とする構成について示したが、本発明はこれに限られない。絶縁体 241 は、2 層以上の積層構造としてもよい。

【0446】

絶縁体 241 を 2 層積層構造にする場合、絶縁体 280 等の開口の内壁に接する第 1 の層に酸素に対するバリア絶縁膜を用い、その内側の第 2 の層に水素に対するバリア絶縁膜を用いればよい。例えば、第 1 の層として、ALD 法で成膜された酸化アルミニウムを用い、第 2 の層として、PEALD 法で成膜された窒化シリコンを用いればよい。当該構成にすることで、導電体 240 の酸化を抑制し、さらに、導電体 240 から酸化物 230 等に水素が混入するのを低減できる。これにより、トランジスタ 11 の電気特性及び信頼性の向上を図ることができる。

20

【0447】

なお、導電体 240、及び絶縁体 241 が配置された、開口部において、当該開口部の側壁は、絶縁体 222 の上面に対して垂直または概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、当該開口部に設ける絶縁体 241 などの被覆性が向上する。

【0448】

< 記憶装置 300 の構成例 >

図 24 を用いて、上記記憶装置 300 の構成例について説明する。

【0449】

記憶装置 300 は、トランジスタ 310 等を有する層である、駆動回路 21 と、駆動回路 21 上の、トランジスタ 52、53、54、55 等を有する層である、機能層 50 と、機能層 50 上のメモリアレイ 20 [1] 乃至 20 [m] (図 24 では、メモリアレイ 20 [1]、20 [2] だけを図示。) と、を有する。なお、トランジスタ 52 は、上記トランジスタ 52 \_\_ a、52 \_\_ b に対応し、トランジスタ 53 は、上記トランジスタ 53 \_\_ a、53 \_\_ b に対応し、トランジスタ 54 は、上記トランジスタ 54 \_\_ a、54 \_\_ b に対応し、トランジスタ 55 は、上記トランジスタ 55 \_\_ a、55 \_\_ b に対応する。

30

【0450】

図 24 では、駆動回路 21 が有するトランジスタ 310 を例示している。トランジスタ 310 は、基板 311 上に設けられ、ゲートとして機能する導電体 316、ゲート絶縁体として機能する絶縁体 315、基板 311 の一部を含む半導体領域 313、及びソース領域またはドレイン領域として機能する低抵抗領域 314 a、及び低抵抗領域 314 b を有する。トランジスタ 310 は、p チャンネル型のトランジスタ、あるいは n チャンネル型のトランジスタのいずれでもよい。基板 311 としては、例えば単結晶シリコン基板を用いることができる。

40

【0451】

ここで、図 24 に示すトランジスタ 310 はチャンネルが形成される半導体領域 313 (基板 311 の一部) が凸形状を有する。また、半導体領域 313 の側面及び上面を、絶縁体 315 を介して、導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 310 は半導体基板の凸

50

部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I ( S i l i c o n o n I n s u l a t o r ) 基板を加工して凸形状を有する半導体膜を形成してもよい。

【 0 4 5 2 】

なお、図 2 4 に示すトランジスタ 3 1 0 は一例であり、その構造に限定されず、回路構成または駆動方法に応じて適切なトランジスタを用いることができる。

【 0 4 5 3 】

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

10

【 0 4 5 4 】

例えば、トランジスタ 3 1 0 上には、層間膜として、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 が順に積層して設けられている。また、絶縁体 3 2 0 及び絶縁体 3 2 2 には導電体 3 2 8 などが埋め込まれている。また、絶縁体 3 2 4 及び絶縁体 3 2 6 には導電体 3 3 0 などが埋め込まれている。なお、導電体 3 2 8 及び導電体 3 3 0 はコンタクトプラグまたは配線として機能する。

20

【 0 4 5 5 】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 ( C M P : C h e m i c a l M e c h a n i c a l P o l i s h i n g ) 法を用いた平坦化処理により平坦化されていてもよい。

【 0 4 5 6 】

また、図 2 4 では、機能層 5 0 が有するトランジスタ 5 2、5 3、5 5 を例示している。トランジスタ 5 2、5 3、5 5 は、メモリセル 1 0 が有するトランジスタ 1 1 と同様の構成を有する。トランジスタ 5 2、5 3、5 5 は、互いのソース及びドレインが直列に接続されている。

30

【 0 4 5 7 】

トランジスタ 5 2、5 3、5 5 上に、絶縁体 2 0 8 が設けられ、絶縁体 2 0 8 に形成された開口に導電体 2 0 7 が設けられる。さらに、絶縁体 2 0 8 上に絶縁体 2 1 0 が設けられ、絶縁体 2 1 0 に形成された開口に導電体 2 0 9 が設けられる。さらに、絶縁体 2 1 0 上に絶縁体 2 1 2 が設けられ、絶縁体 2 1 2 上に絶縁体 2 1 4 が設けられる。絶縁体 2 1 2 及び絶縁体 2 1 4 に形成された開口には、メモリアレイ 2 0 [ 1 ] に設けられた導電体 2 4 0 の一部が埋め込まれている。ここで、絶縁体 2 0 8、及び絶縁体 2 1 0 は、絶縁体 2 1 6 に用いることが可能な絶縁体を用いることができる。また、絶縁体 2 1 2 は、絶縁体 2 8 3 に用いることが可能な絶縁体を用いることができる。また、絶縁体 2 1 4 は、絶縁体 2 8 2 に用いることが可能な絶縁体を用いることができる。

40

【 0 4 5 8 】

導電体 2 0 7 の下面は、トランジスタ 5 2 の導電体 2 6 0 の上面に接して設けられる。また、導電体 2 0 7 の上面は、導電体 2 0 9 の下面に接して設けられる。また、導電体 2 0 9 の上面は、メモリアレイ 2 0 [ 1 ] に設けられた導電体 2 4 0 の下面に接して設けられる。このような構成にすることで、配線 B L に相当する導電体 2 4 0 と、トランジスタ 5 2 のゲートを電氣的に接続することができる。

【 0 4 5 9 】

メモリアレイ 2 0 [ 1 ] 乃至 2 0 [ m ] は、それぞれ、複数のメモリセル 1 0 を含む。各メモリセル 1 0 が有する導電体 2 4 0 は、上の層の導電体 2 4 0、及び下の層の導電体 2 4 0 と電氣的に接続される。

50

## 【0460】

図24に示すように、隣接するメモリセル10において、導電体240が共有されている。また、隣接するメモリセル10において、導電体240を境に、右側の構成と左側の構成と、が対称に配置される。

## 【0461】

ここで、下の層（例えばメモリアレイ20[1]の層）の容量素子12の上部電極として機能する導電体160と、上の層（例えば、メモリアレイ20[2]の層）のトランジスタ11の第2のゲート電極として機能する導電体261は、同じ層に形成することができる。言い換えると、下の層の容量素子12の導電体160と、上の層のトランジスタ11の導電体261は、同一の絶縁体216に形成された開口に埋め込まれるように形成することができる。下の層の容量素子12の導電体160及び上の層のトランジスタ11の導電体261を、一つの導電膜を加工して形成することで、上記のような構成になる。このとき、下の層の容量素子12の導電体160は、上の層のトランジスタ11の導電体261と同一の材料を有する。

10

## 【0462】

以上のように、下の層の容量素子12の導電体160と、上の層のトランジスタ11の導電体261を同時に形成することで、本実施の形態に係る記憶装置の作製工程を削減し、当該記憶装置の生産性を向上することができる。

## 【0463】

上述のメモリアレイ20では、複数のメモリアレイ20[1]乃至20[m]を積層して設けることができる。メモリアレイ20が有するメモリアレイ20[1]乃至20[m]は、駆動回路21が設けられる基板表面の垂直方向に配置することで、メモリセル10のメモリ密度の向上を図ることができる。またメモリアレイ20は、垂直方向に繰り返し同じ製造工程を用いて作製することができる。記憶装置300は、メモリアレイ20の製造コストの低減を図ることができる。

20

## 【0464】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

## 【0465】

（実施の形態4）

本実施の形態では、本発明の一態様の記憶装置が実装されたチップの一例について、図26を用いて説明する。

30

## 【0466】

図26(A)及び図26(B)に示すチップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip: SoC）と呼ぶ場合がある。

## 【0467】

図26(A)に示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

40

## 【0468】

チップ1200には、 bumps（図示しない）が設けられ、図26(B)に示すように、パッケージ基板1201の第1の面と接続する。また、パッケージ基板1201の第1の面の裏面には、複数の bumps 1202 が設けられており、マザーボード1203と接続する。

## 【0469】

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDORAMを用いることができる。これにより、DRAM1221を、低消費電力化、高速化、及び大容量化させることができる。

50

## 【0470】

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、及びGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、及びGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したDOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理または積和演算に用いることができる。GPU1212に、先の実施の形態に記載のOSTランジスタを用いた画像処理回路、または、積和演算回路を設けることで、画像処理、または積和演算を低消費電力で実行することが可能になる。

10

## 【0471】

また、CPU1211、及びGPU1212が同一チップに設けられていることで、CPU1211、及びGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、及びGPU1212が有するメモリ間のデータ転送、及びGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

## 【0472】

アナログ演算部1213はA/D(アナログ/デジタル)変換回路、及びD/A(デジタル/アナログ)変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

20

## 【0473】

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、及びフラッシュメモリ1222のインターフェースとして機能する回路を有する。

## 【0474】

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB(Universal Serial Bus)、HDMI(登録商標)(High-Definition Multimedia Interface)などを用いることができる。

30

## 【0475】

ネットワーク回路1216は、LAN(Local Area Network)などのネットワークと接続するための回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

## 【0476】

チップ1200には、上記回路(システム)を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

## 【0477】

GPU1212を有するチップ1200が設けられたパッケージ基板1201、DRAM1221、及びフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

40

## 【0478】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型(持ち出し可能な)ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの手法を実行できるため、チッ

50

ブ 1 2 0 0 を A I チップ、または G P U モジュール 1 2 0 4 を A I システムモジュールとして用いることができる。

【 0 4 7 9 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 4 8 0 】

(実施の形態 5)

本実施の形態では、上記実施の形態で説明した半導体装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンター (Data Center : DC とも呼称する) について説明する。本発明の一態様の半導体装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターは、低消費電力化と 10  
といった高性能化に有効である。

【 0 4 8 1 】

[ 電子部品 ]

電子部品 7 0 0 が実装された基板 (実装基板 7 0 4 ) の斜視図を、図 2 7 ( A ) に示す。図 2 7 ( A ) に示す電子部品 7 0 0 は、モールド 7 1 1 内に半導体装置 7 1 0 を有している。図 2 7 ( A ) は、電子部品 7 0 0 の内部を示すために、一部の記載を省略している。電子部品 7 0 0 は、モールド 7 1 1 の外側にランド 7 1 2 を有する。ランド 7 1 2 は電極パッド 7 1 3 と電気的に接続され、電極パッド 7 1 3 は半導体装置 7 1 0 とワイヤ 7 1 4 を介して電気的に接続されている。電子部品 7 0 0 は、例えばプリント基板 7 0 2 に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板 7 0 2 上 20  
で電気的に接続されることで実装基板 7 0 4 が完成する。

【 0 4 8 2 】

また、半導体装置 7 1 0 は、駆動回路層 7 1 5 と、記憶層 7 1 6 と、を有する。なお、記憶層 7 1 6 は、複数のメモリセルアレイが積層された構成である。駆動回路層 7 1 5 と、記憶層 7 1 6 と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、TSV (Through Silicon Via) などの貫通電極技術、および、Cu - Cu 直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層 7 1 5 と、記憶層 7 1 6 と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。 30

【 0 4 8 3 】

また、オンチップメモリの構成とすることで、TSV などの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅 (メモリバンド幅ともいう) を向上させることが可能となる。

【 0 4 8 4 】

また、記憶層 7 1 6 が有する、複数のメモリセルアレイを、OSTランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシのいずれか一または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層 7 1 6 に SITランジスタを用いる構成の場合、OSTランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、OSTランジスタは、SITランジスタよりも優れた構造であるといえる。 40

【 0 4 8 5 】

また、半導体装置 7 1 0 を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板 (ウエハともいう) などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いる 50

ことのできる半導体材料として、例えば、シリコン (Si)、炭化ケイ素 (SiC)、または窒化ガリウム (GaN) などが挙げられる。例えば、シリコン基板 (シリコンウエハともいう) から得られたダイを、シリコンダイという場合がある。

【0486】

次に、電子部品730の斜視図を図27(B)に示す。電子部品730は、SiP (System in Package) 又はMCM (Multi Chip Module) の一例である。電子部品730は、パッケージ基板732 (プリント基板) 上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の半導体装置710が設けられている。

【0487】

電子部品730では、半導体装置710を広帯域メモリ (HBM: High Bandwidth Memory) として用いる例を示している。また、半導体装置735は、CPU (Central Processing Unit)、GPU (Graphics Processing Unit)、又はFPGA (Field Programmable Gate Array) 等の集積回路に用いることができる。

【0488】

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

【0489】

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSVを用いることもできる。

【0490】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【0491】

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ (2.5次元実装) では、シリコンインターポーザを用いることが好ましい。

【0492】

一方で、シリコンインターポーザ、及びTSVなどを用いて端子ピッチの異なる複数の集積回路を電氣的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品730のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、Oストランジスタを用いたモノリシック積層の構成が好適である。TSVを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

【0493】

また、電子部品730と重ねてヒートシンク (放熱板) を設けてもよい。ヒートシンク

10

20

30

40

50

を設ける場合は、インターポーザ 731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 730 では、半導体装置 710 と半導体装置 735 の高さを揃えることが好ましい。

#### 【0494】

電子部品 730 を他の基板に実装するため、パッケージ基板 732 の底部に電極 733 を設けてもよい。図 27 (B) では、電極 733 を半田ボールで形成する例を示している。パッケージ基板 732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 733 を導電性のピンで形成してもよい。パッケージ基板 732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

10

#### 【0495】

電子部品 730 は、BGA 及び PGA に限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、及び、QFN (Quad Flat Non-leaded package) が挙げられる。

#### 【0496】

##### [電子機器]

次に、電子機器 6500 の斜視図を図 28 (A) に示す。図 28 (A) に示す電子機器 6500 は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器 6500 は、筐体 6501、表示部 6502、電源ボタン 6503、ボタン 6504、スピーカ 6505、マイク 6506、カメラ 6507、光源 6508、及び制御装置 6509などを有する。なお、制御装置 6509としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部 6502、制御装置 6509などに適用することができる。

20

#### 【0497】

図 28 (B) に示す電子機器 6600 は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器 6600 は、筐体 6611、キーボード 6612、ポインティングデバイス 6613、外部接続ポート 6614、表示部 6615、制御装置 6616などを有する。なお、制御装置 6616としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の半導体装置は、表示部 6615、制御装置 6616などに適用することができる。なお、本発明の一態様の半導体装置を、上述の制御装置 6509、及び制御装置 6616に用いることで、消費電力を低減させることができるため好適である。

30

#### 【0498】

##### [大型計算機]

次に、大型計算機 5600 の斜視図を図 28 (C) に示す。図 28 (C) に示す大型計算機 5600 には、ラック 5610 にラックマウント型の計算機 5620 が複数格納されている。なお、大型計算機 5600 を、スーパーコンピュータと呼称してもよい。

40

#### 【0499】

計算機 5620 は、例えば、図 28 (D) に示す斜視図の構成とすることができる。図 28 (D) において、計算機 5620 は、マザーボード 5630 を有し、マザーボード 5630 は、複数のスロット 5631、複数の接続端子を有する。スロット 5631 には、PC カード 5621 が挿入されている。加えて、PC カード 5621 は、接続端子 5623、接続端子 5624、接続端子 5625 を有し、それぞれ、マザーボード 5630 に接続されている。

#### 【0500】

図 28 (E) に示す PC カード 5621 は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PC カード 5621 は、ボード 5622 を有する。また、ボード

50

5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図28(E)には、半導体装置5626、半導体装置5627、および半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、および半導体装置5628の説明を参照すればよい。

【0501】

接続端子5629は、マザーボード5630のロット5631に挿入することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeなどが挙げられる。

10

【0502】

接続端子5623、接続端子5624、接続端子5625は、例えば、PCカード5621に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB(Universal Serial Bus)、SATA(Serial ATA)、SCSI(Small Computer System Interface)などが挙げられる。また、接続端子5623、接続端子5624、接続端子5625から映像信号を出力する場合、それぞれの規格としては、HDMI(登録商標)などが挙げられる。

20

【0503】

半導体装置5626は、信号の入出力を行う端子(図示しない。)を有しており、当該端子をボード5622が備えるソケット(図示しない。)に対して差し込むことで、半導体装置5626とボード5622を電気的に接続することができる。

【0504】

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電気的に接続することができる。半導体装置5627としては、例えば、FPGA、GPU、CPUなどが挙げられる。半導体装置5627として、例えば、電子部品730を用いることができる。

30

【0505】

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電気的に接続することができる。半導体装置5628としては、例えば、記憶装置などが挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

【0506】

大型計算機5600は並列計算機としても機能できる。大型計算機5600を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

40

【0507】

[宇宙用機器]

本発明の一態様の半導体装置は、情報を処理および記憶する機器などの宇宙用機器に好適に用いることができる。

【0508】

本発明の一態様の半導体装置は、Oストランジスタを含むことができる。当該Oストランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、Oストランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

50

## 【0509】

図29には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図29においては、宇宙空間に惑星6804を例示している。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含んでもよい。

## 【0510】

また、図29には、図示していないが、二次電池6805に、バッテリーマネジメントシステム(BMSともいう)、またはバッテリー制御回路を設けてもよい。上述のバッテリーマネジメントシステム、またはバッテリー制御回路に、オストランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

10

## 【0511】

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波(電磁放射線)、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

## 【0512】

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

20

## 【0513】

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、たとえば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

30

## 【0514】

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置6807には、本発明の一態様である半導体装置を用いると好適である。オストランジスタは、シトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

## 【0515】

また、人工衛星6800は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、たとえば地球観測衛星としての機能を有することができる。

40

## 【0516】

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

## 【0517】

以上の説明の通り、オストランジスタは、シトランジスタと比較し、広いメモリバン

50

ド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

【0518】

[データセンター]

本発明の一態様の半導体装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。データを長期的に管理する場合、膨大なデータを記憶するためのストレージおよびサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

【0519】

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、データを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを行うことができる。そのため、データセンターの省スペース化を図ることができる。

【0520】

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

【0521】

図30にデータセンターに適用可能なストレージシステムを示す。図30に示すストレージシステム7000は、ホスト7001(Host Computerと図示)として複数のサーバ7001sbを有する。また、ストレージ7003(Storageと図示)として複数の記憶装置7003mdを有する。ホスト7001とストレージ7003とは、ストレージエリアネットワーク7004(SAN:Storage Area Networkと図示)およびストレージ制御回路7002(Storage Controllerと図示)を介して接続されている形態を図示している。

【0522】

ホスト7001は、ストレージ7003に記憶されたデータにアクセスするコンピュータに相当する。ホスト7001同士は、ネットワークで互いに接続されていてもよい。

【0523】

ストレージ7003は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ7003内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ7003のアクセススピードの長さの問題を解決するために、通常ストレージ7003内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

【0524】

上述のキャッシュメモリは、ストレージ制御回路7002およびストレージ7003内に用いられる。ホスト7001とストレージ7003との間でやり取りされるデータは、ストレージ制御回路7002およびストレージ7003内の当該キャッシュメモリに記憶されたのち、ホスト7001またはストレージ7003に出力される。

【0525】

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSTランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることでストレージの小型化が可能である。

【0526】

10

20

30

40

50

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、または高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO<sub>2</sub>）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

## 【0527】

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

10

## 【符号の説明】

## 【0528】

A D D R 信号  
 B L [ 1 ] 配線  
 B L [ j ] 配線  
 B L [ n ] 配線  
 B L \_ A 配線  
 B L \_ B 配線  
 B L 配線  
 B W 信号  
 C E 信号  
 C L K 信号  
 E N \_ d a t a 信号  
 G B L \_ A 配線  
 G B L \_ B 配線  
 G B L 配線  
 G W 信号  
 M U X 選択信号  
 P L [ 1 ] 配線  
 P L [ i ] 配線  
 P L [ m ] 配線  
 P L 配線  
 R D A 信号  
 R E 制御信号  
 V H H 配線  
 V L L 配線  
 V P C 中間電位  
 W A K E 信号  
 W D A 信号  
 W E 制御信号  
 W L [ 1 ] 配線  
 W L [ i ] 配線  
 W L [ m ] 配線  
 W L 配線  
 1 0 [ 1 , 1 ] メモリセル  
 1 0 [ i , j ] メモリセル  
 1 0 [ m , n ] メモリセル  
 1 0 \_ A メモリセル  
 1 0 \_ B メモリセル  
 1 0 メモリセル

20

30

40

50

1 1 a	トランジスタ	
1 1 b	トランジスタ	
1 1 c	トランジスタ	
1 1	トランジスタ	
1 2 a	容量素子	
1 2	容量素子	
2 0 [ 1 ]	メモリアレイ	
2 0 [ 2 ]	メモリアレイ	
2 0 [ 5 ]	メモリアレイ	
2 0 [ m ]	メモリアレイ	10
2 0	メモリアレイ	
2 1	駆動回路	
2 2	P S W	
2 3	P S W	
3 1	周辺回路	
3 2	コントロール回路	
3 3	電圧生成回路	
4 1	周辺回路	
4 2	行デコーダ	
4 3	行ドライバ	20
4 4	列デコーダ	
4 5	列ドライバ	
4 6	センスアンプ	
4 7	入力回路	
4 8	出力回路	
5 0	機能層	
5 1 __ A	機能回路	
5 1 __ B	機能回路	
5 1	機能回路	
5 2 __ a	トランジスタ	30
5 2 __ b	トランジスタ	
5 2	トランジスタ	
5 3 __ a	トランジスタ	
5 3 __ b	トランジスタ	
5 3	トランジスタ	
5 4 __ a	トランジスタ	
5 4 __ b	トランジスタ	
5 4	トランジスタ	
5 5 __ a	トランジスタ	
5 5 __ b	トランジスタ	40
5 5	トランジスタ	
7 0 [ 1 ]	繰り返し単位	
7 0	繰り返し単位	
7 1 __ A	プリチャージ回路	
7 1 __ B	プリチャージ回路	
7 2 __ A	スイッチ回路	
7 2 __ B	スイッチ回路	
7 3	書き込み読み出し回路	
8 1 __ 1	トランジスタ	
8 1 __ 3	トランジスタ	50

8 1 __ 4	トランジスタ	
8 1 __ 6	トランジスタ	
8 2 __ 1	トランジスタ	
8 2 __ 2	トランジスタ	
8 2 __ 3	トランジスタ	
8 2 __ 4	トランジスタ	
8 3 __ A	スイッチ	
8 3 __ B	スイッチ	
8 3 __ C	スイッチ	
8 3 __ D	スイッチ	10
1 5 3	導電体	
1 5 4	絶縁体	
1 6 0 a	導電体	
1 6 0 b	導電体	
1 6 0	導電体	
2 0 0	トランジスタ	
2 0 5 a	導電体	
2 0 5 b	導電体	
2 0 5	導電体	
2 0 7	導電体	20
2 0 8	絶縁体	
2 0 9	導電体	
2 1 0	絶縁体	
2 1 2	絶縁体	
2 1 4	絶縁体	
2 1 5	絶縁体	
2 1 6	絶縁体	
2 2 1	絶縁体	
2 2 2	絶縁体	
2 2 4 f	絶縁膜	30
2 2 4	絶縁体	
2 3 0 a	酸化物	
2 3 0 a f	酸化膜	
2 3 0 b	酸化物	
2 3 0 b f	酸化膜	
2 3 0	酸化物	
2 4 0 a	導電体	
2 4 0 b	導電体	
2 4 0	導電体	
2 4 1	絶縁体	40
2 4 2 __ 1	導電体	
2 4 2 __ 1 f	導電膜	
2 4 2 __ 2	導電体	
2 4 2 __ 2 f	導電膜	
2 4 2 a	導電体	
2 4 2 b	導電体	
2 5 0 a	絶縁体	
2 5 0 A	絶縁膜	
2 5 0 A a	絶縁膜	
2 5 0 A b	絶縁膜	50

2 5 0 A c	絶縁膜	
2 5 0 b	絶縁体	
2 5 0 c	絶縁体	
2 5 0 d	絶縁体	
2 5 0	絶縁体	
2 5 5 a	絶縁体	
2 5 5 A	絶縁膜	
2 5 5 b	絶縁体	
2 5 5	絶縁体	
2 5 6 A	絶縁膜	10
2 5 6	絶縁体	
2 6 0 a	導電体	
2 6 0 A	導電膜	
2 6 0 b	導電体	
2 6 0 B	導電膜	
2 6 0	導電体	
2 6 1	導電体	
2 7 1 a	絶縁体	
2 7 1 b	絶縁体	
2 7 1 f	絶縁膜	20
2 7 1	絶縁体	
2 7 5	絶縁体	
2 8 0	絶縁体	
2 8 2	絶縁体	
2 8 3	絶縁体	
2 8 4	絶縁体	
2 8 5	絶縁体	
3 0 0 A	記憶装置	
3 0 0	記憶装置	
3 1 0	トランジスタ	30
3 1 1	基板	
3 1 3	半導体領域	
3 1 4 a	低抵抗領域	
3 1 4 b	低抵抗領域	
3 1 5	絶縁体	
3 1 6	導電体	
3 2 0	絶縁体	
3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	40
3 2 8	導電体	
3 3 0	導電体	
7 0 0	電子部品	
7 0 2	プリント基板	
7 0 4	実装基板	
7 1 0	半導体装置	
7 1 1	モールド	
7 1 2	ランド	
7 1 3	電極パッド	
7 1 4	ワイヤ	50

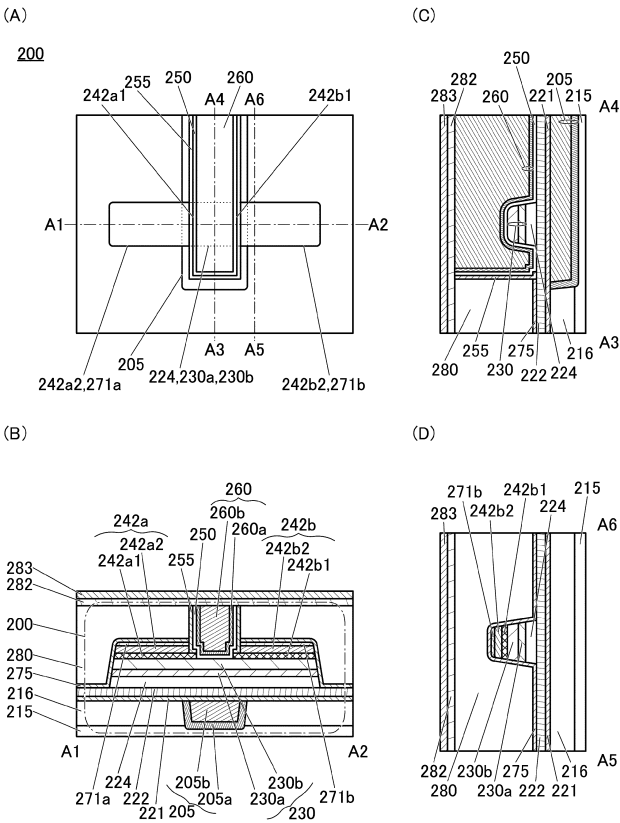
7 1 5	駆動回路層	
7 1 6	記憶層	
7 3 0	電子部品	
7 3 1	インターポータ	
7 3 2	パッケージ基板	
7 3 3	電極	
7 3 5	半導体装置	
1 2 0 0	チップ	
1 2 0 1	パッケージ基板	
1 2 0 2	バンプ	10
1 2 0 3	マザーボード	
1 2 0 4	G P Uモジュール	
1 2 1 1	C P U	
1 2 1 2	G P U	
1 2 1 3	アナログ演算部	
1 2 1 4	メモリコントローラ	
1 2 1 5	インターフェース	
1 2 1 6	ネットワーク回路	
1 2 2 1	D R A M	
1 2 2 2	フラッシュメモリ	20
5 6 0 0	大型計算機	
5 6 1 0	ラック	
5 6 2 0	計算機	
5 6 2 1	P Cカード	
5 6 2 2	ボード	
5 6 2 3	接続端子	
5 6 2 4	接続端子	
5 6 2 5	接続端子	
5 6 2 6	半導体装置	
5 6 2 7	半導体装置	30
5 6 2 8	半導体装置	
5 6 2 9	接続端子	
5 6 3 0	マザーボード	
5 6 3 1	スロット	
6 5 0 0	電子機器	
6 5 0 1	筐体	
6 5 0 2	表示部	
6 5 0 3	電源ボタン	
6 5 0 4	ボタン	
6 5 0 5	スピーカ	40
6 5 0 6	マイク	
6 5 0 7	カメラ	
6 5 0 8	光源	
6 5 0 9	制御装置	
6 6 0 0	電子機器	
6 6 1 1	筐体	
6 6 1 2	キーボード	
6 6 1 3	ポインティングデバイス	
6 6 1 4	外部接続ポート	
6 6 1 5	表示部	50

- 6 6 1 6 制御装置
- 6 8 0 0 人工衛星
- 6 8 0 1 機体
- 6 8 0 2 ソーラーパネル
- 6 8 0 3 アンテナ
- 6 8 0 4 惑星
- 6 8 0 5 二次電池
- 6 8 0 7 制御装置
- 7 0 0 0 ストレージシステム
- 7 0 0 1 s b サーバ
- 7 0 0 1 ホスト
- 7 0 0 2 ストレージ制御回路
- 7 0 0 3 m d 記憶装置
- 7 0 0 3 ストレージ

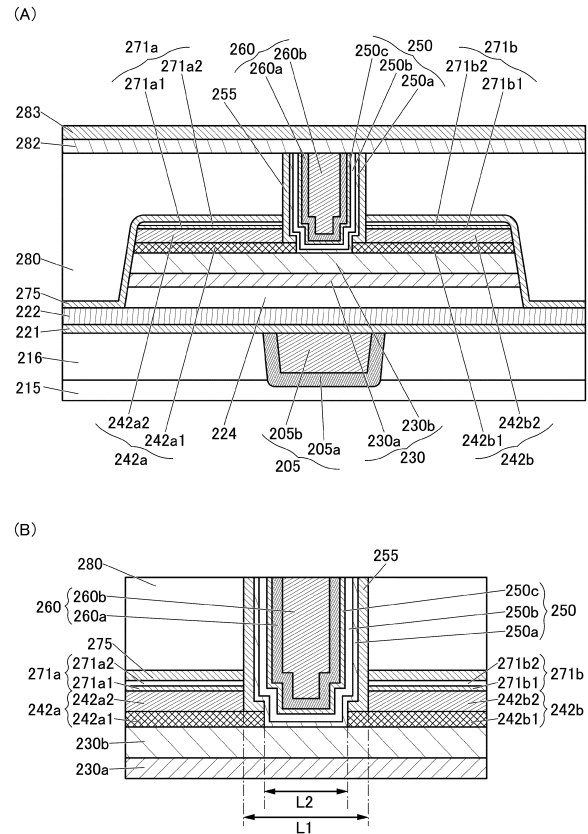
10

【図面】

【図 1】



【図 2】



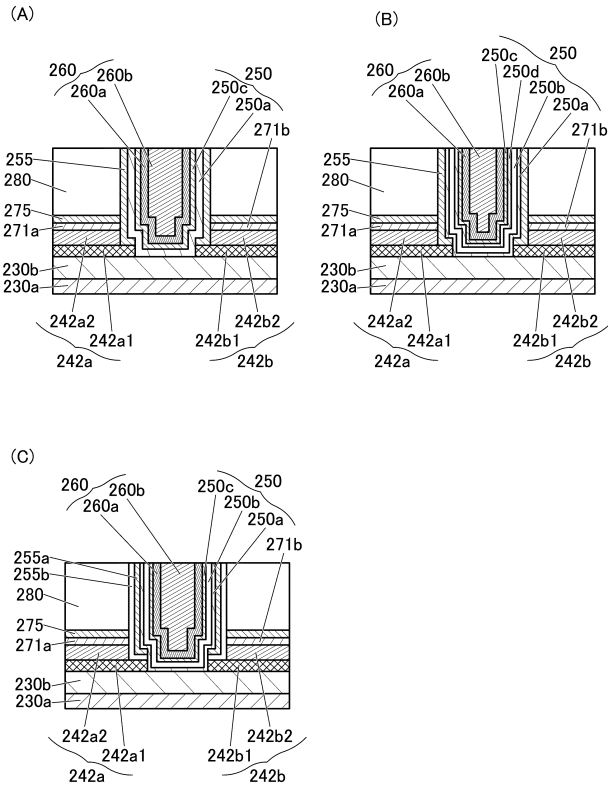
20

30

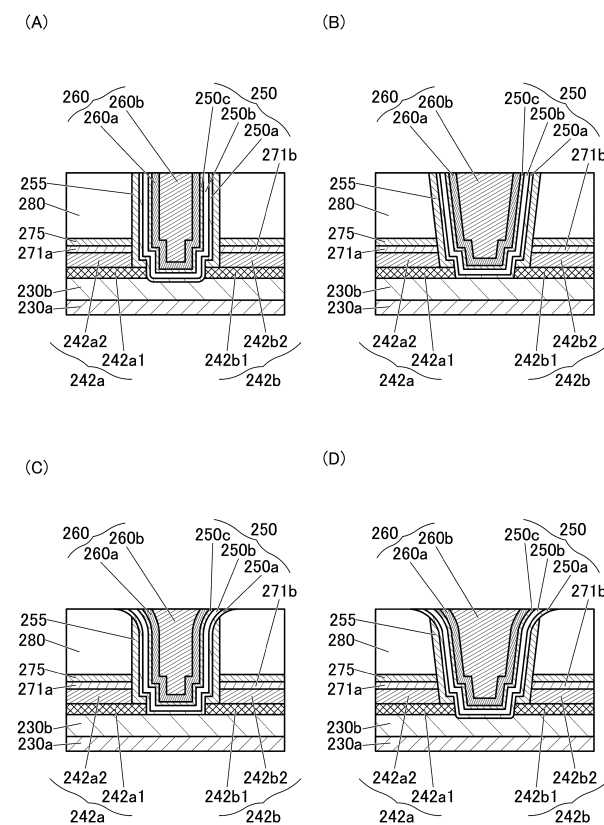
40

50

【 図 3 】



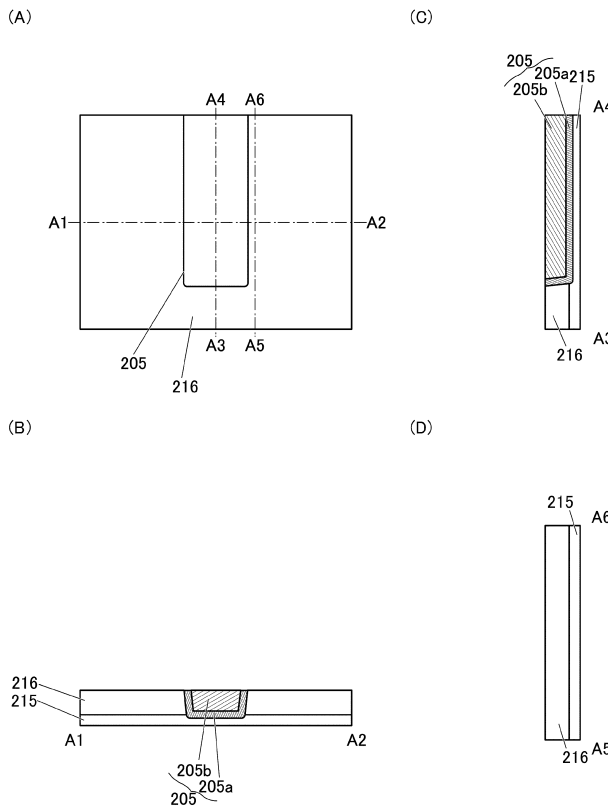
【 図 4 】



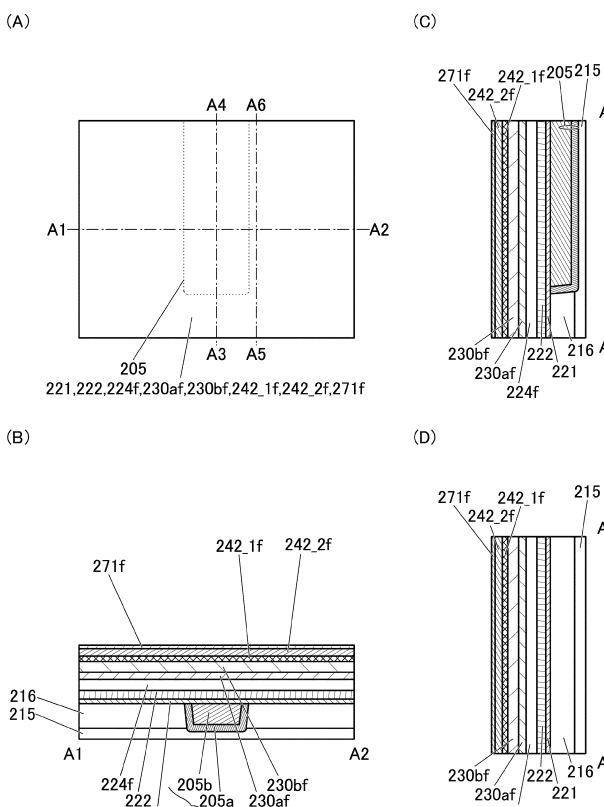
10

20

【 図 5 】



【 図 6 】

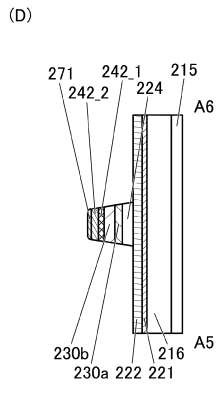
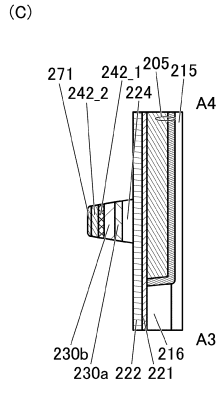
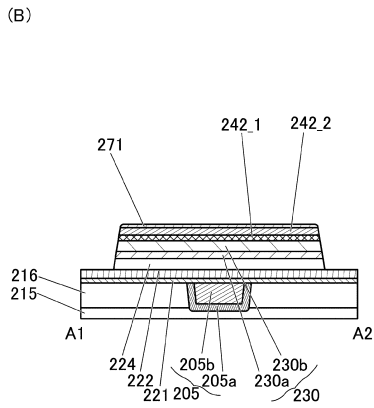
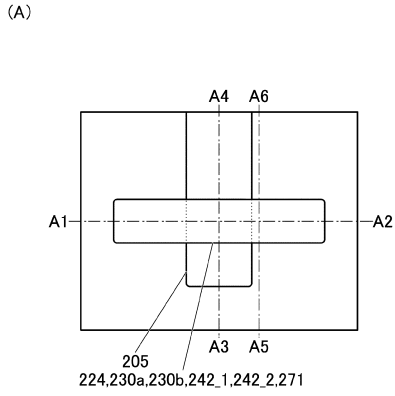


30

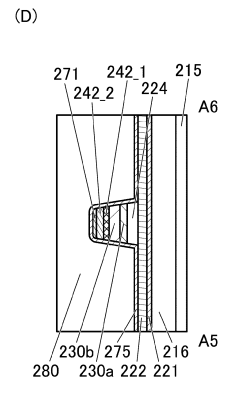
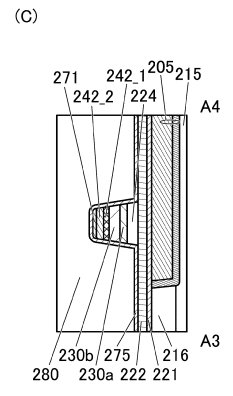
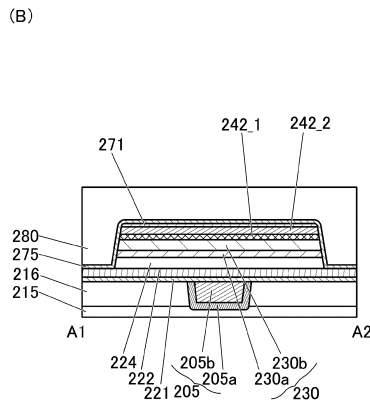
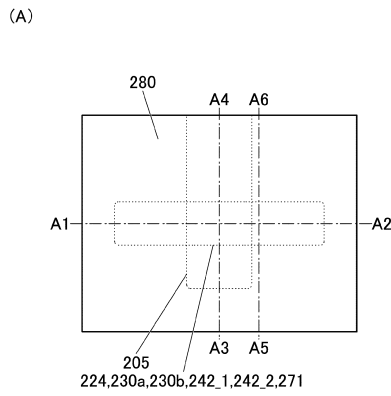
40

50

【 図 7 】



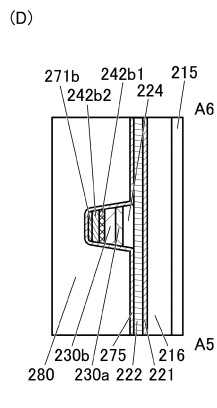
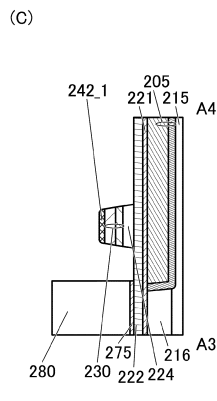
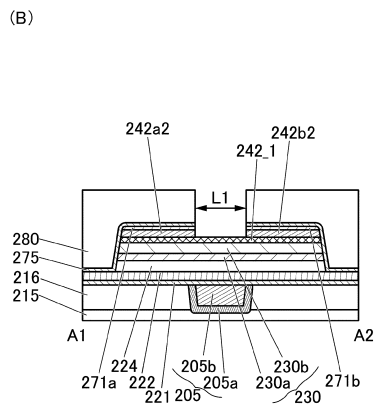
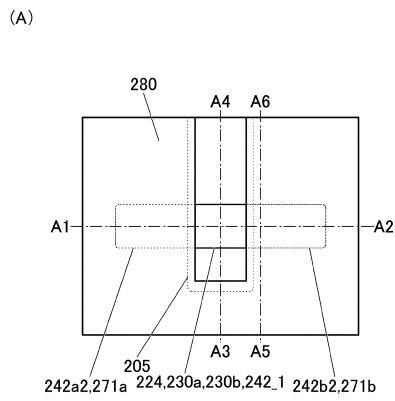
【 図 8 】



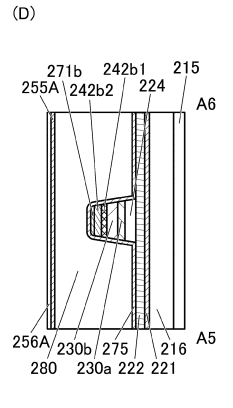
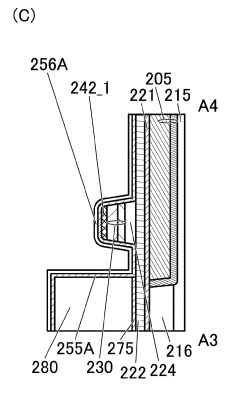
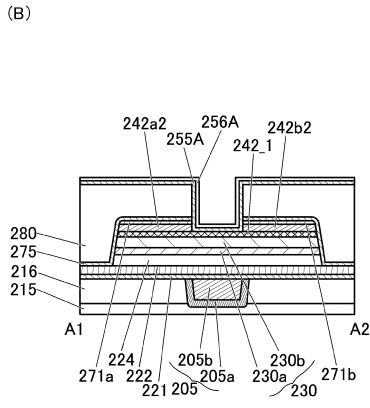
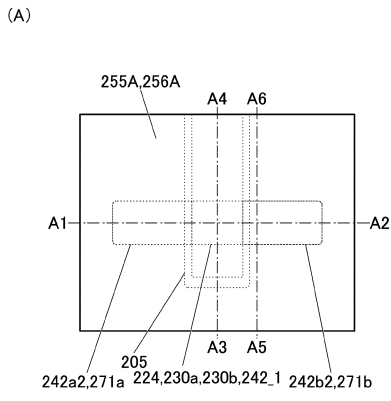
10

20

【 図 9 】



【 図 10 】

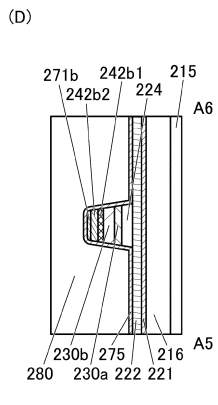
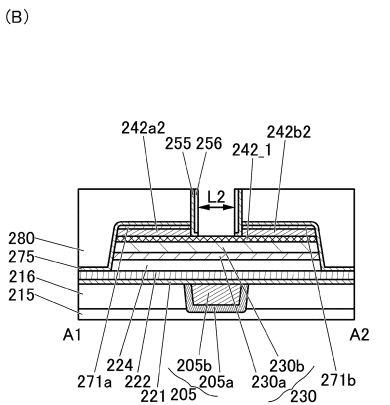
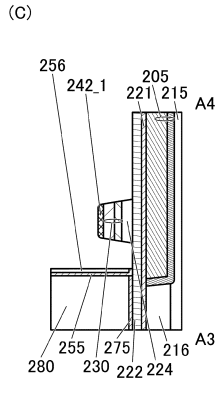
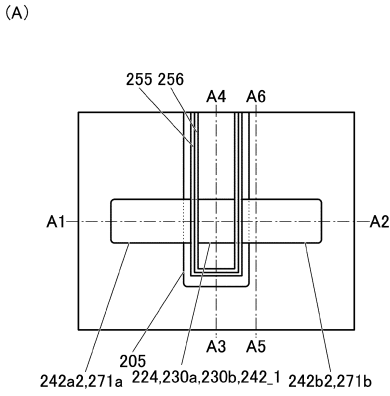


30

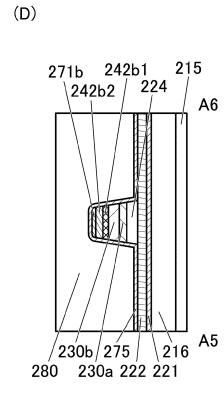
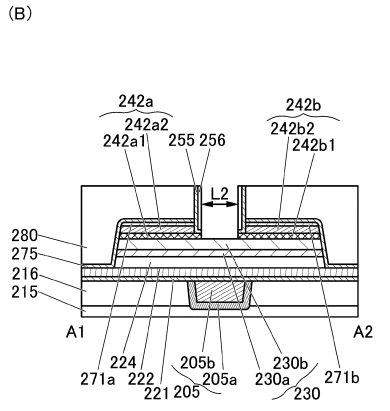
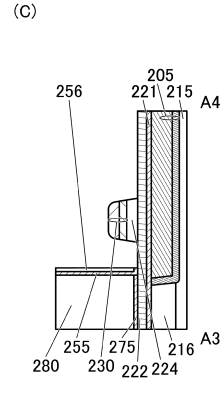
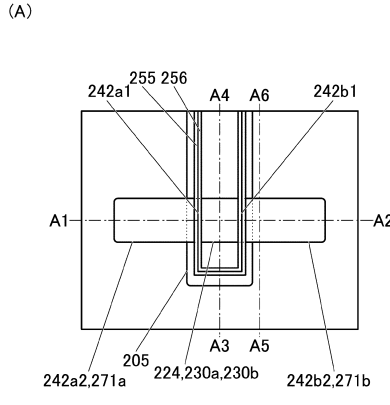
40

50

【 図 1 1 】



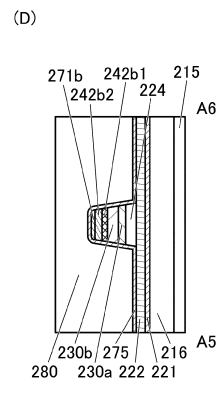
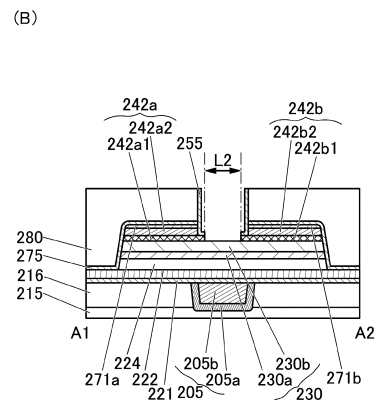
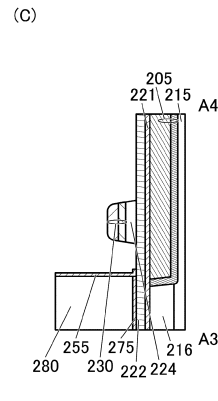
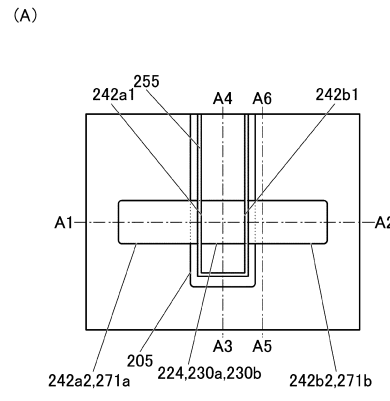
【 図 1 2 】



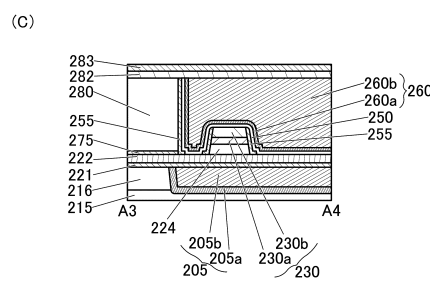
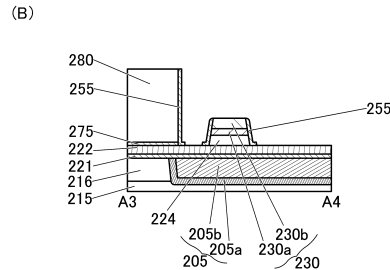
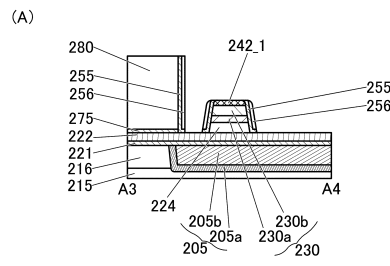
10

20

【 図 1 3 】



【 図 1 4 】

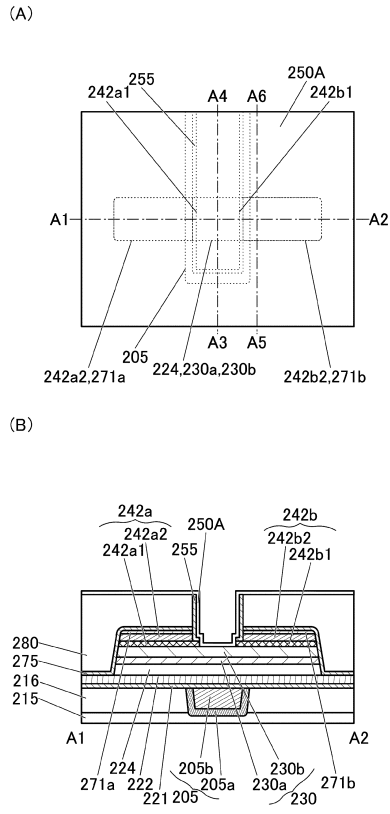


30

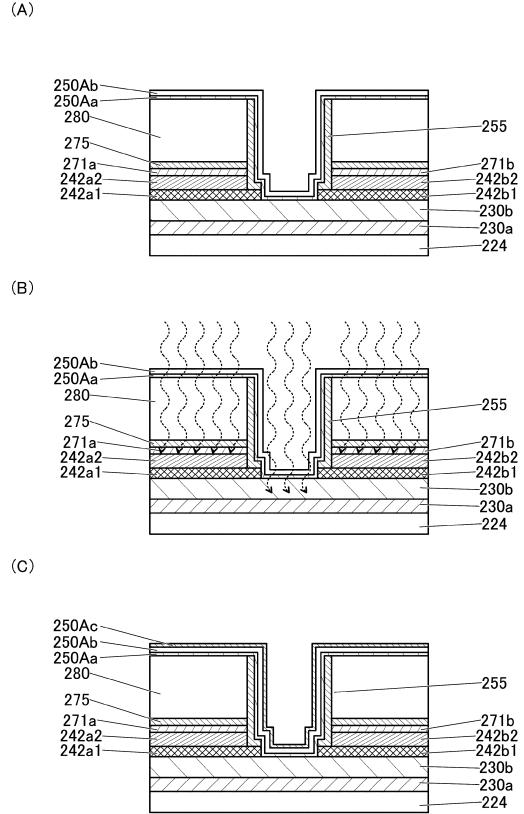
40

50

【 図 1 5 】



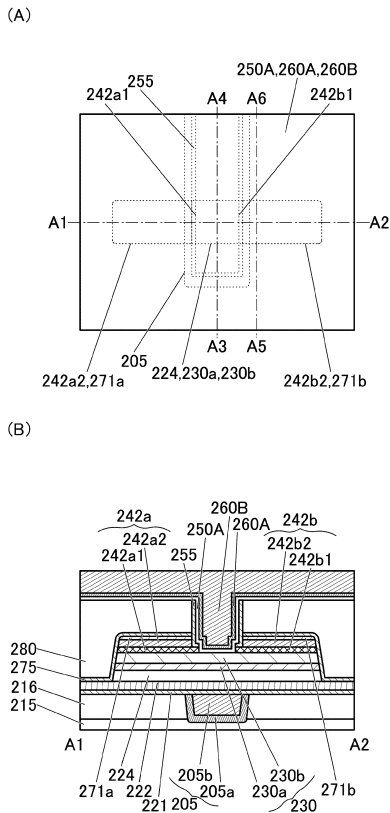
【 図 1 6 】



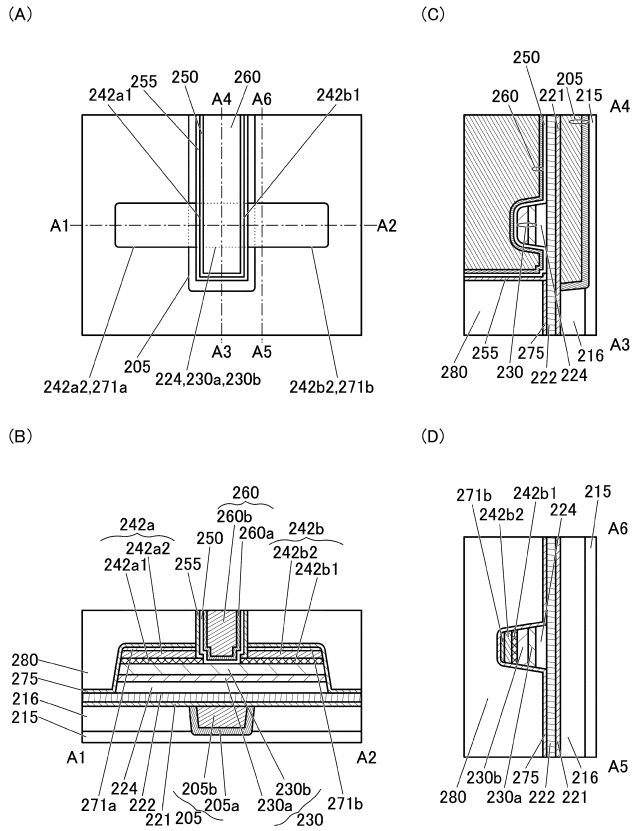
10

20

【 図 1 7 】



【 図 1 8 】

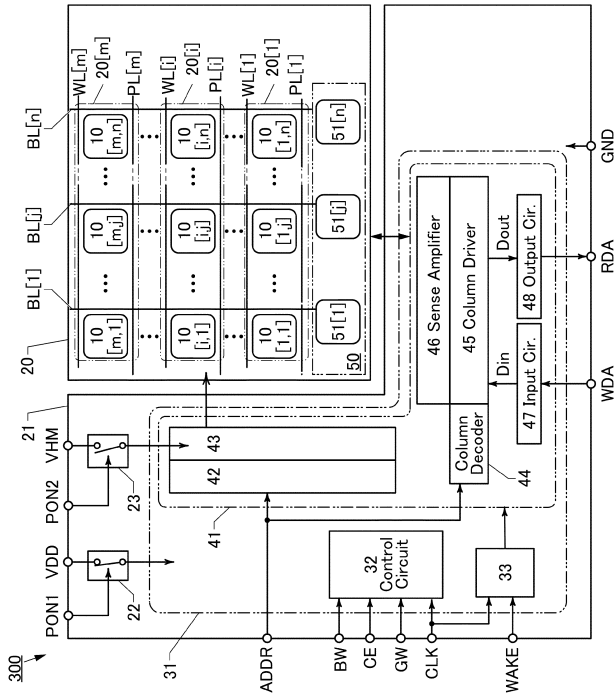


30

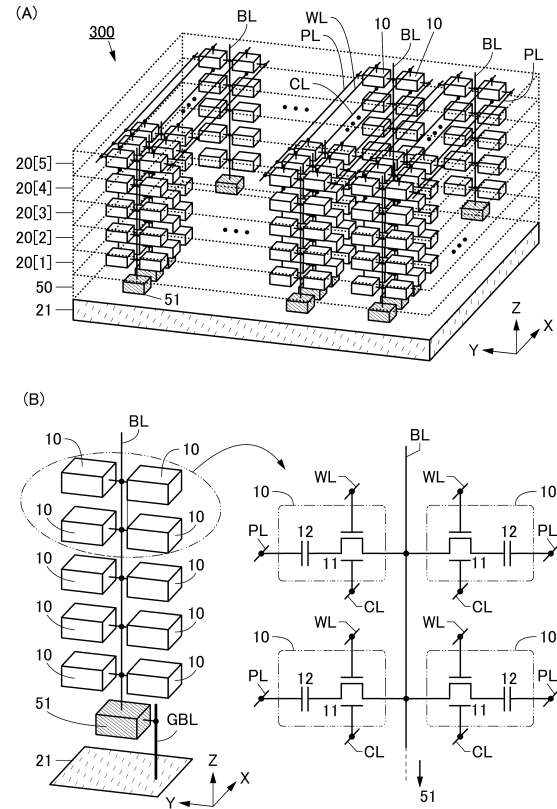
40

50

【 図 19 】



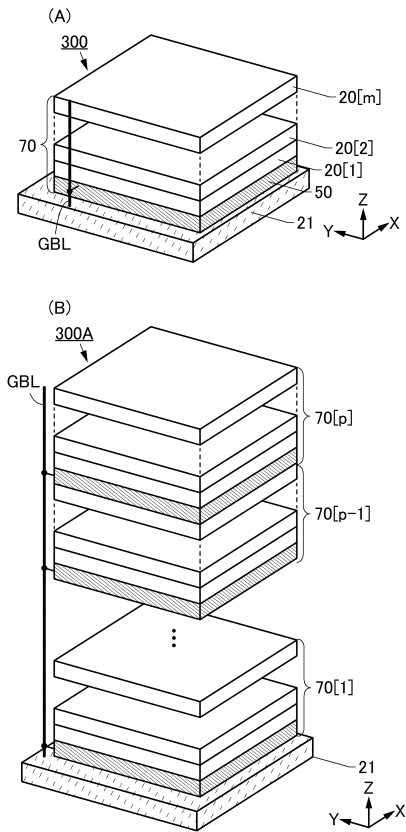
【 図 20 】



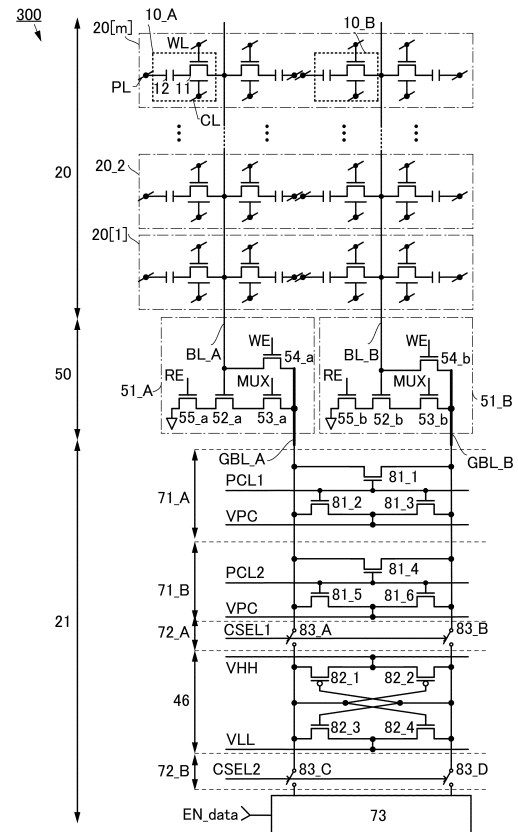
10

20

【 図 21 】



【 図 22 】

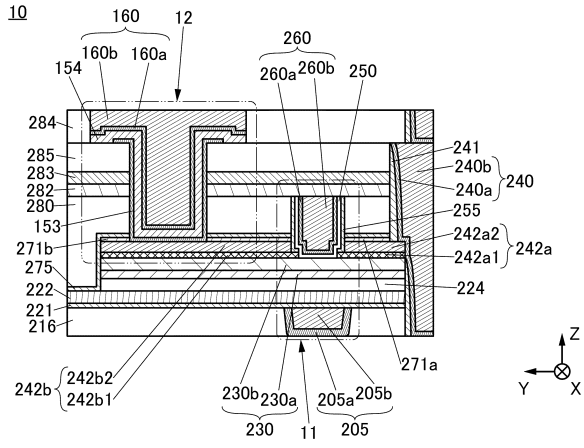


30

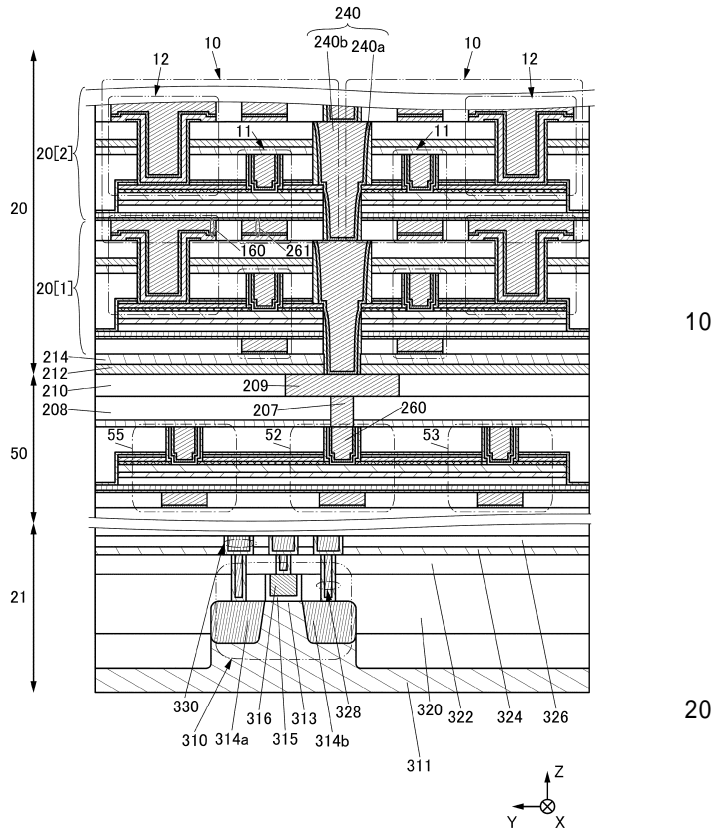
40

50

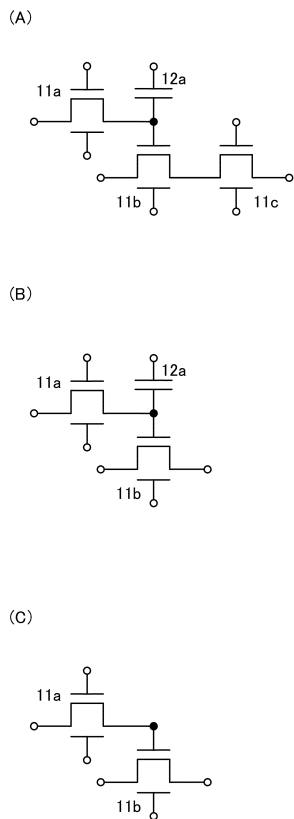
【 図 2 3 】



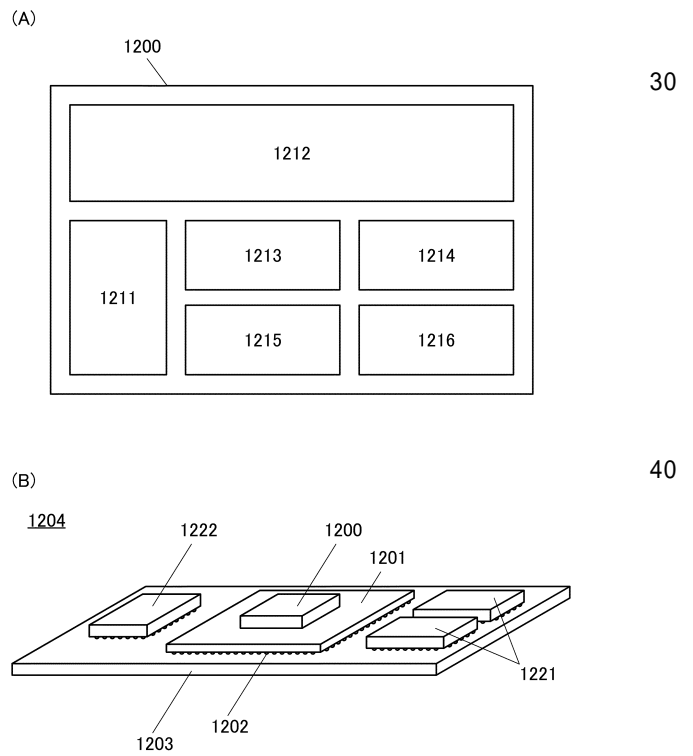
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



10

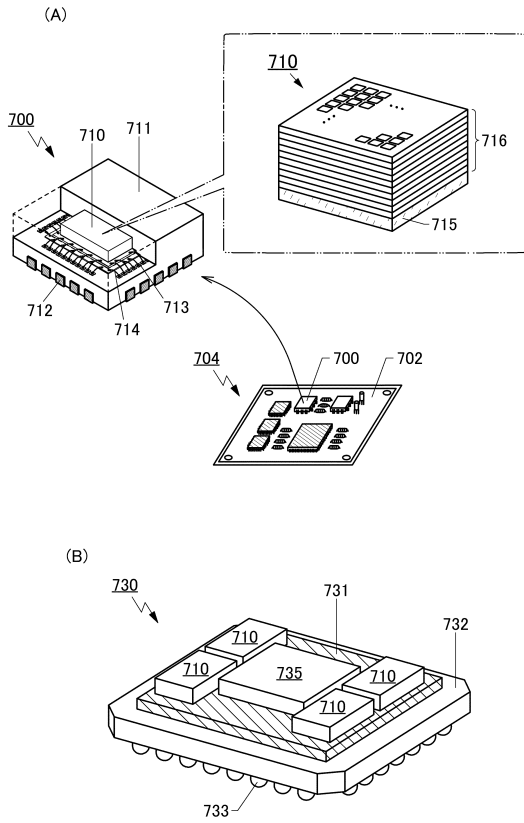
20

30

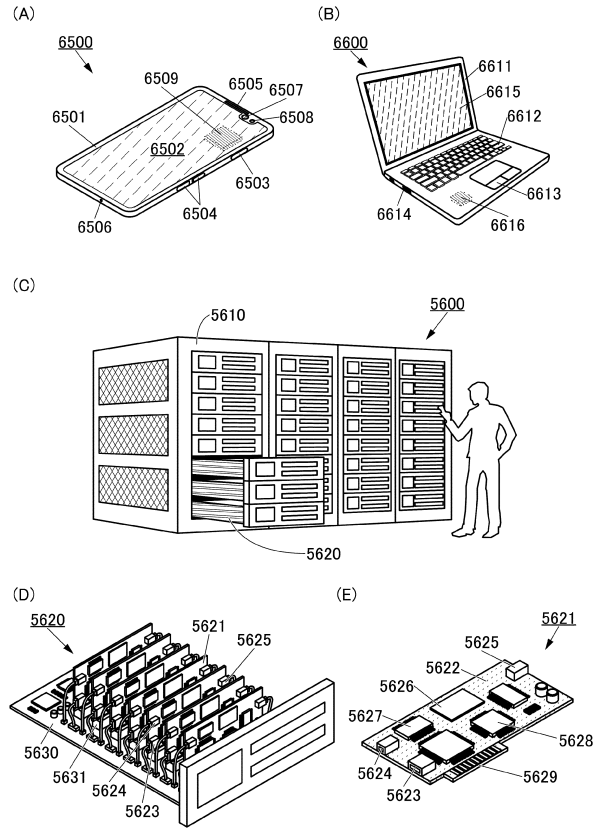
40

50

【 27 】



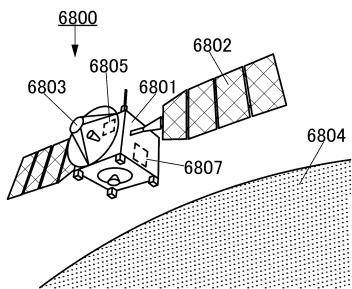
【 28 】



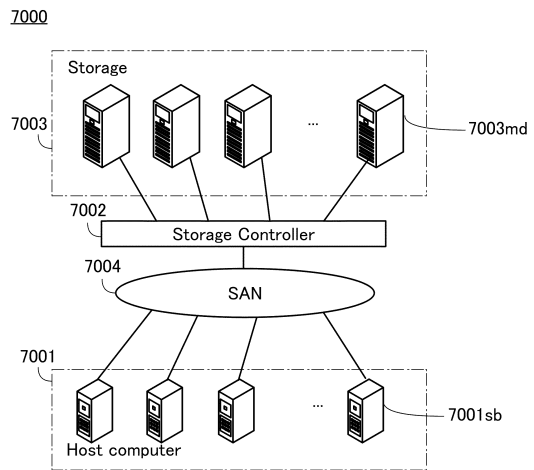
10

20

【 29 】



【 30 】



30

40

50

## フロントページの続き

## (51)国際特許分類

**H 0 1 L 29/417 (2006.01)**  
**H 0 1 L 21/28 (2006.01)**

## F I

H 0 1 L 29/78 6 1 8 A  
 H 0 1 L 29/78 6 1 6 U  
 H 0 1 L 29/78 6 1 6 V  
 H 0 1 L 29/78 6 1 9 A  
 H 0 1 L 21/285 S  
 H 0 1 L 29/50 M  
 H 0 1 L 21/28 3 0 1 B  
 H 0 1 L 21/28 3 0 1 R  
 H 0 1 L 21/28 E

## テーマコード (参考)

## F ターム (参考)

EE12 EE16 EE17 FF06 FF18 GG09 GG16 HH20  
 5F048 AA01 AB01 AC01 AC10 BA01 BG13  
 5F110 AA06 AA07 AA08 BB05 BB11 CC01 DD01 DD02 DD03 DD04  
 DD05 EE01 EE02 EE03 EE04 EE05 EE06 EE07 EE08 EE09 EE14  
 EE22 EE23 EE30 EE32 EE42 EE44 EE45 FF01 FF02 FF03 FF04  
 FF09 FF12 FF27 FF28 FF29 FF30 FF36 GG01 GG04 GG06 GG12  
 GG13 GG14 GG15 GG17 GG28 GG35 GG42 GG43 GG44 GG45 GG58  
 HJ30 HK01 HK02 HK03 HK04 HK05 HK06 HK09 HK14 HK32 HK33  
 HK34 HK35 HK42 HM14 NN03 NN22 NN23 NN24 NN33 NN34 NN35  
 NN40 QQ04 QQ05 QQ11