



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                                         |                                     |                                          |
|-----------------------------------------|-------------------------------------|------------------------------------------|
| (51) 。 Int. Cl.<br>H01L 27/11 (2006.01) | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2007년03월30일<br>10-0702012<br>2007년03월26일 |
|-----------------------------------------|-------------------------------------|------------------------------------------|

|           |                 |           |                 |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2005-0023801 | (65) 공개번호 | 10-2006-0102053 |
| (22) 출원일자 | 2005년03월22일     | (43) 공개일자 | 2006년09월27일     |
| 심사청구일자    | 2005년03월22일     |           |                 |

(73) 특허권자           삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자            장재훈  
                              경기 화성시 동탄면 청계리 103번지

                              정순문  
                              경기 성남시 분당구 구미동 까치마을신원아파트 313동 1203호

                              나영섭  
                              경기 용인시 죽전1동 현대홈타운4차아파트 437-204

                              박한병  
                              경기 성남시 수정구 태평2동 3307-107호

(74) 대리인           박상수

|                                                      |                                          |
|------------------------------------------------------|------------------------------------------|
| (56) 선행기술조사문헌<br>JP05160371 A<br>KR1020040048039 A * | KR1020040009867 A *<br>KR1020040060975 A |
|------------------------------------------------------|------------------------------------------|

\* 심사관에 의하여 인용된 문헌

심사관 : 정병홍

전체 청구항 수 : 총 28 항

## (54) 매립막 패턴들을 갖는 에스. 램들 및 그 형성방법들

### (57) 요약

매립막 패턴들을 갖는 에스. 램들 및 그 형성방법들을 제공한다. 상기 에스. 램들 및 그 형성방법들은 셀 어레이 영역의 셀 게이트 패턴들을 형성한 후 주변 회로 영역의 주변 게이트 패턴들에 셀리사이드 공정을 적용할 수 있는 방안을 제시한다. 이를 위해서, 셀 어레이 영역 및 주변 회로 영역의 활성 영역들을 갖는 반도체 기판이 준비된다. 상기 셀 어레이 영역 및 주변 회로 영역의 활성 영역들 상에 셀 및 주변 게이트 패턴들을 형성한다. 이때에, 상기 셀 게이트 패턴들은 활성 영역의 반도체 기판의 상면을 가로지르는 수직선 상에 차례로 배치된다. 상기 주변 게이트 패턴들 및 그 패턴들 주변의 반도체 기판에 금속 실리사이드 막들을 형성한다. 상기 금속 실리사이드 막들을 덮도록 주변 게이트 패턴들 상에 매립막 패턴들이 배치된다. 상기 매립막 패턴들을 둘러싸도록 보호 층간절연막 및 식각 저지막을 형성한다.

## 대표도

도 2

## 특허청구의 범위

### 청구항 1.

셀 어레이 영역의 적어도 하나의 활성 영역 및 주변 회로 영역의 활성 영역들을 갖는 반도체 기판;

상기 셀 어레이 영역의 상기 활성 영역 상에 수직으로 차례로 배치된 셀 게이트 패턴들;

상기 주변 회로 영역의 활성 영역들 상에 수평적으로 각각 배치된 주변 게이트 패턴들;

상기 주변 게이트 패턴들 중 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 내에 배치되는 금속 실리사이드 막들;

상기 금속 실리사이드 막들을 덮도록 상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 상에 배치된 매립막 패턴들; 및

상기 매립막 패턴들을 둘러싸도록 상기 주변 게이트 패턴들의 나머지 및 상기 셀 어레이 영역에 차례로 배치된 식각 저지막 및 보호 층간절연막을 포함하는 에스. 램.

### 청구항 2.

제 1 항에 있어서,

상기 보호 층간절연막은 상기 셀 어레이 영역에서 상기 셀 게이트 패턴들 사이에 각각 게재되고, 그리고 상기 주변 회로 영역에서 상기 활성 영역들 사이에 배치되도록 두 개 이상의 절연막들로 이루어진 것이 특징인 에스. 램.

### 청구항 3.

제 1 항에 있어서,

상기 셀 어레이 영역은 상기 활성 영역의 상부에 위치하는 다른 활성 영역들을 더 포함하되,

상기 다른 활성 영역들은 상기 활성 영역과 동일한 도전형을 가지며, 상기 셀 게이트 패턴들 중 하나는 상기 활성 영역의 상기 반도체 기판 상에 위치하고, 상기 셀 게이트 패턴들 중 나머지는 각각이 상기 다른 활성 영역들 상에 위치하는 것이 특징인 에스. 램.

### 청구항 4.

제 3 항에 있어서,

상기 셀 어레이 영역의 상기 활성 영역 및 상기 다른 활성 영역들에 배치된 소오스 및 드레인 영역들을 더 포함하되,

상기 소오스 및 드레인 영역들은 각각이 상기 셀 게이트 패턴들에 중첩하는 것이 특징인 에스. 램.

## 청구항 5.

제 4 항에 있어서,

상기 셀 어레이 영역의 상기 활성 영역 및 상기 다른 활성 영역들 사이에 배치되는 랜딩 패드들을 더 포함하되,

상기 랜딩 패드들은 상기 셀 어레이 영역의 상기 활성 영역 및 상기 다른 활성 영역들에서 상기 소오스 및 드레인 영역들과 접촉하는 것이 특징인 에스. 램.

## 청구항 6.

제 1 항에 있어서,

상기 주변 회로 영역의 활성 영역들에 배치된 소오스 및 드레인 영역들을 더 포함하되,

상기 소오스 및 드레인 영역들은 상기 주변 게이트 패턴들에 중첩하고, 그리고 상기 소오스 및 드레인 영역들의 일부는 상기 반도체 기판 상에 배치된 상기 금속 실리사이드 막들을 감싸는 것이 특징인 에스. 램.

## 청구항 7.

셀 어레이 영역의 적어도 하나의 활성 영역 및 주변 회로 영역의 활성 영역들을 갖는 반도체 기판;

상기 셀 어레이 영역의 상기 활성 영역 상에 수직으로 차례로 배치된 셀 게이트 패턴들;

상기 주변 회로 영역의 상기 활성 영역들 상에 수평적으로 각각 배치된 주변 게이트 패턴들;

상기 주변 게이트 패턴들 중 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 내에 배치되는 금속 실리사이드 막들;

상기 금속 실리사이드 막들을 덮도록 상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 상에 차례로 배치된 식각 보호막 패턴들 및 매립막 패턴들; 및

상기 매립막 패턴들 및 상기 식각 보호막 패턴들을 둘러싸도록 상기 주변 게이트 패턴들의 나머지 및 상기 셀 어레이 영역에 차례로 배치된 식각 저지막 및 보호 층간절연막을 포함하되,

상기 식각 보호막 패턴들의 각각은 상기 매립막 패턴들 및 상기 보호 층간절연막 사이에 위치하도록 상기 매립막 패턴들 아래로부터 상기 반도체 기판의 상부를 향해서 연장하는 것이 특징인 에스. 램.

## 청구항 8.

제 7 항에 있어서,

상기 보호 층간절연막은 상기 셀 어레이 영역에서 상기 셀 게이트 패턴들 사이에 각각 게재되고, 그리고 상기 주변 회로 영역에서 상기 활성 영역들 사이에 배치되도록 두 개 이상의 절연막들로 이루어진 것이 특징인 에스. 램.

## 청구항 9.

제 7 항에 있어서,

상기 셀 어레이 영역은 상기 활성 영역의 상부에 위치하는 다른 활성 영역들을 더 포함하되,

상기 다른 활성 영역들은 상기 활성 영역과 동일한 도전형을 가지며, 상기 셀 게이트 패턴들 중 하나는 상기 활성 영역의 상기 반도체 기판 상에 위치하고, 상기 셀 게이트 패턴들 중 나머지는 각각이 상기 다른 활성 영역들 상에 위치하는 것이 특징인 에스. 램.

## 청구항 10.

제 9 항에 있어서,

상기 셀 어레이 영역의 상기 활성 영역 및 상기 다른 활성 영역들에 배치된 소오스 및 드레인 영역들을 더 포함하되,

상기 소오스 및 드레인 영역들은 상기 셀 게이트 패턴들에 중첩하는 것이 특징인 에스. 램.

## 청구항 11.

제 10 항에 있어서,

상기 셀 어레이 영역의 상기 활성 영역 및 상기 다른 활성 영역들 사이에 배치되는 랜딩 패드들을 더 포함하되,

상기 랜딩 패드들은 각각이 상기 셀 어레이 영역의 상기 활성 영역 및 상기 다른 활성 영역들에서 상기 소오스 및 드레인 영역들과 접촉하는 것이 특징인 에스. 램.

## 청구항 12.

제 7 항에 있어서,

상기 주변 회로 영역의 활성 영역들에 배치된 소오스 및 드레인 영역들을 더 포함하되,

상기 소오스 및 드레인 영역들은 상기 주변 게이트 패턴들에 중첩하고, 그리고 상기 소오스 및 드레인 영역들의 일부는 각각이 상기 반도체 기판 상에 배치된 상기 금속 실리사이드 막들을 감싸는 것이 특징인 에스. 램.

## 청구항 13.

셀 어레이 영역 상에 수직적으로 차례로 배치된 활성 영역들, 상기 셀 어레이 영역의 상기 활성 영역들 상에 각각 위치하는 셀 게이트 패턴들, 주변 회로 영역 상에 수평적으로 배치된 활성 영역들, 상기 주변 회로 영역의 상기 활성 영역들 상에 각각 위치하는 주변 게이트 패턴들, 상기 주변 게이트 패턴들 그리고 상기 주변 게이트 패턴들과 수평적으로 동일 레벨에 위치하는 상기 셀 게이트 패턴들 중 일부를 덮는 식각 저지막, 상기 셀 게이트 패턴들을 덮어서 상기 셀 게이트 패턴들을 서로 고립시키도록 상기 식각 저지막 상에 형성된 보호 층간절연막을 가지는 반도체 기판을 준비하고,

상기 보호 층간절연막 및 상기 식각 저지막을 통해서 상기 주변 게이트 패턴들 중 적어도 일부 및 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 노출시키고,

상기 주변 게이트 패턴들 중 상기 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 내에 금속 실리사이드 막들을 형성하고, 및

상기 금속 실리사이드 막들을 덮도록 상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 상에 매립막 패턴들을 형성하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

#### 청구항 14.

제 13 항에 있어서,

상기 매립막 패턴들을 형성하는 것은,

상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 충분히 덮도록 상기 보호 층간절연막 상에 매립막을 형성하고, 및

상기 보호 층간절연막이 노출될 때까지 상기 매립막 상에 평탄화 공정을 수행하는 것을 포함하되,

상기 주변 회로 영역의 상기 보호 층간절연막 및 상기 매립막의 상면들 사이의 거리는 상기 셀 어레이 영역의 서로 마주보는 두 개의 셀 게이트 패턴들의 상면들 사이의 거리보다 큰 크기를 갖도록 형성하는 것이 특징인 에스. 램의 형성방법.

#### 청구항 15.

제 13 항에 있어서,

상기 금속 실리사이드 막들을 형성하는 것은,

상기 주변 게이트 패턴들 중 상기 적어도 일부 및 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역을 덮도록 상기 보호 층간절연막 상에 금속막을 형성하고, 및

상기 금속막 상에 셀리사이드 공정을 적어도 한번 수행하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

#### 청구항 16.

제 15 항에 있어서,

상기 금속막은 니켈(Ni) 및 코발트(Co) 중 선택된 하나를 사용해서 형성하는 것이 특징인 에스. 램의 형성방법.

#### 청구항 17.

제 13 항에 있어서,

상기 금속 실리사이드 막들을 형성하는 것은,

상기 주변 게이트 패턴들 중 상기 적어도 일부 및 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 반도체 기판을 덮도록 상기 보호 층간절연막 상에 금속막 및 금속 보호막을 차례로 형성하고, 및

상기 금속 보호막 상에 셀리사이드 공정을 적어도 한번 수행하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

#### 청구항 18.

제 17 항에 있어서,

상기 금속막은 니켈(Ni) 및 코발트(Co) 중 선택된 하나를 사용해서 형성하는 것이 특징인 에스. 램의 형성방법.

## 청구항 19.

제 17 항에 있어서,

상기 금속 보호막은 타이타늄 나이트라이드(TiN)를 사용해서 형성하는 것이 특징인 에스. 램의 형성방법.

## 청구항 20.

제 13 항에 있어서,

상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 노출시키는 것은,

상기 보호 층간절연막 상에 포토레지스트 패턴들을 형성하고,

상기 포토레지스트 패턴들을 마스크로 사용해서 상기 보호 층간절연막 및 상기 식각 저지막에 식각공정을 수행하고, 및

상기 포토레지스트 패턴들을 상기 반도체 기판으로부터 제거하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

## 청구항 21.

셀 어레이 영역 상에 수직적으로 차례로 배치된 활성 영역들, 상기 셀 어레이 영역의 상기 활성 영역들 상에 각각 위치하는 셀 게이트 패턴들, 주변 회로 영역 상에 수평적으로 배치된 활성 영역들, 상기 주변 회로 영역의 상기 활성 영역들 상에 각각 위치하는 주변 게이트 패턴들, 상기 주변 게이트 패턴들 그리고 상기 주변 게이트 패턴들과 수평적으로 동일 레벨에 위치하는 상기 셀 게이트 패턴들 중 일부를 덮는 식각 저지막, 상기 셀 게이트 패턴들을 덮어서 상기 셀 게이트 패턴들을 서로 고립시키도록 상기 식각 저지막 상에 형성된 보호 층간절연막을 가지는 반도체 기판을 준비하고,

상기 보호 층간절연막 및 상기 식각 저지막을 통해서 상기 주변 게이트 패턴들 중 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 노출시키고,

상기 주변 게이트 패턴들 중 상기 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 내에 금속 실리사이드 막들을 형성하고, 및

상기 금속 실리사이드 막들을 덮도록 상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 상에 차례로 적층된 식각 보호막 패턴들 및 매립막 패턴들을 각각 형성하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

## 청구항 22.

제 21 항에 있어서,

상기 식각 보호막 패턴들 및 매립막 패턴들을 형성하는 것은,

상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 충분히 덮도록 상기 보호 층간절연막 상에 식각 보호막 및 매립막을 형성하고, 및

상기 보호 층간절연막이 노출될 때까지 상기 매립막 및 상기 식각 보호막에 평탄화 공정을 수행하는 것을 포함하되,

상기 주변 회로 영역의 상기 보호 층간절연막 및 상기 매립막의 상면들 사이의 거리는 상기 셀 어레이 영역의 서로 마주보는 두 개의 셀 게이트 패턴들의 상면들 사이의 거리보다 큰 크기를 갖도록 형성하는 것이 특징인 에스. 램의 형성방법.

### 청구항 23.

제 21 항에 있어서,

상기 금속 실리사이드 막들을 형성하는 것은,

상기 주변 게이트 패턴들 중 상기 적어도 일부 및 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 덮도록 상기 보호 층간절연막 상에 금속막을 형성하고, 및

상기 금속막 상에 셀리사이드 공정을 적어도 한번 수행하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

### 청구항 24.

제 23 항에 있어서,

상기 금속막은 니켈(Ni) 및 코발트(Co) 중 선택된 하나를 사용해서 형성하는 것이 특징인 에스. 램의 형성방법.

### 청구항 25.

제 21 항에 있어서,

상기 금속 실리사이드 막들을 형성하는 것은,

상기 주변 게이트 패턴들 중 상기 적어도 일부 및 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 덮도록 상기 보호 층간절연막 상에 금속막 및 금속 보호막을 차례로 형성하고, 및

상기 금속 보호막 상에 셀리사이드 공정을 적어도 한번 수행하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

### 청구항 26.

제 25 항에 있어서,

상기 금속막은 니켈(Ni) 및 코발트(Co) 중 선택된 하나를 사용해서 형성하는 것이 특징인 에스. 램의 형성방법.

### 청구항 27.

제 25 항에 있어서,

상기 금속 보호막은 타이타늄 나이트라이드(TiN)를 사용해서 형성하는 것이 특징인 에스. 램의 형성방법.

## 청구항 28.

제 21 항에 있어서,

상기 주변 게이트 패턴들 중 상기 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들을 노출시키는 것은,

상기 보호 층간절연막 상에 포토레지스트 패턴들을 형성하고,

상기 포토레지스트 패턴들을 마스크로 사용해서 상기 보호 층간절연막 및 상기 식각 저지막에 식각공정을 수행하고, 및

상기 포토레지스트 패턴들을 상기 반도체 기판으로부터 제거하는 것을 포함하는 것이 특징인 에스. 램의 형성방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 에스. 램들 및 그 형성방법들에 관한 것으로서, 상세하게는, 매립막 패턴들을 갖는 에스. 램들 및 그 형성방법들에 관한 것이다.

최근에, 에스. 램은 반도체 제조 공정이 허용되는 범위까지 셀 어레이 영역의 반도체 기판 상에 셀 게이트 패턴들을 차례로 적층해서 형성되고 있다. 이는 반도체 기판 상에 셀 게이트 패턴들을 평면적으로 배치하는 것보다 셀 어레이 영역의 활성 영역으로부터 얻을 수 있는 전류를 극대화시켜 준다. 또한, 상기 셀 게이트 패턴들을 차례로 적층하는 것은 주어진 에스. 램의 면적에 저촉되지 않고 더불어서 계속적인 디자인 룰의 축소에 대응할 수 있게한다.

그러나, 상기 에스. 램은 주변 회로 영역의 반도체 기판 상에 셀리사이드 공정을 적용하는데 한계를 갖는다. 왜냐하면, 상기 에스. 램은 구조상 셀 어레이 영역에 공간적으로 배치된 셀 게이트 패턴들 및 주변 회로 영역에 평면적으로 배치된 주변 게이트 패턴들을 갖기 때문이다. 즉, 상기 주변 게이트 패턴들 및 그 패턴들 주변의 반도체 기판 상에 셀리사이드 공정이 수행된 후, 상기 셀리사이드 공정은 반도체 기판 상의 셀 게이트 패턴들과 함께 반도체 기판의 상부에 공간적으로 배치된 셀 게이트 패턴들에 금속 오염을 줄 수 있다. 이는 에스. 램의 전기적 특성들을 저하시킨다.

한편, "하나의 칩에 하이 퍼포먼스 로직 및 콤팩트 임베디드 메모리 구조를 제공하는 더블 폴리실리콘 공정(DOUBLE POLYSILICON PROCESS FOR PROVIDING SINGLE CHIP HIGH PERFORMANCE LOGIC AND COMPACT EMBEDDED MEMORY)" 이 미국특허공보 제 6,287,913 호(U.S. Pat. No. 6,287,913)에 파울 디 애그네로(Paul D. Agnello) 등에 의해 개시된 바 있다.

상기 미국특허공보 제 6,287,913 호에 따르면, 상기 폴리실리콘 공정은 메모리 영역에 메모리 게이트 스택(Memory Gate Stack)을 형성하는 것을 포함한다. 상기 게이트 스택을 형성한 후, 로직 영역에 로직 게이트 스택(Memory Gate Stack)을 형성한다. 그리고, 상기 로직 영역에 셀리사이드 공정을 수행해서 로직 게이트 스택의 상면 및 그 게이트 스택 주변의 반도체 기판에 코발트(Co) 또는 타이타늄(Ti) 실리사이드들을 각각 형성한다.

그러나, 상기 폴리실리콘 공정은 메모리 영역 및 로직 영역의 반도체 기판 상에 메모리 게이트 스택 및 로직 게이트 스택을 동시에 형성하는 것을 포함하지 않는다. 따라서, 상기 폴리실리콘 공정은 반도체 제조 공정의 시간을 길게 가지기 때문에 하나의 칩의 제조비용을 높일 수 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 셀 어레이 영역 및 주변 회로 영역의 활성 영역들 상의 셀 게이트 패턴들 및 주변 게이트 패턴들에서 상기 주변 게이트 패턴들 중 적어도 일부 상에 매립막 패턴들을 갖는 에스. 램들을 제공하는데 있다.

본 발명이 이루고자 하는 기술적 과제는 셀 어레이 영역 및 주변 회로 영역의 활성 영역들 상의 셀 게이트 패턴들 및 주변 게이트 패턴들을 동시에 형성해서 상기 주변 게이트 패턴들 중 적어도 일부 상에 매립막 패턴들을 갖는 에스. 램들의 형성 방법들을 제공하는데 있다.

## 발명의 구성

상기 기술적 과제들을 구현하기 위해서, 본 발명은 매립막 패턴들을 갖는 에스. 램들 및 그 형성방법들을 제공한다.

상기 에스. 램들 중 일 실시예는 셀 어레이 영역의 적어도 하나의 활성 영역 및 주변 회로 영역의 활성 영역들을 갖는 반도체 기판을 포함한다. 상기 셀 어레이 영역의 활성 영역 상에 셀 게이트 패턴들이 수직으로 차례로 배치된다. 상기 주변 회로 영역의 활성 영역들 상에 주변 게이트 패턴들이 수평적으로 각각 배치된다. 상기 주변 게이트 패턴들 중 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 상기 활성 영역들 내에 금속 실리사이드 막들이 배치된다. 상기 금속 실리사이드 막들을 덮도록 매립막 패턴들이 배치된다. 상기 매립막 패턴들은 주변 게이트 패턴들 중 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들 상에 배치된다. 상기 매립막 패턴들을 둘러싸도록 주변 게이트 패턴들의 나머지 및 셀 어레이 영역에 식각 저지막 및 보호 층간절연막이 차례로 배치된다.

상기 에스. 램들 중 다른 실시예는 셀 어레이 영역의 적어도 하나의 활성 영역 및 주변 회로 영역의 활성 영역들을 갖는 반도체 기판을 포함한다. 상기 셀 어레이 영역의 활성 영역 상에 셀 게이트 패턴들이 수직으로 차례로 배치된다. 상기 주변 회로 영역의 활성 영역들 상에 주변 게이트 패턴들이 수평적으로 각각 배치된다. 상기 주변 게이트 패턴들 중 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들 내에 금속 실리사이드 막들이 배치된다. 상기 금속 실리사이드 막들을 덮도록 식각 보호막 패턴들 및 매립막 패턴들이 차례로 배치된다. 상기 매립막 패턴들 및 식각 보호막 패턴들은 주변 게이트 패턴들 중 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들 상에 배치된다. 상기 매립막 패턴들 및 식각 보호막 패턴들을 둘러싸도록 주변 게이트 패턴들의 나머지 및 셀 어레이 영역에 식각 저지막 및 보호 층간절연막이 차례로 배치된다. 상기 식각 보호막 패턴들의 각각은 매립막 패턴들 및 보호 층간절연막 사이에 위치하도록 매립막 패턴들 아래로부터 반도체 기판의 상부를 향해서 연장한다.

상기 형성방법들 중 일 실시예는 셀 어레이 영역 상에 수직적으로 차례로 배치된 활성 영역들, 상기 셀 어레이 영역의 상기 활성 영역들 상에 각각 위치하는 셀 게이트 패턴들, 주변 회로 영역 상에 수평적으로 배치된 활성 영역들, 상기 주변 회로 영역의 상기 활성 영역들 상에 각각 위치하는 주변 게이트 패턴들, 상기 주변 게이트 패턴들 그리고 상기 주변 게이트 패턴들과 수평적으로 동일 레벨에 위치하는 상기 셀 게이트 패턴들 중 일부를 덮는 식각 저지막, 상기 셀 게이트 패턴들을 덮어서 상기 셀 게이트 패턴들을 서로 고립시키도록 상기 식각 저지막 상에 형성된 보호 층간절연막을 가지는 반도체 기판을 준비하는 것을 포함한다. 상기 보호 층간절연막 및 식각 저지막을 통해서 주변 게이트 패턴들 중 적어도 일부 및 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들을 노출시킨다. 상기 주변 게이트 패턴들 중 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들 내에 금속 실리사이드 막들을 형성한다. 상기 금속 실리사이드 막들을 덮도록 주변 게이트 패턴들 중 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들 상에 매립막 패턴들을 형성한다.

상기 형성방법들 중 다른 실시예는 셀 어레이 영역 상에 수직적으로 차례로 배치된 활성 영역들, 상기 셀 어레이 영역의 상기 활성 영역들 상에 각각 위치하는 셀 게이트 패턴들, 주변 회로 영역 상에 수평적으로 배치된 활성 영역들, 상기 주변 회로 영역의 상기 활성 영역들 상에 각각 위치하는 주변 게이트 패턴들, 상기 주변 게이트 패턴들 그리고 상기 주변 게이트 패턴들과 수평적으로 동일 레벨에 위치하는 상기 셀 게이트 패턴들 중 일부를 덮는 식각 저지막, 상기 셀 게이트 패턴들을 덮어서 상기 셀 게이트 패턴들을 서로 고립시키도록 상기 식각 저지막 상에 형성된 보호 층간절연막을 가지는 반도체 기판을 준비하는 것을 포함한다. 상기 보호 층간절연막 및 식각 저지막을 통해서 주변 게이트 패턴들 중 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들을 노출시킨다. 상기 주변 게이트 패턴들 중 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들 내에 금속 실리사이드 막들을 형성한다. 상기 금속 실리사이드 막들을 덮도록 주변 게이트 패턴들 중 적어도 일부, 그리고 상기 주변 게이트 패턴들 중 상기 적어도 일부 주변의 활성 영역들 상에 차례로 적층된 식각 보호막 패턴들 및 매립막 패턴들을 각각 형성한다.

도 1 은 본 발명에 따른 에스. 램을 보여주는 배치도이고, 도 2 는 도 1 의 절단선 I-I' 를 따라 취해서 에스. 램을 보여주는 단면도이다.

도 1 및 도 2 를 참조하면, 본 발명에 따른 에스. 램(120)에서, 셀 어레이 영역(A) 및 주변 회로 영역(B)의 반도체 기판(5)에 소자 분리막(10)이 배치된다. 상기 소자 분리막(10)은 셀 어레이 영역(A)의 적어도 하나의 활성 영역(13) 및 주변 회로 영역(B)의 활성 영역들(16, 19)을 고립시킨다. 상기 셀 어레이 영역(A) 및 주변 회로 영역(B)의 활성 영역들(13, 16, 19)상에 셀 게이트 패턴들(23, 52, 72) 및 주변 게이트 패턴들(26, 29)이 각각 배치된다. 상기 주변 게이트 패턴들(26, 29)은 주변 회로 영역(B)의 반도체 기판(5)상에 수평적으로 배치된다. 상기 셀 게이트 패턴들(23, 52, 72)은 셀 어레이 영역(A)의 활성 영역(13)상에 수직적으로 차례로 위치하도록 배치된다. 상기 셀 및 주변 게이트 패턴들(23, 26, 29, 52, 72)은 하나의 도전형을 갖는 도핑된 폴리실리콘인 것이 바람직하다.

상기 셀 어레이 영역(A)은 활성 영역(13)의 반도체 기판(5)의 상부에 위치하는 다른 활성 영역들(50, 70)을 갖는다. 상기 다른 활성 영역들(50, 70)은 활성 영역(13)의 반도체 기판(5)과 동일한 도전형을 갖는다. 상기 셀 게이트 패턴들(23, 52, 72) 중 하나(23)는 활성 영역(13)의 반도체 기판(5)상에 위치하고, 상기 셀 게이트 패턴들 중 나머지(52, 72)는 각각 다른 활성 영역들(50, 70)상에 위치한다. 그리고, 상기 셀 어레이 영역(A) 및 주변 회로 영역(B)은 셀 게이트 패턴들(23, 52, 72) 및 주변 게이트 패턴들(26, 29)의 측벽에 각각 배치된 게이트 스페이서(32)들을 가질 수 있다.

상기 주변 게이트 패턴들(26, 29) 중 적어도 일부 내에 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19) 내에 금속 실리사이드 막들(94, 96)이 각각 배치된다. 상기 금속 실리사이드 막들(94, 96)은 코발트(Co) 및 니켈(Ni) 중 선택된 하나인 것이 바람직하다. 상기 금속 실리사이드 막들(94, 96) 및 반도체 기판(5)을 덮도록 주변 게이트 패턴들(26, 29) 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19)상에 매립막 패턴(107)들이 배치된다. 상기 매립막 패턴(107)들은 소자 분리막(10)과 동일한 식각률을 갖는 절연막인 것이 바람직하다. 상기 매립막 패턴(107)들은 소자 분리막(10)과 동일한 식각률을 갖는 절연막일 수 있다. 이때에, 상기 매립막 패턴(107)들을 둘러싸도록 보호 층간절연막(80) 및 식각 저지막(36)이 배치된다. 이를 위해서, 상기 식각 저지막(36) 및 보호 층간절연막(80)은 반도체 기판(5)을 덮도록 주변 게이트 패턴들(26, 29)의 나머지 및 셀 어레이 영역(A)에 차례로 배치될 수 있다.

본 발명의 다른 실시예로써, 상기 금속 실리사이드 막들(94, 96) 및 반도체 기판(5)을 덮도록 주변 게이트 패턴(26, 29)들 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19)상에 식각 보호막 패턴(104)들 및 매립막 패턴(107)들이 차례로 배치될 수 있다. 상기 식각 보호막 패턴(104)들은 매립막 패턴(107)들 및 보호 층간절연막(80)과 다른 식각률을 갖도록 형성하는 것이 바람직하다. 이때에도, 상기 보호 층간절연막(80) 및 식각 저지막(36)은 매립막 패턴(107)들 및 식각 보호막 패턴(104)들을 둘러싸도록 배치된다. 그리고, 상기 식각 보호막 패턴(104)들은 각각이 매립막 패턴(107)들 및 보호 층간절연막(80) 사이에 위치해서 반도체 기판(5)의 상면으로부터 상부를 향해서 연장하도록 배치된다. 상기 보호 층간절연막(80)은 식각 저지막(36)과 다른 식각률을 갖는 절연막인 것이 바람직하다. 상기 보호 층간절연막(80)은 매립막 패턴(107)들과 동일한 식각률을 갖는 절연막인 것이 바람직하다. 상기 보호 층간절연막(80)은 매립막 패턴(107)들과 다른 식각률을 갖는 절연막일 수 있다.

상기 보호 층간절연막(80)은 두 개 이상의 절연막들로 이루어진다. 이를 통해서, 상기 보호 층간절연막(80)은 셀 어레이 영역(A)에서 셀 게이트 패턴들(23, 52, 72) 사이에 각각 게재되고, 주변 회로 영역(B)에서 활성 영역들(16, 19) 사이에 배치되는 것이 바람직하다. 이후로, 상기 절연막들은 반도체 기판(5)의 상면으로부터 상부를 향해서 차례대로 제 1 내지 제 3 층간절연막들(38, 58, 78)로 언급하기로 한다. 상기 제 1 내지 제 3 층간절연막들(38, 58, 78)은 동일한 식각률을 갖는 물질인 것이 바람직하다.

한편, 상기 셀 어레이 영역(A) 및 주변 회로 영역(B)의 활성 영역들(13, 16, 19), 셀 어레이 영역(A)의 다른 활성 영역들(50, 70)은 각각이 한 쌍으로 배치된 소오스 및 드레인 영역들(34, 56, 76)을 가질 수 있다. 상기 소오스 및 드레인 영역들(34, 56, 76)은 각각이 셀 게이트 패턴들(23, 52, 72) 및 주변 게이트 패턴들(26, 29)과 중첩한다. 상기 셀 어레이 영역(A)의 활성 영역(13) 및 다른 활성 영역들(50, 70) 사이에 랜딩 패드들(48, 68)이 배치된다. 상기 랜딩 패드들(48, 68)은 각각이 셀 어레이 영역(A)의 활성 영역(13) 및 다른 활성 영역들(50, 70)에서 소오스 및 드레인 영역들(34, 56, 76)과 접촉한다.

더불어, 상기 주변 회로 영역(B)의 활성 영역들(16, 19)의 소오스 및 드레인 영역(34)들상에 메탈 콘택(110)들이 도 1 과 같이 배치될 수 있다. 상기 메탈 콘택(110)들은 매립막 패턴(107)들을 관통하거나 또는 보호 층간절연막(80) 및 식각 저지막(36)을 차례로 관통해서 소오스 및 드레인 영역(34)들이 회로 배선들(도면에 미 도시)과 각각 접촉되도록 해준다. 또한, 상기 메탈 콘택(110)들은 매립막 패턴(107)들 및 식각 보호막 패턴(104)들, 또는 보호 층간절연막(80) 및 식각 저지막(36)을 차례로 관통해서 소오스 및 드레인 영역(34)들이 회로 배선들(도면에 미 도시)과 각각 접촉되도록 해줄 수 있다.

이제, 본 발명의 매립막 패턴들을 갖는 에스. 램들의 형성방법을 첨부된 참조 도면들을 참조해서 좀 더 상세하게 설명하기로 한다.

도 3 내지 도 9 는 각각이 도 1 의 절단선 I - I' 를 따라 취해서 에스. 램의 형성방법을 설명해주는 단면도들이다.

도 1 및 도 3 을 참조하면, 셀 어레이 영역(A) 및 주변 회로 영역(B)을 갖는 반도체 기판을 준비한다. 상기 셀 어레이 영역(A) 및 주변 회로 영역(B)의 반도체 기판(5)에 소자 분리막(10)을 형성한다. 상기 소자 분리막(10)은 셀 어레이 영역(A)의 적어도 하나의 활성 영역(13) 및 주변 회로 영역(B)의 활성 영역들(16, 19)을 고립시킨다. 상기 셀 어레이 영역(A)의 활성 영역(13) 및 주변 회로 영역(B)의 활성 영역들(16, 19) 상에 셀 및 주변 게이트 패턴들(23, 26, 29)을 각각 형성한다. 상기 셀 및 주변 게이트 패턴들(23, 26, 29)은 동일한 도전형을 갖도록 도핑된 폴리실리콘을 사용해서 형성하는 것이 바람직하다.

상기 셀 및 주변 게이트 패턴들(23, 26, 29)의 측벽에 게이트 스페이서(32)들을 각각 형성한다. 상기 게이트 스페이서(32)들은 소자 분리막(10)과 다른 식각물을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 게이트 스페이서(32)들은 실리콘 나이트라이드( $\text{Si}_3\text{N}_4$ )를 사용해서 형성할 수 있다. 이와 반대로, 상기 게이트 스페이서(32)들은 소자 분리막(10)과 동일한 식각물을 갖는 절연막, 예를 들면 실리콘 옥사이드( $\text{SiO}_2$ )를 사용해서 형성할 수도 있다.

상기 게이트 스페이서(32)들, 상기 셀 및 주변 게이트 패턴들(23, 26, 29)과 함께 소자 분리막(10)을 덮도록 반도체 기판(5) 상에 식각 저지막(36) 및 제 1 층간절연막(38)을 차례로 형성한다. 그리고, 상기 셀 어레이 영역(A)의 셀 게이트 패턴(23)의 측부에 랜딩 홀(44)을 형성한다. 상기 랜딩 홀(44)은 제 1 층간절연막(38) 및 식각 저지막(36)을 관통해서 소오스 및 드레인 영역(34)들 중 하나를 노출시킨다. 상기 랜딩 홀(44)을 채우는 랜딩 패드(48)를 형성한다. 상기 랜딩 패드(48)는 소오스 및 드레인 영역(34)들과 동일한 도전형을 갖는 것이 바람직하다. 상기 랜딩 패드(48)는 활성 영역(13)을 씨드(Seed)로 사용해서 선택적 에피 성장(SEG; Selective Epitaxial Growth) 기술을 수행하여 형성하는 것이 바람직하다.

한편, 상기 주변 회로 영역(B)의 주변 게이트 패턴들(26, 29)은 각각이 서로 다른 도전형들을 갖도록 형성할 수 있다. 상기 주변 게이트 패턴들(26, 29)이 서로 다른 도전형들을 각각 갖는 경우, 상기 주변 회로 영역(B)의 활성 영역들(16, 19)의 소오스 및 드레인 영역(34)들은 각각이 주변 게이트 패턴들(26, 29)에 대응해서 동일한 도전형들을 갖도록 형성하는 것이 바람직하다.

도 1 및 도 4 를 참조하면, 상기 랜딩 패드(48)들과 접촉하도록 제 1 층간절연막(38) 상에 다른 활성 영역(50)을 형성한다. 상기 다른 활성 영역(50) 상에 다른 셀 게이트 패턴(52)을 형성한다. 상기 다른 셀 게이트 패턴(52)은 셀 게이트 패턴(23)과 동일한 도전형을 갖는 도핑된 폴리실리콘을 사용해서 형성하는 것이 바람직하다. 상기 다른 셀 게이트 패턴(52)의 측벽에 다른 게이트 스페이서(54)들을 형성한다. 상기 다른 게이트 스페이서(54)들은 게이트 스페이서(32)들과 동일한 식각물을 갖는 절연막을 사용해서 형성할 수 있다.

상기 다른 셀 게이트 패턴(52)과 중첩하는 다른 소오스 및 드레인 영역(56)들을 형성한다. 상기 다른 소오스 및 드레인 영역(56)들은 소오스 및 드레인 영역(34)들과 동일한 도전형을 갖도록 형성하는 것이 바람직하다. 상기 다른 게이트 스페이서(54)들, 다른 셀 게이트 패턴(52) 및 다른 활성 영역(50)을 덮도록 제 1 층간절연막(38) 상에 제 2 층간절연막(58)을 형성한다. 상기 제 2 층간절연막(58)은 제 1 층간절연막(38)과 동일한 식각물을 갖는 절연막을 사용해서 형성하는 것이 바람직하다.

상기 제 2 층간절연막(58)을 관통해서 다른 소오스 및 드레인 영역(56)들 중 하나를 노출시키는 다른 랜딩 홀(64)을 형성한다. 상기 다른 랜딩 홀(64)을 채우는 다른 랜딩 패드(68)를 형성한다. 상기 다른 랜딩 패드(68)는 다른 소오스 및 드레인 영역(56)들과 동일한 도전형을 갖도록 형성하는 것이 바람직하다. 상기 다른 랜딩 패드(68)는 다른 활성 영역(50)을 씨드로 사용해서 선택적 에피 성장 기술을 수행하여 형성할 수 있다.

한편, 상기 다른 활성 영역(50)을 형성하는 방법은 비결정 실리콘막을 제 1 층간절연막(38) 상에 형성하는 것과, 상기 비결정 실리콘막에 어닐(Anneal) 공정을 수행해서 결정 실리콘막을 형성하는 것과, 상기 결정화 실리콘막을 패터닝하는 것을 포함한다.

도 1 및 도 5 를 참조하면, 상기 다른 랜딩 패드(68)들과 접촉하도록 제 2 층간절연막(58) 상에 또 다른 활성 영역(70)을 형성한다. 상기 또 다른 활성 영역(70) 상에 또 다른 셀 게이트 패턴(72)을 형성한다. 상기 또 다른 셀 게이트 패턴(72)은 다

른 셀 게이트 패턴(52)과 동일한 도전형을 갖는 도핑된 폴리실리콘을 사용해서 형성하는 것이 바람직하다. 상기 또 다른 셀 게이트 패턴(72)의 측벽에 또 다른 게이트 스페이서(74)들을 형성한다. 상기 또 다른 게이트 스페이서(74)들은 다른 게이트 스페이서(54)들과 동일한 식각물을 갖는 절연막을 사용해서 형성할 수 있다.

상기 또 다른 셀 게이트 패턴(72)과 중첩하는 또 다른 소오스 및 드레인 영역(76)들을 형성한다. 상기 또 다른 소오스 및 드레인 영역(76)들은 다른 소오스 및 드레인 영역(56)들과 동일한 도전형을 갖도록 형성하는 것이 바람직하다. 상기 또 다른 게이트 스페이서(74)들, 또 다른 셀 게이트 패턴(72) 및 또 다른 활성 영역(70)을 덮도록 제 2 층간절연막(58) 상에 제 3 층간절연막(78)을 형성한다. 상기 제 3 층간절연막(78)은 제 2 층간절연막(58)과 동일한 식각물을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 제 3 층간절연막(78)과 더불어서 제 1 및 제 2 층간절연막들(38, 58)은 보호 층간절연막(80)을 형성한다.

한편, 상기 또 다른 활성 영역(70)을 형성하는 방법은 비결정 실리콘막을 제 2 층간절연막(58) 상에 형성하는 것과, 상기 비결정 실리콘막에 어닐(Anneal) 공정을 수행해서 결정 실리콘막을 형성하는 것과, 상기 결정화 실리콘막을 패터닝하는 것을 포함한다.

도 1, 도 6 및 도 7 을 참조하면, 상기 보호 층간절연막(80) 상에 포토레지스트 패턴(83)들을 형성한다. 상기 포토레지스트 패턴(83)들은 셀 어레이 영역(A)을 덮도록 형성하는 것이 바람직하다. 또한, 상기 포토레지스트 패턴(83)들은 주변 게이트 패턴들(26, 29) 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19)을 노출시키도록 형성하는 것이 바람직하다. 상기 포토레지스트 패턴(83)들을 식각 마스크로 사용해서 보호 층간절연막(80) 상에 식각공정(86)을 수행한다. 상기 식각공정(86)은 제 1 층간절연막(38) 아래의 식각 저지막(36)을 노출시킨다.

계속해서, 상기 포토레지스트 패턴(83)들 및 보호 층간절연막(80)을 식각 마스크로 사용해서 식각 저지막(36) 상에 식각공정(89)을 연이어 수행한다. 상기 식각공정(89)은 주변 게이트 패턴들(26, 29) 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19) 상의 식각 저지막(36)을 제거한다. 상기 식각 저지막(36)을 제거한 후, 상기 포토레지스트 패턴(83)들을 반도체 기판(5)으로부터 제거한다.

상기 보호 층간절연막(80)을 덮도록 주변 게이트 패턴(26, 29)들 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19) 상에 금속막(90)을 형성한다. 상기 금속막(90)은 니켈(Ni) 및 코발트(Co) 중 선택된 하나를 사용해서 형성하는 것이 바람직하다. 상기 금속막(90) 상에 셀리사이드 공정(Salicide Process; 92)을 적어도 한번 수행한다. 한편, 상기 셀리사이드 공정(92)은 금속막(90)을 주변 게이트 패턴들(26, 29) 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 일부 주변의 활성 영역들(16, 19)과 반응(C)시켜서 금속 실리사이드 막들(94, 96)을 각각 형성한다. 이때, 상기 금속 실리사이드 막들(94, 96)은 주변 게이트 패턴들(26, 29) 중 적어도 일부 내에, 그리고 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 소오스 및 드레인 영역(34)들 내에 위치하도록 형성하는 것이 바람직하다. 상기 보호 층간절연막(80)은 셀리사이드 공정(92) 동안 셀 어레이 영역(A)의 셀 게이트 패턴들(23, 52, 72), 활성 영역(13) 및 다른 활성 영역들(50, 70)에 금속 오염을 방지한다.

상기 금속 실리사이드 막들(94, 96)을 형성한 후, 상기 금속막(90)에 식각공정(98)을 연이어 수행한다. 본 발명의 변형 예로써, 상기 셀리사이드 공정(92)을 수행하기 전, 상기 금속막(90) 상에 금속 보호막(도면에 미 도시)을 형성할 수 있다. 상기 금속 보호막은 타이타늄 나이트라이드(TiN)를 사용해서 형성할 수 있다. 상기 금속 보호막은 금속 실리사이드 막들(94, 96)을 형성하는 동안 셀리사이드 공정을 안정화시켜줄 수 있다.

도 1, 도 8 및 도 9 를 참조하면, 상기 식각공정(98)은 주변 게이트 패턴들(26, 29) 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19)과 반응(C)하지 않은 금속막(90)을 제거한다. 상기 보호 층간절연막을 덮도록 주변 게이트 패턴(26, 29)들 중 적어도 일부 및 상기 주변 게이트 패턴들(26, 29) 중 상기 적어도 일부 주변의 활성 영역들(16, 19) 상에 매립막(106)을 형성한다. 상기 매립막(106)은 보호 층간절연막(80)과 다른 식각물을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 매립막(106)은 보호 층간절연막(80)과 동일한 식각물을 갖는 절연막을 사용해서 형성할 수 있다.

한편, 상기 주변 회로 영역(B)의 보호 층간절연막(80) 및 매립막(106)의 상면들 사이의 거리(D)는 셀 어레이 영역(A)의 서로 마주보는 두 개의 셀 게이트 패턴들(52, 72)의 상면들 사이의 거리(E)보다 큰 크기를 갖도록 형성하는 것이 바람직하다. 계속해서, 상기 보호 층간절연막(80)이 노출될 때까지 매립막(106) 상에 평탄화 공정(109)을 수행한다. 상기 평탄화 공정(109)은 화학 기계적 연마 또는 에칭 백 기술을 이용해서 수행할 수 있다. 상기 평탄화 공정(109)은 보호 층간절연막(80) 및 식각 저지막(36)으로 둘러싸인 매립막 패턴(107)들을 반도체 기판(5) 상에 형성한다.

본 발명의 다른 실시예로써, 상기 매립막(106)을 보호 층간절연막(80) 상에 형성하기 전, 상기 매립막(106) 아래에 식각 보호막(103)을 형성할 수 있다. 상기 식각 보호막(103)은 매립막(106) 및 보호 층간절연막(80)과 다른 식각률을 갖도록 형성하는 것이 바람직하다. 이때에, 상기 평탄화 공정(109)은 보호 층간절연막(80)이 노출될 때까지 매립막(106) 및 식각 보호막(103)에 차례로 수행된다. 상기 평탄화 공정(109)은 보호 층간절연막(80) 및 식각 저지막(36)으로 둘러싸인 매립막 패턴(107)들 및 식각 보호막 패턴(104)들을 반도체 기판(5) 상에 형성한다. 이를 통해서, 본 발명의 매립막 패턴(107)들을 갖는 에스. 램(120)이 형성된다.

또한, 상기 주변 회로 영역(B)의 활성 영역들(16, 19)의 소오스 및 드레인 영역(34)들 상에 메탈 콘택(110)들이 도 1 과 같이 형성될 수 있다. 상기 메탈 콘택(110)들은 매립막 패턴(107)들을 관통하거나 또는 보호 층간절연막(80) 및 식각저지막(36)을 차례로 관통해서 소오스 및 드레인 영역(34)들이 회로 배선들(도면에 미 도시)과 각각 접촉되도록 해준다. 또한, 상기 메탈 콘택(110)들은 매립막 패턴(107)들 및 식각 보호막 패턴(104)들, 또는 보호 층간절연막(80) 및 식각 저지막(36)을 차례로 관통해서 소오스 및 드레인 영역(34)들이 회로 배선들(도면에 미 도시)과 각각 접촉되도록 해줄 수 있다.

### 발명의 효과

상술한 바와 같이, 본 발명은 셀 어레이 영역의 상부에 셀 게이트 패턴들이 수직하게 배치되는 경우 주변 회로 영역의 주변 게이트 패턴들 중 적어도 일부에 셀리사이드 공정이 안정하게 수행되도록 하는 방안을 제시한다. 이를 통해서, 본 발명은 셀리사이드 공정을 수용해서 에스. 램의 전기적 특성들을 향상시킬 수 있다.

### 도면의 간단한 설명

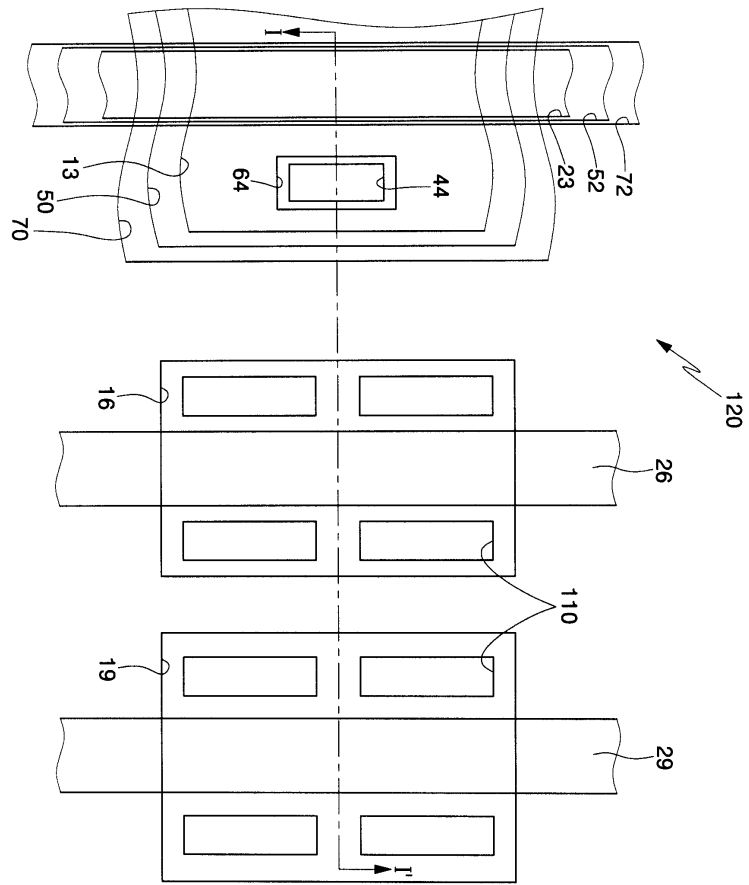
도 1 은 본 발명에 따른 에스. 램을 보여주는 배치도이다.

도 2 는 도 1 의 절단선 I - I' 를 따라 취해서 에스. 램을 보여주는 단면도이다.

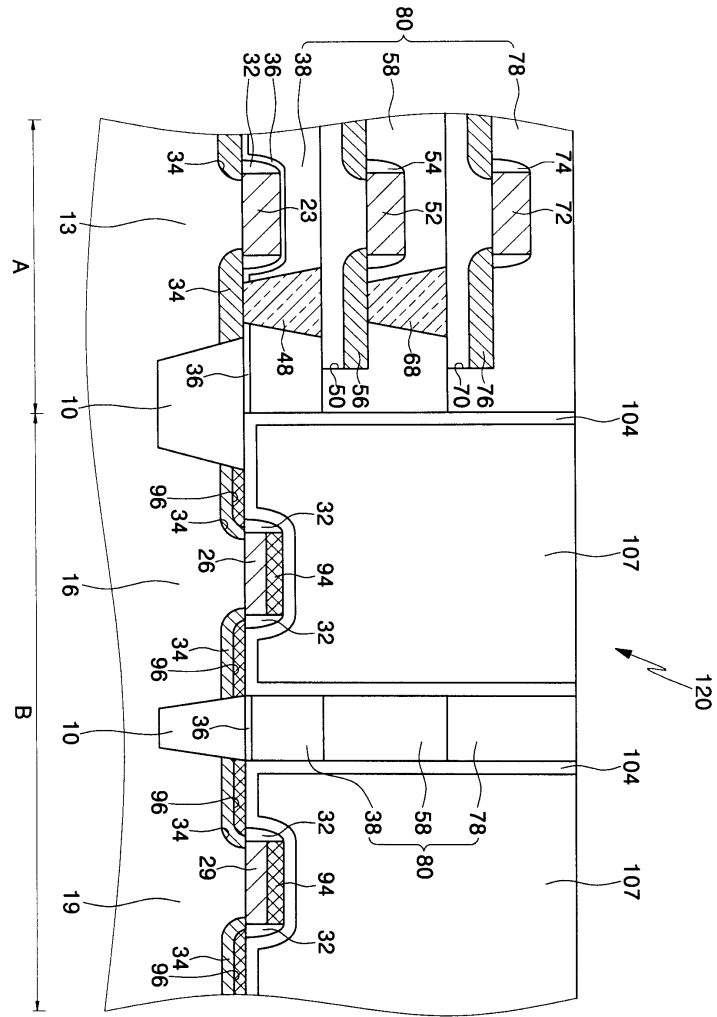
도 3 내지 도 9 는 각각이 도 1 의 절단선 I - I' 를 따라 취해서 에스. 램의 형성방법을 설명해주는 단면도들이다.

### 도면

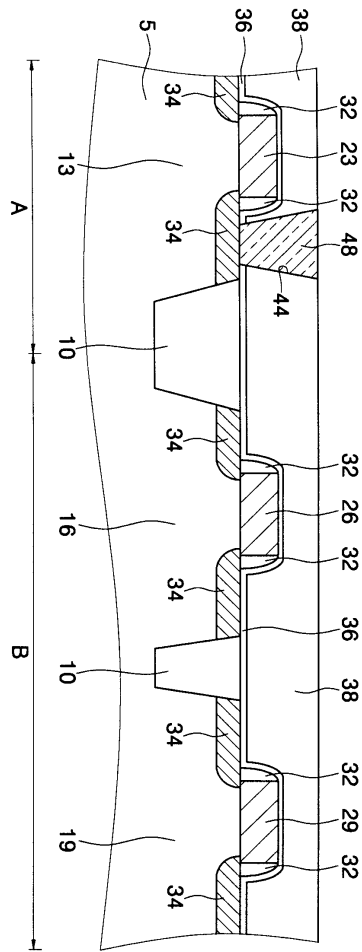
도면1



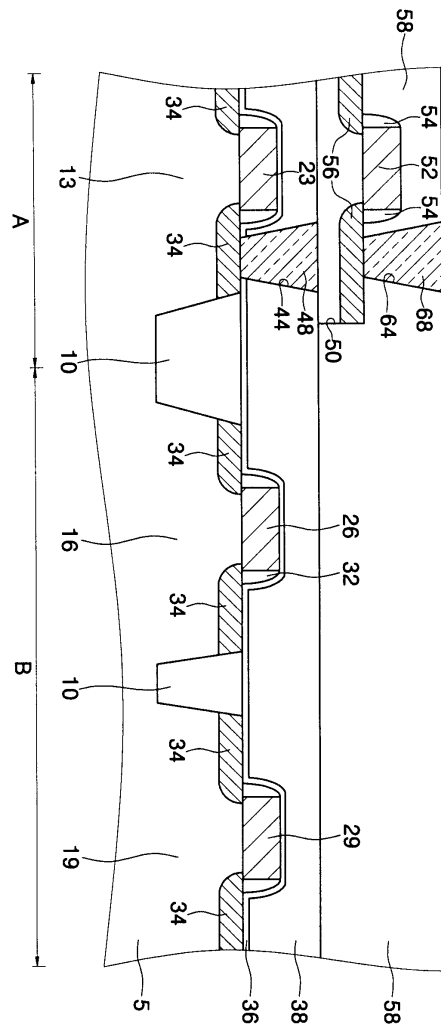
도면2



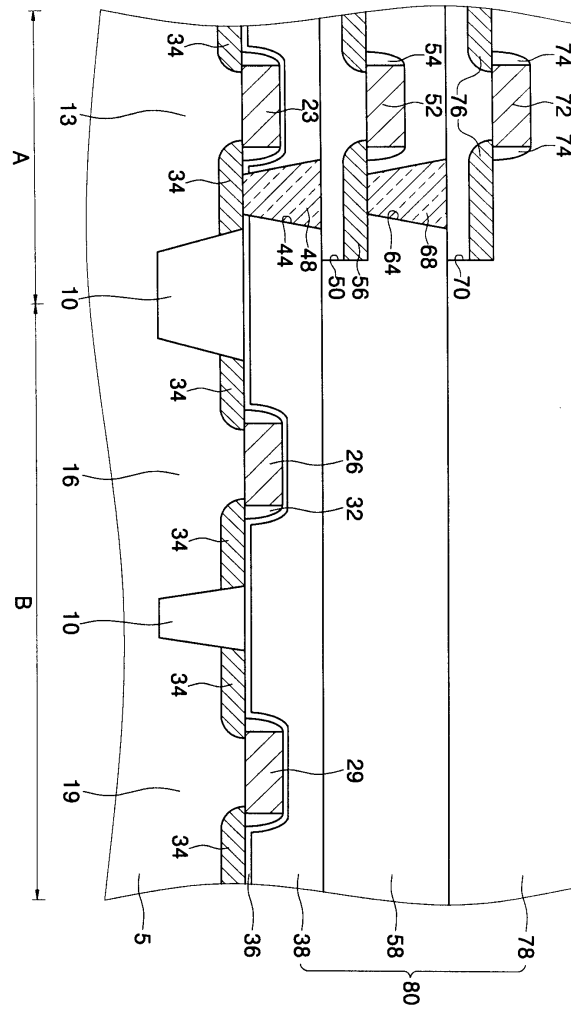
도면3



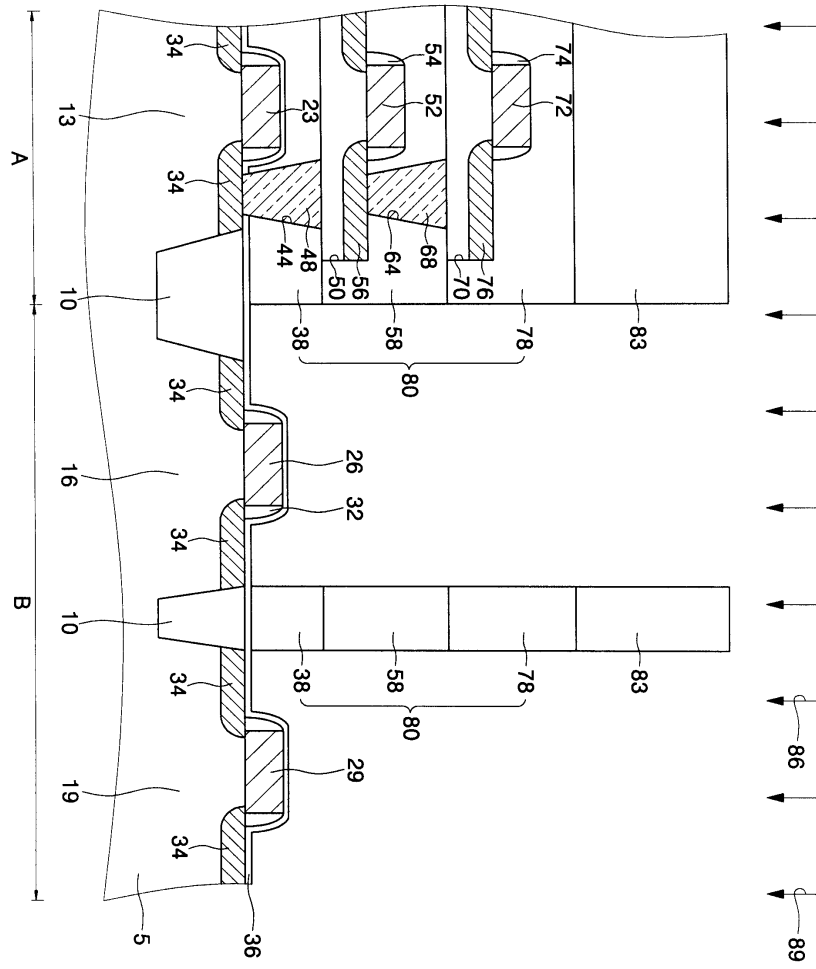
도면4



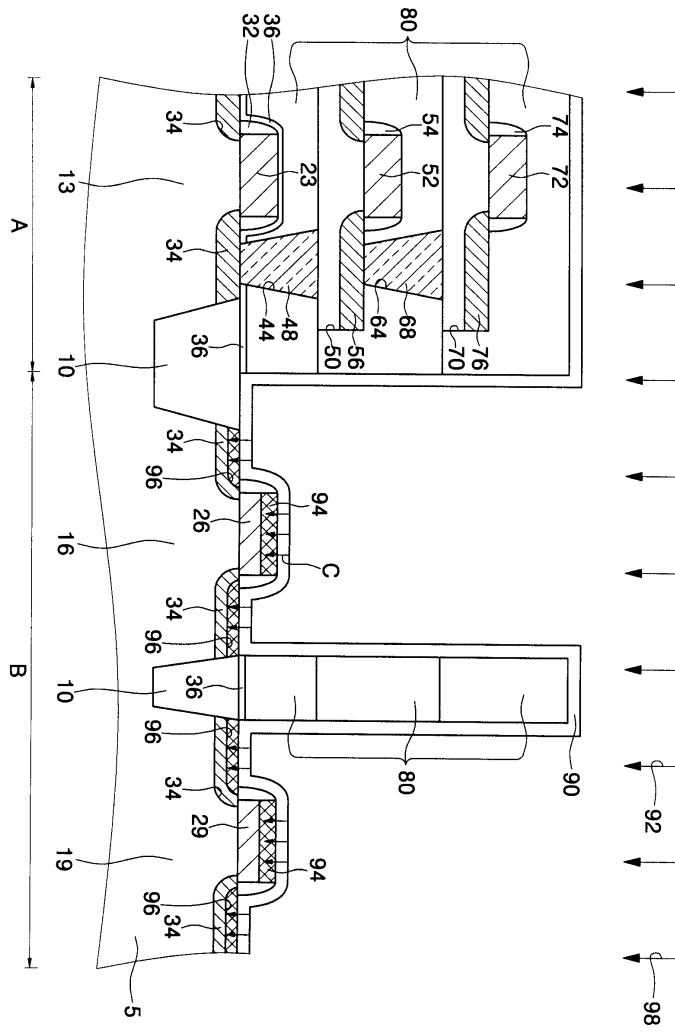
도면5



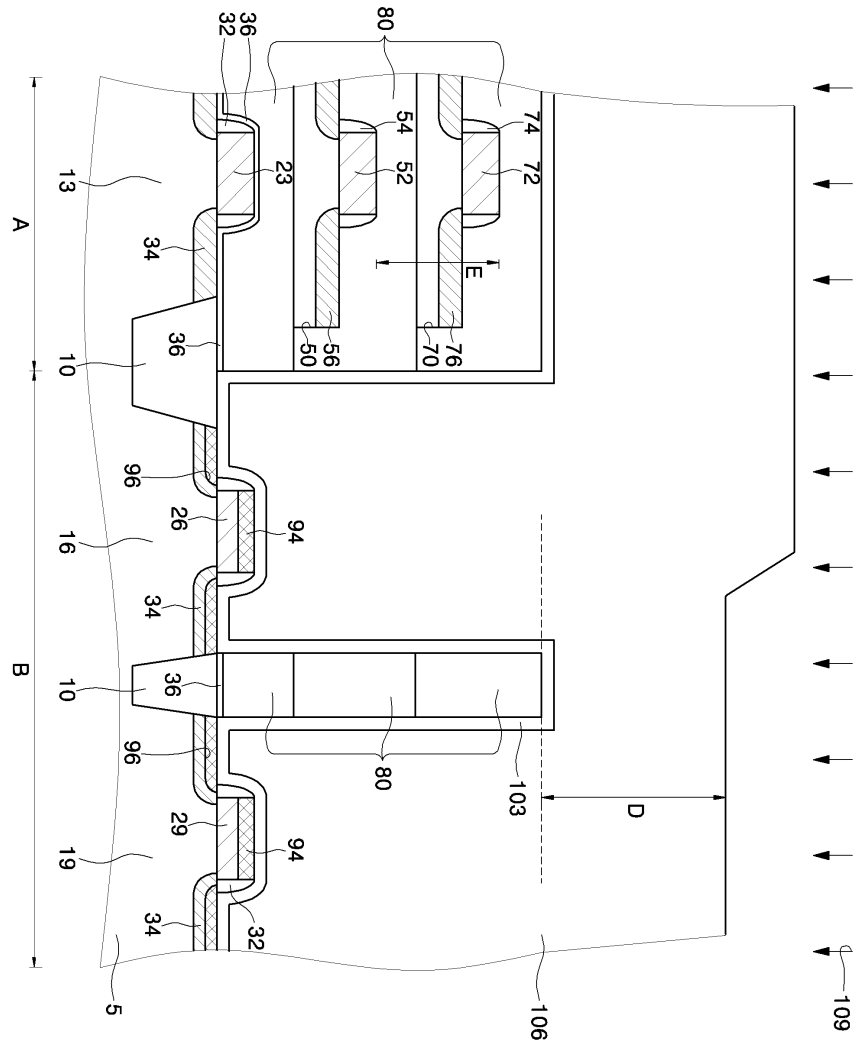
도면6



도면7



도면8



도면9

