【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】令和2年2月20日(2020.2.20)

【公表番号】特表2018-525731(P2018-525731A)
【公表日】平成30年9月6日(2018.9.6)
【年通号数】公開・登録公報2018-034
【出願番号】特願2018-502231(P2018-502231)
【国際特許分類】
Ｇ０６Ｆ　9/38　(2006.01)
Ｇ０６Ｆ　9/34　(2006.01)
Ｇ０６Ｆ　9/302　(2006.01)
Ｇ０６Ｆ　9/315　(2006.01)
【ＦＩ】
Ｇ０６Ｆ　9/38　３７０Ａ
Ｇ０６Ｆ　9/34　３２０Ｃ
Ｇ０６Ｆ　9/34　３３０
Ｇ０６Ｆ　9/302　Ａ
Ｇ０６Ｆ　9/315　Ｓ

【手続補正書】
【提出日】令和2年1月8日(2020.1.8)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
混合幅単一命令複数データ(SIMD)演算を実行する方法であって、
プロセッサによって、
第1のソースレジスタを備える第1のソースベクトルオペランドであって、前記第1のソースレジスタが第1のビット幅の第1のセットのソースデータ要素を備える、第1のソースベクトルオペランドと、
第2のビット幅の宛先データ要素を備える宛先ベクトルオペランドと
を備えるSIMD命令を受信するステップであって、
前記第2のビット幅が前記第1のビット幅の2倍であり、
前記宛先ベクトルオペランドが、前記宛先データ要素の第1のサブセットを備える第1の宛先レジスタと、前記宛先データ要素の第2のサブセットを備える第2の宛先レジスタとを含む宛先レジスタのペアを備え、
前記第1のソースレジスタが、宛先レジスタの前記ペアに対応する単一のレジスタである、ステップと、
前記第1のセットのソースデータ要素の順序に基づいて、前記プロセッサにおいて前記SIMD命令を実行するステップであって、
前記第1のセットの偶数番号のソースデータ要素から、前記第1の宛先レジスタ内の前記宛先データ要素の前記第1のサブセットを生成するステップと、
前記第1のセットの奇数番号のソースデータ要素から、前記第2の宛先レジスタ内の前記宛先データ要素の前記第2のサブセットを生成するステップと
を備える、ステップと
を備える、方法。

【請求項２】
前記第1のセットのソースデータ要素がそれぞれのSIMDレーン内にあり、
前記ソースデータ要素の各々から、前記それぞれのSIMDレーン、または前記それぞれのSIMDレーンに隣接するSIMDレーン内のそれぞれの宛先データ要素を生成する、請求項1に記載の方法。
【請求項３】
前記SIMD命令が、前記第1のセットの前記ソースデータ要素の二乗関数、左シフト関数、インクリメント、または一定値による加算のうちの1つである、請求項1に記載の方法。
【請求項４】
混合幅単一命令複数データ(SIMD)演算を実行する方法であって、
プロセッサによって、
第1のビット幅のソースデータ要素を備えるソースベクトルオペランドと、
宛先レジスタを備える宛先ベクトルオペランドであって、前記宛先レジスタが第2のビット幅の宛先データ要素を備える、宛先ベクトルオペランドと
を備えるSIMD命令を受信するステップであって、
前記第2のビット幅が前記第1のビット幅の半分であり、
前記ソースベクトルオペランドが、前記ソースデータ要素の第1のサブセットを備える第1のソースレジスタと、前記ソースデータ要素の第2のサブセットを備える第2のソースレジスタとを含むソースレジスタのペアを備え、
前記宛先レジスタが、ソースレジスタの前記ペアに対応する単一のレジスタである、ステップと、
前記宛先データ要素の順序に基づいて、前記プロセッサにおいて前記SIMD命令を実行するステップであって、
前記ソースデータ要素の前記第1のサブセットから偶数番号の宛先データ要素を生成するステップと、
前記ソースデータ要素の前記第2のサブセットから奇数番号の宛先データ要素を生成するステップと
を備える、ステップと
を備える、方法。
【請求項５】
前記SIMD命令が、前記ソースデータ要素の右シフト関数である、請求項4に記載の方法。
【請求項６】
前記宛先データ要素がそれぞれのSIMDレーン内にあり、
前記それぞれのSIMDレーン、または前記それぞれのSIMDレーンに隣接するSIMDレーン内のソースデータ要素から、前記宛先データ要素の各々を生成する、請求項4に記載の方法。
【請求項７】
プロセッサによって実行されると、前記プロセッサに混合幅単一命令複数データ(SIMD)演算を実行させる、前記プロセッサによって実行可能な命令を備える非一時的コンピュータ可読記憶媒体であって、
第1のソースレジスタを備える第1のソースベクトルオペランドであって、前記第1のソースレジスタが第1のビット幅の第1のセットのソースデータ要素を備える、第1のソースベクトルオペランドと、
第2のビット幅の宛先データ要素を備える宛先ベクトルオペランドと
を備えるSIMD命令であって、
前記第2のビット幅が前記第1のビット幅の2倍であり、
前記宛先ベクトルオペランドが、前記宛先データ要素の第1のサブセットを備える第1の宛先レジスタと、前記宛先データ要素の第2のサブセットを備える第2の宛先レジスタとを含む宛先レジスタのペアを備え、

前記第1のソースレジスタが、宛先レジスタの前記ペアに対応する単一のレジスタである、SIMD命令と、
前記第1のセットのソースデータ要素の順序に基づいて、
前記第1のセットの偶数番号のソースデータ要素から、前記第1の宛先レジスタ内の前記宛先データ要素の前記第1のサブセットを生成するためのコードと、
前記第1のセットの奇数番号のソースデータ要素から、前記第2の宛先レジスタ内の前記宛先データ要素の前記第2のサブセットを生成するためのコードと
を備える、非一時的コンピュータ可読記憶媒体。
【請求項８】
前記第1のセットのソースデータ要素がそれぞれのSIMDレーン内にあり、
前記ソースデータ要素の各々から、前記それぞれのSIMDレーン、または前記それぞれのSIMDレーンに隣接するSIMDレーン内のそれぞれの宛先データ要素を生成するためのコードを備える、請求項7に記載の非一時的コンピュータ可読記憶媒体。
【請求項９】
前記SIMD命令が、前記第1のセットの前記ソースデータ要素の二乗関数、左シフト関数、インクリメント、または一定値による加算のうちの1つである、請求項7に記載の非一時的コンピュータ可読記憶媒体。
【請求項１０】
プロセッサによって実行されると、前記プロセッサに混合幅単一命令複数データ(SIMD)演算を実行させる、前記プロセッサによって実行可能な命令を備える非一時的コンピュータ可読記憶媒体であって、
第1のビット幅のソースデータ要素を備えるソースベクトルオペランドと、
宛先レジスタを備える宛先ベクトルオペランドであって、前記宛先レジスタが第2のビット幅の宛先データ要素を備える、宛先ベクトルオペランドと
を備えるSIMD命令であって、
前記第2のビット幅が前記第1のビット幅の半分であり、
前記ソースベクトルオペランドが、前記ソースデータ要素の第1のサブセットを備える第1のソースレジスタと、前記ソースデータ要素の第2のサブセットを備える第2のソースレジスタとを含むソースレジスタのペアを備え、
前記宛先レジスタが、ソースレジスタの前記ペアに対応する単一のレジスタである、SIMD命令と、
前記宛先データ要素の順序に基づいて、
前記ソースデータ要素の前記第1のサブセットから偶数番号の宛先データ要素を生成するためのコードと、
前記ソースデータ要素の前記第2のサブセットから奇数番号の宛先データ要素を生成するためのコードと
を備える、非一時的コンピュータ可読記憶媒体。
【請求項１１】
前記SIMD命令が、前記ソースデータ要素の右シフト関数である、請求項10に記載の非一時的コンピュータ可読記憶媒体。
【請求項１２】
前記宛先データ要素がそれぞれのSIMDレーン内にあり、
前記それぞれのSIMDレーン、または前記それぞれのSIMDレーンに隣接するSIMDレーン内のソースデータ要素から、前記宛先データ要素の各々を生成するためのコードを備える、請求項10に記載の非一時的コンピュータ可読記憶媒体。