

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G02F 1/136

(45) 공고일자 2000년05월01일

(11) 등록번호 10-0255592

(24) 등록일자 2000년02월15일

(21) 출원번호	10-1997-0009367	(65) 공개번호	특1998-0073827
(22) 출원일자	1997년03월19일	(43) 공개일자	1998년11월05일

(73) 특허권자	엘지.필립스 엘시디주식회사	구본준	서울특별시 영등포구 여의도동 20번지엘지.필립스 엘시디주식회사	론 위 라하디락사
(72) 발명자	임경남	서울특별시 종로구 숭인 1동 81번지 박재용	경기도 군포시 금정동 두원빌라 8-301 김정현	경기도 안양시 동안구 신촌동 무궁화 한양아파트 108-1102 나천열, 백승남
(74) 대리인	나천열, 백승남			

심사관 : 조경화

(54) 액정 표시 장치 구조 및 그 제조 방법

요약

본 발명에서는 액티브 패널을 제조하는데 있어서, 마스크 공정 수를 단축하면서, 단차와 식각 공정에서 발생하는 언더 컷(Under Cut)에 의해 화소 전극을 형성하는 도전 물질의 단선을 방지하는 방법을 제공하고 있다. 액정표시장치의 액티브 패널을 제작하는데 있어서, 게이트 절연막, 반도체 층, 불순물 반도체 층 그리고, 소스-드레인 전극을 형성하는 물질들을 연속 증착하였다. 그리고, 소스-드레인 전극을 형성하고, 반도체 층과 게이트 절연막을 동시에 형성한다. 그럼으로써, 제조공정에 필요한 마스크 공정 수를 절감하였다.

그리고, 상기 제조방법은 그 결과 소스-드레인 전극이 형성되는 과정에서 그 밑에 형성된 물질들을 한번에 식각하기 때문에 단차가 심하게 나타나는 경향이 있다. 그러므로 그 위에 형성되는 화소 전극에서 단차로 인한 단선 불량 발생하기 쉽다. 이런 단점을 보완하기 위해 유기 물질을 사용하여 보호막을 형성하여 표면을 평탄하게 한 후에 화소 전극을 형성하였다. 그럼으로써, 단선 불량을 극복하였다.

대표도

도1

명세서

도면의 간단한 설명

제1도는 종래 액티브 패널의 구조를 나타내는 평면 확대도이다.

제2도는 종래의 방법에 의한 액티브 패널 제조공정을 나타내는 단면도이다.

제3도는 종래의 제조방법에 의해 제조된 액티브 패널의 구조에서 언더 컷(Under Cut)에 의해 단선 불량이 발생한 경우를 나타내는 단면 확대도이다.

제4도는 본 발명에 의한 액티브 패널의 구조를 나타내는 평면 확대도이다.

제5도는 본 발명에 의한 액티브 패널 제조공정을 나타내는 단면도이다.

제6도는 본 발명에 의해 제조된 액티브 패널의 구조에서 언더 컷(Under Cut)에 의해 단선 불량이 극복된 모습을 나타내는 단면 확대도이다.

제7도는 본 발명의 다른 예로 무기 절연막을 추가하여 액티브 패널을 제조하는 공정을 나타내는 단면도이다.

제8도는 본 발명의 무기 절연막을 추가하는 다른 방법에 의한 액티브 패널 제조공정을 나타내는 단면도이다.

제9도는 본 발명의 또 다른 예로 N₂ 플라즈마 처리로 액티브 패널을 제조하는 공정을 나타내는

단면도이다.

제10도는 본 발명의 또 다른 방법에 의한 액티브 패널 제조공정을 나타내는 단면도이다.

제11도는 본 발명의 또 다른 방법으로 게이트 패드 부분을 완전히 노출시켜 액티브 패널을 제조하는 공정을 나타내는 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

11,111 : 기판	13,113 : 게이트 전극
15,115 : 게이트 배선	17,117 : 게이트 패드
19,119 : 게이트 절연막	19a,119a : 무기 절연 물질
21,121 : 반도체 층	23,123 : 불순물 반도체 층
21a,121a : 반도체 물질	23a,123a : 불순물 반도체 물질
27 : 게이트 패드 중간 전극	29 : 소스 패드 중간 전극
33,133 : 소스 전극	43,143 : 드레인 전극
35,135 : 소스 배선	37,137 : 소스 패드
39,239 : 무기 보호막	139 : 유기 보호막
339 : 질화 실리콘 막	53,153 : 화소 전극
57,157 : 게이트 패드 연결 단자	77,177 : 소스 패드 연결 단자
161 : 드레인 콘택 홀	163 : 게이트 패드 콘택 홀
165 : 소스 패드 콘택 홀	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 박막 트랜지스터(혹은 Thin Film Transistor(TFT))와 상기 박막 트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 액티브 패널을 포함하는 능동 매트릭스 액정표시장치(또는 Active Matrix Liquid Crystal Display, 이하 액정표시장치 혹은 AMLCD로 표기함)를 제조하는 방법에 관련된 것이다. 특히, 본 발명은 능동 매트릭스 액정표시장치에서 박막 트랜지스터가 형성되는 액티브 기판을 제조하는데 있어서, 제조공정을 단순화하고, 공정 불량을 줄이는 방법에 관련된 것이다.

화상 정보를 화면에 나타내는 화면표시장치들 중에서, 박막형 평판표시장치가 가볍고, 어느 장소에든지 쉽게 사용할 수 있다는 장점 때문에 근래에 집중적인 개발의 대상이 되고 있다. 특히, 액정표시장치는 해상도가 높고, 동화상을 실현하기에 충분한 만큼 반응속도가 빠르기 때문에, 가장 활발한 연구가 이루어지고 있는 제품이다.

액정표시장치의 원리는 액정의 광학적 이방성과 분극 성질을 이용한 것이다. 방향성을 갖고 있는 액정 분자의 배향 방향을 분극성을 이용하여 인위적으로 조절함으로써, 배열 방향에 따른 광학적 이방성으로 빛을 투과, 차단하는 것이 가능하다. 이것을 응용하여 화면표시장치로 사용한다. 현재에는 박막 트랜지스터와 그것에 연결된 화소 전극이 행렬 방식으로 배열된 능동 매트릭스 액정표시장치가 뛰어난 화질을 제공하기 때문에 가장 많이 사용되고 있다. 일반적인 액정표시장치의 구조를 자세히 살펴보면 다음과 같다.

액정표시장치의 한쪽 패널(혹은 칼라필터 패널)은 투명 기판위에 화소(Pixel)의 위치에 빨강, 파랑, 초록의 칼라필터가 순차적으로 배치된 구조로 이루어져 있다. 이들 칼라필터 사이에는 블랙 매트릭스가 그물 모양으로 형성되어 있다. 그리고, 이들 칼라필터 위에 공통 전극이 형성되어 있다.

액정표시장치의 다른쪽 패널(혹은 액티브 패널)은 투명 기판위에 행렬 방식으로 설계된 화소의 위치에 화소 전극들이 배열된 구조로 이루어져 있다. 화소 전극의 수평방향을 따라서 신호 배선이 형성되어 있고, 수직방향을 따라서 데이터 배선이 형성되어 있다. 화소 전극의 한쪽 구석에는 화소 전극을 구동하기 위한 박막 트랜지스터가 형성되어 있다. 박막 트랜지스터의 게이트 전극은 신호 배선에 연결되어 있고(따라서, “게이트 배선”이라고 부르기도 한다), 박막 트랜지스터의 소스 전극이 데이터 배선에 연결되어 있다(따라서, “데이터 배선” 혹은 “소스 배선”이라고 부르기도 한다). 그리고, 각 배선의 끝단에는 외부의 구동회로와 연결하기 위한 패드부가 형성된다.

이러한 구조를 갖는 두개의 패널이 일정 간격(이 간격을 “셀 갭(cell gap)”이라고 부른다)을 두고 서로 대향하여 부착되고, 그 사이에 액정 물질이 채워진다. 그리고, 기타 주변 장치들을 조합하여 액정표시장치가 제조된다.

액정표시장치를 제조하는 공정은 매우 복잡하며, 여러가지 공정들이 복합적으로 이루어져 있다. 특히, 박막 트랜지스터와 화소 전극이 형성되는 액티브 패널을 제조하는 데는 여러 제조공정을 거쳐서 이루어진다. 액티브 패널에는 액정표시장치의 중요한 소자들이 많이 만들어지고, 복잡한 공정을 여러번

거치므로, 이것을 단순화하는 방법을 개발하는 것이 상당히 중요하다. 액정표시장치의 액티브 패널을 제조하는 일반적인 과정을 마스크 공정을 기준으로 살펴보면 대략 다음과 같다. 이해를 돕기 위해 액티브 패널의 평면 확대도인 제1도와, 제1도의 절단선 II-II로 절단한 공정 단면도 제2(a)도 및 제2(f)도를 참조하여 설명한다.

투명 유리 기판(11)에 금속을 증착하고, 패턴하여 게이트 전극(13), 게이트 배선(15) 그리고, 게이트 패드(17)를 형성한다. 이 때, 제1마스크 공정을 사용한다(제2(a)도).

상기 게이트 금속이 형성된 기판 전면에 질화 실리콘 혹은 산화 실리콘과 같은 무기 절연물질(19a)과 진성 반도체 물질(21a)과, 불순물이 첨가된 반도체 물질(23a) 그리고, 소스-드레인 금속에 사용할 금속(33a)을 연속으로 증착한다. 그리고, 제2마스크 공정을 통하여 상기 금속(33a)을 패턴하여 소스 전극(33), 드레인 전극(43), 소스 배선(35) 그리고, 소스 패드(37) 등을 형성한다(제2(b)도).

상기 소스-드레인 금속(소스 전극(33), 드레인 전극(43), 소스 배선(35) 그리고, 소스 패드(37))의 형태를 마스크로 하여 밑에 있는 불순물 반도체 물질을 식각하여 불순물 반도체 층(23)을 형성한다. 이것은 소스 전극(33)과 드레인 전극(43) 사이를 연결하는 불순물 반도체 물질(23a)을 완전히 제거하기 위함이다. 이 때에는 별도의 마스크를 사용하지 않는다(제2(c)도).

상기 소스 전극(33)등이 형성된 기판 전면에 질화 실리콘 혹은 산화 실리콘과 같은 무기 절연물질을 증착하여 무기 보호막(39)을 형성한다. 제3마스크를 사용하여 상기 무기 보호막(39)과 상기 반도체 층(21)과 상기 게이트 절연막(19)이 서로 적층된 부분을 식각한다. 그 결과 드레인 전극(43)의 일부가 노출되고, 게이트 패드(17)와 소스 패드(37)가 노출된 형상을 갖는다(제2(d)도).

상기 보호막(39) 위에 ITO(Indium-Tin-Oxide)를 증착하고 제4마스크 공정을 사용하여 상기 드레인 전극(43)에 연결된 화소 전극(53), 상기 게이트 패드(17)에 연결된 게이트 패드 연결 단자(57) 그리고, 상기 소스 패드(37)에 연결된 소스 패드 연결 단자(77) 등을 형성한다(제2(e)도).

이 때, 게이트 금속을 형성할 때 혹은 공정상 필요한 부대장치를 위한 추가 마스크 공정이 필요할 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 액정표시장치를 제조하는데 있어서 마스크를 사용하는 포토리소그래피 공정 수를 줄이는데 있다. 본 발명의 다른 목적은 액정표시장치 제조에 있어서 포토 리소그래피 공정을 줄임으로써 전체 제조공정을 단순화하는데 있다. 본 발명의 또 다른 목적은 액정표시장치 제조공정을 단순화함으로써 공정 불량을 줄이는데 있다.

우리는 앞에서 대표적인 종래 기술을 살펴보았다. 이 경우에 제3(a)도와 제3(b)도에 나타난 것과 같이 보호막(39)과 기판(11) 사이의 단차가 크고, 식각공정에서 발생하는 언더 컷(Under Cut)에 의해 화소 전극(53) 형성을 위한 ITO 증착에서 단선이 발생할 수 있다. 따라서, 오히려 제품의 수율이 저하되는 역효과가 발생할 수 있다.

발명의 구성 및 작용

본 발명에서는 액티브 패널을 제조하는데 있어서, 마스크 공정 수를 단축하면서, 단차와 식각공정에서 발생하는 언더 컷에 의해 화소 전극을 형성하는 도전물질의 단선을 방지하는 방법을 제공하고 있다. 본 발명에 의한 액티브 패널을 제작하는 방법은 다음과 같다.

기판위에 제1금속을 증착하고, 패턴하여 게이트 전극, 게이트 배선, 게이트 패드를 형성한다. 상기 게이트 전극 등이 형성된 기판 전면에 제1절연물질, 진성 반도체 물질, 불순물이 첨가된 반도체 물질 그리고, 제2금속을 연속으로 증착한다. 상기 제2금속을 패턴하여 소스 전극, 드레인 전극, 소스 배선, 소스 패드 등을 형성한다. 상기 소스 전극, 드레인 전극, 소스 배선, 소스 패드를 마스크로 하여 불순물 반도체 층을 식각한다. 상기 진성 반도체 물질로 이루어진 층과 상기 제1절연물질로 이루어진 층을 함께 패턴하여 반도체 층과 게이트 절연막층을 형성한다. 상기 소스 전극 등이 형성된 기판위에 유기 절연물질을 도포하여 보호막을 형성한다. 상기 보호막의 일부를 제거하여 드레인 전극 부분과, 게이트 패드 부분 그리고, 소스 패드 부분에 콘택 홀을 형성한다. 상기 보호막 위에 투명 도전물질을 증착하고, 패턴하여 화소전극과, 게이트 패드 연결단자 그리고, 소스 패드 연결단자를 형성한다.

다음 실시예를 통해 더욱 자세히 본 발명에 대한 액티브 패널의 제조방법을 설명하도록 한다. 이해를 돕기 위해서 본 발명에 의한 액티브 패널의 평면 확대도인 제4도와 제4도의 절단선 V-V로 절단한 공정 단면도인 제5도를 참조하였다. 그리고, 박막 트랜지스터가 형성되는 부분과, 게이트 패드, 소스 패드가 형성되는 부분을 비교할 수 있도록 한 도면에 나타내었다.

[실시예 1]

투명 절연성 기판(111) 위에 알루미늄을 포함하는 금속을 증착하고, 제1마스크 공정으로 패턴하여 게이트 전극(113), 게이트 배선(115) 그리고, 게이트 패드(117)를 형성한다. 게이트 전극(113)은 행렬 배열 방식으로 나열된 화소의 한쪽 구석에 형성된다. 게이트 배선(115)은 열 방향으로 나열된 상기 게이트 전극(113)들을 연결하고 있다. 게이트 패드(117)는 상기 게이트 배선(115)의 끝부분에 형성되는 것으로 외부 구동회로의 단자와 연결되는 부분이다(제5(a)도).

상기 게이트 전극(113)등이 형성된 기판 전면에 질화 실리콘 혹은 산화 실리콘과 같은 무기 절연물질(119a)과, 순수 아몰퍼스 실리콘과 같은 진성 반도체 물질(121a)과, 불순물이 첨가된 아몰퍼스 실리콘과 같은 불순물이 첨가된 반도체 물질(123a)을 연속으로 증착한다. 그리고, 그 위에 크롬을 포함하는 금속(133a)을 연속으로 증착한다(제5(b)도).

상기 크롬을 포함하는 금속을 제2마스크 공정으로 패턴하여 소스 전극(133), 드레인 전극(143), 소스 배

선(135) 그리고, 소스 패드(137)를 형성한다. 소스 전극(133)은 상기 반도체 물질(121a)과 상기 불순물 반도체 물질(123a)을 사이에 두고 상기 게이트 전극(113)의 한쪽 변과 중첩되어 있다. 드레인 전극(143)은 상기 소스 전극(133)과 대향하며 상기 게이트 전극(113)의 다른 쪽 변과 중첩되어 있다. 소스 배선(135)은 열 배열방향의 상기 소스 전극(133)들을 연결하고 있다. 소스 패드(137)는 상기 소스 배선(135)의 끝부분에 형성된다. 그리고, 상기 크롬 금속층의 형태를 마스크로 하여 밑에 있는 불순물이 첨가된 물질(123a)로 이루어진 층을 건식 식각법으로 패터하여 불순물 반도체 층(123)을 형성한다(제5(c)도).

제3마스크 공정으로, 상기 무기 절연물질(119a)과 진성 반도체 물질(121a)을 패터하여 게이트 전극(113)이 형성된 부분에는 채널 역할을 하는 반도체 층(121)을 형성한다. 그리고, 게이트 패드(117)는 완전히 노출시킨다. 소스 패드(137) 역시 완전히 노출되고, 그 밑에는 더미 박막 층인 불순물 물질(123a)과 진성 반도체 물질(121a)이 남게 된다(제5(d)도).

상기 소스 전극(133) 등이 형성된 기판 전면에 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene)등과 같은 유기 절연물질을 도포하여 유기 보호막(139)을 형성한다. 그리고, 제4마스크 공정으로 드레인 콘택 홀(161), 게이트 패드 콘택 홀(163) 그리고, 소스 패드 콘택 홀(165)을 형성한다. 드레인 콘택 홀(161)은 상기 드레인 전극(143)을 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 드레인 전극(143)의 일부가 드러나도록 한다. 게이트 패드 콘택 홀(163)은 상기 게이트 패드(117)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 게이트 패드(117)가 드러나도록 한다. 소스 패드 콘택 홀(165)은 상기 소스 패드(137)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 소스 패드(137)가 드러나도록 한다(제5(e)도).

상기 보호막(139) 위에 ITO(Indium Tin Oxide)를 증착하고, 제5마스크 공정으로 패터하여 화소 전극(153), 게이트 패드 연결단자(157) 그리고, 소스 패드 연결단자(177)를 형성한다. 화소 전극(153)은 상기 드레인 콘택 홀(161)을 통하여 상기 드레인 전극(143)과 연결된다. 게이트 패드 연결단자(157)는 상기 게이트 패드 콘택 홀(163)을 통하여 상기 게이트 패드(117)와 연결된다. 소스 패드 연결단자(177)는 상기 소스 패드 콘택 홀(165)을 통하여 상기 소스 패드(137)와 연결된다(제5(f)도).

본 실시예의 제3마스크 공정에서 상기 반도체 층(121)과 상기 게이트 절연막(119)을 식각할 때 주로 습식 식각법을 사용하므로 상기 소스 전극(133), 드레인 전극(143) 그리고, 소스 패드(137)를 형성하는 금속층의 가장자리 일부가 과식각되는 언더 컷(Under Cut) 현상이 발생한다. 그리하여, 적층된 구조에서의 단차가 심해지고, 언더 컷이 발생한 부분에서는 다른 물질이 적층될 때 연결이 끊어질 수 있다. 그러나, 그 후에 유기 절연물질을 코팅하면, 기판 표면에 형성된 단차의 형상이 유기 절연물질층의 표면에 나타나지 않으므로 표면을 평탄화시킬 수 있다. 그 후에 형성되는 화소 전극(153) 및 패드 연결단자(157, 177)들에서 단선과 같은 불량 발생하지 않는다(제6(a)도, 제6(b)도).

[실시예 2]

상기 실시예 1의 결과 상기 반도체 층(121)의 위 표면이 BCB(Benzo-Cyclo-Butene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene)등과 같은 유기물질을 포함하는 상기 유기 보호막(139)과 접촉하게 된다(제5(f)도). 이 경우 상기 유기물질과 반도체 층과의 계면에서 안정적인 접촉이 이루어지지 않아 상기 반도체 층(121)의 기능에 이상이 생길 수 있다. 이것을 방지하기 위해 본 실시예에서는 다음과 같은 방법을 도입하였다. 본 실시예에서는 실시예 1의 제5(c)도까지의 제조공정 다음부터 적용하였다. 그러므로, 제5(c)도에 뒤이어 실시하는 제조공정을 나타내는 제7(a)도 및 제7(c)도를 참조한다.

실시예 1의 제2마스크 공정으로 소스 전극(133), 드레인 전극(143) 그리고, 소스 패드(137) 등을 형성한 후에(제5(c)도), 제3마스크 공정으로 산화 실리콘 혹은 질화 실리콘 등을 포함하는 상기 무기 절연물질(119a)과 진성 반도체 물질(121a)을 패터하여 게이트 전극(113)이 형성된 부분에는 채널 역할을 하는 반도체 층(121)을 형성한다. 그리고, 게이트 패드(117)는 완전히 노출시킨다. 소스 패드(137) 역시 완전히 노출되고, 그 밑에는 더미 박막 층인 불순물 물질(123a)과 진성 반도체 물질(121a)이 남게 된다(제7(a)도).

그리고, 질화 실리콘 혹은 산화 실리콘과 같은 무기 절연물질을 전면 증착하여 무기 보호막(239)을 형성한다. 상기 무기 보호막(239) 위에 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene)등과 같은 유기 절연물질을 도포하여 유기 보호막(139)을 형성한다. 그리고, 제4마스크 공정으로 드레인 콘택 홀(161), 게이트 패드 콘택 홀(163) 그리고, 소스 패드 콘택 홀(165)을 형성한다. 드레인 콘택 홀(161)은 상기 드레인 전극(143)을 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 드레인 전극(143)의 일부가 드러나도록 한다. 게이트 패드 콘택 홀(163)은 상기 게이트 패드(117)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 게이트 패드(117)가 드러나도록 한다. 소스 패드 콘택 홀(165)은 상기 소스 패드(137)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 소스 패드(137)가 드러나도록 한다(제7(b)도).

상기 유기 보호막(139) 위에 ITO(Indium Tin Oxide)를 증착하고, 제5마스크 공정으로 패터하여 화소 전극(153), 게이트 패드 연결단자(157) 그리고, 소스 패드 연결단자(177)를 형성한다. 화소 전극(153)은 상기 드레인 콘택 홀(161)을 통하여 상기 드레인 전극(143)과 연결된다. 게이트 패드 연결단자(157)는 상기 게이트 패드 콘택 홀(163)을 통하여 상기 게이트 패드(117)와 연결된다. 소스 패드 연결단자(177)는 상기 소스 패드 콘택 홀(165)을 통하여 상기 소스 패드(137)와 연결된다(제7(c)도).

[실시예 3]

상기 실시예 2에서와 같이 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene) 등과 같은 유기 보호막(139)을 도포하기 전에 산화 실리콘 혹은 질화 실리콘을 포함하는 무기 물질로 무기 절연막(239)을 먼저 형성함에 있어서, 상기 반도체 층(121)중 노출된 부분만을 덮을 수 있도록 형성하였다. 본 실시예에서는 실시예 1의 제5(d)도에 뒤이어 실시한 제조공정을 나타내는 제8(a)도 및 제8(c)도를 참조한다.

제3마스크 공정으로 산화 실리콘 혹은 질화 실리콘을 포함하는 상기 무기 절연물질(119a)과 진성 반도체 물질(121a)을 패턴하여 게이트 전극(113)이 형성된 부분에는 채널 역할을 하는 반도체 층(121)을 형성한다(제5(d)도). 그리고, 산화 실리콘 혹은 질화 실리콘을 포함하는 무기 물질을 전면에 증착한다. 상기 소스 전극(133)과 드레인 전극(143) 사이에 노출된 순수 반도체 물질(121a)을 덮을 수 있도록 설계된 마스크로 상기 무기물질을 패턴하는 제4마스크 공정을 수행하여 무기 보호막(239)을 형성한다. 그리고 그 밑에 형성되어 있는 진성 반도체 물질(121a)과, 무기 보호막(239)을 계속 식각하여 게이트 전극(113)이 형성된 부분에는 채널 역할을 하는 반도체 층(121)을 형성한다. 그리고 게이트 패드(117)는 완전히 노출시킨다. 소스 패드(137) 역시 완전히 노출되고, 그 밑에는 더미 박막 층인 불순물 반도체 물질(123a)과 진성 반도체 물질(121a)이 남게 된다(제8(a)도).

상기 소스-드레인 전극 및 상기 무기 보호막이 형성된 기판 전면에 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene)등과 같은 유기 절연물질을 도포하여 유기 보호막(139)을 형성한다. 그리고, 제5마스크 공정으로 드레인 콘택 홀(161), 게이트 콘택 홀(163) 그리고, 소스 패드 콘택 홀(165) 등을 형성한다(제8(b)도).

상기 유기 보호막(139) 위에 ITO를 증착하고, 제6마스크 공정으로 패턴하여 화소 전극(153), 게이트 패드 연결단자(157) 그리고, 소스 패드 연결단자(177) 등을 형성한다(제8(c)도).

[실시예 4]

본 실시예는 상기 실시예 1에서 소스 전극(133)과 드레인 전극(143) 사이에서 노출된 반도체 층(121)과 그 위에 접촉되는 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene) 등을 포함하는 상기 유기 보호막(139) 사이의 접촉 불량을 막기 위한 또 다른 방법을 제공한다.

실시예 1에서 제3마스크 공정으로, 산화 실리콘 혹은 질화 실리콘을 포함하는 상기 무기 절연물질(119a)과 진성 반도체 물질(121a)을 패턴하여 게이트 전극(113)이 형성된 부분에는 채널 역할을 하는 반도체 층(121)이 형성되고, 게이트 패드(117)와 소스 패드(137)가 완전히 노출된다(제5(d)도). 그리고, 그 표면을 질소(N_2) 가스로 플라즈마 처리를 한다. 그러면, 소스 전극(133)과 드레인 전극(143) 사이에서 노출된 반도체 층(121)의 표면에 질화 실리콘막(339)이 형성되어 이후에 도포되는 유기물질과의 계면 접촉상태가 양호해 진다(제9(a)도).

상기 소스-드레인 금속층이 형성된 기판 전면에 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene)등과 같은 유기 절연물질을 도포하여 유기 보호막(139)을 형성한다. 그리고, 제4마스크 공정으로 드레인 콘택 홀(161), 게이트 패드 콘택 홀(163) 그리고, 소스 패드 콘택 홀(165)을 형성한다. 드레인 콘택 홀(161)은 상기 드레인 전극(143)을 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 드레인 전극(143)의 일부가 드러나도록 한다. 게이트 패드 콘택 홀(163)은 상기 게이트 패드(117)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 게이트 패드(117)가 드러나도록 한다. 소스 패드 콘택 홀(165)은 상기 소스 패드(137)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 소스 패드(137)가 드러나도록 한다(제9(b)도).

상기 유기 보호막(139) 위에 ITO(Indium Tin Oxide)를 증착하고, 제5마스크 공정으로 패턴하여 화소 전극(153), 게이트 패드 연결단자(157) 그리고, 소스 패드 연결단자(177)를 형성한다. 화소 전극(153)은 상기 드레인 콘택 홀(161)을 통하여 상기 드레인 전극(143)과 연결된다. 게이트 패드 연결 단자(157)는 상기 게이트 패드 콘택 홀(163)을 통하여 상기 게이트 패드(117)와 연결된다. 소스 패드 연결단자(177)는 상기 소스 패드 콘택 홀(165)을 통하여 소스 패드(137)와 연결된다(제9(c)도).

[실시예 5]

본 실시예에서는 앞에서 살펴본 실시예 1에서 제조공정을 조금 다르게 하여 액정표시장치를 제조하는 경우를 보여준다. 이해를 돕기위해 평면 확대도인 제4도와 제4도의 절단선 V-V로 절단한 공정 단면도인 제10도를 참조하였다.

투명 절연성 기판(111) 위에 알루미늄을 포함하는 금속을 증착하고, 제1마스크 공정으로 패턴하여 게이트 전극(113), 게이트 배선(115) 그리고, 게이트 패드(117)를 형성한다. 게이트 전극(113)은 행렬 배열방식으로 나열된 화소의 한쪽 구석에 형성된다. 게이트 배선(115)은 열 방향으로 나열된 상기 게이트 전극(113)들을 연결하고 있다. 게이트 패드(117)는 상기 게이트 배선(115)의 끝부분에 형성되는 것으로 외부 구동회로의 단자와 연결되는 부분이다(제10(a)도).

상기 게이트 전극(113)등이 형성된 기판 전면에 질화 실리콘 혹은 산화 실리콘과 같은 무기 절연물질(119a)과, 순수 아몰퍼스 실리콘과 같은 진성 반도체 물질(121a)과, 불순물이 첨가된 아몰퍼스 실리콘과 같은 불순물이 첨가된 반도체 물질(123a)을 연속으로 증착한다. 그리고, 그 위에 크롬을 포함하는 금속(133a)을 연속으로 증착한다(제10(b)도).

상기 크롬을 포함하는 금속을 제2마스크 공정으로 패턴하여 소스 전극(133), 드레인 전극(143), 소스 배선(135) 그리고, 소스 패드(137)를 형성한다. 소스 전극(133)은 상기 반도체 물질(121a)과 상기 불순물 반도체 물질(123a)을 사이에 두고 상기 게이트 전극(113)의 한쪽 변과 중첩되어 있다. 드레인 전극(143)은 상기 소스 전극(133)과 대향하며 상기 게이트 전극(113)의 다른쪽 변과 중첩되어 있다. 소스 배선(135)은 열 배열방향의 상기 소스 전극(133)들을 연결하고 있다. 소스 패드(137)는 상기 소스 배선(135)의 끝부분에 형성된다. 그리고, 상기 크롬 금속층의 형태를 마스크로 하여 밑에 있는 불순물이 첨가된 물질(123a)로 이루어진 층을 건식 식각법으로 패턴하여 불순물 반도체 층(123)을 형성한다(제10(c)도).

제3마스크 공정으로, 상기 무기 절연물질(119a)과 진성 반도체 물질(121a)을 패턴하여 게이트 전극(113)과 소스 전극(133) 그리고, 드레인 전극(143)이 형성된 부분에는 채널 역할을 하는 반도체 층(121)을 형성한다. 그리고, 게이트 패드(117)는 완전히 노출시킨다. 소스 패드(137) 역시 완전히 노출되고, 그 밑에는 더미 박막 층인 불순물 물질(123a)과 진성 반도체 물질(121a)이 남게 된다. 이 때, 실시예 1과는 달리

소스 전극(133)과 드레인 전극(143)보다 상기 반도체 층(121)이 넓게 형성되도록 패턴한다. 또한, 소스 패드(137) 부분도 더미 박막층인 진성 반도체 물질(121a)이 소스 패드(137) 보다 넓게 형성되도록 한다(제10(d)도).

상기 소스 전극(133) 등이 형성된 기판 전면에 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene)등과 같은 유기 절연물질을 도포하여 유기 보호막(139)을 형성한다. 그리고, 제4마스크 공정으로 드레인 콘택 홀(161), 게이트 패드 콘택 홀(163) 그리고, 소스 패드 콘택 홀(165)을 형성한다. 드레인 콘택 홀(161)은 상기 드레인 전극(143)을 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 드레인 전극(143)의 일부가 드러나도록 한다. 게이트 패드 콘택 홀(163)은 상기 게이트 패드(117)을 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 게이트 패드(117)가 드러나도록 한다. 소스 패드 콘택 홀(165)은 상기 소스 패드(137)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 소스 패드(137)가 드러나도록 한다(제10(e)도).

상기 보호막(139) 위에 ITO(Indium Tin Oxide)를 증착하고, 제5마스크 공정으로 패턴하여 화소 전극(153), 게이트 패드 연결단자(157) 그리고, 소스 패드 연결단자(177)를 형성한다. 화소 전극(153)은 상기 드레인 콘택 홀(161)을 통하여 상기 드레인 전극(143)과 연결된다. 게이트 패드 연결 단자(157)는 상기 게이트 패드 콘택 홀(163)을 통하여 상기 게이트 패드(117)와 연결된다. 소스 패드 연결단자(177)는 상기 소스 패드 콘택 홀(165)을 통하여 상기 소스 패드(137)와 연결된다(제10(f)도).

도면으로 나타내지는 않았지만, 본 실시예에 의한 제조방법에 실시예 2에서 4까지의 경우를 적용하여 액정표시장치를 제조할 수 있다.

[실시예 6]

실시예 1에서 게이트 패드를 덮는 상기 유기 보호막에 게이트 콘택 홀을 형성하지 않고, 게이트 패드를 완전히 노출시킨다. 그럼으로써, 게이트 패드 연결단자를 형성할 때, 게이트 콘택 홀의 내부 측벽에서 증착 불량으로 인한 게이트 패드 연결단자의 단선을 방지하기도 한다. 본 실시예에서는 실시예 1의 제5(c)도까지의 제조공정 다음부터 적용하였다. 그러므로, 제5(c)도에 뒤이어 실시하는 제조공정을 나타내는 제11(a)도 및 제11(c)도를 참조한다.

실시예 1의 제2마스크 공정으로 소스 전극(133), 드레인 전극(143) 그리고, 소스 패드(137) 등을 형성한 후에(제5(c)도, 제3마스크 공정으로 산화 실리콘 혹은 질화 실리콘 등을 포함하는 상기 무기 절연물질(119a)과 진성 반도체 물질(121a)을 패턴하여 게이트 절연막(119)과 게이트 전극(113)이 형성된 부분에는 채널 역할을 하는 반도체 층(121)을 형성한다. 그리고, 게이트 패드(117)는 완전히 노출시킨다. 소스 패드(137) 역시 완전히 노출되고, 그 밑에는 더미 박막층인 불순물 물질(123a)과 진성 반도체 물질(121a)이 남게 된다(제11(a)도).

상기 소스 전극(133) 등이 형성된 기판 전면에 BCB(BenzoCycloButene), 퍼플루오르싸이클로부탄(PerFluoroCycloButane : PFCB) 혹은, F첨가 파라크실렌(Fluorinated Para-Xylene)등과 같은 유기 절연물질을 도포하여 유기 보호막(139)을 형성한다. 그리고, 제4마스크 공정으로 드레인 콘택 홀(161)과 소스 패드 콘택 홀(165)을 형성한다. 드레인 콘택 홀(161)은 상기 드레인 전극(143)을 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 드레인 전극(143)의 일부가 드러나도록 한다. 소스 패드 콘택 홀(165)은 상기 소스 패드(137)를 덮는 상기 유기 보호막(139)의 일부를 식각하여 상기 소스 패드(137)가 드러나도록 한다. 한편, 상기 게이트 패드(117)를 덮는 상기 유기 보호막(139)의 전부를 식각하여 상기 게이트 패드(117)가 완전히 드러나도록 한다(제11(b)도).

상기 보호막(139) 위에 ITO(Indium Tin Oxide)를 증착하고, 제5마스크 공정으로 패턴하여 화소 전극(153), 게이트 패드 연결단자(157) 그리고, 소스 패드 연결단자(177)를 형성한다. 화소 전극(153)은 상기 드레인 콘택 홀(161)을 통하여 상기 드레인 전극(143)과 연결된다. 소스 패드 연결단자(177)는 상기 소스 패드 콘택 홀(165)을 통하여 상기 소스 패드(137)와 연결된다. 게이트 패드 연결단자(157)는 상기 게이트 패드(117)를 완전히 덮는 형상으로 형성된다(제11(c)도).

도면으로 나타내지는 않았지만, 본 실시예의 제조방법에 실시예 2에서 5까지의 경우를 적용하여 액정표시장치를 제조할 수 있다.

발명의 효과

본 발명은 액정표시장치의 액티브 패널을 제조하는데 있어서, 제조공정에 사용하는 마스크 공정 수를 줄이는 방법을 제공한다. 마스크 공정 수를 줄임으로써 마스크 정렬 오차의 누적을 줄일 수 있고, 그에 따른 불량을 감소하는 효과를 얻을 수 있었다. 또한, 제품완성에 필요한 시간 및 비용을 절감하는 효과를 얻을 수 있었다.

그리고, 본 발명에서는 공정 단순화를 위해 게이트 절연막, 반도체 층, 불순물 반도체 층을 형성하는 물질을 한번에 식각함으로써 발생하는 심한 단차를 극복하는 방법을 제공한다. 금속층과 다른 물질로 이루어진 박막층을 한번에 식각함으로써 금속층 밑에 형성된 박막층이 과식각되어 그 위에 형성되는 도전층이 끊어지는 현상이 발생할 수 있다. 또한, 적층된 여러물질을 한번에 식각함으로써 그 결과 심한 단차를 가질 수 있다. 이와 같이 표면 형상이 다른 박막층을 온전히 적층시키기 불리하도록 형성된 기판에 유기물질로 보호막을 형성하여 표면을 평탄화하였다. 표면이 평탄한 유기 보호막 위에 화소 전극을 형성하여 단차로 인한 단선 불량을 극복하였다. 따라서, 제품 수율을 향상하는 효과를 얻을 수 있었다.

또한, 본 발명은 유기물질과 반도체 층이 접촉하는 부분에서 발생하는 불량을 극복하는 방법을 제공하고 있다. 유기 보호막을 형성하는 유기물질과 반도체 층이 접촉하는 부분에 무기물질을 개입하거나, 반도체 표면에 플라즈마 처리로 무기 박막을 형성하였다. 그럼으로써, 반도체 층과 유기물질 사이의 접촉불량으로 인한 반도체 층의 특성 변화를 방지하여 양질의 제품을 얻을 수 있었다.

(57) 청구의 범위**청구항 1**

기판위에 제1 도전물질을 증착하고 패턴하여 제1 도전층을 형성하는 단계와; 상기 제1 도전층 위에 제1 무기 절연물질과, 진성 반도체 물질과, 불순물이 첨가된 반도체 물질과 제2 도전물질을 연속 증착하는 단계와; 상기 제2 도전물질과 상기 불순물이 첨가된 반도체 물질을 함께 패턴하여 제2 도전층과 불순물 반도체 층을 형성하는 단계와; 상기 진성 반도체 물질과 제1 무기 절연물질을 패턴하여 상기 제1 도전층의 일부가 노출되도록 하는 단계와; 상기 제2 도전층이 형성된 기판 전면에 유기 절연물질을 도포하고, 패턴하여 상기 제1 도전층의 일부와 상기 제2 도전층의 일부를 노출하는 복수의 콘택 홀을 포함하는 유기 보호막을 형성하는 단계와; 상기 유기 보호막 위에 제3 도전물질을 증착하고 패턴하여, 상기 콘택 홀들을 통해 제1 도전층의 일부 및 제2 도전층의 일부와 연결된 제3 도전층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 2

제1항에 있어서, 상기 제2 도전층과 상기 불순물 반도체 층을 형성하고 난 후에, 제2 무기 절연물질을 증착하고, 패턴하여 무기 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 3

제1항에 있어서, 상기 유기 절연물질을 도포하기 전에, 질소 가스로 플라즈마 처리하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 4

기판위에 제1 도전물질로 게이트 전극, 게이트 배선, 게이트 패드를 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 게이트 패드 등이 형성된 기판 전면에 제1 무기 절연물질, 진성 반도체 물질, 불순물이 첨가된 반도체 물질, 제2 도전물질을 연속 증착하는 단계와; 상기 제2 도전물질과 상기 불순물이 첨가된 반도체 물질을 패턴하여 소스 전극, 드레인 전극, 소스 배선, 소스 패드 그리고, 불순물 반도체 층을 형성하는 단계와; 상기 진성 반도체 물질과 제1 무기 절연물질을 패턴하여 반도체 층과 게이트 절연막을 형성하는 단계와; 상기 소스 전극등이 형성된 기판 전면에 유기 절연물질로 유기 보호막을 형성하는 단계와; 상기 유기 보호막을 패턴하여 상기 드레인 전극, 게이트 패드, 소스 패드의 일부를 노출하는 단계와; 상기 유기 보호막 위에 제3 도전물질로 화소 전극, 게이트 패드 연결단자, 소스 패드 연결단자를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 5

제4항에 있어서, 상기 진성 반도체 물질과 상기 제1 무기 절연물질을 패턴하는 단계에서 상기 게이트 패드를 덮는 상기 반도체 물질과 상기 제1 무기 절연물질을 완전히 제거하여 상기 게이트 패드가 모두 노출되도록 하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 6

제4항에 있어서, 상기 진성 반도체 물질과 상기 제1 무기 절연물질을 패턴하는 단계에서 상기 반도체 층과 상기 게이트 절연막이 상기 소스 전극, 상기 드레인 전극, 상기 소스 배선 그리고 상기 소스 패드보다 넓게 형성되도록 하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 7

제4항에 있어서, 상기 제2 도전층과 상기 불순물 반도체 층을 형성하고 난 후에, 제2 무기 절연물질을 증착하고, 패턴하여 무기 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 8

제7항에 있어서, 상기 무기 보호막은 상기 소스 전극과 상기 드레인 전극 사이에서 노출된 상기 반도체 층을 덮도록 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 9

제4항에 있어서, 상기 유기 절연물질을 도포하기 전에, 질소 가스로 플라즈마 처리하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 10

기판과; 상기 기판의 일부에 형성된 제1 도전층과; 상기 제1 도전층 일부와 상기 기판 일부위에 형성된 무기 절연막과; 상기 무기 절연막위에 같은 형태를 갖는 반도체 층과; 상기 반도체 층의 일부에 형성된 불순물 반도체 층과; 상기 불순물 반도체 층위에 같은 형태를 갖는 제2 도전층과; 상기 제2 도전층의 일부와 상기 제1 도전층의 일부만을 노출하는 콘택 홀을 포함하며 기판을 덮는 유기 절연막과; 상기 콘택 홀들을 통하여 상기 제1 도전층의 일부와 상기 제2 도전층의 일부에 연결된 제3 도전층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제10항에 있어서, 상기 반도체 층과 상기 유기 절연막 사이에 무기 절연막을 더 포함하는 것을 특징으로

하는 액정표시장치.

청구항 12

제10항에 있어서, 상기 반도체 층과 상기 유기 절연막의 계면에 질화 실리콘 박막층이 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13

제10항에 있어서, 상기 유기 절연막은 벤조사이클로부텐(BenzoCycloButene : BCB), 퍼플루오르싸이클로부텐(PerFluoroCycloButane : PFCB), F첨가 파라크실렌(Fluorinated Para-Xylene)중 선택된 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14

기판과; 상기 기판의 일부에 제1 도전물질을 포함하는 게이트 전극, 게이트 배선 그리고, 게이트 패드와; 상기 게이트 전극, 게이트 배선 그리고, 게이트 패드와 상기 기판 일부 위에 형성된 게이트 절연막과; 상기 게이트 절연막 위에 같은 형태를 갖는 반도체 층과; 상기 반도체 층의 일부에 형성된 불순물 반도체 층과; 상기 불순물 반도체 층위에 같은 형태를 갖는 제2 도전물질을 포함하는 소스 전극, 드레인 전극, 소스 배선 그리고, 소스 패드와; 상기 드레인 전극, 게이트 패드 그리고, 소스 패드의 일부분만을 노출하는 콘택 홀들을 포함하며 기판을 덮는 유기 보호막과; 상기 유기 보호막 위에 제3 도전물질로 상기 콘택 홀들을 통하여 상기 드레인 전극에 연결되는 화소 전극과, 상기 게이트 패드에 연결되는 게이트 패드 연결단자와 그리고, 상기 소스 패드에 연결되는 소스 패드 연결단자를 포함하는 액정표시장치.

청구항 15

제14항에 있어서, 상기 반도체 층과 상기 게이트 절연막이 상기 소스 전극, 상기 소스 배선, 상기 드레인 전극 그리고, 상기 소스 패드보다 넓게 형성된 것을 특징으로 하는 액정표시장치.

청구항 16

제14항에 있어서, 상기 게이트 패드 위에 상기 게이트 절연막이 전혀 남아있지 않고, 상기 게이트 패드가 완전히 노출된 것을 특징으로 하는 액정표시장치.

청구항 17

제14항에 있어서, 상기 반도체 층과 상기 유기 보호막 사이에 무기 보호막을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 18

제17항에 있어서, 상기 무기 보호막은 상기 소스 전극과 상기 드레인 전극 사이에서 노출된 상기 반도체 층을 충분히 덮도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 19

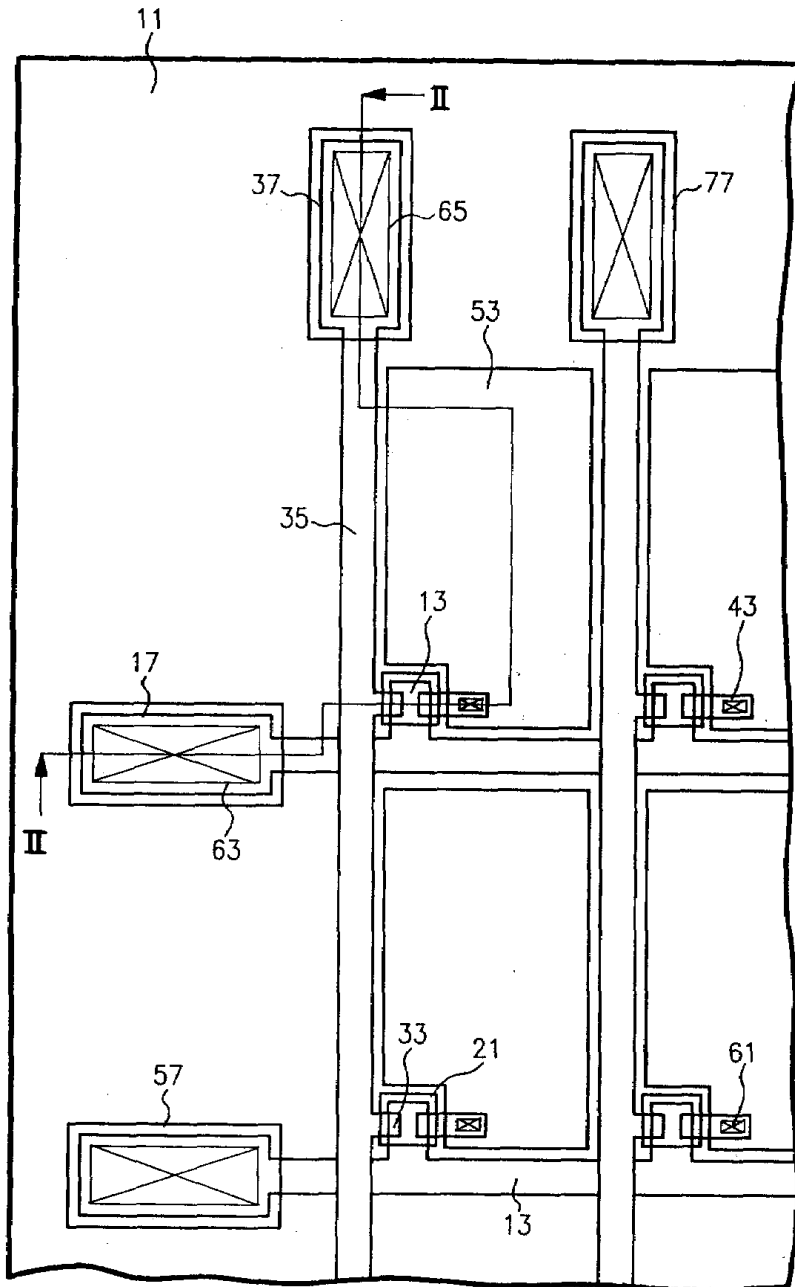
제14항에 있어서, 상기 반도체 층과 상기 유기 보호막의 계면에 질화 실리콘 박막층이 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 20

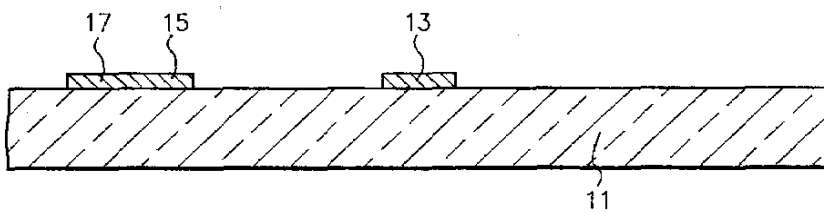
제14항에 있어서, 상기 유기 보호막은 벤조사이클로부텐(BenzoCycloButene : BCB), 퍼플루오르싸이클로부텐(PerFluoroCycloButane : PFCB), F첨가 파라크실렌(Fluorinated Para-Xylene)중 선택된 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치.

도면

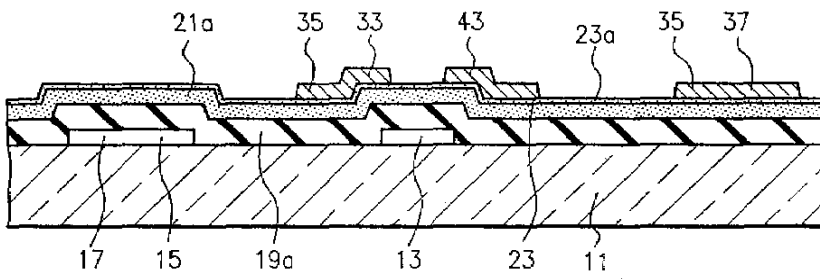
도면1



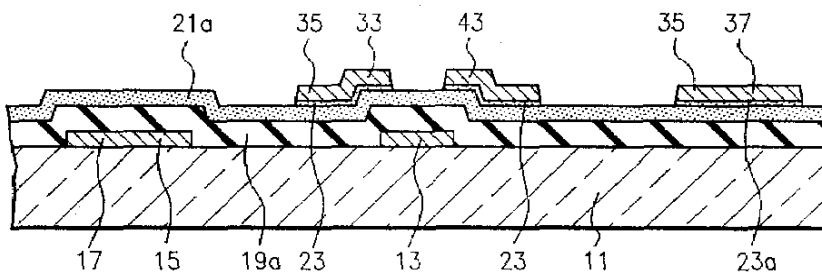
도면2a



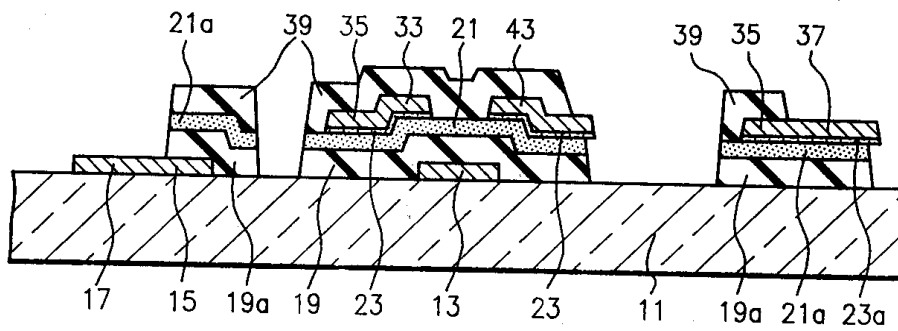
도면2b



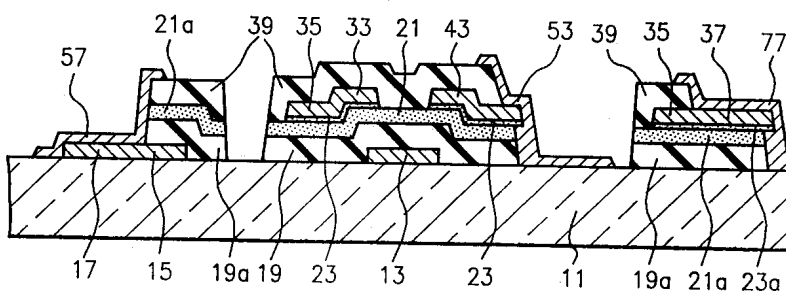
도면2c



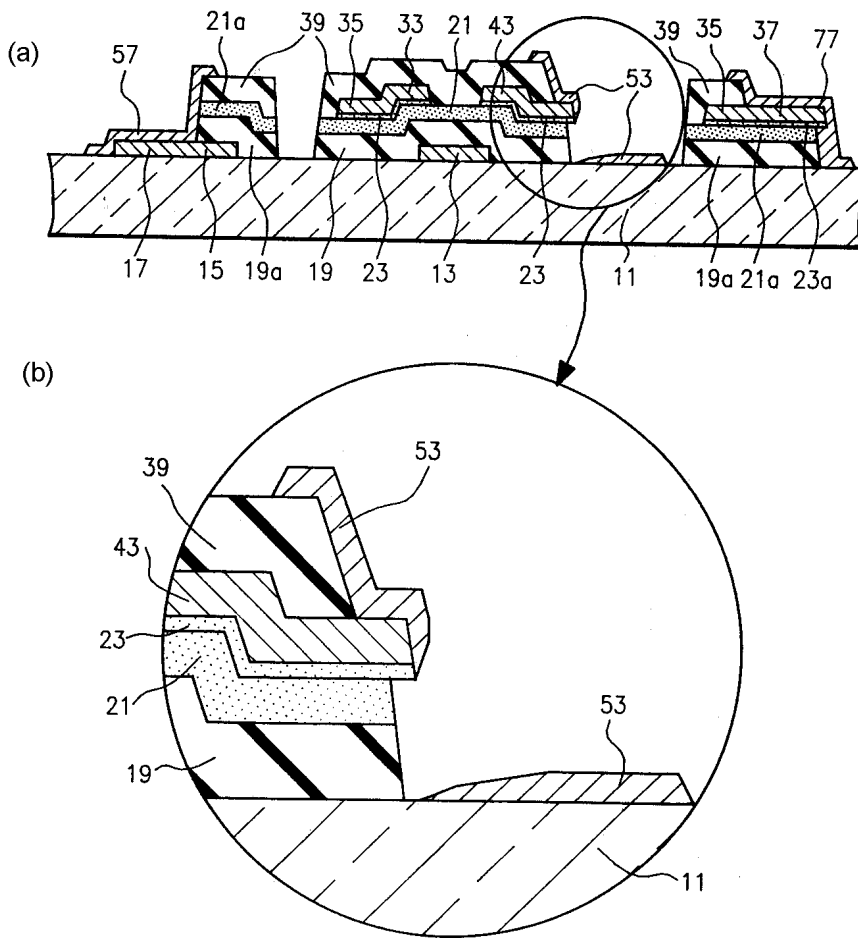
도면2d



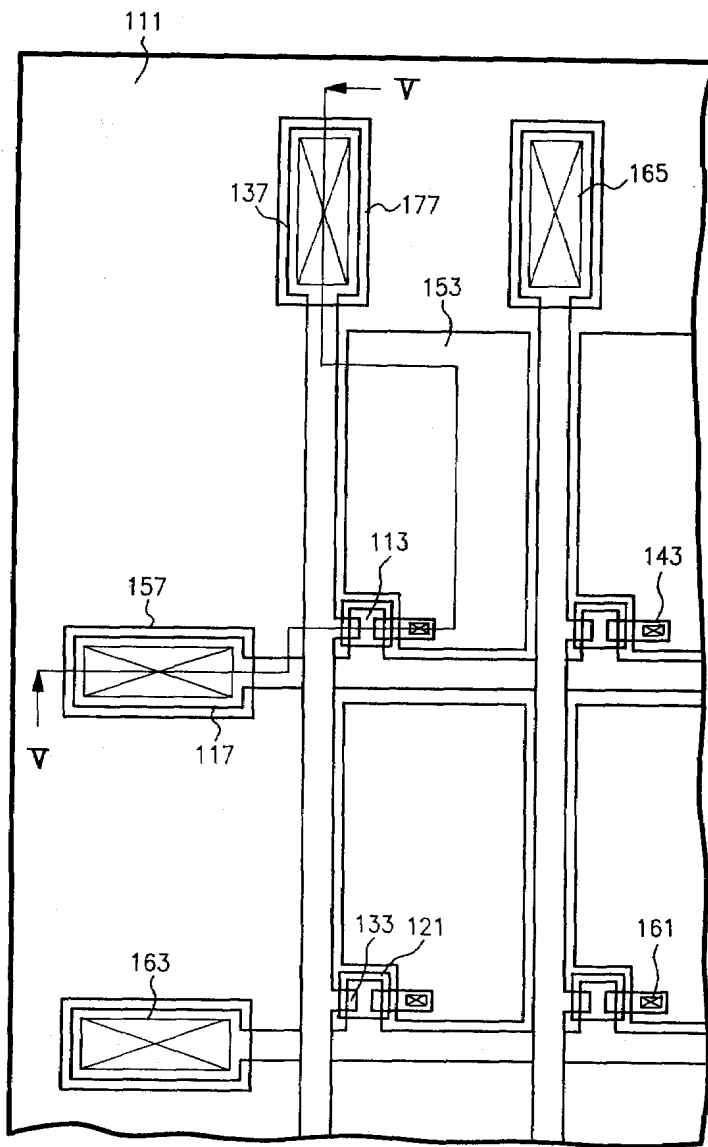
도면2e



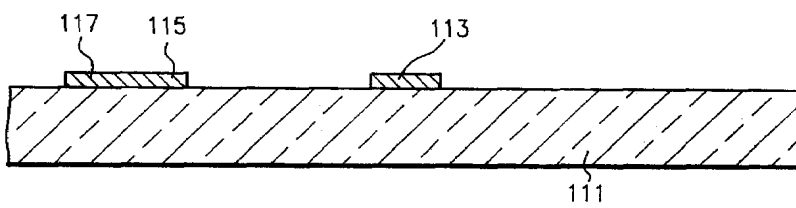
도면3



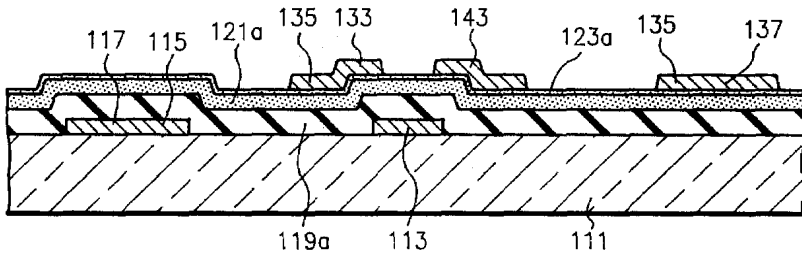
도면4



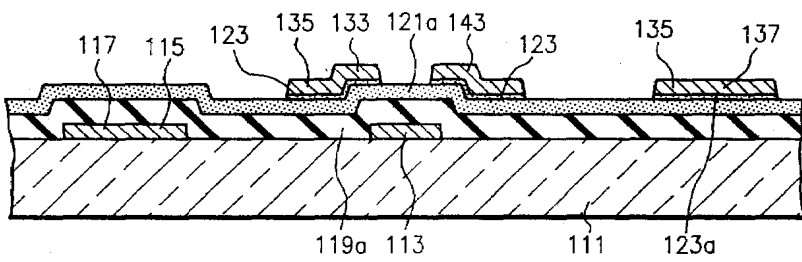
도면5a



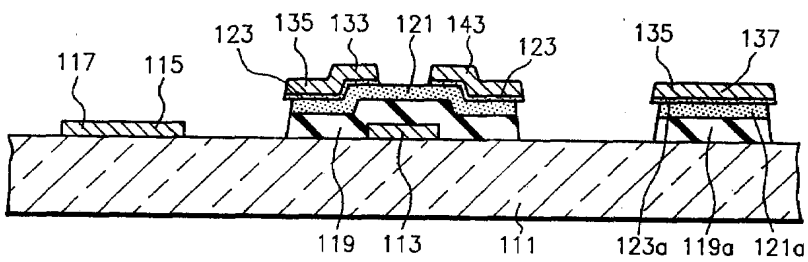
도면5b



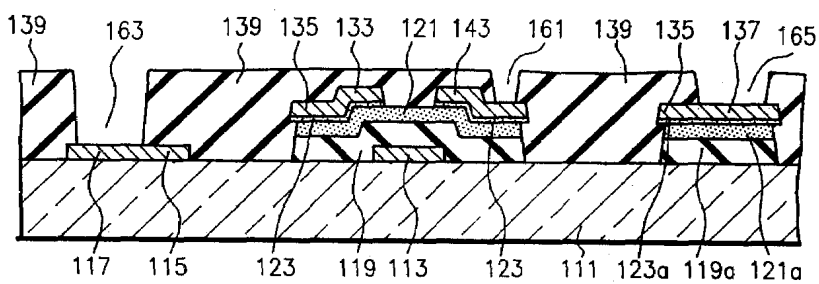
도면5c



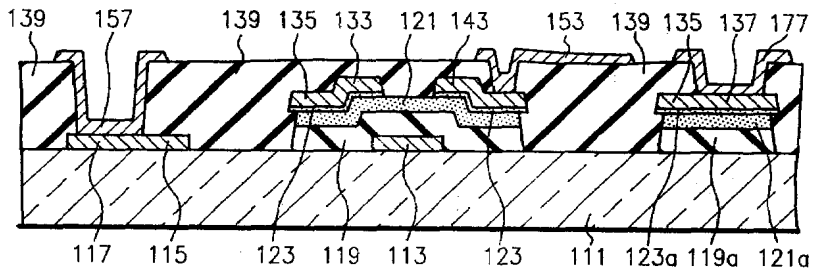
도면5d



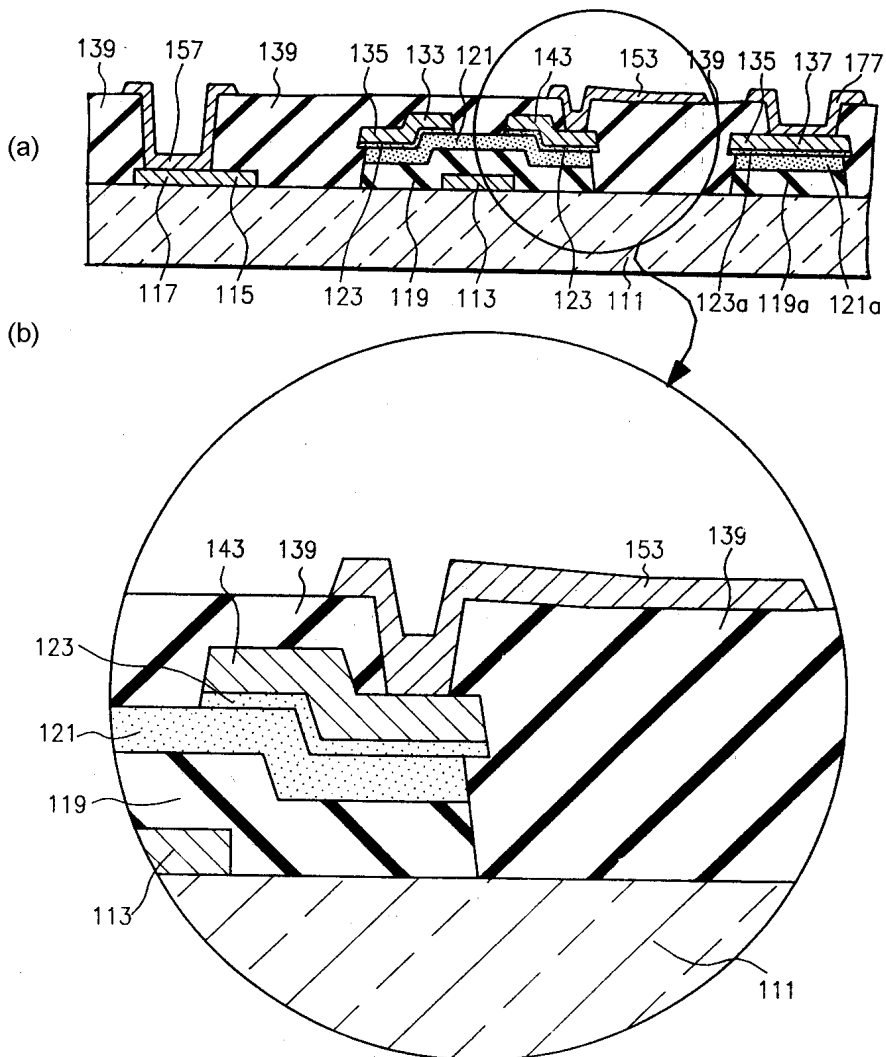
도면5e



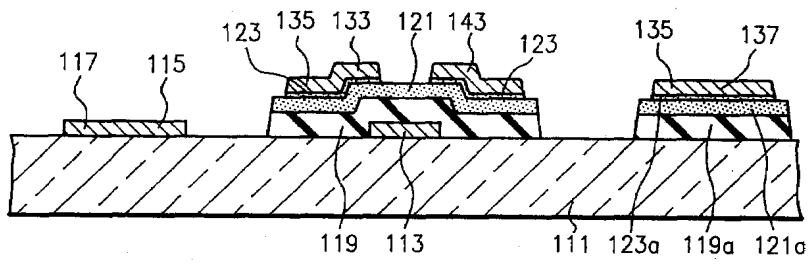
도면5f



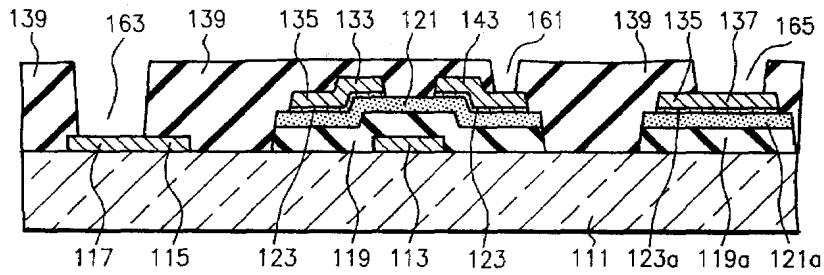
도면6



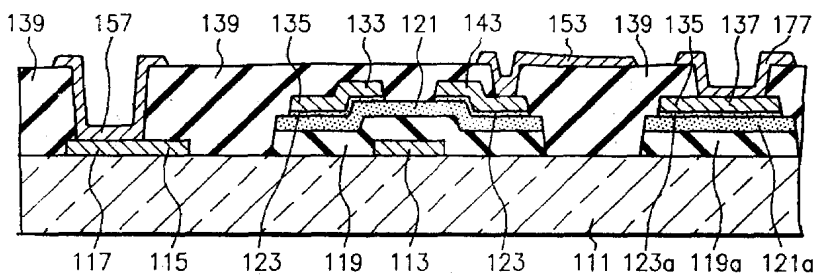
도면7a



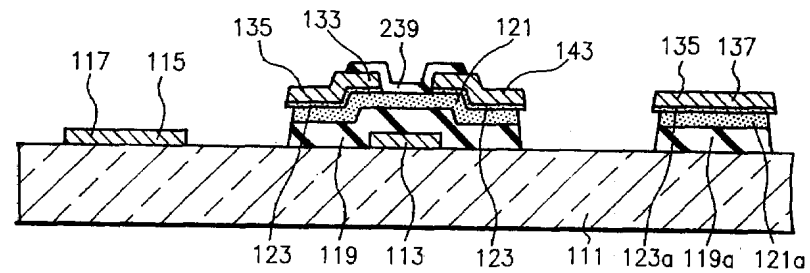
도면7b



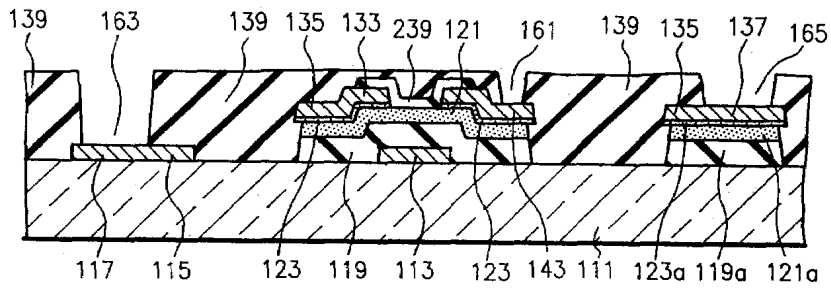
도면7c



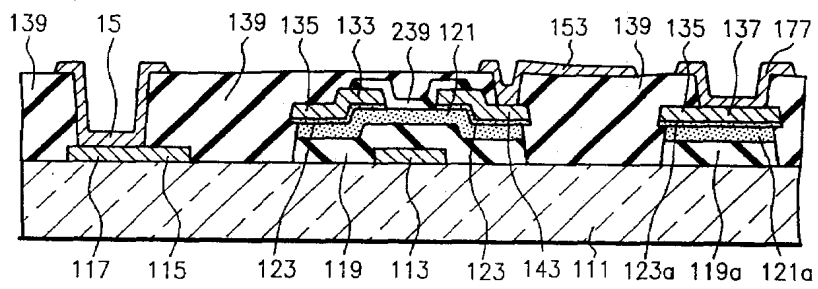
도면8a



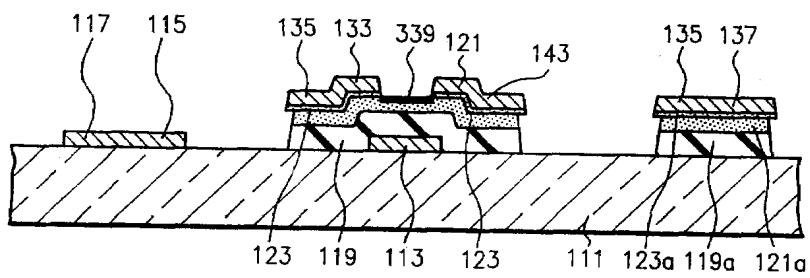
도면8b



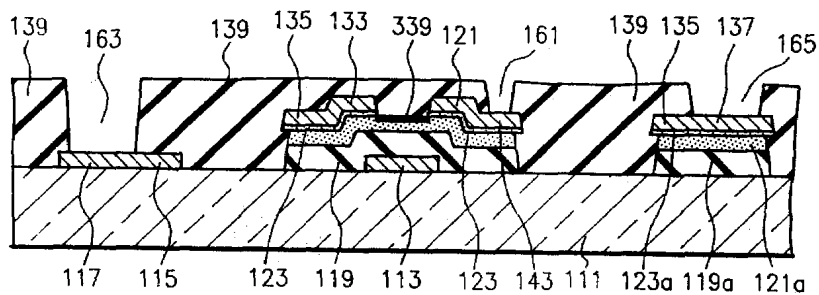
도면8c



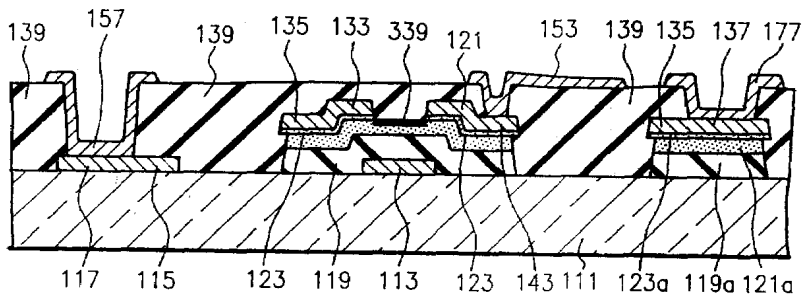
도면9a



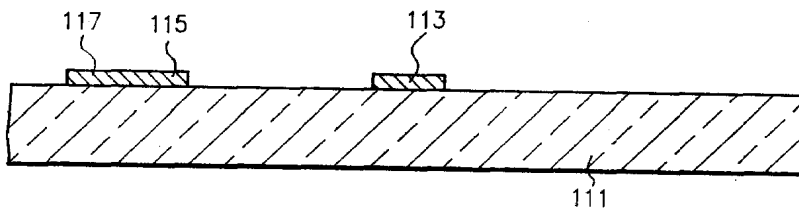
도면9b



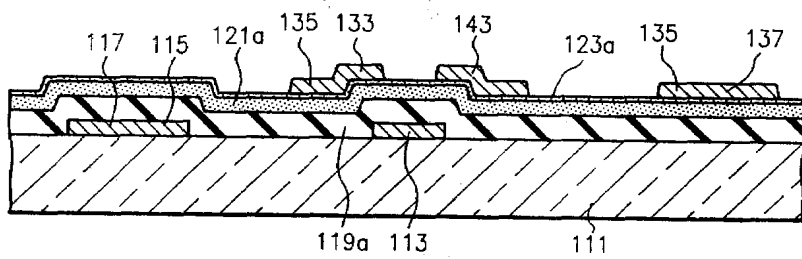
도면9c



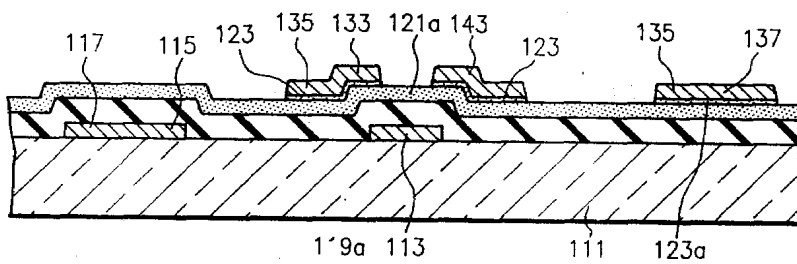
도면 10a



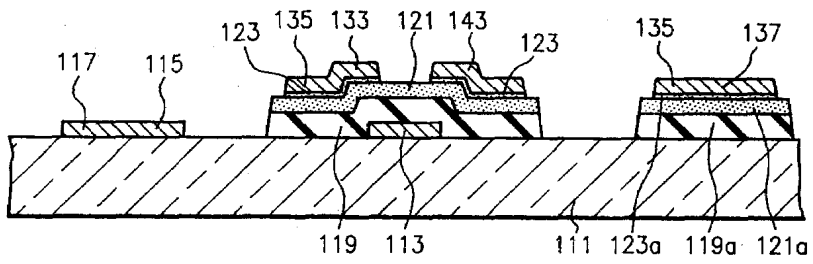
도면 10b



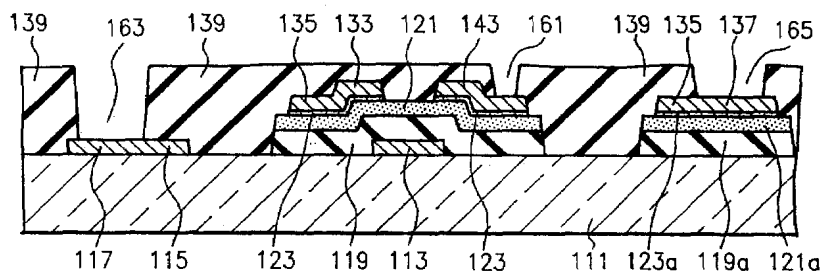
도면 10c



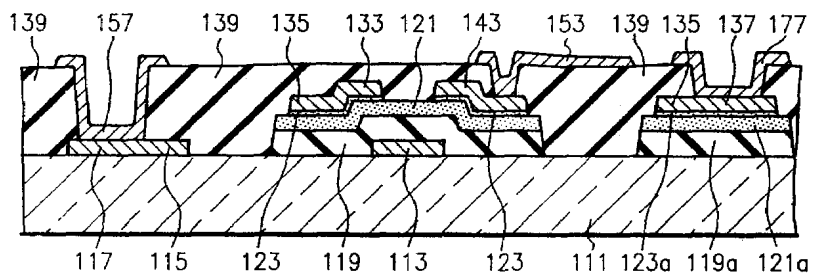
도면 10d



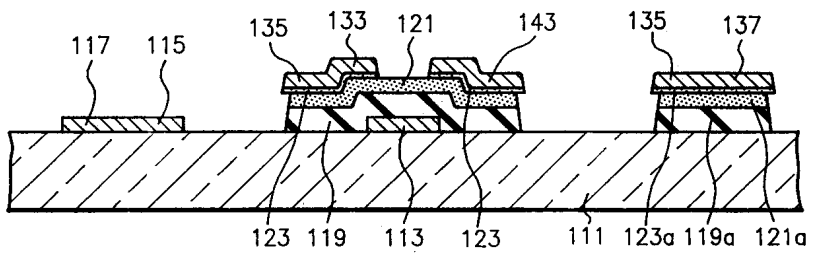
도면 10e



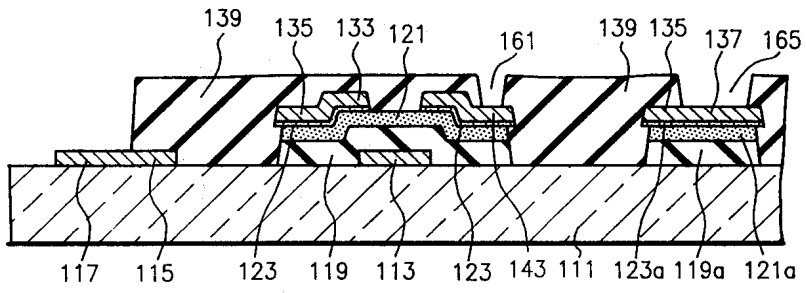
도면 10f



도면 11a



도면11b



도면11c

