

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月14日(14.10.2021)



(10) 国際公開番号

WO 2021/205941 A1

- (51) 国際特許分類:
H01L 45/00 (2006.01) *H01L 27/105* (2006.01)
H01L 21/8239 (2006.01)
- (21) 国際出願番号: PCT/JP2021/013511
- (22) 国際出願日: 2021年3月30日(30.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
63/007,582 2020年4月9日(09.04.2020) US
- (71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY

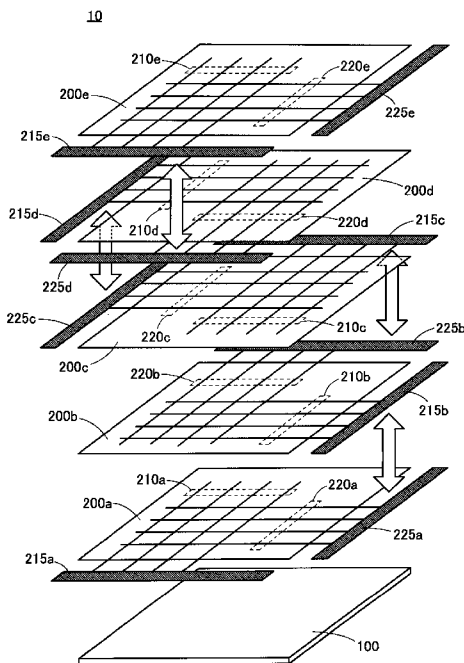
AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).

(72) 発明者: 小林 正治 (KOBAYASHI Masaharu); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 平本 俊郎 (HIRAMOTO Toshiro); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 武 ▲継▼▲旋▼ (WU Jixuan); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 特許業務法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京

(54) Title: THREE-DIMENSIONAL ARRAY DEVICE

(54) 発明の名称: 三次元アレイ装置



都大田区蒲田 5 - 2 4 - 2 損保ジャパン
日本興亜蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4. 17に規定する申立て:

- 不利にならない開示又は新規性喪失の例外に関する申立て (規則4. 17(v))

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：三次元アレイ装置

技術分野

[0001] 本発明の一実施形態は、三次元アレイ装置に関する。特に、メモリセルアレイ回路を積層した三次元アレイ装置に関する。

背景技術

[0002] 近年、コンピュータ性能の飛躍的向上及びディープラーニングの発展を背景にして、ニューラルネットワークを多層化したディープニューラルネットワークの研究が進んでいる。図30は、一般的なニューラルネットワークの構成を示す図である。図30において、ニューロンは、 N 個の入力 X_i （ x と総称する）と重み W_i （ w と総称する）との積和演算 $\sum (X_i * W_i)$ に対して活性化関数 $f^{(k)}$ （ $k = 1, 2, \dots, f$ と総称する）の非線形演算を行う。ディープニューラルネットワークでは、入力層（Input Layer）のニューロンによって入力 x が積和演算されて中間出力1に変換される。中間出力1は、隠れ層（Hidden Layer 1）のニューロンによって積和演算されて中間出力2に変換される。同様の繰り返しの後に、出力層（Output Layer）のニューロンによって最終出力 y に変換される。

[0003] 上記のように、ディープニューラルネットワークにおいては、多量の積和演算を行って誤差を評価し、重みを更新するプロセスを繰り返すことによって学習する。そのため、従来のノイマン型アーキテクチャの半導体チップを使用すると、メモリとCPU又はGPUとの間の通信による消費電力が大きいという課題がある。そこで、ニューロモルフィックコンピューティング、またはインメモリコンピューティングと呼ばれる、非ノイマン型アーキテクチャを採用した不揮発性メモリチップが注目されている。ワード線とビット線の交点に不揮発性メモリ素子を配置したクロスバー構成の2次元アレイ回路においては、各不揮発性メモリに記憶されているデータに対してビット線

方向の積和演算結果を出力として読み出すことができる。このようなインメモリコンピューティングの手法は1980年代よりニューラルネットワークのアナログ回路実装において採用されてきた（非特許文献1）。例えば、ReRAM（Resistive Random Access Memory）をベースにした不揮発性メモリチップを用いたニューラルネットワークは、デバイスレベルからシステムレベルに至るまで幅広く研究されている。ReRAMは、素子に流れる電荷量を記憶して抵抗値が変化するメモリストと呼ばれる素子の機能を有するため、ニューラルネットワークの重み W_i を0又は1のバイナリでなく、アナログ値で制御することも可能である。

[0004] ディープニューラルネットワークは、AI（Artificial Intelligence）アプリケーションを支える基幹技術として、様々なデバイスに組み込まれることが想定されている。そのため、デジタルハードウェアへの実装が容易なバイナリニューラルネットワークが提案されている。不揮発性メモリとしては、ReRAM、MRAM、又はPCRAM等が使用できる。特に、ReRAMをベースにしたバイナリニューラルネットワークは、先述したアナログ値の重みを使用可能なことに加えて、安定性の良さ、ノイズマージンの広さ、テストの容易性の高さなどの利点を有する。バイナリニューラルネットワークにおける加重和計算（weighted sum calculation）のためのXNOR演算は、ReRAMセルを用いたインメモリコンピューティングとして簡単に実現することができる。

[0005] バイナリニューラルネットワークは、重み値と活性化値とを二値化しているため、表現能力が低いというデメリットを有する。そのため、バイナリニューラルネットワークは、ネットワークサイズを大きくすることにより演算精度を上げることが一般的である。しかしながら、大規模な並列入出力を行う場合、二次元のバイナリニューラルネットワークでは、フットプリントの増加を招くという問題がある。そのため、現在では、二次元ニューラルネットワークを積層した三次元ニューラルネットワークの研究も行われている。例えば、シナプティックコア層とインターコネクト層とを交互に積層して、

層間をシリコン貫通電極（TSV）で接続した3D積層構造の素子が提案されている（特許文献1）。このように、ニューラルネットワークを3D積層構造の素子で実現することにより、面積効率が向上するとともに、インメモリコンピューティングを可能とすることにより低消費電力化が可能となる。

先行技術文献

特許文献

[0006] 特許文献1：米国特許出願公開第2019/0318230号明細書

非特許文献

[0007] 非特許文献1：森江隆、「ニューロモルフィックシステムと物理デバイス」、応用物理、社団法人応用物理学会、2019年、第88巻、第7号、p. 481－485

発明の概要

発明が解決しようとする課題

[0008] 従来技術の三次元ニューラルネットワークは、二次元ニューラルネットワークを構成する層間を接続するために、インターコネクタ層を介したTSVやワイヤボンディング等の手法を用いて電氣的に連結する必要がある、垂直方向の集積化が困難であった。また、インメモリコンピューティング用の不揮発性メモリチップを三次元方向に積層する場合、下層のニューラルネットワークの出力端子と上層のニューラルネットワークの入力端子とを接続するインターコネクタ層やワイヤボンディングの配線が長くなると、その分だけ信号遅延や消費電力の増加を招く結果となっていた。

[0009] 本発明の課題の一つは、低レイテンシで低エネルギー損失のニューラルネットワークを実現する三次元アレイ装置を提供することにある。

課題を解決するための手段

[0010] 本発明の一実施形態における三次元アレイ装置は、高さ方向に複数の層を有する三次元アレイ装置であって、第1の層に位置する第1の二次元アレイ回路と、前記第1の層に隣接する第2の層に位置し、前記第1の二次元アレ

イ回路と平面視において重畳する第2の二次元アレイ回路と、を備え、前記第1の二次元アレイ回路及び前記第2の二次元アレイ回路は、それぞれ、第1配線群、前記第1配線群に信号を入力する入力部、前記第1配線群と交差する第2配線群、及び、前記第2配線群から信号を出力する出力部を有し、前記第1の二次元アレイ回路における前記出力部は、前記第2の二次元アレイ回路における前記入力部と平面視において重畳するとともに信号受け渡し可能に接続される。

[0011] 本発明の一実施形態における三次元アレイ装置は、高さ方向に複数の層を有する三次元アレイ装置であって、第1の層に位置する第1の二次元アレイ回路と、前記第1の層に隣接する第2の層に位置し、前記第1の二次元アレイ回路と平面視において重畳する第2の二次元アレイ回路と、を備え、前記第1の二次元アレイ回路及び前記第2の二次元アレイ回路は、それぞれ、第1配線群、前記第1配線群に信号を入力する入力部、前記第1配線群と交差する第2配線群、及び、前記第2配線群から信号を出力する出力部を有し、前記第1の二次元アレイ回路における前記出力部は、前記第2の二次元アレイ回路における前記出力部よりも前記第2の二次元アレイ回路における前記入力部の近くに位置するとともに、前記第2の二次元アレイ回路における前記入力部と信号受け渡し可能に接続され、前記第1の二次元アレイ回路における前記第2配線群が延在する方向は、前記第2の二次元アレイ回路における前記第1配線群が延在する方向と略平行である。

[0012] 前記第1の二次元アレイ回路における前記入力部は、前記第2の二次元アレイ回路における前記出力部と平面視において重畳しなくてもよい。

[0013] 前記第1の二次元アレイ回路における前記出力部は、前記第2の二次元アレイ回路における前記入力部とビアを介して電氣的に接続されてもよい。

[0014] 前記第1の二次元アレイ回路及び前記第2の二次元アレイ回路は、メモリセルアレイ回路であってもよい。この場合、前記第1配線群は、ワード線で構成される配線群であってもよい。前記第2配線群は、ビット線で構成される配線群であってもよい。

[0015] 前記メモリセルアレイ回路は、各メモリセルに、少なくとも1つの抵抗変化型メモリと少なくとも1つの選択トランジスタとを含んでもよい。このとき、前記抵抗変化型メモリは、酸化ハフニウムを含む誘電体層を有していてもよい。前記選択トランジスタは、IGZOを含む酸化物半導体で構成されるチャネルを有していてもよい。

図面の簡単な説明

[0016] [図1]本発明の第1実施形態の三次元アレイ装置の構成を示す図である。

[図2]第1実施形態の二次元アレイ回路の構成を示す図である。

[図3]二次元アレイ回路における入力部及び出力部の位置の変化を示す模式図である。

[図4]第1実施形態の三次元アレイ装置におけるメモリセルの構成を示す断面図である。

[図5]第1実施形態の三次元アレイ装置の構成を示す拡大断面図である。

[図6]図3（A）に示した二次元アレイ回路のメモリセルにおけるレイアウトを示す図面代用写真である。

[図7]図6に示したメモリセルにおけるレイアウトを模式的に示す平面図である。

[図8]図6に示すFET1のチャネル近傍の断面構造を示す図面代用写真である。

[図9]図6に示すReRAM1の断面構造を示す図面代用写真である。

[図10]図3（B）に示した二次元アレイ回路のメモリセルにおけるレイアウトを示す図面代用写真である。

[図11]図3（C）に示した二次元アレイ回路のメモリセルにおけるレイアウトを示す図面代用写真である。

[図12]第1実施形態の三次元アレイ装置における選択トランジスタの $I_d - V_g$ 特性を示す図である。

[図13]第1実施形態の三次元アレイ装置における選択トランジスタの $I_d - V_d$ 特性を示す図である。

[図14]選択トランジスタとReRAMとで構成したメモリセルである「1T1R」セルのI-V特性と、ReRAMのみで構成したメモリセルである「1R」セルのI-V特性とを比較した図である。

[図15]図14に示すI-V特性から測定した「1T1R」セル及び「1R」セルのセット／リセット電圧の累積確率を示す図である。

[図16]図14に示したI-V特性から「1T1R」セルのI-V特性を抽出した図である。

[図17]図16に示すI-V特性から測定した「1T1R」セルの低抵抗状態及び高抵抗状態における抵抗値の累積確率を示す図である。

[図18]二次元アレイ回路における「1T1R」セルのI-V特性を示す図である。

[図19]図18に示す二次元アレイ回路のI-V特性から測定した低抵抗状態及び高抵抗状態における抵抗値の累積確率を示す図である。

[図20]室温における二次元アレイ回路の各ReRAMにおける書き換え耐久特性を示す図である。

[図21]室温における二次元アレイ回路の各ReRAMにおける保持特性を示す図である。

[図22]2つの「1T1R」セルを用いたXNOR回路の構成を示す回路図である。

[図23]第1実施形態のメモリセルで試作したメモリセルアレイの構成を示す写真である。

[図24]試作したXNOR回路の測定に用いた外部周辺回路の構成を示す写真である。

[図25]試作したXNOR回路の測定結果を示す図である。

[図26]第1実施形態の変形例における三次元アレイ装置の構成を示す拡大断面図である。

[図27]デジタル方式で演算処理を実行するメモリセルアレイ回路の構成を示す回路図である。

[図28]アナログ方式で演算処理を実行するメモリセルアレイ回路の構成を示す回路図である。

[図29]本発明の第3実施形態の三次元アレイ装置の構成を示す図である。

[図30]一般的なニューラルネットワークの構成を示す図である。

発明を実施するための形態

[0017] 以下、本発明の実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図面において、既出の図面に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0018] 本明細書において、ある1つの薄膜に対してエッチング等の加工処理を行うことにより形成された複数の要素（element）は、それぞれ異なる機能又は役割を有する場合がある。これらの複数の要素は、同一の層構造及び同一の材料の薄膜から構成される。本明細書及び特許請求の範囲では、同一の層構造及び同一の材料の薄膜から形成される複数の要素を「同一層の要素」と呼ぶ。

本明細書において、「2つの二次元アレイ回路が平面視において重畳する」とは、該二次元アレイ回路において、第1配線群の両端の配線と第2の配線群の両端の配線によって構成される四辺形が平面視において重なりを有することを意味する。重なる面積はいずれか片方の四辺形の面積を基準として50%以上が好ましく75%以上がより好ましく95%以上が最も好ましい。

[0019] 本明細書において、「入力部と出力部が平面視において重畳する」とは、該入力部に含まれるすべての入力端子を含む最小面積の四辺形と該出力部に含まれるすべての出力端子を含む最小面積の四辺形が平面視において重なりを有することを意味する。重なる面積はいずれか片方の四辺形の面積を基準

として50%以上が好ましく75%以上がより好ましく95%以上が最も好ましい。入力端子と出力端子とが垂直に接続される場合、例えば、シリコン貫通電極によるビア接続の場合は、100%が平面視において重畳することになる。

[0020] 本明細書において、図面に示した要素を説明する際には、その要素に付した符号を用いて説明を行う。このとき、同様の機能を備えた複数の要素については、同一の符号にアルファベット等の記号（例えば、「a」、「b」等）を付して区別する場合がある。しかしながら、各要素を区別して説明する必要がないときは、その要素を示す符号のみを用いて説明する場合がある。

[0021] 以下に説明する各実施形態において、測定又はシミュレーションの温度条件は、いずれも室温である。

[0022] (第1実施形態)

[三次元アレイ装置の構造]

図1は、本発明の第1実施形態の三次元アレイ装置10の構成を示す図である。図1に示すように、三次元アレイ装置10は、下層から順に、制御回路100、及び、二次元アレイ回路200a~200eを含む。制御回路100は、二次元アレイ回路200a~200eの各動作（例えば、信号の入出力）を制御する。図1では、5層の二次元アレイ回路を垂直方向に重ねた例を示すが、この例に限られるものではなく、2層以上の層構造とすることができる。ここで「垂直方向」とは、二次元アレイ回路を構成する平面に対して垂直な方向をいう。三次元アレイ装置10は、複数の二次元アレイ回路200a~200eを順次積層した構造体であるため、「垂直方向」は、「高さ方向」又は「上下方向」とも言える。以下の説明において、各二次元アレイ回路200a~200eを区別する必要がない場合は、二次元アレイ回路200と総称する。

[0023] 各二次元アレイ回路200は、ReRAM (Resistive Random Access Memory) をベースとしたメモリセルアレイ回路である。具体的には、二次元アレイ回路200は、アレイ状に配置された

複数のメモリセルを有し、各メモリセルにReRAMを含む。ただし、メモリセルに配置されるメモリは、ReRAMに限られるものではなく、MRAM (Magnetoresistive Random Access Memory)、FeRAM (Ferroelectric Random Access Memory)、PCRAM (Phase Change Random Access Memory) など、他の不揮発性メモリであってもよい。また、二次元アレイ回路200は、メモリセルアレイ回路に限らず、CMOSセンサアレイ回路などの他のアレイ型回路であってもよい。

[0024] 本実施形態では、三次元アレイ装置10を用いてインメモリコンピューティングを実現する。具体的には、各二次元アレイ回路200によりバイナリニューラルネットワーク（量子化されたニューラルネットワーク）を構成し、複数のバイナリニューラルネットワークを積層してディープニューラルネットワークを構成する。例えば、三次元アレイ装置10は、二次元アレイ回路200a、二次元アレイ回路200b～200d、並びに、二次元アレイ回路200eを、それぞれ入力層 (Input Layer)、隠れ層 (Hidden Layer) 及び出力層 (Output Layer) としたディープニューラルネットワークを構成してもよい。

[0025] 図1に示すように、各二次元アレイ回路200は、第1配線群210、第1配線群210に信号を入力する入力部215、第1配線群210と交差する第2配線群220、及び、第2配線群220から信号を出力する出力部225を有する。本実施形態において、第1配線群210は、複数のワード線で構成される。第2配線群220は、複数のビット線で構成される。メモリセルは、ワード線とビット線とが交差する交点に設けられる。すなわち、図示は省略するが、第1配線群210と第2配線群220とが交差する交差部には、メモリセルとして、少なくとも1つの抵抗変化型メモリ (ReRAM) と少なくとも1つの選択トランジスタが配置される。第1配線群210は、互いに平行な配線からなる配線群であることが好ましい。第2配線群22

0は、互いに平行な配線からなる配線群であることが好ましく、第1配線群210と互いに直交する配線群であることが好ましい。

[0026] 入力部215は、外部回路（他の二次元アレイ回路200を含む）から伝達された情報を二次元アレイ回路200に入力する部位である。具体的には、入力部215から入力された情報は、第1配線群210を構成する各ワード線を駆動する。本実施形態において、入力部215は、各ワード線に電氣的に接続された入力端子の集合体である。出力部225は、二次元アレイ回路200から外部回路（他の二次元アレイ回路200を含む）に情報を出力する部位である。具体的には、第2配線群220を介して伝達された情報が出力部225を経由して出力される。本実施形態において、出力部225は、各ビット線に電氣的に接続された出力端子の集合体である。

[0027] 図2は、第1実施形態の二次元アレイ回路200の構成を示す図である。図2に示すように、複数のワード線WLと複数のビット線BLとの交差部には、メモリセル230が配置される。本実施形態では、各メモリセル230は、選択トランジスタ232と抵抗変化型メモリ234とで構成される。抵抗変化型メモリ234は、ビット線BLと選択トランジスタ232との間に設けられる。選択トランジスタ232は、抵抗変化型メモリ234とソース線SLとの間に設けられる。ワード線WLは、選択トランジスタ232のゲートに接続される。ただし、メモリセル230の構成は、この例に限られるものではない。例えば、抵抗変化型メモリ234は、選択トランジスタ232とソース線SLとの間に配置されてもよい。

[0028] 図2では図示を省略するが、二次元アレイ回路200は、各メモリセル230に記憶した情報を読み出したり、各メモリセル230に情報を書き込んだりするための周辺回路を備えている。周辺回路は、ワード線WLを駆動するための周辺回路とビット線BLを駆動するための周辺回路とを含んでもよい。すなわち、図1に示す入力部215は、ワード線WLを駆動するための周辺回路を含んでもよい。また、出力部225は、ビット線BLを駆動するための周辺回路を含んでもよい。これらの周辺回路は、ラッチ回路、バッフ

ア回路、書き込み回路、プリチャージ回路及びアンプ回路から選択された少なくとも1つの回路を含んでもよい。該周辺回路は、例えばn型のIGZOのみからなる回路や、n型のIGZOとp型のSnOからなるCMOS回路で形成できる。また、周辺回路は、制御回路100上にSi-CMOSで形成しても良い。

[0029] 抵抗変化型メモリ234は、電界誘起巨大抵抗変化を示すCER層（以下、「抵抗変化層」ともいう。）の抵抗値を変化させることにより、1ビットの情報を記憶することができる。例えば、抵抗値が相対的に低い低抵抗状態（Low Resistance State: LRS）のときの情報を「0」とし、抵抗値が相対的に高い高抵抗状態（High Resistance State: HRS）のときの情報を「1」とする。ただし、該抵抗値と「0」又は「1」の情報との対応関係は逆であってもよい。

[0030] 各メモリセル230は、選択トランジスタ232のオン／オフ制御により個々に選択される。選択されたメモリセル230は、ビット線BL及びソース線SLに印加された電圧に応じて、情報の書き込み動作又は読み出し動作が行われる。本実施形態では、二次元アレイ回路200の入力部215に入力された信号に基づいてワード線WLが駆動され、ビット線BLを介してメモリセル230から読み出された信号に基づいて出力部225から出力される信号が決定される。

[0031] 図1に説明を戻す。二次元アレイ回路200aは、入力部215aに接続された第1配線群210a及び出力部225aに接続された第2配線群220aを有する。二次元アレイ回路200bは、入力部215bに接続された第1配線群210b及び出力部225bに接続された第2配線群220bを有する。二次元アレイ回路200cは、入力部215cに接続された第1配線群210c及び出力部225cに接続された第2配線群220cを有する。二次元アレイ回路200dは、入力部215dに接続された第1配線群210d及び出力部225dに接続された第2配線群220dを有する。二次元アレイ回路200eは、入力部215eに接続された第1配線群210e

及び出力部 225 e に接続された第 2 配線群 220 e を有する。

[0032] 本実施形態の三次元アレイ装置 10 は、下層から上層に向かって、90 度ずつ回転させながら二次元アレイ回路 200 a ~ 200 e を重ねた構造を有する。具体的には、三次元アレイ装置 10 は、平面視において、左回りに 90 度ずつ入力部 215 及び出力部 225 の位置が変化する。そのため、本実施形態の三次元アレイ装置 10 は、上層側の二次元アレイ回路 200 の入力部 215 と、下層側の二次元アレイ回路 200 の出力部 225 とが平面視において重畳する。

[0033] 図 3 は、二次元アレイ回路 200 における入力部 215 及び出力部 225 の位置の変化を示す模式図である。具体的には、図 3 (A)、図 3 (B) 及び図 3 (C) は、それぞれ二次元アレイ回路 200 a、二次元アレイ回路 200 b 及び二次元アレイ回路 200 c の構成を示す平面図である。

[0034] 図 1、図 3 (A) 及び図 3 (B) に示すように、二次元アレイ回路 200 b は、平面視において二次元アレイ回路 200 a を左回りに 90 度回転させた位置にある。この場合、二次元アレイ回路 200 a の出力部 225 a は、二次元アレイ回路 200 b の入力部 215 b と重畳する。また、図 1、図 3 (B) 及び図 3 (C) に示すように、二次元アレイ回路 200 c は、平面視において二次元アレイ回路 200 b を左回りに 90 度回転させた位置にある。この場合、二次元アレイ回路 200 b の出力部 225 b は、二次元アレイ回路 200 c の入力部 215 c と重畳する。図示は省略するが、二次元アレイ回路 200 c と二次元アレイ回路 200 d との関係、及び、二次元アレイ回路 200 d と二次元アレイ回路 200 e との関係も同様である。

[0035] 以上のように、本実施形態の三次元アレイ装置 10 は、下層から上層に向かって、入力部 215 及び出力部 225 の位置が螺旋状に変化する。具体的には、三次元アレイ装置 10 は、下層から上層に向かって、下層側の二次元アレイ回路を左回りに 90 度回転させた位置に上層側の二次元アレイ回路を配置した構造を有する。この場合、三次元アレイ装置 10 に入力された信号は、下層から上層に向かって進みながら演算される。ただし、三次元アレイ

装置 10 の構造は、この例に限られるものではない。例えば、三次元アレイ装置 10 は、上層から下層に向かって、上層側の二次元アレイ回路を右回りに 90 度回転させた位置に下層側の二次元アレイ回路を配置した構造を有していてもよい。すなわち、上層側の二次元アレイ回路 200 の出力部 225 は、下層側の二次元アレイ回路 200 の入力部 215 と電氣的に接続されている。この場合、三次元アレイ装置 10 に入力された信号は、上層から下層に向かって進みながら演算される。

[0036] また、図 1 において矢印で示すように、下層側の二次元アレイ回路 200 の出力は、上層側の二次元アレイ回路 200 の入力となる。すなわち、下層側の二次元アレイ回路 200 の出力部 225 は、上層側の二次元アレイ回路 200 の入力部 215 と電氣的に接続されている。このとき、上層側の二次元アレイ回路 200 の入力部 215 と下層側の二次元アレイ回路 200 の出力部 225 との間の電氣的な接続は、如何なる方法を用いてもよい。例えば、電氣的な接続方法として、前工程の配線層間を接続するビアによる接続や、TSV による接続などを用いてもよい。また、入力部 215 と出力部 225 とが電氣的に接続することは、入力部 215 に含まれる周辺回路（ワード線 WL を駆動するための周辺回路など）と出力部 225 に含まれる周辺回路（ビット線 BL を駆動するための周辺回路など）とが電氣的に接続されることを含む。なお、ここでは下層側の二次元アレイ回路 200 の出力部 225 と上層側の二次元アレイ回路 200 の入力部 215 とを、前工程の配線層間のビアによる電氣的な接続や TSV による電氣的な接続の例を示したが、この例に限られるものではない。例えば、下層側の二次元アレイ回路 200 の出力部 225 に面発光レーザを設け、上層側の二次元アレイ回路 200 の入力部 215 に受光素子を設けることにより、出力部 225 と入力部 215 とをシリコン貫通光インターコネクション（TSFV）により光学的に接続することも可能である。あるいは、下層と上層にインダクタを設けて電界または磁界結合による無線電波接続による方法も可能である。

[0037] 本実施形態では、下層側の二次元アレイ回路 200 の出力部 225 と上層

側の二次元アレイ回路200の入力部215とが垂直方向に重畳するため、出力部225と入力部215との間の配線長を最小限に抑えることができる。すなわち、この構造により、従来技術に比べて、配線長に起因する信号遅延や消費電力の増加を抑制することができ、低レイテンシで低エネルギー損失なニューラルネットワークを実現する三次元アレイ装置10を提供することができる。

[0038] [メモリセルの構成]

図4は、第1実施形態の三次元アレイ装置10におけるメモリセル230の構成を示す断面図である。前述のとおり、本実施形態において、メモリセル230は、選択トランジスタ232及び抵抗変化型メモリ234を含む。ただし、図4に示す構成は一例であり、この例に限られるものではない。

[0039] 図4において、基板21は、選択トランジスタ232及び抵抗変化型メモリ234を支持するベースとして機能する。本実施形態では、基板21として、シリコン基板を用いるが、ガラス基板、樹脂基板、金属基板、セラミックス基板等の他の基板を用いてもよい。また、基板21がシリコン基板の場合、シリコンCMOSによる集積回路が形成されていてもよい。絶縁層22は、下地層として機能する。本実施形態では、絶縁層22として酸化シリコン層を用いるが、この例に限られるものではない。

[0040] 絶縁層22の上には、ゲート電極23が設けられる。ゲート電極23は、選択トランジスタ232のボトムゲートとして機能するとともに、図2に示したワード線WLとして機能する。ゲート電極23は、チタン(Ti)で構成される第1金属層23-1と窒化チタン(TiN)で構成される第2金属層23-2との積層構造を有する。本実施形態では、第1金属層23-1の膜厚を5nmとし、第2金属層23-2の膜厚を20nmとするが、この例に限られるものではない。また、ゲート電極23は、単層構造であってもよいし、他の金属層を用いて構成してもよい。例えば、ゲート電極23の材料としては、タングステン、タンタル、モリブデン、アルミニウム、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いてもよい。ゲ

ート電極23は、例えばスパッタ法により形成することができる。

[0041] ゲート絶縁層24は、酸化ハフニウムを用いる。ただし、これに限らず、ゲート絶縁層24として、シリコン、アルミニウム等の酸化物又は窒化物を含む誘電体層を用いても良い。ゲート絶縁層24は、例えば250℃の温度下におけるALD (Atomic Layer Deposition) 法を用いて形成することができる。本実施形態では、ゲート絶縁層24の膜厚は8nmとするが、この例に限られるものではない。

[0042] チャネル層25は、選択トランジスタ232のチャネルとして機能する。本実施形態では、チャネル層25を構成する材料として、IGZOと呼ばれる金属酸化物を用いる。IGZOは、半導体特性を示す金属酸化物であり、インジウム、ガリウム、亜鉛、及び酸素で構成される化合物材料である。具体的には、IGZOは、In、Ga及びZnを含む酸化物、又は、このような酸化物の混合物である。IGZOの組成は、好ましくは、 $\text{In}_{2-x}\text{Ga}_x\text{O}_3(\text{ZnO})_m$ ($0 < x < 2$ 、 m は、0又は6未満の自然数)、より好ましくは、 $\text{InGaO}_3(\text{ZnO})_m$ (m は、0又は6未満の自然数)、最も好ましくは、 $\text{InGaO}_3(\text{ZnO})$ である。本実施形態では、チャネル層25として、8nmの膜厚のIGZO膜を用いる。IGZO膜は、室温の温度下におけるスパッタ法により形成することができる。IGZOに代えて、他の酸化物半導体、例えばInを含む酸化物、Znを含む酸化物、Snを含む酸化物、InとZnを含む酸化物、InとSnを含む酸化物、SnとZnを含む酸化物、InとSnとZnを含む酸化物、あるいはその他の元素からなる酸化物を、チャネル層を構成する材料として使用することもできる。

[0043] 本実施形態では、ゲート絶縁層24が誘電体層で構成され、チャネル層25がIGZO膜で構成される。そのため、ゲート絶縁層24とチャネル層25との界面における誘電率の低い界面層の形成が抑制され、トランジスタ特性の劣化を抑制することができる。このような誘電率の低い界面層は、チャネル層がシリコンである場合にゲート絶縁層24とチャネル層25との間に形成される場合がある。

[0044] ソース電極 26 及びドレイン電極 27 は、それぞれチャネル層 25 との電氣的な接続を得るための接続端子として機能する。本実施形態では、ソース電極 26 及びドレイン電極 27 として、20 nm の膜厚の窒化チタン層を用いる。窒化チタン層は、例えばスパッタ法により形成することができる。ただし、この例に限らず、ソース電極 26 及びドレイン電極 27 は、他の金属材料を用いて構成してもよい。なお、ソース電極 26 及びドレイン電極 27 は、それぞれに印加される電圧に応じて、機能が逆になる場合もある。すなわち、ソース電極 26 がドレイン電極として機能し、ドレイン電極 27 がソース電極として機能する場合がある。なお、ドレイン電極 27 は、後述するように、抵抗変化型メモリ 234 の下部電極として機能する。

[0045] 選択トランジスタ 232 は、絶縁層 28 で覆われている。本実施形態において、絶縁層 28 は、200 nm の膜厚の酸化シリコン層である。絶縁層 28 は、例えばプラズマ CVD 法又はスパッタ法により形成することができる。後述するように、本実施形態の三次元アレイ装置 10 は、複数のメモリセルアレイ回路を積層した構造を有する。そのため、絶縁層 28 は、下層側のメモリセルアレイ回路と上層側のメモリセルアレイ回路とを絶縁分離する機能を有する。また、絶縁層 28 は、選択トランジスタ 232 のチャネル層 25 を水分等から保護するパッシベーション層としても機能する。さらに、絶縁層 28 は、選択トランジスタ 232 に起因する起伏を平坦化する平坦化層としても機能する。ただし、絶縁層 28 を構成する材料は、酸化シリコンに限らず、他の絶縁材料（例えば、窒化シリコン等の無機材料、又は、ポリイミド、アクリル等の樹脂材料）を用いることができる。

[0046] 絶縁層 28 は、開口部 29 を有する。開口部 29 は、ドレイン電極 27 の上に設けられ、ドレイン電極 27 の表面を露出させる。開口部 29 は、例えばフォトリソグラフィにより形成することができる。本実施形態では、開口部 29 の径を 3 μ m とするが、この例に限られるものではない。

[0047] 開口部 29 の側壁及び底部には、抵抗変化層 30 が設けられる。抵抗変化層 30 は、酸化ハフニウムを含む誘電体層で構成され、抵抗変化型メモリ 2

34のCER層として機能する。本実施形態では、抵抗変化層30として誘電体層をパターンニングせずに用いているが、開口部29を覆うパターンに加工して用いてもよい。

[0048] 抵抗変化層30の上には、開口部29を覆うように上部電極31が設けられる。上部電極31は、抵抗変化型メモリ234の電極として機能するとともに、図2に示したビット線BLとして機能する。本実施形態において、上部電極31は、上層側のメモリセルアレイ回路における選択トランジスタ232のゲート電極23と同一層の金属層で構成される。すなわち、上部電極31は、チタン(Ti)で構成される第1金属層31-1と窒化チタン(TiN)で構成される第2金属層31-2との積層構造を有する。この場合も、ゲート電極23と同様に、例えばスパッタ法により形成することができる。

[0049] 以上のように、絶縁層28に設けられた開口部29の内側には、下部電極(ドレイン電極27の一部)、抵抗変化層30及び上部電極31で構成される抵抗変化型メモリ234が形成される。抵抗変化型メモリ234は、ドレイン電極27を介して選択トランジスタ232に接続される。以上説明したメモリセル230は、図2に示したとおり、ワード線WLをゲートとする選択トランジスタ232と、選択トランジスタ232とビット線BLとの間に配置された抵抗変化型メモリ234とを含む。

[0050] 本実施形態の三次元アレイ装置10は、上述したメモリセル230をアレイ状に配置したメモリセルアレイ回路(二次元アレイ回路200)を積層することにより構成されている。具体的には、三次元アレイ装置10は、図4に示したメモリセル230を垂直方向に積層したデバイス構造を有する。

[0051] 図5は、第1実施形態の三次元アレイ装置10の構成を示す拡大断面図である。具体的には、基板21上に、二次元アレイ回路200a~200cまでを形成した状態を示している。図5に示すように、二次元アレイ回路200a~200cは、薄膜形成プロセスを用いて基板21上に積層される。このとき、各二次元アレイ回路200a~200cの選択トランジスタ232

a～232cは、それぞれ絶縁層28a～28cを介して分離される。

[0052] また、図5に示すように、二次元アレイ回路200aの抵抗変化型メモリ234aにおける上部電極31aは、二次元アレイ回路200bの選択トランジスタ232bにおけるゲート電極23bと同一層の金属層で構成される。すなわち、上部電極31aとゲート電極23bとは、同一構造かつ同一材料の金属層で構成される。同様に、二次元アレイ回路200bの抵抗変化型メモリ234bにおける上部電極31bは、二次元アレイ回路200cの選択トランジスタ232cにおけるゲート電極23cと同一層の金属層で構成される。換言すれば、本実施形態では、下層側の二次元アレイ回路200のビット線BL（第2配線群220）と上層側の二次元アレイ回路200のワード線WL（第1配線群210）とが同一層の金属層で構成される。

[0053] 図6は、図3（A）に示した二次元アレイ回路200aのメモリセル230aにおけるレイアウトを示す図面代用写真である。図7は、図6に示したメモリセル230aにおけるレイアウトを模式的に示す平面図である。

[0054] 図6及び図7において、ワード線WL1は、図5のゲート電極23aに対応し、ビット線BL1は、図5の上部電極31aに対応する。メモリセル230aは、ワード線WL1とビット線BL1の交差部に、FET1及びReRAM1を有する。図5を用いて説明したように、ReRAM1は、絶縁層28aに設けられた開口部29aの内側に位置する。図6において、矢印で示す円形の部分が、開口部29aに対応する。ただし、この例に限られるものではなく、開口部29aの形状は、多角形であってもよい。

[0055] ソース線SL1は、ワード線WL1と平行に延在する。図7に示すように、ソース線SL1は、FET1（図5の選択トランジスタ232a）のソース電極26aと一体に形成される。また、ReRAM1（図5の抵抗変化型メモリ234a）の下部電極は、FET1（図5の選択トランジスタ232a）のドレイン電極27aと一体に形成される。ワード線WL2は、ビット線BL1と同一層に形成された配線であり、図5における選択トランジスタ232bのゲート電極23bに対応する。

[0056] 図8は、図6に示すFET1のチャネル近傍の断面構造を示す図面代用写真である。具体的には、図8は、図5に示した選択トランジスタ232aにおけるチャネル近傍の断面構造を示している。図8に示すように、下層から順に、ゲート電極23aを構成する窒化チタン層、ゲート絶縁層24aを構成する酸化ハフニウムを含む誘電体層、チャネル層25aを構成するIGZO層、及び絶縁層28aを構成する酸化シリコン層が均一に形成されている。

[0057] 図9は、図6に示すReRAM1の断面構造を示す図面代用写真である。具体的には、図9は、図5に示した抵抗変化型メモリ234aの断面構造を示している。図9に示すように、下層から順に、ドレイン電極27aを構成する窒化チタン層、抵抗変化層30aを構成する酸化ハフニウムを含む誘電体層、並びに、上部電極31aを構成するチタン層及び窒化チタン層が均一に形成されている。後述するように、本実施形態では、チタン層と酸化ハフニウムを含む誘電体層とが接する構造とすることにより、誘電体層の内部に酸素空孔によるフィラメントを形成する。

[0058] 図10は、図3(B)に示した二次元アレイ回路200bのメモリセル230bにおけるレイアウトを示す図面代用写真である。図11は、図3(C)に示した二次元アレイ回路200cのメモリセル230cにおけるレイアウトを示す図面代用写真である。図10に示すメモリセル230bの下層には、図6に示したメモリセル230aが配置されている。図11に示すメモリセル230cの下層には、下層から順に、図6に示したメモリセル230aと、図10に示したメモリセル230bが配置されている。図6、図10及び図11に示すレイアウトは、それぞれ図3(A)、図3(B)及び図3(C)に対応しており、平面視において、左回りに90度ずつ回転した位置関係になっている。

[0059] 以上説明したように、本実施形態の三次元アレイ装置10は、通常の薄膜形成プロセスを用いて複数の二次元アレイ回路200（複数のメモリセル回路）を積層することにより構成される。本実施形態では、選択トランジスタ

232のチャネル層25として室温で形成可能なIGZO層を用いるため、400度以下の低温プロセスで三次元アレイ装置10を形成することができる。また、IGZO層をチャネル層25として用いた選択トランジスタ232は、メモリセル230を駆動するのに十分な移動度を有する。したがって、本実施形態によれば、ディープニューラルネットワークを用いたAIアプリケーションにおけるインメモリコンピューティングを実現する三次元アレイ装置10を提供することができる。

[0060] [三次元アレイ装置の特性]

本実施形態の三次元アレイ装置10を構成する選択トランジスタ232、又は、抵抗変化型メモリ234の特性について以下に示す。

[0061] 図12は、第1実施形態の三次元アレイ装置10における選択トランジスタ232a~232cの I_d-V_g 特性を示す図である。「1st」は、図6に示した第1番目の二次元アレイ回路200aにおける選択トランジスタ232aの特性を示す。「2nd」は、図10に示した第2番目の二次元アレイ回路200bにおける選択トランジスタ232bの特性を示す。「3rd」は、図11に示した第3番目の二次元アレイ回路200cにおける選択トランジスタ232cの特性を示す。ソースドレイン間の電圧(V_d)は、50mV又は2Vに設定した。また、チャネル幅及びチャネル長は、それぞれ100 μm 及び10 μm に設定した。図12には、 I_d-V_g 特性から求めたサブスレッショルド係数(SS)も示す。

[0062] 図13は、第1実施形態の三次元アレイ装置10における選択トランジスタ232a~232cの I_d-V_d 特性を示す図である。「1st」、「2nd」及び「3rd」の意味は、図12と同様である。チャネル幅及びチャネル長は、それぞれ100 μm 及び10 μm に設定した。ゲート電圧(V_g)は、0.5V、1V、1.5V又は2Vに設定した。

[0063] 図12及び図13に示すように、選択トランジスタ232a~232cは、いずれも、ほぼ同じ伝達特性及び出力特性を示しており、三次元集積化プロセスによる劣化は見られない。選択トランジスタ232a~232cは、

いずれも $200\ \mu\text{A}$ 以上の駆動電流が得られた。このように、本実施形態では、選択トランジスタ 232 a ~ 232 c として、オフ電流が小さく、オンオフ比が大きく、かつ、電流駆動力が十分大きなトランジスタ（具体的には、IGZO層をチャネル層とするトランジスタ）を用いることにより、スイッチング特性に優れたメモリセルを構成することができる。

[0064] 図14は、選択トランジスタ232とReRAM234とで構成したメモリセル（以下、「1T1R」セルと記す）のI-V特性と、ReRAM234のみで構成したメモリセル（以下、「1R」セルと記す）のI-V特性とを比較した図である。「1T1R」セル及び「1R」セルのいずれのI-V特性も、複数回の測定結果を重ねて表示したものであり、測定サイクル間のばらつきを示している。ここで電圧はソース電極26を接地して上部電極31に印加し、1Rセルのセット／リセット電圧の掃引範囲は $1\text{V} / -1.5\text{V}$ とし、1T1Rセルのセット／リセット電圧の掃引範囲は $1.5\text{V} / -1.8\text{V}$ とした。図14において、ReRAM234のサイズは、いずれのメモリセルについても $3\ \mu\text{m} \times 3\ \mu\text{m}$ とした。また、1T1Rセルの選択トランジスタ232において、セット／リセット動作時のゲート電圧は、 $2.5 / 1.5\text{V}$ とした。

[0065] 図14に示すように、「1T1R」セルのオン電流は、「1R」セルのオン電流よりも小さい。「1T1R」セルは、ReRAM234に接続された選択トランジスタ232が直列抵抗として振る舞う。したがって、「1T1R」セルのオン電流が相対的に小さく測定された理由は、選択トランジスタ232に起因する直列抵抗の影響であると考えられる。

[0066] 図15は、図14に示すI-V特性から測定した「1T1R」セル及び「1R」セルのセット／リセット電圧の累積確率を示す図である。図15は、「1T1R」セル及び「1R」セルのセット／リセット電圧の測定サイクル間のばらつきを示している。図15に示すように、セット電圧に関しては、「1T1R」セルと「1R」セルとで殆ど差異はなかった。しかしながら、リセット電圧に関しては、「1R」セルよりも「1T1R」セルの方が絶対

値の大きいリセット電圧を示した。この理由は、セット時には $R_{eRAM234}$ が高抵抗状態にあるので選択トランジスタ 232 に起因する電圧低下を無視できるが、リセット時には $R_{eRAM234}$ が低抵抗状態にあるので選択トランジスタ 232 に起因する直列抵抗を $R_{eRAM234}$ の抵抗に対して無視できなくなるからである。したがって、「1T1R」セルの低電圧動作及び小面積化のためには、選択トランジスタ 232 の移動度を上げて直列抵抗の値を下げるのが望ましいと言える。

[0067] 図 16 は、図 14 に示した $I-V$ 特性から「1T1R」セルの $I-V$ 特性を抽出した図である。図 16 に示すように、「1T1R」セルは、「LRS」で示す領域において低抵抗状態であり、「HRS」で示す領域において高抵抗状態である。図 17 は、図 16 に示す $I-V$ 特性から測定した「1T1R」セルの低抵抗状態及び高抵抗状態における抵抗値の累積確率を示す図である。図 17 は、「1T1R」セルの抵抗値の測定サイクル間のばらつきを示している。読み出し電圧は、0.1V に設定した。

[0068] 図 16 及び図 17 から明らかなように、「1T1R」セルの $I-V$ 特性は、高抵抗状態において測定サイクル間のばらつきが見られる。これに対し、低抵抗状態における抵抗値は、ほぼ一様な分布を示している。この現象は、高抵抗状態におけるフィラメントの解離のばらつきに起因するものであると考えられる。

[0069] 図 18 は、二次元アレイ回路 200a~200c における「1T1R」セルの $I-V$ 特性を示す図である。図 18 において、「1st layer」、「2nd layer」及び「3rd layer」は、それぞれ二次元アレイ回路 200a~200c を意味する。図 18 に示す各 $I-V$ 特性は、単一のデバイスあたり複数回測定した結果の平均値を 11 個のデバイスに対してプロットしたグラフである。すなわち、図 18 に示す $I-V$ 特性のばらつきは、デバイス間のばらつきを示している。図 18 において、セット／リセット動作時のゲート電圧は、2.5/1.5V とした。図 18 に示すように、二次元アレイ回路 200a~200c の間では、特に $I-V$ 特性の大き

な差異は見られなかった。

[0070] 図19は、図18に示す二次元アレイ回路200a~200cのI-V特性から測定した低抵抗状態及び高抵抗状態における抵抗値の累積確率を示す図である。図19は、各レイヤにおける「1T1R」セルの抵抗値のデバイス間のばらつきを示している。読み出し電圧は、0.1Vに設定した。図19に示す結果から、二次元アレイ回路200a~200cにおいて、LRS状態の抵抗とHRS状態の抵抗との比が10より大きい範囲はほぼ同じ分布を示している。これにより、三次元積層プロセスによるメモリ特性の劣化が見られないことがわかった。

[0071] 図20は、室温における二次元アレイ回路200a~200cの各ReRAMにおける書き換え耐久特性を示す図である。図20に示す耐久特性は、パルス幅が1 μ s、Set/Reset電圧が1V/-1.5Vであるサイクル試験で測定した。図20に示すように、各層のReRAMにおいて、10⁵回のSet/Resetサイクル後の劣化は認められなかった。また3つの層で書き換え耐久特性の差異は見られなかった。図21は、室温における二次元アレイ回路200a~200cの各ReRAMにおける保持特性を示す図であり、各層のReRAMにおいて12時間後の劣化は認められなかった。また3つの層で保持特性の差異は見られなかった。図20及び図21に示すように、二次元アレイ回路200a~200cの間に大きな差異は見られず、三次元的に集積化したことによる信頼性の低下は見られなかった。

[0072] 本発明者らは、図4に示した構造を有するメモリセル230（「1T1R」セル）を用いたXNOR回路を実際に試作した。

[0073] 図22は、2つの「1T1R」セルを用いたXNOR回路の構成を示す回路図である。図23は、第1実施形態のメモリセル230で試作したメモリセルアレイの構成を示す写真である。図24は、試作したXNOR回路の測定に用いた外部周辺回路の構成を示す写真である。図25は、試作したXNOR回路の測定結果を示す図である。具体的には、図25（A）は、図22に示す回路図において、（R, R'）=（High, Low）の場合の結果

であり、図25(B)は、図22に示す回路図において、 $(R, R') = (\text{Low}, \text{High})$ の場合の結果である。測定の際、プリチャージ電圧 (V_{PC}) = 0.3 V、基準電圧 (V_{REF}) = 0.1 V、ワード線電圧 (V_{WL}) = 1.5 Vとした。また、外部周辺回路の電源電圧は、3.3 Vとした。

[0074] 図22に示すXNOR回路において、重みビット (W) は、相補的に2つのReRAMに書き込まれる。入力ビット (x) は、相補的に2つのワード線 (WL) に印加される。また、ビット線 (BL) 上のキャパシタ (V_{BL}) は、プリチャージスイッチ (PC) を介してプリチャージされる。プリチャージされたキャパシタは、与えられた重みビット (W) と入力ビット (x) に応じて、低速又は高速で放電される。一定時間後、ビット線 (BL) の電圧がコンパレータ ($comp.$) にて基準電圧 (V_{REF}) と比較されて二値化され、最終的な出力ビット (y) が得られる。

[0075] このように、XNOR回路では、2つの「1T1R」セルに相補的に書き込まれた2つの抵抗値 (R, R') の差とワード線の電圧の組み合わせに応じてキャパシタの放電速度が異なることを利用して、バイナリデータを出力する動作が実行される。例えば、 $W=0$ の場合、 R は低抵抗状態 (LR) にセットされ、 R' は高抵抗状態 (HR) にリセットされる。このとき、 $x=0$ の場合、高抵抗状態にリセットされたReRAMが選択されるため、キャパシタの放電速度は遅くなる。逆に、 $x=1$ の場合、低抵抗状態にセットされたReRAMが選択されるため、キャパシタの放電速度は速くなる。そのため、放電時間と基準電圧とを適切に設定することにより、ビット線 (BL) の電圧を検出してコンパレータから基準電圧との比較結果を出力することができる。

[0076] 図25に示すように、入力ビット (x) と重みビット (W) とが同じ場合 ($x=W=0$ の場合、又は、 $x=W=1$ の場合)、放電速度は遅くなり、放電開始から一定時間経過後のビット線 (BL) の電圧は、基準電圧 (V_{REF}) よりも高いままである。その結果、コンパレータからは「1」が出力される。また、入力ビット (x) と重みビット (W) とが異なる場合 ($x=0, W$

= 1 の場合、又は、 $x = 1$ 、 $W = 0$ の場合）、放電速度は速くなり、該一定時間経過後のビット線（BL）の電圧は、基準電圧（ V_{REF} ）よりも低くなる。その結果、コンパレータからは「0」が出力される。このような動作により、図 22 に示す真理値表で表される XNOR 演算が行われる。

[0077] 以上のように、本実施形態のメモリセル 230 を用いて試作された XNOR 回路において、正常な XNOR 動作が確認された。

[0078] （第 1 実施形態の変形例）

図 4 及び図 5 では、選択トランジスタ 232 としてボトムゲート型トランジスタを用いた例を示したが、この例に限られるものではなく、トップゲート型トランジスタを用いてもよい。また、図 5 では、下層の抵抗変化型メモリ 234 の上部電極 31 が該下層に隣接する上層の選択トランジスタ 232 のゲート電極 23 と同一層の要素である例を示したが、これらが別の層から形成され絶縁層を介して分離された要素であっても良い。

[0079] 図 26 は、第 1 実施形態の変形例における三次元アレイ装置 10 の構成を示す拡大断面図である。具体的には、基板 41 上に、トップゲート構造の選択トランジスタ 232 を有する二次元アレイ回路 200a ~ 200c までを形成した状態を示している。図 26 に示すように、二次元アレイ回路 200a ~ 200c は、薄膜形成プロセスを用いて基板 41 上に積層される。このとき、各二次元アレイ回路 200a ~ 200c は、それぞれ絶縁層 43 及び 44 を介して分離される。本変形例では、絶縁層 43 及び 44 を構成する材料として酸化シリコンを用いるが、この例に限らず、他の絶縁材料（例えば、窒化シリコン等の無機材料、又は、ポリイミド、アクリル等の樹脂材料）を用いることができる。

[0080] 図 26 において、基板 41 はシリコン基板であり、絶縁層 42 は酸化シリコン層である。基板 41 及び絶縁層 42 としては、図 4 に示した基板 21 及び絶縁層 22 と同様の材料を用いることができる。基板 41 がシリコン基板の場合にはシリコン CMOS による集積回路が形成されていてもよい。図 26 では、説明を簡単にするため、基板 41 及び絶縁層 42 の上に二次元アレ

イ回路200a~200cを積層した例を示すが、実際には、二次元アレイ回路200cの上に、二次元アレイ回路200d及び200eが積層される。各二次元アレイ回路200a~200cは、同様の構造を有しているため、以下の説明では、二次元アレイ回路200aの具体的構造について説明する。

[0081] 図26に示すように、絶縁層42の上には、チャネル層51a、ゲート絶縁層52a、ゲート電極53a及びサイドウォール54aが設けられる。本変形例では、チャネル層51a、ゲート絶縁層52a、ゲート電極53a及びサイドウォール54aを構成する材料として、それぞれIGZO、酸化ハフニウム、タンタル及び酸化シリコンを用いる。ただし、この例に限らず、チャネル層51a、ゲート絶縁層52a及びゲート電極53aを構成する材料としては、図4に示したチャネル層25、ゲート絶縁層24及びゲート電極23と同様の材料を用いることができる。また、サイドウォール54aを構成する材料としては、酸化シリコン以外の絶縁層を用いてもよい。ゲート電極53aは、選択トランジスタ232のトップゲートとして機能するとともに、ワード線WLとして機能する。

[0082] チャネル層51a、ゲート絶縁層52a、ゲート電極53a及びサイドウォール54aを覆う絶縁層55aの上には、ソース電極56aが設けられる。ソース電極56aは、絶縁層55aに形成されたコンタクトホールを介してチャネル層51aに接続される。本変形例では、絶縁層55a及びソース電極56aを構成する材料として、それぞれ酸化シリコン及び窒化タンタルを用いるが、この例に限られるものではない。図示は省略するが、ソース電極56aは、ソース線SLに接続される。なお、ゲート電極とソース／ドレイン電極は自己整合していることが好ましい。

[0083] ソース電極56aの上には、絶縁層57aが設けられる。絶縁層55a及び絶縁層57aには、両者を貫通するビアホールが形成され、その内側にビア58aが設けられる。本変形例では、ビア58aを構成する材料として窒化タンタルを用いるが、この例に限られるものではない。絶縁層57a及び

ビア58aの上面は、例えばCMP（Chemical Mechanical Polishing）を用いて平坦化されている。

[0084] 絶縁層57aの上には、抵抗変化型メモリ234aが設けられる。本変形例において、抵抗変化型メモリ234aは、下部電極59a、抵抗変化層60a、第1金属層61-1a及び第2金属層61-2aで構成される。第1金属層61-1a及び第2金属層61-2aで構成される積層電極は、抵抗変化型メモリ234aの上部電極61aとして機能する。本変形例において、下部電極59a、抵抗変化層60a、第1金属層61-1a及び第2金属層61-2aを構成する材料は、それぞれ窒化チタン、酸化ハフニウム、チタン及び窒化チタンである。ただし、この例に限られるものではなく、下部電極59a及び上部電極61aは、他の金属材料で構成してもよいし、抵抗変化層60aは、他の絶縁材料で構成してもよい。

[0085] 本変形例において、抵抗変化型メモリ234aは、ピラー型と呼ばれる構造を有する。このようなピラー型の抵抗変化型メモリ234aは、例えば、下層から順に、窒化チタン層、酸化ハフニウム層、チタン層及び窒化チタン層を積層した後、一括してエッチングすることにより形成することができる。

[0086] また、本変形例において、抵抗変化型メモリ234aは、側面が絶縁層62aで覆われている。このような構造は、上述の方法で形成した抵抗変化型メモリ234aを絶縁層62aで覆った後、第2金属層61-2aの上面が露出するまでCMP等により絶縁層62aの膜厚を減らせばよい。ただし、この例に限らず、抵抗変化型メモリ234aは如何なる方法で形成してもよい。

[0087] 絶縁層62aの上には、配線63aが設けられる。配線63aは、ビット線BLとして機能する。本変形例では、配線63aを構成する材料としてタングステンを用いるが、この例に限られるものではない。配線63aを構成する材料としては、ゲート電極53aと同様の材料を用いることができる。

[0088] 以上説明した構造を有する二次元アレイ回路200aの上には、絶縁層4

3を介して二次元アレイ回路200bが設けられる。二次元アレイ回路200bの構造は、二次元アレイ回路200aと同様であり、同じ数字が付してある要素は、同じ機能を有する。図3を用いて説明したように、二次元アレイ回路200aと二次元アレイ回路200bとは、互いに90度回転した位置関係を有する。そのため、図26に示すように、二次元アレイ回路200aのワード線WL（ゲート電極53a）は、二次元アレイ回路200bのワード線WL（ゲート電極53b）と略直交する。同様に、二次元アレイ回路200aのビット線BL（配線63a）は、二次元アレイ回路200bのビット線BL（配線3b）と略直交する。

[0089] 上述の二次元アレイ回路200aと二次元アレイ回路200bとの関係は、二次元アレイ回路200bと二次元アレイ回路200aとの間でも同様であるため、具体的な説明は省略する。

[0090] 以上のように、二次元アレイ回路200a～200cの間には、絶縁層43及び44が介在している。したがって、例えば、二次元アレイ回路200aの出力部は、二次元アレイ回路200bの入力部と絶縁層43に設けられたビア（図示せず）を介して電氣的に接続される。同様に、二次元アレイ回路200bの出力部は、二次元アレイ回路200cの入力部と絶縁層44に設けられたビア（図示せず）を介して電氣的に接続される。このように、本変形例では、下層側の二次元アレイ回路の出力部と上層側の二次元アレイ回路の入力部とが、両者の間の絶縁層に設けられたビアを介して電氣的に接続される。そのため、下層側の二次元アレイ回路の出力部と上層側の二次元アレイ回路の入力部との間の配線距離を短くすることができ、配線遅延とエネルギー損失の影響を抑制することができる。

[0091] （第2実施形態）

第1実施形態では、二次元アレイ回路200によりバイナリニューラルネットワークを構成することを想定している。そのため、各二次元アレイ回路200の入力及び出力は、デジタル信号（バイナリデータ）を用いたデジタル方式で処理される。

- [0092] 図27は、デジタル方式で演算処理を実行するメモリセルアレイ回路の構成を示す回路図である。図27に示すメモリセルアレイ回路では、ビット線BLの出力端にコンパレータ240が配置される。コンパレータ240は、ビット線BLの出力データと参照データ(V_{REF})とを比較した結果を出力する回路である。図27に示す例では、コンパレータ240に入力されたビット線BLの出力データに応じて、1ビットのデジタル信号を出力する。
- [0093] 他方、二次元アレイ回路200は、デジタル方式に限らず、入力及び出力をアナログ信号で行い、アナログ方式で演算処理を実行することも可能である。
- [0094] 図28は、アナログ方式で演算処理を実行するメモリセルアレイ回路の構成を示す回路図である。具体的には、図28に示す例では、アナログ方式で積和演算を実行する構成を示している。図28に示すメモリセルアレイ回路では、ビット線BLの出力端にアナログアンプ回路250が配置される。アナログアンプ回路250は、ビット線BLの出力信号を、アナログ信号として出力することで積和演算の結果を出力する。なお、アナログアンプ回路250において、入力端子と出力端子との間に接続されたインピーダンスは、抵抗(R)であってもよいし、キャパシタ(C)であってもよい。
- [0095] 図28に示すアナログ方式の演算回路を実装した二次元アレイ回路200を用いて三次元アレイ装置10を構成した場合、出力部225から出力されたアナログ信号は、上層の二次元アレイ回路200の入力部215に入力される。入力部215では、入力されたアナログ信号をそのままワード線WLに入力することもできるが、A/D変換してパルス幅変調した変調信号とし、ワード線WLに入力することもできる。このように、ワード線WLに入力されたアナログ入力信号または変調信号の入力パルス時間とメモリセル230の抵抗値に応じてビット線に信号を出力し、アナログ方式で積和演算を行うことができる。
- [0096] 以上のように、第1実施形態で説明した三次元アレイ装置10は、デジタル方式及びアナログ方式のいずれの方法でも演算処理を実行することが可能

である。

[0097] (第3実施形態)

第3実施形態では、第1実施形態とは異なる構造の三次元アレイ装置10aについて説明する。なお、図面を用いた説明において、第1実施形態と共通する部分については、第1実施形態と同じ符号を付すことにより詳細な説明を省略する場合がある。

[0098] 図29は、本発明の第3実施形態の三次元アレイ装置10aの構成を示す図である。図29に示すように、三次元アレイ装置10aは、下層から順に、制御回路100、及び、二次元アレイ回路300a～300eを含む。制御回路100は、二次元アレイ回路300a～300eの各動作を制御する。図29では、5層の二次元アレイ回路を重ねた例を示すが、この例に限られるものではなく、2層以上の層構造とすることができる。以下の説明において、各二次元アレイ回路300a～300eを区別する必要がない場合は、二次元アレイ回路300と総称する。

[0099] 各二次元アレイ回路300は、第1実施形態と同様に、ReRAMをベースとしたメモリセルアレイ回路である。各二次元アレイ回路300は、第1配線群310、第1配線群310に信号を入力する入力部315、第1配線群310と交差する第2配線群320、及び、第2配線群320から信号を出力する出力部325を有する。本実施形態において、第1配線群310は、複数のワード線で構成される。第2配線群320は、複数のビット線で構成される。メモリセルは、ワード線とビット線とが交差する交点に設けられる。すなわち、図示は省略するが、第1配線群310と第2配線群320とが交差する交差部には、メモリセルとして、少なくとも1つの抵抗変化型メモリ(ReRAM)と少なくとも1つの選択トランジスタが配置される。

[0100] 入力部315及び出力部325の機能は、第1実施形態の入力部215及び出力部225と同様である。すなわち、入力部315には、ワード線WLを駆動するための周辺回路が含まれてもよく、出力部325には、ビット線BLを駆動するための周辺回路が含まれてもよい。また、入力部315と出

力部 325 とが電氣的に接続することは、入力部 315 に含まれる周辺回路（ワード線 WL を駆動するための周辺回路）と出力部 325 に含まれる周辺回路（ビット線 BL を駆動するための周辺回路）とが電氣的に接続されることを含む。

[0101] 本実施形態の三次元アレイ装置 10a は、下層から上層に向かって、入力部 315 と出力部 325 の位置が入れ替わるように二次元アレイ回路 300a ~ 300e を重ねた構造を有する。具体的には、三次元アレイ装置 10a は、平面視において、入力部 315 と出力部 325 とが垂直方向に交互に配置される。そのため、本実施形態の三次元アレイ装置 10a は、上層側の二次元アレイ回路 300 の入力部 315 と、下層側の二次元アレイ回路 300 の出力部 325 とが平面視において重畳する。

[0102] また、図 29 において矢印で示すように、下層側の二次元アレイ回路 300 の出力は、上層側の二次元アレイ回路 300 の入力となる。すなわち、下層側の二次元アレイ回路 300 の出力部 325 は、上層側の二次元アレイ回路 300 の入力部 315 と電氣的に接続されている。このとき、上層側の二次元アレイ回路 300 の入力部 315 と下層側の二次元アレイ回路 300 の出力部 325 との間の電氣的な接続は、如何なる方法を用いてもよい。

[0103] 本実施形態では、下層側の二次元アレイ回路 300 の出力部 325 と上層側の二次元アレイ回路 300 の入力部 315 とが垂直方向に重畳するため、出力部 325 と入力部 315 との間の配線長を最小限に抑えることができる。すなわち、この構造により、従来技術に比べて、配線長に起因する信号遅延や消費電力の増加を抑制することができ、低レイテンシで低エネルギー損失のニューラルネットワークを実現する三次元アレイ装置 10a を提供することができる。

[0104] （第 4 実施形態）

上述の実施形態では、三次元アレイ装置を構成する各層に 1 つの二次元アレイ回路を含む例を示したが、この例に限られるものではない。例えば、三次元アレイ装置は、三次元方向に m 層（m は自然数）回路群を積層した構造

を有し、各層に n 個（ n は自然数）の二次元アレイ回路を有していてもよい。すなわち、本実施形態の三次元アレイ装置は、 $m \times n$ 個の二次元アレイ回路を電氣的に接続した構成としてもよい。

[0105] 各層に設けられた n 個の二次元アレイ回路は、前段の二次元アレイ回路の出力と後段の二次元アレイ回路の入力とが電氣的に接続される。また、下側の層における最終段の二次元アレイ回路の出力部は、隣接する上側の層における最初の二次元アレイ回路の入力部と平面視にて重畳するとともに電氣的に接続される。 m と n の値は、フットプリントの増大と多層化によるコストの増加とを考慮して、適宜設計することができる。

[0106] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。各実施形態の不揮発性記憶素子又は不揮発性記憶装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0107] また、上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0108] 10、10a…三次元アレイ装置、21…基板、22…絶縁層、23…ゲート電極、23-1…第1金属層、23-2…第2金属層、24…ゲート絶縁層、25…チャンネル層、26…ソース電極、27…ドレイン電極、28…絶縁層、29…開口部、30…抵抗変化層、31…上部電極、31-1…第1金属層、31-2…第2金属層、100…制御回路、200…二次元アレイ回路、210…第1配線群、215…入力部、220…第2配線群、225…出力部、230…メモリセル、232…選択トランジスタ、234…抵抗変化型メモリ、240…コンパレータ、250…アナログアンプ回路、3

00…二次元アレイ回路、310…第1配線群、315…入力部、320…第2配線群、325…出力部、41…基板、42～44…絶縁層、51a～51c…チャンネル層、52a～52c…ゲート絶縁層、53a～53c…ゲート電極、54a～54c…サイドウォール、55a～55c…絶縁層、56a～56c…ソース電極、57a～57c…絶縁層、58a～58c…ビア、59a～59c…下部電極、60a～60c…抵抗変化層、61-1a～61-1c…第1金属層、61-2a～61-2c…第2金属層、61a～61c…上部電極、62a～62c…絶縁層、63a～63c…配線

請求の範囲

[請求項1]

高さ方向に複数の層を有する三次元アレイ装置であって、
第1の層に位置する第1の二次元アレイ回路と、
前記第1の層に隣接する第2の層に位置し、前記第1の二次元アレイ回路と平面視において重畳する第2の二次元アレイ回路と、
を備え、
前記第1の二次元アレイ回路及び前記第2の二次元アレイ回路は、それぞれ、第1配線群、前記第1配線群に信号を入力する入力部、前記第1配線群と交差する第2配線群、及び、前記第2配線群から信号を出力する出力部を有し、
前記第1の二次元アレイ回路における前記出力部は、前記第2の二次元アレイ回路における前記入力部と平面視において重畳するとともに信号受け渡し可能に接続される、三次元アレイ装置。

[請求項2]

高さ方向に複数の層を有する三次元アレイ装置であって、
第1の層に位置する第1の二次元アレイ回路と、
前記第1の層に隣接する第2の層に位置し、前記第1の二次元アレイ回路と平面視において重畳する第2の二次元アレイ回路と、
を備え、
前記第1の二次元アレイ回路及び前記第2の二次元アレイ回路は、それぞれ、第1配線群、前記第1配線群に信号を入力する入力部、前記第1配線群と交差する第2配線群、及び、前記第2配線群から信号を出力する出力部を有し、
前記第1の二次元アレイ回路における前記出力部は、前記第2の二次元アレイ回路における前記出力部よりも前記第2の二次元アレイ回路における前記入力部の近くに位置するとともに、前記第2の二次元アレイ回路における前記入力部と信号受け渡し可能に接続され、
前記第1の二次元アレイ回路における前記第2配線群が延在する方向は、前記第2の二次元アレイ回路における前記第1配線群が延在す

る方向と略平行である、三次元アレイ装置。

[請求項3] 前記第1の二次元アレイ回路における前記入力部は、前記第2の二次元アレイ回路における前記出力部と平面視において重畳しない、請求項1又は2に記載の三次元アレイ装置。

[請求項4] 前記第1の二次元アレイ回路における前記出力部は、前記第2の二次元アレイ回路における前記入力部とビアを介して電氣的に接続される、請求項1乃至3のいずれか一項に記載の三次元アレイ装置。

[請求項5] 前記第1の二次元アレイ回路及び前記第2の二次元アレイ回路は、メモリセルアレイ回路である、請求項1乃至4のいずれか一項に記載の三次元アレイ装置。

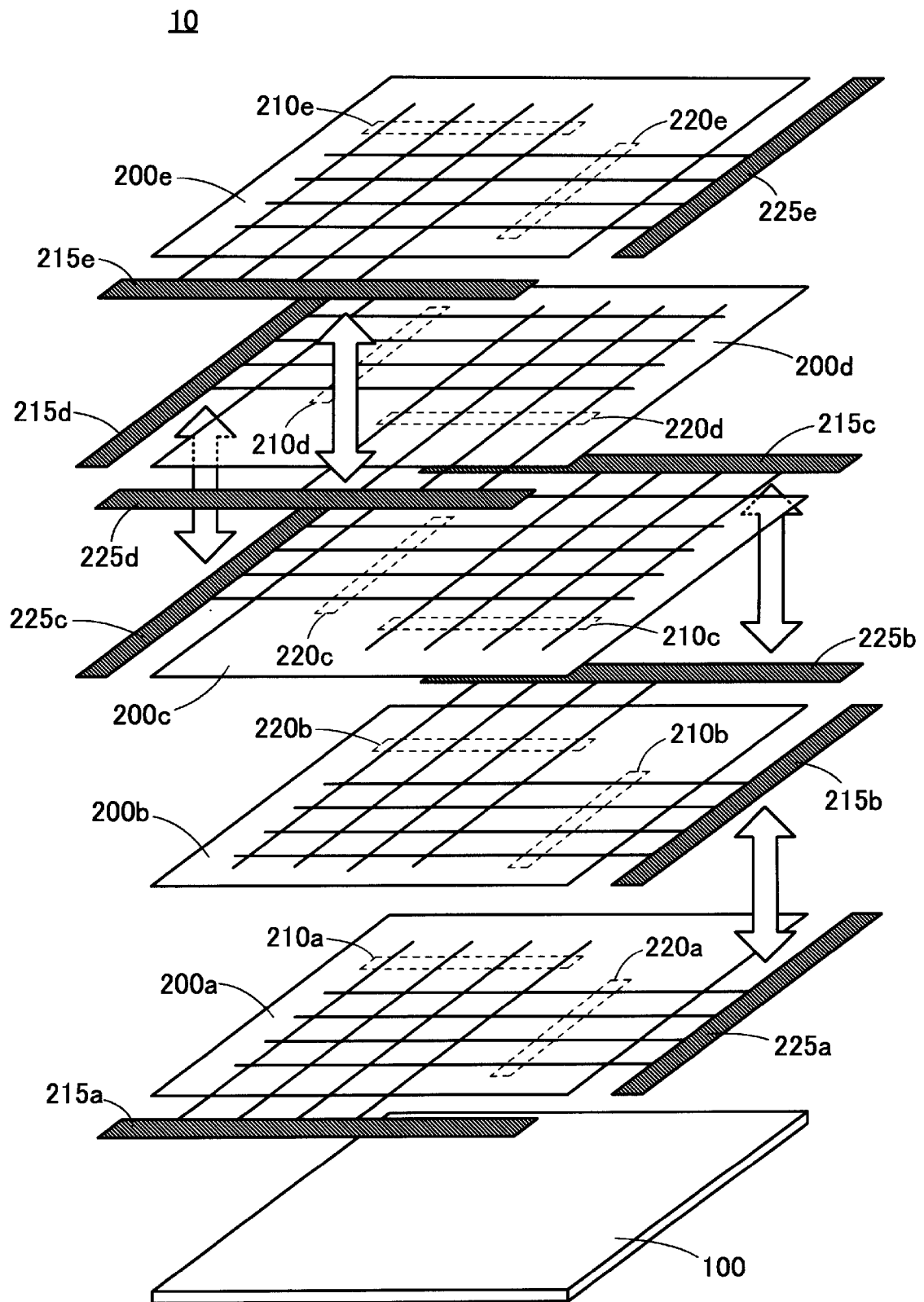
[請求項6] 前記第1配線群は、ワード線で構成される配線群であり、
前記第2配線群は、ビット線で構成される配線群である、請求項5に記載の三次元アレイ装置。

[請求項7] 前記メモリセルアレイ回路は、各メモリセルに、少なくとも1つの抵抗変化型メモリと少なくとも1つの選択トランジスタとを含む、請求項5又は6に記載の三次元アレイ装置。

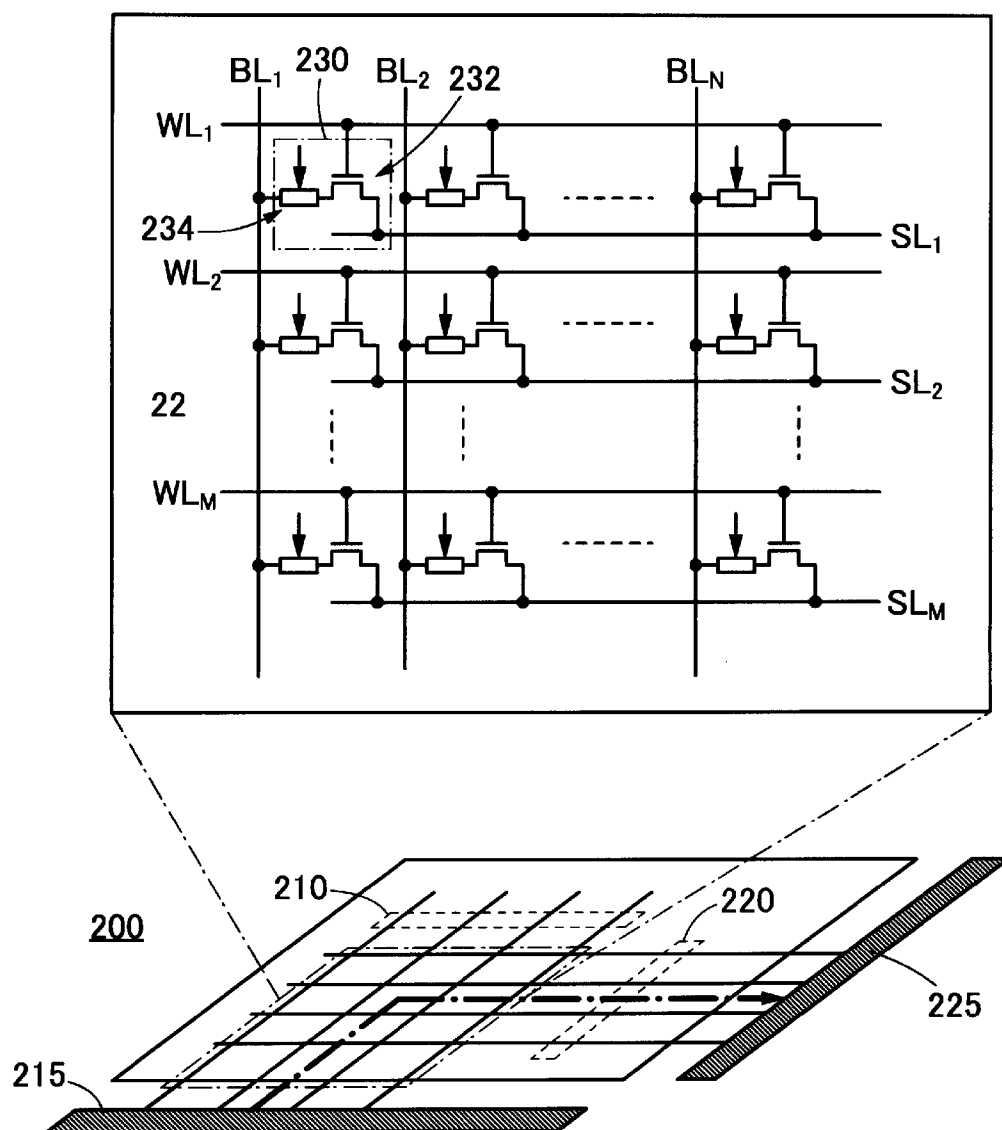
[請求項8] 前記抵抗変化型メモリは、酸化ハフニウムを含む誘電体層を有する、請求項7に記載の三次元アレイ装置。

[請求項9] 前記選択トランジスタは、IGZOを含む酸化物半導体で構成されるチャンネルを有する、請求項7又は8に記載の三次元アレイ装置。

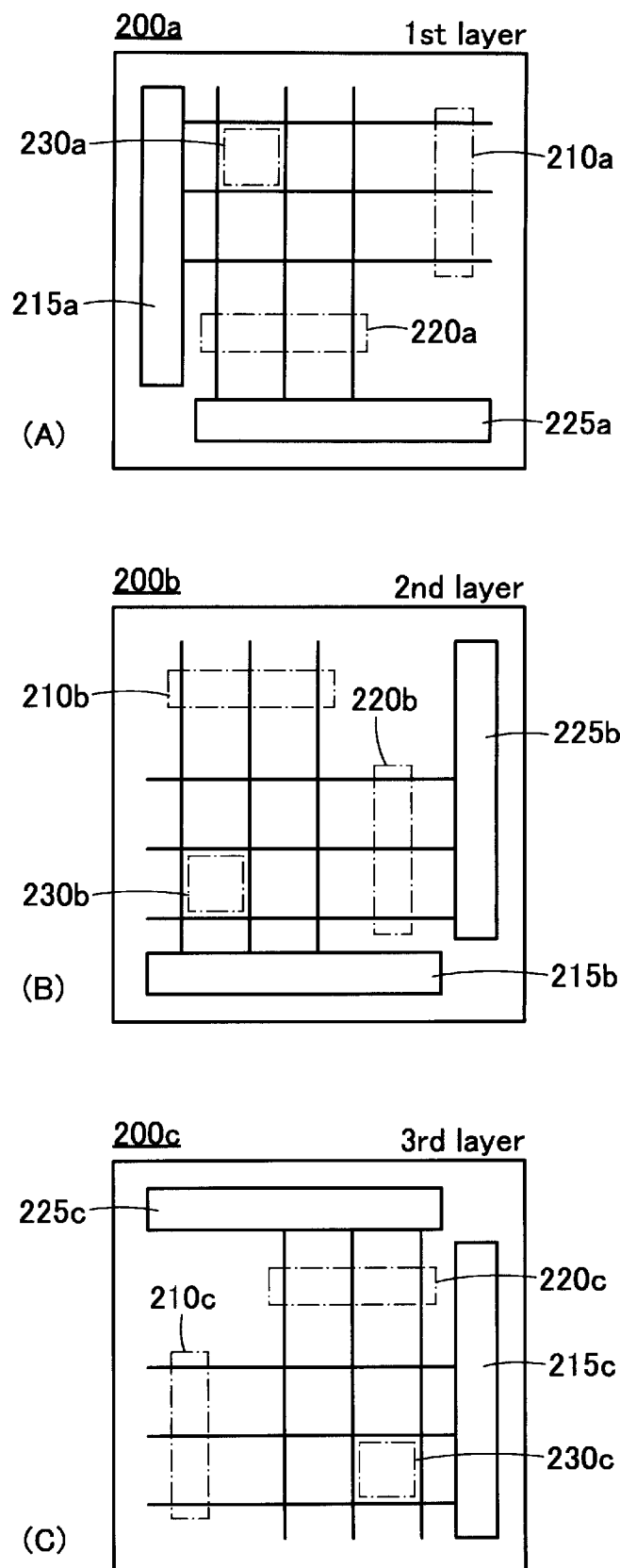
[図1]



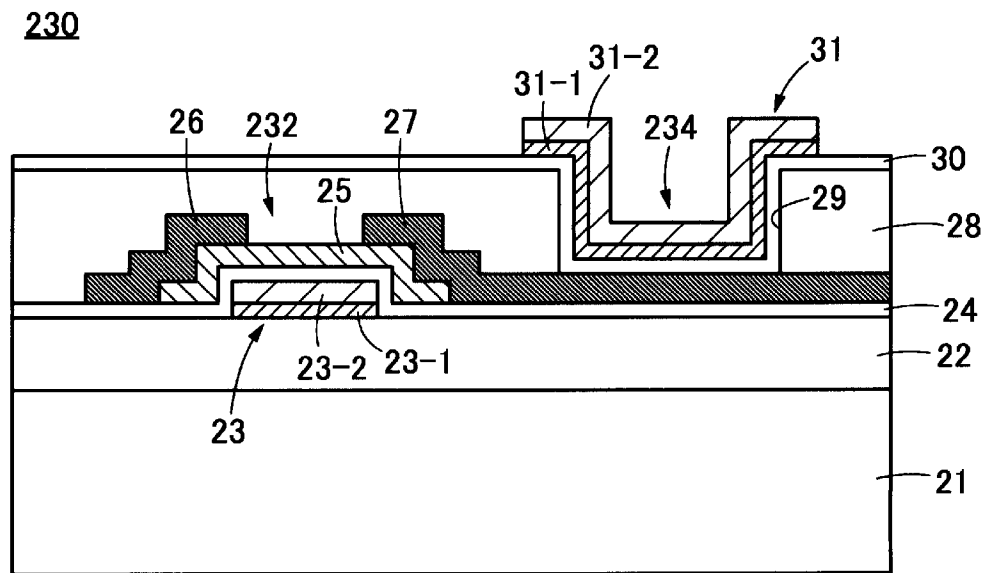
[図2]



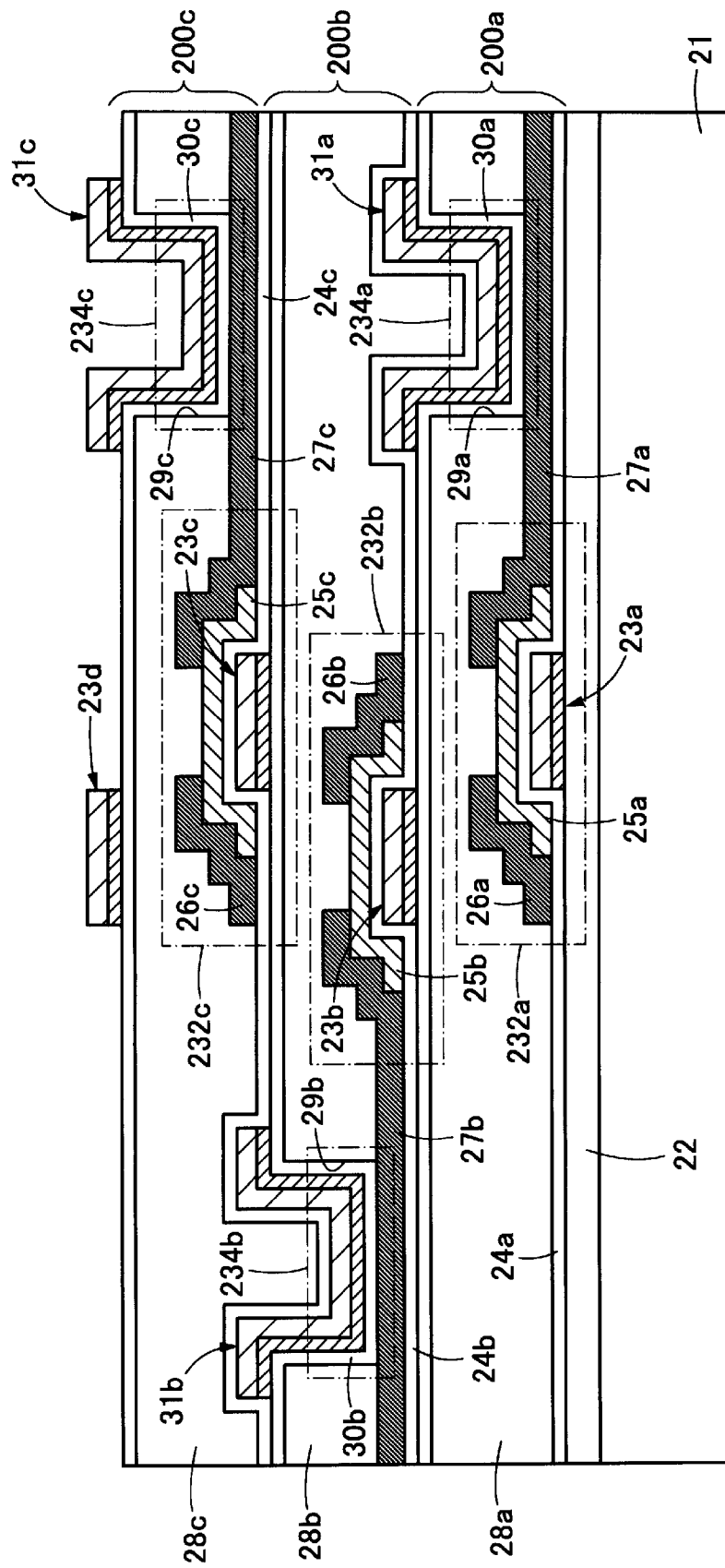
[図3]



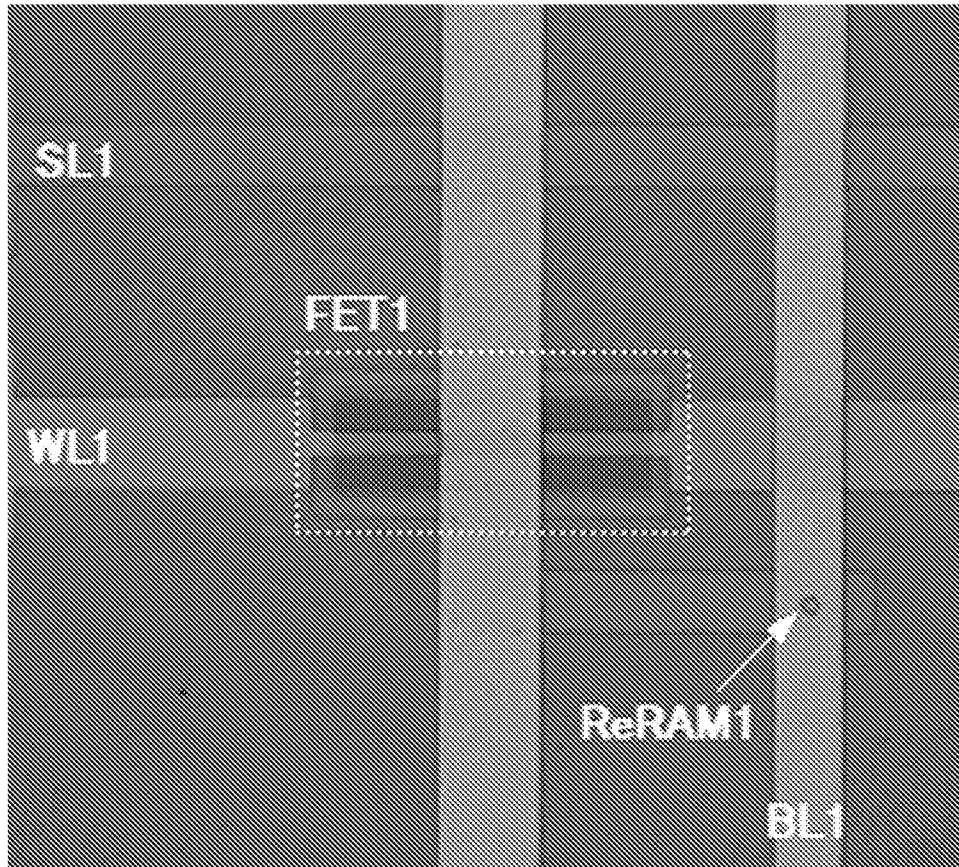
[図4]



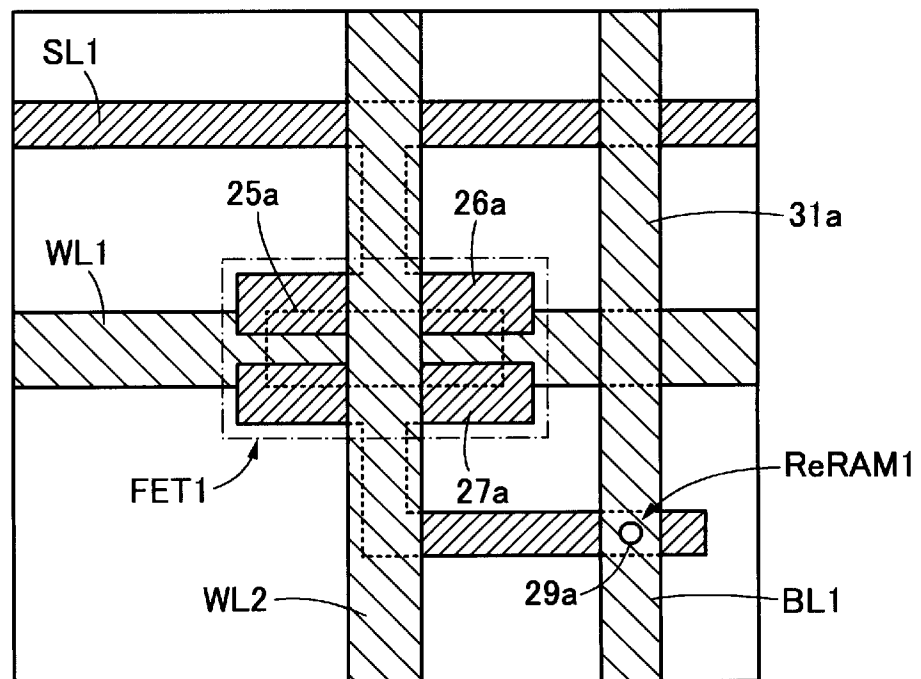
[図5]



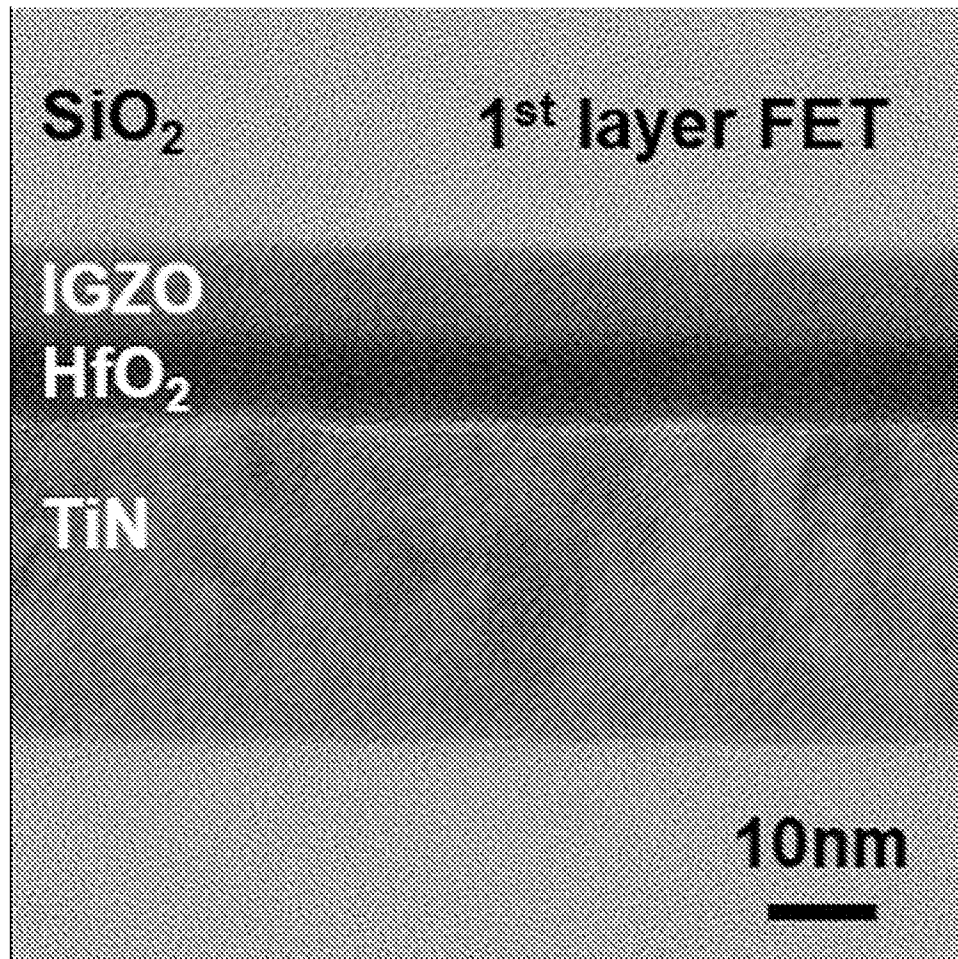
[図6]



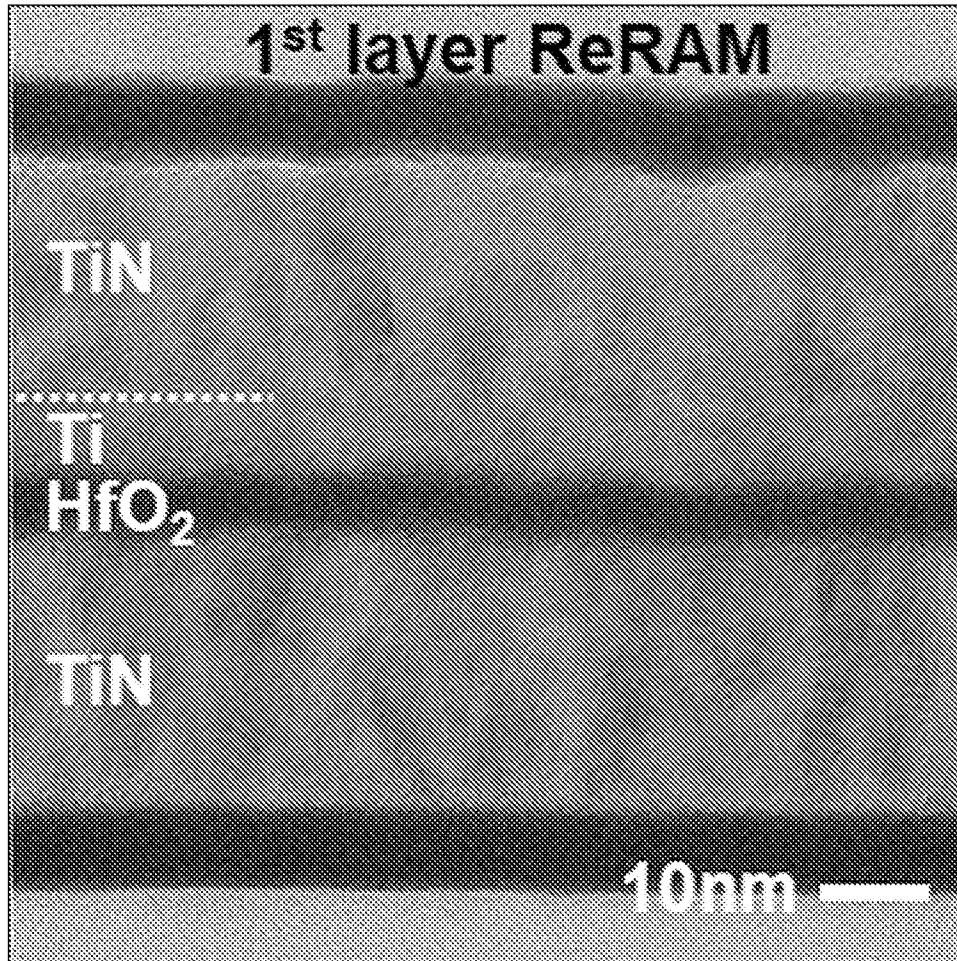
[図7]



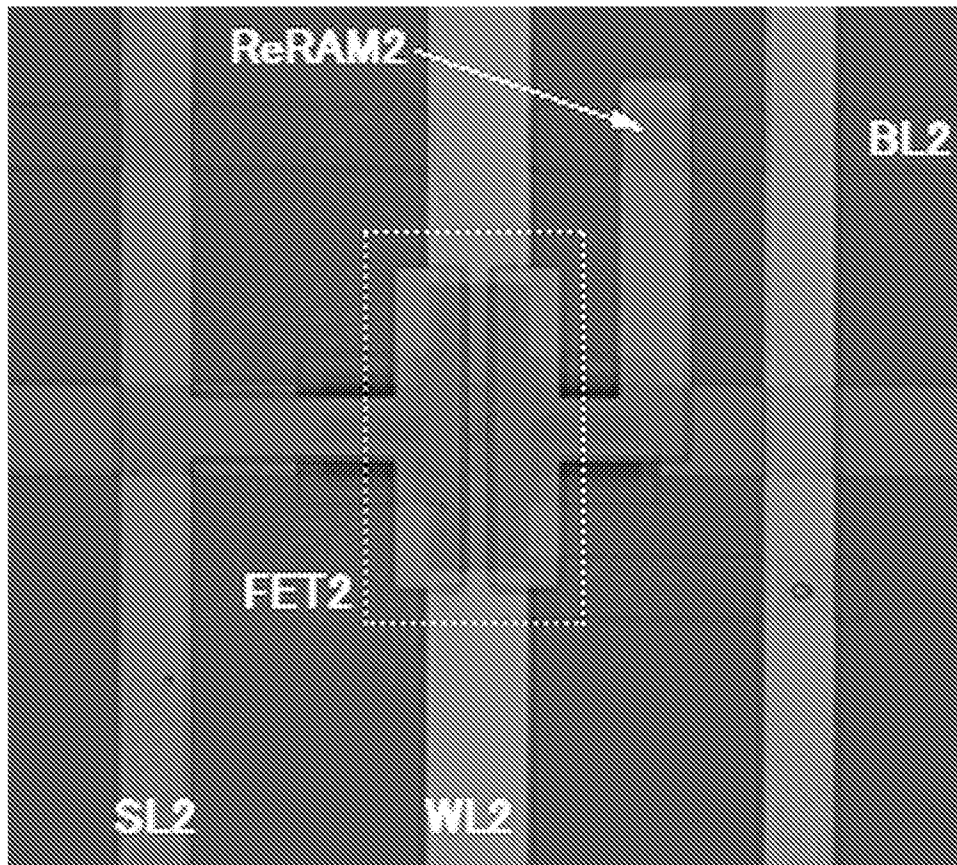
[図8]



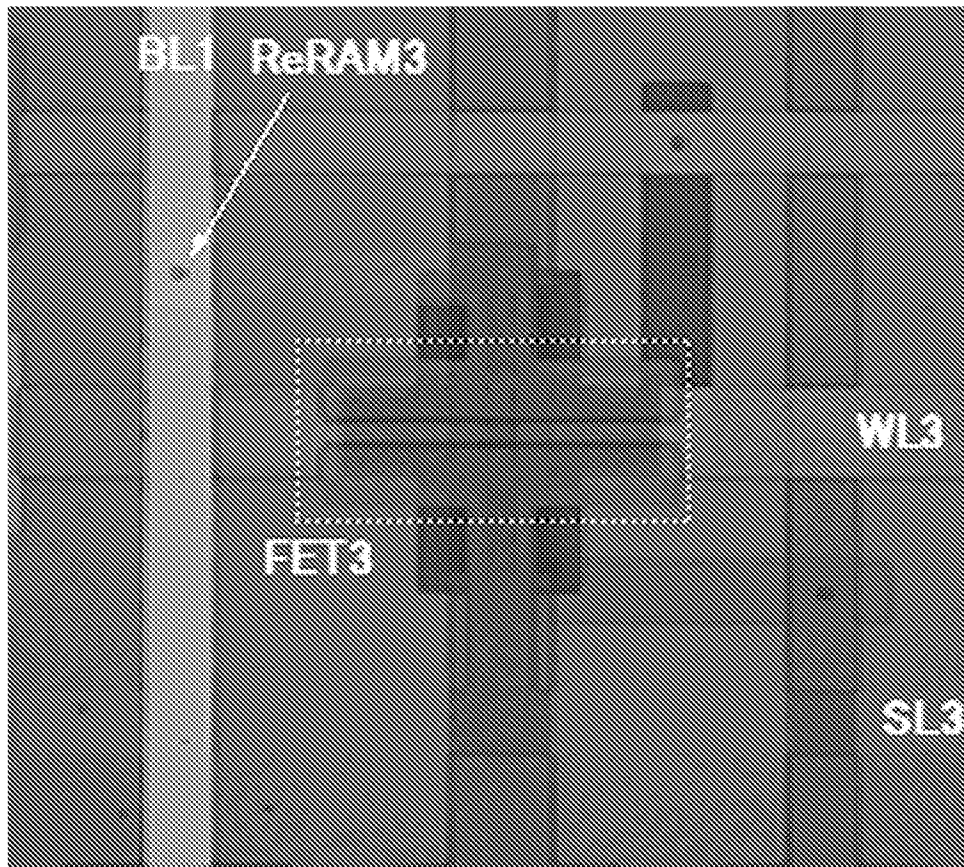
[図9]



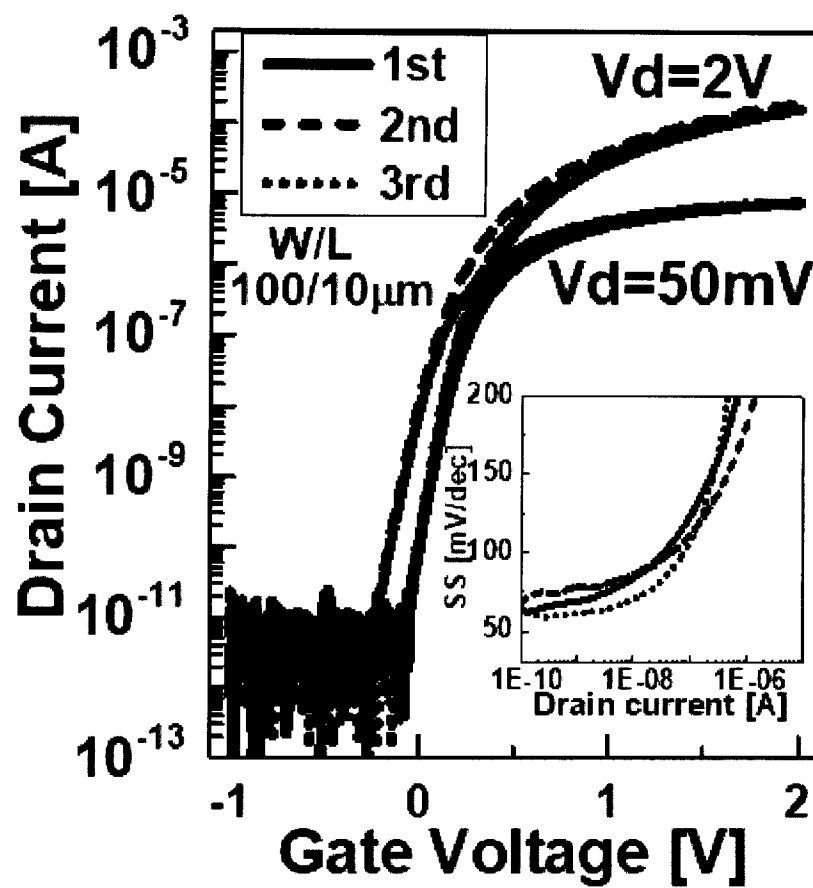
[図10]



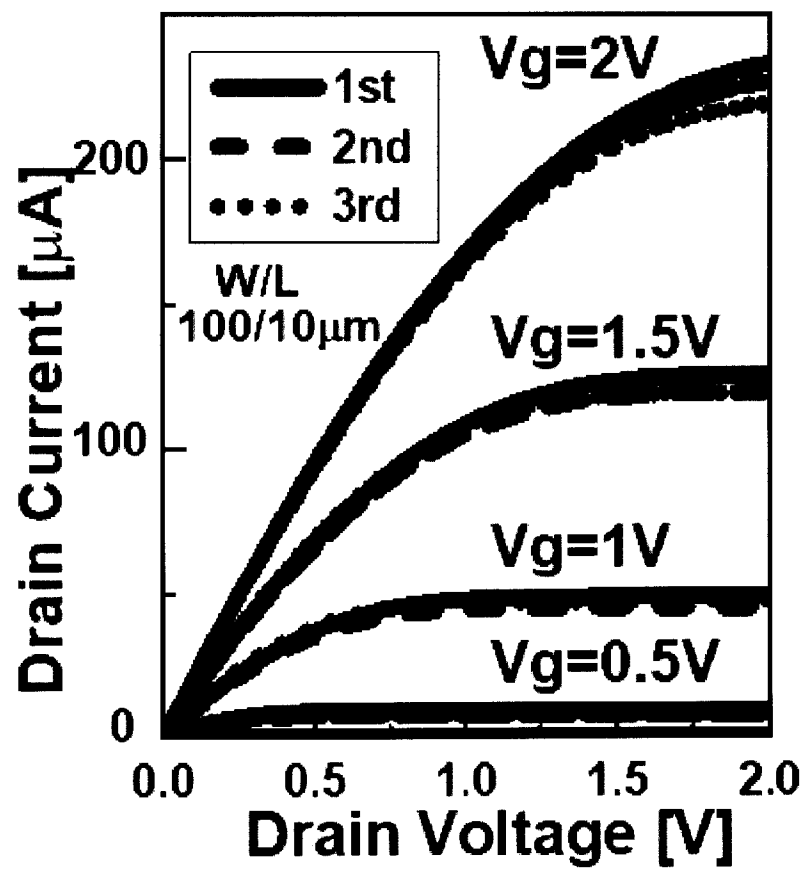
[図11]



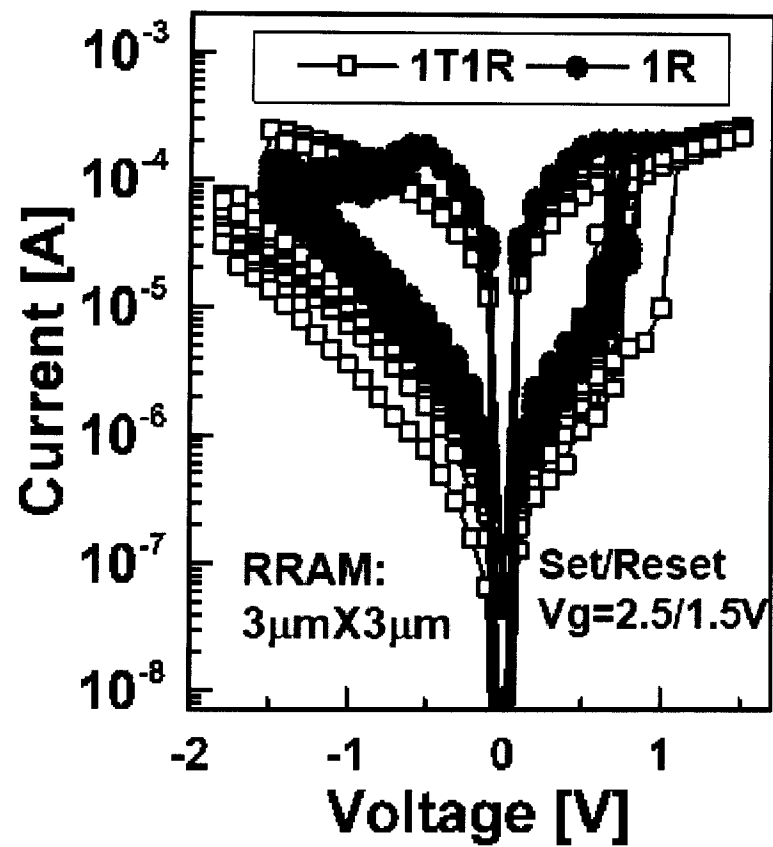
[図12]



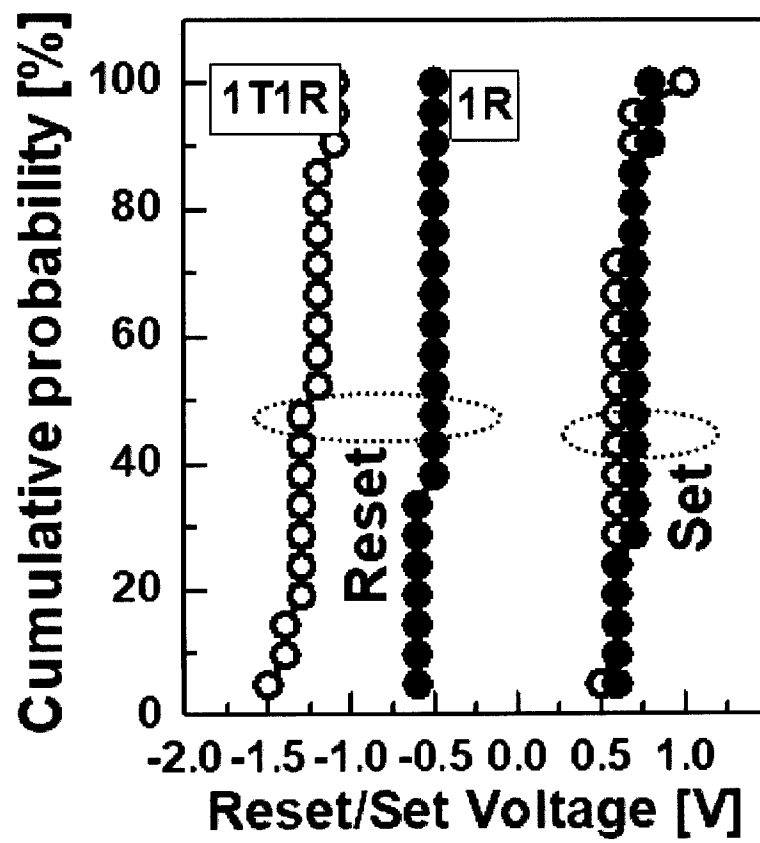
[図13]



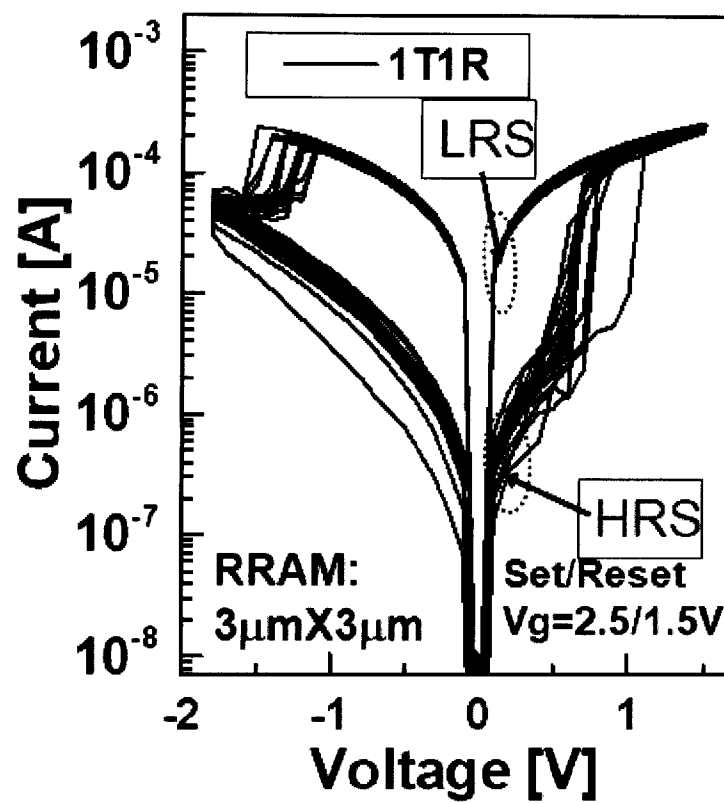
[図14]



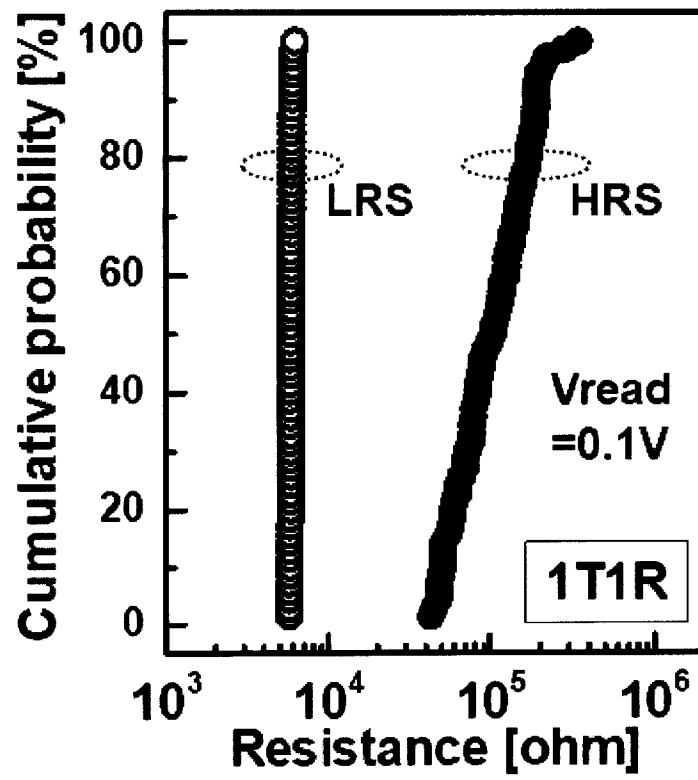
[図15]



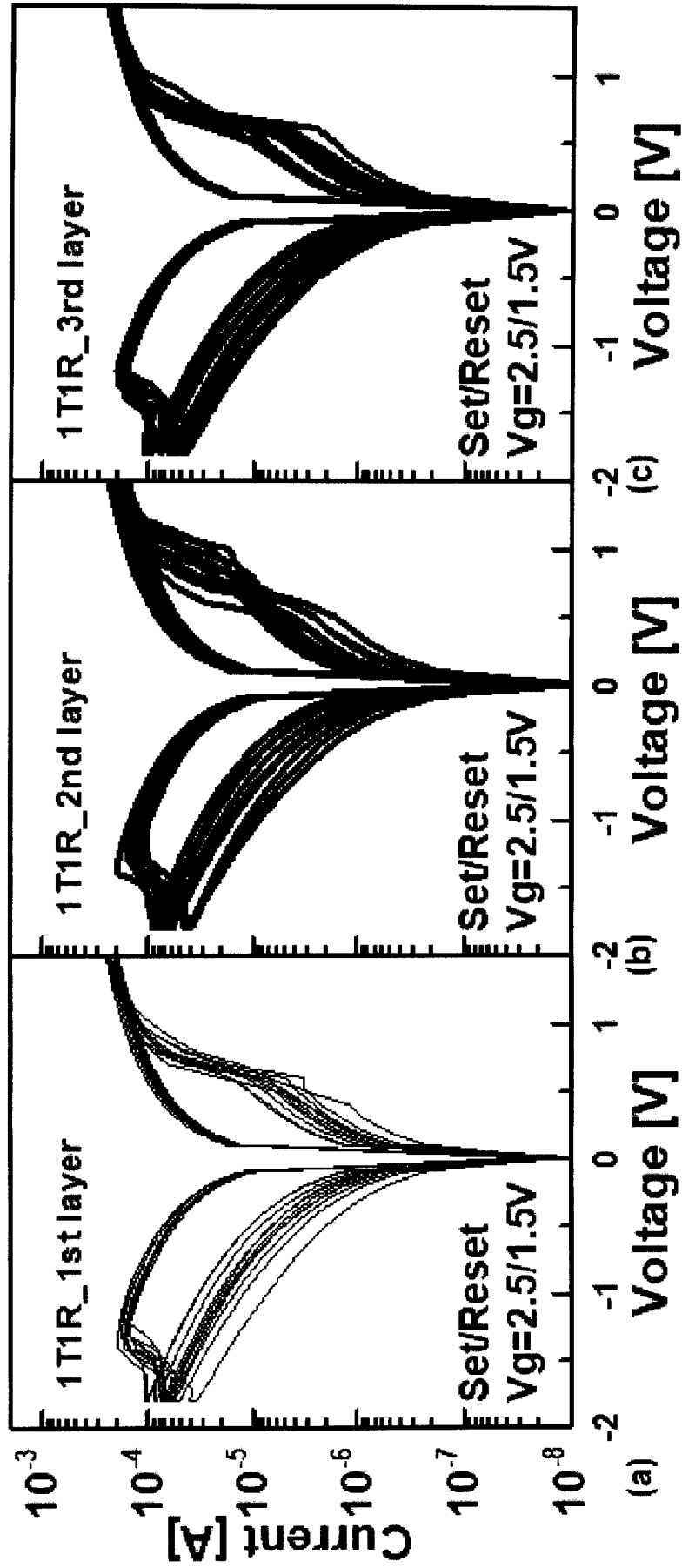
[図16]



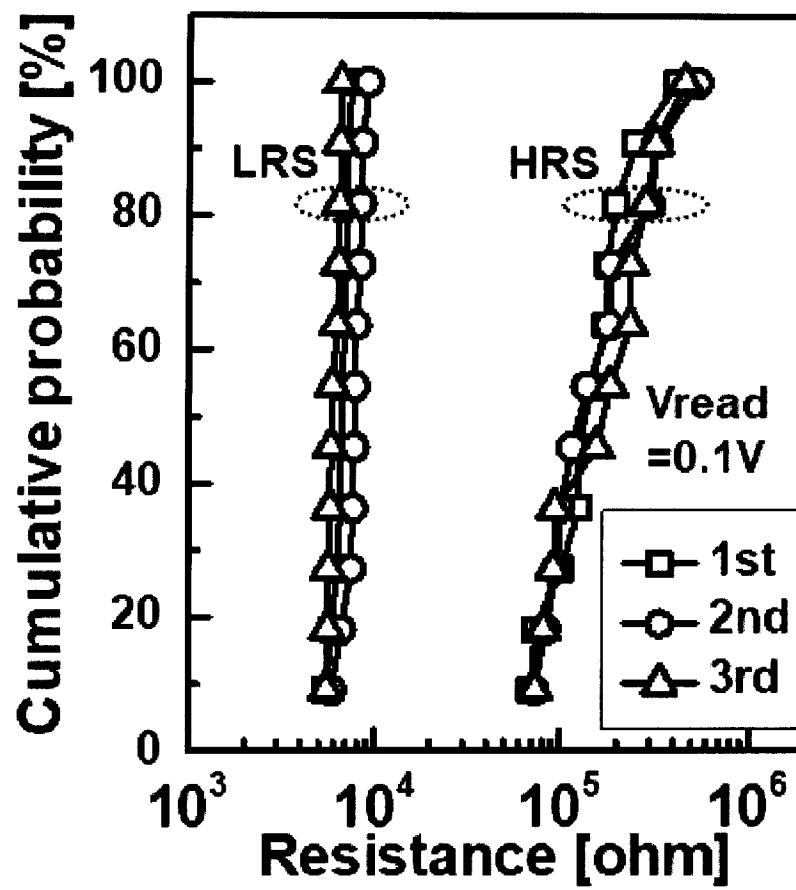
[図17]



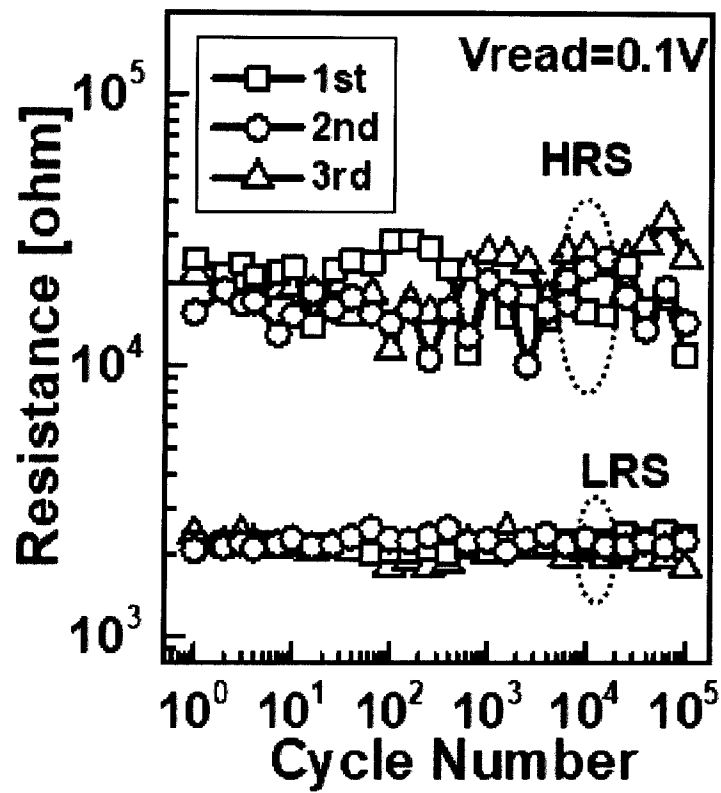
[図18]



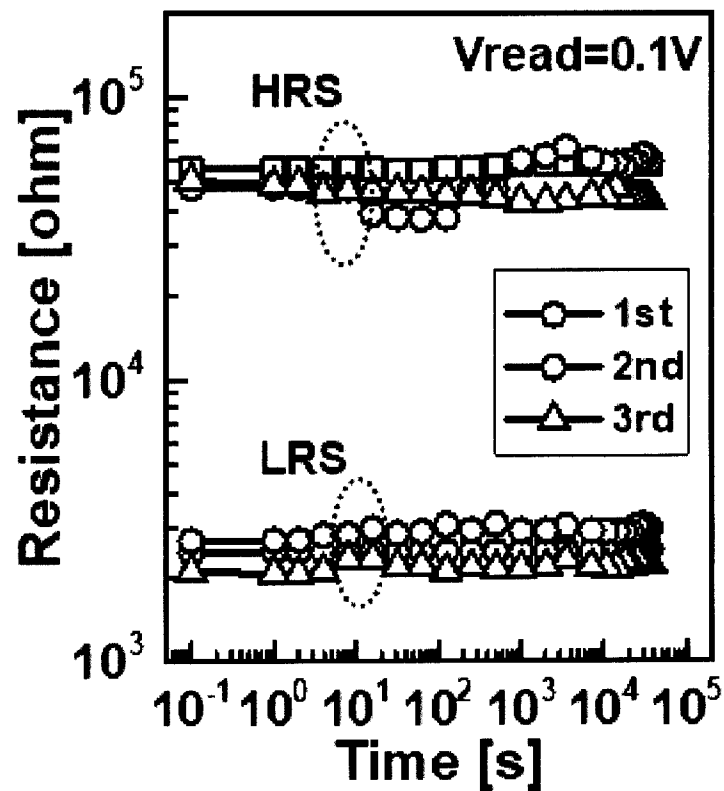
[図19]



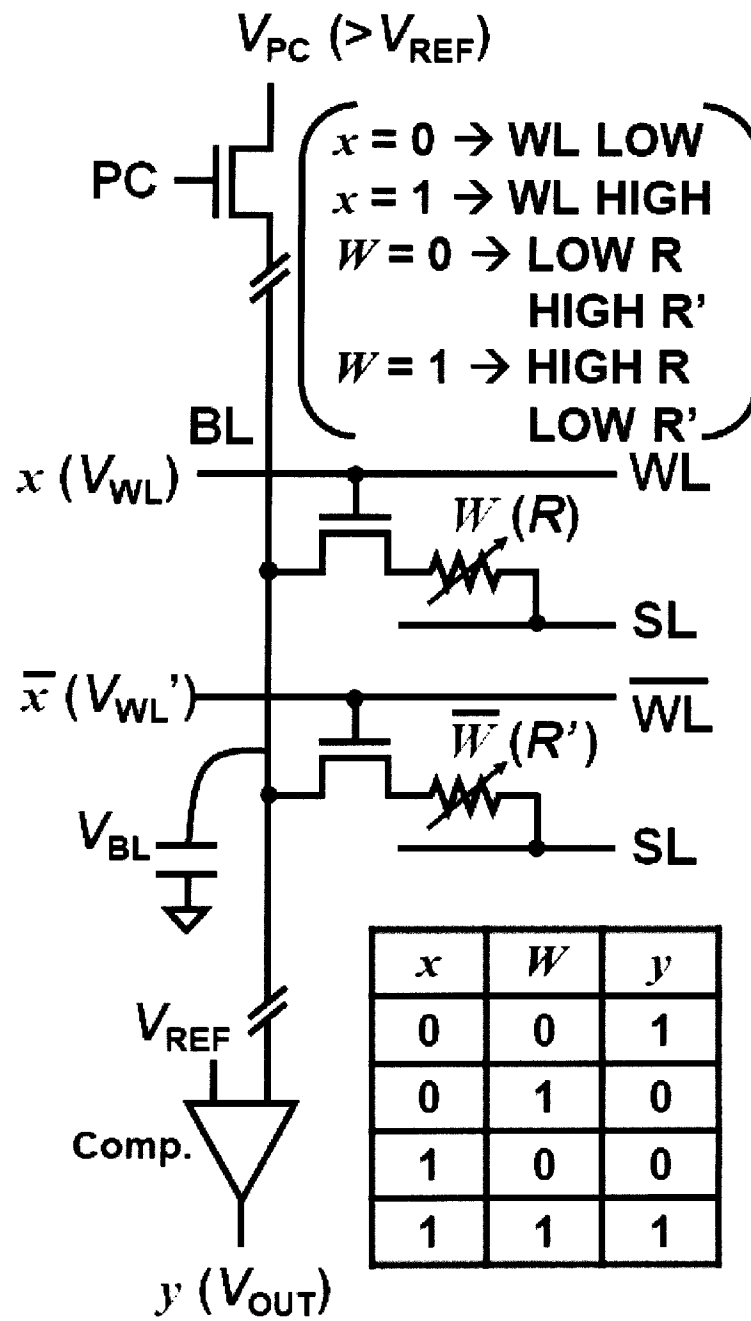
[図20]



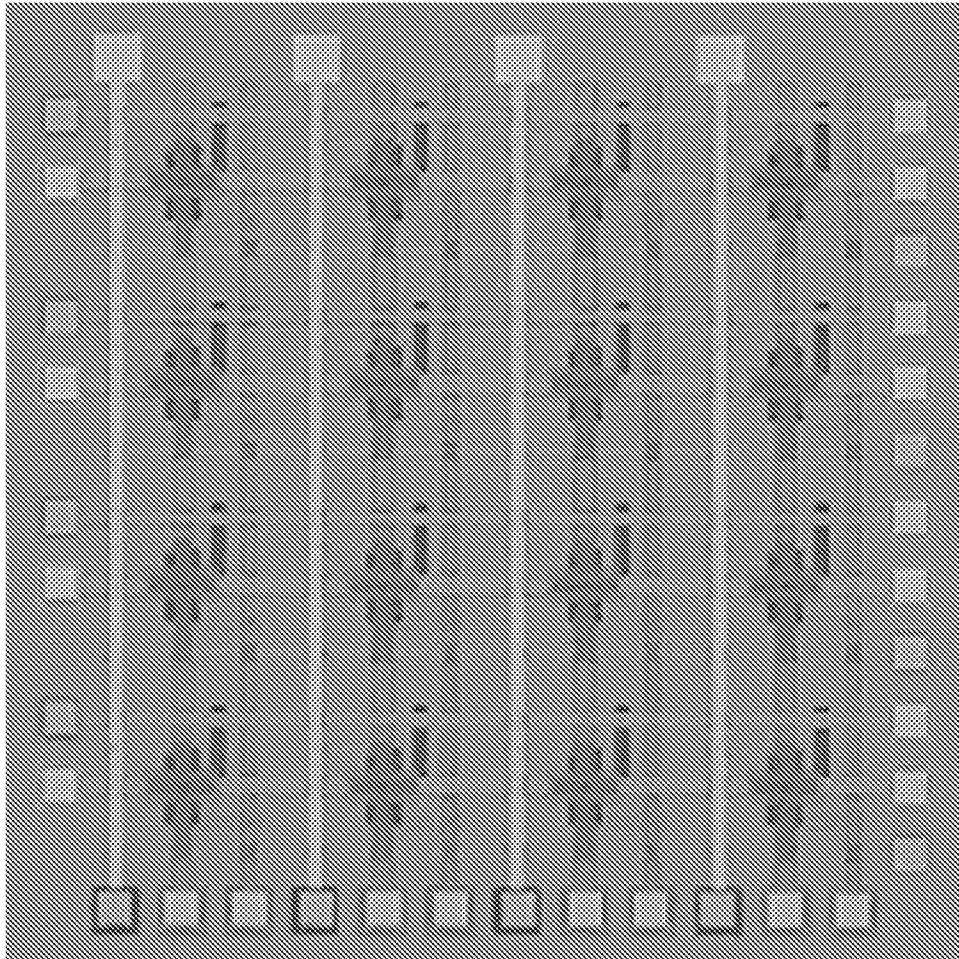
[図21]



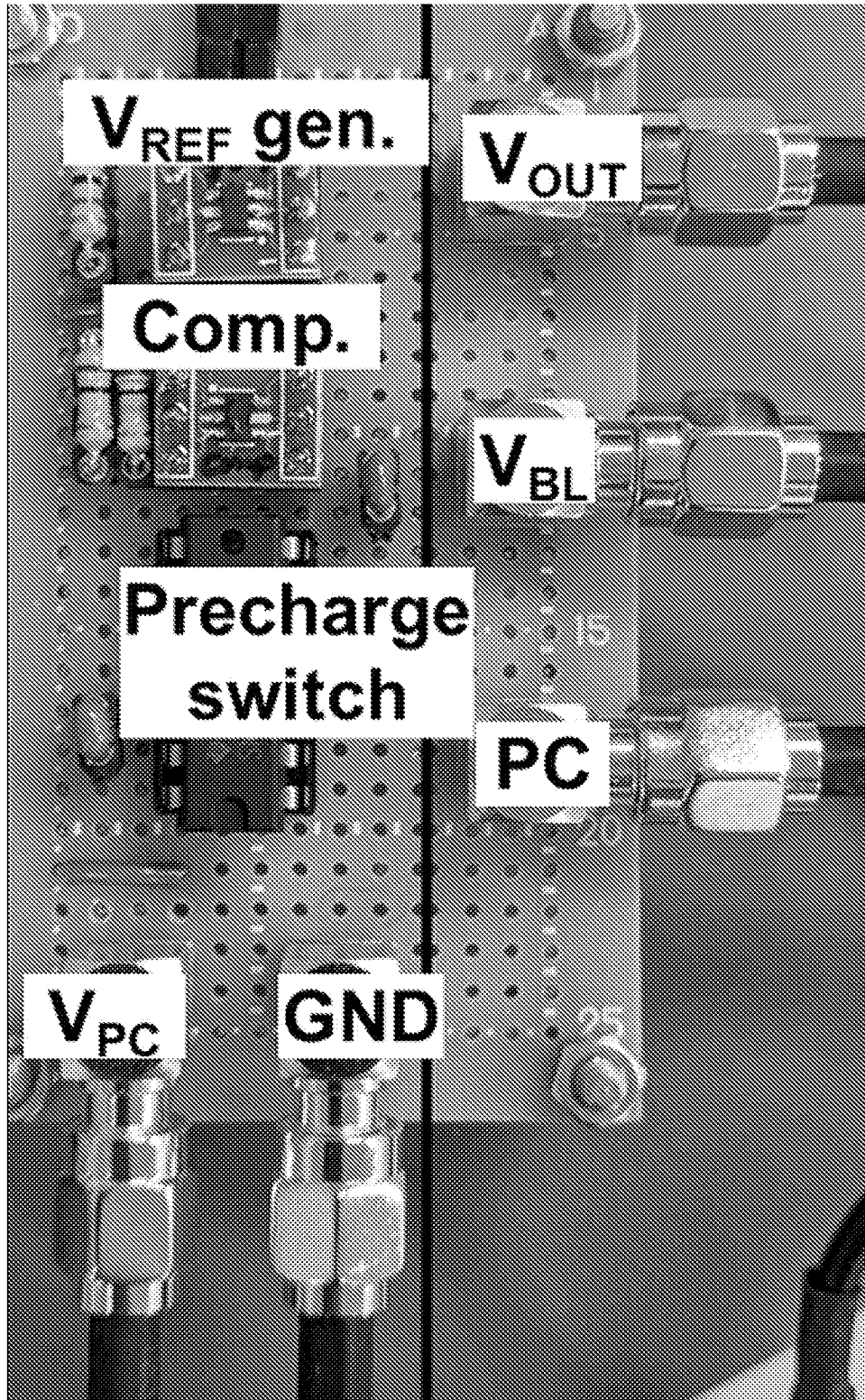
[図22]



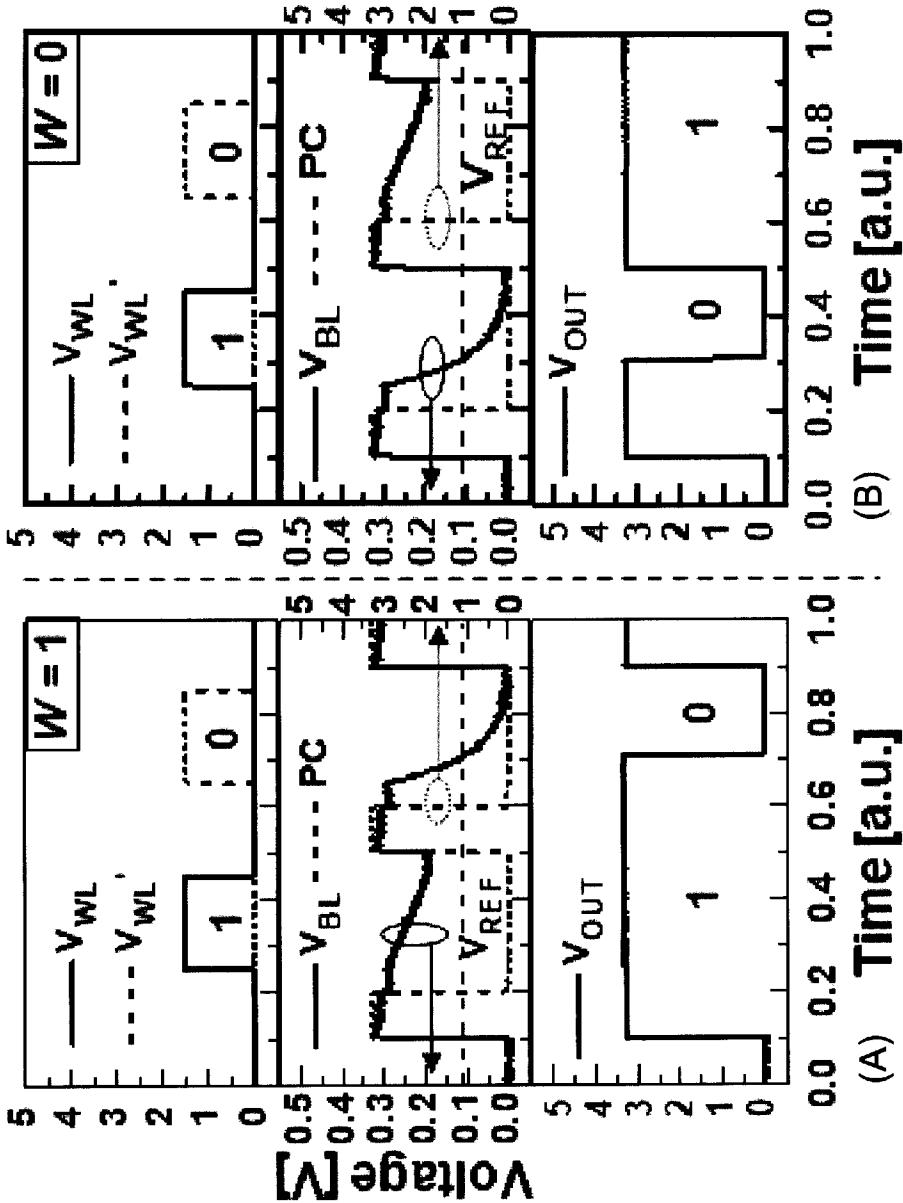
[図23]



[図24]

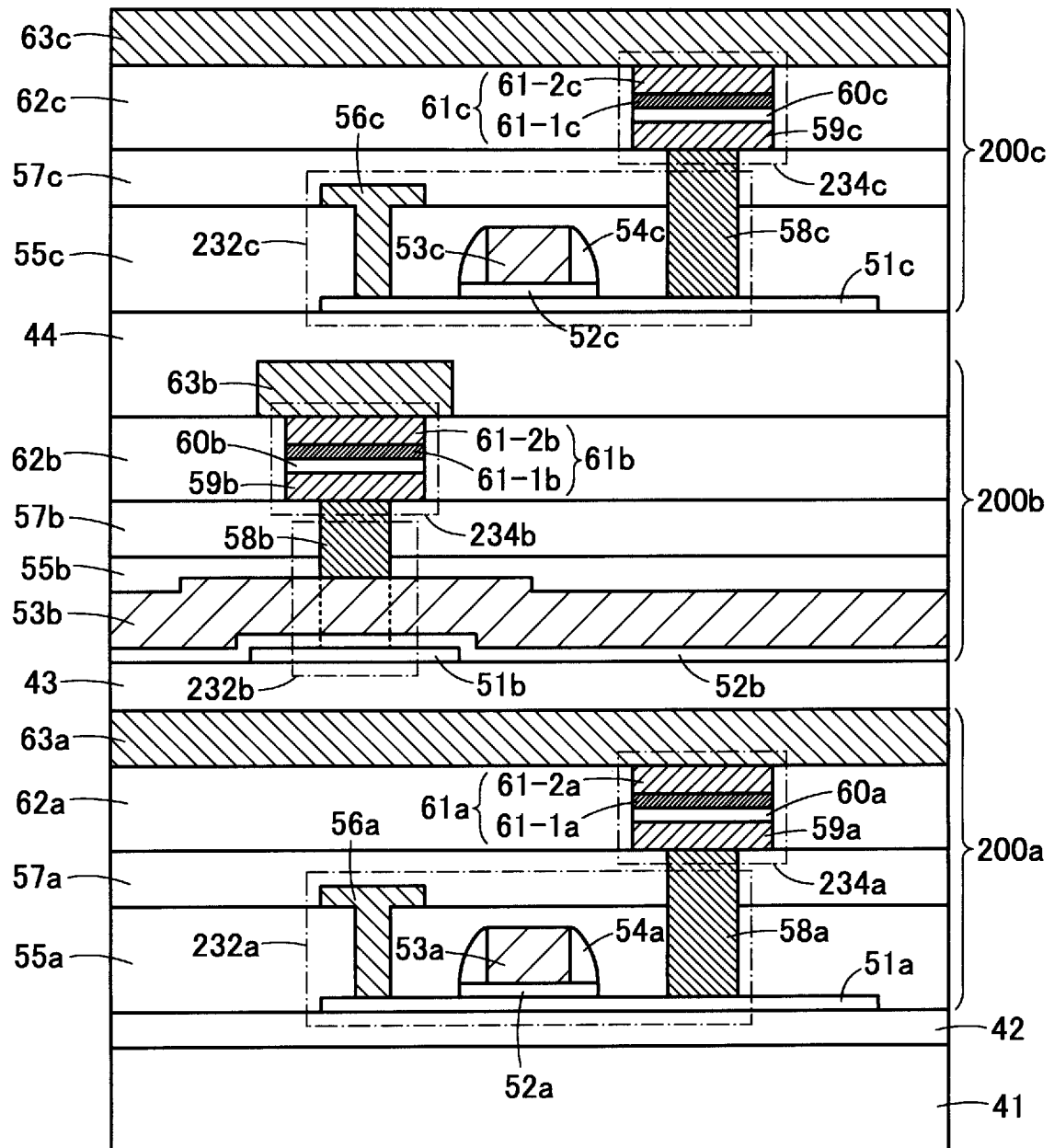


[図25]

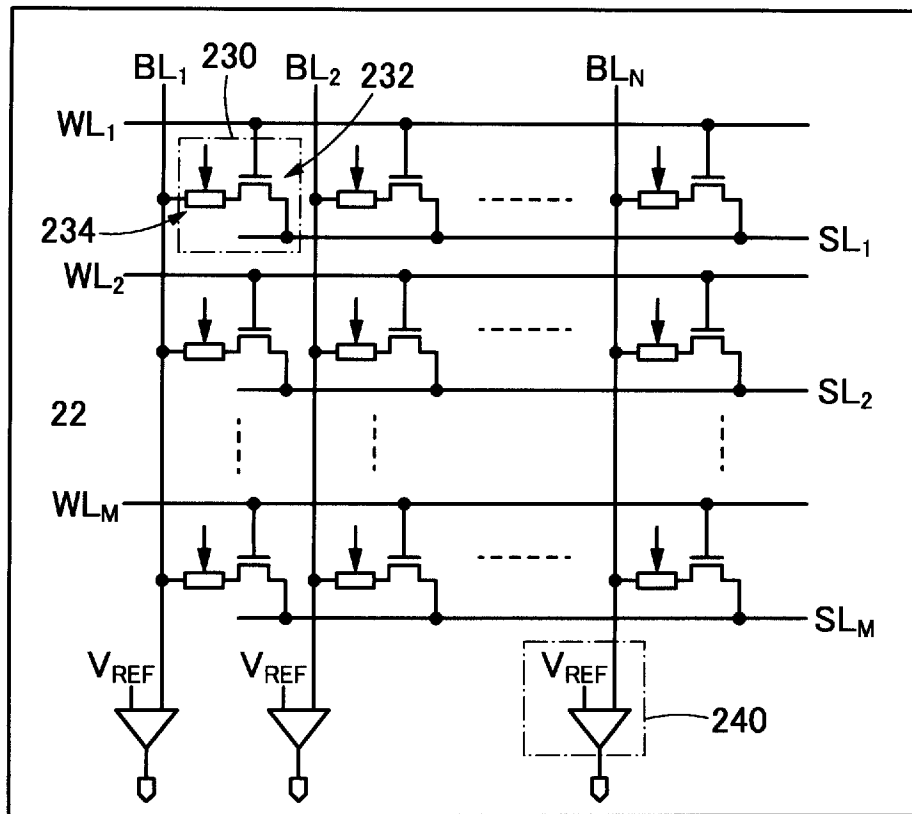


[図26]

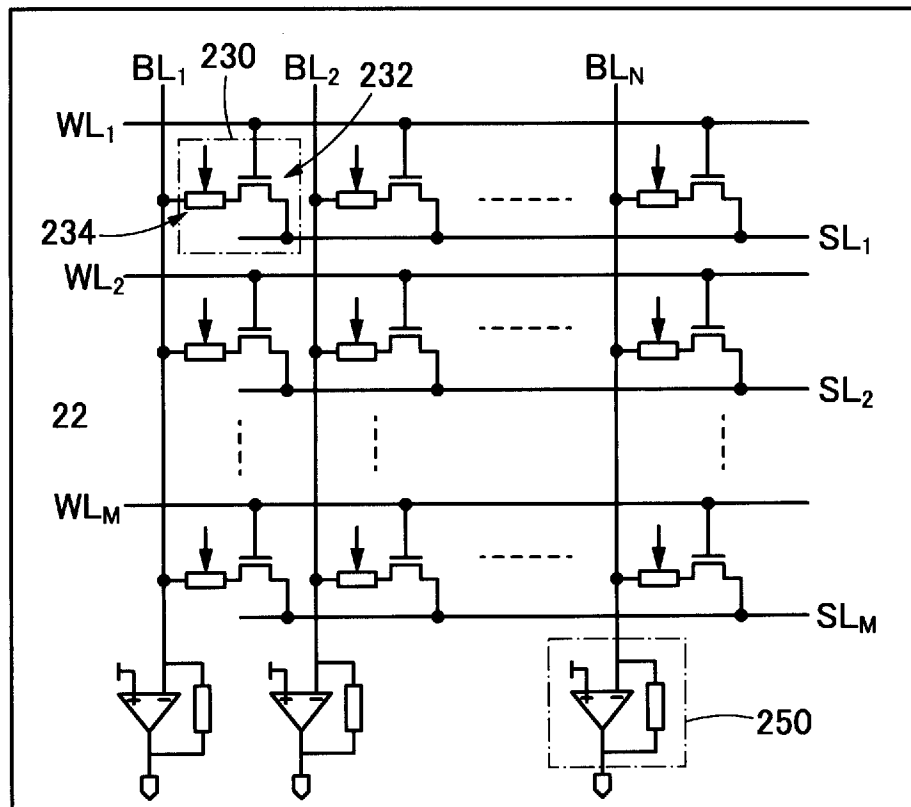
230



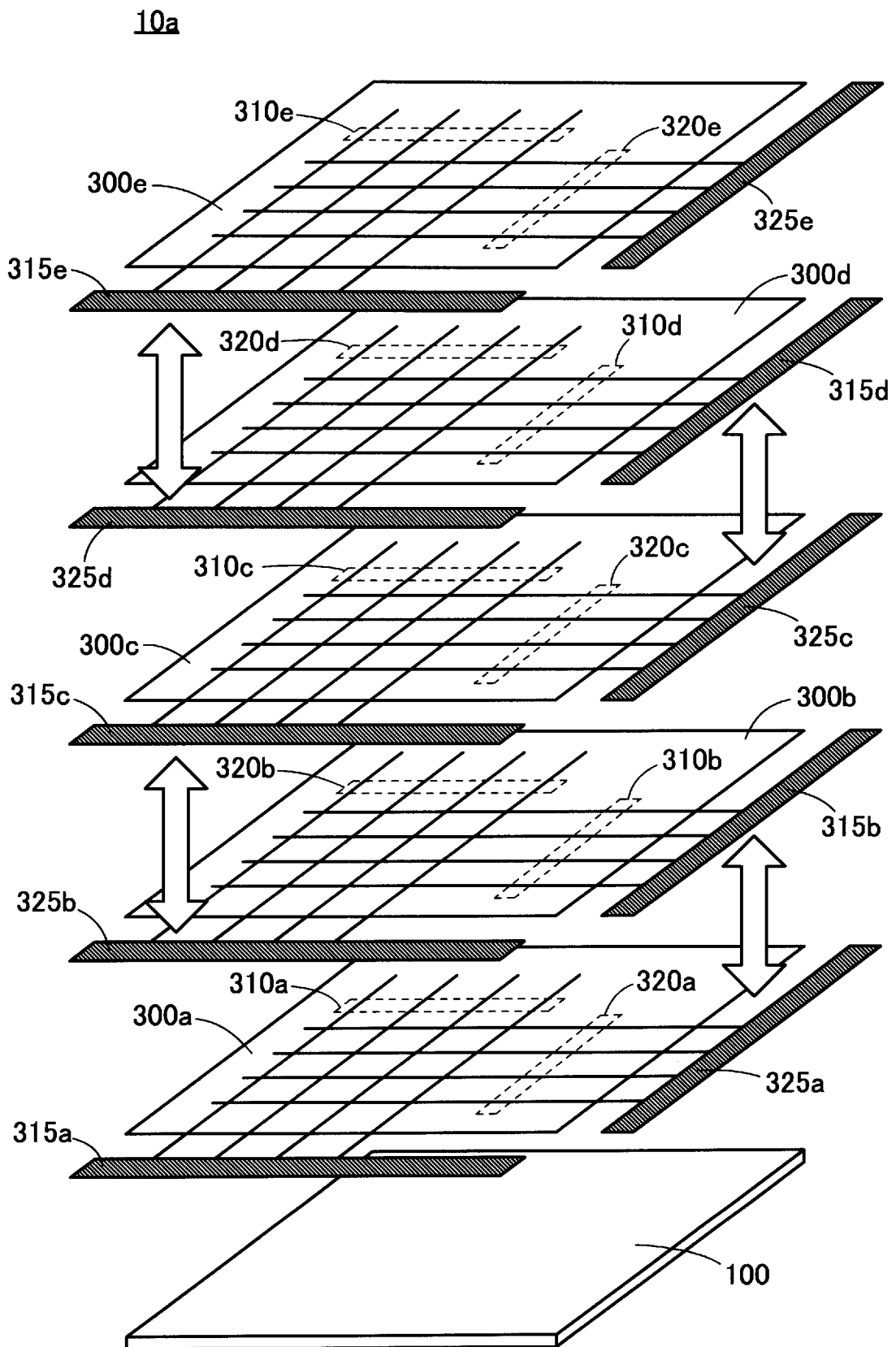
[図27]



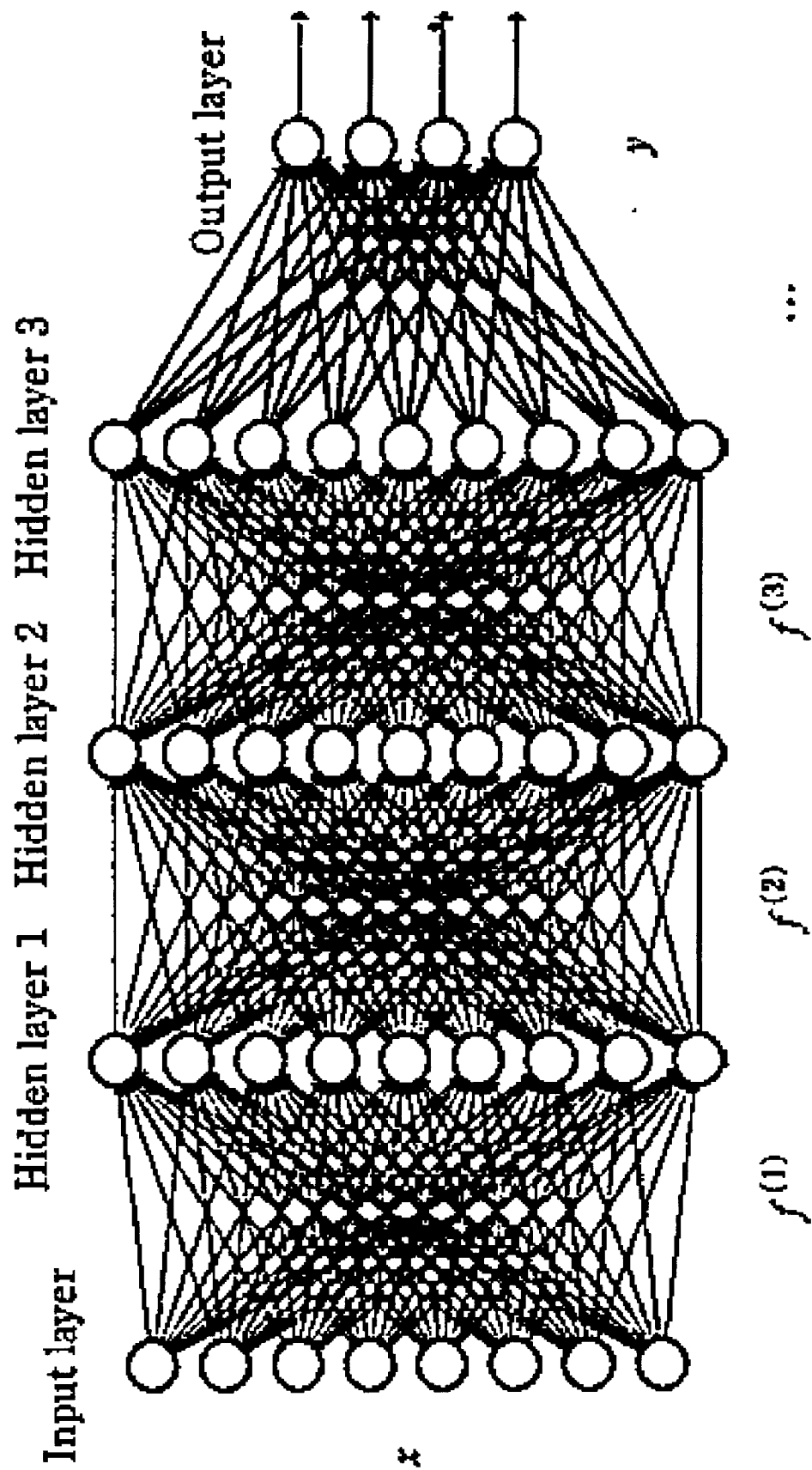
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/013511

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L45/00 (2006.01) i, H01L21/8239 (2006.01) i, H01L27/105 (2006.01) i
FI: H01L27/105 448, H01L45/00 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L45/00, H01L21/8239, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2019/0318230 A1 (SAMSUNG ELECTRONICS CO., LTD.) 17 October 2019, paragraphs [0003], [0033]-[0035], [0046], [0061]-[0068], [0100], fig. 5B	1, 4-9 2, 3
Y A	WO 2018/211398 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 November 2018, paragraphs [0036], [0042]-[0045], [0069], [0079]-[0081], fig. 3	1, 4-9 2, 3
Y A	WO 2012/070236 A1 (PANASONIC CORP.) 31 May 2012, paragraphs [0031], [0043]	8, 9 1-7
A	JP 2018-18569 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 01 February 2018, entire text, all drawings	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02.06.2021

Date of mailing of the international search report
15.06.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2021/013511

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-7167 A (NEC CORP.) 11 January 2018, entire text, all drawings	1-9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/013511

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
US 2019/0318230 A1	17.10.2019	EP 3557488 A1 KR 10-2019-0121048 A CN 110390388 A (Family: none)	
WO 2018/211398 A1	22.11.2018		
WO 2012/070236 A1	31.05.2012	US 2012/0236628 A1 paragraphs [0073], [0084] CN 102640287 A	
JP 2018-18569 A	01.02.2018	US 2018/0018565 A1 entire text, all drawings	
JP 2018-7167 A	11.01.2018	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 45/00(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i FI: H01L27/105 448; H01L45/00 Z		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L45/00; H01L21/8239; H01L27/105		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	US 2019/0318230 A1 (SAMSUNG ELECTRONICS CO., LTD.) 17.10.2019 (2019-10-17) [0003], [0033] - [0035], [0046], [0061] - [0068], [0100], 図5B	1, 4-9 2, 3
Y A	WO 2018/211398 A1 (株式会社半導体エネルギー研究所) 22.11.2018 (2018-11-22) [0036], [0042] - [0045], [0069], [0079] - [0081], 図3	1, 4-9 2, 3
Y A	WO 2012/070236 A1 (パナソニック株式会社) 31.05.2012 (2012-05-31) [0031], [0043]	8, 9 1-7
A	JP 2018-18569 A (株式会社半導体エネルギー研究所) 01.02.2018 (2018-02-01) 全文, 全図	1-9
A	JP 2018-7167 A (日本電気株式会社) 11.01.2018 (2018-01-11) 全文, 全図	1-9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.06.2021		国際調査報告の発送日 15.06.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宮本 博司 5F 6313 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/013511

引用文献			公表日	パテントファミリー文献			公表日
US	2019/0318230	A1	17.10.2019	EP	3557488	A1	
				KR	10-2019-0121048	A	
				CN	110390388	A	
WO	2018/211398	A1	22.11.2018	(ファミリーなし)			
WO	2012/070236	A1	31.05.2012	US	2012/0236628	A1	
				[0073], [0084]			
				CN	102640287	A	
JP	2018-18569	A	01.02.2018	US	2018/0018565	A1	
				全文, 全図			
JP	2018-7167	A	11.01.2018	(ファミリーなし)			