



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0091760
(43) 공개일자 2020년07월31일

(51) 국제특허분류(Int. Cl.)
H02P 6/16 (2016.01) H03K 5/156 (2006.01)
(52) CPC특허분류
H02P 6/16 (2013.01)
H03K 5/1565 (2013.01)
(21) 출원번호 10-2019-0008952
(22) 출원일자 2019년01월23일
심사청구일자 2019년01월23일

(71) 출원인
계명대학교 산학협력단
대구광역시 달서구 달구벌대로 1095, 계명대학교
산학협력관 201호(신당동)
(72) 발명자
강동우
경상북도 경산시 경안로50길 31 503호 (중방동)
이동열
울산광역시 동구 월봉11길 76 (방어동, 우진빌라
5차)
(74) 대리인
김건우

전체 청구항 수 : 총 21 항

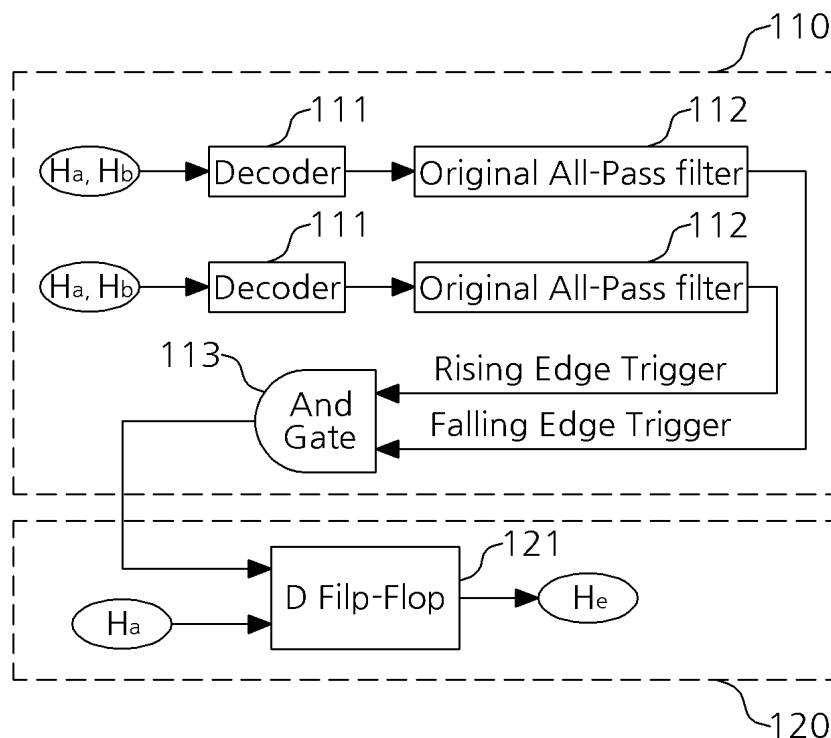
(54) 발명의 명칭 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법

(57) 요약

본 발명은 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법에 관한 것으로서, 보다 구체적으로는 BLDC 모터에서의 홀 센서 고장 보상회로 장치로서, BLDC 모터의 구동을 제어하는 모터 제어부로부터 3개의 홀 센서 중 정상 작동하는 2개의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하여 출력

(뒷면에 계속)

대표도 - 도5



하는 클록 펄스 생성 회로; 및 상기 클록 펄스 생성 회로로부터 수신되는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 하나의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하여 출력하는 보상 신호 생성부를 포함하는 것을 그 구성상의 특징으로 한다.

본 발명에서 제안하고 있는 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법에 따르면, BLDC 모터의 구동에 필요한 회전자의 위치 정보를 검출하는 3개의 홀 센서 중 하나가 고장난 경우 정상적으로 동작하는 2개의 홀 센서 신호를 이용하여 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하는 클록 펄스 생성 회로와, 클록 펄스 생성 회로로부터 수신되는 클록 신호와 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호를 입력받아 고장 홀 센서의 보상 신호를 생성하는 보상 신호 생성부를 구성함으로써, 고장 홀 센서 신호를 생성하여 보상하되, 듀티 증가를 통한 커패시터의 충전 및 방전 속도가 증가되어 회로의 민감도가 감소되고, 그에 따라 모터의 회전 속도가 변하는 과도 구간에서 발생하는 주파수 변화에 대해서도 생성되는 고장 홀 센서 신호의 신뢰성이 더욱 향상될 수 있도록 할 수 있다.

또한, 본 발명에서 제안하고 있는 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법에 따르면, 이중화된 디코더와 이중화된 전대역 통과 필터 및 앤드 게이트를 구비하는 클록 펄스 생성 회로와, D-플립플롭으로 구현되는 보상 신호 생성부를 더 구성함으로써, 회로의 민감도가 더욱 감소되어 가변 속도 BLDC 모터가 적용되는 전동기 시스템에서의 홀 센서 오류의 정확한 보상이 가능하고, 그에 따른 BLDC 모터의 안정적인 제어와 함께 전동기 구동 시스템의 동작 신뢰성이 더욱 향상될 수 있도록 할 수 있다.

(52) CPC특허분류

Y10S 388/902 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	20180192
부처명	산업통상자원부
연구관리전문기관	한국산업기술진흥원
연구사업명	지역혁신센터조성사업
연구과제명	1.2kW급 대용량 엔진쿨링팬 모터시스템 개발
기 여 율	1/1
주관기관	전남대학교산학협력단 여수산학협력본부
연구기간	2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

BLDC 모터에서의 홀 센서 고장 보상회로 장치(100)로서,

BLDC 모터(10)의 구동을 제어하는 모터 제어부(20)로부터 3개의 홀 센서 중 정상 작동하는 2개의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하여 출력하는 클록 펄스 생성 회로(110); 및

상기 클록 펄스 생성 회로(110)로부터 수신되는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 하나의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하여 출력하는 보상 신호 생성부(120)를 포함하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 2

제1항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 모터 제어부(20)로부터 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하는 이중화된 디코더(Decoder)(111);

상기 이중화된 디코더(111)와 각각 연결 접속되어, 상기 이중화된 디코더(111)로부터 출력되는 디코더 신호를 각각 입력받아 지연신호 발생을 위한 트리거 신호를 출력하는 이중화된 전대역 통과 필터(Original All-pass filter)(112); 및

상기 이중화된 전대역 통과 필터(112)로부터 각각의 트리거 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 출력하는 앤드 게이트(AND gate)(113)를 포함하여 구성하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 3

제2항에 있어서, 상기 이중화된 디코더(111) 각각은,

정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하되, 상기 디코더 신호는 온(on) 되는 범위의 듀티(duty)를 80% 증가시킨 신호인 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 4

제2항에 있어서, 상기 이중화된 전대역 통과 필터(112) 각각은,

복수의 저항(R)과 커패시터(C) 및 OP 앰프(OP Amp)의 조합으로 구성되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 5

제4항에 있어서, 상기 이중화된 전대역 통과 필터(112) 각각은,

지연신호 발생을 위한 트리거 신호를 각각 출력하되, 상기 이중화된 전대역 통과 필터(112) 중 하나는 상승 에지 트리거(Rising Edge Trigger) 신호를 출력하고, 다른 하나는 하강 에지 트리거(Falling Edge Trigger) 신호

를 출력하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 6

제2항 내지 제5항 중 어느 한 항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 이중화된 디코더(111)와 이중화된 전대역 통과 필터(112) 및 앤드 게이트(113)를 단일 IC 칩으로 구성하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 7

제6항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 이중화된 디코더(111)에서 듀티를 80% 증가시킴에 따라 주파수가 3배 증가되고, 이에 연동하여 이중화된 전대역 통과 필터(112)의 커패시터(C)의 충전 및 방전 시간이 빨라져 충전 속도 증가됨에 따라 입력되는 홀 센서 신호의 주파수 변화에 따른 출력 신호의 듀티 변화의 민감도가 감소되도록 기능하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 8

제7항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 이중화된 디코더(111)의 출력 신호가 반전되어 3배 주파수의 20% 듀티 신호가 상기 이중화된 전대역 통과 필터(112)에 입력되어 충전 및 방전 속도가 증가하고, 그에 따라 감도는 3배 감소되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 9

제7항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 이중화된 전대역 통과 필터(112)를 각각 구성하여 상승 에지 트리거와 하강 에지 트리거를 각각 구현함에 따라 민감도가 더 감소되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 10

제6항에 있어서, 상기 보상 신호 생성부(120)는,

클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 하나의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하되, 상기 입력되는 하나의 홀 센서 신호는 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호인 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 11

제10항에 있어서, 상기 보상 신호 생성부(120)는,

D-플립플롭(D Flip-Flop)(121)으로 구성되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 12

제11항에 있어서, 상기 홀 센서 고장 보상회로 장치(100)는,

홀 센서를 이용하여 회전자의 위치를 검출하여 정밀제어가 가능하고, 고속으로 동작하는 가변속도 BLDC 전동기가 사용될 수 있는 전기기기, 자동차 모터, 영구자석 동기 전동기 시스템에 적용되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치.

청구항 13

클록 펄스 생성 회로(110)와 보상 신호 생성부(120)를 구비하는 홀 센서 고장 보상회로 장치(100)를 이용한 BLDC 모터에서의 홀 센서 고장 보상회로 방법으로서,

(1) 상기 클록 펄스 생성 회로(110)가 BLDC 모터(10)의 구동을 제어하는 모터 제어부(20)로부터 3개의 홀 센서 중 정상 작동하는 2개의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하여 출력하는 단계; 및

(2) 상기 보상 신호 생성부(120)가 상기 클록 펄스 생성 회로(110)로부터 수신되는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하여 출력하는 단계를 포함하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 14

제13항에 있어서, 상기 단계 (1)에서는,

(1-1) 상기 클록 펄스 생성 회로(110)의 이중화된 디코더(111)가, 상기 모터 제어부(20)로부터 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하는 단계;

(1-2) 상기 클록 펄스 생성 회로(110)의 이중화된 전대역 통과 필터(Original All-pass filter)(112)가 상기 단계 (1-1)를 통해 상기 이중화된 디코더(111)로부터 출력되는 디코더 신호를 각각 입력받아 지연신호 발생을 위한 트리거 신호를 출력하는 단계; 및

(1-3) 상기 클록 펄스 생성 회로(110)의 앤드 게이트(AND gate)(113)가 상기 이중화된 전대역 통과 필터(112)로부터 각각의 트리거 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 15

제14항에 있어서, 상기 이중화된 디코더(111) 각각은,

정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하되, 상기 디코더 신호는 온(on) 되는 범위의 듀티(duty)를 80% 증가시킨 신호인 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 16

제14항에 있어서, 상기 이중화된 전대역 통과 필터(112) 각각은,

복수의 저항(R)과 커패시터(C) 및 OP 앰프(OP Amp)의 조합으로 구성되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 17

제16항에 있어서, 상기 이중화된 전대역 통과 필터(112) 각각은,

지연신호 발생을 위한 트리거 신호를 각각 출력하되, 상기 이중화된 전대역 통과 필터(112) 중 하나는 상승 에지 트리거(Rising Edge Trigger) 신호를 출력하고, 다른 하나는 하강 에지 트리거(Falling Edge Trigger) 신호를 출력하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 18

제14항 내지 제17항 중 어느 한 항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 이중화된 디코더(111)에서 듀티를 80% 증가시킴에 따라 주파수가 3배 증가되고, 이에 연동하여 이중화된 전대역 통과 필터(112)의 커패시터(C)의 충전 및 방전 시간이 빨라져 충전 속도 및 방전 속도가 증가됨에 따라 입력되는 홀 센서 신호의 주파수 변화에 따른 출력 신호의 듀티 변화의 민감도가 감소되도록 기능하는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 19

제18항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 이중화된 디코더(111)의 출력 신호가 반전되어 3배 주파수의 20% 듀티 신호가 상기 이중화된 전대역 통과 필터(112)에 입력되어 충전 및 방전 속도가 증가하고, 그에 따라 감도는 3배 감소되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 20

제19항에 있어서, 상기 클록 펄스 생성 회로(110)는,

상기 이중화된 전대역 통과 필터(112)를 각각 구성하여 상승 에지 트리거와 하강 에지 트리거를 각각 구현함에 따라 민감도가 더 감소되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

청구항 21

제20항에 있어서, 상기 홀 센서 고장 보상회로 장치(100)는,

홀 센서를 이용하여 회전자의 위치를 검출하여 정밀제어가 가능하고, 고속으로 동작하는 가변속도 BLDC 전동기가 사용될 수 있는 전기기기, 자동차 모터, 영구자석 동기 전동기 시스템에 적용되는 것을 특징으로 하는, BLDC 모터에서의 홀 센서 고장 보상회로 방법.

발명의 설명

기술 분야

[0001]

본 발명은 BLDC(Brushless DC) 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법에 관한 것으로서, 보다 구체적으로는 BLDC 모터의 구동에 필요한 회전자의 위치 정보를 검출하는 3개의 홀 센서 중 하나가 고장난 경우 정상적으로 동작하는 2개의 홀 센서 신호를 이용하여 고장 홀 센서 신호를 생성하여 보상하되, 모터의 회전 속도가 변하는 과도 구간에서 발생하는 주파수 변화에 대응하여 커패시터의 충전 및 방전 속도가 증가되어 회로의 민감도가 감소되고, 그에 따른 고장 홀 센서 신호의 신뢰성이 더욱 향상될 수 있도록 하는 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법에 관한 것이다.

배경 기술

[0002]

일반적으로 BLDC 모터는 반도체 스위치를 통해 DC 모터의 정류자와 브러시 기능을 구현하여 일반적인 DC 모터의 단점을 개선한 전동기이다. 이러한 BLDC 모터는 일반 DC 모터의 특성을 그대로 유지하며, 구조가 간단하고 높은 토크와 고속으로 작동될 수 있다. 그러나 BLDC 모터는 브러시로 회전자와 고정자의 자속 위치가 일정하게 유지되는 일반 DC 모터와 달리 회전자의 자속 위치를 알 수 없으므로, 동작을 위해서는 회전자의 위치, 즉 영구

자석의 위치를 검출해야 한다. 이에 따라 BLDC 모터는 3개의 홀 센서를 사용하여 회전자의 위치를 검출하고 있으며, 회전자의 위치는 홀 센서의 출력 값을 통해 6개의 영역으로 구분되고 있다.

[0003] 그러나 BLDC 모터에 사용되는 홀 센서들은 사용 환경에 따라 빈번한 고장이 발생되고 있으며, 외부 자기장의 영향으로 에러 신호가 발생될 수 있는 문제가 있다. 특히, 고온의 환경에서 자계 감지 능력이 저하되거나 철심의 자기 포화로 인한 급격한 누설 자속에 의한 오차 신호가 발생하면 모터 제어에 악영향을 미치게 된다. 또한, 고속으로 동작하는 영구 자석 동기 모터의 경우, 홀 센서 오류가 발생하면 모터는 정확한 섹션에서 위상 정류를 수행하지 못해 토크 리플과 급격한 제동을 초래하는 문제가 있었다.

[0004] 즉, BLDC 모터는 회전자를 한 쪽 방향으로 계속해서 회전시키기 위해 회전자의 위치를 3개의 홀 센서를 통해 검출하고, 검출된 회전자의 위치에 따라 고정자 코일의 각 상에 흐르는 전류의 방향을 전환시키기 위한 스위칭 소자들을 순차적으로 온/오프 시켜야 하며, 이를 위해 회전자는 자계에 의해 형성되는 위상차 120도의 3상 신호가 복수의 홀 센서에 의해 검출됨으로써 정확한 위치가 파악될 수 있게 된다. 이때, 복수의 홀 센서들은 파손이 쉽게 발생할 뿐만 아니라, 온도 등의 외부 요인에 의해 쉽게 에러를 발생시키는바, 이러한 홀 센서들의 에러는 BLDC 모터의 고장 또는 오동작으로 쉽게 이어지고, 전동기 구동 시스템에서 홀 센서의 고장은 구동시스템의 신뢰성을 떨어뜨리게 되는 문제가 있었다. 이에 홀 센서의 위치 오류를 보정, 감지, 및 진단하기 위한 많은 연구가 진행되고 있으나, 기존의 홀 센서에 관련된 연구들은 홀 센서가 고장 났을 때 얼마나 빠르게 고장을 검출하여 센서리스 제어로 전환하는가에 대한 연구가 대부분이다. 대한민국 등록특허공보 제10-1796948호는 BLDC 모터의 센서리스 제어방법을 선행기술 문헌으로 개시하고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점들을 해결하기 위해 제안된 것으로서, BLDC 모터의 구동에 필요한 회전자의 위치 정보를 검출하는 3개의 홀 센서 중 하나가 고장난 경우 정상적으로 동작하는 2개의 홀 센서 신호를 이용하여 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하는 클록 펄스 생성 회로와, 클록 펄스 생성 회로로부터 수신되는 클록 신호와 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호를 입력받아 고장 홀 센서의 보상 신호를 생성하는 보상 신호 생성부를 구성함으로써, 고장 홀 센서 신호를 생성하여 보상하되, 듀티 증가를 통한 커패시터의 충전 및 방전 속도가 증가되어 회로의 민감도가 감소되고, 그에 따라 모터의 회전 속도가 변하는 과도 구간에서 발생하는 주파수 변화에 대해서도 생성되는 고장 홀 센서 신호의 신뢰성이 더욱 향상될 수 있도록 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법을 제공하는 것을 그 목적으로 한다.

[0006] 또한, 본 발명은, 이중화된 디코더와 이중화된 전대역 통과 필터 및 앤드 게이트를 구비하는 클록 펄스 생성 회로와, D-플립플롭으로 구현되는 보상 신호 생성부를 더 구성함으로써, 회로의 민감도가 더욱 감소되어 가변 속도 BLDC 모터가 적용되는 전동기 시스템에서의 홀 센서 오류의 정확한 보상이 가능하고, 그에 따른 BLDC 모터의 안정적인 제어와 함께 전동기 구동 시스템의 동작 신뢰성이 더욱 향상될 수 있도록 하는, BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법을 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

[0007] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치는,

[0008] BLDC 모터에서의 홀 센서 고장 보상회로 장치로서,

[0009] BLDC 모터의 구동을 제어하는 모터 제어부로부터 3개의 홀 센서 중 정상 작동하는 2개의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하여 출력하는 클록 펄스 생성 회로; 및

[0010] 상기 클록 펄스 생성 회로로부터 수신되는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 하나의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하여 출력하는 보상 신호 생성부를 포함하는 것을 그 구성상의 특징으로 한다.

- [0011] 바람직하게는, 상기 클록 펄스 생성 회로는,
- [0012] 상기 모터 제어부로부터 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하는 이중화된 디코더(Decoder);
- [0013] 상기 이중화된 디코더와 각각 연결 접속되어, 상기 이중화된 디코더로부터 출력되는 디코더 신호를 각각 입력받아 지연신호 발생을 위한 트리거 신호를 출력하는 이중화된 전대역 통과 필터(Original All-pass filter); 및
- [0014] 상기 이중화된 전대역 통과 필터로부터 각각의 트리거 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 출력하는 앤드 게이트(AND gate)를 포함하여 구성할 수 있다.
- [0015] 더욱 바람직하게는, 상기 이중화된 디코더 각각은,
- [0016] 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하되, 상기 디코더 신호는 온(on) 되는 범위의 듀티(duty)를 80% 증가시킨 신호이다.
- [0017] 더욱 바람직하게는, 상기 이중화된 전대역 통과 필터 각각은,
- [0018] 복수의 저항(R)과 커패시터(C) 및 OP 앰프(OP Amp)의 조합으로 구성될 수 있다.
- [0019] 더욱 더 바람직하게는, 상기 이중화된 전대역 통과 필터 각각은,
- [0020] 지연신호 발생을 위한 트리거 신호를 각각 출력하되, 상기 이중화된 전대역 통과 필터 중 하나는 상승 에지 트리거(Rising Edge Trigger) 신호를 출력하고, 다른 하나는 하강 에지 트리거(Falling Edge Trigger) 신호를 출력할 수 있다.
- [0021] 바람직하게는, 상기 클록 펄스 생성 회로는,
- [0022] 상기 이중화된 디코더와 이중화된 전대역 통과 필터 및 앤드 게이트를 단일 IC 칩으로 구성할 수 있다.
- [0023] 더욱 바람직하게는, 상기 클록 펄스 생성 회로는,
- [0024] 상기 이중화된 디코더에서 듀티를 80% 증가시킴에 따라 주파수가 3배 증가되고, 이에 연동하여 이중화된 전대역 통과 필터의 커패시터의 충전 및 방전 시간이 빨라져 충전방전 속도가 증가됨에 따라 입력되는 홀 센서 신호의 주파수 변화에 따른 출력 신호의 듀티 변화의 민감도가 감소되도록 기능할 수 있다.
- [0025] 더욱 더 바람직하게는, 상기 클록 펄스 생성 회로는,
- [0026] 상기 이중화된 디코더의 출력 신호가 반전되어 3배 주파수의 20% 듀티 신호가 상기 이중화된 전대역 통과 필터에 입력되어 충전 및 방전 속도가 증가하고, 그에 따라 감도는 3배 감소될 수 있다.
- [0027] 더욱 더 바람직하게는, 상기 클록 펄스 생성 회로는,
- [0028] 상기 이중화된 전대역 통과 필터를 각각 구성하여 상승 에지 트리거와 하강 에지 트리거를 각각 구현함에 따라 민감도가 더 감소될 수 있다.
- [0029] 더욱 바람직하게는, 상기 보상 신호 생성부는,
- [0030] 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 하나의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호

를 생성하되, 상기 입력되는 하나의 홀 센서 신호는 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호이다.

- [0031] 더욱 더 바람직하게는, 상기 보상 신호 생성부는,
- [0032] D-플립플롭(D Flip-Flop)으로 구성될 수 있다.
- [0033] 더더욱 바람직하게는, 상기 홀 센서 고장 보상회로 장치는,
- [0034] 홀 센서를 이용하여 회전자의 위치를 검출하여 정밀제어가 가능하고, 고속으로 동작하는 가변속도 BLDC 전동기가 사용될 수 있는 전기기기, 자동차 모터, 영구자석 동기 전동기 시스템에 적용될 수 있다.
- [0035] 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 방법은,
- [0036] 클록 펄스 생성 회로와 보상 신호 생성부를 구비하는 홀 센서 고장 보상회로 장치를 이용한 BLDC 모터에서의 홀 센서 고장 보상회로 방법으로서,
- [0037] (1) 상기 클록 펄스 생성 회로가 BLDC 모터의 구동을 제어하는 모터 제어부로부터 3개의 홀 센서 중 정상 작동하는 2개의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하여 출력하는 단계; 및
- [0038] (2) 상기 보상 신호 생성부가 상기 클록 펄스 생성 회로로부터 수신되는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하여 출력하는 단계를 포함하는 것을 그 구성상의 특징으로 한다.
- [0039] 바람직하게는, 상기 단계 (1)에서는,
- [0040] (1-1) 상기 클록 펄스 생성 회로의 이중화된 디코더가, 상기 모터 제어부로부터 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하는 단계;
- [0041] (1-2) 상기 클록 펄스 생성 회로의 이중화된 전대역 통과 필터(Original All-pass filter)가 상기 단계 (1-1)를 통해 상기 이중화된 디코더로부터 출력되는 디코더 신호를 각각 입력받아 지연신호 발생을 위한 트리거 신호를 출력하는 단계; 및
- [0042] (1-3) 상기 클록 펄스 생성 회로의 앤드 게이트(AND gate)가 상기 이중화된 전대역 통과 필터로부터 각각의 트리거 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 출력하는 단계를 포함하여 이루어질 수 있다.
- [0043] 더욱 바람직하게는, 상기 이중화된 디코더 각각은,
- [0044] 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하되, 상기 디코더 신호는 온(on) 되는 범위의 듀티(duty)를 80% 증가시킨 신호이다.
- [0045] 더욱 바람직하게는, 상기 이중화된 전대역 통과 필터 각각은,
- [0046] 복수의 저항(R)과 커패시터(C) 및 OP 앰프(OP Amp)의 조합으로 구성될 수 있다.
- [0047] 더욱 더 바람직하게는, 상기 이중화된 전대역 통과 필터 각각은,
- [0048] 지연신호 발생을 위한 트리거 신호를 각각 출력하되, 상기 이중화된 전대역 통과 필터 중 하나는 상승 에지 트리거(Rising Edge Trigger) 신호를 출력하고, 다른 하나는 하강 에지 트리거(Falling Edge Trigger) 신호를 출

력할 수 있다.

[0049] 바람직하게는, 상기 클록 펄스 생성 회로는,

[0050] 상기 이중화된 디코더에서 듀티를 80% 증가시킴에 따라 주파수가 3배 증가되고, 이에 연동하여 이중화된 전대역 통과 필터의 커패시터의 충전 및 방전 시간이 빨라져 충전 속도 증가됨에 따라 입력되는 홀 센서 신호의 주파수 변화에 따른 출력 신호의 듀티 변화의 민감도가 감소되도록 기능할 수 있다.

[0051] 더욱 바람직하게는, 상기 클록 펄스 생성 회로는,

[0052] 상기 이중화된 디코더의 출력 신호가 반전되어 3배 주파수의 20% 듀티 신호가 상기 이중화된 전대역 통과 필터에 입력되어 충전 및 방전 속도가 증가하고, 그에 따라 감도는 3배 감소될 수 있다.

[0053] 더욱 더 바람직하게는, 상기 클록 펄스 생성 회로는,

[0054] 상기 이중화된 전대역 통과 필터를 각각 구성하여 상승 에지 트리거와 하강 에지 트리거를 각각 구현함에 따라 민감도가 더 감소될 수 있다.

[0055] 더더욱 바람직하게는, 상기 홀 센서 고장 보상회로 장치는,

[0056] 홀 센서를 이용하여 회전자의 위치를 검출하여 정밀제어가 가능하고, 고속으로 동작하는 가변속도 BLDC 전동기가 사용될 수 있는 전기기기, 자동차 모터, 영구자석 동기 전동기 시스템에 적용될 수 있다.

발명의 효과

[0057] 본 발명에서 제안하고 있는 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법에 따르면, BLDC 모터의 구동에 필요한 회전자의 위치 정보를 검출하는 3개의 홀 센서 중 하나가 고장난 경우 정상적으로 동작하는 2개의 홀 센서 신호를 이용하여 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하는 클록 펄스 생성 회로와, 클록 펄스 생성 회로로부터 수신되는 클록 신호와 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호를 입력받아 고장 홀 센서의 보상 신호를 생성하는 보상 신호 생성부를 구성함으로써, 고장 홀 센서 신호를 생성하여 보상하되, 듀티 증가를 통한 커패시터의 충전 및 방전 속도가 증가되어 회로의 민감도가 감소되고, 그에 따라 모터의 회전 속도가 변하는 과도 구간에서 발생하는 주파수 변화에 대해서도 생성되는 고장 홀 센서 신호의 신뢰성이 더욱 향상될 수 있도록 할 수 있다.

[0058] 또한, 본 발명에서 제안하고 있는 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법에 따르면, 이중화된 디코더와 이중화된 전대역 통과 필터 및 앤드 게이트를 구비하는 클록 펄스 생성 회로와, D-플립플롭으로 구현되는 보상 신호 생성부를 더 구성함으로써, 회로의 민감도가 더욱 감소되어 가변 속도 BLDC 모터가 적용되는 전동기 시스템에서의 홀 센서 오류의 정확한 보상이 가능하고, 그에 따른 BLDC 모터의 안정적인 제어와 함께 전동기 구동 시스템의 동작 신뢰성이 더욱 향상될 수 있도록 할 수 있다.

도면의 간단한 설명

[0059] 도 1은 오리지널 전대역 통과 필터(Original All-pass filter)의 회로 구성을 도시한 도면.

도 2는 오리지널 전대역 통과 필터의 작동 과정의 상태를 도시한 도면.

도 3은 오리지널 전대역 통과 필터의 입력 신호의 주파수 변화에 따른 출력 파형을 도시한 도면.

도 4는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치의 구성을 개략적인 기능블록으로 도시한 도면.

도 5는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치의 세부 구성을 기능블록으로 도시한 도면.

도 6은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 디코더의 기능 테이블을 도시한 도면.

도 7은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 디코더의 입력 신호 및 출력 신호를 도시한 도면.

도 8은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 커패시터 충전-방전의 타이밍 구성을 도시한 도면.

도 9는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 입력 신호의 rpm 변화에 따른 커패시터의 충전 및 방전 시간의 테이블을 도시한 도면.

도 10은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 앤드 게이트의 신호 처리의 구성을 도시한 도면.

도 11은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 D-플립플롭의 기능 테이블을 도시한 도면.

도 12는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 D-플립플롭의 입력 및 출력 신호의 구성을 도시한 도면.

도 13은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 고장 전 홀 센서 신호와 고장 후 홀 센서 보상 신호의 구성을 도시한 도면.

도 14는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 정상적으로 동작하는 홀 센서 신호와 홀 센서 보상 신호의 실험 결과를 도시한 도면.

도 15는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 방법에 따른 동작 흐름을 도시한 도면.

도 16은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 방법 중, 단계 S110의 클로 신호 생성 단계의 세부 동작 흐름을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0060] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일한 부호를 사용한다.

[0061] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 ‘연결’되어 있다고 할 때, 이는 ‘직접적으로 연결’되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 ‘간접적으로 연결’되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 ‘포함’한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[0062] 도 1은 오리지널 전대역 통과 필터(Original All-pass filter)의 회로 구성을 도시한 도면이고, 도 2는 오리지널 전대역 통과 필터의 작동 과정의 상태를 도시한 도면이며, 도 3은 오리지널 전대역 통과 필터의 입력 신호의 주파수 변화에 따른 출력 파형을 도시한 도면이다. 도 1에 도시된 바와 같이, 오리지널 전대역 통과 필터는 복수의 저항(R)과, 커패시터(C), 및 OP 앰프의 조합으로 구성되며, 기존의 저역통과 필터, 고역통과 필터, 대역통과 필터 및 대역 차단 필터와 달리, 감쇠 또는 대역 차단 없이 모든 주파수 대역을 통과시키고 위상의 변경만을 발생시킬 수 있다. 이러한 오리지널 전대역 통과 필터는 도 2에 도시된 바와 같이, 신호가 입력되면 커패시터에서 충전과 방전이 반복되고, 충전 및 방전 중에는 커패시터의 전압이 OP 앰프의 오프셋 전압과 비교된다. 이때, 커패시터의 전압이 오프셋 전압보다 클 때 출력 신호가 생성되고, 이러한 출력 신호는 입력 신호와 동일한 진폭 및 듀티를 가지며 위상만 지연되게 된다.

- [0063] 그러나 오리지널 전대역 통과 필터에서 커패시터의 충전 및 방전 시간은 도 3에 도시된 바와 같이, 입력 신호의 주파수에 따라 출력 파형이 변화게 된다. 즉, 1000rpm에서 오리지널 전대역 통과 필터의 홀 센서 보상 신호는 결함이 있는 홀 센서의 정상 상태 신호와 일치한다. 그러나 입력 신호의 주파수를 2000rpm과 3000rpm으로 변경하면 보상 신호의 듀티가 결함이 있는 홀 센서의 정상 상태 신호보다 크게 됨을 알 수 있다. 따라서 오리지널 전대역 통과 필터를 통해 홀 센서를 보정하는 방법은 모터의 회전 속도가 변할 때 로터의 위치를 정확하게 감지할 수 없으므로, 전대역 통과 필터를 모터 시스템에 적용하기 위해서는 입력 신호의 주파수 변화에 따른 커패시터 충전 시간 및 방전 시간의 변화 민감도를 줄여야 한다.
- [0064] 도 4는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치의 구성을 개략적인 기능블록으로 도시한 도면이고, 도 5는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치의 세부 구성을 기능블록으로 도시한 도면이다. 도 4 및 도 5에 도시된 바와 같이, 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치(100)는, 클록 펄스 생성 회로(110), 및 보상 신호 생성부(120)를 포함하여 구성될 수 있다.
- [0065] 클록 펄스 생성 회로(100)는, BLDC 모터(10)의 구동을 제어하는 모터 제어부(20)로부터 3개의 홀 센서 중 정상 작동하는 2개의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하여 출력하는 회로의 구성이다. 이러한 클록 펄스 생성 회로(110)는 도 5에 도시된 바와 같이, 모터 제어부(20)로부터 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하는 이중화된 디코더(Decoder)(111)와, 이중화된 디코더(111)와 각각 연결 접속되어, 이중화된 디코더(111)로부터 출력되는 디코더 신호를 각각 입력받아 지연신호 발생을 위한 트리거 신호를 출력하는 이중화된 전대역 통과 필터(Original All-pass filter)(112)와, 이중화된 전대역 통과 필터(112)로부터 각각의 트리거 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 출력하는 앤드 게이트(AND gate)(113)를 포함하여 구성할 수 있다.
- [0066] 또한, 이중화된 디코더(111) 각각은 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하되, 디코더 신호는 온(on) 되는 범위의 듀티(duty)를 80% 증가시킨 신호로 구현될 수 있다.
- [0067] 도 6은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 디코더의 기능 테이블을 도시한 도면이고, 도 7은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 디코더의 입력 신호 및 출력 신호를 도시한 도면이다. 디코더(111)는 n 입력에 대해 최대 2^n 출력을 생성하는 조합 논리 회로로서, 도 6의 디코더의 기능 테이블 값에 따라 두 신호가 모두 하이 일 때 로우 신호가 발생함을 알 수 있다. 또한, 이중화된 디코더(111) 각각은 도 7에 도시된 바와 같이, 2개의 정상 동작하는 홀 센서 신호가 디코더에 입력되어 80% 듀티를 갖는 신호로 생성되어 출력되게 된다. 여기서, 이중화된 디코더(111)의 출력 신호는 이중화된 전대역 통과 필터(112)에 입력된다.
- [0068] 또한, 이중화된 전대역 통과 필터(112) 각각은 복수의 저항(R)과 커패시터(C) 및 OP 앰프(OP Amp)의 조합으로 구성될 수 있다. 이러한 이중화된 전대역 통과 필터(112) 각각은 지연신호 발생을 위한 트리거 신호를 각각 출력하되, 이중화된 전대역 통과 필터(112) 중 하나는 상승 에지 트리거(Rising Edge Trigger) 신호를 출력하고, 다른 하나는 하강 에지 트리거(Falling Edge Trigger) 신호를 출력하도록 구성될 수 있다. 여기서, 이중화된 전대역 통과 필터(112) 각각의 구성은 도 1에 도시되고 있는 오리지널 전대역 통과 필터와 동일한 구성이다.
- [0069] 도 8은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 커패시터 충전-방전의 타이밍 구성을 도시한 도면이고, 도 9는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회

로 장치에 적용되는 입력 신호의 rpm 변화에 따른 커패시터의 충전 및 방전 시간의 테이블을 도시한 도면이다. 이중화된 전대역 통과 필터(112) 각각은 이중화된 디코더(111)의 입력 신호의 듀티 사이클이 80%로 증가하여 입력되면, 도 8에 도시된 바와 같이, 커패시터(C)의 충전 및 방전 시간이 단축되고, 이러한 커패시터(C)의 충전-방전 시간을 줄이면 입력 신호 주파수의 변화에 따라 오리지널 전대역 통과 필터(112)의 출력 신호의 듀티 사이클 변화의 감도가 감소하게 된다. 이때, 디코더(111)의 출력 신호가 위아래로 반전된다면 3배 주파수의 20% 듀티 신호가 마치 전대역 통과 필터(112)에 입력된 것처럼 보이게 되며, 보다 낮은 값의 커패시터(C)를 사용할 수 있게 되고, 오리지널 전대역 통과 필터(112)의 충전 및 방전 속도가 증가하게 된다. 즉, 도 9에 도시되는 바와 같이, 오리지널 전대역 통과 필터와, 본 발명에 따른 디코더(111)와 연결 접속되는 전대역 통과 필터(112)의 rpm 변화에 따른 충전 및 방전 시간에서 알 수 있듯이 입력 신호의 주파수 변화에 대한 회로의 감도는 같다. 주파수가 변경 되더라도 동일한 듀티 및 위상 지연 신호를 출력하려면 회로의 감도가 낮아야 한다. 입력 신호 주파수가 1000rpm씩 바뀌면 원래의 오리지널 전대역 통과 필터의 감도는 5ms이고, 본 발명의 디코더(111) 및 전대역 통과 필터(112)는 1.7ms이므로, 단독의 오리지널 전대역 통과 필터에 비해 본 발명의 디코더(111)와 전대역 통과 필터(112)의 조합된 구성의 감도는 3배 감소하게 됨을 알 수 있다.

[0070] 또한, 클록 펄스 생성 회로(110)는 이중화된 디코더(111)와 이중화된 전대역 통과 필터(112) 및 앤드 게이트(113)를 단일 IC 칩으로 구성할 수도 있다.

[0071] 또한, 클록 펄스 생성 회로(110)는 이중화된 디코더(111)에서 듀티를 80% 증가시킴에 따라 주파수가 3배 증가되고, 이에 연동하여 이중화된 전대역 통과 필터(112)의 커패시터(C)의 충전 및 방전 시간이 빨라져 충방전 속도가 증가됨에 따라 입력되는 홀 센서 신호의 주파수 변화에 따른 출력 신호의 듀티 변화의 민감도가 감소되도록 기능할 수 있다. 이러한 클록 펄스 생성 회로(110)는 이중화된 디코더(111)의 출력 신호가 반전되어 3배 주파수의 20% 듀티 신호가 이중화된 전대역 통과 필터(112)에 입력되어 충전 및 방전 속도가 증가하고, 그에 따라 감도는 3배 감소될 수 있다.

[0072] 또한, 클록 펄스 생성 회로(110)는 이중화된 전대역 통과 필터(112)를 각각 구성하여 상승 에지 트리거와 하강 에지 트리거를 각각 구현함에 따라 민감도가 더 감소되도록 할 수 있다.

[0073] 도 10은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 앤드 게이트의 신호 처리의 구성을 도시한 도면이다. 도 10은 이중화된 전대역 통과 필터(112) 각각의 입력 신호와, 앤드 게이트(113)의 출력 신호의 타이밍 구성을 나타내고 있다.

[0074] 보상 신호 생성부(120)는, 클록 펄스 생성 회로(110)로부터 수신되는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 하나의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하여 출력하는 구성이다. 이러한 보상 신호 생성부(120)는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 하나의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하되, 입력되는 하나의 홀 센서 신호는 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호이다. 여기서, 보상 신호 생성부(120)는 D-플립플롭(D Flip-Flop)(121)으로 구성될 수 있다.

[0075] 도 11은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 D-플립플롭의 기능 테이블을 도시한 도면이고, 도 12는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 D-플립플롭의 입력 및 출력 신호의 구성을 도시한 도면이다. D-플립플롭(121)은 클록 펄스의 상승 또는 하강 에지에서 출력 상태가 변경되는 특성을 갖는 IC 칩이다. 이러한 D-플립플롭(113)은 클록 펄스와 정상 작동 홀 센서 신호가 입력되면, 도 11의 기능 테이블에 기초하여 D-플립플롭(121)의 출력 신호, 즉 고장 홀 센서의 신호가 보상되게 된다.

- [0076] 도 13은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 고장 전 홀 센서 신호와 고장 후 홀 센서 보상 신호의 구성을 도시한 도면이다. 도 13은 고장 전 홀 센서 신호와 고장 후 홀 센서 보상 신호로서, 홀 센서의 보상 신호와 오류 전의 홀 센서 신호는 동일한 위상 및 듀티 오류를 가지며, 첫 번째 사이클에서 두 신호에 대한 오차는 정상 상태에 도달하기 전에 커패시터의 충전 시간에서 과도 상태로 인한 것이다. 따라서 고장 홀 센서의 신호는 첫 번째 한 사이클을 제외하고 정상적으로 보상될 수 있음을 알 수 있으며, 입력 신호의 주파수가 변하더라도 같은 위상 지연과 듀티가 출력됨이 확인되었다. 도 13의 (a)는 1000rpm, (b)는 2000rpm, (c)는 3000rpm인 경우를 나타내고 있다.
- [0077] 도 14는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치에 적용되는 정상적으로 동작하는 홀 센서 신호와 홀 센서 보상 신호의 실험 결과를 도시한 도면이다. 도 14에 도시된 바와 같이, C1은 정상적으로 동작하는 홀 센서의 신호이고, C2는 설계된 회로로부터 출력된 홀 센서 보상 신호로서, 정상적으로 동작하는 홀 센서 신호와 홀 센서 보상 신호는 약 1%의 오차로 서로 일치하며, 입력 신호의 주파수가 변경 되더라도 동일한 위상 지연과 듀티 값이 출력됨을 알 수 있다. 실험 데이터의 이론값과 주파수 값의 차이는 모터 컨트롤러의 속도 명령을 따르는 과정에서 발생하는 오차이다.
- [0078] 상기와 같은 구성 및 동작 구현원리를 갖는 본 발명에 따른 홀 센서 고장 보상회로 장치(100)는 홀 센서를 이용하여 회전자의 위치를 검출하여 정밀제어가 가능하고, 고속으로 동작하는 가변속도 BLDC 전동기가 사용될 수 있는 전기기기, 자동차 모터, 영구자석 동기 전동기 시스템에 적용될 수 있다.
- [0079] 도 15는 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 방법에 따른 동작 흐름을 도시한 도면이고, 도 16은 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 방법 중, 단계 S110의 클럭 신호 생성 단계의 세부 동작 흐름을 도시한 도면이다. 도 15에 도시된 바와 같이, 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 방법은, 고장 홀 센서의 보상신호 발생을 위한 클럭 신호를 생성하여 출력하는 단계(S110), 및 고장 홀 센서의 보상신호를 생성하여 출력하는 단계(S120)를 포함하여 구현될 수 있다. 여기서, 본 발명에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 방법은 도 4 내지 도 5에 각각 도시되는 바와 같이, 클럭 펄스 생성 회로(110)와 보상 신호 생성부(120)를 구비하는 홀 센서 고장 보상회로 장치(100)가 적용되는 것으로 이해될 수 있다.
- [0080] 단계 S110에서는, 클럭 펄스 생성 회로(110)가 BLDC 모터(10)의 구동을 제어하는 모터 제어부(20)로부터 3개의 홀 센서 중 정상 작동하는 2개의 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클럭 신호를 생성하여 출력한다. 이러한 단계 S110에서는 도 3에 도시된 바와 같이, 클럭 펄스 생성 회로(110)의 이중화된 디코더(111)가, 모터 제어부(20)로부터 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하는 단계(S111)와, 클럭 펄스 생성 회로(110)의 이중화된 전대역 통과 필터(Original All-pass filter)(112)가 단계 S111을 통해 이중화된 디코더(111)로부터 출력되는 디코더 신호를 각각 입력받아 지연신호 발생을 위한 트리거 신호를 출력하는 단계(S112)와, 클럭 펄스 생성 회로(110)의 앤드 게이트(AND gate)(113)가 이중화된 전대역 통과 필터(112)로부터 각각의 트리거 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클럭 신호를 출력하는 단계(S113)를 포함하여 이루어질 수 있다.
- [0081] 또한, 이중화된 디코더(111) 각각은 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하되, 디코더 신호는 온(on) 되는 범위의 듀티(duty)를 80% 증가시킨 신호로 구성될 수 있다.
- [0082] 또한, 이중화된 전대역 통과 필터(112) 각각은 복수의 저항(R)과 커패시터(C) 및 OP 앰프(OP Amp)의 조합으로 구성될 수 있다. 이러한 이중화된 전대역 통과 필터(112) 각각은 지연신호 발생을 위한 트리거 신호를 각각 출력하되, 상기 이중화된 전대역 통과 필터(112) 중 하나는 상승 에지 트리거(Rising Edge Trigger) 신호를 출력

하고, 다른 하나는 하강 에지 트리거(Falling Edge Trigger) 신호를 출력할 수 있다.

[0083] 또한, 클록 펄스 생성 회로(110)는 이중화된 디코더(111)에서 듀티를 80% 증가시킴에 따라 주파수가 3배 증가되고, 이에 연동하여 이중화된 전대역 통과 필터(112)의 커패시터(C)의 충전 및 방전 시간이 빨라져 충전 속도 가 증가됨에 따라 입력되는 홀 센서 신호의 주파수 변화에 따른 출력 신호의 듀티 변화의 민감도가 감소되도록 기능할 수 있다.

[0084] 또한, 클록 펄스 생성 회로(110)는 이중화된 디코더(111)의 출력 신호가 반전되어 3배 주파수의 20% 듀티 신호가 이중화된 전대역 통과 필터(112)에 입력되어 충전 및 방전 속도가 증가하고, 그에 따라 감도는 3배 감소될 수 있다.

[0085] 또한, 클록 펄스 생성 회로(110)는 이중화된 전대역 통과 필터(112)를 각각 구성하여 상승 에지 트리거와 하강 에지 트리거를 각각 구현함에 따라 민감도가 더 감소되도록 할 수 있다.

[0086] 단계 S120에서는, 보상 신호 생성부(120)가 클록 펄스 생성 회로(110)로부터 수신되는 클록 신호와, 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호를 입력받아 고장 홀 센서의 보상신호를 생성하여 출력할 수 있다. 여기서, 보상 신호 생성부(120)는 D-플립플롭(D Flip-Flop)(121)으로 구성될 수 있다.

[0087] 상술한 바와 같이, 본 발명의 일실시예에 따른 BLDC 모터에서의 홀 센서 고장 보상회로 장치 및 그 방법은, BLDC 모터의 구동에 필요한 회전자의 위치 정보를 검출하는 3개의 홀 센서 중 하나가 고장난 경우 정상적으로 동작하는 2개의 홀 센서 신호를 이용하여 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하는 클록 펄스 생성 회로와, 클록 펄스 생성 회로로부터 수신되는 클록 신호와 정상 작동하는 2개의 홀 센서 신호 중 위상이 빠른 홀 센서 신호를 입력받아 고장 홀 센서의 보상 신호를 생성하는 보상 신호 생성부를 구성함으로써, 고장 홀 센서 신호를 생성하여 보상하되, 듀티 증가를 통한 커패시터의 충전 및 방전 속도가 증가되어 회로의 민감도가 감소되고, 그에 따라 모터의 회전 속도가 변하는 과도 구간에서 발생하는 주파수 변화에 대해서도 생성되는 고장 홀 센서 신호의 신뢰성이 더욱 향상될 수 있도록 할 수 있다. 또한, 이중화된 디코더와 이중화된 전대역 통과 필터 및 앤드 게이트를 구비하는 클록 펄스 생성 회로와, D-플립플롭으로 구현되는 보상 신호 생성부를 더 구성함으로써, 회로의 민감도가 더욱 감소되어 가변 속도 BLDC 모터가 적용되는 전동기 시스템에서의 홀 센서 오류의 정확한 보상이 가능하고, 그에 따른 BLDC 모터의 안정적인 제어와 함께 전동기 구동 시스템의 동작 신뢰성이 더욱 향상될 수 있도록 할 수 있게 된다.

[0088] 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

[0089] 100: 본 발명의 일실시예에 따른 홀 센서 고장 보상회로 장치

110: 클록 펄스 생성 회로

111: 이중화된 디코더

113: 이중화된 전대역 통과 필터

114: 앤드 게이트

120: 보상 신호 생성부

121: D-플립플롭

S110: 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 생성하여 출력하는 단계

S111: 정상 작동하는 2개의 홀 센서 신호를 각각 입력받아 온(on) 되는 범위의 듀티(duty)를 늘린 디코더 신호를 출력하는 단계

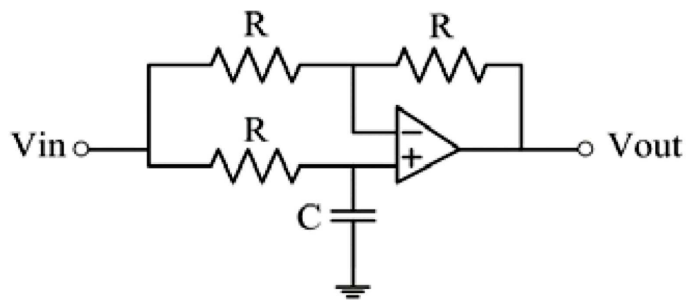
S112: 디코더 신호를 각각 입력받아 지연신호 발생을 위한 트리거 신호를 출력하는 단계

S113: 트리거 신호를 입력받아 고장 홀 센서의 보상신호 발생을 위한 클록 신호를 출력하는 단계

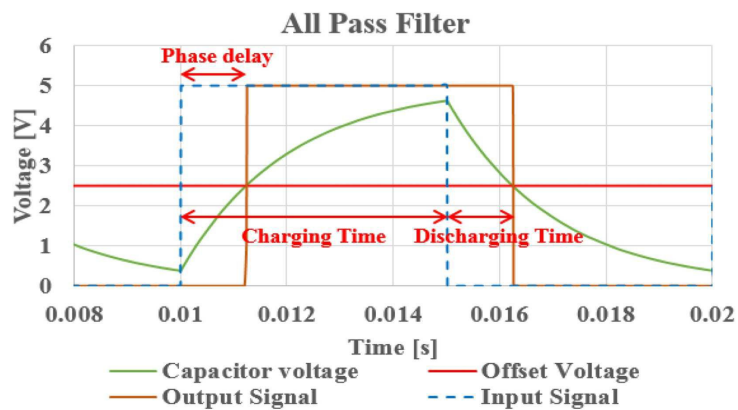
S120: 고장 홀 센서의 보상신호를 생성하여 출력하는 단계

도면

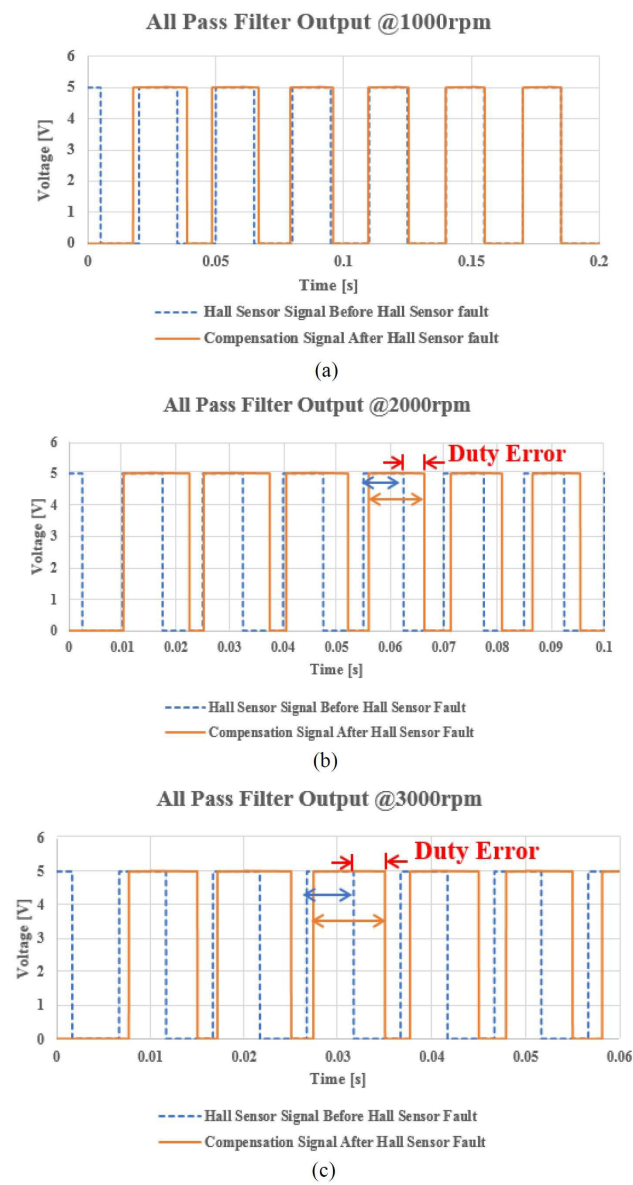
도면1



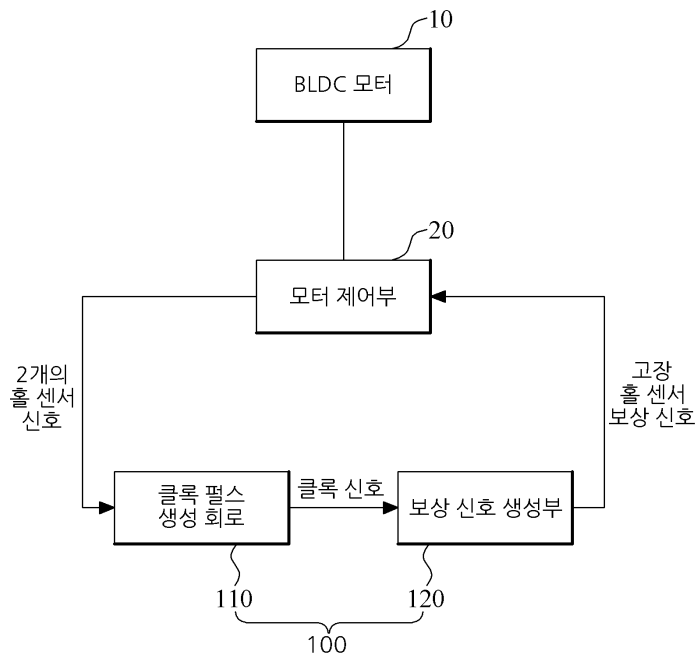
도면2



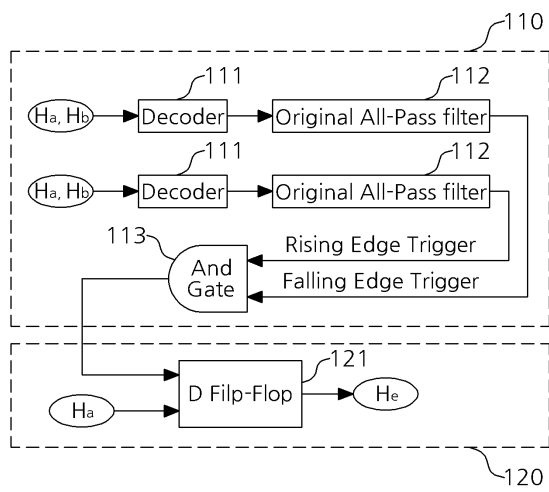
도면3



도면4



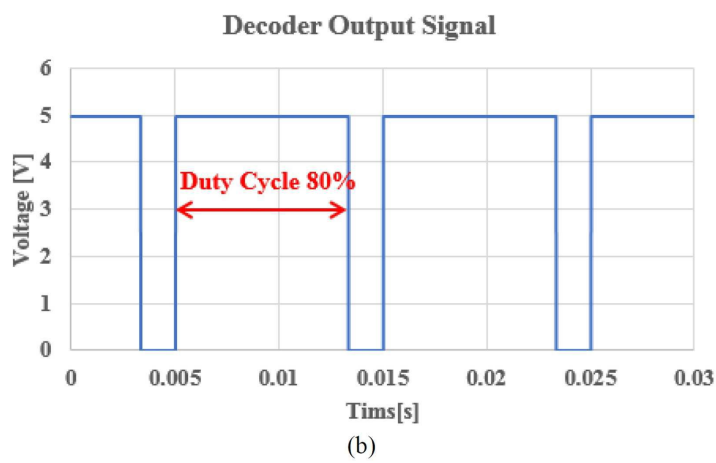
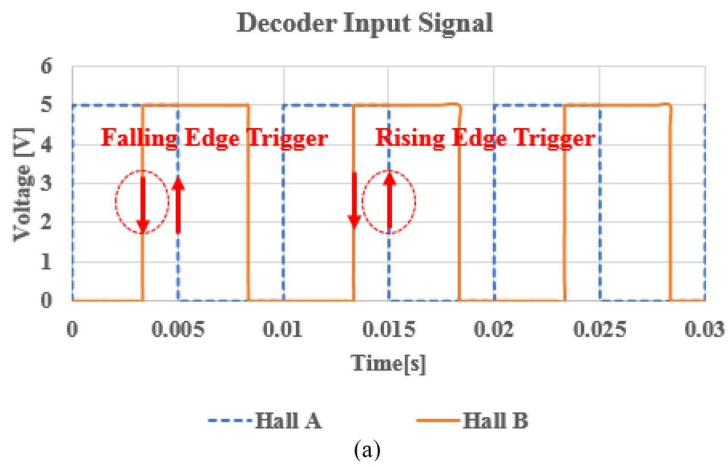
도면5



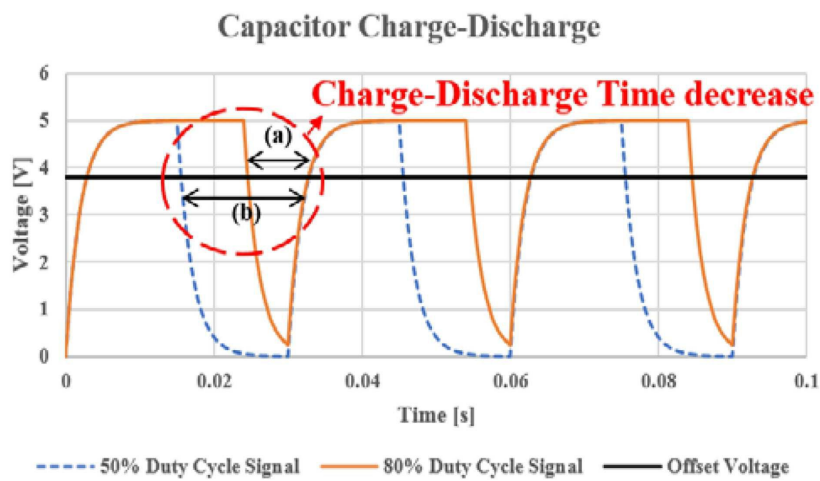
도면6

Input		Output
A1	A2	$\bar{Y}_3$
L	L	H
H	L	H
L	H	H
H	H	L

도면7



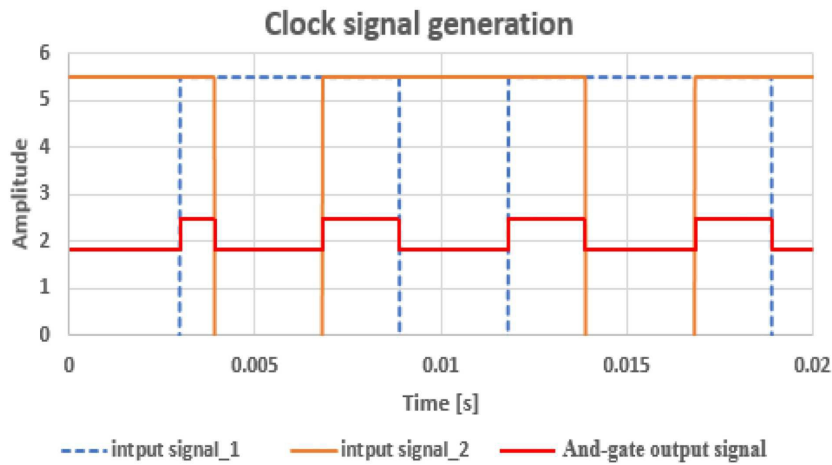
도면8



도면9

RPM	Original All-pass filter	Decoder & All-pass filter	Unit
1000	15	5	ms
2000	10	3.3	
3000	5	1.6	
Sensitivity	5	1.7	ms/1000rpm

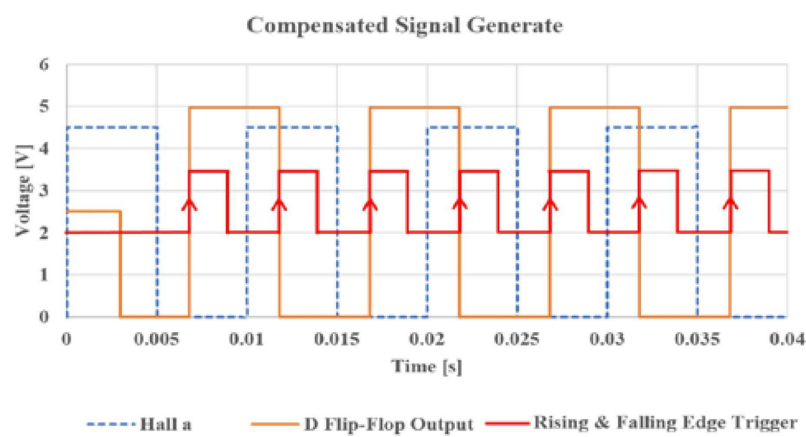
도면10



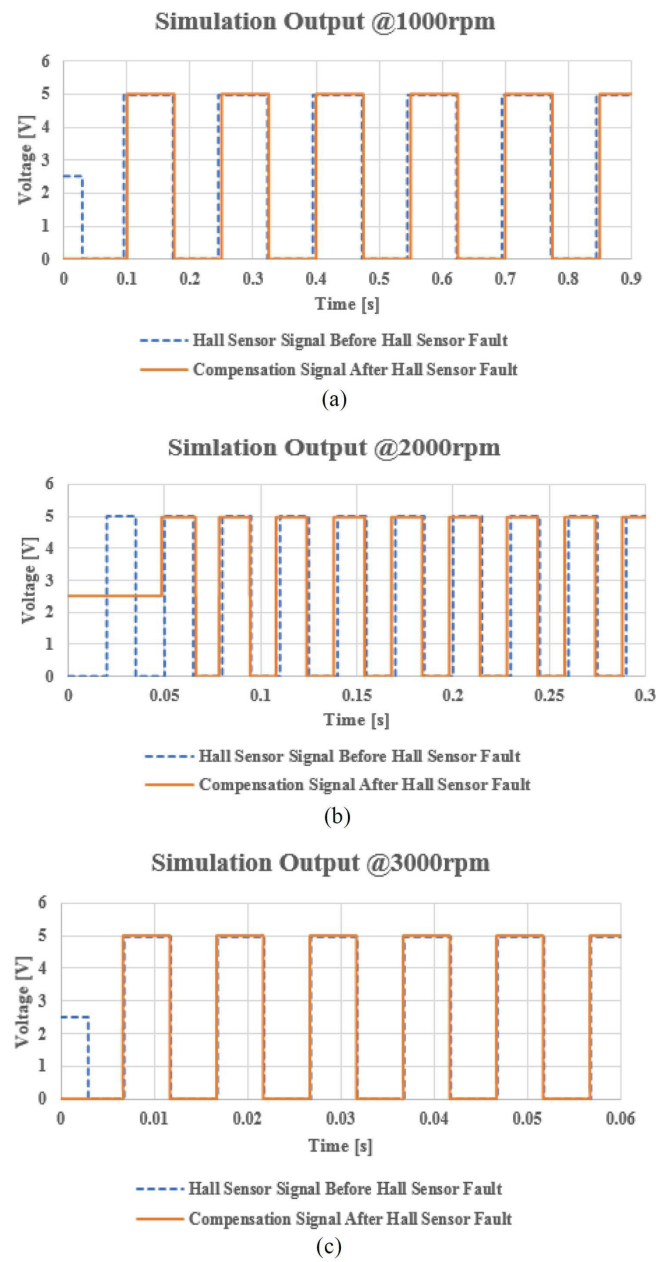
도면11

Input			Output
PRE	D	CLK	$\bar{Q}$
H	L	↑	H
H	H	↑	L

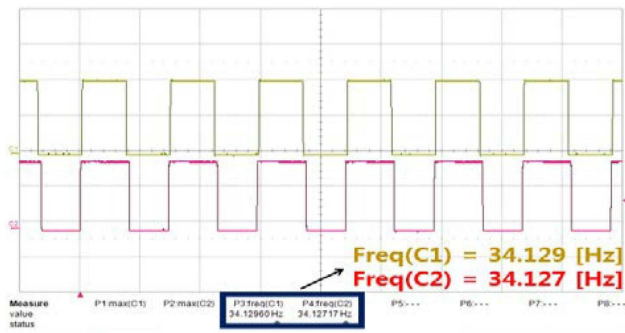
도면12



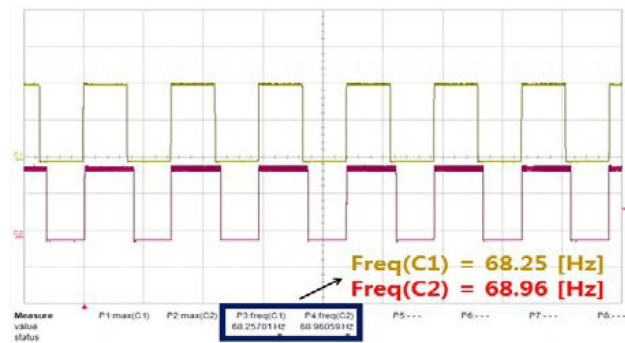
도면13



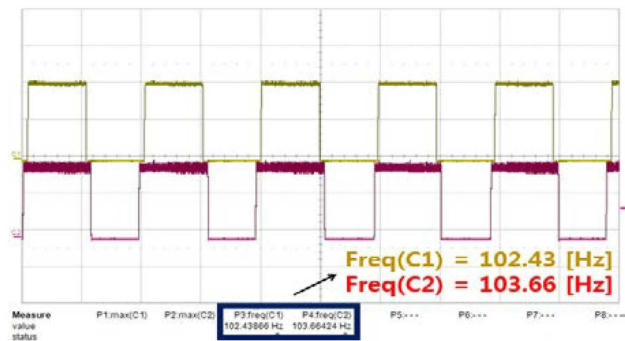
도면14



(a)

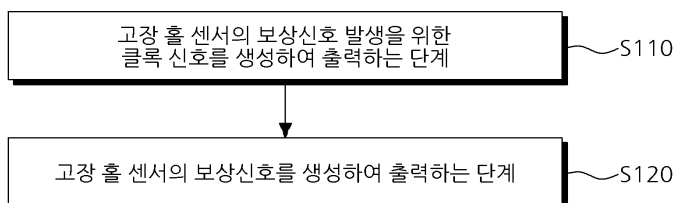


(b)



(c)

도면15



도면16

