

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6376736号
(P6376736)

(45) 発行日 平成30年8月22日(2018.8.22)

(24) 登録日 平成30年8月3日(2018.8.3)

(51) Int.Cl.		F I			
HO 1 L	21/28	(2006.01)	HO 1 L	21/28	3 O 1 S
HO 1 L	29/417	(2006.01)	HO 1 L	21/28	3 O 1 B
HO 1 L	21/336	(2006.01)	HO 1 L	29/50	M
HO 1 L	29/78	(2006.01)	HO 1 L	29/78	3 O 1 B

請求項の数 14 外国語出願 (全 14 頁)

(21) 出願番号	特願2013-180908 (P2013-180908)	(73) 特許権者	591060898 アイメック I MEC ベルギー、ペー-3001ルーヴァン、カ ペルドリーフ75番
(22) 出願日	平成25年9月2日(2013.9.2)	(73) 特許権者	507350912 台湾・セミコンダクター・マニユファ クチャリング・カンパニー・リミテッド Taiwan Semiconductor r Manufacturing Com pany Ltd. 台湾300-077シンチュ、リーシン・ ロード6番8
(65) 公開番号	特開2014-49768 (P2014-49768A)	(74) 代理人	100101454 弁理士 山田 卓二
(43) 公開日	平成26年3月17日(2014.3.17)		
審査請求日	平成28年8月26日(2016.8.26)		
(31) 優先権主張番号	12182800.8		
(32) 優先日	平成24年9月3日(2012.9.3)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 半導体デバイスおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲルマニウムチャンネル層を備えたトランジスタデバイスを製造する方法であって、
基板の上に設けられた前記ゲルマニウムチャンネル層の上であって、前記ゲルマニウムチャンネル層に対して互いに反対側に位置するゲルマニウムソース領域とゲルマニウムドレイン領域との間にゲート構造を設ける工程と、

前記ゲルマニウムソース領域および前記ゲルマニウムドレイン領域の上に、SiおよびGeを含むキャップ層を設ける工程と、

前記キャップ層の上に金属層を堆積させる工程と、

温度工程を実施し、前記キャップ層の少なくとも一部を、前記金属層を溶解させるように構成された所定のエッチャントに溶解しない金属ゲルマノシリサイドに変質させる工程と、

前記所定のエッチャントによって、消費されていない金属を前記基板から選択的に除去する工程と、

プレメタル誘電体層を設ける工程と、を含む方法。

【請求項2】

前記キャップ層の上に金属層を堆積させる工程と、

前記温度工程を実施し、前記キャップ層の少なくとも一部を金属ゲルマノシリサイドに変質させる工程と、

前記消費されていない金属を前記基板から選択的に除去する工程とを、

前記プレメタル誘電体層を堆積させる工程の前に実施することを含む、請求項 1 に記載の方法。

【請求項 3】

前記キャップ層の上に金属層を堆積させる工程と、
前記温度工程を実施し、前記キャップ層の少なくとも一部を金属ゲルマノシリサイドに変質させる工程と、
前記消費されていない金属を前記基板から選択的に除去する工程とを、
前記堆積させる工程と、プレメタル誘電体層内に開口部をパターンニングする工程との後に実施することを含む、請求項 1 に記載の方法。

【請求項 4】

前記ゲート構造を最終ゲート構造で置換する工程をさらに含む、請求項 1 から 3 のいずれか 1 項に記載の方法。

【請求項 5】

前記金属層は、Ni もしくは Pt または Ni と Pt との複合体、または Pd もしくは Cu または Pd と Cu との複合体を含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

【請求項 6】

前記キャップ層を設ける工程は、前記ゲルマニウムソース領域およびドレイン領域の上に前記キャップ層をエピタキシャル成長させる工程を含む、請求項 1 から 5 のいずれか 1 項に記載の方法。

【請求項 7】

前記キャップ層の上に金属層を堆積させる工程と、前記温度工程を実施し、前記キャップ層の少なくとも一部を金属ゲルマノシリサイドに変質させる工程との後に、キャップ層の未反応部分または未変質部分が下位のゲルマニウムチャンネル層を覆った状態を維持するように、堆積させる金属層を設ける、請求項 1 から 6 のいずれか 1 項に記載の方法。

【請求項 8】

前記キャップ層は、SiGe を含み、20% から 100% のシリコンを含有する、請求項 1 から 7 のいずれか 1 項に記載の方法。

【請求項 9】

前記キャップ層の上に金属層を堆積させる工程の前に、前記キャップ層を成長させた後にスペーサを形成し、SiGe のファセット成長に起因して存在しうる薄い SiGe 領域を幾らか覆うようにした工程を含む、請求項 8 に記載の方法。

【請求項 10】

ほぼファセットフリーモードで前記キャップ層を成長させる工程を含む、請求項 1 から 8 のいずれか 1 項に記載の方法。

【請求項 11】

前記キャップ層は、ゲルマニウムチャンネル層とゲルマニウムソース領域およびドレイン領域との、前記所定のエッチャントへの曝露を防止するように構成された、請求項 1 から 10 のいずれか 1 項に記載の方法。

【請求項 12】

前記キャップ層は、少なくとも 5 nm の厚さを有する、請求項 1 から 11 のいずれか 1 項に記載の方法。

【請求項 13】

前記プレメタル誘電体層に、ゲルマニウムチャンネル層とゲルマニウムソース領域およびドレイン領域との、前記所定のエッチャントへの曝露を防止する機能をもたせた、請求項 1 から 12 のいずれか 1 項に記載の方法。

【請求項 14】

基板の上のゲルマニウムチャンネル層と、
前記ゲルマニウムチャンネル層の上のゲート構造であって、前記ゲルマニウムチャンネル層に対して互いに反対側に位置するゲルマニウムソース領域とゲルマニウムドレイン領域との間に配置されたゲート構造と、

10

20

30

40

50

前記ソース領域および/またはドレイン領域のそれぞれの上で部分的に変質したキャップ層であって、その一部のみが金属ゲルマノ - シリサイドを含むようにしたキャップ層と、を備えたマイクロ電子デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して電界効果トランジスタ(FET)のような電界効果半導体デバイスに関する。

【背景技術】

【0002】

電界効果半導体デバイスの大規模集積化には未だ種々の課題が存在する。FETトランジスタゲート長は短くなり続け、それらを画定するプロセスは、所望の臨界寸法を達成するために、制御がますます困難になっている。

【0003】

今日、シリコン系FETトランジスタデバイスの分野では、通常、自己整合(self-aligned)シリサイドプロセスを含むことにより、S/D領域とシリコンゲートの抵抗を低下させている。それは、典型的に、前洗浄プロセス、金属蒸着プロセスおよびアニールプロセスを実施して金属シリサイド合金を形成し、続いて選択ウェットエッチングを実施して、反応していない(non-reacted)金属を除去することを含む。このようなウェットエッチングプロセス中、露出したシリコン表面(例えば、シリコンチャンネル層)には、自動的に薄い不動態シリコン酸化物が表面に形成され、下位のシリコンが影響を受けるのを防止する。

【0004】

従来技術では、例えばゲルマニウム基板の上にゲルマニウム系FETトランジスタを製造する場合に、類似のゲルマナイド化プロセス(germanidation process)が開発されてきた。このプロセスで、ゲルマニウム表面にゲルマナイド化プロセスを直接に適用する場合、ポイド形成が大きな問題である。このようなゲルマナイド化プロセスは、典型的に、前洗浄プロセス、金属蒸着プロセスおよびアニールプロセスを実施して金属ゲルマニウム合金を形成し、続いて選択ウェットエッチングを実施して、反応していない金属を除去することを含む。アニール温度を最適化して、ゲルマナイド化反応中に、Geの金属(例えば、NiまたはNiPt)中への拡散によるポイド形成を取り除くことができる(例えば米国特許7,517,765参照)。一方で、反応していない金属を除去するための選択エッチング中にさらにポイドが形成される可能性があり、これが問題となる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

一般的な問題は、より貴な金属と接した場合、ゲルマニウムが水溶液中でガルバニック腐食を受けやすいことである。ゲルマナイドモジュールの特定のケースでは、ゲルマニウムは、ガルバニック反応でアノード60として機能し、より貴な金属(例えばNiGe、Ni、NiPtGe、NiPt)は、カソード61として機能する(図1を参照)。水性化学種に対して曝露されたGeの面積が小さいとき、ポイド形成または孔食(pitting)62が非常に激しくなり、この結果、高いガルバニ電流密度となり、これにより局部腐食速度が大きくなる場合がある。ゲルマニウム酸化物が水溶性である場合、薄い不動態酸化物層は形成できない。これは、シリコン系FETトランジスタについてのシリサイド化プロセスとは、SiO₂は水溶性でなく多くの水溶液中で不動態化するため、大きく異なる。

【0006】

本開示の目的は、ゲルマニウム系チャンネル層と、ゲルマニウム系ソース領域、ドレイン領域とを備えたトランジスタデバイスを、ゲルマナイド化プロセスにより製造する改良された方法を提供し、これによりポイド形成を低減し、または回避することである。

10

20

30

40

50

【課題を解決するための手段】

【0007】

この目的は、第1の独立請求項の技術的特徴を示す方法で、本開示により達成される。

【0008】

本発明の第1の実施形態では、ゲルマニウムまたはゲルマニウム系チャンネル層を備えたトランジスタデバイスを製造する方法について開示している。この方法は、

基板（例えばゲルマニウム基板、Geを含むエピタキシャル層を有するSi基板、または、絶縁体基板の上の Si_xGe_{1-x} （ $0 < x < 1$ ））の上に設けられたゲルマニウム系チャンネル層の上であって、ゲルマニウム系チャンネル層に対して互いに反対側に位置するゲルマニウム系ソース領域とゲルマニウム系ドレイン領域との間にゲート構造を設ける工程と、

10

ゲルマニウム系ソース領域およびゲルマニウム系ドレイン領域の上に、シリコンおよびゲルマニウムを含む、例えばSiGeを含むキャップ層を設ける工程と、

キャップ層の上に金属層を堆積させる工程と、

例えばアニール工程のような温度工程(temperature step)を実施し、キャップ層の少なくとも一部を、上記金属を溶解させるように構成された所定のエッチャントに溶解しない金属ゲルマノシリサイド(metal germano-silicide)に変質させる工程と、

当該所定のエッチャントによって、消費されていない金属層を基板から選択的に除去する工程と、

プレメタル誘電体層(premetal dielectric layer)を設ける工程と、を含む。

20

【0009】

ゲルマニド化プロセスを実施する前に、ソース領域およびドレイン領域の上にキャップ層を設けることにより、ゲルマニウム系チャンネル、および/またはソース領域とドレイン領域でのボイド形成を低減させ、または回避できることは、一つの利点である。ボイド形成を低減させ、または回避できるのは、消費されていない金属層の選択的除去（例えばエッチング）中に、チャンネル層とソース領域およびドレイン領域のゲルマニウム、および可能性があるものとして他のゲルマニウム系の層のゲルマニウムの露出が防止されるからである。好ましくは、キャップ層の上部が金属層と反応し、一方、他の、一般には下部の、未反応部分が、消費されていない金属層の選択的除去（例えばエッチング）中に、エッチストップ層として機能することができる。

30

【0010】

好ましい実施形態で、この方法はさらに、開口領域が作成されるようにプレメタル誘電体層をパターニングする工程と、その開口領域を電気伝導性材料で充填してソースとドレインをメタライゼーションラインに接続する工程とを含む。プレメタル誘電体層は、例えば、シリコン酸化物層、シリコン酸化物/シリコン窒化物層のスタック、またはlow-k（低誘電率）誘電体であってもよい。

【0011】

チャンネル層は、ゲルマニウム系チャンネル層であってもよい。それは例えば、ゲルマニウムを80%より多く、90%より多く、95%より多く、99%より多く含む層であってもよく、100%のゲルマニウムで構成される層であってもよい。

40

【0012】

ソース領域とドレイン領域は、それぞれゲルマニウムをベースとしてもよい。それらは例えば、ゲルマニウムを80%より多く、90%より多く、95%より多く、99%より多く含む層であってもよく、100%のゲルマニウムで構成される層であってもよい。

【0013】

少なくともソース領域およびドレイン領域の上にキャップ層を設ける工程は、ゲート構造とソース領域およびドレイン領域との間にそれぞれキャップ層を設けることを含んでもよい。

【0014】

温度工程を実施する工程は、150 から450 の温度を与えることを含んでもよい

50

。より好ましくは、それは200 から400 の温度であってもよい。さらに好ましくは、それは250 から400 の温度であってもよい。またさらに好ましくは、それは250 から350 の温度であってもよい。

【0015】

好ましい実施形態で、この方法は、
 キャップ層の上に金属層を堆積させる工程と、
 温度工程を実施し、キャップ層の少なくとも一部を金属ゲルマノシリサイドに変質させる工程と、
 消費されていない金属または金属層を基板から選択的に除去する工程とを、
 プレメタル誘電体層を堆積させる工程の前に実施することを含む。

10

【0016】

これにより、金属ゲルマノシリサイドとチャンネルとの間の距離を最小化できるという利点を得られる。当該距離は、主として、または完全に、スペース幅によって決定されてもよい。

【0017】

代替の好ましい実施形態で、この方法は、
 キャップ層の上に金属層を堆積させる工程と、
 温度工程を実施し、キャップ層の少なくとも一部を金属ゲルマノシリサイドに変質させる工程と、
 消費されていない金属を基板から選択的に除去する工程とを、
 プレメタル誘電体層を堆積させる工程とプレメタル誘電体層内に開口部をパターンニングする工程との後に実施することを含む。

20

【0018】

金属ゲルマノ - シリサイドの形成をプロセスフローの後半まで後回しにすることで、他の処理モジュール(processing module)を、金属ゲルマノ - シリサイドであれば耐えられないであろうプロセス条件、例えば温度で実施できるという利点を得られる。かかるプロセスは、例えば置換金属ゲートプロセスである。

【0019】

好ましい実施形態で、この方法は、ゲート構造を最終ゲート(final gate)構造で置換する工程をさらに含む。

30

【0020】

好ましい実施形態では、ゲート構造を最終ゲート構造で置換する工程を、プレメタル誘電体層を堆積させる工程の後に実施し、例えばプレメタル誘電体層をパターンニングしてキャップ層を露出させる工程の前に実施する。

【0021】

好ましい実施形態で、ゲート構造は、1つまたは複数の誘電体層と、1つまたは複数の金属層および/またはドーパントシリコン層を含む導電性電極とを有する。ゲート構造は、スペース構造により横方向に制限され、ゲートはゲルマニウム含有チャンネル層に隣接する。スペース構造は、例えばシリコン窒化物、シリコン酸化物、または両者の複合体(combination)を含んでもよく、またはこれらで構成されてもよい。

40

【0022】

好ましい実施形態で、金属層は、NiもしくはPtまたはNiとPtの両方、例えばNiとPtとの複合体を含んでもよく、またはこれらで構成されてもよい。または、金属層は、PdもしくはCuまたはPdとCuの両方、例えばPdとCuとの複合体を含んでもよく、またはこれらで構成されてもよい。

【0023】

それに関連する可能なエッチャントは、例えば高温のHClであってもよい。

【0024】

好ましい実施形態で、キャップ層、例えばSiGe層を設ける工程は、ゲルマニウム系ソース領域およびドレイン領域の上にキャップ層をエピタキシャル成長させる工程を含む

50

。

【0025】

好ましい実施形態で、この方法は、ほぼファセットフリーモード (facet-free mode) でキャップ層、例えば SiGe 層を成長させる工程を含む。あるいは、以下でさらに説明するように、この方法は、形成された SiGe 層のファセットを追加のスペーサにより覆い、ファセットの上での金属の反応を避けるようにした工程を含んでもよい。

【0026】

好ましい実施形態では、ゲルマナイド化プロセス (キャップ層の上に金属層を堆積させる工程と、温度工程を実施する工程とを含む) を実施してキャップ層の少なくとも一部を金属ゲルマノシリサイドに変質させた後に、キャップ層の消費されていない (または、未反応もしくは未変質) 部分が、下位のゲルマニウムを覆った状態 (好ましくはゲルマニウム系ソースおよびドレイン領域であるが、その他、非チャンネル、基板の上のゲルマニウム領域を覆う / 保護してもよい) を維持するように、堆積させる金属層を、例えば所定の厚さを有するように、および / または所定の位置に設け、これにより、消費されていないまたは反応していない金属層を基板から選択的に除去する工程中に、下位のゲルマニウムをガルバニック腐食から保護する。

【0027】

好ましい実施形態で、堆積させる金属層は、SiGe を含むキャップ層の厚さに対して (例えば小さい) 所定の厚さを有する。これは、典型的なケースでは、金属層との相互作用によりキャップ層のすべてが消費されるわけではなく、その結果、未反応の SiGe (または、傾斜した SiGe キャップ層、または 100% のシリコン下部層を含む二重層を有する特定の実施形態の場合には、シリコン) の層または部分が下位のゲルマニウムを覆った状態が維持され、これにより下位のゲルマニウムがガルバニック腐食から保護されることを意味するであろう。好ましくは、キャップ層の未反応 SiGe または Si の層または部分は、少なくとも厚さ 1 nm を有する。

【0028】

例えば、1 nm の Ni 層であれば、 Si_xGe_{1-x} (x は 0 から 1 の値) の約 2 nm の厚さの層を消費し、低抵抗の $NiSi_xGe_{1-x}$ 相を形成するであろう。キャップ層の未反応部分または未変質部分を残しておき、下位のゲルマニウム層を覆うようにするために、この場合、キャップ層は好ましくは 2 nm より大きい厚さ、例えば 3 nm を有する

【0029】

好ましい実施形態で、キャップ層は、ゲルマニウム系チャンネル層とソース領域およびドレイン領域との、所定のエッチャントへの曝露を防止するように構成されている。

【0030】

好ましい実施形態で、キャップ層は Si と Ge を含み、例えば SiGe を含み、例えば 20% から 100% のシリコンを含む。十分なシリコンを含むキャップ層が、ゲルマノシリサイド形成中に金属 (例えば Ni、NiPt) へのゲルマニウムの拡散を抑制でき、これによりアニール中のポイド形成という問題にさらに対処できることは、1つの利点である。

【0031】

キャップ層は、均一な組成を有してもよく、好ましくは 70% 未満のゲルマニウム濃度を有し、さらに好ましくは 50% 未満のゲルマニウム濃度を有する。また、キャップ層は、キャップ層の下部が上部よりも大きいシリコン濃度を有するように、深度に応じた不均一な組成を有してもよい。例えば、キャップ層は二重層を有してもよく、または二重層で構成されてもよく、ゲルマニウム濃度が 50% 未満の第 1 副層 (sub-layer)、すなわち下部層を有してもよい。第 1 副層は、50% より高いシリコン濃度を有してもよい。キャップ層は、ゲルマニウム濃度が例えば 50% より高く、または 70% より高い第 2 副層、すなわち上部層を有してもよい。

【0032】

第1(下部)副層は、エッチストップ層または封止層として機能するように構成されてもよく、第2(上部)副層は、金属層と最適に反応するように構成されてもよい。また、キャップ層は、堆積厚さが増加するにつれてゲルマニウムの量が増加する傾斜層であってもよい。傾斜したキャップ層の下部層または下部が、二重層の実施形態で説明した第1副層に対応していてもよい。傾斜したキャップ層の上部層または上部が、二重層の実施形態で説明した第2副層に対応していてもよい。当該傾斜したキャップ層の、このような上部層と下部層との間に、中間の傾斜部を設けてもよい。

【0033】

さらに、キャップ層は、C、Snを含んでもよい。さらに、キャップ層は、例えばB、In、P、AsまたはSbのようなドーパントを含んでもよい。キャップ層は、例えば少なくとも5nmの厚さを有してもよい。それは、5nmから30nmの厚さを有してもよい。

10

【0034】

好ましい実施形態で、この方法は、金属または金属層を堆積させる工程の前に、キャップ層、例えばSiGe層を成長させた後にスペーサを形成し、SiGeのファセット成長(faceted SiGe growth)に起因して存在しうる薄いSiGe領域を幾らか覆うようにした工程をさらに含む。薄い領域が、キャップ層の上に所定の金属層を堆積させる工程と、温度工程を実施する工程との後、厚さ方向に、すなわちキャップ層の前面からゲルマニウム系チャンネル層またはソース領域とドレイン領域まで、完全に消費されることになる領域であってもよい。これにより、ゲルマニウム系チャンネル層および/またはソース/ドレイン領域の上の当該薄い領域にキャップ層の未反応部分が残らず、ゲルマニウム系チャンネル層またはソース/ドレイン領域の保護に至ることになる。

20

【0035】

このスペーサは、当業者に既知のプロセスによって設けることができる。

【0036】

スペーサは、誘電体スタック、例えばシリコン酸化物または/およびシリコン窒化物、または金属-シリコン-ゲルマニウム合金に使用される金属と反応しない他の任意のlow-k材料を含んでもよく、またはこれらで構成されてもよい。

【0037】

好ましい実施形態で、(パターニングされた)プレメタル誘電体層は、ゲルマニウム系チャンネル層とゲルマニウム系ソース領域およびドレイン領域との、所定のエッチャントへの曝露を防止する機能を有する。これは、例えばプレメタル誘電体内にホールを形成することによって達成できる。当該ホール内では、その後に堆積する金属との反応のためにキャップ層が広がっている。一方、SiGeのファセット成長に起因して存在しうる薄いSiGeキャップ領域を幾らか覆うプレメタル誘電体が残る。好ましい実施形態で、この方法は、選択エッチング(消費されていない金属層を基板から除去する工程)の後、第2の温度工程(または第2のアニール)を実施し、抵抗を低下させ、かつ/または金属ゲルマノシリサイドのデバイス特性を向上させることを含む。

30

【0038】

本開示の第2の態様では、マイクロ電子デバイス、例えばトランジスタデバイス、または、例えばトランジスタデバイスを製造する間の中間デバイスのような、トランジスタデバイスに関連したデバイスであって、

40

基板の上のゲルマニウムまたはゲルマニウム系チャンネル層と、

ゲルマニウム系チャンネル層の上のゲート構造であって、ゲルマニウム系チャンネル層に対して互いに反対側に位置するゲルマニウム系ソース領域とゲルマニウム系ドレイン領域との間に配置されたゲート構造と、

ソース領域および/またはドレイン領域のそれぞれの上で部分的に変質したキャップ層であって、その一部のみが金属ゲルマノ-シリサイドを含むようにしたキャップ層とを備えたデバイスについて説明している。

【0039】

50

金属ゲルマノシリサイドを含む部分は、部分的に変質したキャップ層の副層の上部または下部であってもよい。さらに、部分的に変質したキャップ層は、シリコンおよび/またはゲルマニウム、例えばシリコンゲルマニウムを、好ましくは下部で含んでもよい。下部は、下側の副層であってもよい。

【0040】

本発明の第1の態様について説明した特徴と利点は、変更すべき箇所には変更を加えた上で本発明の第2の態様に適用可能であり、その逆も同様であって、これらについても開示されていると見なせると当業者に理解されるであろう。

【0041】

さらに、本開示は、以下の説明と添付の図面により明らかにされることになる。

10

【図面の簡単な説明】

【0042】

【図1】従来技術のゲルマナイド化プロセスで発生する陽極酸化プロセスを示す。

【図2】従来技術の方法で製造されるゲルマニウム系FETトランジスタデバイスを示しており、ゲルマニウム系ソース/ドレイン領域にボイドが含まれている。

【図3】本開示による第1の実施形態を示す。

【図4】例えば第1の実施形態に基づく、本開示による第2の実施形態を示す。

【図5】例えば第1の実施形態に基づく、本開示による第3の実施形態を示す。

【図6】本開示による第4の実施形態を示す。

【図7】本開示による第5の実施形態を示す。

20

【図8】本開示による第6の実施形態を示す。

【図9】図8に記載の実施形態の更なる処理に基づく実施形態を示す。

【発明を実施するための形態】

【0043】

特定の実施形態に関して、特定の図面を参照しつつ本開示について説明することになる。しかし、本開示はこれに限定されず、請求項によってのみ限定される。記載した図面は概略的に過ぎず、非限定的である。説明目的のために、図面では幾つかの要素の大きさを誇張し、また、スケール通り描いていないことがある。寸法および相対寸法は、本開示を実施するための実際の縮小に必ずしも対応していない。

【0044】

30

さらに、説明および請求項での用語「第1」「第2」「第3」などは、類似の要素を区別するために用いており、必ずしもシーケンス順、時系列を表すものではない。用語は、好適な状況下で交換可能であり、本開示の実施形態は、本明細書で説明、図示したものとは別のシーケンスで動作可能である。

【0045】

また、説明および請求項での用語「上(top)」「下(bottom)」「~の上方に(over)」「~の下方に(under)」などは、説明目的で用いており、必ずしも相対的な位置を記述するために使用していない。こうして用いた用語は、好適な状況下で交換可能であって、本明細書で説明した本開示の実施形態は、本明細書で説明または図示したものとは別の向きで動作可能である。

40

【0046】

さらに、種々の実施形態は、「好ましい」とするものであっても、本開示を実施可能である例示的な態様であって、本開示の範囲を制限するものでない解釈すべきである。

【0047】

請求項で用いる用語「備える、有する、含む(comprising)」は、それ以降に列挙された手段に限定するものと解釈すべきでない。それは、他の要素または工程を除外しない。記述した特徴、整数、工程またはコンポーネントの存在は、参照したように特定するよう解釈する必要があるが、1つまたは複数の他の特徴、整数、工程もしくはコンポーネント、またはこれらのグループの存在または追加を除外しない。したがって、「AとBとを備えたデバイス」という表現の範囲を、コンポーネントAとBのみからなるデバイスに

50

限定すべきでなく、本開示に関して、AとBがデバイスのコンポーネントとして列挙されているに過ぎない。さらに、請求項は、これらのコンポーネントの等価物を含むと解釈すべきである。

【0048】

図1は、ゲルマニウムが水溶液中でより貴な金属と接した場合にガルバニック腐食を受けやすいことを示す。ゲルマナイドモジュールの特定のケースでは、ゲルマニウムは、ガルバニック反応でアノード60として機能し、より貴な金属（例えばNiGe、Ni、NiPt）は、カソード61として機能する（図1を参照）。「より貴な金属」(more noble metal)は、より高い標準電極電位を有する金属であるとする。

【0049】

図2は、典型的なゲルマニウム系FETトランジスタデバイスを示す。基板（例えばゲルマニウム基板）2の上、または基板2内に、FETトランジスタデバイス1が設けられている。基板2は、ソース領域3とドレイン領域4とを接続するチャンネル層またはチャンネル領域20を含む。チャンネル領域20の上部であってソース領域とドレイン領域との間に、ゲート構造5が設けられている。ゲート構造5は、誘電体層または誘電体層スタック55と、金属層54と、ポリシリコン層53と、別の誘電体層52（例えばシリコン酸化物層）とを含む。当該スタックは、スペーサ構造またはスペーサ51、例えば窒化シリコンスペーサによって横方向に制限されている。

【0050】

従来技術の製造方法によれば、金属とソース・ドレインゲルマニウム材料との反応、それに続く未反応金属のウェット除去の後、ソース領域3とドレイン領域4においてボイド6が生成して視認されるようになる。

【0051】

ウェット（水性）プロセス中に、より貴な金属と接触するゲルマニウムの露出を避け、これによりゲルマニウムでの孔食を避けられることは、本開示の実施形態の一般的な利点である。

【0052】

本開示の好ましい実施形態では、図3に示すように、Ge層（例えばゲルマニウム系チャンネル層とゲルマニウム系ソース領域およびドレイン領域を構成可能な）の上部で、SiGe（または類似材料）のキャップ層7を使用する。当該層7は、ほぼファセットフリーモードで成長している。あるいは、形成されたSiGe層のファセットの幾らかを追加のスペーサで覆い、ファセットの上での金属反応を避けてもよい。

【0053】

ゲルマノシリサイドの形成後、選択エッチング中にゲルマニウムに対する封止層として機能するのに十分に高いSi含有量を有するキャップ層の一部が残ったままでもよい。そして、SiO₂は水溶性でなく良好な不動態層を形成するので、比較的高いシリコン含有量が好ましい。

【0054】

金属堆積前のキャップ層（例えばSiGe）の成長により、過剰の金属を除去する選択エッチング中に、ゲルマニウムが水溶液へ曝露されることが防止される。このキャップ層の少なくとも一部がゲルマナイド化反応中に金属（例えばNi、NiPt）と反応し、未反応部分がストップ層（封止層）として機能して、選択エッチング中の、ゲルマニウムのウェットエッチャントへの曝露を防止する。この層は、主として、Si、Ge、CおよびSnから構成されてもよく、B、In、P、AsおよびSbのようなドーパント原子を含んでもよい。この層の組成が均一である場合、Ge濃度は70%未満であってもよく、好ましくは50%未満であってもよい。特定の実施形態によれば、層の組成は深さ方向に不均一であってもよく、金属（例えばNi）と反応するように構成された上部は、高いGe濃度（>50%）を有してもよく、反応しない部分である下部は、封止層として機能するように高いSi濃度（>50%）を有してもよい。

【0055】

10

20

30

40

50

上記キャップ層は、Geの上で選択的に成長可能であって誘電体材料（例えばSiO₂、SiN、SiON、C）の上に成長しないことが好ましい。また、上記キャップ層は、非選択的に成長してもよいが、続いて、デバイスの動作に支障がある領域から例えば化学機械研磨（CMP）を用いて除去可能である必要がある。

【0056】

本開示の好ましい実施形態では、図4に示すように、Ge層上部のSiGe（または類似材料）のキャップ層7を、ファセットを有するように成長させる(grow with facet)こともできる。この場合、層7のファセットを追加のスペーサ層56で覆い、ファセット内の薄いSiGe層の上で金属の反応を避けることができる。

【0057】

図5で、ファセットはプレメタル誘電体層80に覆われ、開口部90が設けられる。開口部90は、層7のファセットの上には張り出し(overlap)ていない。すなわち、ファセットはプレメタル誘電体層80に覆われた状態を維持している。このようにして、プレメタル誘電体層80は層7のファセットを覆っている。

【0058】

図6から図8に示す実施形態は、図3から図5の実施形態でそれぞれ置換ゲートプロセスを使用する統合アプローチ(integration approach)に相当する。ゲート除去プロセスの前に金属-ゲルマニウム-シリサイド複合体の形成を行う場合、ゲルマノシリサイド化時のゲートスタックは、ダミー誘電体層57とダミーポリシリコンゲート層53とで構成される。

【0059】

図8で、プレメタル誘電体層80内での開口部90の形成と、それに続く金属-ゲルマニウム-シリサイド複合体(complex)の形成は、置換ゲートプロセスの後に行う。この場合、ゲートスタックは、最終の誘電体層55と、選択的な金属層54と、金属層58とで構成される。

【0060】

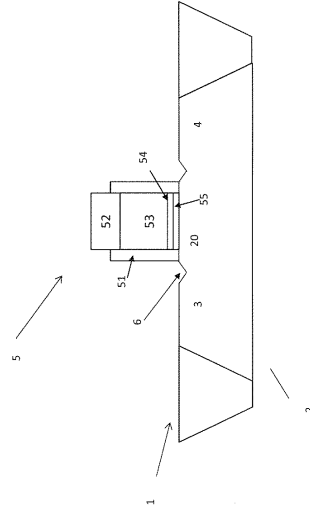
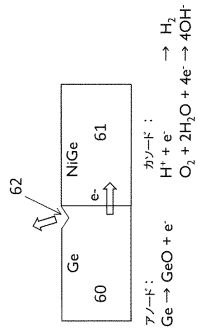
図9に示すデバイスは、図8に記載のデバイスをさらに処理することにより得られる。キャップ層7の上であって開口部90内に金属層を設ける。アニール工程により、キャップ層7が部分的に消費され、元のキャップ層が残った部分72と上部の金属ゲルマノシリサイド部分71とが得られる。次に、プレメタル誘電体層を通してソース領域とドレイン領域へのコンタクトを形成する前に、金属層の残りの未反応部分を除去できる。

10

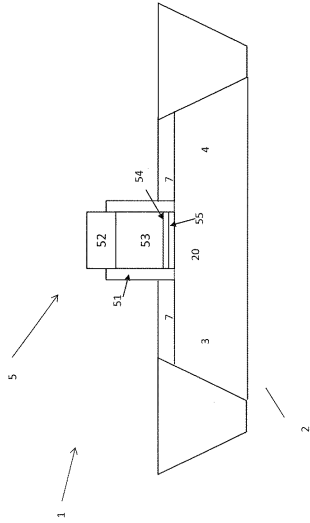
20

30

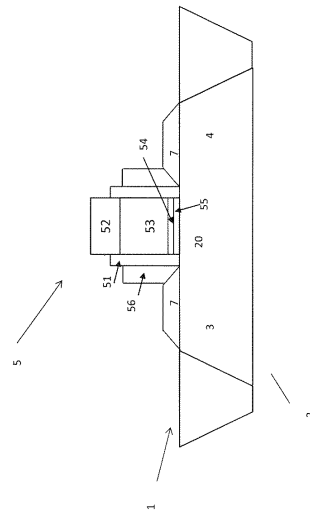
【図 1】



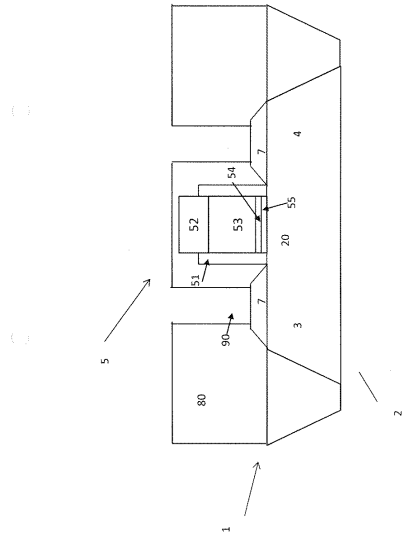
【図 3】



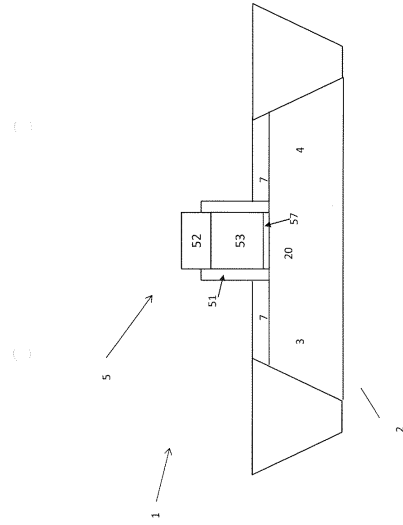
【図 4】



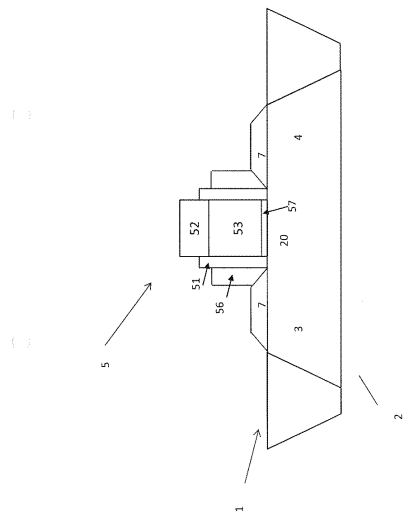
【図 5】



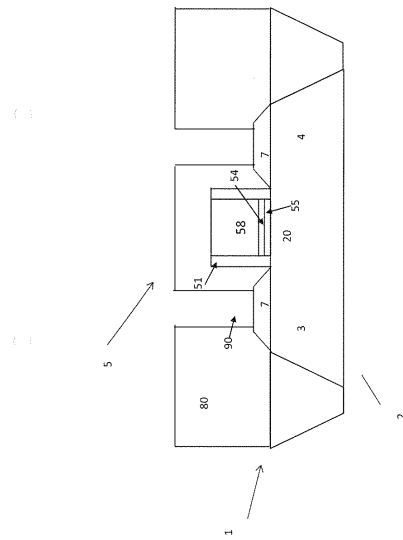
【図 6】



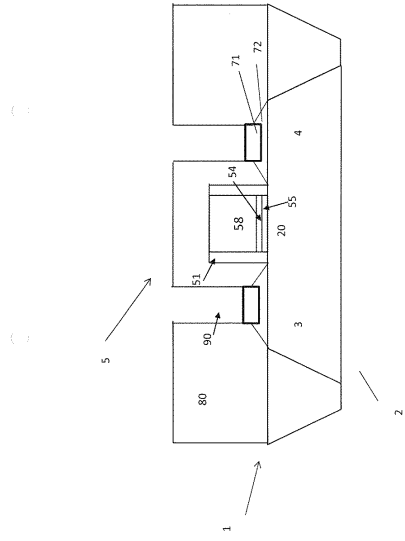
【図 7】



【図 8】



【 図 9 】



フロントページの続き

- (74)代理人 100081422
弁理士 田中 光雄
- (74)代理人 100100479
弁理士 竹内 三喜夫
- (74)代理人 100112911
弁理士 中野 晴夫
- (72)発明者 リースベト・ウィッテルス
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内
- (72)発明者 リタ・フォス
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内
- (72)発明者 デイビッド・ブランコ
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内
- (72)発明者 マルクス・ヨハンネス・ヘンリクス・ファン・ダル
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内

審査官 佐藤 靖史

- (56)参考文献 特開 2 0 0 5 - 0 3 2 9 6 2 (J P , A)
特開 2 0 0 9 - 0 6 0 1 1 0 (J P , A)
特開 2 0 0 7 - 3 1 8 1 3 2 (J P , A)
特開 2 0 1 1 - 0 0 9 3 0 8 (J P , A)
特開 2 0 0 4 - 3 3 6 0 4 8 (J P , A)
特開平 1 1 - 0 9 7 6 7 4 (J P , A)
国際公開第 2 0 1 2 / 0 8 7 4 0 3 (W O , A 1)
特開 2 0 1 1 - 0 7 1 2 2 4 (J P , A)
特表 2 0 1 4 - 5 0 7 7 9 2 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 7 8