

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6522666号  
(P6522666)

(45) 発行日 令和1年5月29日 (2019.5.29)

(24) 登録日 令和1年5月10日 (2019.5.10)

(51) Int. Cl. F I  
**G05F 1/56 (2006.01)**  
 G05F 1/56 310K  
 G05F 1/56 310P  
 G05F 1/56 310U  
 G05F 1/56 310V

請求項の数 9 (全 22 頁)

(21) 出願番号	特願2016-569919 (P2016-569919)	(73) 特許権者	595020643
(86) (22) 出願日	平成27年5月15日 (2015.5.15)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2017-517073 (P2017-517073A)		QUALCOMM INCORPORATED
(43) 公表日	平成29年6月22日 (2017.6.22)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2015/030948		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02015/183588		ハウス・ドライブ 5775
(87) 国際公開日	平成27年12月3日 (2015.12.3)	(74) 代理人	100108855
審査請求日	平成30年4月20日 (2018.4.20)		弁理士 蔵田 昌俊
(31) 優先権主張番号	62/005,765	(74) 代理人	100109830
(32) 優先日	平成26年5月30日 (2014.5.30)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100158805
(31) 優先権主張番号	14/630,506		弁理士 井関 守三
(32) 優先日	平成27年2月24日 (2015.2.24)	(74) 代理人	100112807
(33) 優先権主張国	米国 (US)		弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 オンチップ二重供給マルチモードCMOSレギュレータ

(57) 【特許請求の範囲】

【請求項 1】

電圧制御型発振器 (VCO) レギュレータ回路であって、

第1の電圧レギュレータへの第1の入力電圧を調整するための前記第1の電圧レギュレータと、ここで、前記第1の電圧レギュレータは、P型金属酸化膜半導体 (PMOS) パス素子を含み、

第2の電圧レギュレータへの第2の入力電圧を調整するための前記第2の電圧レギュレータと、ここで、前記第2の電圧レギュレータは、N型金属酸化膜半導体 (NMOS) パス素子を含み、前記第1の電圧レギュレータは、前記第2の電圧レギュレータに接続される、

を備え、

電圧モードを選択し、選択された前記電圧モードに基づいて、前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを選択的にアクティブにするための切替え回路

をさらに備えることを特徴とし、

前記切替え回路は、前記VCOレギュレータ回路に接続されたVCOの影響に基づいて前記電圧モードを選択するように、及び、前記影響に基づいて前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの前記少なくとも1つを選択的にアクティブにするように構成される、レギュレータ回路。

【請求項 2】

前記第 1 の電圧レギュレータ及び前記第 2 の電圧レギュレータは、直列に接続される、請求項 1 に記載のレギュレータ回路。

【請求項 3】

前記第 1 の電圧レギュレータ及び前記第 2 の電圧レギュレータは、並列に接続される、請求項 1 に記載のレギュレータ回路。

【請求項 4】

前記第 1 の電圧レギュレータは、2 つの段において前記第 1 の入力電圧を増幅するための二段式増幅器回路を含む、請求項 1 に記載のレギュレータ回路。

【請求項 5】

前記第 2 の電圧レギュレータは、2 つの段において前記第 2 の入力電圧を増幅するための二段式増幅器回路を含む、請求項 1 に記載のレギュレータ回路。

10

【請求項 6】

前記第 2 の電圧レギュレータは、ポールキャンセレーション回路を含む、請求項 1 に記載のレギュレータ回路。

【請求項 7】

前記第 2 の電圧レギュレータは、キャパシタ及び抵抗器を含み、前記抵抗器の一端は、前記キャパシタに接続され、前記抵抗器の別の端は、前記 N M O S パス素子のソースに接続される、請求項 1 に記載のレギュレータ回路。

【請求項 8】

前記第 1 の電圧レギュレータ及び前記第 2 の電圧レギュレータは、異なる入力インピーダンス及び出力インピーダンスを有する、請求項 1 に記載のレギュレータ回路。

20

【請求項 9】

電圧制御型発振器 ( V C O ) レギュレータ回路による方法であって、

第 1 の電圧レギュレータへの第 1 の入力電圧を、前記第 1 の電圧レギュレータを介して調整することと、ここで、前記第 1 の電圧レギュレータは、P 型金属酸化膜半導体 ( P M O S ) パス素子を含む、

第 2 の電圧レギュレータへの第 2 の入力電圧を、前記第 2 の電圧レギュレータを介して調整することと、ここで、前記第 2 の電圧レギュレータは、N 型金属酸化膜半導体 ( N M O S ) 素子を含み、前記第 1 の電圧レギュレータは、前記第 2 の電圧レギュレータに接続される、

30

を備え、

選択された電圧モードに基づいて、前記第 1 の電圧レギュレータ又は前記第 2 の電圧レギュレータのうちの少なくとも 1 つを選択的にアクティブにするために、切替え回路を介して、前記電圧モードを選択すること

をさらに備えることを特徴とし、

前記電圧モードは、前記 V C O レギュレータ回路に接続された V C O の影響に基づいて、及び、前記影響に基づいて前記第 1 の電圧レギュレータ又は前記第 2 の電圧レギュレータのうちの前記少なくとも 1 つを選択的にアクティブにために、選択される、

方法。

【発明の詳細な説明】

40

【関連出願への相互参照】

【0001】

[0001]本願は、2014 年 5 月 30 日に出願された「ON-CHIP DUAL-SUPPLY MULTI-MODE CMOS REGULATORS」と題する米国特許仮出願第 62 / 005,765 号及び 2015 年 2 月 24 日に出願された「ON-CHIP DUAL-SUPPLY MULTI-MODE CMOS REGULATORS」と題する米国特許出願第 14 / 630,506 号の利益を主張し、それらは、参照によって全体が本明細書に明確に組み込まれる。

【技術分野】

【0002】

[0002]本開示は一般に、通信システムに関し、より詳細には、電圧制御型発振器 ( V C

50

Ｏ)のための電圧レギュレータに関する。

【背景技術】

【０００３】

【0003】ワイヤレスデバイス（例えば、セルラ電話又はスマートフォン）は、ワイヤレス通信システムとの双方向通信のためにデータを送信及び受信し得る。ワイヤレスデバイスは、データ送信用の送信機と、データ受信用の受信機とを含み得る。データ送信では、送信機は、送信局発振器（ＬＯ）信号をデータで変調して、変調された無線周波数（ＲＦ）信号を取得し、変調されたＲＦ信号を増幅して所望の出力レベルを有する出力ＲＦ信号を取得し、それらの出力ＲＦ信号をアンテナを介して基地局に送信し得る。データ受信では、受信機は、アンテナを介して受信ＲＦ信号を取得し、受信ＲＦ信号を受信ＬＯ信号で増幅及びダウンコンバートし、ダウンコンバートされた信号を処理して、基地局によって送られたデータを復元し得る。

10

【０００４】

【0004】ワイヤレスデバイスは、１つ又は複数の所望の周波数において１つ又は複数の発振信号を生成するために１つ又は複数の発振器を含み得る。発振信号は、送信機用の送信ＬＯ信号及び受信機用のＬＯ信号を生成するために使用され得る。発振器は、ワイヤレスデバイスが通信するワイヤレス通信システムの要件を満たすために発振信号を生成する必要がある。

【０００５】

【0005】ＶＣＯは、送信ＬＯ信号及び受信ＬＯ信号を生成するために使用される。ＶＣＯは一般に、ＶＣＯへの入力電圧を提供するレギュレータに接続される。ＶＣＯの性能は、レギュレータに依存し得る。従って、ＶＣＯのための効率的なレギュレータが、最適性能及び低ノイズのために望まれる。

20

【発明の概要】

【０００６】

【0006】本開示のある態様では、方法及び装置が提供される。装置は、レギュレータ回路であり得る。レギュレータ回路は、第１の電圧レギュレータへの第１の入力電圧を調整するための第１の電圧レギュレータと、ここで、第１の電圧レギュレータは、Ｐ型金属酸化膜半導体（ＰＭＯＳ）を含み、第２の電圧レギュレータへの第２の入力電圧を調整するための第２の電圧レギュレータと、ここで、第２の電圧レギュレータは、Ｎ型金属酸化膜半導体（ＮＭＯＳ）を含み、を含む。ある態様では、第１の電圧レギュレータは、第２の電圧レギュレータに結合される。ある態様では、レギュレータ回路は、第１の電圧レギュレータ又は第２の電圧レギュレータのうちの少なくとも１つを選択的にアクティブにするための切替え回路を更に含み得る。ある態様では、第１の電圧レギュレータ及び第２の電圧レギュレータは、直列に接続される。ある態様では、第１の電圧レギュレータ及び第２の電圧レギュレータは、並列に接続される。ある態様では、第１の電圧レギュレータは、２つの段において第１の入力電圧を増幅するための二段式増幅器回路を含む。ある態様では、第２の電圧レギュレータ回路は、２つの段において第２の入力電圧を増幅するための二段式増幅器回路を含む。ある態様では、第２の電圧レギュレータは、ポールキャンセレーション回路（pole-cancellation circuit）を含む。ある態様では、第２の電圧レギュレータは、キャパシタ及び抵抗器を含み、抵抗器の一端は、キャパシタに接続され、抵抗器の別の端は、ＮＭＯＳのソースに接続される。ある態様では、第１の電圧レギュレータ及び第２の電圧レギュレータは、入力電圧調整の程度（degree）を変更するように調節可能（tunable）である。

30

40

【図面の簡単な説明】

【０００７】

【図１】【0007】図１は、異なるワイヤレス通信システムと通信するワイヤレスデバイスを例示する。

【図２】【0008】図２は、ワイヤレスデバイスのブロック図である。

【図３】【0009】図３は、本開示に係るＮＭＯＳレギュレータの例となる回路図である。

50

【図 4 A】[0010]図 4 A は、レギュレータにおける様々なケースの P S S R 値の例となる P S S R プロットである。

【図 4 B】[0011]図 4 B は、様々なケースのノイズ値の例となるノイズプロットである。

【図 5】[0012]図 5 は、本開示に係る N M O S レギュレータの例となる実装回路である。

【図 6 A】[0013]図 6 A は、C M O S レギュレータの例となる構造である。

【図 6 B】6 B は、C M O S レギュレータの例となる構造である。

【図 7】[0014]図 7 は、カスコード C M O S レギュレータを含む例となる回路図である。

【図 8】[0015]図 8 は、バッファ回路を含む例となる回路図である。

【図 9】[0016]図 9 は、本開示に係る、システムレベルにおける例となる回路構造である。

10

【図 1 0 A】[0017]図 1 0 A は、V C O における様々なケースの P S S R 値の例となる P S S R プロットである。

【図 1 0 B】[0018]図 1 0 B は、V C O における様々なケースのノイズ値の例となるノイズプロットである。

【図 1 1】[0019]図 1 1 は、レギュレータ回路による方法のフローチャートである。

【図 1 2】[0020]図 1 2 は、例示的な装置における異なるモジュール / 手段 / 構成要素間のデータフローを例示する概念的なデータフロー図である。

【図 1 3】[0021]図 1 3 は、処理システムを用いる装置のためのハードウェア実装形態の例を例示する図である。

【発明の詳細な説明】

20

【 0 0 0 8 】

[0022]添付の図面に関連して以下に示される詳細な説明は、様々な構成の説明を意図しており、本明細書で説明される概念が実施され得る唯一の構成を表すことを意図したものではない。詳細な説明は、様々な概念の完全な理解を提供するために特定の詳細を含む。しかしながら、これらの概念がこれらの特定の詳細なしに実施され得ることは当業者には明らかとなるであろう。幾つかの事例では、そのような概念を曖昧にしないために、周知の構造及び構成要素がブロック図の形式で示される。「例示的」という用語は、本明細書では、「実例、事例、又は例示としての役割を果たす」という意味で使用される。「例示的」として本明細書で説明される任意の設計は、必ずしも、他の設計よりも好ましい又は有利であると解釈されるべきではない。

30

【 0 0 0 9 】

[0023]電気通信システムの幾つかの態様が、これより、様々な装置及び方法に関連して提示されるであろう。これらの装置及び方法は、以下の詳細な説明で説明され、様々なブロック、モジュール、構成要素、回路、ステップ、プロセス、アルゴリズム、等（総称して「要素」と呼ばれる）によって添付の図面で例示されるだろう。これらの要素は、電子ハードウェア、コンピュータソフトウェア、又はそれらの任意の組み合わせを使用して実装され得る。そのような要素がハードウェアとして実装されるかソフトウェアとして実装されるかは、特定の用途及びシステム全体に課される設計制約に依存する。

【 0 0 1 0 】

[0024]例として、1つの要素、又は1つの要素の任意の部分若しくは複数の要素の任意の組み合わせが、1つ又は複数のプロセッサを含む「処理システム」を用いて実装され得る。プロセッサの例には、マイクロプロセッサ、マイクロコントローラ、デジタルシグナルプロセッサ（DSP）、フィールドプログラマブルゲートアレイ（FPGA）、プログラマブル論理デバイス（PLD）、ステートマシン、ゲートロジック、ディスクリートハードウェア回路及び本開示全体を通して説明される様々な機能性を実行するように構成された他の適切なハードウェアが含まれる。処理システム内の1つ又は複数のプロセッサはソフトウェアを実行し得る。ソフトウェアは、ソフトウェア、ファームウェア、ミドルウェア、マイクロコード、ハードウェア記述言語と呼ばれても、それ以外の名称と呼ばれても、命令、命令のセット、コード、コードセグメント、プログラムコード、プログラム、サブプログラム、ソフトウェアモジュール、アプリケーション、ソフトウェアアプリケー

40

50

ション、ソフトウェアパッケージ、ルーチン、サブルーチン、オブジェクト、実行ファイル、実行スレッド、プロシージャ、関数、等を意味すると広く解釈されるものとする。

【0011】

[0025]従って、1つ又は複数の例示的な実施形態では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、又はこれらの任意の組み合わせに実装され得る。ソフトウェアに実装される場合、これらの機能は、コンピュータ読取可能な媒体上の1つ又は複数の命令又はコードとして記憶又は符号化され得る。コンピュータ読取可能な媒体はコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによりアクセスされることができる任意の利用可能な媒体であり得る。限定ではなく例として、このようなコンピュータ読取可能な媒体は、ランダムアクセスメモリ(RAM)、読取専用メモリ(ROM)、電気的消去可能プログラマブルROM(EEPROM(登録商標))、コンパクトディスク(CD)ROM(CD-ROM)又は他の光ディスク記憶装置、磁気ディスク記憶装置又は他の磁気記憶デバイス若しくはデータ構造又は命令の形式で所望のプログラムコードを搬送若しくは記憶するために使用されることができ、かつコンピュータによってアクセスされることができる任意の他の媒体を備えることができる。本明細書で使用される場合、ディスク(disk)及びディスク(disc)は、CD、レーザーディスク(登録商標)、光ディスク、デジタル多用途ディスク(DVD)、及びフロッピー(登録商標)ディスクを含み、ここで、ディスク(disk)は、通常磁氣的にデータを再生し、ディスク(disc)は、レーザーを用いて光学的にデータを再生する。上記の組み合わせもまた、コンピュータ読取可能な媒体の範囲内に含まれるべきである。

【0012】

[0026]図1は、異なるワイヤレス通信システム120、122と通信するワイヤレスデバイス110を例示する図100である。ワイヤレス通信システム120、122は各々、符号分割多元接続(CDMA)システム、モバイル通信のためのグローバルシステム(GSM(登録商標))システム、ロングタームエボリューション(LTE(登録商標))システム、ワイヤレスローカルエリアネットワーク(WLAN)システム又は何等かの他のワイヤレスシステムであり得る。CDMAシステムは、広帯域CDMA(WCDMA(登録商標))、CDMA 1X又はcdma 2000、時分割同期符号分割多元接続(TD-SCDMA)又は他の何等かのバージョンのCDMAを実装し得る。TD-SCDMAは、ユニバーサル地上無線アクセス(UTRA)時分割複信(TDD)1.28Mcpsオプション又は低チップレート(LCR)とも呼ばれる。LTEは、周波数分割複信(FDD)及び時分割複信(TDD)の両方をサポートする。例えば、ワイヤレス通信システム120は、GSMシステムであり得、ワイヤレス通信システム122は、WCDMAシステムであり得る。別の例として、ワイヤレス通信システム120は、LTEシステムであり得、ワイヤレス通信システム122は、CDMAシステムであり得る。

【0013】

[0027]簡単化のために、図100は、1つの基地局130及び1つのシステムコントローラ140を含むワイヤレス通信システム120と、1つの基地局132及び1つのシステムコントローラ142を含むワイヤレス通信システム122とを示す。一般に、各ワイヤレスシステムは、任意の数の基地局及び任意のセットのネットワークエンティティを含み得る。各基地局は、その基地局のカバレッジ内のワイヤレスデバイスのための通信をサポートし得る。基地局は、ノードB、発展型ノードB(eNB)、アクセスポイント、トランシーバ基地局、無線基地局、無線トランシーバ、トランシーバ機能、基本サービスセット(BSS)、拡張サービスセット(ESS)又は何等かの他の適切な用語でも呼ばれ得る。ワイヤレスデバイス110は、ユーザ機器(UE)、モバイルデバイス、リモートデバイス、ワイヤレスデバイス、ワイヤレス通信デバイス、局、モバイル局、加入者局、モバイル加入者局、端末、モバイル端末、リモート端末、ワイヤレス端末、アクセス端末、クライアント、モバイルクライアント、モバイルユニット、加入者ユニット、ワイヤレスユニット、リモートユニット、ハンドセット、ユーザエージェント又は何等かの他の適切な用語でも呼ばれ得る。ワイヤレスデバイス110は、セルラ電話、スマートフォン、タ

ブレット、ワイヤレスモデム、携帯情報端末（PDA）、ハンドヘルドデバイス、ラップトップコンピュータ、スマートブック、ネットブック、コードレス電話、ワイヤレスローカルループ（WLL）局又は何等かの他の同様に機能するデバイスであり得る。

【0014】

[0028]ワイヤレスデバイス110は、ワイヤレス通信システム120及び/又は122と通信することが可能であり得る。ワイヤレスデバイス110はまた、ブロードキャスト局134のようなブロードキャスト局から信号を受信することが可能であり得る。ワイヤレスデバイス110はまた、1つ又は複数の全地球的航法衛星システム（GNSS）において、衛星150のような衛星から信号を受信することが可能であり得る。ワイヤレスデバイス110は、GSM、WCDMA、cdma2000、LTE、802.11、等の  
10  
「無線技術」、「無線接続技術」、「エアインターフェース」及び「規格」という用語は、交換可能に使用され得る。

【0015】

[0029]ワイヤレスデバイス110は、ダウンリンク及びアップリンクを介してワイヤレスシステムにおける基地局と通信し得る。ダウンリンク（即ち、順方向リンク）は、基地局からワイヤレスデバイスへの通信リンクを指し、アップリンク（即ち、逆方向リンク）は、ワイヤレスデバイスから基地局への通信リンクを指す。ワイヤレスシステムは、TDD及び/又はFDDを利用し得る。TDDの場合、ダウンリンク及びアップリンクは、同じ周波数を共有し、ダウンリンク送信及びアップリンク送信は、異なる時間期間において  
20  
同じ周波数上で送られ得る。FDDの場合、ダウンリンク及びアップリンクは、個別の周波数が割り振られ得る。ダウンリンク送信は、ある周波数上で送られ、アップリンク送信は、別の周波数上で送られ得る。TDDをサポートする幾つかの例示的な無線技術には、GSM、LTE及びTD-SCDMAが含まれる。FDDをサポートする幾つかの例示的な無線技術には、WCDMA、cdma2000及びLTEが含まれる。ワイヤレスデバイス110及び/又は基地局130、132は、例示的なVCOレギュレータ160を含み得る。VCOレギュレータ160が以下に提供される。

【0016】

[0030]図2は、ワイヤレスデバイス110のような例示的なワイヤレスデバイスのブロック図200である。ワイヤレスデバイスは、データプロセッサ/コントローラ210、  
30  
トランシーバ218及びアンテナ290を含む。データプロセッサ/コントローラ210は、処理システムと呼ばれ得る。処理システムは、データプロセッサ/コントローラ210を、又は、データプロセッサ/コントローラ210及びメモリ216の両方を含み得る。トランシーバ218は、双方向通信をサポートする送信機220及び受信機250を含む。送信機220及び/又は受信機250は、スーパーヘテロダインアーキテクチャ又はダイレクト変換アーキテクチャで実装され得る。スーパーヘテロダインアーキテクチャでは、信号は、複数の段においてRFとベースバンドとの間で、例えば、1つの段でRFから中間周波数（IF）に、その後、受信機のために別の段でIFからベースバンドに周波数変換される。ゼロIFアーキテクチャとも呼ばれる、ダイレクト変換アーキテクチャでは、信号は、1つの段においてRFとベースバンドとの間で周波数変換される。スーパー  
40  
ヘテロダイン及びダイレクト変換アーキテクチャは、異なる回路ブロックを使用し得る、及び/又は、異なる要件を有し得る。図2に示される例示的な設計では、送信機220及び受信機250は、ダイレクト変換アーキテクチャで実装される。

【0017】

[0031]送信経路では、データプロセッサ/コントローラ210は、送信されるべきデータを処理（例えば、符号化及び変調）し、このデータをデジタル/アナログ変換器（DAC）230に供給し得る。DAC230は、デジタル入力信号をアナログ出力信号へと変換する。アナログ出力信号は、DAC230による前のデジタル/アナログ変換によって  
50  
もたらされるイメージを除去するためにこのアナログ出力信号をフィルタに掛け得る送信（TX）ベースバンド（ローパス）フィルタ232に供給される。増幅器（amp）23

4 は、TX ベースバンドフィルタ 232 からの信号を増幅し、増幅されたベースバンド信号を供給し得る。アップコンバータ (ミキサ) 236 は、増幅されたベースバンド信号と、TX LO 信号ジェネレータ 276 からの TX LO 信号とを受け得る。アップコンバータ 236 は、増幅されたベースバンド信号を TX LO 信号でアップコンバートし、アップコンバートされた信号を供給し得る。フィルタ 238 は、周波数アップコンバージョンによってもたらされたイメージを除去するために、アップコンバートされた信号をフィルタに掛け得る。電力増幅器 (PA) 240 は、フィルタ 238 からのフィルタに掛けられた RF 信号を増幅して、所望の出力電力レベルを取得し、出力 RF 信号を供給する。出力 RF 信号は、デュプレクサ / スイッチプレクサ 264 を通してルーティングされ得る。

【0018】

10

[0032] FDD の場合、送信機 220 及び受信機 250 は、送信機 220 用の TX フィルタと受信機 250 用の受信 (RX) フィルタとを含み得る、デュプレクサ 264 に結合され得る。TX フィルタは、出力 RF 信号をフィルタに掛けて、送信帯域内の信号成分をパスし、受信帯域内の信号成分を減衰させる。TDD の場合、送信機 220 及び受信機 250 は、スイッチプレクサ 264 に結合され得る。スイッチプレクサ 264 は、アップリンク時間インターバル中、送信機 220 からアンテナ 290 に出力 RF 信号をパスし得る。FDD 及び TDD の両方について、デュプレクサ / スイッチプレクサ 264 は、ワイヤレスチャネルを介した送信のために出力 RF 信号をアンテナ 290 に供給し得る。

【0019】

[0033] 受信経路では、アンテナ 290 が基地局及び / 又は他の送信機局によって送信された信号を受信し得、受信 RF 信号を供給し得る。受信 RF 信号は、デュプレクサ / スイッチプレクサ 264 を介してルーティングされ得る。FDD の場合、デュプレクサ 264 内の RX フィルタは、受信帯域内の信号成分をパスし、送信帯域内の信号成分を減衰させるために、受信 RF 信号をフィルタに掛け得る。TDD の場合、スイッチプレクサ 264 は、ダウンリンク時間インターバル中、アンテナ 290 から受信機 250 に受信 RF 信号をパスし得る。FDD 及び TDD の両方について、デュプレクサ / スイッチプレクサ 264 は、受信 RF 信号を受信機 250 に供給し得る。

【0020】

[0034] 受信機 250 内では、受信 RF 信号は、低ノイズ増幅器 (LNA) 252 によって増幅され、フィルタ 254 によってフィルタに掛けられ、入力 RF 信号が取得され得る。ダウンコンバータ (ミキサ) 256 は、入力 RF 信号と、RX LO 信号ジェネレータ 286 からの RX LO 信号とを受け得る。ダウンコンバータ 256 は、入力 RF 信号を RX LO 信号でダウンコンバートし、ダウンコンバートされた信号を供給し得る。ダウンコンバートされた信号は、増幅器 258 によって増幅され、RX ベースバンド (ローパス) フィルタ 260 によって更にフィルタに掛けられて、アナログ入力信号が取得され得る。アナログ入力信号は、アナログ / デジタルコンバータ (ADC) 262 に供給され得る。ADC 262 は、アナログ入力信号をデジタル出力信号へと変換する。デジタル出力信号は、データプロセッサ / コントローラ 210 に供給され得る。

【0021】

[0035] TX 周波数シンセサイザ 270 は、TX 位相ロックドループ (PLL) 272 及び VCO 274 を含み得る。VCO 274 は、所望の周波数において TX VCO 信号を生成し得る。TX PLL 272 は、データプロセッサ / コントローラ 210 からタイミング情報を受け、VCO 274 のための制御信号を生成し得る。制御信号は、TX VCO 信号のための所望の周波数を取得するために VCO 274 の周波数及び / 又は位相を調整し得る。TX 周波数シンセサイザ 270 は、TX LO 信号ジェネレータ 276 に TX VCO 信号を供給する。TX LO 信号ジェネレータは、TX 周波数シンセサイザ 270 から受けた TX VCO 信号に基づいて、TX LO 信号を生成し得る。

【0022】

[0036] RX 周波数シンセサイザ 280 は、RX PLL 282 及び VCO 284 を含み得る。VCO 284 は、所望の周波数において RX VCO 信号を生成し得る。RX PL

50

L 2 8 2 は、データプロセッサ/コントローラ 2 1 0 からタイミング情報を受け、V C O 2 8 4 のための制御信号を生成し得る。制御信号は、R X V C O 信号のための所望の周波数を得るために V C O 2 8 4 の周波数及び/又は位相を調整し得る。R X 周波数シンセサイザ 2 8 0 は、R X L O 信号ジェネレータ 2 8 6 に R X V C O 信号を供給する。R X L O 信号ジェネレータは、R X 周波数シンセサイザ 2 8 0 から受けた R X V C O 信号に基づいて、R X L O 信号を生成し得る。

【 0 0 2 3 】

[0037] L O 信号ジェネレータ 2 7 6 , 2 8 6 は各々、分周器、バッファ、等を含み得る。L O 信号ジェネレータ 2 7 6 , 2 8 6 は、それらが、それぞれ T X 周波数シンセサイザ 2 7 0 及び R X 周波数シンセサイザ 2 8 0 によって供給される周波数を分周する場合、分周器と呼ばれ得る。P L L 2 7 2 , 2 8 2 は各々、位相/周波数検出器、ループフィルタ、チャージパンプ、分周器、等を含み得る。各 V C O 信号及び各 L O 信号は、特定の基本周波数 ( fundamental frequency ) を有する周期的な信号であり得る。L O 信号ジェネレータ 2 7 6 , 2 8 6 からの T X L O 信号及び R X L O 信号は、T D D の場合、同じ周波数を有し得、又は、F D D の場合、異なる周波数を有し得る。V C O 2 7 4 , 2 8 4 からの T X V C O 信号及び R X V C O 信号は、(例えば、T D D の場合) 同じ周波数を有し得、又は、(例えば、F D D 又は T D D の場合) 異なる周波数を有し得る。

【 0 0 2 4 】

[0038] 送信機 2 2 0 及び受信機 2 5 0 における信号の調整 ( conditioning ) は、増幅器、フィルタ、アップコンバータ、ダウンコンバータ、等、のうちの 1 つ又は複数の段によって実行され得る。これら回路は、図 2 に示される構成とは違って配列され得る。更に、図 2 に示されない他の回路もまた、送信機 2 2 0 及び受信機 2 5 0 における信号を調整するために使用され得る。例えば、インピーダンス整合回路が、P A 2 4 0 の出力、L N A 2 5 2 の入力、アンテナ 2 9 0 とデュプレクサ/スイッチプレクサ 2 6 4 の間、等に位置し得る。図 2 の幾つかの回路はまた、省略され得る。例えば、フィルタ 2 3 8 及び/又はフィルタ 2 5 4 が省略され得る。トランシーバ 2 1 8 の全体又は一部は、1 つ又は複数のアナログ集積回路 ( I C )、R F I C ( R F I C )、混合信号 I C、等の上に実装され得る。例えば、送信機 2 2 0 内の T X ベースバンドフィルタ 2 3 2 から P A 2 4 0、受信機 2 5 0 内の L N A 2 5 2 から R X ベースバンドフィルタ 2 6 0、P L L 2 7 2 , 2 8 2、V C O 2 7 4 , 2 8 4 及び L O 信号ジェネレータ 2 7 6 , 2 8 6 は、R F I C 上に実装され得る。P A 2 4 0 及び場合によっては他の回路もまた、別個の I C 又は回路モジュール上に実装され得る。

【 0 0 2 5 】

[0039] データプロセッサ/コントローラ 2 1 0 は、ワイヤレスデバイスのための様々な機能を実行し得る。例えば、データプロセッサ/コントローラ 2 1 0 は、送信機 2 2 0 を介して送信され、受信機 2 5 0 を介して受信されているデータのための処理を実行し得る。データプロセッサ/コントローラ 2 1 0 は、送信機 2 2 0 及び受信機 2 5 0 内の様々な回路の動作を制御し得る。メモリ 2 1 2 及び/又はメモリ 2 1 6 は、データプロセッサ/コントローラ 2 1 0 のためのデータ及びプログラムコードを格納し得る。メモリは、データプロセッサ/コントローラ 2 1 0 の内部にある (例えば、メモリ 2 1 2 ) か、又はデータプロセッサ/コントローラ 2 1 0 の外部にあり得る (例えば、メモリ 2 1 6 )。メモリは、コンピュータ読取可能な媒体とも呼ばれ得る。発振器 2 1 4 は、特定の周波数において V C O 信号を生成し得る。クロックジェネレータ 2 1 5 は、発振器 2 1 4 から V C O 信号を受け得、データプロセッサ/コントローラ 2 1 0 内の様々なモジュールのためのクロック信号を生成し得る。データプロセッサ/コントローラ 2 1 0 は、1 つ又は複数の特定用途向け集積回路 ( A S I C ) 及び/又は他の I C 上に実装され得る。

【 0 0 2 6 】

[0040] L O 信号ジェネレータ 2 7 6 , 2 8 6 内の分周器のような分周器は、L O 信号を生成するために広く使用される。小さいチップエリア、良好な ( good ) 位相ノイズ要件及び直角出力といった厳しい L O 要件を満たす、マルチバンドセルラトランシーバにおいて

10

20

30

40

50



L O 信号を生成するためのプログラマブル分周器が必要である。

【 0 0 2 7 】

[0041] V C O (例えば、図 2 の V C O 2 7 4 又は V C O 2 8 4 ) は、ノイズスパイク及びスパーに対して敏感である。故に、電力管理集積回路 ( P M I C ) が一般に、そのような問題に取り組むために V C O に対して使用される。 P M I C ノイズ / スパープロファイルに基づいて、1 M H z における少なくとも 4 0 d B の電源除去比 ( P S R R ) が一般に望まれる。例えば、ノイズのスパー (例えば、スパイク) は、 P M I C ノイズ / スパープロファイルにおいて 1 0 0 k H z と 1 M H z との間で観察される。故に、良好な帯域幅 (例えば、広帯域幅) を提供すること及び V C O のためにスパー (例えば、大きなスパイク) を減衰させることが可能な効率的な V C O レギュレータに対する需要がある。より広い P S R R 帯域幅は V C O レギュレータの高められた性能を提供し得るが、 P S R R 帯域幅を増加させることはノイズ帯域幅も増加させ得ることに留意されたい。従って、 P S R R 帯域幅の増加と、望ましくないノイズ帯域幅の増加との間のトレードオフが存在する。

10

【 0 0 2 8 】

[0042] V C O が所望の電力 / 位相ノイズ条件を取得するために、 V C O は、電圧を供給するために二重供給構成を有する V C O レギュレータを実装し得る。二重供給構成は、 V C O の供給 / 電磁引き (supply/electromagnetic pulling) を軽減し得る。例えば、二重供給構成は、 G S M モードについては高電圧 ( H V ) を供給し得、非 G S M モードについては (例えば、 C D M A、 L T E、等については) 低電圧 ( L V ) を供給し得る。 L V 非 G S M モードの場合、 V C O レギュレータに供給される電圧が L V 非 G S M モードでは低いため、低電圧のための特定の L V P S R R は、 V C O レギュレータの十分な性能 (satisfactory performance) に対する懸念である。例えば、低電圧を供給する L V 非 G S M モードでは、 P M I C パルス - 周波数変調 ( P F M ) スパーを緩和するために、 V C O レギュレータは、 1 0 0 m B V 未満の低下電圧を伴って、数百 K H z から M H z の範囲において略 1 0 0 d B の L V P S R R を提供する必要がある。例となるシミュレーション結果は、 L V 非 G S M モードの場合、略 1 0 0 d B の P S R R が、 P M I C P F M スパーを緩和するために 1 0 0 K H z において望まれることを例示する。 H V G S M モードの場合、 V C O レギュレータに供給される高電圧がノイズ帯域幅を増加させ得るため、良好なノイズ性能は、 V C O レギュレータの十分な性能に対する懸念である。例えば、高電圧を供給する H V G S M モードでは、 V C O レギュレータは、高電圧に対して低ノイズを維持しつつ、数十の M H z 範囲の周波数において特定の P S R R を供給する。

20

30

【 0 0 2 9 】

[0043] V C O レギュレータは、様々な P S R R / ノイズ規格を満たすように、及び、 P S R R とノイズとの間のトレードオフに適合するように、プログラマブル (例えば、調節可能) であることが望まれる。例えば、 V C O レギュレータは、用途別に異なる P S R R 及びノイズ特性を提供するためにプログラマブルであるべきである。故に、例えば、 V C O レギュレータは、モードが L V モードであるか H V モードであるかに依存して異なる P S R R 及びノイズ特性を提供するために、プログラマブルであるべきである。

【 0 0 3 0 】

[0044] V C O レギュレータの性能が、パス素子 (例えば、 D C バイアス、入力 / 出力インピーダンス) のタイプに関することに留意されたい。一般に、 N 型金属酸化膜半導体 ( N M O S ) レギュレータは、 D C バイアス条件によって制限され、 P 型金属酸化膜半導体 ( P M O S ) レギュレータは、 N M O S レギュレータよりも悪い P S R R を有する。表 1 は、 N M O S レギュレータと P M O S レギュレータとの比較を例示する。表 1 では、プラス符号 ( + ) の数は、望ましい性能の程度を表し、マイナス符号 ( - ) の数は、望ましくない性能の程度を表す。

40

【 0 0 3 1 】

【表 1】

レギュレータ タイプ	PSRR @低周波数	PSRR @高周波数	Rin @低周波数	Rin @高周波数	エリア	ノイズ
NMOS 1VDD	++	++	++	+	-	+
NMOS 2VDD	+	++	++	+	-	+
PMOS 1VDD	++	--	+	-	++	-
PMOS 2VDD	-	--	+	-	++	-

表 1 : NMOS レギュレータと PMOS レギュレータとの比較

## 【 0 0 3 2 】

[0045]本開示に係る NMOS レギュレータは、望ましい PSRR（例えば、100dB）を取得するために二段式演算トランスコンダクタンス増幅器（OTA）回路を実装する。二段式 OTA 回路は、補償ネットワークを介して、100kHz において 100dB を取得するために帯域幅を制限し得る。二段式 OTA 回路内の補償ネットワークは、ポールキャンセレーションも提供する。図 3 は、本開示に係る NMOS レギュレータの例となる回路図 300 である。NMOS レギュレータ 300 は、NMOS 302 を含む。NMOS 302 は、ソース（S）、ドレイン（D）及びゲート（G）を有する。NMOS レギュレータ 300 は、二段式 OTA 回路を提供するために第 1 の増幅器 304 及び第 2 の増幅器 306 を含む。第 2 の増幅器 306 は、共通ソース増幅器であり得る。例えば、60 - 70dB の PSRR は、第 1 の増幅器 304 を介して一段目で達成され得、30 - 40dB の PSRR は、第 2 の増幅器 306 を介して二段目で達成され得、それによって、二段式 OTA 回路について合計で略 100dB の PSRR を達成する。第 1 の増幅器 304 の出力は、第 2 の増幅器 306 の入力に接続され、第 2 の増幅器 306 の出力は、NMOS 302 のゲート（G）に接続される。第 1 の増幅器 304 の出力はまた、キャパシタ 308 の第 1 の端にキャパシタンス CM を有するキャパシタ 308 に接続される。キャパシタ 308 の第 2 の端は、抵抗 RM を有する抵抗器 310 の第 1 の端に接続される。抵抗器 310 の第 2 の端は、NMOS 302 のソース及び VCO350（S）に接続される。VCO350 は、図 2 の VCO274 又は VCO284 と等しいだろう。

## 【 0 0 3 3 】

[0046]キャパシタ 308 及び抵抗器 310 は、第 1 の増幅器 304 を含む一段目 OTA 回路の出力へのレギュレータ出力 312 を補償するための補償ネットワークを形成する。キャパシタ 308 及び抵抗器 310 は、一段目 OTA 回路のトランスコンダクタンス（Gm）と整合され得る。例えば、キャパシタ 308 及び抵抗器 310 を含む補償ネットワークは、安定性のため、及び、ノイズを最小限にするために、一段目 OTA 回路の Gm と整合するように調節可能であり得る。補償ネットワーク及び一段目 OTA 回路の両方が互いに整合するように調節可能であることに留意されたい。補償ネットワーク又は一段目 OTA 回路のうちの少なくとも 1 つが調節可能であるため、レギュレータは、良好な安定性、良好なレギュレータ帯域幅及びより低いノイズを維持することができる。一段目 OTA Gm がより大きい場合、補償ネットワークが、より強い補償を提供すること、故に、より良好な安定性を提供することに留意されたい。

## 【 0 0 3 4 】

[0047]以下の式は、図 3 に例示される例に従って PSRR の計算を提供する。 $A_{path}$  は、図 3 に示される  $A_{path}$  を通した利得である。 $s$  は  $j$  である。 $A$  は、電源（supply）からレギュレータ出力 312 への DC 利得である。 $A_2$  は、第 2 の増幅器 306 における DC 利得である。 $r_{o1}$  は、第 1 の増幅器 304 の出力抵抗である。 $p_1$  は、第 1 の増幅器 304 の出力におけるポールであり、 $p_2$  は、第 2 の増幅器 306 の出力におけるポールであり、 $p_3$  は、NMOS レギュレータの出力 312 におけるポールである。 $z$  は、抵抗器 310 及びキャパシタ 308 を有する補償ネットワークによって生成されるゼ

10

20

30

40

50

口である。A<sub>LP</sub>は、第1の増幅器304の入力からレギュレータ出力312への開ループDC利得である。

【0035】

【数1】

$$A_{path} \approx \frac{A \left( 1 + \frac{s}{\omega_z} \right)}{1 + \frac{s}{\omega_{p1}}}, \quad \omega_{p1} = \frac{1}{A2 \cdot CM \cdot rol}, \quad \omega_z = \frac{1}{CM \cdot rol} \quad (1)$$

10

【0036】

【数2】

$$LoopGain \approx \frac{A_{LP}}{\left( 1 + \frac{s}{\omega_{p1}} \right) \left( 1 + \frac{s}{\omega_{p2}} \right) \left( 1 + \frac{s}{\omega_{p3}} \right)} \quad (2)$$

【0037】

【数3】

$$PSRR \approx \frac{A_{path}}{1 + LoopGain} = \frac{\frac{A \left( 1 + \frac{s}{\omega_z} \right)}{\left( 1 + \frac{s}{\omega_{p1}} \right)}}{1 + \frac{A_{LP}}{\left( 1 + \frac{s}{\omega_{p1}} \right) \left( 1 + \frac{s}{\omega_{p2}} \right) \left( 1 + \frac{s}{\omega_{p3}} \right)}} \quad (3)$$

$$= \frac{A \left( 1 + \frac{s}{\omega_z} \right) \left( 1 + \frac{s}{\omega_{p2}} \right)}{A_{LP} + \left( 1 + \frac{s}{\omega_{p1}} \right) \left( 1 + \frac{s}{\omega_{p2}} \right) \left( 1 + \frac{s}{\omega_{p3}} \right)}$$

20

30

【0038】

[0048]図4Aは、レギュレータにおける様々なケースのPSSR値の例となるPSSRプロット400である。PSSRプロット400は、ポールキャンセレーション(PC)二段式OTAレギュレータ回路が、一段式OTAレギュレータ及び従来の二段式OTAレギュレータのPSSRプロットよりも、-100dBという望ましいPSSRに近いPSSRプロットを提供することを例示する。故に、(例えば、図3のNMOSレギュレータを介して)本開示の二段式OTAレギュレータ回路によって提供されるポールキャンセレーションは、PSSRの帯域幅の拡張を助ける。二段式OTAレギュレータ回路が提供する電力が多いほど、PSSR帯域幅は広がる。図4Bは、様々なケースのノイズ値の例となるノイズプロット450である。例となるノイズプロット450によれば、PC二段式OTAレギュレータ回路のノイズプロットは、一部分452を除き、一段式OTAレギュレータ及び従来の二段式OTAレギュレータのノイズプロットに類似する。例となるノイズプロット450の一部分452は、拡大部454へと拡大される。拡大部454は、PC二段式OTAレギュレータ回路及び従来の二段式OTAレギュレータ回路の両方が、一段式OTAレギュレータ回路よりも僅かに高いノイズを経験することを示す。

40

【0039】

50

[0049]図5は、本開示に係るNMOSレギュレータの例となる実装形態回路500である。NMOSレギュレータ500は、2つのOTAと、抵抗器及びキャパシタを有する補償ネットワークとを含む二段式OTA回路502を含む。ある態様では、二段式OTA回路502は、図3の第1の増幅器304及び第2の増幅器306を含む二段式OTA回路に等しいだろう。ある態様では、補償ネットワーク504は、図3のキャパシタ308及び抵抗器310を含む補償ネットワークに等しいだろう。補償ネットワーク504は、二段式OTA回路502の一段目OTA回路と整合するように調節可能であり得る。

#### 【0040】

[0050]本開示によれば、レギュレータ回路は、PMOSレギュレータ及びNMOSレギュレータを含む相補型金属酸化膜半導体(CMOS)レギュレータ回路であり得、ここで、NMOSレギュレータは、PMOSレギュレータに結合される。一態様では、PMOSレギュレータは、NMOSレギュレータに直列に(カスコードで)接続され得る。別の態様では、PMOSレギュレータは、NMOSレギュレータに並列に接続され得る。レギュレータ回路は、CMOSレギュレータ回路のためにHVモード又はLVモードを選択的に選ぶための切替え回路に接続され得る。一般に、VCOの場合、より低い引込み効果及びより良好な位相ノイズ性能の観点から、より良好な性能のために、HVモードが使用され得る。しかしながら、HVモードは、より高い電力消費を引き起こし得る。LVモードは一般に、HVモードよりも低い電力消費を引き起こす。HVモードではVCOが電磁気(EM)結合に対してそれ程敏感でないことに留意されたい。一態様では、切替え回路は、PMOSレギュレータに対してHVモードを選択し、NMOSレギュレータをバイパスし得る。別の態様では、LVモードの場合、切替え回路は、NMOSレギュレータを選択してPMOSレギュレータをバイパスし得るか、又はPMOSレギュレータ及びNMOSレギュレータの両方を選択し得る。加えて、PMOSレギュレータ及びNMOSレギュレータが、異なる入力インピーダンス及び出力インピーダンスを有することに留意されたい。PMOSレギュレータは一般に、NMOSレギュレータよりも低い入力インピーダンス及びそれよりも高い出力インピーダンスを有する。故に、一態様では、切替え回路は、VCOが周囲の構成要素ブロックへのアグレッサであるかビクティムであるかに依存して、PMOSレギュレータ又はNMOSレギュレータの何れかを選択するために使用され得る。例えば、切替え回路は、VCOが、(例えば、周囲の構成要素ブロックを引き込むことによって)周囲の構成要素ブロックに影響を及ぼし得るアグレッサである場合、PMOSレギュレータを選択し得る。例えば、切替え回路は、VCOが、(例えば、周囲の構成要素ブロックによって引き込まれることによって)周囲の構成要素ブロックから影響を受け得るビクティムである場合、NMOSレギュレータを選択し得る。直列に接続されたPMOSレギュレータ及びNMOSレギュレータの両方を選択することがまた、周囲の構成要素ブロックに影響を及ぼすこと及び/又はそれらから影響を受けることからの分離を提供するであろうことに更に留意されたい。

#### 【0041】

[0051]図6A-6Bは、CMOSレギュレータの例となる構造である。図6Aは、PMOSレギュレータ604及びNMOSレギュレータ606が直列に接続されるCMOSレギュレータの例となる構造600である。具体的には、切替え回路602は、NMOSレギュレータ606に直列に接続されるPMOSレギュレータ604に接続される。切替え回路602は、LVモード及びHVモードのうちの1つを選択するように構成される。上で説明したように、例えば、LVモードは、非GSMモードの場合に低電圧を供給するために使用され、HVモードは、GSMモードの場合に高電圧を供給するために使用される。示されてはいないが、別の例では、PMOSレギュレータ604及びNMOSレギュレータ606の順序は、図6Aの例となる構造600とは異なり得る。CMOSレギュレータは、PMOSレギュレータ及びNMOSレギュレータを含む。図6Bは、PMOSレギュレータ654及びNMOSレギュレータ658が並列に接続されるCMOSレギュレータの例となる構造650である。具体的には、第1の切替え回路652は、PMOSレギュレータ654に接続され、第2の切替え回路656は、NMOSレギュレータ658に

接続され、ここで、PMOSレギュレータ654及びNMOSレギュレータ658は、並列に接続される。上で説明したように、例えば、LVモードは、非GSMモードの場合に低電圧を供給するために使用され、HVモードは、GSMモードの場合に高電圧を供給するために使用される。故に、LVモードが使用される場合、第1の切替え回路652及び第2の切替え回路656の両方は、低電圧を提供するように構成される。HVモードが使用される場合、第1の切替え回路652及び第2の切替え回路656の両方は、高電圧を提供するように構成される。

#### 【0042】

[0052]図7は、カスコードCMOSレギュレータを含む例となる回路図700である。具体的には、切替え回路710は、PMOSレギュレータ730及びNMOSレギュレータ750を含むCMOSレギュレータに接続され、ここで、PMOSレギュレータ730及びNMOSレギュレータ750は、直列（カスコード）に接続される。CMOSレギュレータは、NMOSレギュレータ750を介してVCO回路770に接続される。VCO回路770は、図2のVCO274又はVCO284と等しいだろう。VCO回路770は、772において低周波数（LF）VCO出力を、774において高周波数（HF）VCO出力を有し得る。ある態様では、切替え回路710は、CMOSレギュレータに対して、HVモードの電圧又はLVモードの電圧の何れかを選択的に供給し得る。図7の例では、切替え回路710は、1.6VのHVモード電圧又は0.95VのLVモード電圧をCMOSレギュレータに供給し得る。切替え回路710は、以下のような様々な要因に依存して、HVモードの電圧又はLVモードの電圧の何れかを選択的に供給し得る。HVモードは、LVモードよりも良好なVCO位相ノイズ及び振幅に加え、それよりも良好なVCOバッファ位相ノイズ及び振幅を提供し得る。LVモードは、HVモードよりも少ない電力消費をもたらす。CMOSレギュレータに供給される電圧の電源電圧ドメインは、より低い供給結合（supply coupling）を受けるように構成される。VCOが、HVモードでは、EM結合に対してLVモードよりも敏感でないことにも留意されたい。

#### 【0043】

[0053]ある態様では、NMOSレギュレータ750は、1000MHzにおいて、PMOSレギュレータ730よりも良好なPSRRを有する。ある態様では、PMOSレギュレータ730は、（例えば、GSM、HV及び低いPMOSレギュレータBWにおいて）100MHzではNMOSレギュレータ750よりも良好なノイズ性能（例えば、低ノイズ）を有し得る。図7の例では、PMOSレギュレータ730は、Vdd = 50mVを出力することができる。図7の例では、NMOSレギュレータ750は、100mV低下を伴って、1MHzにおいて100dBのPSRRを達成することができる。例えば、NMOSレギュレータ750は、PFMスパーに対して、1MHzにおいて100dBのPSRRを達成するために、二段式OTA及びポールキャンセレーション機能を有する。

#### 【0044】

[0054]図8は、バッファ回路を含む例となる回路図800である。例となる回路図800では、切替え回路810は、バッファ回路830に接続される。ある態様では、切替え回路810は、HVモード又はLVモードの何れかを選択的に提供し得る。バッファ回路830は、図7のVCO回路770のようなVCOからの出力を受け、それら出力をバッファする。故に、バッファ回路830は、図7のVCO回路770に接続され得る。例えば、バッファ回路830へのLF VCO入力832は、図7のLF VCO出力772からのものであり得、バッファ回路830へのHF VCO入力834は、図7のHF VCO出力774からのものであり得る。

#### 【0045】

[0055]図9は、本開示に係る、システムレベルにおける例となる回路構造900である。例となる回路構造900は、送信（TX）VCOレギュレータ902、第1の受信（RX）キャリアアグリゲーション（CA）レギュレータ904及び第2のRX CAレギュレータ906を含む。第1のRX CAレギュレータ904は、第1の周波数においてキャリアアグリゲーションを受信するためのものであり、第2のRX CAレギュレータ9

10

20

30

40

50

06は、第2の周波数においてキャリアアグリゲーションを受信するためのものである。TX VCOレギュレータ902、第1のRX CAレギュレータ904及び第2のRX CAレギュレータ906の各1つは、NMOSレギュレータに結合されたPMOSレギュレータを有するCMOSレギュレータ構造を含む。

【0046】

[0056]図10Aは、VCOにおける様々なケースのPSSR値の例となるPSSRプロット1000である。PSSRプロット1000は、二段式OTAレギュレータ回路が、一段式OTAレギュレータのPSSRプロットよりも、-100dBという望ましいPSSRに近いPSSRプロットをVCOに提供することを例示する。故に、100kHzにおける100dBのPSSRは、二段式OTAレギュレータによって達成される。更に、図10Aによれば、VCOはまた、二段式OTAレギュレータが使用されるとき、50dBの改善を受け得る。図10Bは、VCOにおける様々なケースのノイズ値の例となるノイズプロット1050である。例となるノイズプロット1050によれば、一段式OTAレギュレータのノイズプロットがスパーク1052及び1054を有するのに対して、二段式OTAレギュレータのノイズプロットは、何れのスパーも有さない。故に、VCOは、二段式OTAレギュレータが使用されるとき、スパーク低減を経験する。加えて、VCO VDDが、高供給ドメイン (high-supply domain) に切り替わると、4 - 5 dBの基準サイドバンド (RSB) 改善がもたらされ得る。

【0047】

[0057]図11は、レギュレータ回路による方法のフローチャート1100である。方法は、レギュレータ回路 (例えば、レギュレータ回路600、650、装置1202/1202') によって実行され得る。1102において、レギュレータ回路は、第1の電圧レギュレータへの第1の入力電圧を、第1の電圧レギュレータを介して調整し、第1の電圧レギュレータは、PMOSを含む。1104において、レギュレータ回路は、第2の電圧レギュレータへの第2の入力電圧を、第2の電圧レギュレータを介して調整し、第2の電圧レギュレータは、NMOSを含み、ここにおいて、第1の電圧レギュレータは、第2の電圧レギュレータに接続される。1106において、レギュレータ回路は、第1の電圧レギュレータ又は第2の電圧レギュレータのうちの少なくとも1つを、切替え回路を介して選択的にアクティブにする。ある態様では、第1の電圧レギュレータ又は第2の電圧レギュレータのうちの少なくとも1つは、ノイズに基づいて選択的にアクティブにされる。

【0048】

[0058]図12は、例示的な装置1202内の異なるモジュール/手段/構成要素間のデータフローを例示する概念的なデータフロー図1200である。装置は、レギュレータ回路であり得る。装置は、第1の電圧レギュレータモジュール1204と、第2の電圧レギュレータモジュール1206と、切替えモジュール1208とを含む。

【0049】

[0059]第1の電圧レギュレータモジュール1204は、第1の電圧レギュレータモジュール1204への第1の入力電圧を調整する。ある態様では、第1の電圧レギュレータモジュール1204は、PMOSを含む。第2の電圧レギュレータモジュール1206は、第2の電圧レギュレータモジュール1206への第2の入力電圧を調整する。ある態様では、第2の電圧レギュレータモジュール1206は、NMOSを含む。ある態様では、第1の電圧レギュレータは、第2の電圧レギュレータに接続される。切替えモジュール1208は、第1の電圧レギュレータモジュール1204及び第2の電圧レギュレータモジュール1206のうちの少なくとも1つを選択的にアクティブにする。ある態様では、第1の電圧レギュレータモジュール1204及び第2の電圧レギュレータ1206うちの少なくとも1つは、ノイズに基づいて選択的にアクティブにされる。

【0050】

[0060]装置は、上述された図11のフローチャートにおけるアルゴリズムのブロックの各々を実行する追加のモジュールを含み得る。このように、上述された図11のフローチャートにおける各ブロックはモジュールによって実行され得、装置は、これらモジュール

のうちの1つ又は複数を含み得る。モジュールは、説明されたプロセス／アルゴリズムを実行するように特に構成されるか、説明されたプロセス／アルゴリズムを行うように構成されたプロセッサによって実装されるか、プロセッサによる実装のためにコンピュータ読取可能な媒体内に格納されるか、又はそれらの何らかの組み合わせである、1つ又は複数のハードウェア構成要素であり得る。

#### 【0051】

[0061]図13は、処理システム1314を用いる装置1202'のためのハードウェア実装形態の例を例示する図1300である。処理システム1314は、概してバス1324と表されるバスアーキテクチャを用いて実装され得る。バス1324は、処理システム1314の特定の用途と設計制約全体に依存して、任意の数の相互接続バス及びブリッジを含み得る。バス1324は、プロセッサ1304、モジュール1204、1206、1208及びコンピュータ読取可能な媒体／メモリ1306で表される、1つ又は複数のプロセッサ及び／又はハードウェアモジュールを含む様々な回路を互いにリンクさせる。バス1324はまた、タイミングソース、周辺機器、電圧レギュレータ及び電力管理回路のような様々な他の回路をリンクさせ得るが、これらは、当技術分野では周知であるためこれ以上説明されないであろう。

#### 【0052】

[0062]処理システム1314は、トランシーバ1310に結合され得る。トランシーバ1310は、1つ又は複数のアンテナ1320に結合される。トランシーバ1310は、伝送媒体を通して様々な他の装置と通信するための手段を提供する。トランシーバ1310は、1つ又は複数のアンテナ1320から信号を受け、受けた信号から情報を抽出し、抽出された情報を処理システム1314に提供する。加えて、トランシーバ1310は、処理システム1314から情報を受け、受けた情報に基づいて、1つ又は複数のアンテナ1320に適用される信号を生成する。処理システム1314は、コンピュータ読取可能な媒体／メモリ1306に結合されたプロセッサ1304を含む。プロセッサ1304は、コンピュータ読取可能な媒体／メモリ1306に格納されたソフトウェアの実行を含む、汎用処理を担う。ソフトウェアは、プロセッサ1304によって実行されると、任意の特定の装置に関して先に述べた様々な機能を実行することを処理システム1314に行わせる。コンピュータ読取可能な媒体／メモリ1306はまた、ソフトウェアを実行するときにプロセッサ1304によって操作されるデータを格納するために使用され得る。処理システムは、モジュール1204、1206及び1208のうちの少なくとも1つを更に含む。これらのモジュールは、プロセッサ1304で実行しており、コンピュータ読取可能な媒体／メモリ1306に存在し／格納されたソフトウェアモジュールであるか、プロセッサ1304に結合された1つ又は複数のハードウェアモジュールであるか、又はそれらの何らかの組み合わせであり得る。

#### 【0053】

[0063]一構成では、装置1202/1202'は、第1の入力電圧を調整するための手段への第1の入力電圧を調整するための手段と、ここで、第1の入力電圧を調整するための手段は、PMOSを含む、第2の電圧を調整するための手段への第2の入力電圧を調整するための手段と、ここで、第2の電圧を調整するための手段は、NMOSを含み、第1の入力電圧を調整するための手段は、第2の電圧を調整するための手段に接続される、第1の入力電圧を調整するための手段又は第2の電圧を制御するための手段のうちの少なくとも1つを選択的にアクティブにするための手段とを含む。ある態様では、選択的にアクティブにするための手段は、第1の入力電圧を調整するための手段及び第2の電圧を調整するための手段のうちの少なくとも1つを、ノイズに基づいて選択的にアクティブにするように構成される。前述の手段は、前述の手段によって説明された機能を実行するように構成された、装置1202の前述のモジュール及び／又は装置1202'の処理システム1314のうちの1つ又は複数であり得る。

#### 【0054】

[0064]開示されたプロセスにおけるステップの特定の順序又は序列が例示的なアプロー

10

20

30

40

50

チの一例であることは理解されるべきである。設計の選好に基づいて、これらのプロセスにおけるステップの特定の順序又は序列が並べ替えられ得ることは理解される。更に、幾つかのステップは組み合わせられるか又は省略され得る。添付の方法の請求項は、様々なステップの要素を1つの例示的な順序で示すが、それらが提示された特定の順序又は序列に限定されることは意味されない。

【 0 0 5 5 】

[0065]先の説明は、当業者による、本明細書に説明された様々な態様の実施を可能にするために提供される。これらの態様に対する様々な修正は、当業者には容易に明らかとなり、本明細書において定義された包括的な原理は、他の態様に適用され得る。故に、特許請求の範囲は、本明細書で示された態様に限定されることを意図しておらず、特許請求の範囲の文言と一致する全範囲が付与されるべきものであり、ここにおいて、単数形の要素への参照は、そのように明記されていない限り、「1つ及び1つのみ」を意味することを意図するものではなく、「1つ又は複数」を意味する。別途明記されていない限り、「何等かの/幾つかの」という用語は、1つ又は複数を指す。当業者に知られているか又は後に知られることとなる、本開示全体にわたって説明された様々な態様の要素と構造的及び機能的に同等なものは全て、参照によって本明細書に明確に組み込まれ、そして特許請求の範囲によって包含されることが意図される。更に、本明細書に開示されたものは何れも、そのような開示が特許請求の範囲に明示的に記載されているかどうかに関わらず、公に献呈されることを意図するものではない。何れの請求項の要素も、その要素が「～ための手段」という表現を使用して明記されていない限り、ミーンズプラスファンクション (means plus function) として解釈されるべきではない。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[ C 1 ]

レギュレータ回路であって、

第1の電圧レギュレータへの第1の入力電圧を調整するための前記第1の電圧レギュレータと、ここで、前記第1の電圧レギュレータは、P型金属酸化膜半導体 (PMOS) を含み、

第2の電圧レギュレータへの第2の入力電圧を調整するための前記第2の電圧レギュレータと、ここで、前記第2の電圧レギュレータは、N型金属酸化膜半導体 (NMOS) を含み、前記第1の電圧レギュレータは、前記第2の電圧レギュレータに接続され、

前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを選択的にアクティブにするための切替え回路と

を備えるレギュレータ回路。

[ C 2 ]

前記切替え回路は、前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを、ノイズに基づいて選択的にアクティブにする、C 1 に記載のレギュレータ回路。

[ C 3 ]

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、直列に接続される、C 1 に記載のレギュレータ回路。

[ C 4 ]

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、並列に接続される、C 1 に記載のレギュレータ回路。

[ C 5 ]

前記第1の電圧レギュレータは、2つの段において前記第1の入力電圧を増幅するための二段式増幅器回路を含む、C 1 に記載のレギュレータ回路。

[ C 6 ]

前記第2の電圧レギュレータは、2つの段において前記第2の入力電圧を増幅するための二段式増幅器回路を含む、C 1 に記載のレギュレータ回路。

[ C 7 ]



前記第 2 の電圧レギュレータは、ポールキャンセレーション回路を含む、C 1 に記載のレギュレータ回路。

[ C 8 ]

前記第 2 の電圧レギュレータは、キャパシタ及び抵抗器を含み、前記抵抗器の一端は、前記キャパシタに接続され、前記抵抗器の別の端は、前記 N M O S のソースに接続される、C 1 に記載のレギュレータ回路。

[ C 9 ]

前記第 1 の電圧レギュレータ及び前記第 2 の電圧レギュレータは、入力電圧調整の程度を変更するように調節可能である、C 1 に記載のレギュレータ回路。

[ C 1 0 ]

前記第 1 の電圧レギュレータ及び前記第 2 の電圧レギュレータは、異なる入力インピーダンス及び出力インピーダンスを有する、C 1 に記載のレギュレータ回路。

[ C 1 1 ]

レギュレータ回路による方法であって、

第 1 の電圧レギュレータへの第 1 の入力電圧を、前記第 1 の電圧レギュレータを介して調整することと、ここで、前記第 1 の電圧レギュレータは、P 型金属酸化膜半導体 ( P M O S ) を含む、

第 2 の電圧レギュレータへの第 2 の入力電圧を、前記第 2 の電圧レギュレータを介して調整することと、ここで、前記第 2 の電圧レギュレータは、N 型金属酸化膜半導体 ( N M O S ) を含み、前記第 1 の電圧レギュレータは、前記第 2 の電圧レギュレータに接続され、

前記第 1 の電圧レギュレータ又は前記第 2 の電圧レギュレータのうちの少なくとも 1 つを、切替え回路を介して選択的にアクティブにすることと

を備える方法。

[ C 1 2 ]

前記第 1 の電圧レギュレータ又は前記第 2 の電圧レギュレータのうちの前記少なくとも 1 つは、ノイズに基づいて選択的にアクティブにされる、C 1 1 に記載の方法。

[ C 1 3 ]

レギュレータ回路であって、

第 1 の入力電圧を調整するための手段への前記第 1 の入力電圧を調整するための前記手段と、ここで、前記第 1 の入力電圧を調整するための前記手段は、P 型金属酸化膜半導体 ( P M O S ) を含み、

第 2 の電圧を調整するための手段への前記第 2 の入力電圧を調整するための前記手段と、ここで、前記第 2 の電圧を調整するための前記手段は、N 型金属酸化膜半導体 ( N M O S ) を含み、前記第 1 の入力電圧を調整するための前記手段は、前記第 2 の電圧を調整するための前記手段に接続され、

前記第 1 の入力電圧を調整するための前記手段又は前記第 2 の電圧を調整するための前記手段のうちの少なくとも 1 つを選択的にアクティブにするための手段と

を備えるレギュレータ回路。

[ C 1 4 ]

選択的にアクティブにするための前記手段は、前記第 1 の入力電圧を調整するための前記手段又は前記第 2 の電圧を調整するための前記手段のうちの少なくとも 1 つを、ノイズに基づいて選択的にアクティブにするように構成される、C 1 3 に記載のレギュレータ回路。

10

20

30

40

【図 1】

図 1

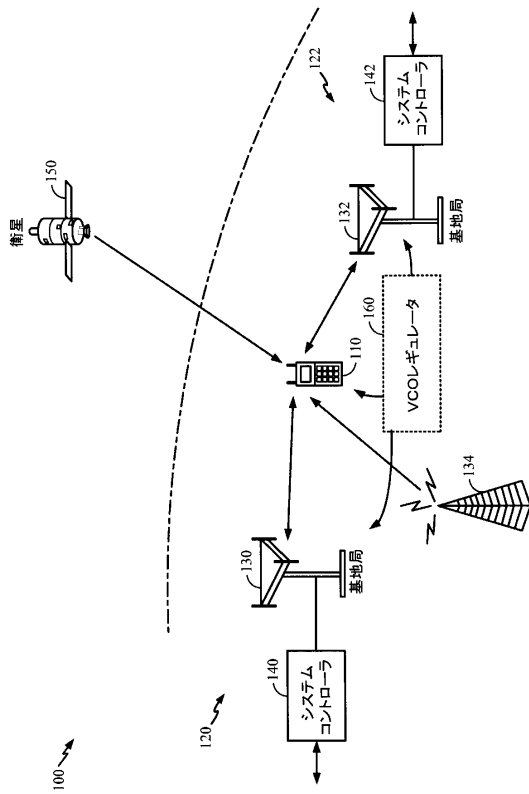


FIG. 1

【図 2】

図 2

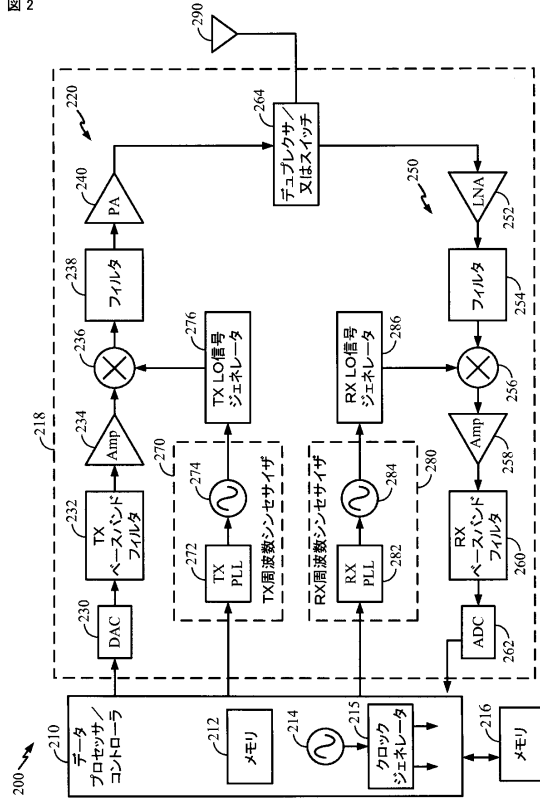


FIG. 2

【図 3】

図 3

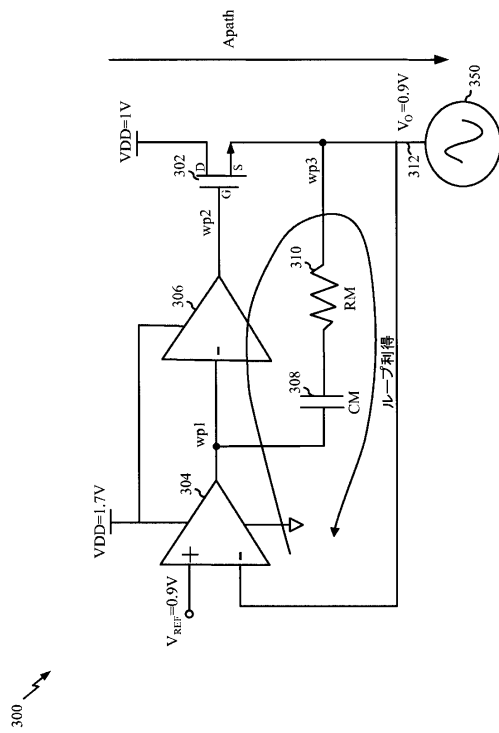


FIG. 3

【図 4 A】

図 4A

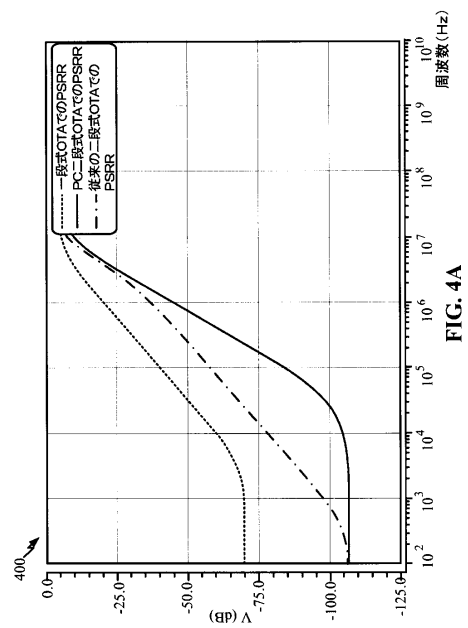
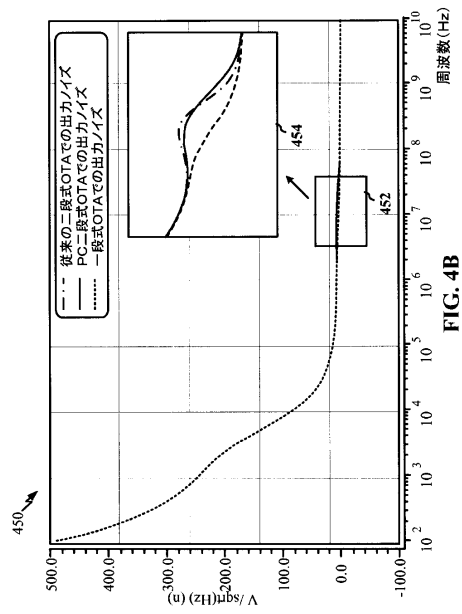


FIG. 4A

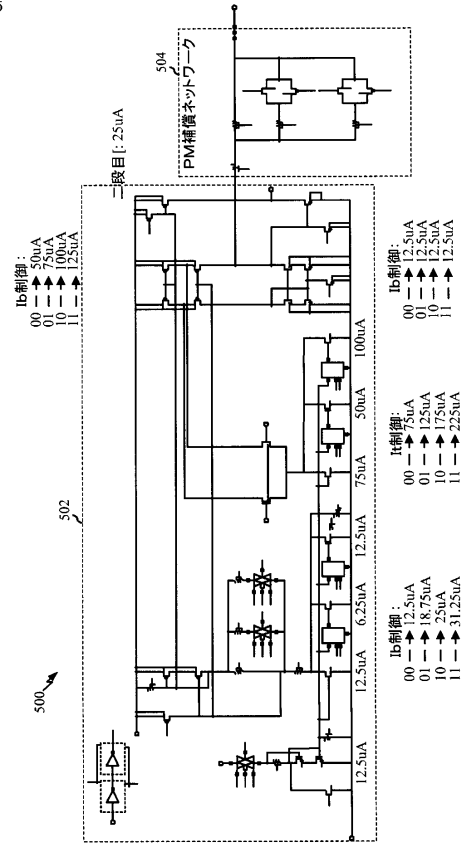
【図 4 B】

図 4B



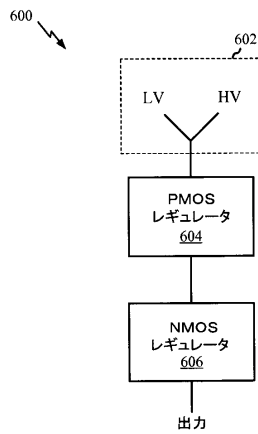
【図 5】

図 5



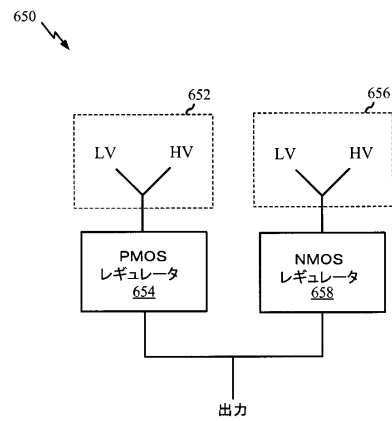
【図 6 A】

図 6A

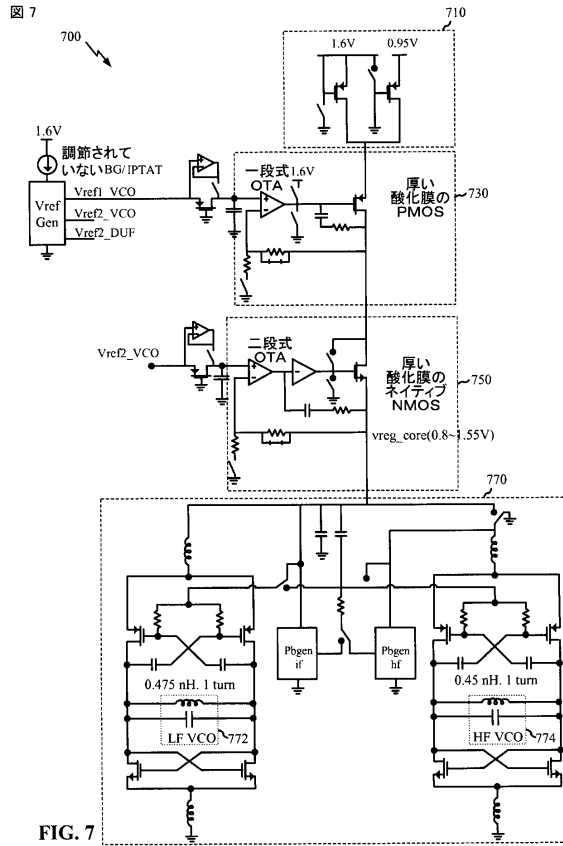


【図 6 B】

図 6B

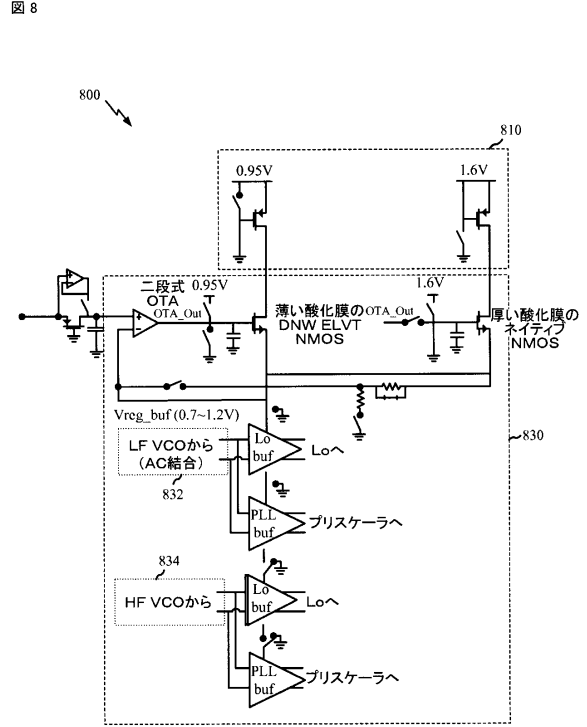


【 図 7 】



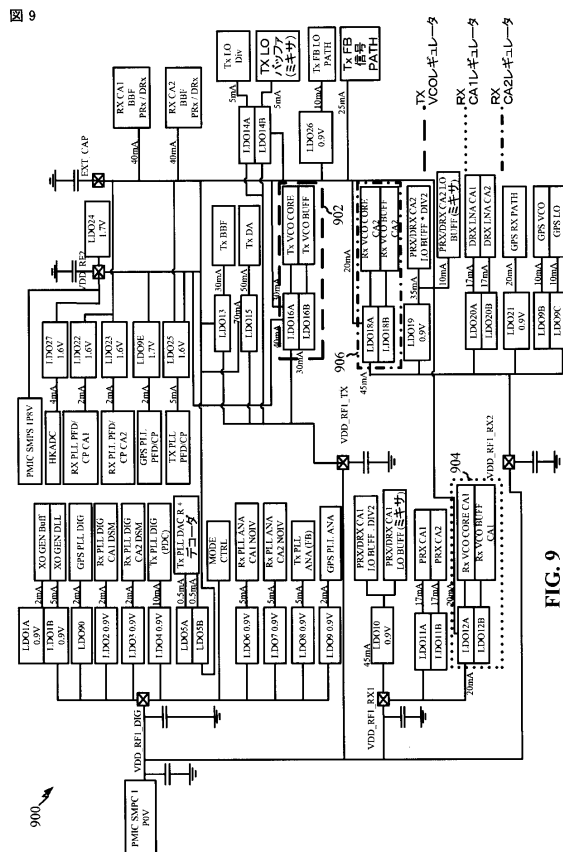
**FIG. 7**

【 図 8 】



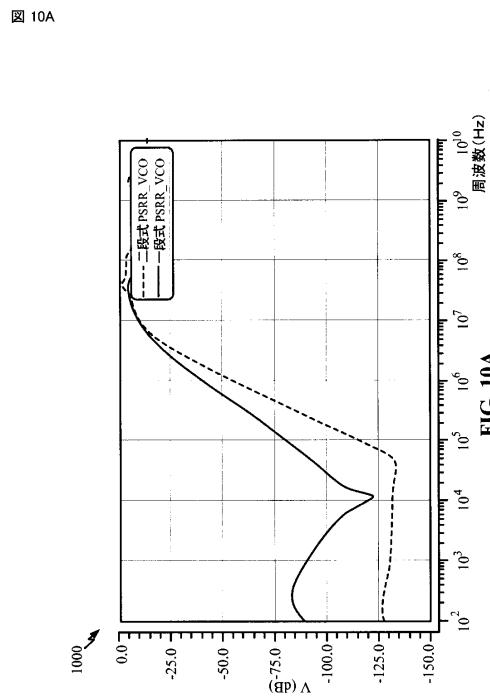
**FIG. 8**

【 図 9 】



**FIG. 9**

【 図 1 0 A 】



**FIG. 10A**

【図 10 B】

図 10B

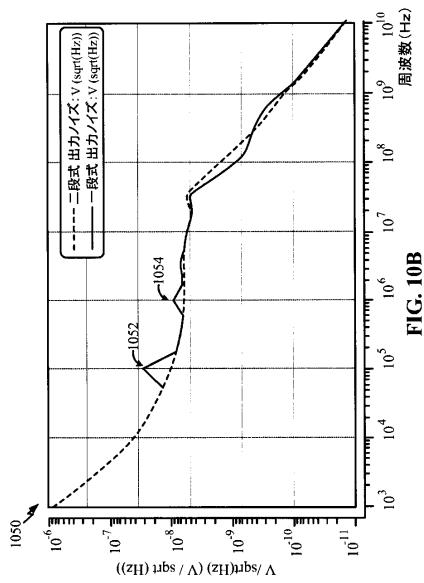


FIG. 10B

【図 1 1】

図 11

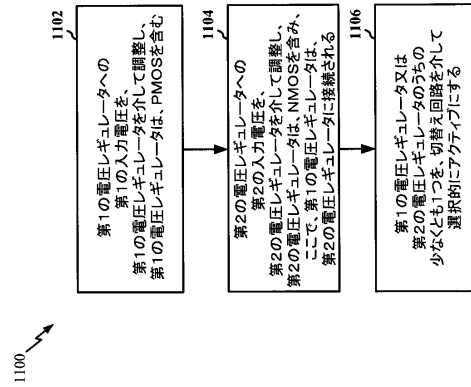


FIG. 11

【図 1 2】

図 12

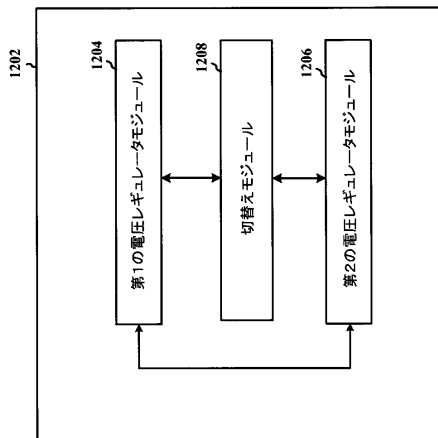


FIG. 12

【図 1 3】

図 13

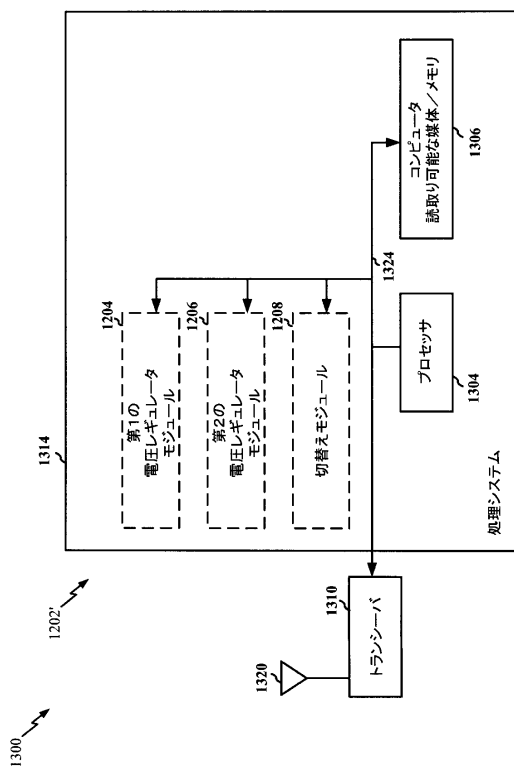


FIG. 13

## フロントページの続き

- (72)発明者 口、ユン - チュン  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付
- (72)発明者 ジャン、ガン  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付
- (72)発明者 ハン、イーピン  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付
- (72)発明者 ボッス、フレデリック  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付
- (72)発明者 フン、ツァイ - ピ  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付
- (72)発明者 チャン、ジェ - ホン  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

審査官 佐藤 匡

- (56)参考文献 米国特許出願公開第 2 0 0 5 / 0 2 4 2 7 9 4 ( U S , A 1 )  
特開 2 0 0 1 - 1 5 9 9 2 1 ( J P , A )  
特表 2 0 1 2 - 5 1 1 7 8 5 ( J P , A )  
米国特許出願公開第 2 0 0 5 / 0 1 1 0 4 7 7 ( U S , A 1 )  
特表 2 0 1 3 - 5 0 4 2 5 1 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
G 0 5 F 1 / 5 6