

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第2区分  
 【発行日】令和6年12月18日(2024.12.18)

【公開番号】特開2024-2572(P2024-2572A)  
 【公開日】令和6年1月11日(2024.1.11)  
 【年通号数】公開公報(特許)2024-005  
 【出願番号】特願2022-101843(P2022-101843)  
 【国際特許分類】

G 0 9 F 9/30(2006.01)

10

H 0 1 L 33/62(2010.01)

H 0 1 L 33/00(2010.01)

G 0 9 F 9/33(2006.01)

G 0 9 F 9/00(2006.01)

【F I】

G 0 9 F 9/30 3 4 9 Z

H 0 1 L 33/62

H 0 1 L 33/00 L

G 0 9 F 9/33

G 0 9 F 9/00 3 3 8

20

【手続補正書】

【提出日】令和6年12月10日(2024.12.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

30

絶縁性を有する平坦化層と、

前記平坦化層における第1の面上に形成される半導体素子と、

前記平坦化層における前記第1の面とは反対側の面である第2の面に設けられた溝部とを有し、

前記溝部は、前記第1の面と直交する第1の方向から見たときに前記半導体素子と重ならない領域に形成される

半導体装置。

【請求項2】

前記半導体素子に接続される接続部をさらに有し、

前記溝部は、

40

前記第1の方向から見たときに前記半導体素子及び前記接続部と重ならない領域に形成される

請求項1に記載の半導体装置。

【請求項3】

前記接続部は、

前記平坦化層の前記第2の面に露出しており、前記半導体素子と、前記平坦化層の前記第2の面側に位置する他の接続部とを導通させる

請求項2に記載の半導体装置。

【請求項4】

前記溝部は、

50

前記平坦化層における、前記第 1 の面に沿う面方向の端面において前記平坦化層の外部と連通している

請求項 1 に記載の半導体装置。

【請求項 5】

前記溝部は、

前記第 1 の方向から見たときに少なくとも前記半導体素子よりも外側において前記半導体素子を囲うように形成されている

請求項 1 に記載の半導体装置。

【請求項 6】

前記半導体素子に接続される接続部をさらに有し、

10

前記溝部は、

前記第 1 の方向から見たときに前記接続部よりも外側において前記半導体素子及び前記接続部を囲うように形成されている

請求項 1 に記載の半導体装置。

【請求項 7】

前記溝部は、

前記第 1 の方向から見たときに格子状である

請求項 5 又は請求項 6 に記載の半導体装置。

【請求項 8】

前記溝部は、

複数の前記半導体素子が配列された方向を少なくとも一部分に含む方向に延在する

請求項 1 に記載の半導体装置。

20

【請求項 9】

前記溝部における前記第 1 の方向の深さは、前記平坦化層における前記第 1 の方向の厚さの半分以下である

請求項 1 に記載の半導体装置。

【請求項 10】

前記溝部は、

前記平坦化層における前記第 2 の面において、前記第 2 の面から前記第 1 の面に向かって凹む

30

請求項 1 に記載の半導体装置。

【請求項 11】

前記平坦化層である第 1 の平坦化層と、前記半導体素子である第 1 の半導体素子と、前記接続部である第 1 の接続部と、前記溝部である第 1 の溝部とを含む第 1 の層と、

前記第 1 の平坦化層における前記第 2 の面が当接するように前記第 1 の層が積層され、少なくとも前記第 1 の半導体素子を制御する制御基板と、

前記第 1 の層における前記制御基板とは逆側の面に積層され、第 2 の半導体素子を含む第 2 の層と、

前記第 2 の層における前記第 1 の層とは逆側の面に積層され、第 3 の半導体素子を含む第 3 の層と

40

を有する請求項 2 に記載の半導体装置。

【請求項 12】

前記第 2 の層は、

前記第 1 の層と当接し絶縁性を有する第 2 の平坦化層と、

前記第 2 の平坦化層における前記第 3 の層側の面である第 1 の面上に形成される前記第 2 の半導体素子と、

前記第 2 の半導体素子に接続される第 2 の接続部と、

前記第 2 の平坦化層における前記第 1 の面とは反対側の面である第 2 の面に設けられた第 2 の溝部と

を有し、

50

前記第 3 の層は、  
 前記第 2 の層と当接し絶縁性を有する第 3 の平坦化層と、  
 前記第 3 の平坦化層における前記第 2 の層とは逆側の面である第 1 の面上に形成される  
 前記第 3 の半導体素子と、  
 前記第 3 の半導体素子に接続される第 3 の接続部と、  
 前記第 3 の平坦化層における前記第 1 の面とは反対側の面である第 2 の面に設けられた  
 第 3 の溝部と  
 を有し、  
 前記第 2 の溝部は、前記第 1 の方向から見たときに前記第 2 の半導体素子と重ならない  
 領域に形成され、  
 前記第 3 の溝部は、前記第 1 の方向から見たときに前記第 3 の半導体素子と重ならない  
 領域に形成される  
 請求項 1 1 に記載の半導体装置。

10

## 【請求項 1 3】

前記第 1 の溝部、前記第 2 の溝部及び前記第 3 の溝部は、  
 前記第 1 の方向から見たときに前記第 1 の半導体素子、前記第 2 の半導体素子及び前記  
 第 3 の半導体素子と重ならない領域に形成される  
 請求項 1 2 に記載の半導体装置。

## 【請求項 1 4】

前記半導体素子は、発光素子である  
 請求項 1 に記載の半導体装置。

20

## 【請求項 1 5】

形成基板の上に、該形成基板と接する面とは逆側の面に凸部を有する犠牲層を形成する犠  
 牲層形成工程と、  
 前記犠牲層上に絶縁性を有する平坦化層を形成する平坦化層形成工程と、  
 前記平坦化層における第 1 の面上に半導体素子を形成する半導体素子形成工程と、  
 前記犠牲層を除去することで前記平坦化層の前記第 1 の面と反対側の第 2 の面に溝部を  
 形成する溝部形成工程と  
 を含み、  
 前記凸部は、前記第 1 の面と直交する方向から見たときに前記半導体素子と重ならない  
 領域に配置される  
 半導体装置製造方法。

30

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

かかる課題を解決するため本発明の半導体装置においては、絶縁性を有する平坦化層と  
 、平坦化層における第 1 の面上に形成される半導体素子と、平坦化層における第 1 の面と  
 は反対側の面である第 2 の面に設けられた溝部とを設け、溝部は、第 1 の面と直交する第  
 1 の方向から見たときに半導体素子と重ならない領域に形成されるようにした。

40

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

また本発明の半導体装置製造方法においては、形成基板の上に、該形成基板と接する面と  
 は逆側の面に凸部を有する犠牲層を形成する犠牲層形成工程と、犠牲層上に絶縁性を有す

50

る平坦化層を形成する平坦化層形成工程と、平坦化層における第 1 の面上に半導体素子を形成する半導体素子形成工程と、犠牲層を除去することで平坦化層の第 1 の面と反対側の第 2 の面に溝部を形成する溝部形成工程とを含み、凸部は、第 1 の面と直交する方向から見たときに半導体素子と重ならない領域に配置されるようにした。

10

20

30

40

50