



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I836054 B

(45) 公告日：中華民國 113 (2024) 年 03 月 21 日

(21) 申請案號：109111972

(22) 申請日：中華民國 109 (2020) 年 04 月 09 日

(51) Int. Cl. : H01L21/60 (2006.01)

H01L23/535 (2006.01)

H01L25/04 (2023.01)

H01L23/52 (2006.01)

(30) 優先權：2019/04/23 美國

16/392,170

(71) 申請人：美商吉林克斯公司 (美國) XILINX, INC. (US)

美國

(72) 發明人：克萊 馬修 H KLEIN, MATTHEW H. (US)

(74) 代理人：閻啓泰；林景郁

(56) 參考文獻：

TW 201913925A

US 2014/0181458A1

US 2015/0016172A1

審查人員：林弘恩

申請專利範圍項數：39 項 圖式數：9 共 35 頁

(54) 名稱

包含在具有可程式積體電路的晶粒上所堆疊的記憶體晶粒的多晶片結構

(57) 摘要

本文中所描述之一些實例提供一種多晶片結構，其包含在具有一可程式積體電路 (IC) 之一晶粒上所堆疊之一或多個記憶體晶粒。在一實例中，一種多晶片結構包含一封裝基板、一第一晶粒及一第二晶粒。該第一晶粒包含一可程式 IC，且該可程式 IC 包含一記憶體控制器。該第一晶粒在該封裝基板上且附接至該封裝基板。該第二晶粒包含記憶體。該第二晶粒堆疊於該第一晶粒上。該記憶體通信耦接至該記憶體控制器。

Some examples described herein provide for a multi-chip structure including one or more memory dies stacked on a die having a programmable integrated circuit (IC). In an example, a multi-chip structure includes a package substrate, a first die, and a second die. The first die includes a programmable IC, and the programmable IC includes a memory controller. The first die is on and attached to the package substrate. The second die includes memory. The second die is stacked on the first die. The memory is communicatively coupled to the memory controller.

指定代表圖：

符號簡單說明：

102:可程式積體電路 (IC)

110:可程式邏輯區

112:記憶體控制器

124:介面及控制邏輯電路

302:記憶體

304:匯流排

306:記憶體片段

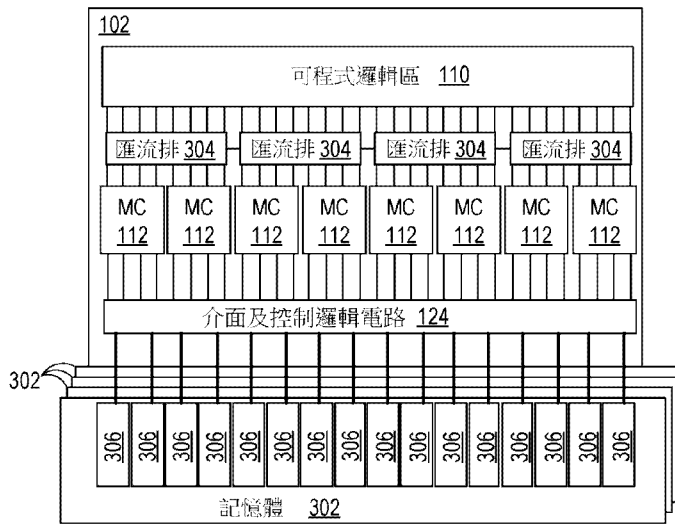


圖3



I836054

【發明摘要】

【中文發明名稱】 包含在具有可程式積體電路的晶粒上所堆疊的記憶體晶粒的多晶片結構

【英文發明名稱】 MULTI-CHIP STRUCTURE INCLUDING A MEMORY DIE STACKED ON DIE HAVING PROGRAMMABLE INTEGRATED CIRCUIT

【中文】

本文中所描述之一些實例提供一種多晶片結構，其包含在具有一可程式積體電路（IC）之一晶粒上所堆疊的一或多個記憶體晶粒。在一實例中，一種多晶片結構包含一封裝基板、一第一晶粒及一第二晶粒。該第一晶粒包含一可程式IC，且該可程式IC包含一記憶體控制器。該第一晶粒在該封裝基板上且附接至該封裝基板。該第二晶粒包含記憶體。該第二晶粒堆疊於該第一晶粒上。該記憶體通信耦接至該記憶體控制器。

【英文】

Some examples described herein provide for a multi-chip structure including one or more memory dies stacked on a die having a programmable integrated circuit (IC). In an example, a multi-chip structure includes a package substrate, a first die, and a second die. The first die includes a programmable IC, and the programmable IC includes a memory controller. The first die is on and attached to the package substrate. The second die includes memory. The second die is stacked on the first die. The memory is communicatively coupled to the memory controller.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

102: 可程式積體電路 (IC)

110: 可程式邏輯區

112: 記憶體控制器

124: 介面及控制邏輯電路

302: 記憶體

304: 匯流排

306: 記憶體片段

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 包含在具有可程式積體電路的晶粒上所堆疊的記憶體晶粒的多晶片結構

【英文發明名稱】 MULTI-CHIP STRUCTURE INCLUDING A MEMORY DIE STACKED ON DIE HAVING PROGRAMMABLE INTEGRATED CIRCUIT

【技術領域】

【0001】 本發明係關於一種多晶片結構及形成此結構之方法，且特定而言，係關於一種包含在具有可程式積體電路之晶粒上所堆疊之一或多個記憶體晶粒的多晶片結構及形成此結構之方法。

【先前技術】

【0002】 可程式積體電路（integrated circuit；IC）係指包含可程式電路系統之一種類型的IC。可程式IC之實例為場可程式閘陣列（field programmable gate array；FPGA）。FPGA之特徵在於包含可程式電路區塊。電路設計可藉由將有時被稱作組態位元串流之組態資料載入至裝置中而實體地實施於可程式IC之可程式電路系統內。組態資料可載入至裝置之內部組態記憶體單元中。個別組態記憶體單元之集體狀態判定可程式IC之功能性。舉例而言，由各種可程式電路區塊所執行之特定操作及在可程式IC之可程式電路區塊之間的連接性係由載入有組態資料之後的組態記憶體單元之集體狀態來定義。

【發明內容】

【0003】 本文中所描述之一些實例提供一種多晶片結構，其包含在具有一

可程式積體電路 (IC) 之一晶粒上所堆疊的一或多個記憶體晶粒。本文中所描述之一些實例可避免使用插入層 (interposer) 及/或實體層 (PHY) 介面，此可減少處理成本、功率消耗及/或晶粒面積使用量。

【0004】 一實例為一種多晶片結構。該多晶片結構包含封裝基板、第一晶粒及第二晶粒。該第一晶粒包含可程式積體電路，且該可程式積體電路包含記憶體控制器。該第一晶粒在封裝基板上且附接至該封裝基板。該第二晶粒包含記憶體。該第二晶粒堆疊於該第一晶粒上。該記憶體通信耦接至該記憶體控制器。

【0005】 另一實例為一種形成多晶片結構之方法。第一晶粒堆疊於第二晶粒上。該第一晶粒包含記憶體。該第二晶粒包含可程式積體電路，且該可程式積體電路包含記憶體控制器。該記憶體控制器藉由第一晶粒堆疊於第二晶粒上而通信耦接至記憶體。該第一晶粒附接至封裝基板。

【0006】 另一實例為一種多晶片結構。該多晶片結構包含封裝基板、第一晶粒及第二晶粒。該第一晶粒包含場可程式閘陣列 (FPGA) 及記憶體控制器。該第一晶粒在封裝基板上且附接至該封裝基板。該第二晶粒包含記憶體。該第二晶粒堆疊於第一晶粒之與封裝基板相對的一側上。該記憶體通信耦接至該記憶體控制器。

【0007】 可參考以下實施方式理解此等及其他態樣。

【圖式簡單說明】

【0008】 為了可詳細地理解上述特徵之方式，可能已參考實例實施方式進行上文簡要概述之更特定描述，該等實例實施方式中之一些在附圖中進行說明。然而，應注意，該等附圖僅說明典型的實例實施方式且因此不應被視為限制其範圍。

【0009】 [圖1]為描繪根據一些實例之連接至外部記憶體的可程式積體電

路 (IC) 之方塊圖

【0010】 [圖2]描繪根據一些實例之可程式IC的場可程式閘陣列 (FPGA)。

【0011】 [圖3、圖4及圖5]為根據一些實例之各別多晶片結構的電路示意圖。

【0012】 [圖6、圖7及圖8]為根據一些實例之印刷電路板 (printed circuit board ; PCB) 上的多晶片結構之組態。

【0013】 [圖9]為根據一些實例之用於形成多晶片結構的方法之流程圖。

【0014】 為促進理解，在可能的情況下，已使用相同參考編號以指明諸圖中所共有的相同元件。預期一個實例之元件可有益地併入其他實例中。

【實施方式】

【0015】 本文中所描述之一些實例提供一種多晶片結構，其包含在具有一可程式積體電路(IC)之一晶粒上所堆疊的一或多個記憶體晶粒。在一些實例中，記憶體晶粒可實施用於高頻寬記憶體 (high bandwidth memory ; HBM) 之記憶體。在一些實例中，可程式IC包含可程式邏輯區，諸如場可程式閘陣列 (FPGA) 之結構。可程式IC准許自任何記憶體晶粒之記憶體讀取或寫入至任何記憶體晶粒之記憶體的資料之使用者可組態前端處理。

【0016】 本文中所描述之一些實例可避免使用插入層。藉由使記憶體晶粒堆疊於包含可程式IC之基礎晶粒上，將不實施插入層(基礎晶粒及記憶體晶粒之堆疊將以其他方式個別地附接至該插入層)。藉由避免插入層，亦避免與處理及將插入層包含於多晶片堆疊中相關聯之費用。另外，在無插入層之情況下，可實施較少處理以形成多晶片堆疊，如此除了降低成本，亦可減少處理循環時間。避免插入層及將記憶體晶粒堆疊於基礎晶粒上亦可產生具有較小佔據面積及較小豎直剖面之封裝。

【0017】 本文中所描述之一些實例可避免在多晶片結構中使用實體層（PHY）介面，諸如HBM介面。實體層介面可消耗功率及晶粒面積。藉由避免使用諸如HBM介面之實體層介面，可避免兩個晶粒上之實體層介面（例如，HBM實體層連接之每一側上一個），此可減少功率且減少兩個晶粒之面積使用量。另外，減少晶粒之面積使用量可減少與形成晶粒之處理相關聯的成本。

【0018】 一些實例可達成額外益處。舉例而言，可更容易測試由多晶片結構所形成之複合裝置且更容易將其置放於多晶片模組，例如與其他封裝及/或晶粒一起置放於多晶片模組。又，如本文中所描述之具有可程式IC的多晶片結構可允許定製鄰近於一或多個記憶體晶粒（例如，鄰近於一或多個HBM晶粒）之邏輯及功能。此多晶片結構可准許使用者在單一封裝中建立具有例如高記憶體頻寬及較低功率消耗之可部署定製裝置。另外，此多晶片結構可保持可程式邏輯區及諸如輸入/輸出電路、收發器電路及/或其他電路之邊界電路的可程式性及可程式性之靈活性。

【0019】 下文參看諸圖描述各種特徵。應注意，諸圖可能按比例繪製或可能未按比例繪製且具有類似結構或功能的元件貫穿諸圖由相同參考編號表示。應注意，諸圖僅意欲促進特徵之描述。其不欲作為對所主張發明之詳盡描述或作為對所主張發明之範圍的限制。此外，所說明之實例無需具有所展示之所有態樣或優點。結合特定實例而描述之態樣或優點不必限於彼實例且可在任何其他實例中實踐，即使未如此說明或未如此明確地描述亦如此。另外，本文中所描述之方法可按操作之特定次序描述，但根據其他實例之其他方法可藉由更多或更少操作以各種其他次序實施（例如，包含各種操作之不同串列或並列執行）。

【0020】 圖1為描繪根據一些實例之連接至外部記憶體的可程式積體電路（IC）102之方塊圖。可程式IC 102可為系統單晶片（System-on-Chip；SoC），且可包含或作為IC，其為可程式邏輯裝置，諸如場可程式閘陣列（FPGA）。可程式

IC 102包括處理系統104、晶片上網路（network-on-chip；NoC）106、組態互連件108、一或多個可程式邏輯區110a至110n（一般、個別地或統稱為「可程式邏輯區110」）、記憶體控制器112、數十億位元收發器（multi-gigabit transceiver；MGT）114、輸入/輸出區塊（IO）116及其他IP電路118。NoC 106包含路由網路120及NoC周邊互連件（NoC peripheral interconnect；NPI）122。

【0021】 一般而言，處理系統104經由組態互連件108連接至可程式邏輯區110。處理系統104、可程式邏輯區110、記憶體控制器112、MGT 114、IO 116及其他IP電路118亦連接至NoC 106（例如，路由網路120），且因此可經由NoC 106（例如，路由網路120）而通信耦接至彼此。處理系統104、記憶體控制器112、MGT 114、IO 116及其他IP電路118亦連接至可程式邏輯區110之各別子集。舉例而言，處理系統104、IO 116及其他IP電路118中之每一者連接至可程式邏輯區110a，且記憶體控制器112及MGT 114中之每一者連接至可程式邏輯區110n。各種電路可連接至可程式邏輯區110之任何子集，且該等電路可與任何其他電路以任何組合而連接至可程式邏輯區110之給定子集。另外，在一些實例中，記憶體控制器112可連接至IO 116中之至少一者。

【0022】 處理系統104可包含一或多個處理器核心。舉例而言，處理系統104可包含數個基於ARM之嵌入式處理器核心。

【0023】 可程式邏輯區110可包含任何數目個可組態邏輯區塊、查找表（look-up table；LUT）、數位信號處理區塊、隨機存取記憶體區塊等及可程式互連元件，諸如下文所描述。可使用處理系統104經由組態互連件108來程式化或組態可程式邏輯區110。舉例而言，組態互連件108可藉由處理系統104之處理器核心（諸如，平台管理控制器（platform management controller；PMC））以實現可程式邏輯區110之組構的基於訊框之程式化。

【0024】 NoC 106之路由網路120提供在不同系統或電路之間的NoC封包

之路由。路由網路120包含藉由線段互連之NoC封包交換器，該等線段處於NoC主控單元（NoC master unit；NMU）與NoC受控單元（NoC slave unit；NSU）之間。每一NMU為將主控電路連接至NoC 106之入口電路。每一NSU為將NoC 106連接至受控端點電路之出口電路。每一NoC封包交換器執行NoC封包之切換。因此，NMU、NoC封包交換器及NSU可經組態以經由NMU、由線段互連之NoC封包交換器及NSU而在主控端點電路與受控端點電路之間提供通信通道。NMU、NoC封包交換器及NSU亦包含暫存器區塊，其經寫入以組態各別NMU、NoC封包交換器及NSU。暫存器區塊可經由NPI 122來寫入。舉例而言，處理系統104之PMC可經由NPI 122將記憶體映射之寫入請求傳輸至NMU、NoC封包交換器及NSU以寫入至暫存器區塊，從而組態NMU、NoC封包交換器及NSU。NPI 122可包含互連NPI交換器，其可將記憶體映射之寫入請求路由至適當暫存器區塊。

【0025】 IO 116可為將可程式IC 102與其他電路及/或系統通信耦接之任何輸入/輸出電路。在一些實例中，IO 116可包含高頻寬記憶體（HBM）介面電路、高密度輸入/輸出（high density input/output；HDIO）電路、周邊組件高速互連（peripheral component interconnect express；PCIe）電路、極速效能輸入/輸出（extreme Performance Input/Output；XPIO）電路及/或其類似者。其他IP電路118可為例如數位時脈管理器、類比至數位轉換器、系統監視邏輯、及/或用於給定實施方式之任何電路。在一些實例中，記憶體控制器112、MGT 114、IO 116及/或其他IP電路118中之至少一些為可組態的。舉例而言，記憶體控制器112、MGT 114、IO 116及/或其他IP電路118可經由NoC 106之NPI 122為可組態的。

【0026】 在一些實例中，可程式IC 102包含介面及控制邏輯電路124。在其他實例中，介面及控制邏輯電路124在與可程式IC 102分開的IC上（例如，如由虛線指示）。介面及控制邏輯電路124連接至外部記憶體126。舉例而言，外部記憶體126可為單一或多個晶粒中之記憶體。在一些實例中，外部記憶體126為可

實施作為高頻寬記憶體 (HBM) 之隨機存取記憶體 (random access memory ; RAM)，諸如動態RAM (dynamic RAM ; DRAM)。

【0027】 在一些實例中，介面及控制邏輯電路124直接連接至記憶體控制器112，而在其他實例中，介面及控制邏輯電路124經由可程式IC 102之IO 116及另一IC之IO 128而通信耦接至記憶體控制器112 (例如，如由圖1中之虛線箭頭所展示)。在可程式IC 102包含介面及控制邏輯電路124之一些實例中，記憶體控制器112直接連接至介面及控制邏輯電路124(例如，無介入之實體層(PHY)介面)，其又連接至外部記憶體126。在介面及控制邏輯電路124處於與可程式IC 102分開之IC中的一些實例中，記憶體控制器112直接連接至介面及控制邏輯電路124(例如，無介入之實體層(PHY)介面)，其又連接至外部記憶體126。在介面及控制邏輯電路124處於與可程式IC 102分開之IC中的一些實例中，記憶體控制器112直接連接至IO 116 (例如，HBM介面)，且IO 116連接至分開之IC的IO 128 (例如，HBM介面)，其又連接至介面及控制邏輯電路124。介面及控制邏輯電路124又連接至外部記憶體126。因此，在此等實例中，記憶體控制器112通信耦接至外部記憶體126。

【0028】 在一些實例中且如下文所詳述，可程式IC 102、介面及控制邏輯電路124(若在分開之IC上)及外部記憶體126可包含於經堆疊以形成多晶片結構之晶粒中。此多晶片結構可具有較小封裝大小且可使用減少之處理來製造，此可增加產率且減少製造多晶片結構之時間。

【0029】 圖2說明根據一些實例之可實施為圖1之可程式IC 102的可程式IC 200之場可程式閘陣列 (FPGA)。可程式IC 200包含大量不同的可程式單元片 (tile)，包含可組態邏輯區塊 (configurable logic block ; CLB) 202、隨機存取記憶體區塊 (random access memory block ; BRAM) 204、信號處理區塊 (signal processing block ; DSP) 206、輸入/輸出區塊 (input/output block ; IOB) 208、組

態及時序邏輯 (CONFIG/CLOCKS) 210、專用輸入/輸出區塊 (I/O) 212 (例如，組態埠及時脈埠) 以及其他可程式邏輯214，諸如數位時脈管理器、系統監視邏輯等。可程式IC 200亦可包含邊界電路，諸如MGT 216、記憶體控制器 (memory controller ; MC) 218、介面及控制邏輯電路 (INT/CNTL) 220以及其他IP電路222，諸如PCIe介面、類比至數位轉換器 (analog-to-digital converter ; ADC) 及其類似者。邊界電路亦可為可程式的。

【0030】 在一些FPGA中，如由包含於圖2中之實例所展示，每一可程式單元片可包含至少一個可程式互連元件 (INT) 230，其具有至同一單元片內之可程式邏輯元件之輸入及輸出端子232的連接。每一可程式互連元件230亦可包含至同一單元片或其他單元片中之鄰近可程式互連元件之互連區段234的連接。每一可程式互連元件230亦可包含至邏輯區塊 (圖中未示) 之間的通用路由資源之互連區段236的連接。通用路由資源可包含在包括互連片段 (例如，互連區段236) 之跡線之邏輯區塊 (圖中未示) 與用於連接互連片段之開關區塊 (圖中未示) 之間的路由通道。通用路由資源之互連片段 (例如，互連區段236) 可橫跨一或多個邏輯區塊。可程式互連元件230與通用路由資源一起實施用於所說明FPGA之可程式互連結構。

【0031】 在實例實施方式中，CLB 202可包含可組態邏輯元件 (configurable logic element ; CLE) 240，該可組態邏輯元件可經程式化以加上單一可程式互連元件230來實施使用者邏輯。除了一或多個可程式互連元件230，BRAM 204亦可包含BRAM邏輯元件 (BRAM logic element ; BRL) 242。典型地，包含於單元片中之可程式互連元件230的數目取決於單元片之高度。在所描繪之實例中，BRAM 204具有與五個CLB 202相同的高度，但亦可使用其他數目 (例如，四個)。除了適當數目個可程式互連元件230，信號處理區塊206亦可包含DSP邏輯元件 (DSP logic element ; DSPL) 244。除了可程式互連元件230之一個例項，

IOB 208亦可包含例如輸入/輸出邏輯元件 (IO) 246之兩個例項。如所屬領域中具有通常知識者將清楚的，例如連接至輸入/輸出邏輯元件246之實際I/O襯墊典型地不限於輸入/輸出邏輯元件246之區域。

【0032】 在所描畫之實例中，在晶粒之中心附近的水平區域用於組態及時序邏輯 (CONFIG/CLOCK) 210，且可能用於其他控制邏輯。自此水平區域或行延伸之豎直行248用以跨越FPGA之寬度來分佈時脈及組態信號。

【0033】 利用圖2中所說明之架構的一些FPGA可包含額外邏輯區塊，其阻礙構成FPGA之大部分的規則柱狀結構。額外邏輯區塊可為可程式區塊及/或專用邏輯。

【0034】 應注意，圖2僅意欲說明實例FPGA架構。舉例而言，一列中之邏輯區塊的數目、列之相對寬度、列之數目及次序、包含於列中之邏輯區塊的類型、邏輯區塊之相對大小、以及包含於圖2之頂部處的互連/邏輯實施僅為實例。舉例而言，在實際FPGA中，典型地在CLB出現之任何處包含多於一個鄰近CLB列，以促進使用者邏輯之高效實施方式，但鄰近CLB列之數目隨FPGA之整體大小而變化。

【0035】 圖3為根據一些實例之多晶片結構的電路示意圖。圖3之多晶片結構包含可程式IC 102及記憶體302，其中記憶體302可在堆疊於包含可程式IC 102之晶粒上的多個晶粒中。如圖3中所簡化，可程式IC 102包含可程式邏輯區110、匯流排304、記憶體控制器112、以及介面及控制邏輯電路124。可程式邏輯區110（或其他子系統，諸如處理系統104及/或NoC 106）經由匯流排304而連接至記憶體控制器112，該匯流排可為例如進階擴展介面（Advanced eXtensive Interface；AXI）匯流排。記憶體控制器112連接至介面及控制邏輯電路124。

【0036】 記憶體302中之每一者包含多個記憶體片段（slice）306。在一些實例中，每一記憶體片段306可為2十億位元組（Gb）之記憶體或其他大小。記

記憶體302中之每一者可實施DRAM，且可進一步實施HBM。在一些實例中，記憶體302中之每一者可實施32 Gb之HBM DRAM。介面及控制邏輯電路124連接至記憶體302之記憶體片段306。介面及控制邏輯電路124可解碼來自記憶體控制器112之讀取及寫入請求，且回應性地將原生信號傳輸至記憶體302以對記憶體302進行讀取或寫入。在記憶體控制器112與記憶體302之記憶體片段306之間不存在用以將讀取及寫入請求封裝成標準化形式及自標準化形式解封裝讀取及寫入請求的標準化實體層介面電路。舉例而言，若記憶體302實施HBM，則在記憶體控制器112與記憶體片段306之間不存在HBM介面。

【0037】 圖4為根據一些實例之另一多晶片結構的電路示意圖。圖4之多晶片結構類似於圖3之多晶片結構，不同之處在於包含可程式IC 102之晶粒上堆疊包含記憶體302之晶粒的兩個堆疊。可程式IC 102進一步包含額外的匯流排304、記憶體控制器112以及介面及控制邏輯電路124，以容納包含記憶體302之晶粒的額外堆疊。

【0038】 在圖3及圖4之實例中，介面及控制邏輯電路124包含於各別晶粒中，各別晶粒包含可程式IC 102。在其他實例中，另一控制晶粒（與包含可程式IC 102之晶粒分開）可包含介面及控制邏輯電路124，且可插入於包含可程式IC 102之晶粒與包含記憶體302之晶粒的堆疊之間。此等實例之電路示意圖將與圖3及圖4相同，不同之處在於指出分開的控制晶粒。

【0039】 圖5為根據一些實例之另一多晶片結構的電路示意圖。圖5之多晶片結構在記憶體控制器112與記憶體片段306之間實施HBM介面（例如，作為PHY介面）。圖5之多晶片結構包含可程式IC 102、控制IC 502及記憶體302，其中控制IC 502在堆疊於包含可程式IC 102之晶粒上且與其分開的晶粒上，且記憶體302可在堆疊於包含控制IC 502之晶粒上的多個晶粒中。如圖5中所簡化，可程式IC 102包含可程式邏輯區110、匯流排304、記憶體控制器112及HBM介面（HBM

PHY) 504。可程式邏輯區110(或其他子系統, 諸如處理系統104及/或NoC 106)經由匯流排304而連接至記憶體控制器112, 且記憶體控制器112連接至HBM介面504。HBM介面504經組態以將來自記憶體控制器112之讀取及寫入請求封裝成例如標準化HBM格式, 且將來自記憶體302之回應自標準化HBM格式解封裝成可由記憶體控制器112使用之格式。

【0040】 控制IC 502包含HBM介面(HBM PHY) 506以及介面及控制邏輯電路124。控制IC 502之HBM介面506連接至可程式IC 102之HBM介面504。HBM介面506經組態以將來自HBM介面504之讀取及寫入請求自例如標準化HBM格式解封裝成可由介面及控制邏輯電路124使用之原生格式, 且將來自記憶體302之回應封裝成標準化HBM格式以傳輸至可程式IC 102之HBM介面504。介面及控制邏輯電路124可解碼來自HBM介面506之讀取及寫入請求, 且回應性地將原生信號傳輸至記憶體302以對各種記憶體晶粒上之記憶體302進行讀取或寫入。可修改圖5之電路示意圖以實施類似於圖3與圖4之間的差異的記憶體晶粒之單一堆疊。

【0041】 圖6為根據一些實例之印刷電路板(PCB) 602上的多晶片結構之組態。多晶片結構包含封裝基板604、封裝基板604上之基礎晶粒606、及堆疊於基礎晶粒606上之記憶體晶粒608。基礎晶粒606包含諸如圖3及/或圖4中之可程式IC 102, 且記憶體晶粒608各自包含諸如圖3及/或圖4中之記憶體302。

【0042】 多晶片結構包含四個經堆疊的記憶體晶粒608之堆疊, 但其他實例可在任何數目個堆疊中實施任何數目個記憶體晶粒608。每一記憶體晶粒608具有附接至記憶體晶粒608之作用側且附接至下層晶粒之背側的外部連接器610, 諸如微凸塊。每一記憶體晶粒608可包含穿過上面形成有各別記憶體晶粒608之記憶體302之半導體基板的基板穿孔(through substrate via; TSV)。TSV可實施為將上覆的記憶體晶粒608之記憶體302電連接至各別記憶體晶粒608及/或

下層晶粒。

【0043】 基礎晶粒606之可程式IC 102包含介面及控制邏輯電路124，如圖3及/或圖4中所描繪。記憶體晶粒608之堆疊的底部記憶體晶粒608具有附接至底部的記憶體晶粒608之作用側及基礎晶粒606之背側的外部連接器610。基礎晶粒606可包含穿過上面形成有例如可程式IC 102之半導體基板的TSV。TSV可實施為將上覆的記憶體晶粒608之記憶體302電連接至可程式IC 102。基礎晶粒606進一步具有附接至基礎晶粒606之作用側且附接至封裝基板604之第一側的外部連接器612，諸如控制崩潰晶片連接（C4）凸塊。封裝基板604之與第一側相對的第二側附接有外部連接器614，諸如球狀柵格陣列（ball grid array；BGA）球，其進一步附接至PCB 602。

【0044】 圖7為根據一些實例之PCB 602上的多晶片結構之另一組態。多晶片結構包含封裝基板604、封裝基板604上之基礎晶粒606、基礎晶粒606上之控制晶粒702，及堆疊於控制晶粒702上之記憶體晶粒608。基礎晶粒606包含諸如圖3及/或圖4中之可程式IC 102，而無介面及控制邏輯電路124。控制晶粒702包含控制IC，其包含諸如圖3及/或圖4中之介面及控制邏輯電路124。記憶體晶粒608各自包含諸如圖3及/或圖4中之記憶體302。

【0045】 類似於圖6中，圖7之多晶片結構包含四個經堆疊的記憶體晶粒608之堆疊，但其他實例可在任何數目個堆疊中實施任何數目個記憶體晶粒608。記憶體晶粒608之堆疊的底部的記憶體晶粒608具有附接至底部的記憶體晶粒608之作用側及控制晶粒702之背側的外部連接器610。控制晶粒702可包含穿過上面形成有例如控制晶粒702之邏輯結構（例如，電晶體）之半導體基板的TSV。TSV可實施為將上覆的記憶體晶粒608之記憶體302電連接至控制晶粒702之控制IC（例如，介面及控制邏輯電路124）及/或可程式IC 102。控制晶粒702之作用側附接至基礎晶粒606之背側。舉例而言，控制晶粒702之作用側可藉由晶圓接合或

其他接合技術以經由例如氧化物間及/或金屬間接合而接合至基礎晶粒606之背側。基礎晶粒606具有附接至基礎晶粒606之作用側且附接至封裝基板604之第一側的外部連接器612。封裝基板604之與第一側相對的第二側附接有連接器614，其進一步附接至PCB 602。

【0046】 圖8為根據一些實例之PCB 602上的多晶片結構之另一組態。多晶片結構包含封裝基板604、封裝基板604上之基礎晶粒606、基礎晶粒606上之控制晶粒802，及堆疊於控制晶粒802上之記憶體晶粒608。基礎晶粒606包含諸如圖5中之可程式IC 102。更具體而言，可程式IC 102亦包含HBM介面504，如圖5中所描繪。控制晶粒802包含諸如圖5中之控制IC 502。更具體而言，控制晶粒802之控制IC 502包含介面及控制邏輯電路124以及HBM介面506，如5圖中所描繪。記憶體晶粒608各自包含諸如圖5中之記憶體302。

【0047】 類似於圖6中，圖8之多晶片結構包含四個經堆疊的記憶體晶粒608之堆疊，但其他實例可在任何數目個堆疊中實施任何數目個記憶體晶粒608。記憶體晶粒608之堆疊的底部的記憶體晶粒608具有附接至底部的記憶體晶粒608之作用側及控制晶粒802之背側的外部連接器610。控制晶粒802可包含穿過上面形成有例如控制IC 502之邏輯結構（例如，電晶體）之半導體基板的TSV。TSV可實施為將上覆的記憶體晶粒608之記憶體302電連接至控制晶粒802之控制IC 502及/或可程式IC 102。控制晶粒802具有附接至控制晶粒802之作用側且附接至基礎晶粒606之背側的外部連接器804，諸如微凸塊。基礎晶粒606具有附接至基礎晶粒606之作用側且附接至封裝基板604之第一側的外部連接器612。封裝基板604之與第一側相對的第二側附接有連接器614，其進一步附接至PCB 602。

【0048】 儘管已藉由具有指定定向之各種晶粒（例如，晶粒之某些主動側附接至其他晶粒之背側）來描述關於圖6至圖8所描述之各種多晶片結構，但提供此等定向作為實例。任何晶粒（例如，任何基礎晶粒606、記憶體晶粒608、控制

晶粒702及/或控制晶粒802)可例如相對於上文所提供之描述而翻轉或可具有任何其他定向。

【0049】 上文所描述之多晶片結構可為可用程式存取之密集記憶體裝置。利用HBM邏輯及堆疊技術之具有密集記憶體的可程式裝置可藉由上文所描述之結構來實施。可維持與可程式IC(例如,FPGA)相關聯之效能益處,同時實現更快且更簡單的製造,更低成本的製造及更低的功率消耗。

【0050】 一些實例可藉由任何多種可程式IC來實施。舉例而言,可程式IC可為具有例如可組態輸入/輸出電路及介面之特殊應用標準部分(application specific standard part; ASSP) IC。一些實例可藉由具有諸如以下各者之主機介面的多埠記憶體來實施: $n \times$ PCIe Genx、 $n \times$ 100GE、 $n \times$ 40G、 $n \times$ 10GE、112G PAM4或其他介面。

【0051】 圖9為根據一些實例之用於形成多晶片結構的方法900之流程圖。在區塊902中,形成基礎晶粒。舉例而言,基礎晶粒可為圖6至圖8之基礎晶粒606,且可藉由前側及背側半導體處理所形成,以在基礎晶粒中實施可程式IC及TSV。

【0052】 視情況,在區塊904中,形成控制晶粒。舉例而言,控制晶粒可為圖7及/或圖8之控制晶粒702及/或802,且同樣地可藉由前側及背側半導體處理所形成,以在控制晶粒中實施控制IC及TSV。視情況,在區塊906中,將控制晶粒附接至基礎晶粒。舉例而言,控制晶粒可在控制晶粒及基礎晶粒之處理期間(例如,在單體化晶粒之前)藉由晶圓間接合而接合至基礎晶粒。作為另一實例,控制晶粒可使用諸如微凸塊之外部連接器而附接至基礎晶粒,該附接可包含回焊外部連接器以將控制晶粒至基礎晶粒。在一些實例中,不實施控制晶粒以便形成圖6之多晶片結構,且因此可省略在區塊904中形成控制晶粒及在區塊906中將控制晶粒附接至基礎晶粒。

【0053】 在區塊908中,形成記憶體晶粒之堆疊。舉例而言,記憶體晶粒

之堆疊可為圖6至圖8之記憶體晶粒608，且每一記憶體晶粒可藉由前側及背側半導體處理所形成，以在記憶體晶粒中實施記憶體及TSV，不同之處為頂部記憶體晶粒可省略背側半導體處理及TSV。記憶體晶粒可在堆疊中諸如藉由使用諸如微凸塊之外部連接器而附接至彼此，該附接可包含回焊外部連接器以將記憶體晶粒附接在一起。

【0054】 在區塊910中，記憶體晶粒之堆疊附接至基礎晶粒，或若經過實施，則附接至控制晶粒。記憶體晶粒之堆疊可使用諸如微凸塊之外部連接器而附接至基礎晶粒（例如，如在圖6中）或控制晶粒（例如，如在圖7及圖8中），該附接可包含回焊外部連接器以將記憶體晶粒之堆疊附接至基礎晶粒或控制晶粒。如上文所指示，操作之次序可變化。舉例而言，當實施控制晶粒時，諸如圖8中，記憶體晶粒之堆疊可在控制晶粒附接至基礎晶粒之前附接至控制晶粒。

【0055】 在區塊912中，基礎晶粒附接至封裝基板。舉例而言，封裝基板可為圖6至圖8之封裝基板604，且可使用諸如C4凸塊之外部連接器而附接至基礎晶粒，該附接可包含回焊外部連接器以將基礎晶粒附接至封裝基板。

【0056】 在區塊914中，封裝基板附接至PCB。舉例而言，PCB基板可為圖6至圖8之PCB 602，且可使用諸如BGA球之外部連接器而附接至封裝基板，該附接可包含回焊外部連接器以將封裝基板附接至PCB。

【0057】 根據一些實例，一種多晶片結構包含封裝基板、第一晶粒及第二晶粒。該第一晶粒包含可程式積體電路。該可程式積體電路包含記憶體控制器。該第一晶粒在封裝基板上且附接至該封裝基板。該第二晶粒包含記憶體。該第二晶粒堆疊於該第一晶粒上。該記憶體通信耦接至該記憶體控制器。

【0058】 在以上多晶片結構之一些實例中，該第一晶粒可包含半導體基板。基板穿孔（TSV）可穿過半導體基板。該記憶體控制器可經由TSV而通信耦接至記憶體。

【0059】 在以上多晶片結構之一些實例中，該第二晶粒可藉由外部電連接器而附接至第一晶粒之與封裝基板相對的一側。

【0060】 在以上多晶片結構之一些實例中，無實體層介面可按通信方式及電方式安置於記憶體控制器與記憶體之間。

【0061】 在以上多晶片結構之一些實例中，該第一晶粒可包含控制邏輯電路，且該控制邏輯電路可按通信方式安置於記憶體控制器與記憶體之間。

【0062】 在一些實例中，以上多晶片結構可進一步包含第三晶粒，其包含控制邏輯電路。該第三晶粒可堆疊於第一晶粒之與封裝基板相對的一側上且附接至該側。該第二晶粒可堆疊於第三晶粒之與第一晶粒相對的一側上且附接至該側。該控制邏輯電路可按通信方式安置於記憶體控制器與記憶體之間。該第三晶粒可接合至該第一晶粒。該第三晶粒可藉由外部電連接器而附接至第一晶粒之與封裝基板相對的側。該第二晶粒可藉由外部電連接器而附接至第三晶粒之與第一晶粒相對的側。無實體層介面可按通信方式及電方式安置於記憶體控制器與記憶體之間。該第一晶粒可包含通信耦接至記憶體控制器之第一實體層介面。該第三晶粒可包含通信耦接至第一實體層介面及控制邏輯電路，且處於第一實體層介面與控制邏輯電路之間的第二實體層介面。

【0063】 在以上多晶片結構之一些實例中，可程式積體電路包含場可程式閘陣列 (FPGA)。

【0064】 根據一些實例，一種形成多晶片結構之方法包含：將第一晶粒堆疊於第二晶粒上；及將第一晶粒附接至封裝基板。該第一晶粒包含記憶體。該第二晶粒包含可程式積體電路。該可程式積體電路包含記憶體控制器。該記憶體控制器藉由堆疊於第二晶粒上之第一晶粒而通信耦接至記憶體。

【0065】 在以上方法之一些實例中，將第一晶粒堆疊於第二晶粒上可包含藉由外部電連接器將第一晶粒附接至第二晶粒；第二晶粒可包含控制邏輯電路，

該控制邏輯電路以通信方式安置於記憶體控制器與記憶體之間；且無實體層介面可按通信方式及電方式安置於記憶體控制器與記憶體之間。

【0066】 在一些實例中，以上方法可進一步包含將第三晶粒附接至第二晶粒。該第一晶粒可附接至該第三晶粒。該第三晶粒可包含控制邏輯電路。該控制邏輯電路可按通信方式安置於記憶體控制器與記憶體之間。

【0067】 根據一些實例，一種多晶片結構包含封裝基板、第一晶粒及第二晶粒。該第一晶粒包含場可程式閘陣列（FPGA）及記憶體控制器。該第一晶粒在封裝基板上且附接至該封裝基板。該第二晶粒包含記憶體。該第二晶粒堆疊於第一晶粒之與封裝基板相對的一側上。該記憶體通信耦接至該記憶體控制器。

【0068】 在以上多晶片結構之一些實例中，無實體層介面可按通信方式及電方式安置於記憶體控制器與記憶體之間。

【0069】 在以上多晶片結構之一些實例中，該第一晶粒可包含控制邏輯電路。該控制邏輯電路可按通信方式安置於記憶體控制器與記憶體之間。

【0070】 在一些實例中，以上多晶片結構可進一步包括第三晶粒，其包含控制邏輯電路。該第三晶粒可堆疊於第一晶粒之與封裝基板相對的一側上且附接至該側。該第二晶粒可堆疊於第三晶粒之與第一晶粒相對的一側上且附接至該側。該控制邏輯電路可按通信方式安置於記憶體控制器與記憶體之間。該第一晶粒可包含通信耦接至記憶體控制器之第一實體層介面。該第三晶粒可包含第二實體層介面，其通信耦接至第一實體層介面及控制邏輯電路，且處於第一實體層介面與控制邏輯電路之間。

【0071】 雖然前述內容係有關於特定實例，但可在不背離其基本範圍的情況下設計其他及另外實例，且其範圍藉由以下申請專利範圍判定。

【符號說明】

【0072】

- 102: 可程式積體電路 (IC)
- 104: 處理系統
- 106: 晶片上網路 (NoC)
- 108: 組態互連件
- 110: 可程式邏輯區
- 110a: 可程式邏輯區
- 110n: 可程式邏輯區
- 112: 記憶體控制器
- 114: 數十億位元收發器 (MGT)
- 116: 輸入/輸出區塊 (IO)
- 118: 其他IP電路
- 120: 路由網路
- 122: NoC周邊互連件 (NPI)
- 124: 介面及控制邏輯電路
- 126: 外部記憶體
- 128: IO
- 200: 可程式IC
- 202: 可組態邏輯區塊 (CLB)
- 204: 隨機存取記憶體區塊 (BRAM)
- 206: 信號處理區塊 (DSP)
- 208: 輸入/輸出區塊 (IOB)
- 210: 組態及時序邏輯 (CONFIG/CLOCKS)
- 212: 專用輸入/輸出區塊 (I/O)

- 214: 其他可程式邏輯
- 216: MGT
- 218: 記憶體控制器 (MC)
- 220: 介面及控制邏輯電路 (INT/CNTL)
- 222: 其他IP電路
- 230: 可程式互連元件 (INT)
- 232: 端子
- 234: 互連區段
- 236: 互連區段
- 240: 可組態邏輯元件 (CLE)
- 242: BRAM邏輯元件 (BRL)
- 244: DSP邏輯元件 (DSP)
- 246: 輸入/輸出邏輯元件 (IOL)
- 248: 豎直行
- 302: 記憶體
- 304: 匯流排
- 306: 記憶體片段
- 502: 控制IC
- 504: HBM介面 (HBM PHY)
- 506: HBM介面 (HBM PHY)
- 602: 印刷電路板 (PCB)
- 604: 封裝基板
- 606: 基礎晶粒
- 608: 記憶體晶粒

- 610: 外部連接器
- 612: 外部連接器
- 614: 外部連接器
- 702: 控制晶粒
- 802: 控制晶粒
- 804: 外部連接器
- 900: 方法
- 902: 區塊
- 904: 區塊
- 906: 區塊
- 908: 區塊
- 910: 區塊
- 912: 區塊
- 914: 區塊

【發明申請專利範圍】

【請求項1】一種多晶片結構，其包括：

封裝基板；

第一晶粒，其包括可程式積體電路，該可程式積體電路包含記憶體控制器，該第一晶粒在該封裝基板上且直接附接至該封裝基板而無介入之插入層，其中該第一晶粒包含控制邏輯電路；及

第二晶粒，其包括記憶體，該第二晶粒堆疊於該第一晶粒上，該記憶體通信耦接至該記憶體控制器，該記憶體控制器經由該可程式積體電路而通信耦接至該封裝基板，

其中該控制邏輯電路通信地設置在該記憶體控制器和該記憶體之間並且經配置以解碼來自該記憶體控制器之讀取及寫入請求並且回應性地將原生信號傳輸至該記憶體以對該記憶體進行讀取或寫入。

【請求項2】如請求項1之多晶片結構，其中該第一晶粒包含半導體基板、穿過該半導體基板的基板穿孔（TSV），該記憶體控制器經由該TSV而通信耦接至該記憶體。

【請求項3】如請求項1之多晶片結構，其中該第二晶粒藉由外部電連接器而附接至該第一晶粒之與該封裝基板相對的一側。

【請求項4】如請求項1之多晶片結構，其中無實體層介面以通信方式及電方式安置於該記憶體控制器與該記憶體之間。

【請求項5】如請求項1之多晶片結構，其進一步包括第三晶粒，該第三晶粒包括控制邏輯電路，該第三晶粒堆疊於該第一晶粒之與該封裝基板相對的一側上且附接至該側，該第二晶粒堆疊於該第三晶粒之與該第一晶粒相對的一側上且附接至該側，該控制邏輯電路以通信方式安置於該記憶體控制器與該記憶體之間。

【請求項6】如請求項5之多晶片結構，其中該第三晶粒接合至該第一晶粒。

【請求項7】如請求項5之多晶片結構，其中該第三晶粒藉由外部電連接器而附接至該第一晶粒之與該封裝基板相對的該側。

【請求項8】如請求項5之多晶片結構，其中該第二晶粒藉由外部電連接器而附接至該第三晶粒之與該第一晶粒相對的該側。

【請求項9】如請求項5之多晶片結構，其中無實體層介面以通信方式及電方式安置於該記憶體控制器與該記憶體之間。

【請求項10】如請求項5之多晶片結構，其中：

該第一晶粒包含通信耦接至該記憶體控制器之第一實體層介面；且

該第三晶粒包含第二實體層介面，其通信耦接至該第一實體層介面及該控制邏輯電路且處於該第一實體層介面與該控制邏輯電路之間。

【請求項11】如請求項1之多晶片結構，其中該可程式積體電路包含場可程式閘陣列（FPGA）。

【請求項12】一種形成多晶片結構之方法，該方法包括：

將第一晶粒堆疊於第二晶粒上，該第一晶粒包括記憶體，該第二晶粒包括可程式積體電路，該可程式積體電路包含記憶體控制器，該記憶體控制器藉由堆疊於該第二晶粒上之該第一晶粒而通信耦接至該記憶體，其中該第二晶粒包含控制邏輯電路，該控制邏輯電路通信地設置在該記憶體控制器和該記憶體之間並且經配置以解碼來自該記憶體控制器之讀取及寫入請求並且回應性地將原生信號傳輸至該記憶體以對該記憶體進行讀取或寫入；及

將該第一晶粒附接至封裝基板而無介入之插入層，其中該記憶體控制器經由該可程式積體電路而通信耦接至該封裝基板。

【請求項13】如請求項12之方法，其中：

將該第一晶粒堆疊於該第二晶粒上包含藉由外部電連接器將該第一晶粒附

接至該第二晶粒；

該第二晶粒包含控制邏輯電路，該控制邏輯電路以通信方式安置於該記憶體控制器與該記憶體之間；且

無實體層介面以通信方式及電方式安置於該記憶體控制器與該記憶體之間。

【請求項14】如請求項12之方法，其進一步包括將第三晶粒附接至該第二晶粒，該第一晶粒附接至該第三晶粒，該第三晶粒包括控制邏輯電路，該控制邏輯電路以通信方式安置於該記憶體控制器與該記憶體之間。

【請求項15】一種多晶片結構，其包括：

封裝基板；

第一晶粒，其包括場可程式閘陣列（FPGA）及記憶體控制器，該第一晶粒在該封裝基板上且直接附接至該封裝基板而無介入之插入層；

第二晶粒，其包括記憶體，該第二晶粒堆疊於該第一晶粒之與該封裝基板相對的一側上，該記憶體通信耦接至該記憶體控制器，該記憶體控制器經由該場可程式閘陣列而通信耦接至該封裝基板；及

控制邏輯電路，其經配置以解碼來自該記憶體控制器之讀取及寫入請求並且回應性地將原生信號傳輸至該記憶體以對該記憶體進行讀取或寫入。

【請求項16】如請求項15之多晶片結構，其中無實體層介面以通信方式及電方式安置於該記憶體控制器與該記憶體之間。

【請求項17】如請求項15之多晶片結構，其中該第一晶粒包含控制邏輯電路，該控制邏輯電路以通信方式安置於該記憶體控制器與該記憶體之間。

【請求項18】如請求項15之多晶片結構，其進一步包括第三晶粒，該第三晶粒包括控制邏輯電路，該第三晶粒堆疊於該第一晶粒之與該封裝基板相對的一側上且附接至該側，該第二晶粒堆疊於該第三晶粒之與該第一晶粒相對的一側

上且附接至該側，該控制邏輯電路以通信方式安置於該記憶體控制器與該記憶體之間。

【請求項19】如請求項18之多晶片結構，其中：

該第一晶粒包含通信耦接至該記憶體控制器之第一實體層介面；且

該第三晶粒包含第二實體層介面，其通信耦接至該第一實體層介面及該控制邏輯電路且處於該第一實體層介面與該控制邏輯電路之間。

【請求項20】一種多晶片結構，其包括：

封裝基板；

第一晶粒，其包括可程式積體電路，該可程式積體電路包含記憶體控制器，該第一晶粒在該封裝基板上且直接附接至該封裝基板而無介入之插入層；

第二晶粒，其包括記憶體，該第二晶粒堆疊於該第一晶粒上，該記憶體通信耦接至該記憶體控制器，該記憶體控制器經由該可程式積體電路而通信耦接至該封裝基板；

第三晶粒，其包括控制邏輯電路，該控制邏輯電路通信地設置在該記憶體控制器和該記憶體之間並且經配置以解碼來自該記憶體控制器之讀取及寫入請求並且回應性地將原生信號傳輸至該記憶體以對該記憶體進行讀取或寫入。

【請求項21】如請求項20之多晶片結構，其中該第三晶粒堆疊且附接至該第一晶粒之與該封裝基板相對的一側，該第二晶粒堆疊且附接至該第三晶粒之與該第一晶粒相對的一側，該控制邏輯電路通信地設置在該記憶體控制器和該記憶體之間。

【請求項22】如請求項20之多晶片結構，其中該第三晶粒接合至該第一晶粒。

【請求項23】一種多晶片結構，其包括：

封裝基板；

第一晶粒，其直接固定在該封裝基板上，該第一晶粒包括可程式積體電路；

第二晶粒，其包括記憶體控制器，該第二晶粒堆疊於該第一晶粒上，該記憶體控制器經由該可程式積體電路而通信耦接至該封裝基板；以及

第三晶粒，其包括記憶體，該第三晶粒堆疊於該第二晶粒上，該記憶體依序經由該記憶體控制器及該可程式積體電路而通信耦接至該封裝基板。

【請求項24】如請求項23之多晶片結構，其中該第一晶粒包含半導體基板、穿過該半導體基板的基板穿孔(TSV)，該記憶體控制器經由該TSV而通信耦接至該記憶體。

【請求項25】如請求項23之多晶片結構，其中第四晶粒藉由外部電連接器而附接至該第三晶粒之與該封裝基板相對的一側。

【請求項26】如請求項23之多晶片結構，其中無實體層介面以通信方式及電方式安置於該記憶體控制器與該記憶體之間。

【請求項27】如請求項23之多晶片結構，其中該可程式積體電路包含場可程式閘陣列(FPGA)。

【請求項28】一種形成多晶片結構的方法，該方法包括：

將第一晶粒直接堆疊於封裝基板上而無介入之插入層，該第一晶粒包含可程式積體電路；

將第二晶粒堆疊於該第一晶粒上，該第二晶粒包含記憶體控制器，該記憶體控制器藉由該可程式積體電路而通信耦接至該封裝基板；以及

將第三晶粒堆疊於該第二晶粒上，該第三晶粒包含記憶體，該記憶體依序藉由該記憶體控制器及該可程式積體電路而通信耦接至該封裝基板。

【請求項29】如請求項28之方法，其中：

將該第一晶粒堆疊於該第二晶粒上包括藉由外部電連接器將該第一晶粒附接至該第二晶粒；

該第一晶粒包含控制邏輯電路，該控制邏輯電路以通信方式安置於該記憶體控制器與該記憶體之間；且

無實體層介面以通信方式及電方式安置於該記憶體控制器與該記憶體之間。

【請求項30】如請求項28之方法，其中該第一晶粒包含控制邏輯電路，該控制邏輯電路通信耦接於該記憶體控制器與該記憶體之間。

【請求項31】一種多晶片結構，其包括：

封裝基板；

第一晶粒，其包括具有可程式積體電路的場可程式閘陣列（FPGA），該第一晶粒在該封裝基板上且直接附接至該封裝基板而無介入之插入層；

第二晶粒，其包括記憶體控制器，該第二晶粒堆疊在該第一晶粒上，該記憶體控制器經由該可程式積體電路而通信耦接至該封裝基板；以及

多個記憶體晶粒，其堆疊在該第二晶粒上，所述多個記憶體晶粒依序經由該記憶體控制器和該可程式積體電路而通信耦接至該封裝基板。

【請求項32】如請求項31之多晶片結構，其中無實體層介面以通信方式及電方式安置於該記憶體控制器與所述多個記憶體晶粒之間。

【請求項33】如請求項31之多晶片結構，其中該第二晶粒進一步包括：

控制邏輯電路，其以通信方式安置於該記憶體控制器與所述多個記憶體晶粒之間。

【請求項34】如請求項31之多晶片結構，其中該第二晶粒接合至該第一晶粒。

【請求項35】如請求項31之多晶片結構，其中該第二晶粒藉由外部電連接器而附接至該第一晶粒之與該封裝基板相對的一側。

【請求項36】如請求項31之多晶片結構，其中該第二晶粒藉由外部電連接器

而附接至所述多個記憶體晶粒中的一個記憶體晶粒。

【請求項37】如請求項36之多晶片結構，其中無實體層介面以通信方式及電方式安置於該記憶體控制器與該記憶體之間。

【請求項38】如請求項36之多晶片結構，其中：

該第一晶粒包含通信耦接至該記憶體控制器之第一實體層介面；且

所述多個記憶體晶粒中的一個記憶體晶粒包含第二實體層介面，其通信耦接至該第一實體層介面及該控制邏輯電路且處於該第一實體層介面與該控制邏輯電路之間。

【請求項39】一種形成多晶片結構的方法，該方法包括：

將第一晶粒堆疊於第二晶粒上，該第一晶粒包括記憶體，該第二晶粒包括可程式積體電路，該可程式積體電路包含記憶體控制器，該記憶體控制器藉由堆疊於該第二晶粒上之該第一晶粒而通信耦接至該記憶體，其中該第二晶粒包含控制邏輯電路，該控制邏輯電路通信地設置在該記憶體控制器和該記憶體之間並且經配置以解碼來自該記憶體控制器之讀取及寫入請求並且回應性地將原生信號傳輸至該記憶體以對該記憶體進行讀取或寫入；及

將該第一晶粒直接附接至封裝基板而無介入之插入層，其中該記憶體控制器經由該可程式積體電路而通信耦接至該封裝基板。

【發明圖式】

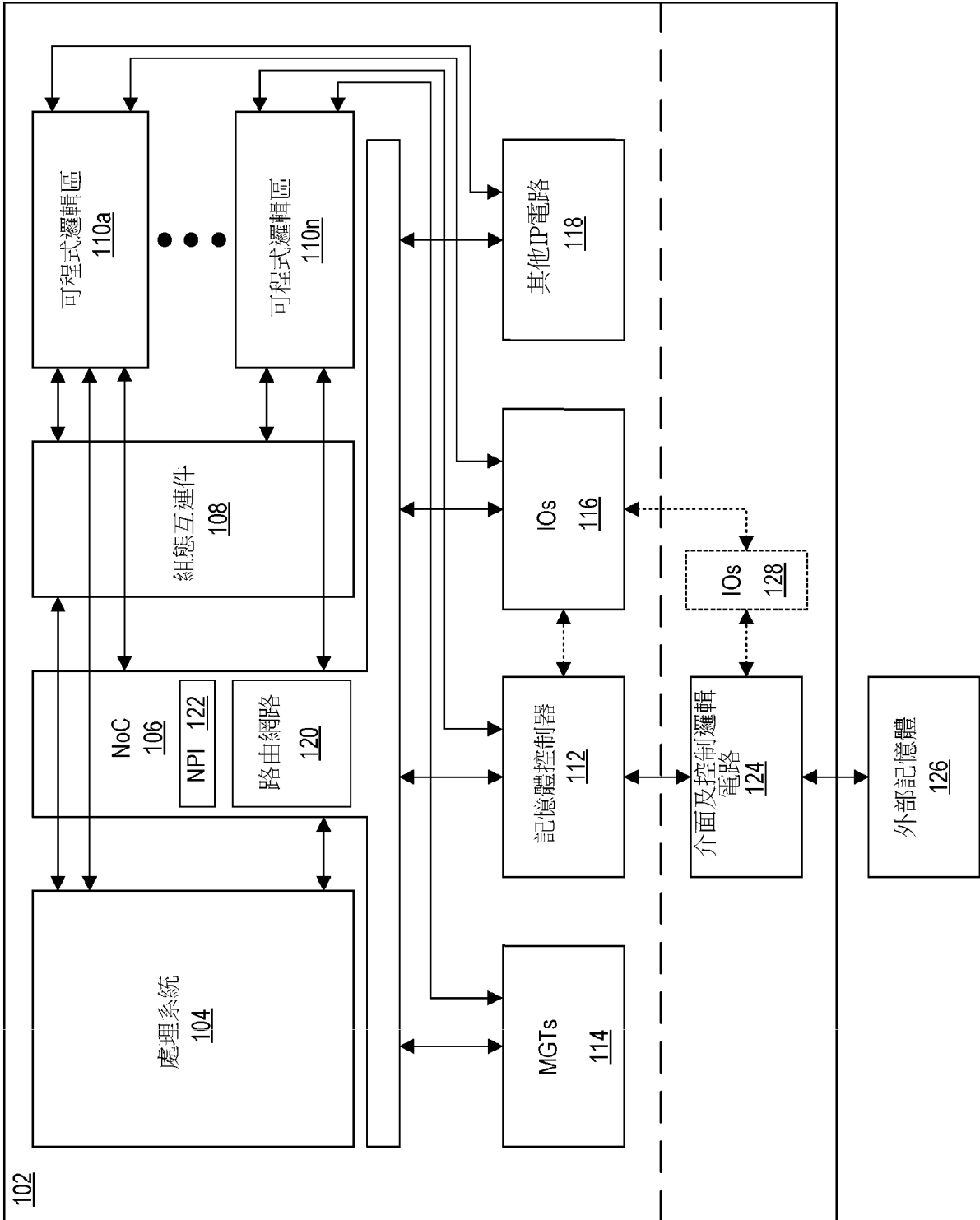


圖1

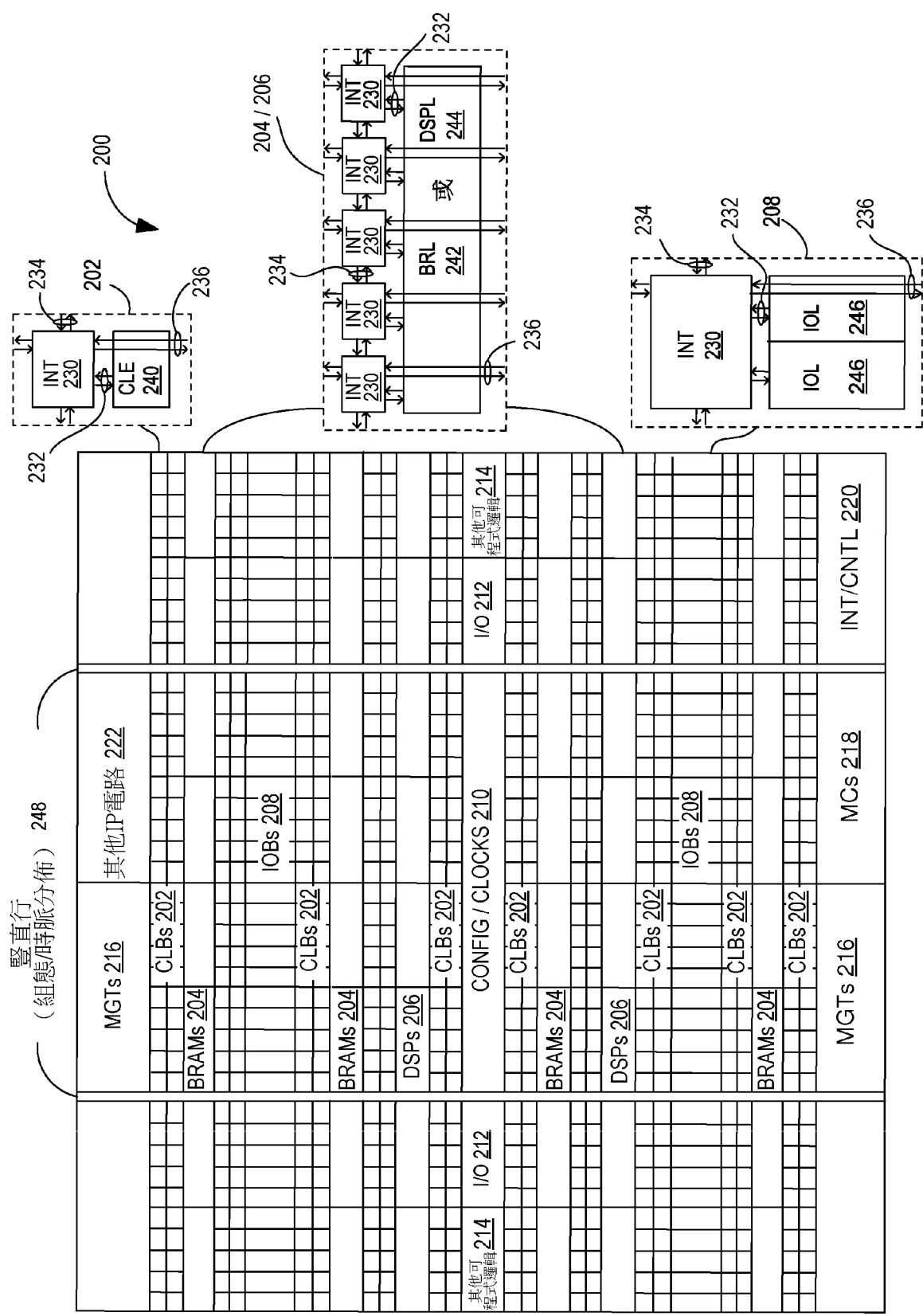


圖2

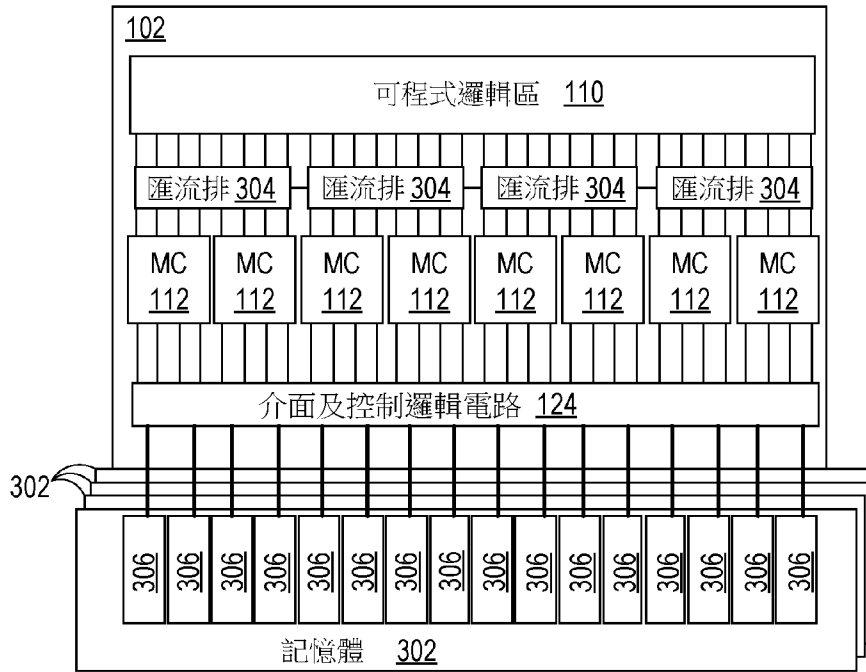


圖3

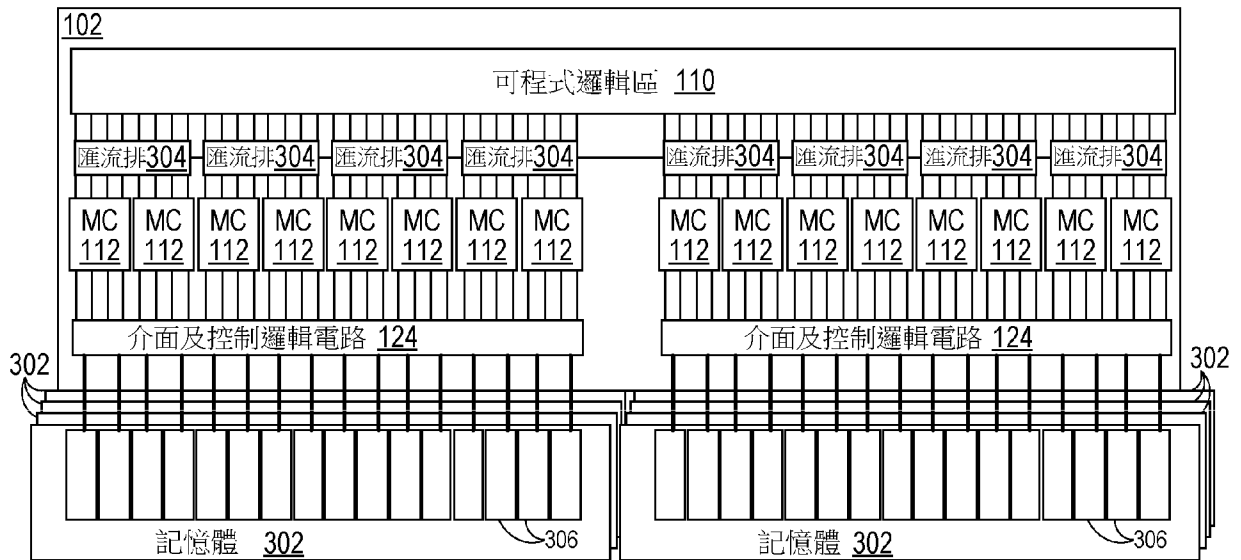


圖4

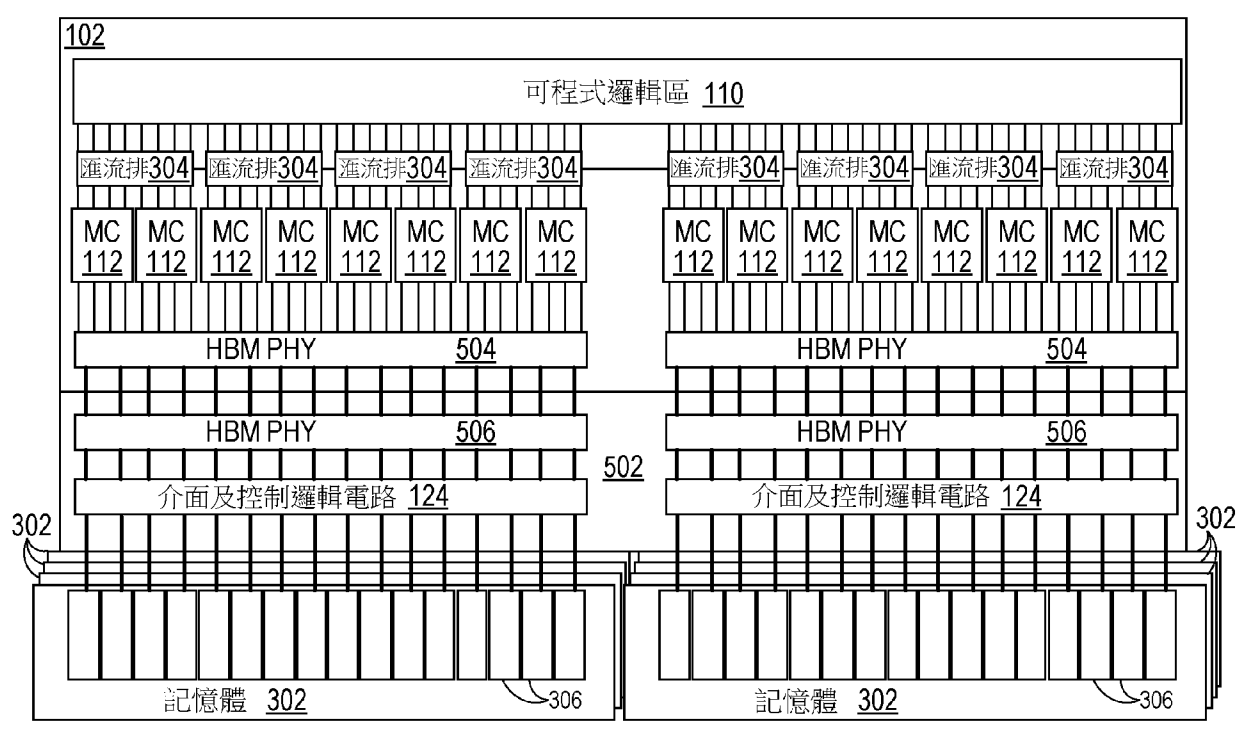


圖5

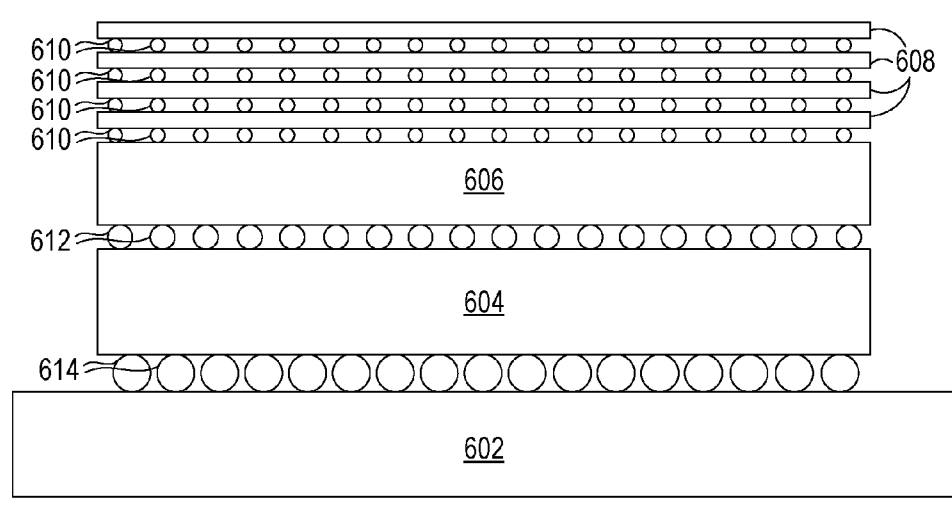


圖6

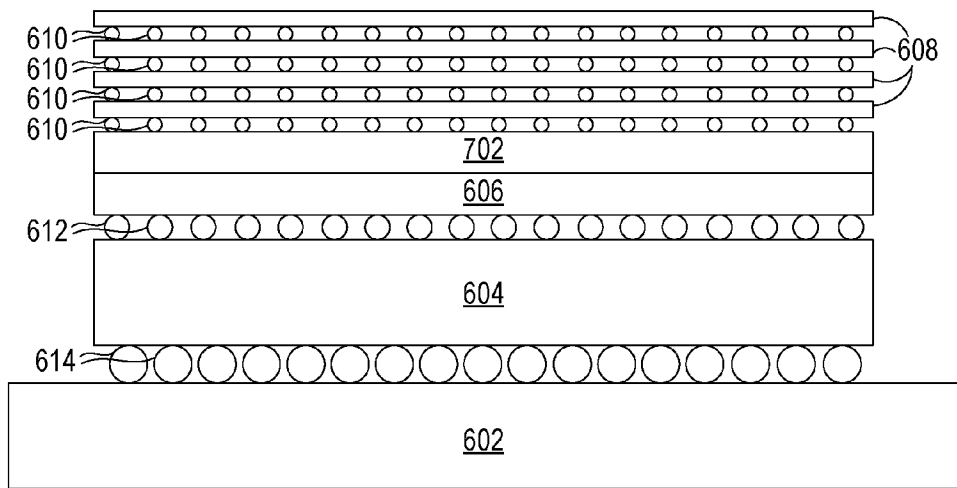


圖7

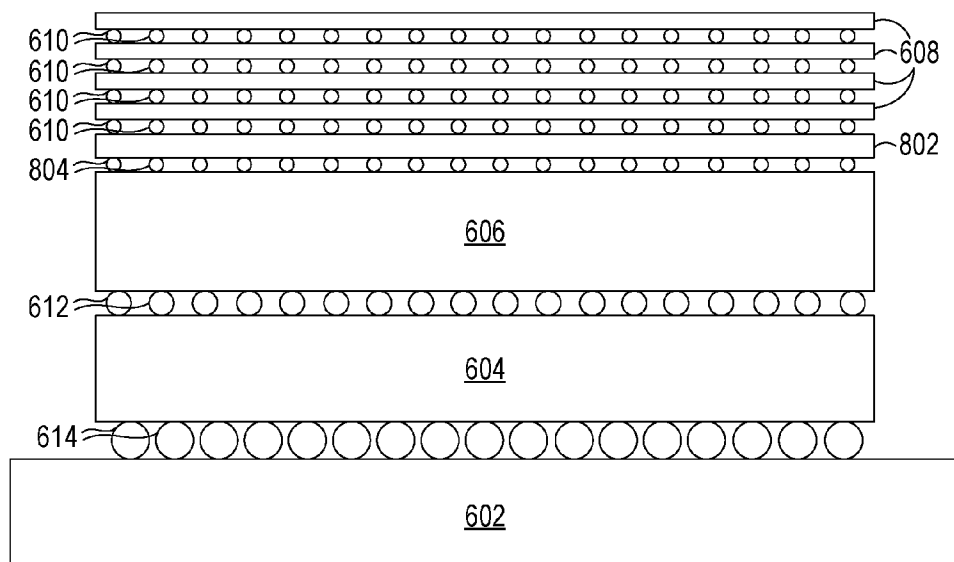


圖8

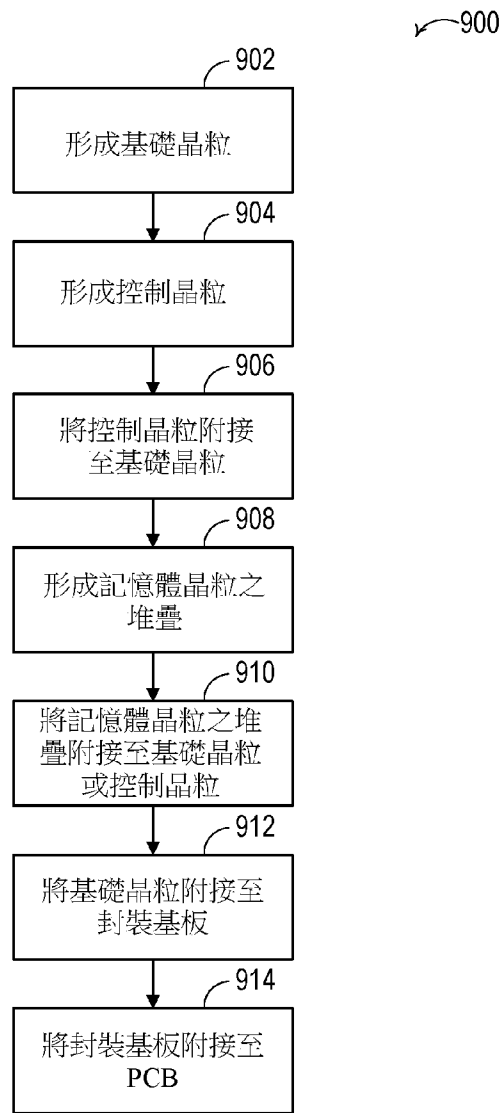


圖9