(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月10日(10.06.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/111772 A1

(51) 国際特許分類:
H03K 3/027 (2006.01) *H03K 17/687* (2006.01)
H03K 3/353 (2006.01) *H03K 5/08* (2006.01)

(21) 国際出願番号： PCT/JP2020/040385

(22) 国際出願日： 2020年10月28日(28.10.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-218974 2019年12月3日(03.12.2019) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 赤羽 正志 (**AKAHANE, Masashi**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

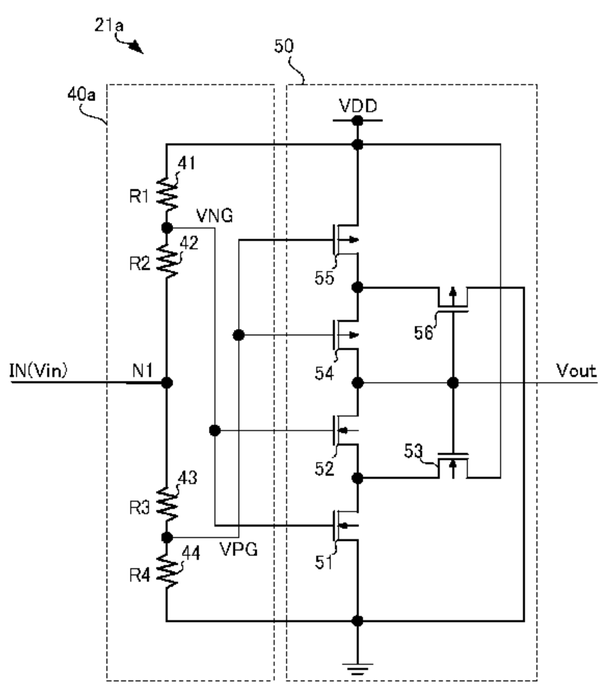
(74) 代理人: 一色国際特許業務法人 (**ISSHIKI & CO.**); 〒1080073 東京都港区三田三丁目１１番３６号三田日東ダイビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: COMPARATOR CIRCUIT, AND SEMICONDUCTOR DEVICE

(54) 発明の名称： 比較回路、半導体装置



(57) Abstract: This comparator circuit outputs an output voltage at a first logic level if an input voltage exceeds a first threshold voltage, and outputs the output voltage at a second logic level if the input voltage falls below a second threshold voltage lower than the first threshold voltage, and is provided with: a converting circuit which converts the input voltage to a first voltage and to a second voltage lower than the first voltage; and a logic circuit which outputs the output voltage at the first logic level if the first voltage exceeds a third threshold voltage, and outputs the output voltage at the second logic level if the second voltage falls below a fourth threshold voltage lower than the third threshold voltage.

(57) 要約：比較回路は、入力電圧が、第１しきい値電圧を上回ると、第１論理レベルの出力電圧を出力し、前記入力電圧が、前記第１しきい値電圧より低い第２しきい値電圧を下回ると、第２論理レベルの前記出力電圧を出力する、比較回路であって、前記入力電圧を、第１電圧と、前記第１電圧より低い第２電圧と、に変換する変換回路と、前記第１電圧が、第３しきい値電圧を上回ると、前記第１論理レベルの前記出力電圧を出力し、前記第２電圧が、前記第３しきい値電圧より低い第４しきい値電圧を下回ると、前記第２論理レベルの前記出力電圧を出力する論理回路と、を備える。

WO 2021/111772 A1

［続葉有］

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 比較回路、半導体装置

技術分野

[0001]　本発明は、比較回路及び半導体装置に関する。

背景技術

[0002]　論理信号を検出する回路として、一般にヒステリシス特性を有するシュミットトリガ回路を用いた比較回路が用いられる（例えば、特許文献１）。

[0003]　また、以下に示す差動の比較器を用いたヒステリシス比較器があり、これらはヒステリシス特性を調整可能にされている（特許文献２、特許文献３）

先行技術文献

特許文献

[0004] 特許文献1：特開平６－５３７８３号公報

特許文献2：特開平２００２-３０００１１号公報

特許文献3：特開平１０－２０９８２３号公報

発明の概要

発明が解決しようとする課題

[0005]　ところで、例えば、比較回路として、特許文献１のようなシュミットトリガ回路を用いる場合、ヒステリシス特性は、シュミットトリガ回路のＭＯＳトランジスタのしきい値電圧によって決められ、ヒステリシス特性を変化させることは難しかった。

[0006]　また、特許文献２や３のようなヒステリシス比較器は差動の比較器を用いる必要があるために、比較動作時は常にバイアス電流が流れ続け、消費電力が大きい。さらに比較器自体の面積も大きくなるという欠点があった。

[0007]　本発明は、上記のような従来の問題に鑑みてなされたものであって、その目的は、ヒステリシス特性を変化可能な比較回路を提供することにある。

課題を解決するための手段

[0008]　前述した課題を解決する本発明の比較回路の態様は、入力電圧が、第１し

きい値電圧を上回ると、第１論理レベルの出力電圧を出力し、前記入力電圧が、前記第１しきい値電圧より低い第２しきい値電圧を下回ると、第２論理レベルの前記出力電圧を出力する、比較回路であって、前記入力電圧を、第１電圧と、前記第１電圧より低い第２電圧と、に変換する変換回路と、前記第１電圧が、第３しきい値電圧を上回ると、前記第１論理レベルの前記出力電圧を出力し、前記第２電圧が、前記第３しきい値電圧より低い第４しきい値電圧を下回ると、前記第２論理レベルの前記出力電圧を出力する論理回路と、を備える。

[0009] また、本発明の半導体装置の態様は、電源電圧から、前記電源電圧より低い低電源電圧を生成する電源回路と、前記低電源電圧で動作し、上側アームのスイッチング素子及び下側アームのスイッチング素子を駆動するための制御信号を検出する検出回路と、前記検出回路の検出結果に基づいて、前記上側アームのスイッチング素子及び前記下側アームのスイッチング素子を駆動する駆動回路と、を備えた半導体装置であって、前記検出回路は、前記制御信号の電圧レベルが第１しきい値電圧を上回ると、第１論理レベルの前記検出結果を出力し、前記制御信号の電圧レベルが前記第１しきい値電圧より低い第２しきい値電圧を下回ると、第２論理レベルの前記検出結果を出力する比較回路を備え、前記比較回路は、前記制御信号の電圧レベルを、第１電圧と、前記第１電圧より低い第２電圧と、に変換する変換回路と、前記第１電圧が第３しきい値電圧を上回ると、前記第１論理レベルの前記検出結果を出力し、前記第２電圧が前記第３しきい値電圧より低い第４しきい値電圧を下回ると、前記第２論理レベルの前記検出結果を出力する論理回路と、を備える。

発明の効果

[0010] 本発明によれば、ヒステリシス特性を変化可能な比較回路を提供することができる。

図面の簡単な説明

[0011] [図1]パワーモジュール１０の構成の一例を示す図である。

[図2]ＨＶＩＣ２０の構成の一例を示す図である。

[図3]比較回路２１の一実施形態である比較回路２１ａの構成を示す図である。

[図4]論理回路５０の構成の一例を示す図である。

[図5]論理回路５０の動作を説明する図である。

[図6]比較回路２１ａを用いた場合のしきい値の変化を示す図である。

[図7]比較回路２１ｂの構成の一例を示す図である。

[図8]比較回路２１ｃの構成の一例を示す図である。

発明を実施するための形態

[0012] 関連出願の相互参照

この出願は、２０１９年１２月３日に出願された日本特許出願、特願２０１９－２１８９７４に基づく優先権を主張し、その内容を援用する。

[0013] 本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

[0014] ＝＝＝＝＝本実施形態＝＝＝＝＝

＜パワーモジュール１０＞

図１は、本発明の一実施形態であるパワーモジュール１０の構成の一例を示す図である。パワーモジュール１０は、電力変換用のパワー半導体及び駆動回路を含み、例えば負荷１１を駆動する半導体装置である。パワーモジュール１０は、ブートストラップ電圧Ｖｂを生成するためのコンデンサ１４、ＨＶＩＣ２０、ブリッジ回路３０、端子ＰＷＲ，Ｄ，Ｐ，Ｓ，Ｎ，ＣＯＭを含む。

[0015] 端子ＰＷＲには、電源電圧ＶＣＣが印可され、端子Ｄには、ＭＣＵ（不図示）からの制御信号ＩＮが入力される。端子Ｓと、端子Ｎと、の間には、負荷１１が接続される。端子Ｐには、電源電圧Ｖｄｃが印可され、端子Ｐと、端子Ｎと、の間には、電源電圧Ｖｄｃを安定化させるためのコンデンサ１２が接続される。

[0016] ＨＶＩＣ２０は、ＭＣＵ（不図示）からの制御信号ＩＮを受けて、ブリッ

ジ回路３０に駆動信号ＨＯ，ＬＯを出力し、ブリッジ回路３０を駆動する。

[0017] ブリッジ回路３０は、ＨＶＩＣ２０からの駆動信号ＨＯ，ＬＯに基づいて負荷１１（例えば、インダクタ）を駆動する。ブリッジ回路３０は、ＮＭＯＳトランジスタ３１，３２を含んで構成される。なお、ＮＭＯＳトランジスタ３１，３２は、「スイッチング素子」に相当する。

[0018] ＜ＨＶＩＣ２０＞

図２は、ＨＶＩＣ２０の構成の一例を示す図である。ＨＶＩＣ（High Voltage Integrated Circuit）２０は、比較回路２１、インバータ２２、フィルタ回路２３、パルス生成回路２４、ハイサイド駆動回路２５、電源回路２６、ローサイド駆動回路２７、端子ＰＶＣＣ，ＤＳ，ＶＢ，Ｈ，ＶＳ，Ｌ，Ｇを含む。

[0019] 比較回路２１は、入力される制御信号ＩＮを検出するとともに制御信号ＩＮを反転して出力する入力検出回路である。なお、制御信号ＩＮは、例えば、本実施形態では、０～１５Ｖの範囲で変化する。このため、比較回路２１は、高耐圧素子で構成される。また、制御信号ＩＮは、０～１５Ｖの間で変化する矩形波であり、ハイレベル（以下、“Ｈ”レベルとする）の場合、上側アームのＮＭＯＳトランジスタ３１がオンされ、ローレベル（以下、“Ｌ”レベルとする）の場合、下側アームのＮＭＯＳトランジスタ３２がオンされる。

[0020] インバータ２２は、比較回路２１の出力を反転させ、フィルタ回路２３に出力する。

[0021] フィルタ回路２３は、例えば、ローパスフィルタ（不図示）を含み、インバータ２２から出力された信号のノイズを除去した信号Ｓを出力する。

[0022] パルス生成回路２４は、信号Ｓの、立ち上がりエッジにおいて、セット信号ｓｅｔを生成し、立下りエッジにおいてリセット信号ｒｅｓｅｔを生成する。

[0023] ハイサイド駆動回路２５は、パルス生成回路２４からのセット信号ｓｅｔ及びリセット信号ｒｅｓｅｔに基づいて、上側アームのＮＭＯＳトランジス

タ３１を駆動するための駆動信号ＨＯを、端子Ｈを介して出力する。

[0024] 電源回路２６は、例えば、降圧型レギュレータであり、端子ＰＶＣＣからの電源電圧ＶＣＣ（例えば、１５Ｖ）を降圧して低電源電圧ＶＤＤ（例えば、５Ｖ）を生成し、比較回路２１と、インバータ２２と、フィルタ回路２３と、パルス生成回路２４と、に供給する。

[0025] ローサイド駆動回路２７は、フィルタ回路２３からの信号Ｓに基づいて下側アームのＮＭＯＳトランジスタ３２を駆動するための駆動信号ＬＯを、端子Ｌを介して出力する。

[0026] ＜比較回路２１＞

＝＝本実施形態の比較回路２１ａ＝＝

図３は、比較回路２１の一実施形態である比較回路２１ａの構成を示す図である。

[0027] 比較回路２１ａは、制御信号ＩＮの電圧レベルが低い電圧レベル（例えば、０Ｖ）から高い電圧レベル（例えば、ＶＤＤ）になり、高いしきい値電圧ＶｔＨを上回ると、出力電圧Ｖｏｕｔの論理レベルを“Ｈ”レベルから、“Ｌ”レベルへ変化させる。また、比較回路２１ａは、制御信号ＩＮの電圧レベルが高い電圧レベルから低い電圧レベルになり、低いしきい値電圧ＶｔＬを下回ると、出力電圧Ｖｏｕｔの論理レベルを“Ｌ”レベルから、“Ｈ”レベルへ変化させる。比較回路２１ａは、電圧変換回路４０ａと、論理回路５０と、を含んで構成される。

[0028] 電圧変換回路４０ａは、制御信号ＩＮが入力される、ノードＮ１に生じる電圧を、電圧ＶＮＧと、電圧ＶＮＧより低い電圧ＶＰＧと、に変換する。以下、ノードＮ１に生じる電圧を、入力電圧Ｖｉｎとする。

[0029] 電圧変換回路４０ａは、抵抗４１～４４を含んで構成される。抵抗４１～４４は、低電源電圧ＶＤＤが印可されるノードと、接地と、の間に直列に接続される。電圧変換回路４０ａは、入力電圧ＶｉｎがノードＮ１に印可されると、抵抗４１と、抵抗４２と、の接続点において電圧ＶＮＧを生成し、抵抗４３と、抵抗４４と、の接続点において電圧ＶＰＧを生成する。

[0030] 電圧ＶＮＧは、論理回路５０の入力である、ＮＭＯＳトランジスタ５１，５２のゲート電極に印可され、電圧ＶＰＧは、論理回路５０の入力である、論理回路５０のＰＭＯＳトランジスタ５４，５５のゲート電極に印可される。

[0031] ここで、電圧ＶＮＧと、電圧ＶＰＧと、は、抵抗４１～４４の抵抗値を、Ｒ１，Ｒ２，Ｒ３，Ｒ４とすると、以下の通り計算される。

[0032] ＶＮＧ＝（Ｒ１／（Ｒ１＋Ｒ２））×Ｖｉｎ＋（Ｒ２／（Ｒ１＋Ｒ２））×ＶＤＤ・・・（1）

ＶＰＧ＝（Ｒ４／（Ｒ３＋Ｒ４））×Ｖｉｎ・・・（2）

論理回路５０は、電圧ＶＮＧ，ＶＰＧの電圧レベルの変化に応じて、出力電圧Ｖｏｕｔの論理レベルを、ヒステリシス特性を有して変化させるシュミットトリガ回路である。論理回路５０は、ＮＭＯＳトランジスタ５１～５３と、ＰＭＯＳトランジスタ５４～５６と、を含んで構成される。

[0033] ＮＭＯＳトランジスタ５１，５２と、ＰＭＯＳトランジスタ５４，５５と、は、電源側からＰＭＯＳトランジスタ５５，５４、ＮＭＯＳトランジスタ５２，５１の順番で直列に低電源電圧ＶＤＤが印可される電源ノードと接地との間に接続される。また、論理回路５０の入力である、ＮＭＯＳトランジスタ５１，５２のゲート電極には、電圧ＶＮＧが印可され、ＰＭＯＳトランジスタ５４，５５のゲート電極には、電圧ＶＰＧが印可される。

[0034] ＮＭＯＳトランジスタ５３は、ＮＭＯＳトランジスタ５２と、ＰＭＯＳトランジスタ５４と、の接続点から出力される出力電圧Ｖｏｕｔが、ゲート電極に印可され、低電源電圧ＶＤＤがドレイン端子に印可され、ＮＭＯＳトランジスタ５１，５２の接続点に、ソース電極が接続されている。

[0035] ＰＭＯＳトランジスタ５６は、出力電圧Ｖｏｕｔが、ゲート電極に印可され、ドレイン端子が接地され、ＰＭＯＳトランジスタ５４，５５の接続点に、ソース電極が接続されている。

[0036] なお、制御信号ＩＮの電圧の最大値は、論理回路５０の電源電圧よりも高い電圧を有している。そのため、ＮＭＯＳトランジスタ５１～５３と、ＰＭ

ＯＳトランジスタ５４～５６と、は、高耐圧ＭＯＳトランジスタで構成される。

[0037]　また、本実施形態では、抵抗値Ｒ１～Ｒ４は、入力電圧ＶｉｎがノードＮ１に印可されない場合、ＰＭＯＳトランジスタ５４，５５の組またはＮＭＯＳトランジスタ５１，５２の組のうちの何れかの組をオフする抵抗値を有している。

[0038]　なお、抵抗４１～４４は、それぞれ「第１抵抗」、「第２抵抗」、「第３抵抗」、「第４抵抗」に相当する。電圧ＶＮＧは、「第１電圧」に相当し、電圧ＶＰＧは、「第２電圧」に相当する。ＮＭＯＳトランジスタ５１，５２は、「２つのＮＭＯＳトランジスタ」に相当し、ＰＭＯＳトランジスタ５４，５５は、「２つのＰＭＯＳトランジスタ」に相当する。また、出力電圧Ｖｏｕｔの論理レベルは、「検出結果」に相当する。

[0039]　なお、論理回路５０は、入力電圧Ｖｉｎの最大値（例えば、１５Ｖ）より低い低電源電圧ＶＤＤ（例えば、５Ｖ）で動作する。

[0040] ＝＝論理回路５０の基本動作＝＝

ここで、シュミットトリガ回路の基本的な動作を説明するために、論理回路５０の、２つのＮＭＯＳトランジスタ５１，５２と、２つのＰＭＯＳトランジスタ５４，５５と、のゲートが共通の図４に示す回路について説明する。なお、ここでは、論理回路５０の、２つのＮＭＯＳトランジスタ５１，５２と、２つのＰＭＯＳトランジスタ５４，５５と、のゲートに印可される電圧を、入力電圧Ｖｉｎ＿ｏｒｇとする。

[0041] ＜＜論理回路５０の動作説明＞＞

図５は、論理回路５０の動作を説明する図である。図５を用いて、論理回路５０のＮＭＯＳトランジスタ５１～５３及びＰＭＯＳトランジスタ５４～５６の動作を説明する。

[0042]　点線で示された直線は、論理回路５０に入力される入力電圧Ｖｉｎ＿ｏｒｇ及びＮＭＯＳトランジスタ５１，５２、ＰＭＯＳトランジスタ５４，５５のゲート電極に印可される印可電圧の関係を示している。

[0043] まず、入力電圧Ｖｉｎ＿ｏｒｇが、Ｘ１からＸ３へ変化するケースＸの場合について説明する。Ｘ１において、入力電圧Ｖｉｎ＿ｏｒｇは、０Ｖである。この時、ＮＭＯＳトランジスタ５１，５２は、オフし、ＮＭＯＳトランジスタ５３は、オンする。一方、ＰＭＯＳトランジスタ５４，５５は、オンし、ＰＭＯＳトランジスタ５６は、オフする。そのため、出力電圧Ｖｏｕｔは、電源電圧ＶＤＤとなっている。

[0044] 入力電圧Ｖｉｎ＿ｏｒｇが、Ｘ１よりも高くなるＸ２において、ＮＭＯＳトランジスタ５１は、オンし、ＮＭＯＳトランジスタ５２は、オフし、ＮＭＯＳトランジスタ５３は、オンする。一方、ＰＭＯＳトランジスタ５４，５５は、オフし、ＰＭＯＳトランジスタ５６は、オフする。そして、出力電圧Ｖｏｕｔは、出力電圧Ｖｏｕｔが印可されるノードの寄生キャパシタンスが充電されたままなので、電源電圧ＶＤＤのままである。

[0045] 入力電圧Ｖｉｎ＿ｏｒｇがＸ２での電圧よりも高くなると、ＮＭＯＳトランジスタ５１，５２は、オンし、ＮＭＯＳトランジスタ５３は、オフする。一方、ＰＭＯＳトランジスタ５４，５５は、オフし、ＰＭＯＳトランジスタ５６は、オンする。この時、出力電圧Ｖｏｕｔは、電源電圧ＶＤＤから０Ｖへ変化する。したがって、この時の、入力電圧Ｖｉｎ＿ｏｒｇの電圧値は、高いしきい値電圧ＶｔＨ＿ｏｒｇとなる。なお、入力電圧Ｖｉｎ＿ｏｒｇが論理回路５０の高いしきい値電圧ＶｔＨ＿ｏｒｇとなる時、ＮＭＯＳトランジスタ５１，５２のゲート電極に印可される印可電圧は、点Ａ１で示す電圧レベル（すなわち、ＶｔＨ＿ｏｒｇ）となる。この時、出力電圧Ｖｏｕｔは、点Ａ１を経由して、“Ｈ”レベルから“Ｌ”レベルへと変化する。

[0046] Ｘ３において、入力電圧Ｖｉｎ＿ｏｒｇは、電源電圧ＶＤＤより高い電圧（例えば、１５Ｖ）となる。この時、ＮＭＯＳトランジスタ５１，５２は、オンし、ＮＭＯＳトランジスタ５３は、オフする。一方、ＰＭＯＳトランジスタ５４，５５は、オフし、ＰＭＯＳトランジスタ５６は、オンする。そのため、出力電圧Ｖｏｕｔは、０Ｖのままとなる。

[0047] つぎに、入力電圧Ｖｉｎ＿ｏｒｇが、Ｙ１からＹ３へ変化するケースＹの

場合について説明する。Ｙ１において、入力電圧Ｖｉｎ＿ｏｒｇが、電源電圧ＶＤＤより高い電圧（例えば、１５Ｖ）となる。この時、ＰＭＯＳトランジスタ５４，５５は、オフし、ＰＭＯＳトランジスタ５６は、オンする。一方、ＮＭＯＳトランジスタ５１，５２は、オンし、ＮＭＯＳトランジスタ５３は、オフする。そのため、出力電圧Ｖｏｕｔは、０Ｖとなる。

[0048] 入力電圧Ｖｉｎ＿ｏｒｇが、Ｙ１よりも低くなるＹ２において、ＰＭＯＳトランジスタ５４は、オフし、ＰＭＯＳトランジスタ５５は、オンし、ＰＭＯＳトランジスタ５６は、オンする。一方、ＮＭＯＳトランジスタ５１，５２は、オフし、ＮＭＯＳトランジスタ５３は、オフする。そして、出力電圧Ｖｏｕｔは、出力電圧Ｖｏｕｔが印可されるノードの寄生キャパシタンスが放電されたままなので、０Ｖのままである。

[0049] 入力電圧Ｖｉｎ＿ｏｒｇがＹ２での電圧よりも低くなると、ＰＭＯＳトランジスタ５４，５５は、オンし、ＰＭＯＳトランジスタ５６は、オフする。一方、ＮＭＯＳトランジスタ５１，５２は、オフし、ＮＭＯＳトランジスタ５３は、オンする。そのため、出力電圧Ｖｏｕｔは、０Ｖから電源電圧ＶＤＤへと変化する。したがって、この時の、入力電圧Ｖｉｎ＿ｏｒｇの電圧値は、低いしきい値電圧ＶｔＬ＿ｏｒｇとなる。なお、入力電圧Ｖｉｎ＿ｏｒｇが論理回路５０の低いしきい値電圧ＶｔＬ＿ｏｒｇになる時、ＰＭＯＳトランジスタ５４，５５のゲート電極に印可される印可電圧は、点Ｂ１で示す電圧レベル（すなわち、ＶｔＬ＿ｏｒｇ）となる。この時、出力電圧Ｖｏｕｔは、点Ｂ１を経由して、“Ｌ”レベルから“Ｈ”レベルへと変化する。

[0050] Ｙ３において、入力電圧Ｖｉｎ＿ｏｒｇは、０Ｖとなる。この時、ＰＭＯＳトランジスタ５４，５５は、オンし、ＰＭＯＳトランジスタ５６は、オフする。一方、ＮＭＯＳトランジスタ５１，５２は、オフし、ＮＭＯＳトランジスタ５３は、オンする。そのため、出力電圧Ｖｏｕｔは、電源電圧ＶＤＤのままとなる。

[0051] したがって、論理回路５０は、入力電圧Ｖｉｎ＿ｏｒｇの電圧レベルが低い電圧レベル（例えば、０Ｖ）から高い電圧レベル（例えば、ＶＤＤ）にな

り、高いしきい値電圧ＶｔＨ＿ｏｒｇを上回ると、出力電圧Ｖｏｕｔの論理レベルを“Ｈ”レベルから、“Ｌ”レベルへ変化させる（ケースＸ）。また、論理回路５０は、入力電圧Ｖｉｎ＿ｏｒｇの電圧レベルが高い電圧レベルから低い電圧レベルになり、低いしきい値電圧ＶｔＬ＿ｏｒｇを下回ると、出力電圧Ｖｏｕｔの論理レベルを“Ｌ”レベルから、“Ｈ”レベルへ変化させる（ケースＹ）。

[0052] ＜＜論理回路５０のしきい値電圧の計算＞＞

以上の通り、論理回路５０は、高いしきい値電圧ＶｔＨ＿ｏｒｇと，低いしきい値電圧ＶｔＬ＿ｏｒｇと、によって実現されるヒステリシス特性を有している。高いしきい値電圧ＶｔＨ＿ｏｒｇは、ＮＭＯＳトランジスタ５１，５２が共にオンする条件に基づいて決定される。また、低いしきい値電圧ＶｔＬ＿ｏｒｇは、ＰＭＯＳトランジスタ５４，５５が共にオンする条件に基づいて決定される。

[0053] つまり、高いしきい値電圧ＶｔＨ＿ｏｒｇは、ＮＭＯＳトランジスタ５１，５２のそれぞれのしきい値電圧ｖｔｎに基づいて決定される。また、低いしきい値電圧ＶｔＬ＿ｏｒｇは、ＰＭＯＳトランジスタ５４，５５のそれぞれのしきい値電圧ｖｔｐに基づいて決定される。

[0054] ここで、ＰＭＯＳトランジスタ５４，５５のそれぞれのしきい値電圧は共通のｖｔｐであるとしたが、ＰＭＯＳトランジスタ５４，５５のそれぞれのしきい値電圧が異なっても良い。ＮＭＯＳトランジスタ５１，５２のしきい値電圧ｖｔｎについても同様である。

[0055] 以下に、高いしきい値電圧ＶｔＨ＿ｏｒｇがしきい値電圧ｖｔｎによってどのように決定されるのかを説明する。同様に、低いしきい値電圧ＶｔＬ＿ｏｒｇがしきい値電圧ｖｔｐによってどのように決定されるかも説明する。

[0056] まず、高いしきい値電圧ＶｔＨ＿ｏｒｇをしきい値電圧ｖｔｎで表すために、入力電圧Ｖｉｎが、低い電圧（例えば、０Ｖ）から高い電圧（例えば、ＶＤＤ）に変化する場合について説明する。

[0057] 図４の論理回路５０のうち、ＮＭＯＳトランジスタ５１～５３を含む回路

を用いて説明する。ＮＭＯＳトランジスタ５１、５２、５３のゲート・ソース間電圧をＶＧＳ５１，ＶＧＳ５２，ＶＧＳ５３とすると、それぞれは以下のように表される。ここで、ＮＭＯＳトランジスタ５１と、ＮＭＯＳトランジスタ５２と、の接続点の電圧を電圧Ｖｘとする。

[0058] ＶＧＳ５１＝Ｖｉｎ＿ｏｒｇ・・・（３）

ＶＧＳ５２＝Ｖｉｎ＿ｏｒｇ－Ｖｘ・・・（４）

ＶＧＳ５３＝Ｖｏｕｔ－Ｖｘ・・・（５）

図５のＸ１において、入力電圧Ｖｉｎ＿ｏｒｇが０Ｖであるとき、ＮＭＯＳトランジスタ５１，５２はオフされ、ＮＭＯＳトランジスタ５３はオンされる。

[0059] 入力電圧Ｖｉｎが、ＮＭＯＳトランジスタ５１のしきい値電圧ｖｔｎに近づくと、ＮＭＯＳトランジスタ５１はオンされる。そして、ＮＭＯＳトランジスタ５３に流れるドレイン電流と、ＮＭＯＳトランジスタ５１に流れるドレイン電流と、が等しくなる。

[0060] この場合、以下の式（６）が成立する。

[0061] β３×（ＶＤＤ－Ｖｘ－ｖｔｎ）＾２／２＝β１×（Ｖｉｎ＿ｏｒｇ－ｖｔｎ）＾２／２・・・（６）

ここで、β１及びβ３は、それぞれＮＭＯＳトランジスタ５１，５３の物理構造によって決定される係数である。例えば、β＝μＣｏｘＷ／Ｌであり、μは、移動度であり、Ｃｏｘは、ゲート酸化膜の単位面積のキャパシタンスであり、Ｗは、ゲート幅、Ｌは、ゲート長である。

[0062] 電圧Ｖｘを求めるために、式（６）を変形すると、以下の通りとなる。

[0063] Ｖｘ＝ＶＤＤ＋（√（β１／β３）－１）×ｖｔｎ－√（β１／β３）×Ｖｉｎ＿ｏｒｇ・・・（７）

入力電圧Ｖｉｎがより高い電圧となり、高いしきい値電圧ＶｔＨ＿ｏｒｇとなり、ＶＧＳ５２＝Ｖｉｎ＿ｏｒｇ－Ｖｘ＝ｖｔｎとなると、ＮＭＯＳトランジスタ５２は、オンされる。ＮＭＯＳトランジスタ５１，５２がオンされるので、出力電圧ＶｏｕｔはＯＶとなる。このときの入力電圧Ｖｉｎ＿ｏ

ｒｇをＶｔＨ＿ｏｒｇとすると、以下の式（８）が成立する。

[0064] ＶｔＨ＿ｏｒｇ－ＶＤＤ－（√（β３／β１）－１）×ｖｔｎ＋√（β３／β１）×ＶｔＨ＿ｏｒｇ＝ｖｔｎ・・・（８）

式（８）からＶｔＨ＿ｏｒｇを求めると、以下の式（９）が成立する。

[0065] ＶｔＨ＿ｏｒｇ＝（ＶＤＤ＋√（β１／β３）×ｖｔｎ）／（１＋√（β１／β３））＝（√（β３／β１）×ＶＤＤ＋ｖｔｎ）／（１＋√（β３／β１））・・・（９）

なお、ＮＭＯＳトランジスタ５１，５２がオンされると、Ｖｘ＝Ｖｏｕｔ＝０となり、ＶＧＳ５３＝０となるので、ＮＭＯＳトランジスタ５３はオフされる。

[0066] つぎに、低いしきい値電圧ＶｔＬ＿ｏｒｇをしきい値電圧ｖｔｐで表すために、入力信号Ｖｉｎ＿ｏｒｇが、高い電圧から低い電圧に変化する場合について説明する。ここで、しきい値電圧ｖｔｐは、負の値であるものとする。

[0067] 図４の論理回路５０のうち、ＰＭＯＳトランジスタ５４～５６を含む回路を用いて説明する。ＰＭＯＳトランジスタ５４，５５，５６のゲート・ソース間電圧をＶＧＳ５４，ＶＧＳ５５，ＶＧＳ５６とすると、それぞれは以下のように表される。ここで、ＰＭＯＳトランジスタ５４と、ＰＭＯＳトランジスタ５５と、の接続点の電圧を電圧Ｖｙとする。

[0068] ＶＧＳ５４＝Ｖｉｎ＿ｏｒｇ－Ｖｙ・・・（１０）

ＶＧＳ５５＝Ｖｉｎ＿ｏｒｇ－ＶＤＤ・・・（１１）

ＶＧＳ５６＝Ｖｏｕｔ－Ｖｙ・・・（１２）

入力電圧Ｖｉｎ＿ｏｒｇがＶＤＤであるとき、ＰＭＯＳトランジスタ５４，５５はオフされ、ＰＭＯＳトランジスタ５６はオンされる。この時、Ｖｏｕｔ＝０、Ｖｙ＝ｖｔｐである。

[0069] 入力電圧Ｖｉｎ＿ｏｒｇが、ＶＤＤ＋ｖｔｐに近づくと、ＰＭＯＳトランジスタ５５はオンされる。そして、ＰＭＯＳトランジスタ５６に流れるドレイン電流と、ＰＭＯＳトランジスタ５５に流れるドレイン電流と、が等しく

なる。

[0070] この場合、以下の式（１３）が成立する。

[0071] β５×（Ｖｉｎ＿ｏｒｇ－ＶＤＤ－ｖｔｐ）＾２／２＝β６×（－Ｖｙ－ｖｔｐ）＾２／２・・・（１３）

ここで、β５及びβ６は、それぞれＰＭＯＳトランジスタ５５，５６の物理構造によって決定される係数である。例えば、β＝μＣｏｘＷ／Ｌであり、μは、移動度であり、Ｃｏｘは、ゲート酸化膜の単位面積のキャパシタンスであり、Ｗは、ゲート幅、Ｌは、ゲート長である。

[0072] 電圧Ｖｙを求めるために、式（１３）を変形すると、以下の通りとなる。

[0073] Ｖｙ＝√（β５／β６）×ＶＤＤ＋（√（β５／β６）－１）×ｖｔｐ－√（β５／β６）×Ｖｉｎ＿ｏｒｇ・・・（１４）

入力電圧Ｖｉｎ＿ｏｒｇがより低い電圧となり、ＶＧＳ５４＝Ｖｉｎ＿ｏｒｇ－Ｖｙ＝ｖｔｐとなると、ＰＭＯＳトランジスタ５４は、オンされる。ＰＭＯＳトランジスタ５４，５５がオンされるので、出力電圧ＶｏｕｔはＶＤＤとなる。このときの入力電圧Ｖｉｎ＿ｏｒｇをＶｔＬ＿ｏｒｇとすると、以下の式（１５）が成立する。

[0074] ＶｔＬ＿ｏｒｇ－√（β５／β６）×ＶＤＤ－（√（β５／β６）－１）×ｖｔｐ＋√（β５／β６）×ＶｔＬ＿ｏｒｇ＝ｖｔｐ・・・（１５）

式（１５）からＶｔＬ＿ｏｒｇを求めると、以下の式（１６）が成立する。

[0075] ＶｔＬ＿ｏｒｇ＝（√（β５／β６）×ＶＤＤ＋√（β５／β６）×ｖｔｐ）／（１＋√（β５／β６））＝（ＶＤＤ＋ｖｔｐ）／（１＋√（β６／β５））・・・（１６）

なお、ＰＭＯＳトランジスタ５４，５５がオンされると、Ｖｙ＝Ｖｏｕｔ＝ＶＤＤとなり、ＶＧＳ５６＝０となるので、ＰＭＯＳトランジスタ５６はオフされる。

[0076] 以上から、高いしきい値電圧ＶｔＨ＿ｏｒｇは、ＮＭＯＳトランジスタ５１，５２のそれぞれのしきい値電圧ｖｔｎに応じた電圧であり、低いしきい

値電圧ＶｔＬ＿ｏｒｇは、ＰＭＯＳトランジスタ５４，５５のそれぞれのしきい値電圧ｖｔｐに応じた電圧である。

[0077] ＜＜比較回路２１ａのしきい値電圧の計算＞＞

比較回路２１ａでは、ＮＭＯＳトランジスタ５１，５２のゲート電極には、電圧ＶＮＧが印可され、ＰＭＯＳトランジスタ５４，５５のゲート電極には、電圧ＶＰＧが印可されている。

[0078] したがって、電圧ＶＮＧが、低い電圧から高い電圧に変化する際に、高いしきい値電圧ＶｔＨ＿ｏｒｇを上回ると、出力電圧Ｖｏｕｔの論理レベルは、“Ｈ”レベルから“Ｌ”レベルに変化する。同様に、電圧ＶＰＧが、高い電圧から低い電圧に変化する際に、低いしきい値電圧ＶｔＬ＿ｏｒｇを下回ると、出力電圧Ｖｏｕｔの論理レベルは、“Ｌ”レベルから“Ｈ”レベルに変化する。

[0079] そのため、論理回路５０の高いしきい値電圧ＶｔＨ＿ｏｒｇが論理回路５０に印加されるとき、比較回路２１ａの制御信号ＩＮの電圧レベルが入力電圧Ｖｉｎとしてしきい値電圧ＶｔＨとなる場合、式（１）から

ＶｔＨ＿ｏｒｇ＝（Ｒ１／（Ｒ１＋Ｒ２））×ＶｔＨ＋（Ｒ２／（Ｒ１＋Ｒ２））×ＶＤＤ・・・（１７）

式（１７）から高いしきい値電圧ＶｔＨを求めると、以下の通りとなる。

[0080] ＶｔＨ＝（（Ｒ１＋Ｒ２）／Ｒ１）×ＶｔＨ＿ｏｒｇ－（Ｒ２／Ｒ１）×ＶＤＤ・・・（１８）

同様に、論理回路５０の低いしきい値電圧ＶｔＬ＿ｏｒｇが論理回路５０に印加されるとき、比較回路２１ａの制御信号ＩＮの電圧レベルが入力電圧Ｖｉｎとしてしきい値電圧ＶｔＬとなる場合、式（２）から

ＶｔＬ＿ｏｒｇ＝（Ｒ４／（Ｒ３＋Ｒ４））×ＶｔＬ・・・（１９）

式（１９）から低いしきい値電圧ＶｔＬを求めると、以下の通りとなる。

[0081] ＶｔＬ＝（（Ｒ３＋Ｒ４）／Ｒ４）×ＶｔＬ＿ｏｒｇ・・・（２０）

以上から、比較回路２１ａの高いしきい値電圧ＶｔＨ及び低いしきい値電圧ＶｔＬは、論理回路５０の高いしきい値電圧ＶｔＨ＿ｏｒｇ及び低いしき

い値電圧ＶｔＬ＿ｏｒｇと異なる値とすることができる。そして、比較回路２１ａを用いれば、抵抗４１～４４の抵抗値Ｒ１～Ｒ４を変更することで、比較回路２１ａの高いしきい値電圧ＶｔＨ及び低いしきい値電圧ＶｔＬを、変化させることができる。そのため、論理回路５０のヒステリシス特性を変化させることができる。

[0082] また、入力電圧Ｖｉｎが、高くなり、比較回路２１ａの高いしきい値電圧ＶｔＨとなる時、電圧ＶＰＧは、低いしきい値電圧ＶｔＬ＿ｏｒｇより高くなるように、抵抗４３，４４の抵抗値Ｒ３，Ｒ４は、設計される。一方、入力電圧Ｖｉｎが、低くなり、比較回路２１ａの低いしきい値電圧ＶｔＬとなる時、電圧ＶＮＧは、高いしきい値電圧ＶｔＨ＿ｏｒｇ未満となるように、抵抗４１～４４の抵抗値Ｒ１～Ｒ４は、設計される。

[0083] したがって、入力信号Ｖｉｎが変化しても、論理回路５０の動作の説明で、説明した通り、ＮＭＯＳトランジスタ５１～５３と、ＰＭＯＳトランジスタ５４～５６と、が動作する。

[0084] なお、“Ｌ”レベルが、「第１論理レベル」に相当し、“Ｈ”レベルが、「第２論理レベル」に相当する場合があり、逆に、“Ｈ”レベルが、「第１論理レベル」に相当し、“Ｌ”レベルが、「第２論理レベル」に相当する場合もある。

[0085] ＜＜比較回路２１ａ及び論理回路５０の入出力特性の比較＞＞

図６は、比較回路２１ａを用いた場合のしきい値の変化を示す図である。図６において、点線で示された直線は、図４の論理回路５０に入力される入力電圧Ｖｉｎ＿ｏｒｇ及びＮＭＯＳトランジスタ５１，５２、ＰＭＯＳトランジスタ５４，５５のゲート電極に印可される印可電圧の関係を示している。

[0086] また、一点鎖線で示された直線は、比較回路２１ａに入力される入力電圧Ｖｉｎに対する、電圧ＶＮＧの変化を示す直線である。すなわち、一点鎖線で示された直線は、入力電圧Ｖｉｎに対する、ＮＭＯＳトランジスタ５１，５２のゲート電極に印可される印可電圧の変化を示す直線である。

[0087] そして、二点鎖線で示された直線は、比較回路２１ａに入力される入力電圧Ｖｉｎに対する、電圧ＶＰＧの変化を示す直線である。すなわち、二点鎖線で示された直線は、入力電圧Ｖｉｎに対する、ＰＭＯＳトランジスタ５４，５５のゲート電極に印可される印可電圧の変化を示す直線である。ただし、電圧ＶＮＧ，ＶＰＧの直線は、抵抗４１～４４の抵抗値Ｒ１～Ｒ４の関係が、Ｒ２：Ｒ１＝Ｒ３：Ｒ４＝１：２である場合の一例である。

[0088] 以下に、比較回路２１ａの場合の入力電圧Ｖｉｎ、比較回路２１ａの高いしきい値電圧ＶｔＨ及び低いしきい値電圧ＶｔＬの関係を説明する。

[0089] まず、入力電圧Ｖｉｎが、低い電圧（例えば、０Ｖ）から高い電圧（例えば、ＶＤＤ）へ変化し、電圧ＶＮＧが、点Ａ１で示す電圧レベルと同じ電圧レベルである、点Ａ２で示す電圧レベル（すなわち、ＶｔＨ＿ｏｒｇ）となると、出力電圧Ｖｏｕｔの論理レベルは、点Ａ２を通る実線で示す通り、“Ｈ”レベルから“Ｌ”レベルへと変化する。したがって、電圧ＶＮＧの電圧レベルが、点Ａ２となる時、入力電圧Ｖｉｎは、比較回路２１ａの高いしきい値電圧ＶｔＨとなる。

[0090] つぎに、入力電圧Ｖｉｎが、高い電圧から低い電圧へ変化し、電圧ＶＰＧが、点Ｂ１で示す電圧レベルと同じ電圧レベルである、点Ｂ２で示す電圧レベル（すなわち、ＶｔＬ＿ｏｒｇ）となると、出力電圧Ｖｏｕｔの論理レベルは、点Ｂ２を通る実線で示す通り、“Ｌ”レベルから“Ｈ”レベルへと変化する。したがって、電圧ＶＰＧの電圧レベルが、点Ｂ２となる時、入力電圧Ｖｉｎは、比較回路２１ａの低いしきい値電圧ＶｔＬとなる。

[0091] このように、比較回路２１ａは、ＮＭＯＳトランジスタ５１，５２、ＰＭＯＳトランジスタ５４，５５に対し、電圧変換回路４０ａで生成される電圧ＶＮＧ，ＶＰＧを印可する。これにより、比較回路２１ａは、ＭＯＳトランジスタのしきい値によって決定される高いしきい値電圧ＶｔＨ＿ｏｒｇ及び低いしきい値電圧ＶｔＬ＿ｏｒｇを、比較回路２１ａの高いしきい値電圧ＶｔＨ及び低いしきい値電圧ＶｔＬに変えることができる。したがって、比較回路２１ａは、論理回路５０のヒステリシス特性を変化させることができる

。

[0092]　また、前述した式（９）や式（１６）に示されるように、ＮＭＯＳトランジスタ５１，５２のそれぞれのしきい値電圧ｖｔｎに応じた電圧に、高いしきい値電圧ＶｔＨ＿ｏｒｇの値が依存し、ＰＭＯＳトランジスタ５４，５５のそれぞれのしきい値電圧ｖｔｐに応じた電圧に、低いしきい値電圧ＶｔＬ＿ｏｒｇの値が依存する。しきい値電圧が低いものを用いることができ、その場合ヒステリシス特性を変更できる。

[0093]　また、本発明は論理回路５０として従来の図４のものを用いている。ヒステリシス比較器にてヒステリシス幅や、“Ｈ”レベルから“Ｌ”レベル、“Ｌ”レベルから“Ｈ”レベルの閾値を変更可能にしたものは差動アンプを複数用いる必要が出てくる。差動アンプは面積が大きい上、動作させる際にバイアス電流を流す続ける必要があり、消費電力が大きくなる。論理回路５０の出力がハイレベルで安定した場合はＮＭＯＳトランジスタ５１，５２がオフであるので、この論理回路５０には貫通電流が流れない。同じく論理回路５０の出力がローレベルで安定した場合はＰＭＯＳトランジスタ５４，５５であるので、この論理回路５０には貫通電流が流れない。よって出力切り替わりの際以外は消費電流が少ないので、消費電力が抑えられる。

[0094]＝＝＝変形例＝＝＝

＝＝比較回路２１ｂ＝＝

　図７は、比較回路２１ｂの構成の一例を示す図である。比較回路２１ｂの電圧変換回路４０ｂは、比較回路２１ａの電圧変換回路４０ａに、さらに、入力電圧が印可されるノードと、接地と、の間に抵抗４５を加えたものである。

[0095]＝＝比較回路２１ｃ＝＝

　図８は、比較回路２１ｃの構成の一例を示す図である。電圧変換回路は、電圧変換回路４０ａ，４０ｂとは異なる構成で実現されてもよい。一例として、電圧変換回路４０ｃは、入力電圧Ｖｉｎが、ゲート電極に印可され、ソース電極から電圧ＶＮＧｂを出力するソースフォロア回路６１ａと、入力電

圧Ｖｉｎが、ゲート電極に印可され、ソース電極から電圧ＶＰＧｂを出力するソースフォロア回路６１ｂと、で構成される。

[0096] ソースフォロア回路６１ａは、定電流源６２ａと、ＰＭＯＳトランジスタ６３ａと、を含んで構成される。また、ソースフォロア回路６１ｂは、定電流源６２ｂと、ＮＭＯＳトランジスタ６３ｂと、を含んで構成される。

[0097] なお、ソースフォロア回路６１ａは、「第１ソースフォロア回路」に相当し、ソースフォロア回路６２ｂは、「第２ソースフォロア回路」に相当する。

[0098] ソースフォロア回路６１ａの出力である電圧ＶＮＧｂは基本的に入力電圧ＶｉｎがＰＭＯＳトランジスタ６３ａのゲートーソース間電圧分シフトした電圧が出力される形となる。同じくソースフォロア回路６１ｂの出力である電圧ＶＰＧｂはＮＭＯＳトランジスタ６３ｂのゲートーソース間電圧分シフトした電圧が出力される形となる。

[0099] しかしながら、ソースフォロア回路の性質から、定電流源やトランジスタで用いられる電圧降下分を差し引いた出力振幅をはみ出した入力電圧Ｖｉｎはカットされて出力されるので、電圧ＶＮＧｂや電圧ＶＰＧｂの振幅は低電源電圧ＶＤＤとグラウンド電圧の間の電位差よりも小さくなる。

[0100] 電圧変換回路４０ｃは入力電圧Ｖｉｎを受けるので高耐圧素子が必要となる。しかしながら、低電源電圧ＶＤＤで動作するソースフォロア回路の出力を受ける電圧ＶＮＧと、電圧ＶＰＧの振幅はグラウンド電圧と低電源電圧ＶＤＤとの電位差以下となるので、比較回路２１ａにて高耐圧素子を用いないでもより確実に素子の破壊を防ぐことができる。よって本変形例では電圧変換回路４０ｃは高耐圧素子を用い、低電源電圧ＶＤＤとグラウンド電圧の間の電位差で動作する論理回路５０は低耐圧素子を用いる。

[0101] ＝＝＝まとめ＝＝＝

以上、本実施形態のパワーモジュール１０について説明した。比較回路２１として、シュミットトリガ回路を用いる場合、ヒステリシス特性は、ＮＭＯＳトランジスタ５１，５２、ＰＭＯＳトランジスタ５４，５５のそれぞれ

のしきい値電圧によって決められ、ヒステリシス特性を変化させることは難しかった。しかしながら、入力電圧Ｖｉｎを、電圧ＶＮＧと、電圧ＶＰＧと、に変換し、それぞれを、ＮＭＯＳトランジスタ５１，５２のゲート電極と、ＰＭＯＳトランジスタ５４，５５のゲート電極と、に印可することによって、入力電圧Ｖｉｎから見たヒステリシス特性を変化させることができる。

[0102] また、入力電圧Ｖｉｎが、論理回路５０の電源電圧ＶＤＤよりも高く、ＮＭＯＳトランジスタ５１～５３と、ＰＭＯＳトランジスタ５４～５６と、には、高耐圧ＭＯＳトランジスタが用いられる。この時、論理回路５０を用いると、抵抗４１～４４の抵抗値Ｒ１～Ｒ４を調整することで、高耐圧ＭＯＳトランジスタのしきい値によって決定されるヒステリシス特性を変えることができる。

[0103] また、本実施形態では、ローサイド駆動回路２７によってＮＭＯＳトランジスタ３２がオンされると、端子ＶＳの電圧Ｖｓが、負荷１１のインダクタ成分の影響により負電圧となることがある。そして、接地から、端子ＶＳの電圧Ｖｓが印可されている電圧ラインへ電流が流れ、端子Ｇの電位（例えば、接地）が変動することがある。これにより、低電源電圧ＶＤＤが変動することがある。論理回路５０を、２つのＰＭＯＳトランジスタと、２つのＮＭＯＳトランジスタと、で構成することで、シュミットトリガ回路としてコンパレータを用いた場合に、低電源電圧ＶＤＤが変動すると生じるバイアス電流の変動による影響を受けない。したがって、論理回路５０は、精度の高いシュミットトリガ回路として動作する。

[0104] また、電圧変換回路４０ａを抵抗４１～４４で構成することによって、精度の高い電圧ＶＮＧ，ＶＰＧを生成することができる。

[0105] また、抵抗４１～４４の抵抗値Ｒ１～Ｒ４は、論理回路５０の２つのＰＭＯＳトランジスタ５４，５５の組またはＮＭＯＳトランジスタ５１，５２の組の何れかの組がオフされるように決定される。これにより、ノードＮ１に入力電圧Ｖｉｎが印可されない場合でも、論理回路５０に貫通電流が流れないようにすることができる。

[0106] また、電圧変換回路４０ｂは、２つのソースフォロア回路によって実現される。これにより、論理回路５０の場合と同様に、入力電圧Ｖｉｎから見たヒステリシス特性を変化させることができる。

[0107] また、抵抗４５が、ノードＮ１と、接地と、の間に接続されると、入力電圧Ｖｉｎが、ノードＮ１に印可されない場合にノードＮ１をプルダウンすることができ、抵抗４１～４４の抵抗値Ｒ１～Ｒ４をある程度自由に設計できる。

[0108] 上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

符号の説明

[0109] １０　パワーモジュール

１１　負荷

１２，１４　コンデンサ

１３　直流電源

２０　ＨＶＩＣ

２１，２１ａ，２１ｂ，２１ｃ　比較回路

２２　インバータ

２３　フィルタ回路

２４　パルス生成回路

２５　ハイサイド駆動回路

２６　電源回路

２７　ローサイド駆動回路

３０　ブリッジ回路

３１，３２，５１～５３，６３ｂ　ＮＭＯＳトランジスタ

４０ａ，４０ｂ，４０ｃ　電圧変換回路

４１～４５　抵抗

５０　論理回路

５４～５６，６３ａ　ＰＭＯＳトランジスタ

６１ａ，６１ｂ　ソースフォロア回路

６２ａ，６２ｂ　定電流源

請求の範囲

[請求項1] 入力電圧が、第１しきい値電圧を上回ると、第１論理レベルの出力電圧を出力し、前記入力電圧が、前記第１しきい値電圧より低い第２しきい値電圧を下回ると、第２論理レベルの前記出力電圧を出力する、比較回路であって、

前記入力電圧を、第１電圧と、前記第１電圧より低い第２電圧と、に変換する変換回路と、

前記第１電圧が、第３しきい値電圧を上回ると、前記第１論理レベルの前記出力電圧を出力し、前記第２電圧が、前記第３しきい値電圧より低い第４しきい値電圧を下回ると、前記第２論理レベルの前記出力電圧を出力する論理回路と、

を備える、比較回路。

[請求項2] 請求項１に記載の比較回路であって、

前記論理回路は、前記入力電圧の最大値より低い電源電圧で動作する、比較回路。

[請求項3] 請求項１または２に記載の比較回路であって、

前記論理回路は、

２つのゲート電極のそれぞれに前記第２電圧が印可され、直列に接続された、電源側の２つのＰＭＯＳトランジスタと、

２つのゲート電極のそれぞれに前記第１電圧が印可され、前記２つのＰＭＯＳトランジスタと、接地と、の間に直列に接続された２つのＮＭＯＳトランジスタと、

を備えたシュミットトリガ回路であり、

前記第３しきい値電圧は、前記２つのＮＭＯＳトランジスタのそれぞれのしきい値電圧に応じた電圧であり、前記第４しきい値電圧は、前記２つのＰＭＯＳトランジスタのそれぞれのしきい値電圧に応じた電圧である、比較回路。

[請求項4] 請求項３に記載の比較回路であって、

前記変換回路は、

前記論理回路の電源電圧が印可されるノードと、接地と、の間に直列に接続された第１抵抗から第４抵抗を備え、

前記変換回路は、

前記第２抵抗及び前記第３抵抗の接続点に前記入力電圧が印可されると、前記第１抵抗及び前記第２抵抗の接続点において前記第１電圧を生成し、前記第３抵抗及び前記第４抵抗の接続点において前記第２電圧を生成する、比較回路。

[請求項5] 請求項４に記載の比較回路であって、

前記第１抵抗から前記第４抵抗は、前記変換回路に前記入力電圧が印可されない場合、前記２つのＰＭＯＳトランジスタの組または前記２つのＮＭＯＳトランジスタの組のうちの何れかの組をオフする抵抗値を有する、比較回路。

[請求項6] 請求項１～３のうちの何れか一項に記載の比較回路であって、

前記変換回路は、

前記入力電圧が、ゲート電極に印可され、ソース電極から前記第１電圧を出力する第１ソースフォロア回路と、

前記入力電圧が、ゲート電極に印可され、ソース電極から前記第２電圧を出力する第２ソースフォロア回路と、

を備える、比較回路。

[請求項7] 請求項１～６のうちの何れか一項に記載の比較回路であって、

前記変換回路は、

前記入力電圧が印可されるノードと、接地と、の間に接続された抵抗をさらに備える、比較回路。

[請求項8] 電源電圧から、前記電源電圧より低い低電源電圧を生成する電源回路と、前記低電源電圧で動作し、上側アームのスイッチング素子及び下側アームのスイッチング素子を駆動するための制御信号を検出する検出回路と、前記検出回路の検出結果に基づいて、前記上側アームの

スイッチング素子及び前記下側アームのスイッチング素子を駆動する駆動回路と、を備えた半導体装置であって、

前記検出回路は、

前記制御信号の電圧レベルが第１しきい値電圧を上回ると、第１論理レベルの前記検出結果を出力し、前記制御信号の電圧レベルが前記第１しきい値電圧より低い第２しきい値電圧を下回ると、第２論理レベルの前記検出結果を出力する比較回路を備え、

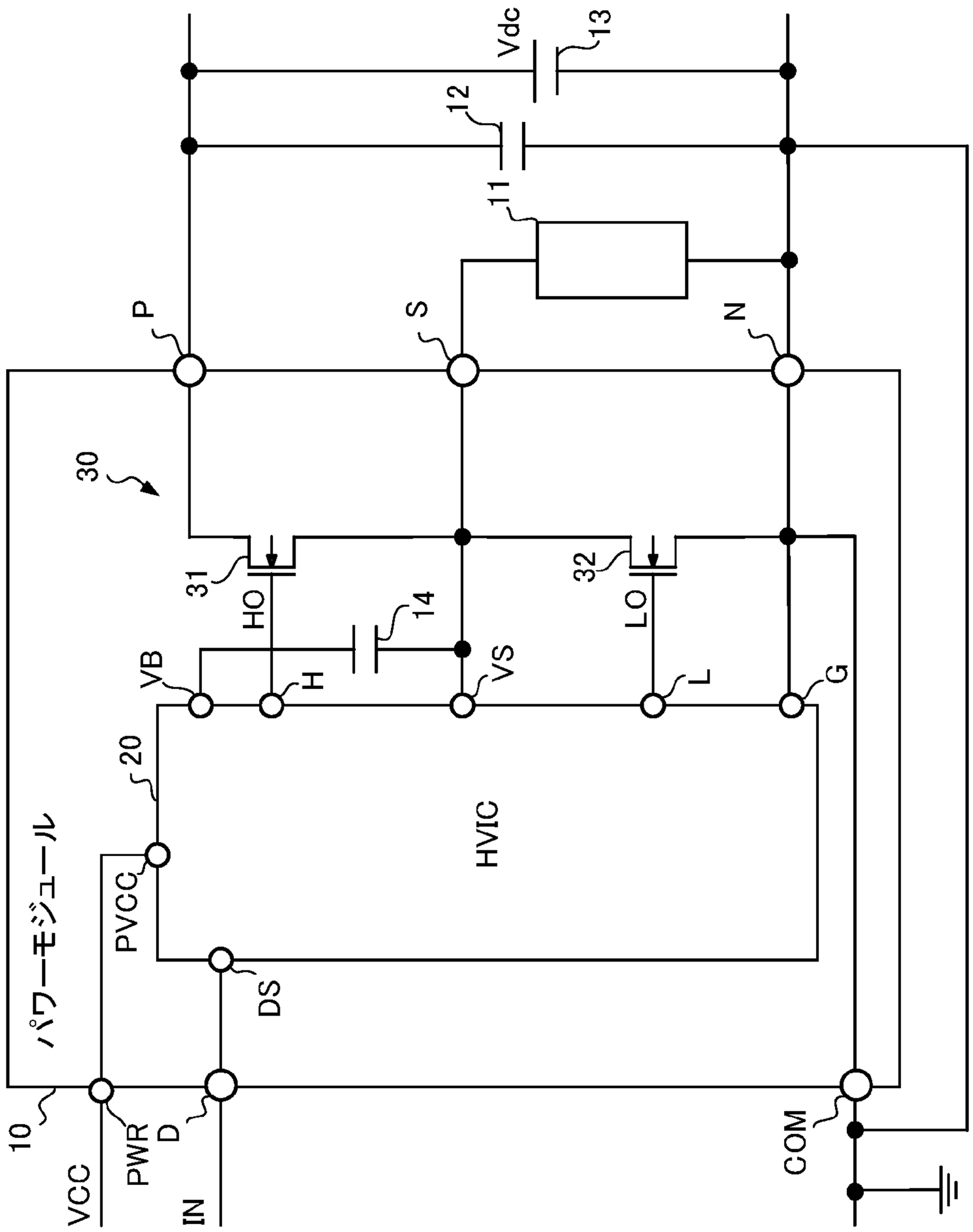
前記比較回路は、

前記制御信号の電圧レベルを、第１電圧と、前記第１電圧より低い第２電圧と、に変換する変換回路と、

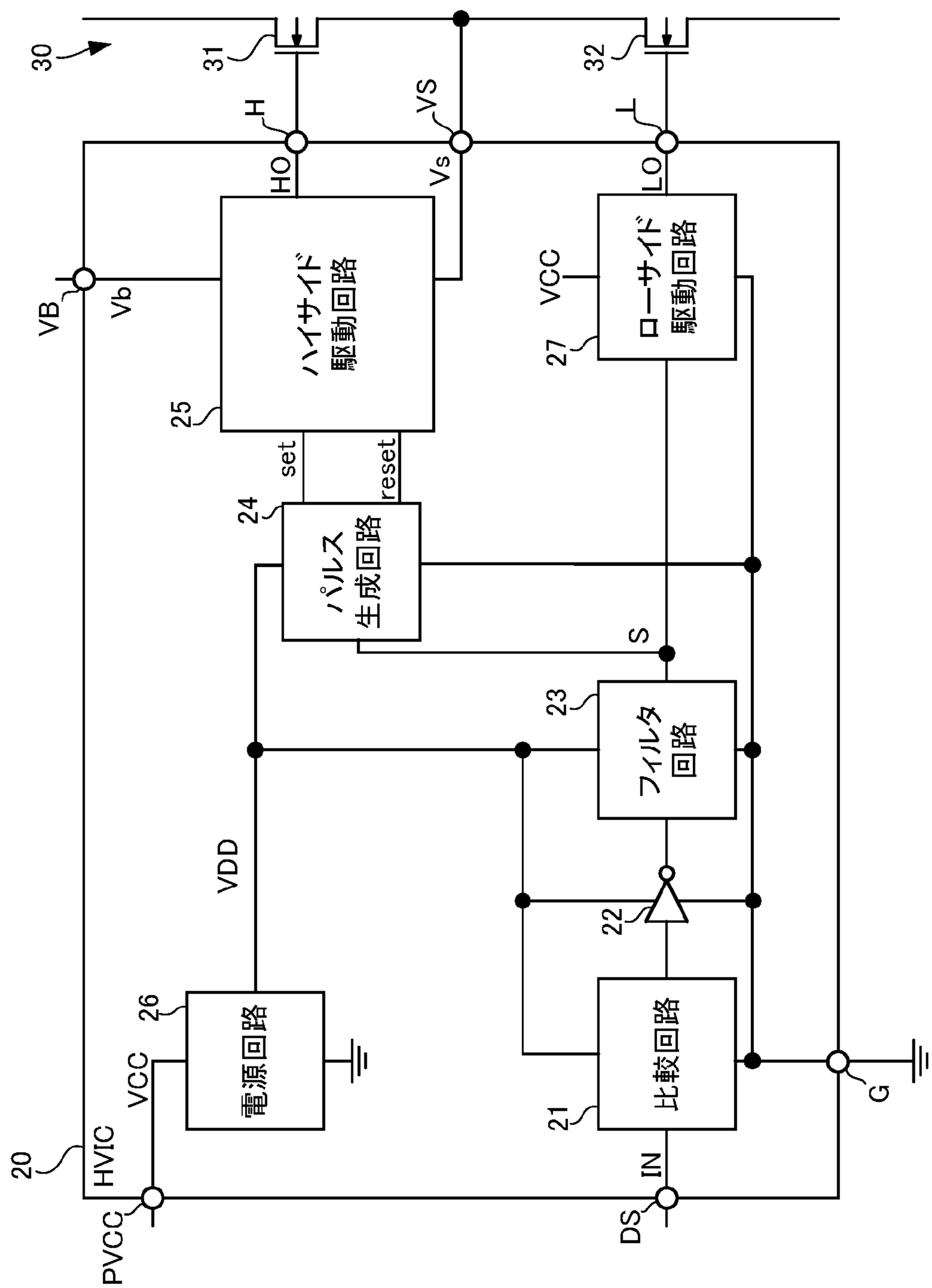
前記第１電圧が第３しきい値電圧を上回ると、前記第１論理レベルの前記検出結果を出力し、前記第２電圧が前記第３しきい値電圧より低い第４しきい値電圧を下回ると、前記第２論理レベルの前記検出結果を出力する論理回路と、

を備える、半導体装置。

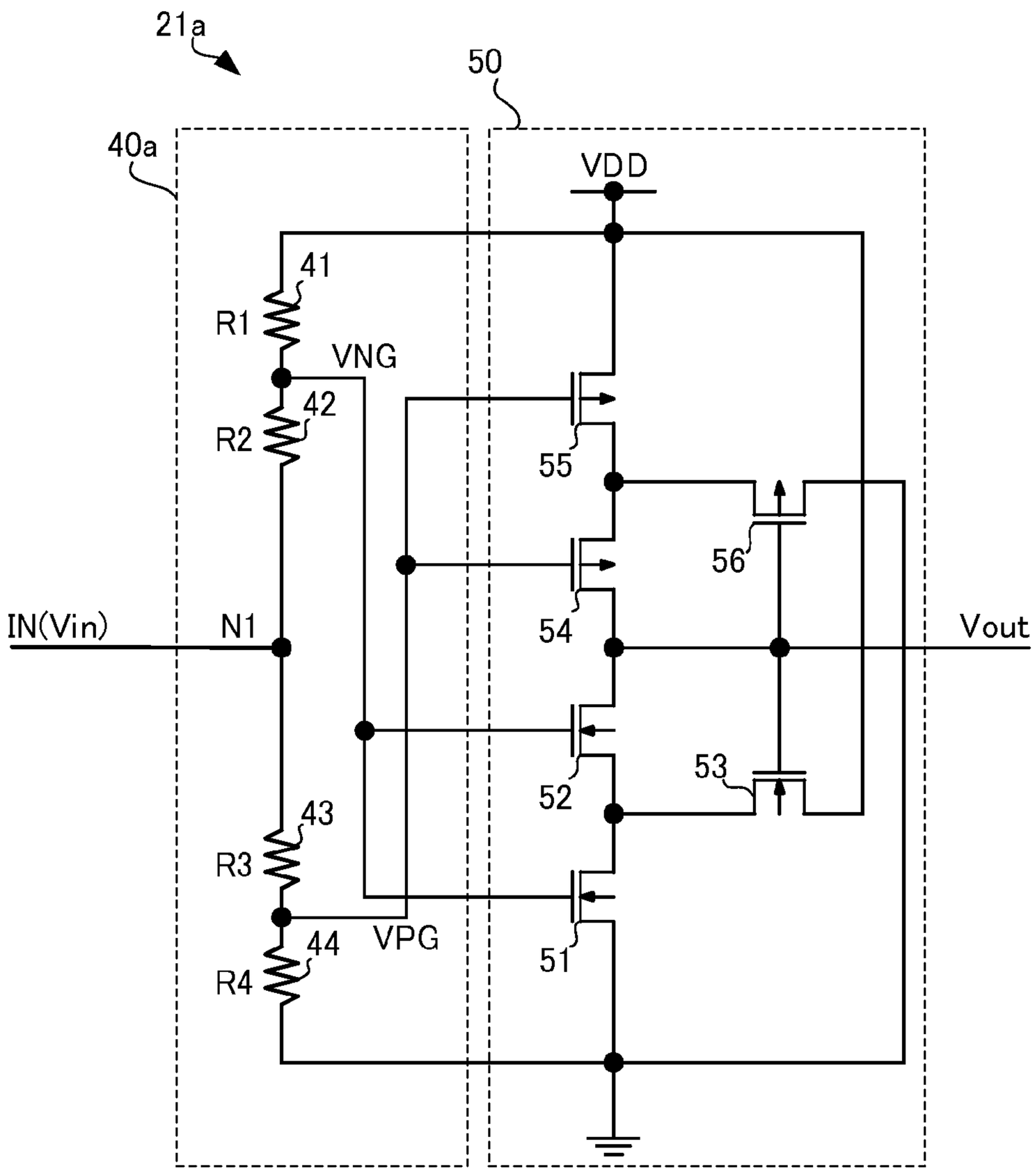
[図1]


Vdc
13
12
11
P
S
N
30
31
32
HO
LO
14
VB
H
VS
L
G
20
HVIC
パワーモジュール
PVCC
DS
10
VCC
PWR
D
IN
COM

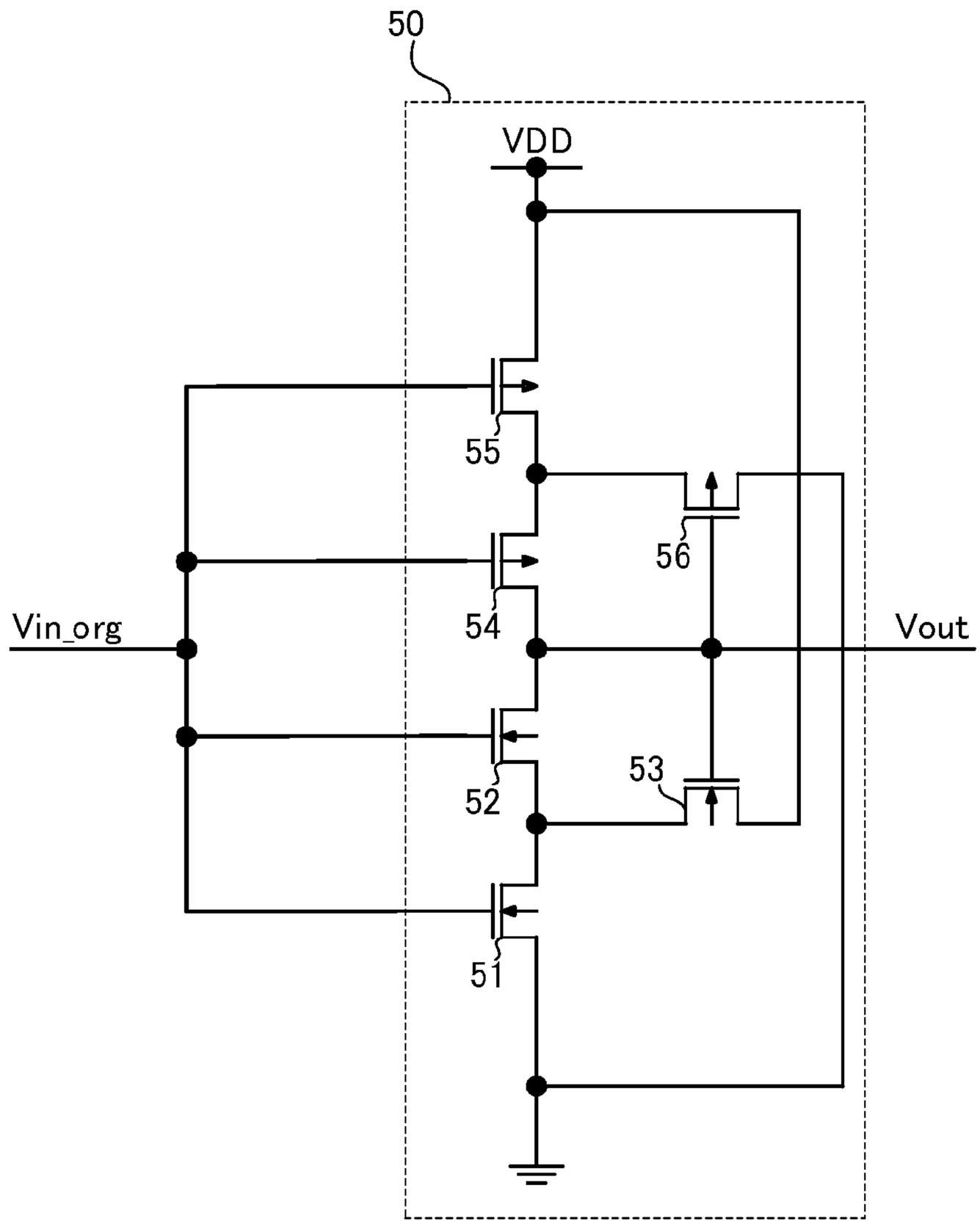
[図2]


30
31
32
H
VS
L
HO
Vs
LO
VB
Vb
ハイサイド
駆動回路
VCC
ローサイド
駆動回路
27
25
set
reset
24
パルス
生成回路
S
23
フィルタ
回路
VDD
22
26
電源回路
VCC
比較回路
21
G
20
HVIC
IN
PVCC
DS

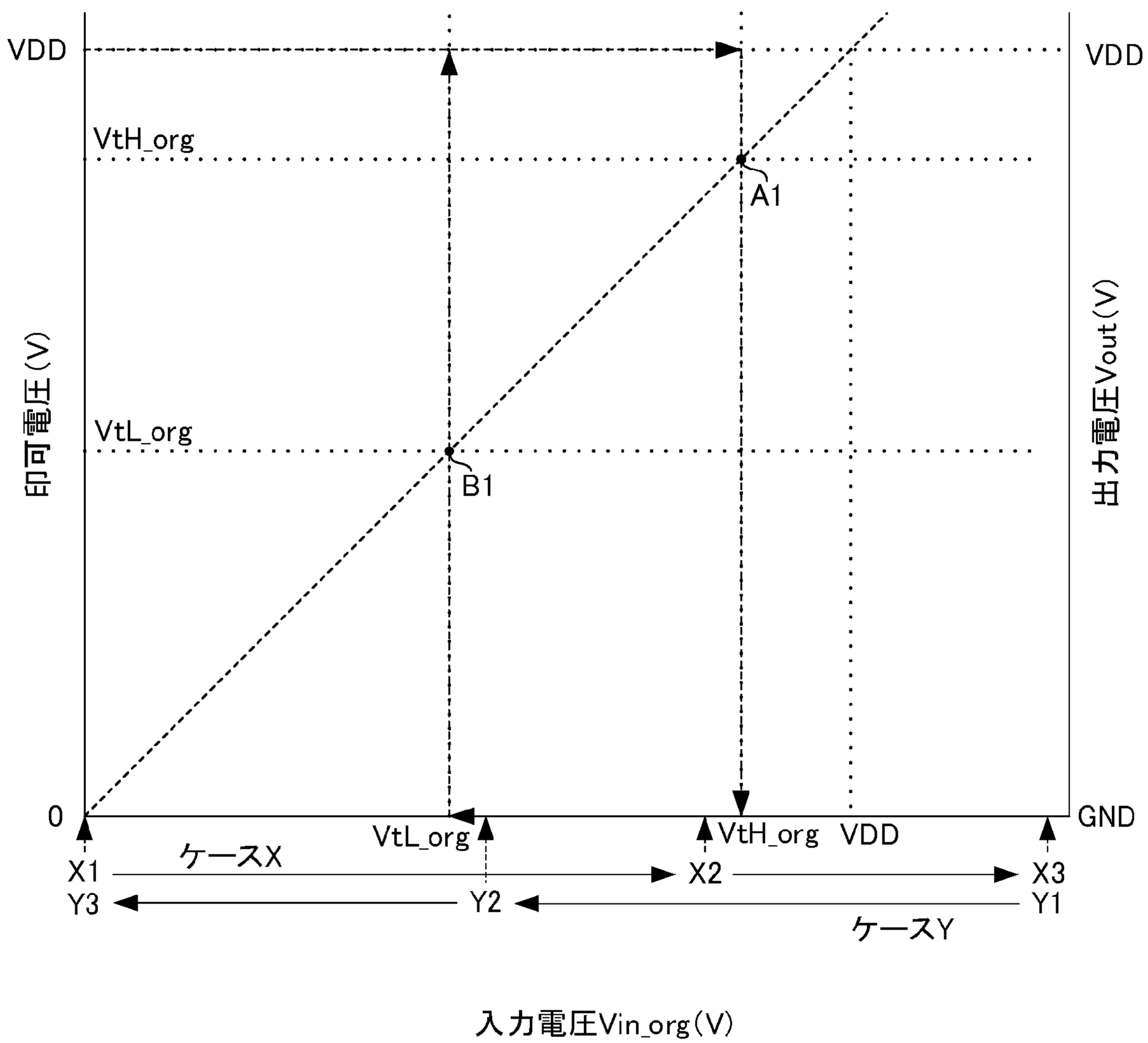
[図3]


21a
50
40a
VDD
41
R1
VNG
42
R2
55
56
54
IN(Vin)
N1
Vout
52
53
43
R3
44
VPG
R4
51

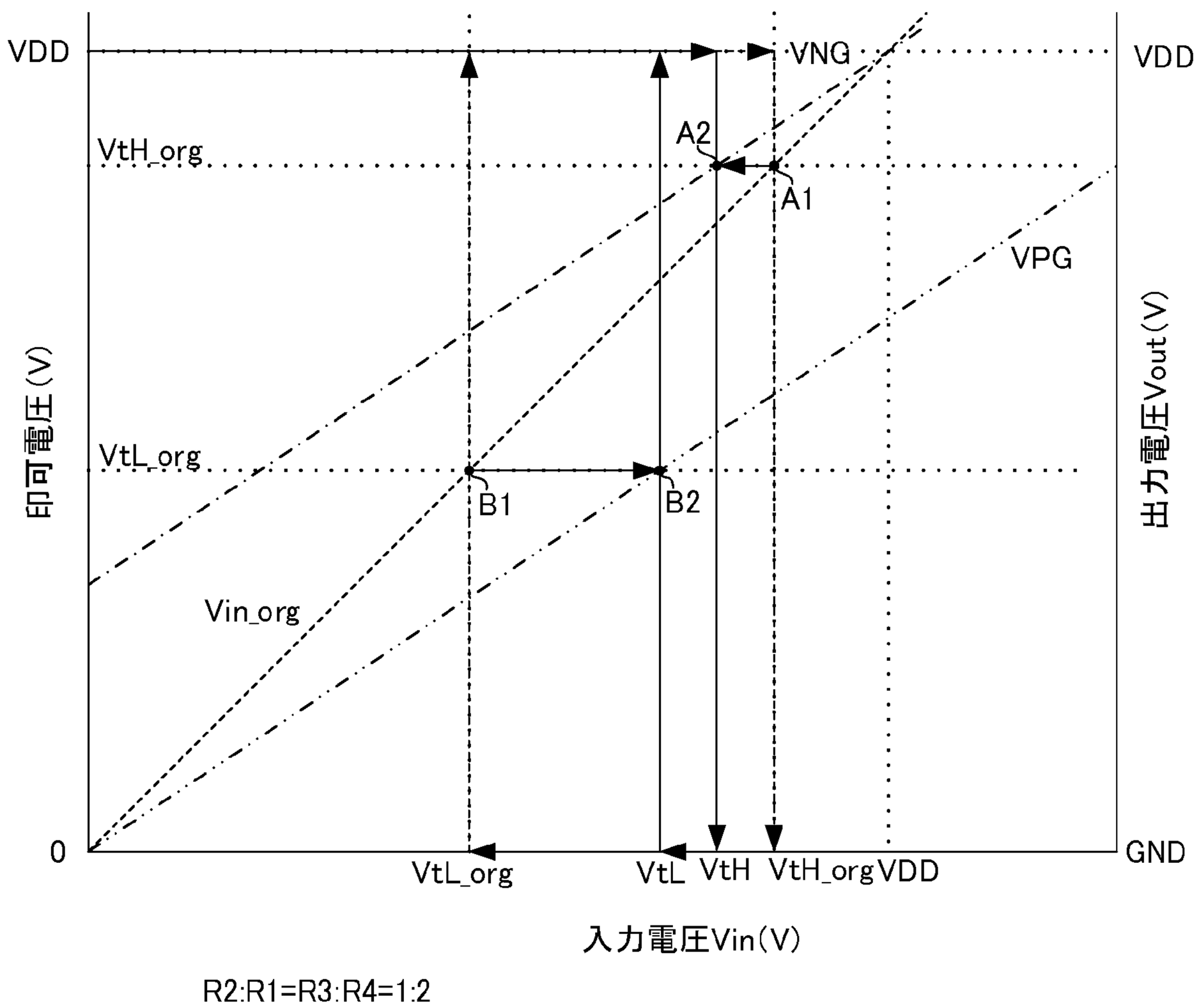
[図4]



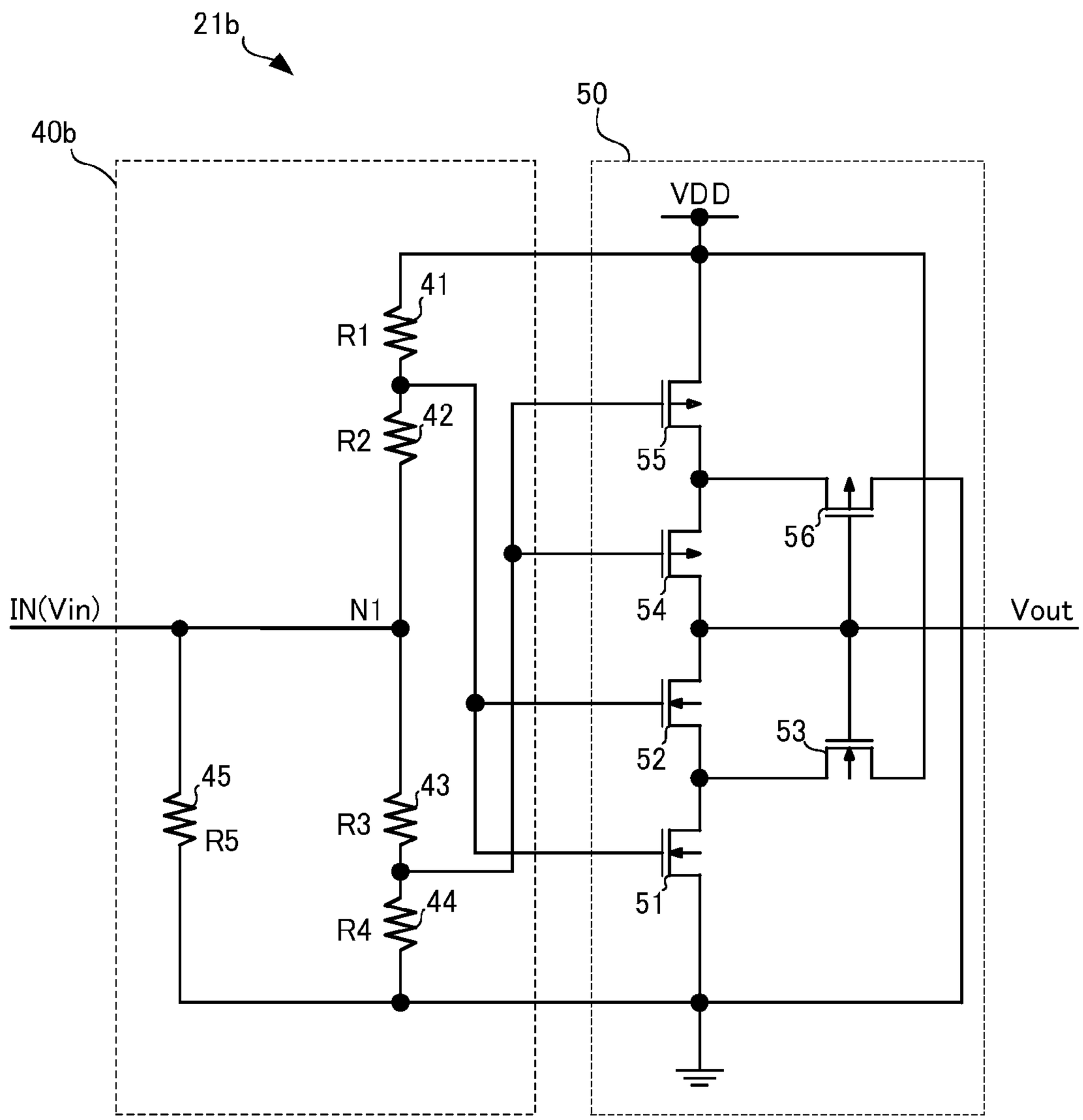
[図5]


VDD
VtH_org
A1
VtL_org
B1
印可電圧(V)
出力電圧Vout(V)
VDD
0
GND
VtL_org
VtH_org
VDD
ケースX
X1
X2
X3
Y3
Y2
Y1
ケースY
入力電圧Vin_org(V)

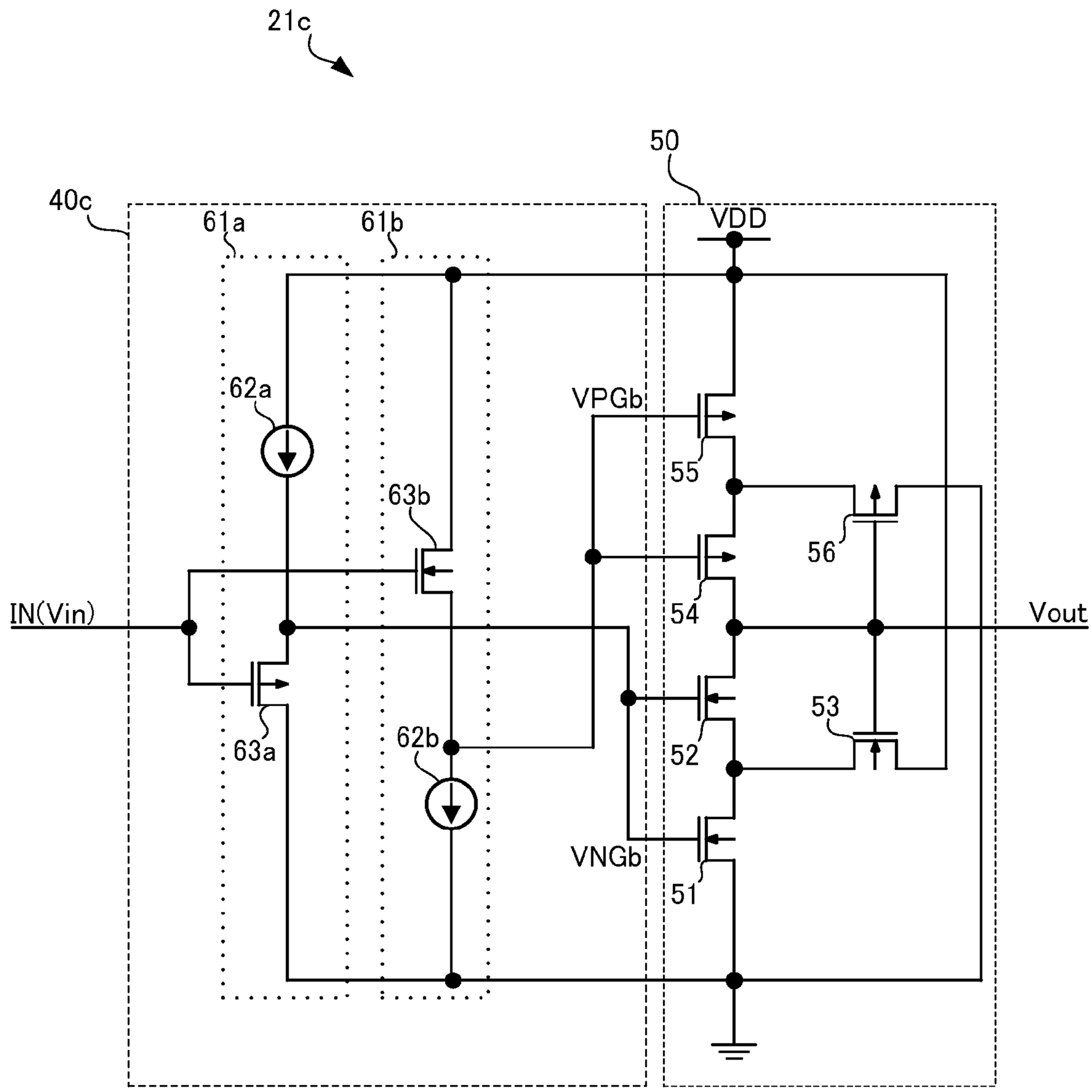
[図6]


VDD
VNG
VDD
VtH_org
A2
A1
VPG
印可電圧(V)
出力電圧Vout(V)
VtL_org
B1
B2
Vin_org
0
GND
VtL_org
VtL
VtH
VtH_org
VDD
入力電圧Vin(V)
R2:R1=R3:R4=1:2

[図7]


21b
50
40b
VDD
41
R1
42
R2
55
56
54
IN(Vin)
N1
Vout
52
53
45
R5
43
R3
51
44
R4

[図8]


21c
50
40c
61a
61b
VDD
62a
VPGb
55
63b
56
IN(Vin)
54
Vout
53
63a
62b
52
VNGb
51

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/040385

A. CLASSIFICATION OF SUBJECT MATTER
H03K 3/027(2006.01)i; H03K 3/353(2006.01)i; H03K 17/087(2006.01)i; H03K 5/08(2006.01)i
FI: H03K5/08 J; H03K3/027 A; H03K3/353 A; H03K17/687 F
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K3/027; H03K3/353; H03K17/687; H03K5/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5945859 A (PANG, Dai-Sung) 31 August 1999 (1999-08-31) entire text, all drawings	1-8
A	JP 2002-300011 A (SEIKO INSTRUMENTS INC.) 11 October 2002 (2002-10-11) entire text, all drawings	1-8
A	US 2000/0082392 A1 (KOO, Gye-Soo) 20 April 2000 (2000-04-20) entire text, all drawings	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 January 2021 (18.01.2021)	26 January 2021 (26.01.2021)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/040385

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 5945859 A	31 Aug. 1999	KR 10-0236058 B1 entire text, all drawings	
JP 2002-300011 A	11 Oct. 2002	(Family: none)	
US 2006/0082392 A1	20 Apr. 2006	KR 10-0559406 B1 entire text, all drawings	

国際調査報告

国際出願番号
PCT/JP2020/040385

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03K 3/027(2006.01)i; H03K 3/353(2006.01)i; H03K 17/687(2006.01)i; H03K 5/08(2006.01)i
FI: H03K5/08 J; H03K3/027 A; H03K3/353 A; H03K17/687 F

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03K3/027; H03K3/353; H03K17/687; H03K5/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 5945859 A (PANG, Dai Sung) 31.08.1999 (1999-08-31) 全文全図	1-8
A	JP 2002-300011 A (セイコーインスツルメンツ株式会社) 11.10.2002 (2002-10-11) 全文全図	1-8
A	US 2006/0082392 A1 (KOO, Gye-Soo) 20.04.2006 (2006-04-20) 全文全図	1-8

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
"A"　特に関連のある文献ではなく、一般的技術水準を示すもの
"E"　国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L"　優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O"　口頭による開示、使用、展示等に言及する文献
"P"　国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

"T"　国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X"　特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y"　特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&"　同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
18.01.2021	26.01.2021

名称及びあて先	権限のある職員（特許庁審査官）
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目４番３号	工藤　一光 5W 9274 電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/040385

引用文献	公表日	パテントファミリー文献	公表日
US 5945859 A	31.08.1999	KR 10-0236058 B1 全文全図	
JP 2002-300011 A	11.10.2002	（ファミリーなし）	
US 2006/0082392 A1	20.04.2006	KR 10-0559406 B1 全文全図	