

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年9月27日(2018.9.27)

【公表番号】特表2017-533493(P2017-533493A)

【公表日】平成29年11月9日(2017.11.9)

【年通号数】公開・登録公報2017-043

【出願番号】特願2017-511288(P2017-511288)

【国際特許分類】

G 06 F 15/78 (2006.01)

G 06 F 1/26 (2006.01)

【F I】

G 06 F 15/78 5 1 7

G 06 F 15/78 5 3 0

G 06 F 1/26 3 3 4 B

G 06 F 1/26 3 3 4 K

【手続補正書】

【提出日】平成30年8月16日(2018.8.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ポータブルコンピューティングデバイス(PCD)におけるシステムオンチップ(SoC)内の複数の処理サブシステムのうちの少なくとも1つの処理サブシステムでの外部アクセス検出および回復のための方法であって、

メモリ、センサ、およびモニタモジュールと通信しているプロセッサを備えた、前記SoCの少なくとも2つの処理サブシステムの各々を、前記SoCが低電力状態である間、互いおよび前記SoCの残部とは独立しておよび電気的に絶縁されて第1のモードで動作させるステップと、

前記SoCの前記少なくとも2つの処理サブシステムの各々において、

前記モニタモジュールを用いて、前記サブシステムの外部の構成要素への前記プロセッサによるアクセス要求を検出するステップと、

前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求に応答して、前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求が、前記センサからの信号に基づいているかどうかを、前記プロセッサによって決定するステップであって、そうである場合に：

前記SoCを全電力状態に入らせ、

前記少なくとも1つの処理サブシステムの前記モニタモジュールから前記プロセッサに、前記構成要素が前記サブシステムの外部にあることを前記プロセッサに通知する通知信号を送り、

前記少なくとも1つの処理サブシステムを、前記少なくとも1つの処理サブシステムが前記サブシステムの外部の前記構成要素にアクセスすることを可能にする第2のモードで動作させる、ステップと、

前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求に応答して、前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求が、前記サブシステムのプロセッサ上または前記サブシステム内で動作している何らかのコードまたはル

ーチンにおけるエラーの結果であるかどうかを、前記プロセッサによって決定するステップであって、そうである場合に：

前記モニタモジュールからの受信された通知信号に応答して、前記少なくとも1つの処理サブシステムの前記プロセッサを用いてエラーを訂正しようと努めるためにエラー処理ルーチンを起動する、ステップと
を含む、方法。

【請求項2】

前記SoCを全電力状態に入らせるステップが、

前記サブシステムの前記モニタモジュールから前記SoCの電力マネージャに信号を送つて、前記電力マネージャをアクティブにするステップ
をさらに含む、請求項1に記載の方法。

【請求項3】

前記モニタモジュールが、状態機械と通信しているハードウェアモニタを備え、前記サブシステムを前記第2のモードで動作させるステップが、前記モニタモジュールが前記状態機械をアクティブにして、前記サブシステムの絶縁ハードウェアを無効にするステップをさらに含む、請求項1に記載の方法。

【請求項4】

前記状態機械が、前記モニタモジュールの外部にある、請求項3に記載の方法。

【請求項5】

前記サブシステムの外部の前記構成要素がメモリである、請求項1に記載の方法。

【請求項6】

前記センサが、前記PCDの加速度計またはジャイロスコープのうちの少なくとも1つと通信している、請求項1に記載の方法。

【請求項7】

請求項1~6のいずれか一項に記載の方法を実施するための命令を含むコンピュータプログラム。

【請求項8】

ポータブルコンピューティングデバイス(PCD)におけるシステムオンチップ(SoC)内の複数の処理サブシステムのうちの少なくとも1つの処理サブシステムでの外部アクセス検出および回復のためのコンピュータシステムであって、

メモリ、およびセンサと通信しているプロセッサを備えた、前記SoCの少なくとも2つの処理サブシステムの各々を、前記SoCが低電力状態である間、互いおよび前記SoCの残部とは独立しておよび電気的に絶縁されて第1のモードで動作させるための手段を備え、

前記SoCの前記少なくとも2つの処理サブシステムの各々が、

前記サブシステムの外部の構成要素への前記プロセッサによるアクセス要求を検出するための手段と、

前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求に応答して、前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求が、前記センサからの信号に基づいているかどうかを、前記プロセッサによって決定するための手段と、
そうである場合に：

前記SoCを全電力状態に入らせるための手段と、

前記構成要素が前記サブシステムの外部にあることを前記プロセッサに通知する通知信号を前記プロセッサに送るための手段と、

前記少なくとも1つの処理サブシステムを、前記サブシステムが前記サブシステムの外部の前記構成要素にアクセスすることを可能にする第2のモードで動作させるための手段と、

前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求に応答して、前記サブシステムの外部の前記構成要素への前記検出されたアクセス要求が、前記サブシステムのプロセッサ上または前記サブシステム内で動作している何らかのコードまたはルーチンにおけるエラーの結果であるかどうかを、前記プロセッサによって決定するための

手段と、そうである場合に：

モニタモジュールからの受信された通知信号に応答して、前記サブシステムの前記プロセッサを用いてエラーを訂正しようと努めるためにエラー処理ルーチンを起動するための手段と

を備える、システム。

【請求項 9】

前記SoCを全電力状態に入らせるための前記手段が、

前記サブシステムから前記SoCの電力マネージャに信号を送って、前記電力マネージャをアクティブにするための手段

をさらに含む、請求項8に記載のシステム。

【請求項 10】

前記サブシステムを前記第2のモードで動作させるための前記手段が、前記サブシステムの絶縁ハードウェアを無効にするための手段をさらに含む、請求項8に記載のシステム。

【請求項 11】

前記サブシステムの外部の前記構成要素がメモリである、請求項8に記載のシステム。

【請求項 12】

前記センサが、前記PCDの加速度計またはジャイロスコープのうちの少なくとも1つと通信している、請求項8に記載のシステム。