(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4109413号
(P4109413)

(45)発行日　平成20年7月2日(2008.7.2)　(24)登録日　平成20年4月11日(2008.4.11)

(51)Int.Cl.			F I		
G02F	1/1368	(2006.01)	G02F	1/1368	
G09F	9/30	(2006.01)	G09F	9/30	338
H01L	29/786	(2006.01)	G09F	9/30	348A
			H01L	29/78	612C

請求項の数 7　(全 23 頁)

(21)出願番号　特願2000-377695(P2000-377695)
(22)出願日　平成12年12月12日(2000.12.12)
(65)公開番号　特開2002-182238(P2002-182238A)
(43)公開日　平成14年6月26日(2002.6.26)
審査請求日　平成16年1月22日(2004.1.22)
審判番号　不服2006-25726(P2006-25726/J1)
審判請求日　平成18年11月15日(2006.11.15)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100127661
弁理士　宮坂　一彦
(72)発明者　村出　正夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

合議体
審判長　吉野　公夫
審判官　三橋　健二
審判官　岩本　勉

最終頁に続く

(54)【発明の名称】基板装置の製造方法

(57)【特許請求の範囲】
【請求項１】
基板上に、エッチングによるパターニングを施して部分的に溝部を形成するとともに前記溝部内にエッチングせずに凸部として残す領域を形成する工程と、
前記溝部にスイッチング素子を形成するとともに、前記凸部の上方に前記スイッチング素子のソース・ドレイン領域の一方が下方側接続部として位置し、前記スイッチング素子のソース・ドレイン領域の他方が溝部に位置するように前記スイッチング素子を形成する工程と、
前記スイッチング素子の上方に第１層間絶縁膜を形成する工程と、
前記溝部に対向する個所において前記第１層間絶縁膜に設けたコンタクトホールを介して前記スイッチング素子のソース・ドレイン領域の他方と電気的に接続するように前記第１層間絶縁膜上に第１導電膜を形成する工程と、
前記第１導電膜の上方に第２層間絶縁膜を形成する工程と、
前記凸部に対向する個所において前記第１及び第２層間絶縁膜を除去して前記下方側接続部を露出させる工程と、
前記露出させる工程において露出した下方側接続部上に前記スイッチング素子のソース・ドレイン領域の一方と電気的に接続をとる第２導電膜の上方側接続部が位置するように、前記第２導電膜を前記第２層間絶縁膜上に形成して、前記凸部に対向する個所において、前記下方側接続部と前記上方側接続部とを電気的に接続する工程と、
を含むことを特徴とする基板装置の製造方法。

【請求項２】
前記スイッチング素子の下方側接続部を露出させる工程は、前記第１及び第２層間絶縁膜を平坦化して除去することで露出させることを特徴とする請求項１に記載の基板装置の製造方法。
【請求項３】
前記第２導電膜は金属膜をパターニングして形成することを特徴とする請求項１又は２に記載の基板装置の製造方法。
【請求項４】
基板上に、エッチングによるパターニングを施して部分的に溝部を形成するとともに前記溝部内にエッチングせずに凸部として残す領域を形成する工程と、
前記溝部にスイッチング素子を形成する工程と、
前記スイッチング素子の上方に第１層間絶縁膜を形成する工程と、
前記溝部に対向する個所において前記第１層間絶縁膜に設けたコンタクトホールを介して前記スイッチング素子と電気的に接続するように前記第１層間絶縁膜上に第１導電膜を形成するとともに、前記凸部の上方に前記第１導電膜の下方側接続部が位置するように前記第１導電膜を形成する工程と、
前記第１導電膜の上方に第２層間絶縁膜を形成する工程と、
前記第２層間絶縁膜の上方に第３層間絶縁膜を形成する工程と、
前記凸部に対向する個所において前記第２及び第３層間絶縁膜を除去して前記下方側接続部を露出させる工程と、
前記露出させる工程において露出した下方側接続部上に前記第１導電膜と電気的に接続をとる第３導電膜の上方側接続部が位置するように、前記第３導電膜を前記第３層間絶縁膜上に形成して、前記凸部に対向する個所において、前記下方側接続部と前記上方側接続部とを電気的に接続する工程と、
を含むことを特徴とする基板装置の製造方法。
【請求項５】
前記第１導電膜の下方側接続部を露出させる工程は、前記第２及び第３層間絶縁膜を平坦化して除去することで露出させることを特徴とする請求項４に記載の基板装置の製造方法。
【請求項６】
前記第１導電膜は半導体膜を導電化し、パターニングして形成することを特徴とする請求項４又は５に記載の基板装置の製造方法。
【請求項７】
前記第３導電膜は透明導電性膜をパターニングして形成することを特徴とする請求項４から６のいずれか一項に記載の基板装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、基板上に、データ線、走査線、容量線等の各種配線や、薄膜トランジスタ（以下適宜、ＴＦＴ（Thin Film Transistor）と称す）、薄膜ダイオード（以下適宜、ＴＦＤ（Thin Film Diode）と称す）等の各種画素スイッチング素子や、画素電極、容量電極等の各種電極などが形成されたアクティブマトリクス駆動方式の液晶装置等の電気光学装置及びその製造方法の技術分野に属し、より具体的には、基板上に各種配線、各種電子素子、各種電極などが形成された電気光学装置の基板装置及びその製造方法の技術分野に属する。
【０００２】
【背景技術】
この種の電気光学装置では、基板上に、データ線、走査線、容量線等の各種配線、ＴＦＴ、ＴＦＤ等の各種電子素子、画素電極などが層間絶縁膜を介して積層形成される。従って、これらの配線や素子の存在に起因して、層間絶縁膜を介してそれらの上方に位置する画

素電極の下地表面に凹凸が生じる。この結果、係る凹凸により画素電極に面する液晶の配向不良等の動作不良が生じ、光抜けによるコントラスト比の低下等の画像不良に繋がる。このため、ＴＦＴアレイ基板や対向基板を平面的に見て各種配線や各種素子を覆い隠すようにストライプ状や格子状の遮光膜を設けるのが一般的である。但し、表示画像を明るくするという当該電気光学装置の技術分野における基本的な要請に応えるためには、このように遮光膜で隠す領域を少しでも小さくすることが重要となる。

【０００３】

【発明が解決しようとする課題】

しかしながら、上述の電気光学装置では、例えばＴＦＴのソース側とデータ線との電気的な接続や、ＴＦＴのドレイン側と画素電極との電気的な接続は夫々、層間絶縁膜に開孔された一つのコンタクトホールを介してなされたり、或いは中継層を中継して複数のコンタクトホールを介してなされる。このため、平坦化処理を行なっても、コンタクトホールが開孔された周囲には、画素電極の下地表面に凹凸が生じてしまい、前述の如くコントラスト比の低下等の画像不良に繋がるという問題点がある。

【０００４】

本発明は上記問題点に鑑みなされたものであり、基板上で積層構造をなし且つ相互に層間絶縁される配線、電極、素子等の間が、接続個所及びその周辺における当該積層構造の上層に凹凸が殆ど生じないように相互に接続されており、しかも比較的容易に製造可能な電気光学装置及びその製造方法並びに基板装置及びその製造方法を提供することを課題とする。

【０００５】

【課題を解決するための手段】

本発明の基板装置の製造方法は、基板上に、エッチングによるパターニングを施して部分的に溝部を形成するとともに前記溝部内にエッチングせずに凸部として残す領域を形成する工程と、前記溝部にスイッチング素子を形成するとともに、前記凸部の上方に前記スイッチング素子のソース・ドレイン領域の一方が下方側接続部として位置し、前記スイッチング素子のソース・ドレイン領域の他方が溝部に位置するように前記スイッチング素子を形成する工程と、前記スイッチング素子の上方に第１層間絶縁膜を形成する工程と、前記溝部に対向する個所において前記第１層間絶縁膜に設けたコンタクトホールを介して前記スイッチング素子のソース・ドレイン領域の他方と電気的に接続するように前記第１層間絶縁膜上に第１導電膜を形成する工程と、前記第１導電膜の上方に第２層間絶縁膜を形成する工程と、前記凸部に対向する個所において前記第１及び第２層間絶縁膜を除去して前記下方側接続部を露出させる工程と、前記露出した下方側接続部上に前記スイッチング素子のソース・ドレイン領域の一方と電気的に接続をとる第２導電膜の上方側接続部が位置するように、前記第２導電膜を前記第２層間絶縁膜上に形成して、前記凸部に対向する個所において、前記下方側接続部と前記上方側接続部とを電気的に接続する工程と、を含むことを特徴とする基板装置の製造方法。また、本発明の基板装置の製造方法の他の態様では、基板上に、エッチングによるパターニングを施して部分的に溝部を形成するとともに前記溝部内にエッチングせずに凸部として残す領域を形成する工程と、前記溝部にスイッチング素子を形成する工程と、前記スイッチング素子の上方に第１層間絶縁膜を形成する工程と、前記溝部に対向する個所において前記第１層間絶縁膜に設けたコンタクトホールを介して前記スイッチング素子と電気的に接続するように前記第１層間絶縁膜上に第１導電膜を形成するとともに、前記凸部の上方に前記第１導電膜の下方側接続部が位置するように前記第１導電膜を形成する工程と、前記第１導電膜の上方に第２層間絶縁膜を形成する工程と、前記第２層間絶縁膜の上方に第３層間絶縁膜を形成する工程と、前記凸部に対向する個所において前記第２及び第３層間絶縁膜を除去して前記下方側接続部を露出させる工程と、前記露出した下方側接続部上に前記第１導電膜と電気的に接続をとる第３導電膜の上方側接続部が位置するように、前記第３導電膜を前記第３層間絶縁膜上に形成して、前記凸部に対向する個所において、前記下方側接続部と前記上方側接続部とを電気的に接続する工程と、を含むことを特徴とする

本発明の電気光学装置は上記課題を解決するために、一対の第１及び第２基板間に電気光学物質が挟持されてなり、前記第１基板上に、画素電極と、該画素電極に接続されたスイッチング素子と、該スイッチング素子に接続された配線と、前記画素電極、前記スイッチング素子及び前記配線間に形成された層間絶縁膜と、前記画素電極、前記スイッチング素子及び前記配線間で、電気的に接続された接続部とを備えており、前記第１基板の前記接続部の少なくとも１つの領域に凸部が形成されてなり、前記凸部で前記接続部の下方側接続部は隆起され、前記下方側接続部上の前記層間絶縁膜は除去されて上方側接続部と電気的に接続されている。

【０００６】

本発明の電気光学装置によれば、基板上に備えられておりデータ線、走査線等の配線に接続されたＴＦＴ、ＴＦＤ等のスイッチング素子により、画素電極をスイッチング制御することで、アクティブマトリクス駆動方式の駆動を行える。このような画素電極及びスイッチング素子の間や、配線及びスイッチング素子の間は、層間絶縁膜により層間絶縁されている。そして特に、層間絶縁膜が第１基板上に形成された凸部に対向する個所において除去されて、画素電極及びスイッチング素子の間や、配線及びスイッチング素子の間は、電気的に接続されている。

【０００７】

従って、層間絶縁膜が凸部に対向する個所において平坦化されることで除去されていれば、画素電極及びスイッチング素子の間の接続個所及びその周辺や、配線及びスイッチング素子の間の接続個所及びその周辺における画素電極の下地表面は平坦化されることになる。或いは、層間絶縁膜が凸部に対向する個所においてコンタクトホールが開孔されることで除去されていれば、凸部の高さに応じてコンタクトホールの深度が浅くて済むので、このような凸部が存在しない場合と比較して、当該接続個所及びその周辺における画素電極の下地表面に生じる凹凸は低減されることになる。しかも、本発明によるこのような効果は、第１基板に凸部を形成すれば得られるものであり、比較的簡単に実施可能である。

【０００８】

これらの結果、画素電極の下地表面における凹凸に起因した、液晶の配向不良等の動作不良を低減でき、最終的には、コントラスト比の低下等の画像不良を低減できる。

【０００９】

本発明の電気光学装置の一態様では、前記層間縁膜は、前記凸部に対向する個所においてＣＭＰ処理により除去されている。

【００１０】

この態様によれば、層間絶縁膜は、ＣＭＰ処理により平坦化されることで除去されているので、接続個所及びその周辺における画素電極の下地表面を、極めて良好に平坦化できる。

【００１１】

或いは本発明の電気光学装置の他の態様では、前記層間絶縁膜は、前記凸部に対向する個所においてコンタクトホールを開孔することにより除去されている。

【００１２】

この態様によれば、層間絶縁膜は、コンタクトホールが開孔されることで除去されているので、凸部の高さに応じてコンタクトホール及びその周辺における画素電極の下地表面に生じる凹凸を低減できる。

【００１３】

本発明の電気光学装置の他の態様では、前記画素電極及び前記スイッチング素子の間が中継層を中継して電気的に接続されており、前記層間絶縁膜が前記凸部に対向する個所において除去されて、前記画素電極と前記中継層との間及び前記スイッチング素子と前記中継層との間のうち少なくとも一方が電気的に接続されている。

【００１４】

この態様によれば、画素電極及びスイッチング素子の間は、中継層を中継して電気的に接続されている。このため、画素電極及びスイッチング素子の層間距離が長い場合にも、両

者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ両者間を接続できる。そして特に、層間絶縁膜が前記凸部に対向する個所において除去されて、画素電極及び中継層の間や、スイッチング素子及び中継層の間が、電気的に接続されている。従って、画素電極及び中継層の間の接続個所及びその周辺や、スイッチング素子及び中継層の間の接続個所及びその周辺における画素電極の下地表面に生じる凹凸を低減できる。

【００１５】

尚、中継層を介さずに画素電極及びスイッチング素子間を直接接続してもよいことは言うまでもない。また、画素電極及びスイッチング素子の間に代えて又は加えて、データ線等の配線及びスイッチング素子の間が、中継層を中継して電気的に接続されるように構成してもよい。

【００１６】

本発明の電気光学装置の他の態様では、前記凸部の高さと前記層間絶縁膜の膜厚とは、略等しい。

【００１７】

このように構成すれば、ＣＭＰ処理により平坦化することで層間絶縁膜を除去する場合には、凸部に応じて盛り上がった層間絶縁膜部分を研磨除去すれば、スイッチング素子の接続用部分を層間絶縁膜から露出させることができる。或いは、コンタクトホールを開孔することで層間絶縁膜を除去する場合には、凸部の周囲で盛り上がっていない層間絶縁膜部分の表面の高さになるまで開孔すれば、スイッチング素子の接続用部分を層間絶縁膜から露出させることができる。従って、簡単にして画素電極の下地表面の凹凸を非常に低減でき、且つ接続個所における信頼性を高められる。

【００１８】

本発明の電気光学装置の他の態様では、前記凸部は、前記第１基板の一部として形成されている。

【００１９】

この態様によれば、第１基板の一部として形成された凸部により、その上方における接続個所及びその周辺における画素電極の下地表面を、平坦化できる。特に、第１基板に対するフォトリソグラフィ、エッチング等により、このような構成は比較的簡単に実現可能である。

【００２０】

この態様では、前記第１基板には、前記配線及び前記スイッチング素子が前記層間絶縁膜を介して少なくとも部分的に埋め込まれる溝が掘られており、前記凸部は、前記溝が掘られないことにより形成されてもよい。

【００２１】

このように構成すれば、配線及びスイッチング素子を溝に埋め込むことにより、これらの上方に位置する画素電極の下地表面を平坦化でき、その凹凸に起因する液晶の配向不良等の動作不良をより低減できる。しかも、凸部は、このような溝が掘られないことにより形成されるので、第１基板に対する例えば、フォトリソグラフィ、エッチング等により、これらの溝及び凸部を一括して形成できるので、当該電気光学装置の積層構造及び製造プロセスを簡略化する上で大変有利である。この場合例えば、凸部は平面的に見て周囲を溝で囲まれた島状領域に形成される。

【００２２】

或いは本発明の電気光学装置の他の態様では、前記凸部は、前記第１基板上に設けられた島状部材から形成されている。

【００２３】

この態様によれば、島状部材から形成された凸部により、その上方における接続個所及びその周辺における画素電極の下地表面を、平坦化できる。このような島状部材は、例えば、所定膜厚を持つ島状の膜片からなり、他の遮光膜、誘電体膜、半導体層、配線用の導電膜等と同一膜を利用してもよいし、専用の膜から別途追加形成してもよい。

【００２４】

本発明の電気光学装置の他の態様では、前記凸部は、テーパを持つ。
【００２５】
この態様によれば、凸部は、テーパを持つので、凸部の上方に形成されるスイッチング素子の接続用部分を構成する導電膜、中継層等の凸部に係る側壁への付き回りが良くなる。このため、接続不良が発生し難くなるので、装置信頼性を向上できる。
【００２６】
本発明の電気光学装置の他の態様では、前記スイッチング素子の下方に積層された下地絶縁膜を更に備えており、前記凸部は、前記基板に代えて又は加えて前記下地絶縁膜に形成されている。
【００２７】
この態様によれば、基板に代えて又は加えて、基板上の下地絶縁膜に形成された凸部によって、その上方における接続個所及びその周辺における画素電極の下地表面を、平坦化できる。
【００２８】
本発明の電気光学装置の製造方法は上記課題を解決するために、上述した本発明の電気光学装置（その各種態様を含む）を製造する電気光学装置の製造方法であって、前記第１基板に前記凸部を形成する工程と、前記凸部の上方に前記スイッチング素子の下方側接続部が位置するように前記スイッチング素子を形成する工程と、前記スイッチング素子の上方に前記層間絶縁膜を形成する工程と、前記凸部に対向する個所において前記層間絶縁膜を除去して、前記下方側接続部を露出させる工程と、前記露出した下方側接続部上に前記配線又は前記画素電極の上方側接続部が位置するように、前記層間絶縁膜上に前記配線又は前記画素電極を形成する工程とを備える。
【００２９】
本発明の電気光学装置の製造方法によれば、上述の如く接続個所及びその周辺における画素電極の下地表面に生じる凹凸が低減された本発明の電気光学装置（その各種態様を含む）を、先ず第１基板に凸部を形成し、その後これに応じて盛り上がった層間絶縁膜部分を除去するという比較的簡単な工程を用いて製造できる。
【００３０】
本発明の電気光学装置の製造方法の一態様では、前記露出させる工程は、ＣＭＰ（化学的機械研磨）処理により前記層間絶縁膜を平坦化することにより、前記下方側接続部を露出させる。
【００３１】
この態様によれば、上述の如く接続個所及びその周辺における画素電極の下地表面が極めて良好に平坦化された本発明の電気光学装置を、先ず第１基板に凸部を形成し、その後これに応じて盛り上がった層間絶縁膜部分をＣＭＰ処理により平坦化するという比較的簡単な工程を用いて製造できる。
【００３２】
本発明の電気光学装置の製造方法の他の態様では、前記凸部を形成する工程は、前記第１基板を前記凸部を残すようにエッチングすると共に前記配線及び前記スイッチング素子が前記層間絶縁膜を介して少なくとも部分的に埋め込まれる溝を形成するエッチング工程を含む。
【００３３】
この態様によれば、接続個所やその周辺のみならず、配線やスイッチング素子の上方における画素電極の下地表面が良好に平坦化された本発明の電気光学装置を製造できる。しかも、第１基板に対するエッチングにより、これらの溝及び凸部を一括して形成できるので、製造工程の簡略化を図る上で大変有利である。例えば、本発明の如く基板に凸部を形成しないものの、平坦化のために配線やスイッチング素子を埋め込む溝を掘る工程を含む製造方法と比べると、工程数の増加は無くて済む。
【００３４】
本発明の基板装置は上記課題を解決するために、前記基板上に、第１平面パターンを有す

る第１導電膜と、該第１導電膜上に積層された層間絶縁膜と、該層間絶縁膜上に形成されており第２平面パターンを有する第２導電膜とを備えており、前記基板に凸部が形成されており、前記層間絶縁膜が前記凸部に対向する個所において平坦化されることで除去されて、前記第１導電膜と前記第２導電膜との間が電気的に接続されている。

【００３５】

本発明の基板装置によれば、基板上において相互に層間絶縁された第１平面パターンを有する第１導電膜と第２平面パターンを有する第２導電膜とから、各種の電子素子、配線、接続部等が作り込まれ、半導体回路装置、電気光学装置に係る素子アレイ基板装置等の基板装置が構築される。ここで特に、層間絶縁膜が凸部に対向する個所において平坦化されることで除去されて、積層構造をなし且つ相互に層間絶縁される第１導電膜と第２導電膜との間が電気的に接続されている。従って、これら第１導電膜及び第２導電膜の間の接続個所及びその周辺における積層構造の上層は平坦化されることになる。しかも、本発明によるこのような効果は、基板に凸部を形成すれば得られるものであり、比較的簡単に実施可能である。

【００３６】

これらの結果、基板上の積層構造の上層における平坦化が何らかの利益をもたらす半導体回路装置、素子アレイ基板装置等の基板装置に本発明は好適に適用される。

【００３７】

本発明の基板装置の製造方法は上記課題を解決するために、上述した本発明の基板装置を製造する基板装置の製造方法であって、前記基板に前記凸部を形成する工程と、前記凸部の上方に前記第１導電膜の下方側接続部が位置するように前記第１導電膜を形成する工程と、前記第１導電膜の上方に前記層間絶縁膜を形成する工程と、前記凸部に対向する個所において前記層間絶縁膜を平坦化することで除去して、前記下方側接続部を露出させる工程と、前記露出した下方側接続部上に前記第２導電膜の上方側接続部が位置するように、前記層間絶縁膜上に前記第２導電膜を形成する工程とを備える。

【００３８】

本発明の基板装置の製造方法によれば、上述の如く接続個所及びその周辺における積層構造の上層に生じる凹凸が低減された本発明の基板装置を、先ず第１基板に凸部を形成し、その後これに応じて盛り上がった層間絶縁膜部分を平坦化することで除去するという比較的簡単な工程を用いて製造できる。

【００３９】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【００４０】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【００４１】

（第１実施形態の電気光学装置）

先ず本発明の第１実施形態の電気光学装置について、図１から図５を参照して説明する。図１は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図２は、データ線、走査線、画素電極等が形成されたＴＦＴアレイ基板の相隣接する複数の画素群の平面図である。図３は、図２のＡ－Ａ’断面図であり、図４は、図２のＢ－Ｂ’断面図であり、図５は、図２のＣ－Ｃ’断面図である。尚、図３から図５においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【００４２】

図１において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極９ａと当該画素電極９aをスイッチング制御するためのＴＦＴ３０とが形成されており、画像信号が供給されるデータ線６ａが当該ＴＦＴ３０のソースに電気的に接続されている。データ線６ａに書き込む画像信号Ｓ１、Ｓ

２、…、Ｓｎは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線６ａ同士に対して、グループ毎に供給するようにしても良い。また、ＴＦＴ３０のゲートに走査線３ａが電気的に接続されており、所定のタイミングで、走査線３ａにパルス的に走査信号Ｇ１、Ｇ２、…、Ｇｍを、この順に線順次で印加するように構成されている。画素電極９ａは、ＴＦＴ３０のドレインに電気的に接続されており、スイッチング素子であるＴＦＴ３０を一定期間だけそのスイッチを閉じることにより、データ線６ａから供給される画像信号Ｓ１、Ｓ２、…、Ｓｎを所定のタイミングで書き込む。画素電極９ａを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号Ｓ１、Ｓ２、…、Ｓｎは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極９ａと対向電極との間に形成される液晶容量と並列に蓄積容量７０を付加する。蓄積容量７０は、ＴＦＴ３０のドレインから延設された画素電位側容量電極と容量線３００の一部からなる固定電位側容量電極との間に誘電体膜を介して形成される。

【００４３】

図２において、電気光学装置のＴＦＴアレイ基板上には、マトリクス状に複数の透明な画素電極９ａ（点線部９ａ’により輪郭が示されている）が設けられており、画素電極９ａの縦横の境界に各々沿ってデータ線６ａ及び走査線３ａが設けられている。

【００４４】

また、半導体層１ａのうち図中右上がりの斜線領域で示したチャネル領域１ａ’に対向するように走査線３ａが配置されており、走査線３ａはゲート電極として機能する。このように、走査線３ａとデータ線６ａとの交差する個所には夫々、チャネル領域１ａ’に走査線３ａがゲート電極として対向配置された画素スイッチング用のＴＦＴ３０が設けられている。

【００４５】

図２から図５に示すように、容量線３００は、蓄積容量７０の固定電位側容量電極としての機能の他、ＴＦＴ３０の上側において入射光からＴＦＴ３０を遮光する遮光層としての機能を持たせても良い。これにより、ＴＦＴアレイ基板１０上での内蔵遮光が実現できるため、対向基板２０上の遮光膜を省くことができる。そして、ＴＦＴアレイ基板１０と対向基板２０の貼り合わせズレが生じても光が透過する領域は変化しないため、透過率のばらつきのない液晶装置を実現することができる。

【００４６】

他方、容量線３００に対して、誘電体膜７５を介して対向配置される中継層７１は、画素電極９ａとＴＦＴ３０の高濃度ドレイン領域１ｅとを中継接続する機能を持ち、更に蓄積容量７０の画素電位側容量電極としての機能を持つ。

【００４７】

本実施形態では、蓄積容量７０は、ＴＦＴ３０の高濃度ドレイン領域１ｅ及び画素電極９ａに接続された画素電位側容量電極としての中継層７１と、固定電位側容量電極としての容量線３００の一部とが、誘電体膜７５を介して対向配置されることにより形成されている。

【００４８】

容量線３００は図２に示すように平面的に見て、走査線３ａに沿ってストライプ状に伸びる本線部分を含み、この本線部分からＴＦＴ３０に重なる個所が上下に突出している。そして、縦方向に夫々伸びるデータ線６ａと横方向に夫々伸びる容量線３００とが交差する領域に、ＴＦＴアレイ基板１０上におけるＴＦＴ３０が配置されている。そして、このように相交差するデータ線６ａと容量線３００とにより、平面的に見て格子状の遮光層が構

成されており、各画素の開口領域を規定している。
【００４９】
他方、ＴＦＴアレイ基板１０上におけるＴＦＴ３０の下側には、図２中太線で示した下側遮光膜１１ａが格子状に設けられている。
【００５０】
これらの遮光層の一例を構成する容量線３００及び下側遮光膜１１ａは夫々、例えば、Ｔｉ（チタン）、Ｃｒ（クロム）、Ｗ（タングステン）、Ｔａ（タンタル）、Ｍｏ（モリブデン）、Ｐｂ（鉛）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。ここでは特に容量線３００については、導電性のポリシリコン膜等からなる第１膜と高融点金属を含む金属シリサイド膜等からなる第２膜とが積層された多層構造を持つように構成してもよい。この場合、ＴＦＴ３０側の第１膜は、光吸収層としての機能を持ち、当該電気光学装置内で発生する内面反射光や多重反射光を吸収除去できる。
【００５１】
また図４及び図５において、容量電極としての中継層７１と容量線３００との間に配置される誘電体膜７５は、例えば膜厚２００ｎｍ以下の薄いＨＴＯ膜、ＬＴＯ膜等の酸化シリコン膜、窒化酸化膜、あるいは窒化シリコン膜等から構成される。蓄積容量７０を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜７５は薄い程良い。
【００５２】
図３から図５に示すように、電気光学装置は、透明なＴＦＴアレイ基板１０と、これに対向配置される透明な対向基板２０とを備えている。ＴＦＴアレイ基板１０は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板２０は、例えばガラス基板や石英基板からなる。
【００５３】
ＴＦＴアレイ基板１０には、図２中右下がりの斜線領域において、格子状の溝１０ｃｖが掘られている。走査線３ａ、データ線６ａ、ＴＦＴ３０等の配線や素子等は、この溝１０ｃｖ内に埋め込まれている。これにより、配線、素子等が存在する領域と存在しない領域との間における段差が緩和されており、最終的には段差に起因した液晶の配向不良等の画像不良を低減できる。
【００５４】
図５において、画素スイッチング用ＴＦＴ３０は、ＬＤＤ（Lightly Doped Drain）構造を有しており、走査線３ａ、当該走査線３ａからの電界によりチャネルが形成される半導体層１ａのチャネル領域１ａ’、走査線３ａと半導体層１ａとを絶縁するゲート絶縁膜２、半導体層１ａの低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃ、半導体層１ａの高濃度ソース領域１ｄ並びに高濃度ドレイン領域１ｅを備えている。
【００５５】
走査線３ａ上には、高濃度ソース領域１ｄへ通じるコンタクトホール６０１及び高濃度ドレイン領域１ｅへ通じるコンタクトホール６０３が各々開孔された第１層間絶縁膜４１が形成されている。
【００５６】
図４に示すように、第１層間絶縁膜４１上には、中継層７１及び容量線３００からなる蓄積容量７０が形成されており、これらの上には、中継層７１へ通じるコンタクトホール６０２が開孔された第２層間絶縁膜４２が形成されている。
【００５７】
尚、本実施形態では、第１層間絶縁膜４１に対しては、１０００℃の焼成を行うことにより、半導体層１ａや走査線３ａを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第２層間絶縁膜４２に対しては、このような焼成を行わないことにより、容量線３００の界面付近に生じるストレスの緩和を図るようにしてもよい。
【００５８】

第２層間絶縁膜４２上にはデータ線６ａが形成されており、これらの上には、中継層７１へ通じるコンタクトホール６０２が開孔された第３層間絶縁膜４３が形成されている。画素電極９ａは、このように構成された第３層間絶縁膜４３の上面に設けられている。特に、コンタクトホール６０１及び６０２の開孔領域付近における第３層間絶縁膜４３は、その表面の凹凸が、後述するように、凸部５０１及び５０２の存在により低減されている。

【００５９】

図２及び図３に示すように、半導体層１ａの高濃度ソース領域１ｄとデータ線６ａとを接続するコンタクトホール６０１の開孔領域には、溝１０ｃｖを局所的に形成しないことにより、基板１０の表面に島状の凸部５０１が形成されている。この凸部５０１の存在により、その上に積層された下側遮光膜１１ａ、下地絶縁膜１２及び半導体層１ａが盛り上げられている。そして、このように盛り上げられた半導体層１ａの高濃度ソース領域１ｄがコンタクトホール６０１の底に露出し、この露出した高濃度ソース領域１ｄの上面と、この領域におけるデータ線６ａの下面とが接触するように構成されている（図３参照）。すなわち、コンタクトホール６０１は第２層間絶縁膜４２、誘電体膜７５、第１層間絶縁膜４１、ゲート絶縁膜２に開孔している。

【００６０】

従って、凸部５０１の高さに応じてコンタクトホール６０１の深度が浅くて済むので、このような凸部５０１が存在しない場合と比較して、当該接続個所及びその周辺における画素電極９ａの下地表面に生じる凹凸は低減される（図３参照）。しかも、このような凸部５０１は、ＴＦＴアレイ基板１０に溝１０ｃｖを局所的に形成しないことにより簡単に形成できる。

【００６１】

また、図２及び図４に示すように、中継層７１と画素電極９ａとを接続するコンタクトホール６０２の開孔領域には、溝１０ｃｖを局所的に形成しないことにより、ＴＦＴアレイ基板１０の表面に島状の凸部５０２が形成されている。この凸部５０２の存在により、その上に積層された下側遮光膜１１ａ、下地絶縁膜１２、第１層間絶縁膜４１及び中継層７１が盛り上げられている。そして、このように盛り上げられた中継層７１がコンタクトホール６０２の底に露出し、この露出した中継層７１の上面と、この領域における画素電極９ａの下面とが接触するように構成されている（図４参照）。すなわち、コンタクトホール６０２は第３層間絶縁膜４３、第２層間絶縁膜４２、誘電体膜７５に開孔している。

【００６２】

従って、凸部５０２の高さに応じてコンタクトホール６０２の深度が浅くて済むので、このような凸部５０２が存在しない場合と比較して、当該接続個所及びその周辺における画素電極９ａの下地表面に生じる凹凸は低減される（図４参照）。しかも、このような凸部５０２は、ＴＦＴアレイ基板１０に溝１０ｃｖを局所的に形成しないことにより簡単に形成できる。

【００６３】

しかも、本実施形態では、凸部５０１及び５０２には、夫々テーパが形成されており、これに応じてコンタクトホール６０１及び６０２は夫々、テーパを持つ（図３及び図４参照）。このため、コンタクトホール６０１の側壁におけるデータ線６ａ或いはコンタクトホール６０２の側壁における画素電極９ａの側壁への付き回りが良くなるため、良好に電気的な接続が実現できる。

【００６４】

なお、コンタクトホール６０１及び６０２の形成時に半導体層１ａの高濃度ソース領域１ｄや中継層７１が除去されても、その除去された周囲の高濃度ソース領域１ｄや中継層７１と、データ線６ａや画素電極９ａと導通を図ることができれば良い。

【００６５】

図２及び図５に示すように、半導体層１ａの高濃度ドレイン領域１ｅと中継層７１とを接続するコンタクトホール６０３については、その開孔領域における基板１０には、凸部を形成していない。これは、コンタクトホール６０３の深度は、第１層間絶縁膜４１のみの

層厚にほぼ等しく、コンタクトホール６０１及び６０２と比較して、深度が浅いため凸部を形成しなくても当該コンタクトホールによる接続を比較的簡単に構築できるためである。但し、コンタクトホール６０３を、上述したコンタクトホール６０１又は６０２の如く、基板１０に形成した凸部上に開孔することは可能である。

【００６６】

このように中継層７１を利用すれば、高濃度ドレイン領域１ｅ及び画素電極９ａ間の層間距離が例えば２０００ｎｍ程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホール６０３及び６０２で両者間を良好に接続でき、画素開口率を高めることが可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【００６７】

図２において、容量線３００は、走査線３ａに沿って画素電極９ａが配置された画像表示領域からその周囲に延設され、定電位源と電気的に接続されて、固定電位とされる。係る定電位源としては、ＴＦＴ３０を駆動するための走査信号を走査線３ａに供給するための走査線駆動回路（後述する）や画像信号をデータ線６ａに供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でもよいし、対向基板２０の対向電極２１に供給される定電位でも構わない。更に、下側遮光膜１１ａについても、その電位変動がＴＦＴ３０に対して悪影響を及ぼすことを避けるために、容量線３００と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【００６８】

図３から図５に示すように、ＴＦＴアレイ基板１０には、画素電極９ａが設けられており、その上側には、第３層間絶縁膜４３を介してラビング処理等の所定の配向処理が施された配向膜１６が設けられている。画素電極９ａは例えば、ＩＴＯ（Indium Tin Oxide）膜などの透明導電性膜からなる。また配向膜１６は例えば、ポリイミド膜などの有機膜からなる。

【００６９】

他方、対向基板２０には、その全面に渡って対向電極２１が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜２２が設けられている。対向電極２１は例えば、ＩＴＯ膜などの透明導電性膜からなる。また配向膜２２は、ポリイミド膜などの有機膜からなる。

【００７０】

対向基板２０には、格子状又はストライプ状の遮光膜を設けるようにしてもよい。このような構成を採ることで、前述の如く遮光層を構成する容量線３００及びデータ線６ａと共に当該対向基板２０上の遮光膜により、対向基板２０側からの入射光がチャネル領域１ａ’や低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃに侵入するのを、より確実に阻止できる。更に、このような対向基板２０上の遮光膜は、少なくとも入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。尚、このように対向基板２０上の遮光膜は好ましくは、平面的に見て容量線３００とデータ線６ａとからなる遮光層の内側に位置するように形成する。これにより、対向基板２０上の遮光膜により、各画素の開口率を低めることなく、このような遮光及び温度上昇防止の効果が得られる。

【００７１】

このように構成された、画素電極９ａと対向電極２１とが対面するように配置されたＴＦＴアレイ基板１０と対向基板２０との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層５０が形成される。液晶層５０は、画素電極９ａからの電界が印加されていない状態で配向膜１６及び２２により所定の配向状態をとる。液晶層５０は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、ＴＦＴアレイ基板１０及び対向基板２０をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定

値とするためのグラスファイバー或いはガラスビーズ等のギャップ材が混入されている。
【００７２】
更に、画素スイッチング用ＴＦＴ３０の下には、下地絶縁膜１２が設けられている。下地絶縁膜１２は、下側遮光膜１１ａからＴＦＴ３０を層間絶縁する機能の他、ＴＦＴアレイ基板１０の全面に形成されることにより、ＴＦＴアレイ基板１０の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用ＴＦＴ３０の特性が変化するのを防止する機能を有する。
【００７３】
以上のように構成された本実施形態によれば、対向基板２０側からＴＦＴ３０のチャネル領域１ａ’及びその付近に入射光が入射しようとすると、データ線６ａ及び内蔵遮光膜の一例たる容量線３００で遮光を行う。他方、ＴＦＴアレイ基板１０側から、ＴＦＴ３０のチャネル領域１ａ’及びその付近に戻り光が入射しようとすると、下側遮光膜１１ａで遮光を行う。特に、複板式のカラー表示用のプロジェクタ等で複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合には、他の電気光学装置からプリズム等を突き抜けて来る投射光は強力であるので、有効である。これらの結果、ＴＦＴ３０の特性が光リークにより変化することは殆ど無くなり、当該電気光学装置では、非常に高い耐光性が得られる。
【００７４】
そして特に本実施形態によれば、データ線６ａ、走査線３ａ、容量線３００及びＴＦＴ３０が溝１０ｃｖ内に埋め込まれることにより、第３層間絶縁膜４３の表面（即ち、画素電極９ａの下地表面）の凹凸が低減されているだけでなく、凸部５０１及び５０２の高さに応じてコンタクトホール６０１及び６０２付近における第３層間絶縁膜４３の表面の凹凸が低減されている。従って、画素電極９ａ表面の凹凸に起因した液晶の配向不良を非常に低減でき、最終的に光抜けが少なく高コントラストで高品位の画像を表示できる。しかも、このような構成を可能ならしめる凸部５０１及び６０１は、基板１０に溝１０ｃｖを局所的に形成しないことで比較的簡単に得られる。更に、凸部５０１の高さと第２層間絶縁膜４２の膜厚とは略等しいので、コンタクトホール６０１を開孔することで高濃度ソース領域１ｄをコンタクトホール６０１内に比較的簡単に露出させることができる。同様に、凸部５０２の高さと第３層間絶縁膜４３の膜厚とは略等しいので、コンタクトホール６０２を開孔することで中継層７１をコンタクトホール６０２内に比較的簡単に露出させることができる。加えて、本実施形態では特に、凸部５０１及び５０２には、夫々テーパが形成されており、コンタクトホール６０１及び６０２の側壁におけるデータ線６ａ及び画素電極９ａの側壁への付き回りが良いので、装置信頼性の高い電気光学装置を実現できる。
【００７５】
以上説明した実施形態では、蓄積容量７０の固定電位側電極を含む容量線３００を、内蔵遮光膜とする構成を採用しているが、蓄積容量７０の画素電位側電極を内蔵遮光膜として構成することも可能であり、或いは画素電極９ａとＴＦＴ３０とを中継接続する中継層を内蔵遮光膜として構成することも可能である。いずれの場合にも、高融点金属膜等の導電性の遮光膜から画素電位側容量電極或いは中継層を形成すればよい。
【００７６】
以上説明した実施形態では、図３から図５に示したように多数の導電層を積層することにより、画素電極９ａの下地面におけるデータ線６ａや走査線３ａに沿った領域に段差が生じるのを、ＴＦＴアレイ基板１０に溝１０ｃｖを形成することで緩和しているが、これに変えて又は加えて、下地絶縁膜１２、第１層間絶縁膜４１、第２層間絶縁膜４２、第３層間絶縁膜４３に溝を形成して、データ線６ａ等の配線やＴＦＴ３０等を埋め込むことにより平坦化処理を行ってもよいし、第３層間絶縁膜４３や第２層間絶縁膜４２の上面の段差をＣＭＰ（Chemical Mechanical Polishing）処理等で研磨することにより、或いは有機ＳＯＧ（Spin On Glass）を用いて平らに形成することにより、当該平坦化処理を行ってもよい。
【００７７】

加えて本実施形態では、図２に示したようにデータ線６ａ、走査線３ａ、容量線３００及びＴＦＴ３０を埋め込むように格子状に溝１０ｃｖを形成しているが、データ線６ａに沿った平面領域において少なくとも部分的に溝１０ｃｖを形成しないことにより、走査線３ａに沿って伸びる土手部分を画素電極９ａの下地表面に形成してもよい。即ち、このように構成すれば、液晶に印加する電圧を画像信号のフィールド毎或いはフレーム毎等に走査線３ａに沿った画素群単位で反転させる走査線反転駆動方式を採用した場合に、データ線６ａの方向に相隣接する画素電極９ａの間に発生する横電界による悪影響を低減できる。より具体的には、土手部分上の画素電極縁部と対向電極との距離が短くなる分だけ、この横電界の発生領域で縦電界を強めることができ、横電界による液晶の配向不良を低減できる。この結果、横電界に起因する液晶の配向不良による光抜を防止でき、コントラスト比を向上できる。そして、このように走査線反転駆動方式を採用すれば、直流電圧の印加による液晶の劣化防止や、表示画像におけるフリッカ予防に役立つ。

【００７８】

（第１実施形態の製造方法）

次に、上述の如き構成を有する第１実施形態の電気光学装置における特にＴＦＴアレイ基板１０側の製造方法について、コンタクトホール６０１及び６０２に係る工程を中心として、図６から図９を参照して説明する。ここに図６及び図７は、第１実施形態の製造プロセスの各工程におけるＴＦＴアレイ基板１０側の各層を、図３と同様に図２のＡ－Ａ’断面に対応させて示す工程図である。他方、図８及び図９は、図４と同様に図２のＢ－Ｂ’断面に対応させて示す工程図である。

【００７９】

先ず図６及び図８の工程（２）に示すように、石英基板、ハードガラス、シリコン基板等のＴＦＴアレイ基板１０を用意し、フォトリソグラフィ並びにドライエッチング及びウエットエッチングにより、図２に示した平面パターンを有する、例えば深度１００ｎｍ～１０００ｎｍ程度、好ましくは深度８００ｎｍ程度の溝１０ｃｖを形成する。係る深度としては、実際の装置仕様に応じてコンタクトホール６０１及び６０２の付近で要求される平坦度や層間絶縁膜の膜厚等に応じて個別具体的に設定すればよい。この結果、凸部５０１（図６参照）及び凸部５０２（図８参照）が形成される。ここで、好ましくはN_2（窒素）等の不活性ガス雰囲気且つ約９００～１３００℃の高温で熱処理し、後に実施される高温プロセスにおけるＴＦＴアレイ基板１０に生じる歪みが少なくなるように前処理しておく。

【００８０】

続いて、このように溝１０ｃｖが形成された基板１０上において、スパッタリング、蒸着、フォトリソグラフィ、エッチング等により、図２に示した如き平面パターンを夫々有する下側遮光膜１１ａ、半導体層１ａ、走査線３ａ、中継層７１、容量線３００等を順次形成すると共に、これらの間に下地絶縁膜１２、ゲート絶縁膜２、第１層間絶縁膜、誘電体膜７５を順次形成する。

【００８１】

より具体的には、下側遮光膜１１ａについては例えば、Ｔｉ、Ｃｒ、Ｗ、Ｔａ、Ｍｏ及びＰｂ等をスパッタリングして、１００～５００ｎｍ程度の膜厚、好ましくは約２００ｎｍの膜厚の遮光膜を形成した後、パターニングする。

【００８２】

他方、下地絶縁膜１２については例えば、常圧又は減圧ＣＶＤ法等によりＴＥＯＳ（テトラ・エチル・オルソ・シリケート）ガス、ＴＥＢ（テトラ・エチル・ボートレート）ガス、ＴＭＯＰ（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどを積層あるいは単層のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等から形成する。下地絶縁膜１２の膜厚は、例えば約５００～２０００ｎｍ程度とする。

【００８３】

尚、第１層間絶縁膜４１についても同様である。

【００８４】
半導体層１ａについては例えば、約４５０～５５０℃、好ましくは約５００℃の比較的低温環境中で、流量約４００～６００ｃｃ／ｍｉｎのモノシランガス、ジシランガス等を用いた減圧ＣＶＤ（例えば、圧力約２０～４０ＰａのＣＶＤ）により、アモルファスシリコン膜を形成し、窒素雰囲気中で、約６００～７００℃にて約１～１０時間、好ましくは、４～６時間の熱処理を施すことにより、ポリシリコン膜を約５０～２００ｎｍの粒径、好ましくは約１００ｎｍの粒径となるまで固相成長させた後、パターニングする。
【００８５】
ＴＦＴ３０のゲート絶縁膜２については例えば、半導体層１ａを約９００～１３００℃の温度、好ましくは約１０００℃の温度により熱酸化して下層ゲート絶縁膜を形成し、続けて減圧ＣＶＤ法等により、若しくは両者を続けて行うことにより、上層ゲート絶縁膜を形成する。これにより、多層の高温酸化シリコン膜（ＨＴＯ膜）や窒化シリコン膜からなるゲート絶縁膜２を形成する。この結果、半導体層１ａの厚さは、約３０～１５０ｎｍの厚さ、好ましくは約３５～５０ｎｍの厚さとなり、ゲート絶縁膜２の厚さは、約２０～１５０ｎｍの厚さ、好ましくは約３０～１００ｎｍの厚さとなる。
【００８６】
走査線３ａについては例えば、減圧ＣＶＤ法等によりポリシリコン膜を堆積し、更にリン（Ｐ）を熱拡散すること等により、このポリシリコン膜を導電化した後、パターニングする。走査線３ａの膜厚は、約１００～５００ｎｍの厚さ、好ましくは約３５０ｎｍ程度である。
【００８７】
また、半導体層１ａに対しては、走査線３ａ形成後に、低濃度ソース領域１ｂ及び低濃度ドレイン領域１ｃ、並びに高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅに対し選択的に、ＴＦＴ３０の仕様に応じて所定量だけＰイオン等をドープする。
【００８８】
中継層７１については例えば、減圧ＣＶＤ法等によりポリシリコン膜を堆積し、更にリン（Ｐ）の熱拡散等により導電化した後、パターニングする。中継層７１の膜厚は、約１００～５００ｎｍの厚さ、好ましくは約１５０ｎｍ程度である。
【００８９】
誘電体膜７５については例えば、減圧ＣＶＤ法、プラズマＣＶＤ法等により高温酸化シリコン膜（ＨＴＯ膜）や窒化シリコン膜からなる誘電体膜７５を膜厚５０ｎｍ程度の比較的薄い厚さに堆積する。或いは、上述のゲート絶縁膜２と同様に形成してもよい。
【００９０】
容量線３００については例えば、Ｔｉ、Ｃｒ、Ｗ、Ｔａ、Ｍｏ及びＰｂ等をスパッタリングして、１００～５００ｎｍ程度の膜厚の金属膜を形成した後、パターニングする。
【００９１】
尚、第１層間絶縁膜４１を形成後、これに対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、中継層７１から高濃度ドレイン領域１ｅに至るコンタクトホール６０３（図２及び図５参照）を開孔する。
【００９２】
次に図６及び図８の工程（２）では、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第２層間絶縁膜４２を形成する。第１層間絶縁膜４２の膜厚は、例えば５００～１５００ｎｍ程度である。
【００９３】
次に図６の工程（３）では、第２層間絶縁膜４２、誘電体膜７５、第１層間絶縁膜４１及びゲート絶縁膜２に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチング又はウエットエッチング若しくはこれらの組み合わせにより、図２に示した平面位置に、コンタクトホール６０１を開孔する。この際、好ましくは、コンタクトホール６０１がテーパを持つようにウエットエッチングを少なくとも部分的に用いるとよ

い。この結果、凸部５０１の上方においてコンタクトホール６０１の底に、高濃度ソース領域１ｄの一部が露出する。

【００９４】

次に図６の工程（４）では、コンタクトホール６０１が開孔された第２層間絶縁膜４２上の全面に、スパッタリング等により、遮光性のＡｌ等の低抵抗金属や金属シリサイド等を金属膜として、約１００～５００ｎｍの厚さ、好ましくは約３００ｎｍに堆積する。そして、フォトリソグラフィ及びエッチングにより、図２に示した如き所定パターンを有するデータ線６ａを形成する。これにより、コンタクトホール６０１の底で、データ線６ａと高濃度ソース領域１ｄとの電気的な接続がとれる。

【００９５】

次に図７及び図９の工程（５）に示すように、データ線６ａ上を覆うように、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第３層間絶縁膜４３を形成する。第３層間絶縁膜４３の膜厚は、例えば５００～１５００ｎｍ程度である。

【００９６】

次に図９の工程（６）に示すように、第３層間絶縁膜４３、第２層間絶縁膜４２及び誘電体膜７５に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチング又はウエットエッチング若しくはこれらの組み合わせにより、図２に示した平面位置に、コンタクトホール６０２を開孔する。この際、好ましくは、コンタクトホール６０２がテーパを持つようにウエットエッチングを少なくとも部分的に用いるとよい。この結果、凸部５０２の上方においてコンタクトホール６０２の底に、中継層７１の一部が露出する。

【００９７】

図７及び図９の工程（７）に示すように、コンタクトホール６０２が開孔された第３層間絶縁膜４３上に、スパッタリング等により、ＩＴＯ膜等の透明導電性膜を、約５０～２００ｎｍの厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、図２に示した平面パターンを有する画素電極９ａを形成する。これにより、コンタクトホール６０２の底で、画素電極９ａと中継層７１との電気的な接続がとれる。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Ａｌ等の反射率の高い不透明な材料から画素電極９ａを形成してもよい。

【００９８】

続いて、画素電極９ａの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜１６（図３から図５参照）が形成される。

【００９９】

以上の結果、第１実施形態の電気光学装置のＴＦＴアレイ基板１０側が製造される。

【０１００】

本実施形態によれば特に、図６の工程（１）において、先ず溝１０ｃｖを形成するのと同時に凸部５０１を基板１０に形成し、その後、図６の工程（３）及び工程（４）において、凸部５０１に応じて盛り上がった層間絶縁膜部分を除去するという比較的簡単な工程を用いて、データ線６ａと半導体層１ａの高濃度ソース領域１ｄとを電気的に接続できる。これにより、画素電極９ａの下地表面が、コンタクトホール６０１付近で平坦になるように製造できる。

【０１０１】

同様に、図９の工程（１）において、先ず溝１０ｃｖを形成するのと同時に凸部５０２を基板１０に形成し、その後、図９の工程（６）及び工程（７）において夫々、凸部５０２に応じて盛り上がった層間絶縁膜部分を除去するという比較的簡単な工程を用いて、画素電極９ａと中継層７１とを電気的に接続できる。これにより、画素電極９ａの下地表面が、コンタクトホール６０２の付近で平坦になるように製造できる。

【０１０２】

以上のように本実施形態の製造方法は、製造工程の簡略化を図る上で大変有利である。例えば、本実施形態の如く基板１０に凸部５０１や５０２を形成しないものの、平坦化のためにデータ線６ａ等を埋め込む溝１０ｃｖを形成する工程を含む製造方法と比べると、溝１０ｃｖを形成する際のエッチングパターンを若干変更すれば足り、工程数の増加は無くて済む。

【０１０３】

（第２実施形態の電気光学装置）

次に図１０を参照して、本発明の電気光学装置の第２実施形態について説明を加える。第２実施形態は、上記第１実施形態において画素電極９ａと中継層７１との接続部に関するものであるので、この接続部の構成についてのみ説明する。その他の構成については上述した第１実施形態の場合と同様である。ここに図１０は、図４で示したＢ－Ｂ’断面に対応する断面における第２実施形態の接続部を示す断面図である。尚、図１０において、図４に示した第１実施形態と同様の構成要素には同様の参照符号を付し、それらの説明は省略する。

【０１０４】

図１０に示すように第２実施形態では、凸部５０２’がＴＦＴアレイ基板１０上に形成されており、これに応じて、中継層７１がその接続部７１ｅにおいて盛り上げられている。そして特に、接続部７１ｅの上方では、第３層間絶縁膜４３、第２層間絶縁膜４２及び誘電体膜７５が、この凸部５０２’により盛り上げられた部分において、ＣＭＰ処理により平坦化されることで除去されている。これにより、凸部５０２’の上方で、接続部７１ｅは、第３層間絶縁膜４３の表面と同一レベルに露出しており、ここで画素電極９ａと面的に接触するように構成されている。

【０１０５】

従って第２実施形態によれば、凸部５０２’の上方で第３層間絶線膜４３、第２層間絶縁膜４２及び誘電体膜７５をＣＭＰ処理により平坦化しているため、接続部７１ｅ及びその周辺における画素電極９ａの下地表面を、極めて良好に平坦化できる。

【０１０６】

特に本実施形態では、凸部５０２’の高さと第３層間絶縁膜４３、第２層間絶縁膜４２及び誘電体膜７５の合計膜厚とは、略等しいので、凸部５０２’に応じて盛り上がった層間絶縁膜部分を研磨除去すれば、中継層７１の接続部７１ｅを第３層間絶縁膜４３から露出させることができる。

【０１０７】

（第２実施形態の製造方法）

次に、上述の如き構成を有する第２実施形態の電気光学装置における特にＴＦＴアレイ基板１０側の製造方法について、中継層７１の接続部７１ｅと画素電極９ａとの接続部に係る工程を中心として、図１１を参照して説明する。ここに図１１は、第２実施形態の製造プロセスの各工程におけるＴＦＴアレイ基板１０側の各層を、図１０と同様に図２のＢ－Ｂ’断面に対応させて示す工程図である。尚、図８及び図９に示した第１実施形態と同様の各工程については、説明を省略する。

【０１０８】

先ず図８の工程（１）から工程（５）を第１実施形態とほぼ同様に行なう。但し、第１実施形態と比べて凸部５０２’の高さを高くする（即ち、溝１０ｃｖを深く形成する）ように、工程（１）におけるＴＦＴアレイ基板１０に対するエッチングを行なう。この結果、図１１の工程（５’）に示す如き積層構造が得られる。

【０１０９】

次に、図８の工程（６ａ）では、ＣＭＰ処理により水平ラインＬｃまで、第３層間絶縁膜４３、第２層間絶縁膜４２及び誘電体膜７５を研磨除去する。具体的には、例えば研磨プレート上に固定された研磨パッド上に、シリカ粒を含んだ液状のスラリー（化学研磨液）を流しつつ、スピンドルに固定した基板表面を、回転接触させることにより、第３層間絶縁膜４３の表面を研磨し、凸部５０２’の上方に第２層間絶縁膜４２が露出した後も研磨

を続け、更に凸部５０２’の上方に誘電体膜７５が露出した後も研磨を続ける。
【０１１０】
次に、図８の工程（６ｂ）では、水平ラインＬｃまでの研磨が完了した時点で、ＣＭＰ処理を停止する。例えば、時間管理によりＣＭＰ処理を停止する。或いは、例えば図８の工程（６ｂ）に示したのと同様の積層構造を有する適当なストッパ層をＴＦＴアレイ基板１０上の所定位置に形成しておくことによりＣＭＰ処理を停止する。尚、ストッパ層の表面の検出は、例えばストッパ層が露出した際の摩擦係数の変化を検出する摩擦検出式、ストッパ層が露出した際に発生する振動を検出する振動検出式、ストッパ層が露出した際の反射光量の変化を検出する光学式により行えばよい。
【０１１１】
このように第２実施形態によれば、第２実施形態の電気光学装置を、先ず基板１０に凸部５０２’を形成し、その後これに応じて盛り上がった層間絶縁膜部分をＣＭＰ処理により平坦化するという比較的簡単な工程を用いて製造できる。
【０１１２】
（変形形態）
次に、本発明の電気光学装置の各種の変形形態について説明を加える。
【０１１３】
一の変形形態では、第１実施形態の構成において、凸部５０１及び５０２が、溝１０ｃｖを形成するのと独立に、ＴＦＴアレイ基板１０上に配置された島状部材からなる。或いは第２実施形態の構成において、凸部５０２’が溝１０ｃｖを形成するのと独立に、ＴＦＴアレイ基板１０上に配置された島状部材からなる。係る島状部材としては、第１実施形態では図示されていない他の遮光膜、誘電体膜、半導体層、配線用の導電膜等と同一膜を利用してもよいし、専用の膜から別途追加形成してもよい。このように凸部を構成しても、その上方におけるコンタクトホール６０１及び６０２或いは接続部７１ｅの付近における画素電極９ａの下地表面を平坦化できる。
【０１１４】
他の変形形態では、第１実施形態の構成において、基板１０に溝１０ｃｖを形成するのに加えて又は代えて、下地絶縁膜１２に溝が形成されることにより、凸部５０１及び５０２が形成されている。或いは、第２実施形態の構成において、基板１０に溝１０ｃｖを形成するのに加えて又は代えて、下地絶縁膜１２に溝が形成されることにより、凸部５０２’が形成されている。このように凸部を構成しても、その上方におけるコンタクトホール６０１及び６０２或いは接続部７１ｅの付近における画素電極９ａの下地表面を平坦化できる。
【０１１５】
（電気光学装置の全体構成）
以上のように構成された電気光学装置の全体構成を図１２及び図１３を参照して説明する。尚、図１２は、ＴＦＴアレイ基板１０をその上に形成された各構成要素と共に対向基板２０の側から見た平面図であり、図１３は、図１２のＨ－Ｈ’断面図である。
【０１１６】
図１２において、ＴＦＴアレイ基板１０の上には、シール材５２がその縁に沿って設けられており、その内側に並行して、画像表示領域１０ａの周辺を規定する額縁としての遮光膜５３が設けられている。シール材５２の外側の領域には、データ線６ａに画像信号を所定タイミングで供給することによりデータ線６ａを駆動するデータ線駆動回路１０１及び外部回路接続端子１０２がＴＦＴアレイ基板１０の一辺に沿って設けられており、走査線３ａに走査信号を所定タイミングで供給することにより走査線３ａを駆動する走査線駆動回路１０４が、この一辺に隣接する２辺に沿って設けられている。走査線３ａに供給される走査信号遅延が問題にならないのならば、走査線駆動回路１０４は片側だけでも良いことは言うまでもない。また、データ線駆動回路１０１を画像表示領域１０ａの辺に沿って両側に配列してもよい。更にＴＦＴアレイ基板１０の残る一辺には、画像表示領域１０ａの両側に設けられた走査線駆動回路１０４間をつなぐための複数の配線１０５が設けられ

ている。また、対向基板２０のコーナー部の少なくとも１箇所においては、ＴＦＴアレイ基板１０と対向基板２０との間で電気的に導通をとるための導通材１０６が設けられている。そして、図１３に示すように、図１２に示したシール材５２とほぼ同じ輪郭を持つ対向基板２０が当該シール材５２によりＴＦＴアレイ基板１０に固着されている。

【０１１７】

尚、ＴＦＴアレイ基板１０上には、これらのデータ線駆動回路１０１、走査線駆動回路１０４等に加えて、複数のデータ線６ａに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線６ａに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【０１１８】

以上図１から図１３を参照して説明した電気光学装置では、データ線駆動回路１０１及び走査線駆動回路１０４をＴＦＴアレイ基板１０の上に設ける代わりに、例えばＴＡＢ（Tape Automated bonding)基板上に実装された駆動用ＬＳＩに、ＴＦＴアレイ基板１０の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板２０の投射光が入射する側及びＴＦＴアレイ基板１０の出射光が出射する側には各々、例えば、ＴＮモード、ＶＡ（Vertically Aligned）モード、ＰＤＬＣ(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【０１１９】

以上説明した電気光学装置は、プロジェクタに適用されるため、３枚の電気光学装置がＲＧＢ用のライトバルブとして各々用いられ、各ライトバルブには各々ＲＧＢ色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板２０に、カラーフィルタは設けられていない。しかしながら、画素電極９ａに対向する所定領域にＲＧＢのカラーフィルタをその保護膜と共に、対向基板２０上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板２０上に１画素１個対応するようにマイクロレンズを形成してもよい。あるいは、ＴＦＴアレイ基板１０上のＲＧＢに対向する画素電極９ａ下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板２０上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、ＲＧＢ色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【０１２０】

加えて、本発明における、基板に形成された凸部の上方にある層間絶縁膜を平坦化して除去する或いはその上方にある層間絶縁膜にコンタクトホールを開孔することで、層間絶縁膜の上下間の電気的な接続をとる構成は、以上説明した電気光学装置への適用に限らず、半導体回路装置等の基板装置一般に適用可能である。特に、コンタクトホール付近における層間絶縁膜表面を平坦化することが何らかの意味で役立つような用途であれば、本発明は非常に有効となる。

【０１２１】

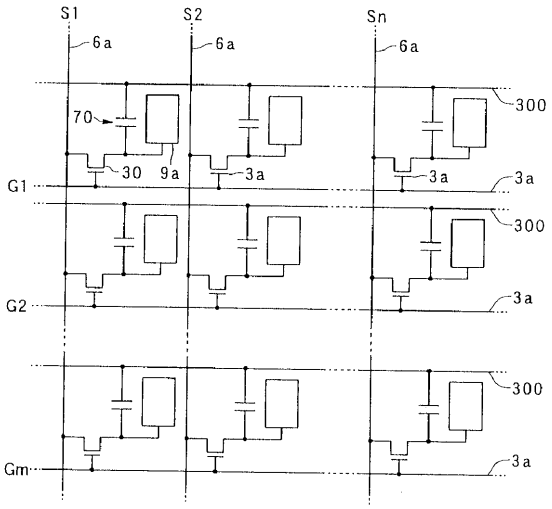
本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学装置及びその製造方法並びに基板装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

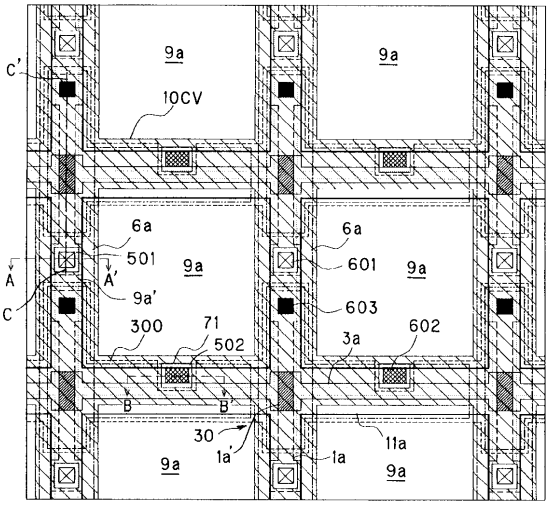
【図１】本発明の実施形態に係る電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図２】図１の電気光学装置におけるデータ線、走査線、画素電極等が形成されたＴＦＴアレイ基板の相隣接する複数の画素群の平面図である。
【図３】図２のＡ－Ａ’断面図である。
【図４】図２のＢ－Ｂ’断面図である。
【図５】図２のＣ－Ｃ’断面図である。
【図６】本実施形態の製造プロセスの各工程におけるＴＦＴアレイ基板側の各層を、図３と同様に図２のＡ－Ａ’断面に対応させて示す工程図（その１）である。
【図７】本実施形態の製造プロセスの各工程におけるＴＦＴアレイ基板側の各層を、図３と同様に図２のＡ－Ａ’断面に対応させて示す工程図（その２）である。
【図８】本実施形態の製造プロセスの各工程におけるＴＦＴアレイ基板側の各層を、図４と同様に図２のＢ－Ｂ’断面に対応させて示す工程図（その１）である。
【図９】本実施形態の製造プロセスの各工程におけるＴＦＴアレイ基板側の各層を、図４と同様に図２のＢ－Ｂ’断面に対応させて示す工程図（その２）である。
【図１０】図４で示したＢ－Ｂ’断面に対応する断面における第２実施形態の接続部を示す断面図である。
【図１１】図９で示した工程図に対応する第２実施形態の工程図である。
【図１２】本発明の実施形態に係る電気光学装置におけるＴＦＴアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。
【図１３】図１２のＨ－Ｈ’断面図である。
【符号の説明】
１ａ…半導体層
１ａ’…チャネル領域
１ｂ…低濃度ソース領域
１ｃ…低濃度ドレイン領域
１ｄ…高濃度ソース領域
１ｅ…高濃度ドレイン領域
２…ゲート絶縁膜
３ａ…走査線
６ａ…データ線
９ａ…画素電極
１０…ＴＦＴアレイ基板
１０ｃｖ…溝
１１ａ…下側遮光膜
１２…下地絶縁膜
１６…配向膜
２０…対向基板
２１…対向電極
２２…配向膜
３０…ＴＦＴ
５０…液晶層
７０…蓄積容量
７１…中継層
７１ｅ…接続部
７５…誘電体膜
３００…容量線
５０１、５０２、５０２’…凸部
６０１、６０２、６０３…コンタクトホール

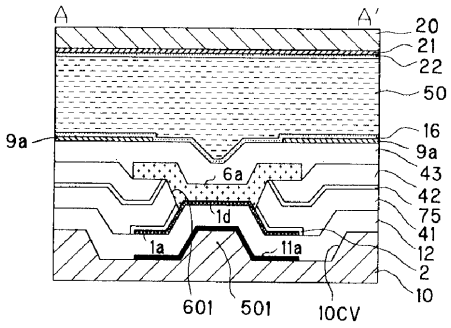
【図１】


S1
S2
Sn
6a
70
30
9a
3a
300
G1
G2
Gm

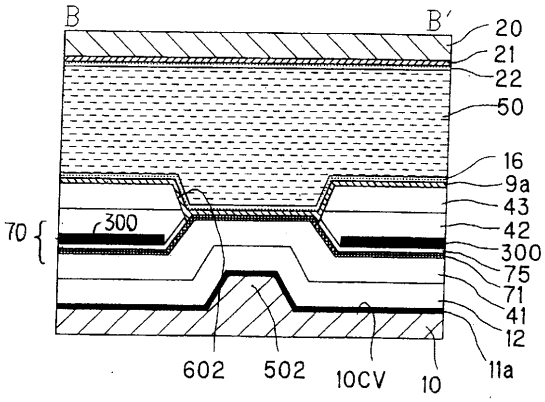
【図２】


C'
9a
10CV
6a
501
A
A'
9a'
C
300
71
502
B
B'
30
1a'
1a
11a
601
603
602
3a

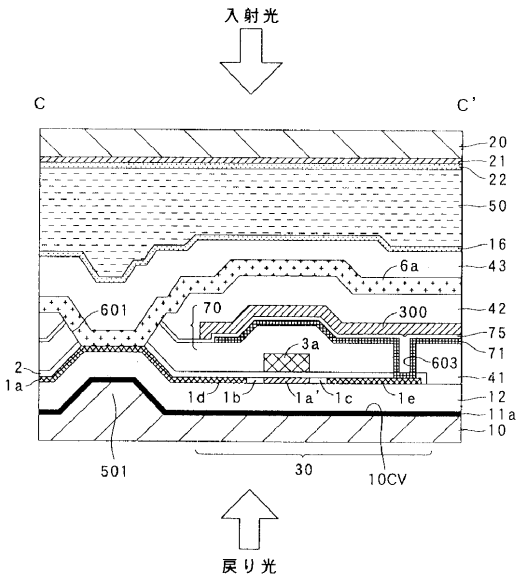
【図３】


A
A'
20
21
22
50
9a
16
6a
43
42
1d
75
41
1a
11a
12
2
10
601
501
10CV

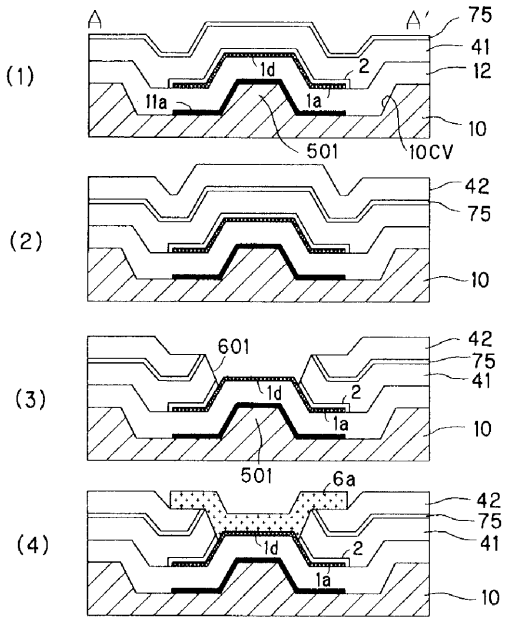
【図４】


B
B'
20
21
22
50
16
9a
43
70
300
42
300
75
71
41
12
11a
602
502
10CV
10

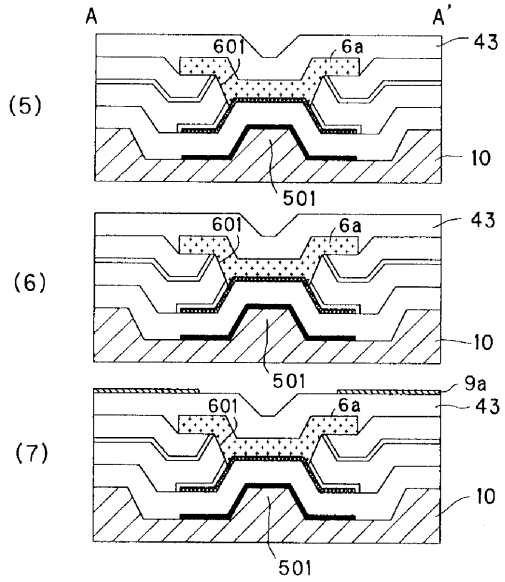
【図５】


入射光
C
C'
20
21
22
50
16
6a
43
601
70
300
42
75
3a
71
603
2
1a
41
1d
1b
1a'
1c
1e
12
11a
10
501
30
10CV
戻り光

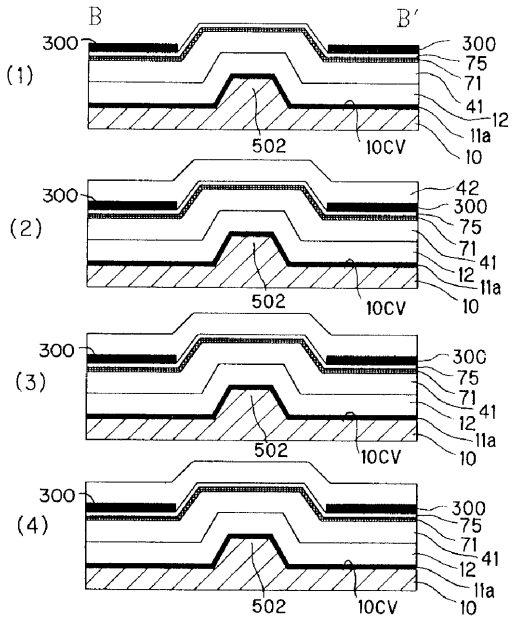
【図６】


(1)
A
A'
75
41
12
1d
2
11a
1a
10
501
10CV
(2)
42
75
10
(3)
601
42
75
41
1d
2
1a
10
501
(4)
6a
42
75
41
1d
2
1a
10

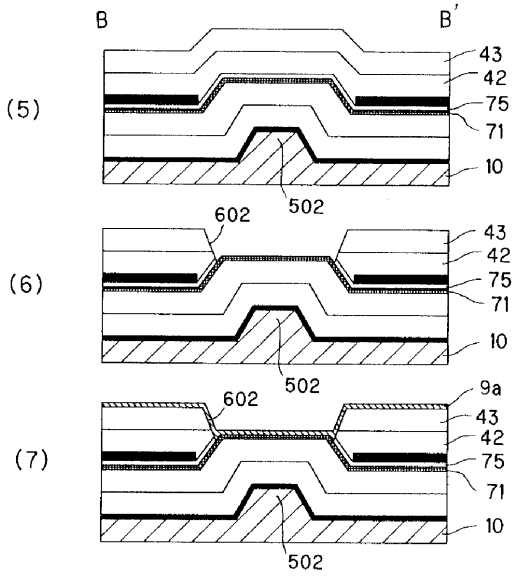
【図７】


(5)
A
A'
601
6a
43
10
501
(6)
601
6a
43
10
501
(7)
9a
601
6a
43
10
501

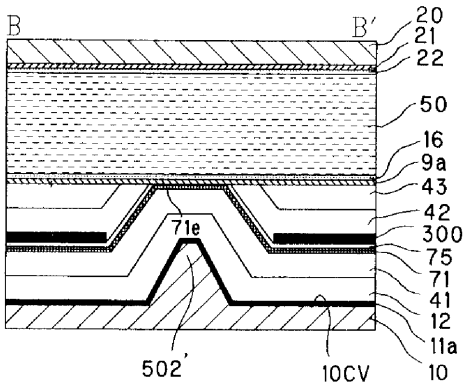
【図８】


(1)
B
B'
300
300
75
71
41
12
11a
10
502
10CV
(2)
300
42
300
75
71
41
12
11a
10
502
10CV
(3)
300
300
75
71
41
12
11a
10
502
10CV
(4)
300
300
75
71
41
12
11a
10
502
10CV

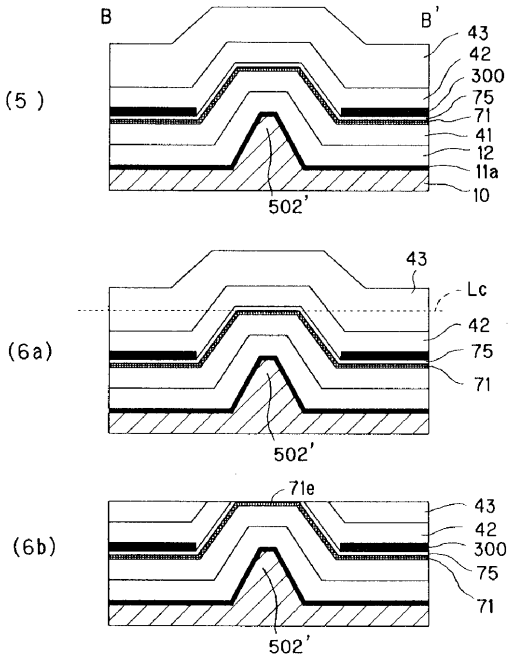
【図９】


(5)
B
B'
43
42
75
71
10
502
(6)
602
43
42
75
71
10
502
(7)
602
9a
43
42
75
71
10
502

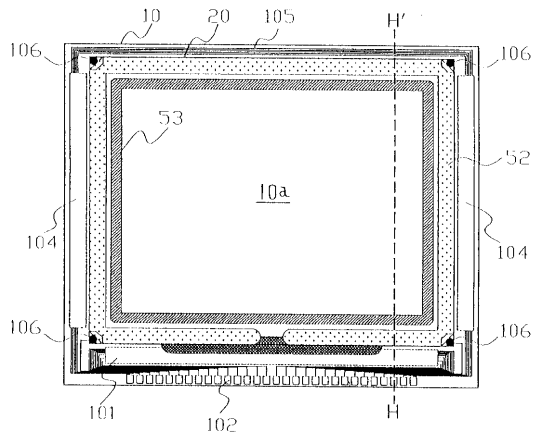
【図１０】



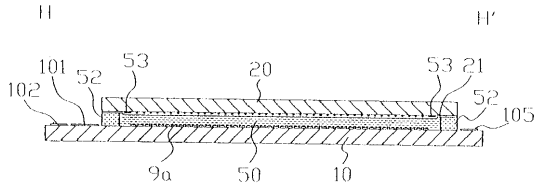
【図１１】



【図１２】



【図１３】



フロントページの続き

(56)参考文献 特開２０００－０８１６３６（ＪＰ，Ａ）
特開平０４－２６８５３６（ＪＰ，Ａ）
特開平０９－１４６１２０（ＪＰ，Ａ）
特開平０９－１４８３２９（ＪＰ，Ａ）
特開平０４－３２４９３８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F 1/1362
G02F 1/1343
G02F 1/13 505
H01L 29/78