



(12) 发明专利

(10) 授权公告号 CN 106716541 B

(45) 授权公告日 2021.06.04

(21) 申请号 201580047910.8

(22) 申请日 2015.08.04

(65) 同一申请的已公布的文献号

申请公布号 CN 106716541 A

(43) 申请公布日 2017.05.24

(30) 优先权数据

14/499,052 2014.09.26 US

(85) PCT国际申请进入国家阶段日

2017.03.07

(86) PCT国际申请的申请数据

PCT/US2015/043602 2015.08.04

(87) PCT国际申请的公布数据

W02016/048455 EN 2016.03.31

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 法蓝柯斯·伊伯拉辛·艾塔拉

郑志勋 凯斯·艾伦·柏曼

埃米·素提希尔·库尔卡尼

杰森·菲利浦·马尔兹洛夫

乔舒亚·兰斯·帕克特

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 陈炜

(51) Int.CI.

G11C 11/419 (2006.01)

G11C 5/14 (2006.01)

(56) 对比文件

WO 2013/147848 A1, 2013.10.03

US 2007/0206404 A1, 2007.09.06

US 2013/0343135 A1, 2013.12.26

CN 104067345 A, 2014.09.24

审查员 陈敏

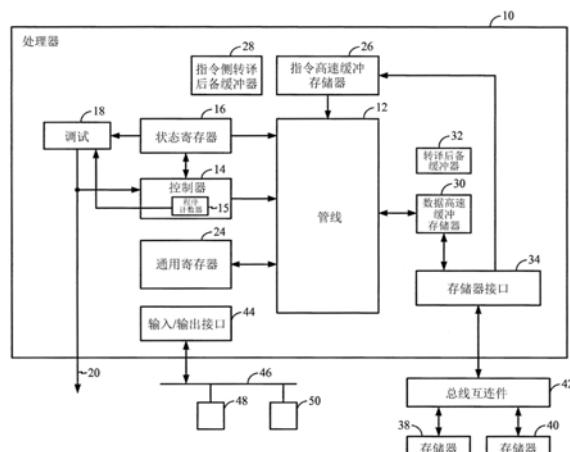
权利要求书4页 说明书9页 附图6页

(54) 发明名称

用于改善最小工作供电电压的寄存器组电路和方法

(57) 摘要

根据本发明的一些实例，一种寄存器组电路可包含存储器单元、头端晶体管电路和驱动电路。所述头端晶体管电路可包含与所述存储器单元的PFET串联的一或多个PFET头端，其中使用来自所述驱动电路的脉冲写入信号控制正被写入的行的所述PFET头端的栅极。在本发明的一些实例中，头端晶体管电路可包含NFET下拉和箝位NFET，所述NFET下拉插入在虚拟vdd与接地之间以使虚拟vdd节点放电，从而在写入操作期间减小争用，所述箝位NFET与所述PFET头端并联以将所述虚拟vdd节点箝位到略微地低于所述存储器单元中的上拉PFET的阈值电压，以确保所述上拉PFET几乎不关断并防止所述虚拟vdd节点始终放电到接地。

B
CN 106716541 B
CN

1. 一种寄存器组电路，其包括：

存储器单元，其耦合到虚拟供电电压和写入字线；

第一头端PFET，其具有栅极、源极和漏极，其中所述第一头端PFET源极耦合到系统供电电压，所述第一头端PFET栅极耦合到驱动电路的输出信号，且所述第一头端PFET漏极耦合到所述虚拟供电电压；

第一头端NFET，其具有栅极、源极和漏极，其中所述第一头端NFET漏极耦合到所述虚拟供电电压，所述第一头端NFET栅极耦合到所述驱动电路的所述输出信号，且所述第一头端NFET源极耦合到接地；以及

第二头端NFET，其具有栅极、源极和漏极，其中所述第二头端NFET漏极耦合到所述系统供电电压，所述第二头端NFET栅极耦合到所述驱动电路的所述输出信号，且所述第二头端NFET源极耦合到所述虚拟供电电压。

2. 根据权利要求1所述的寄存器组电路，其中所述第一头端NFET将所述虚拟供电电压放电到所述接地，且所述第二头端NFET将所述虚拟供电电压箝位到写入电压，所述写入电压等于所述系统供电电压减阈值电压。

3. 根据权利要求1所述的寄存器组电路，其中所述驱动电路包括具有可变输出脉冲宽度的脉冲发生器。

4. 根据权利要求3所述的寄存器组电路，其中所述驱动电路输出耦合到所述第一头端NFET栅极、所述第二头端NFET栅极和所述第一头端PFET栅极的脉冲写入信号。

5. 根据权利要求4所述的寄存器组电路，其中所述驱动电路输入写入时钟信号，且在写入字线信号活动之前输出所述脉冲写入信号。

6. 根据权利要求5所述的寄存器组电路，其中所述脉冲写入信号具有经配置以提供写入完成时间的脉冲宽度，所述写入完成时间为所述存储器单元允许足够的时间以对所述存储器单元执行写入操作。

7. 根据权利要求1所述的寄存器组电路，其中所述存储器单元包括：

第一PFET，其具有栅极、源极和漏极，其中所述第一PFET源极耦合到所述虚拟供电电压；

第二PFET，其具有栅极、源极和漏极，其中所述第二PFET源极耦合到所述虚拟供电电压；

第一NFET，其具有栅极、源极和漏极，其中所述第一NFET源极耦合到所述第一PFET漏极且所述第一NFET栅极耦合到所述第一PFET栅极；

第二NFET，其具有栅极、源极和漏极，其中所述第二NFET源极耦合到所述第二PFET漏极且所述第二NFET栅极耦合到所述第二PFET栅极；

第三NFET，其具有栅极、源极和漏极，其中所述第三NFET栅极耦合到所述写入字线且所述第三NFET漏极耦合到所述第二PFET栅极和所述第二NFET栅极；以及

第四NFET，其具有栅极、源极和漏极，其中所述第四NFET栅极耦合到所述写入字线且所述第四NFET漏极耦合到所述第一PFET栅极和所述第一NFET栅极。

8. 根据权利要求7所述的寄存器组电路，其中所述第一头端PFET经配置以在所述第一NFET和所述第二NFET关断时接通，且在所述第一NFET和所述第二NFET接通时关断。

9. 根据权利要求7所述的寄存器组电路，其进一步包括第一共同节点和第二共同节点，

其中所述第一共同节点包括真实位线且所述第二共同节点包括互补位线。

10. 根据权利要求9所述的寄存器组电路,其中所述第一共同节点以操作方式经配置以连接到所述第一NFET源极,且所述第二共同节点经配置以连接到所述第二NFET源极。

11. 根据权利要求10所述的寄存器组电路,其中在对所述存储器单元执行写入操作时将所述第一共同节点和所述第二共同节点驱动到互补逻辑电压。

12. 根据权利要求11所述的寄存器组电路,其中所述驱动电路输出脉冲写入信号,且当所述脉冲写入信号为逻辑值高时,所述第一头端PFET关断且致使所述第一PFET和所述第二PFET关断。

13. 根据权利要求12所述的寄存器组电路,其中所述第一头端PFET经配置以在所述第一NFET和所述第二NFET关断时接通,且在所述第一NFET和所述第二NFET接通时关断。

14. 根据权利要求1所述的寄存器组电路,其中所述存储器单元集成到移动电话、移动通信装置、寻呼机、个人数字助理、个人信息管理器、移动手持式计算机、膝上型计算机、无线装置或无线调制解调器中的一者中。

15. 一种寄存器组电路,其包括:

多个存储器单元,所述多个存储器单元中的每一者耦合到虚拟供电电压和写入字线;

多个第一头端PFET,所述多个第一头端PFET中的每一者具有栅极、源极和漏极,其中每个第一头端PFET源极耦合到系统供电电压,每个第一头端PFET栅极耦合到驱动电路的输出信号,且每个第一头端PFET漏极耦合到所述虚拟供电电压;

第一头端NFET,其具有栅极、源极和漏极,其中所述第一头端NFET漏极耦合到所述虚拟供电电压,所述第一头端NFET栅极耦合到所述驱动电路的所述输出信号,且所述第一头端NFET源极耦合到接地;以及

第二头端NFET,其具有栅极、源极和漏极,其中所述第二头端NFET漏极耦合到所述系统供电电压,所述第二头端NFET栅极耦合到所述驱动电路的所述输出信号,且所述第二头端NFET源极耦合到所述虚拟供电电压。

16. 根据权利要求15所述的寄存器组电路,其中所述第一头端NFET将所述虚拟供电电压放电到所述接地,且所述第二头端NFET将所述虚拟供电电压箝位到写入电压,所述写入电压等于所述系统供电电压减阈值电压。

17. 根据权利要求15所述的寄存器组电路,其中所述驱动电路包括具有可变输出脉冲宽度的脉冲发生器。

18. 根据权利要求17所述的寄存器组电路,其中所述驱动电路输出耦合到所述第一头端NFET栅极、所述第二头端NFET栅极和所述多个第一头端PFET栅极中的每一者的脉冲写入信号。

19. 根据权利要求18所述的寄存器组电路,其中所述驱动电路输入写入时钟信号,且在写入字线信号活动之前输出所述脉冲写入信号。

20. 根据权利要求19所述的寄存器组电路,其中所述脉冲写入信号具有经配置以提供写入完成时间的脉冲宽度,所述写入完成时间为所述多个存储器单元允许足够的时间以对所述多个存储器单元执行写入操作。

21. 根据权利要求15所述的寄存器组电路,其中所述多个存储器单元中的每一者包括:

第一PFET,其具有栅极、源极和漏极,其中所述第一PFET源极耦合到所述虚拟供电电

压；

第二PFET，其具有栅极、源极和漏极，其中所述第二PFET源极耦合到所述虚拟供电电压；

第一NFET，其具有栅极、源极和漏极，其中所述第一NFET源极耦合到所述第一PFET漏极且所述第一NFET栅极耦合到所述第一PFET栅极；

第二NFET，其具有栅极、源极和漏极，其中所述第二NFET源极耦合到所述第二PFET漏极且所述第二NFET栅极耦合到所述第二PFET栅极；

第三NFET，其具有栅极、源极和漏极，其中所述第三NFET栅极耦合到所述写入字线且所述第三NFET漏极耦合到所述第二PFET栅极和所述第二NFET栅极；以及

第四NFET，其具有栅极、源极和漏极，其中所述第四NFET栅极耦合到所述写入字线且所述第四NFET漏极耦合到所述第一PFET栅极和所述第一NFET栅极。

22. 根据权利要求21所述的寄存器组电路，其中所述多个第一头端PFET中的每一者经配置以在相同存储器单元中的多个第一NFET中的一者和多个第二NFET中的一者关断时接通，且在所述相同存储器单元中的所述多个第一NFET中的所述一者和所述多个第二NFET中的所述一者接通时关断。

23. 根据权利要求21所述的寄存器组电路，其中所述多个存储器单元中的每一者进一步包括第一共同节点和第二共同节点，其中所述第一共同节点包括真实位线且所述第二共同节点包括互补位线。

24. 根据权利要求23所述的寄存器组电路，其中在对所述多个存储器单元中的一相应者执行写入操作时将多个第一共同节点中的每一者和多个第二共同节点中的每一者驱动到互补逻辑电压。

25. 根据权利要求24所述的寄存器组电路，其中所述驱动电路输出脉冲写入信号，且当所述脉冲写入信号为逻辑值高时，所述多个第一头端PFET关断且致使相同存储器单元中的多个第一PFET中的一者和多个第二PFET中的一者关断。

26. 根据权利要求15所述的寄存器组电路，其中所述多个存储器单元集成到移动电话、移动通信装置、寻呼机、个人数字助理、个人信息管理器、移动手持式计算机、膝上型计算机、无线装置或无线调制解调器中的一者中。

27. 一种向根据权利要求1-26中的任一项所述的寄存器组电路中的存储器单元写入的方法，所述方法包括以下步骤：

接收写入时钟信号；

产生脉冲写入信号；

将所述脉冲写入信号应用到第一头端PFET以关断所述第一头端PFET，并切断从供电电压到存储器单元的电流路径；

将所述脉冲写入信号应用到第一头端NFET和第二头端NFET以接通所述第一头端NFET和所述第二头端NFET，并将虚拟供电电压箝位到经配置以实现对所述存储器单元的写入操作的阈值电压，其中所述第一头端NFET具有耦合到所述虚拟供电电压的漏极且所述第二头端NFET具有耦合到所述供电电压的漏极；以及

将写入位信号应用到所述存储器单元以实现对所述存储器单元的所述写入操作。

28. 根据权利要求27所述的方法，其中将所述脉冲写入信号应用到所述第一头端NFET

和所述第二头端NFET将所述虚拟供电电压放电以在所述写入操作期间减小写入争用。

29. 根据权利要求28所述的方法，其中在将所述写入位信号应用到所述存储器单元之前应用所述脉冲写入信号。

30. 根据权利要求29所述的方法，其中产生所述脉冲写入信号包括产生具有经配置以允许在所述脉冲写入信号返回到零之前完成所述写入操作的脉冲宽度的所述脉冲写入信号。

用于改善最小工作供电电压的寄存器组电路和方法

技术领域

[0001] 本发明大体上涉及寄存器组电路,且更确切地说(但非排他地),涉及用于存储器单元的寄存器组电路。

背景技术

[0002] 随着处理器变得越来越复杂,由处理器使用的能量增大且最大化能量使用的需要变得越来越重要。为了最大化处理器能效,处理器设计减小用于具有低性能要求(按比例缩放)的应用的供电电压(VDD)。举例来说,寄存器组电路需要最小操作VDD(VMIN)以成功地执行写入操作。因为寄存器组阵列横跨处理器分布,所以寄存器组电路和处理器逻辑共享相同VDD。出于此原因,用于写入操作的寄存器组VMIN限制总体处理器VDD按比例缩放和势能收益。如图1所展示,寄存器组VMIN由尝试将节点“T”引入到接地的NFET传送装置(N4)与尝试将节点“T”保持到VDD的PFET上拉装置(P1)之间的争用路径产生。因为其它NFET传送装置(N3)将弱“1”(VDD-Vt)(其中Vt为晶体管阈值电压)传递到互补节点“C”中和到P1的栅极,所以P1装置部分地保持且阻止N4装置将节点“T”引入到接地。此争用随着VDD减小而加剧,在程序朝向慢速NFET装置和快速PFET装置偏斜时特别如此。因为设计需要操作所有程序拐点,所以此争用限制寄存器组电路的VMIN并因此限制处理器能效。从对常规处理器的模拟,寄存器组VMIN引起处理器能量节省的大于26%的损耗。

[0003] 因此,对于改善常规方法包含经改善的方法和藉此所提供的设备的方法存在长期感觉到的行业需求。

[0004] 从具体描述和附图更好地理解作为教示的特性的创造性特征,以及其它目的和优点。图式中的每一者仅出于说明和描述的目的提供,且并不限制本教示。

发明内容

[0005] 以下呈现关于与本文中所揭示的设备和方法相关联的一或多个方面和/或实例的简化概述。因而,不应将以下概述视为相关于所有预期方面和/或实例的详尽总览,也不应认为以下概述识别相关于所有预期方面和/或实例的关键或至关重要的要素,或描绘与任何特定方面和/或实例相关联的范围。因此,以下概述的唯一目的是以简化形式呈现与关于本文中所揭示的设备和方法的一或多个方面和/或实例相关的特定概念,以先于下文所呈现的详细描述。

[0006] 本发明的一些实例针对用于改善所需用于存储器单元(例如寄存器组位单元)的写入操作的最小工作电压的系统、设备和方法。

[0007] 在本发明的一些实例中,所述系统、设备和方法包含:存储器单元,其耦合到虚拟供电电压和写入字线;第一头端PFET,其具有栅极、源极和漏极,其中所述头端PFET源极耦合到系统供电电压,所述头端PFET栅极耦合到驱动电路,且所述头端PFET漏极耦合到所述虚拟供电电压;第一头端NFET,其具有栅极、源极和漏极,其中所述第一头端NFET漏极耦合到所述虚拟供电电压,所述第一头端NFET栅极耦合到所述驱动电路,且所述第一头端NFET

源极耦合到接地；以及第二头端NFET，其具有栅极、源极和漏极，其中所述第二头端NFET漏极耦合到所述系统供电电压，所述第二头端NFET 棚极耦合到所述驱动电路，且所述第二头端NFET源极耦合到所述虚拟供电电压。

[0008] 与本文中所揭示的设备和方法相关联的其它特征和优点将基于附图和详细描述而对所属领域的技术人员显而易见。

附图说明

[0009] 呈现附图以描述本教示的实例，且附图并非限制性的。呈现附图以辅助描述本发明的实例，且仅仅为了说明而非限制所述实例而提供附图。

[0010] 随着在结合附图考虑时通过参考以下详细描述更好地理解本发明的方面和其许多附带优点，将容易获得对本发明的方面和其许多附带优点的更全面了解，呈现附图只是为了说明而不是限制本发明，且其中：

[0011] 图1说明常规寄存器组位单元。

[0012] 图2A说明根据本发明的一些实例的示范性用户设备(UE)。

[0013] 图2B说明根据本发明的一些实例的示范性处理器。

[0014] 图3说明根据本发明的一些实例的具有写入字线(WWL)驱动器的示范性存储器单元。

[0015] 图4说明根据本发明的一些实例的具有头端晶体管的示范性寄存器组电路。

[0016] 图5说明根据本发明的一些实例的寄存器组电路的写入过程的示范性时序图和完成时间曲线。

[0017] 根据惯例，由图式描绘的特征可不按比例绘制。因此，为了清晰起见，可任意扩大或减小所描绘特征的尺寸。根据惯例，为了清晰起见，简化了一些附图。因此，附图可能不描绘特定设备或方法的全部组件。此外，贯穿本说明书和图式，相同参考标号表示相同特征。

具体实施方式

[0018] 提供用于改善所需用于存储器单元(例如寄存器组位单元)的写入操作的最小工作电压的方法、设备和系统。本发明的一些实例描述具有更低VMIN用于写入存储器位单元的寄存器组电路，因此产生更低总体处理器VMIN。

[0019] 本发明的一些实例通过添加头端晶体管电路以快速地使虚拟vdd放电或箝位虚拟vdd来移除或减弱存储器单元中的写入争用，以降低写入VMIN。可将虚拟vdd箝位为足够低以写入存储器单元而不降低写入完成。头端晶体管电路可包含与存储器单元的 PFET串联的一或多个PFET头端，因此产生虚拟VDD节点。可使用可通过断言写入时钟所产生的脉冲写入信号控制正被写入的行的PFET头端的栅极。当启动写入时钟时，PFET头端切断到在写入操作期间争用的存储器单元PFET的电流路径。在本发明的一些实例中，可针对每一位单元局部地提供PFET头端。头端晶体管电路可包含插入在虚拟 vdd与接地之间以使虚拟VDD节点放电从而在写入操作期间而减小争用的NFET下拉，这是因为v_vdd具有在PFET头端关断时以其它方式将电压保持在v_vdd处的大电容。头端晶体管电路可包含箝位NFET，所述箝位NFET放置成与PFET头端并联以将虚拟 VDD节点箝位到略微地低于存储器单元中的上拉PFET的阈值电压，以确保上拉PFET 几乎不关断并防止虚拟VDD节点始终放电到接地。

[0020] 在本发明的一些实例中,头端晶体管电路可包含在写入时钟启动时产生相对于写入字线的可能脉冲宽度和位置的范围的可编程脉冲发生器。脉冲发生器可使用配置位以控制脉冲写入信号的宽度和位置,从而使得能够横跨制程变体校准最佳脉冲宽度以按部分或按处理器组最小化寄存器组VMIN。

[0021] 在本文中的描述中,术语“写入”与如本领域中已知的“存储”操作同义地使用。同样地,术语“读取”与“负载”同义地使用。此外,在描述中,可参考关于“高速缓冲存储块”的读取/写入操作,其可指小于完整高速缓冲存储行的粒度的粒度。然而,应理解,这些参考仅出于说明的目的,且不应被理解为限制本发明的范围。举例来说,所揭示技术可在适当时易于扩展到对于任何其它粒度的操作,例如高速缓冲存储字、高速缓冲存储行等。此外,还应理解,所参考高速缓冲存储块可包括数据或指令,即使可单独地在数据的写入/读取操作方面提供描述。此外,对更低层级的存储器层次的参考可包含超出可与处理器或处理元件相关联的本地或第一层(L1)高速缓冲存储器的备份存储元件。举例来说,对更低层级的存储器层次的参考在本文中可指第二层(L2)高速缓冲存储器、主存储器和可存在于L2高速缓冲存储器与主存储器之间的一或多个层级的存储器结构。

[0022] 在以下描述和相关图式中揭示各种方面以展示与本发明相关的具体实例。在阅读本发明之后,替代性实施例将对于所属领域的技术人员显而易见,且可在不脱离本发明的范围或精神的情况下建构并实践替代性实施例。另外,将不详细地描述或可省略熟知元件以便不混淆本文中所揭示的方面和实例的相关细节。

[0023] 词语“示范性”在本文中用以意指“充当实例、例子或说明”。本文中描述为“示范性”的任何细节未必应理解为比其它实例优选或有利。同样地,术语“实例”不要求所有实例包含所论述的特征、优点或操作模式。在此说明书中使用术语“在一个实例中”、“一实例”、“在一个特征中”和/或“一特征”不一定指相同特征和/或实例。此外,可将特定特征和/或结构与一个或多个其它特征和/或结构组合。此外,此处所描述的设备的至少一部分可经配置以执行此处所描述方法的至少一部分。

[0024] 本文中所使用的术语仅出于描述特定实例的目的,且并不既定限制本发明。如本文中所使用,除非上下文另外明确指示,否则单数形式“一”和“所述”既定还包含复数形式。应进一步理解,术语“包括(comprises/comprising)”和/或“包含(includes/including)”在于本文中使用时指定所陈述特征、整数、步骤、操作、元件和/或组件的存在,但并不排除一或多个其它特征、整数、步骤、操作、元件、组件和/或其群组的存在或添加。

[0025] 应注意,术语“连接”、“耦合”或其任何变体意指元件之间的直接或间接的任何连接或耦合,且可涵盖经由中间元件“连接”或“耦合”在一起的两个元件之间的中间元件的存在。元件之间的耦合和/或连接可为物理的、逻辑的或其组合。如本文中所使用,元件可(例如)通过使用一或多个线、电缆和/或印刷电连接以及通过使用电磁能来“连接”或“耦合”在一起。电磁能可具有射频区、微波区和/或光学(可见和不可见)区中的波长。这些是若干非限制性和非穷尽性实例。

[0026] 应理解,术语“信号”可包含例如数据信号、音频信号、视频信号、多媒体信号、模拟信号和/或数字信号等任何信号。可使用多种不同技术和技艺中的任一者来表示信息和信号。举例来说,在本说明书中所描述的数据、指令、过程步骤、命令、信息、信号、位和/或符号可由电压、电流、电磁波、磁场和/或微粒、光场和/或微粒及其任何组合表示。

[0027] 本文使用例如“第一”、“第二”等名称对元件的任何参考不限制那些元件的量和/或顺序。而是,这些名称用作区别两个或两个以上元件和/或元件的实例的方便方法。因此,对第一和第二元件的参考不意味着可使用仅两个元件,或第一元件必须一定先于第二元件。并且,除非另外说明,否则元件的集合可包括一或多个元件。另外,描述或权利要求书中使用的“A、B或C中的至少一者”形式的术语可被解译为“A或B或C或这些元件的任何组合”。

[0028] 另外,在将由(例如)计算装置的元件执行的动作的序列方面来描述许多实例。应认识到,可通过具体电路(例如,专用集成电路(ASIC))、通过正由一或多个处理器执行的程序指令或通过两者的组合来执行本文中所描述的各种动作。另外,可认为本文中所述的这些动作序列完全体现于任何形式的计算机可读存储媒体内,所述计算机可读存储媒体中存储有一组对应的计算机指令,所述计算机指令在被执行时将致使相关联处理器执行本文中所描述的功能性。因此,本发明的各种方面可以数种不同形式来体现,预期其全部属于所主张标的物的范围内。另外,对于本文所描述的实例中的每一者,任何此类实例的对应形式可在本文中描述为(例如)“经配置以”执行所描述动作的“逻辑”。

[0029] 在本说明书中,特定术语用以描述特定特征。术语“移动装置”可描述且不限于移动电话、移动通信装置、寻呼机、个人数字助理、个人信息管理器、移动手持式计算机、膝上型计算机、无线装置、无线调制解调器和/或通常由个人携带和/或具有通信能力的其它类型的便携式电子装置(例如,无线、蜂窝式、红外、短程无线电等)。此外,术语“用户设备”(UE)、“移动终端”、“移动装置”和“无线装置”可为可互换的。

[0030] 参考图2A,包含UE 200(在此处,无线装置)的系统100(例如蜂窝式电话)具有平台202,平台202可接收且执行从可最终来自核心网络、因特网和/或其它远程服务器和网络的无线电存取网络(RAN)所传输的软件应用、数据和/或命令。平台202可包含收发器206,其可操作地耦合到专用集成电路(“ASIC”)208或其它处理器、微处理器、逻辑电路或其它数据处理装置。ASIC 208或其它处理器执行应用程序编程接口(“API”)210层,API 210层与无线装置的存储器212中的任何驻留程序介接。存储器212可由只读或随机存取存储器(RAM和ROM)、EEPROM、快闪卡或通用于计算机平台的任何存储器构成。平台202还可包含可将现时不用的应用保持于存储器212中的本地数据库214。本地数据库214通常为快闪存储器单元,但可为如此项技术中已知的任何辅助存储装置,例如磁性媒体、EEPROM、光学媒体、磁带、软盘或硬盘或类似者。内部平台202组件还可操作地耦合到外部装置,例如天线222、显示器224、即按即说按钮228和小键盘226以及其它组件,如本领域中已知。

[0031] 因此,本发明的一实例可包含一种包含执行本文中所描述的功能的能力的UE。如所属领域的技术人员将了解,各种逻辑元件可以离散元件、执行于处理器上的软件模块或软件与硬件的任何组合实施,以达成本文中所揭示的功能性。举例来说,ASIC 208、存储器212、API 210和本地数据库214可全部协作使用以加载、存储和执行本文中所揭示的各种功能,且因此用以执行这些功能的逻辑可分布于各种元件上。替代地,可将所述功能性并入到一个离散组件中。因此,图2A中的UE 200的特征应被视为仅仅是说明性的,且本发明不限于所说明特征或布置。

[0032] UE 200与RAN之间的无线通信可基于不同技术,例如码分多址(CDMA)、宽带CDMA(W-CDMA)、时分多址(TDMA)、频分多址(FDMA)、正交频分多路复用(OFDM)、全球移动通信系统(GSM)、3GPP长期演进(LTE)或可用于无线通信网络或数据通信网络中的其它协议。因此,

本文中所提供的说明并不意图限制本发明的实例,且仅辅助对本发明的实例的方面描述。

[0033] 图2B描绘示范性处理器10(例如经配置以将具有改善的低电压写入速度的特征并入到位单元的ASIC 208)的功能框图。处理器10根据控制逻辑14而执行指令执行管线 12中的指令。控制逻辑14保持程序计数器(PC) 15,且在一个或多个状态寄存器16中设定并清除位以指示(例如)当前指令集操作模式,关于算术运算和逻辑比较(零、携载、相等、不相等)的结果的信息、和类似者。在一些实例中,管线12可为具有多个平行管线的超标量设计。管线12还可被称作执行单元。通用寄存器(GPR)文件20提供可由管线12存取且包括存储器层次的顶部的通用寄存器24的列表。

[0034] 处理器10,其在不同指令集操作模式中执行来自至少两个指令集的指令,另外包含调试电路18,其具操作性以在执行每一指令之后即刻比较至少一预定目标指令集操作模式与当前指令集操作模式和提供对所述两者之间的匹配的指示。下文更详细地描述调试电路18。

[0035] 管线12从指令高速缓冲存储器(I高速缓冲存储器)26提取指令,其中存储器地址转译和权限由指令侧转译后备缓冲器(ITLB)28管理。从数据高速缓冲存储器(D高速缓冲存储器)30存取数据,其中存储器地址转译和权限由主转译后备缓冲器(TLB)32管理。在不同实例中,ITLB 28可包括TLB 32的部分的拷贝。替代地,ITLB 28与TLB 32可集成。相似地,在处理器10的各种实例中,I高速缓冲存储器26与D高速缓冲存储器 30可集成或统一。此外,I高速缓冲存储器26和D高速缓冲存储器30可为L1高速缓冲存储器。I高速缓冲存储器26和/或D高速缓冲存储器30中的遗漏致使存储器接口34 对主(芯片外)存储器38、40的存取。存储器接口34可为到实施到一或多个存储器装置 38、40的共享总线的总线互连件42的主要输入,存储器装置38、40可根据本发明的一些实例而并入改善的低电压写入速度。额外主装置(未展示)可另外连接到总线互连件42。

[0036] 处理器10可包含输入/输出(I/O)接口44,处理器10可为外围总线上的主装置,I/O接口44可穿过处理器10经由总线46存取各种外围装置48、50。所属领域的技术人员将认识到处理器10的多个变化是可能的。举例来说,处理器10可包含第二层级(L2)高速缓冲存储器以用于I高速缓冲存储器26和D高速缓冲存储器30中的任一者或两者。另外,可从特定实例省略处理器10中所描绘的功能块中的一或多者。可驻留于处理器 10中的其它功能块(例如JTAG控制器、指令预解码器、分支目标地址高速缓冲存储器和类似者)与本发明的描述并无密切关系,且出于清楚的目的而被省略。

[0037] 图3描绘具有写入字线(WWL)驱动器310的存储器单元或位单元晶体管电路300。六晶体管(6T)位单元为基于解耦写入端口315以便消除读取稳定性问题的六晶体管(6T)位单元的单写入端口位单元。此方案使得能够优化6T部分以执行可写性和增大写入端口315中的写入速度。行上的位单元共享相同列共享读位线(RBL)、字位线(WBL)、互补字位线(N_WBL)上的相同WWL和RWL和位单元。真实节点312为选择性地经由串联的n型通道装置(NFET)与p型通道装置(PFET)耦合的共同真实节点,且互补节点314 为选择性地经由彼此串联的NFET和PFET耦合的共同互补节点。共同真实节点表示为 T且共同互补节点表示为C。

[0038] 在低功率CPU中,一种减小功率的常用方法为减小供电电压(VDD)。供电电压可连接到供应轨(未展示)。当供电电压减小时,效能的减小并非线性的,且其随着供应减小更接

近到最高V_t装置的V_t而变得指数性的,通常出于泄漏控制原因而在存储器阵列中发现最高V_t装置。

[0039] 在存储器位单元中,这些操作特性对于数据保留和写入完成速度两者具有影响。当 VDD接近V_t时,保持信号噪声容限(SNM) (其为静态随机存取存储器(SRAM)的数据保留品质因数)降级,这是因为电压按比例缩减致使NFET的泄漏电流变得与PFET的饱和电流相当。另一方面,写入速度依赖于2个操作:写入“0”阶段,其通过传送NFET中的一者将T节点或C节点快速地拉动到接地,以及继之以写入完成阶段,其通过上拉PFET 中的一者将C节点或T节点快速地拉动到VDD。此降级不利地影响写入完成,这是因为在低电压处,PFET必须在NFET仅获得极弱高(HIGH)时将输入上拉到高。因为 NFET/PFET比通常为2到3×,所以PFET倾向于极弱且此速度将指示低电压处的最小写入时间(最长时间WWL 310需要为高以便写入到单元);虽然此降级弱化上拉PFET装置,但是其并不足以在第一写入操作方面有所帮助。存在争用路径,其中上拉PFET对抗传送NFET装置以防止T节点或C节点拉动到“0”。

[0040] 用以相对于低电压处的弱PFET改善数据保留和写入速度的最直接方式为扩大规模或使用更低V_t装置。然而,这并不是最佳解决方案,这是因为其将使单元的可写性在所有电压处降级(来自PFET的争用越大意味着NFET翻转节点将越困难)且此引起增加的泄漏。

[0041] 图4描绘根据本发明的一些实例的寄存器组电路。如图4中所展示,寄存器组电路400可包含多个存储器或位单元410、头端电路480和驱动电路495。虽然展示多个存储器单元410,但是应理解,可使用单个存储器单元。此外,存储器单元410可包含读取电路(未展示)。

[0042] 每一存储器单元410可包含具有栅极412、源极413和漏极414的第一PFET 411。第一PFET源极413可耦合到虚拟供电电压(v_vdd)415。每一存储器单元410可包含具有栅极417、源极418和漏极419的第二PFET 416。第二PFET源极418可耦合到虚拟供电电压415。

[0043] 每一存储器单元410可包含具有栅极421、源极422和漏极423的第一NFET 420。第一NFET源极422可耦合到第一PFET漏极414,第一NFET栅极421可耦合到第一 PFET栅极412,且第一NFET漏极423可耦合到接地424。每一存储器单元410可包含具有栅极426、源极427和漏极428的第二NFET 425。第二NFET源极427可耦合到第二PFET漏极419,第二NFET栅极426可耦合到第二PFET栅极417,且第二NFET漏极428可耦合到接地424。虽然未展示,但是第二NFET栅极可耦合到读取电路。

[0044] 每一存储器单元410可包含具有栅极430、源极431和漏极432的第三NFET 429。第三NFET栅极430可耦合到写入字线433,第三NFET漏极432可耦合到第二PFET 栅极417和第二NFET栅极426,且第三NFET源极431可耦合到写入位线(wb1)434。每一存储器单元410可包含具有栅极436、源极437和漏极438的第四NFET 435。第四 NFET栅极436可耦合到写入字线433,第四NFET漏极438可耦合到第一PFET栅极 412和第一NFET栅极421,且第四NFET源极可耦合到字位线补集(wb1_1)439。

[0045] 头端电路480可包含多个头端PFET 481、第一头端NFET 482和第二头端NFET 483。虽然展示多个头端PFET 481,但是应理解,可使用单个头端PFET 481。另外,虽然展示用于多个存储器单元410的单个头端电路480,但是应理解,可为每一存储器单元410 提供单独头端电路480。当为每一存储器单元410提供单独头端电路480时,可针对每一存储器单元410使用单个共同对头端NFET装置482和483,而非一对头端NFET装置。

[0046] 每一头端PFET 481可包含栅极484、源极485和漏极486。头端PFET源极485可耦合到为耦合到存储器单元的处理器供应电压的系统供电电压(vdd) 487, 头端PFET栅极484可耦合到驱动电路495, 且头端PFET漏极486可耦合到虚拟供电电压415。

[0047] 第一头端NFET 482可具有栅极488、源极489和漏极490。第一头端NFET源极 489可耦合到虚拟供电电压415, 第一头端NFET栅极488可耦合到驱动电路495, 且第一头端NFET漏极490可耦合到接地424。

[0048] 第二头端NFET 483可具有栅极491、源极493和漏极492。第二头端NFET源极 493可耦合到系统供电电压487、第二头端NFET栅极491可耦合到驱动电路495, 且第二头端NFET漏极492可耦合到虚拟供电电压415。

[0049] 驱动电路495可包含耦合到写入时钟信号(wr_clk) 496的脉冲发生器494和耦合到每一头端PFET 481、第一头端NFET 482和第二头端NFET 483的栅极的写入信号输出 497。

[0050] 现将描述根据本发明的一些实例的图4中所展示的寄存器组电路400的示范性操作。头端PFET 481经配置以使虚拟供电电压415的电压降低低于存储器单元PFET 411 和 416的阈值电压(Vt)。此可通过关断头端PFET 481的写入信号输出实现, 同时在头端 PFET 481和第一头端NFET 482的栅极耦合到由驱动电路495产生的写入信号输出时接通第一头端NFET 482。这个配置将切断到存储器单元410的电流路径, 此关断第一PFET 411和第二PFET 416且消除存储器单元410内的写入争用。为了防止虚拟供电电压415 转到接地或零, 第二头端NFET 483将虚拟供电电压415箝位到vdd减PFET 411和416 的Vt。此可用过为NFET 482和483设定大小以提供所要的电阻分压器率电压来加以实现。

[0051] 驱动电路495的写入信号输出可包含提供具有宽度的脉冲写入信号的脉冲发生器494, 所述宽度经设计以防止在写入字线433主动的完整时间段期间完全地移除写入争用。脉冲的宽度可经配置并定时(相对于写入字线信号的位置)以快速地完成写入制程, 同时通过同时保持第一头端NFET 482和第二头端NFET 483来减小所需的能量。脉冲写入信号的宽度亦可经优化以寻址在制造(manufacturing/fabrication)工艺期间在电路中发生的工艺变化。

[0052] 图5描绘根据本发明的一些实例的寄存器组电路的写入过程的时序图和完成时间曲线。如图5中所展示, 写入字线信号500启动且从零上升到vdd。在启动写入字线信号 500之前, 脉冲写入信号510从驱动电路输出, 同时将脉冲写入信号线上的电压从零升高到vdd。当脉冲写入信号510达到vdd时, 虚拟供电电压信号520下降低于vdd且在写入字线信号500达到vdd之前取决于第一头端NFET与第二头端NFET的比率而在某一电压处变得箝位。脉冲写入信号的宽度经配置以在脉冲写入信号电压下降返回到零之前提供足够时间来进行写入完成。如图5中所展示, y轴530展示0.9伏处的归一化的延迟(归一化到不具有任何写入辅助机构的常规位单元)且x轴540以伏为单位展示存储器单元的Vmin。常规6T位单元的写入完成时间的图形550展示0.55伏的一, 而根据本发明的一些实例的寄存器组电路的写入完成时间的图形560展示相同延迟期间的约0.48 伏的Vmin。此引起Vmin的11%减小, 其在写入完成期间平移到21%能量节省。如果具有根据一些实例的写入辅助的寄存器组电路的所要Vmin为0.55伏, 那么写入辅助的使用将仍引起写入完成的延迟的45%减小。

[0053] 本申请案中所陈述或所说明、所描绘的内容都不意图专用任何组件、步骤、特征、权益、优点或等效于公用, 而不管权利要求书中是否叙述所述组件、步骤、特征、权益、优点

或等效者。

[0054] 所属领域的技术人员应了解,可使用多种不同技术和技艺中的任一者来表示信息和信号。举例来说,可通过电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在整个上文描述中可能参考的数据、指令、命令、信息、信号、位、符号和码片。

[0055] 另外,所属领域的技术人员应了解,结合本文中所揭示的实例所描述的各种说明性逻辑块、模块、电路和算法步骤可被实施为电子硬件、计算机软件,或两者的组合。为清晰地说明硬件与软件的此可互换性,已在上文中大体就其功能性来描述了各种说明性组件、块、模块、电路和步骤。将此功能性实施为硬件还是软件取决于特定应用和施加于整个系统的设计约束。熟练的技术人员可针对每一特定应用以不同方式实施所描述功能性,但此类实施决策不应被解译为引起偏离本发明的范围。

[0056] 结合本文中所揭示的实例所描述的方法、序列和/或算法可直接地以硬件、以由处理器执行的软件模块或以所述两者的组合予以体现。软件模块可驻留在RAM存储器、快闪存储器、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可装卸磁盘、CD-ROM或此项技术中已知的任何其它形式的存储媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息并且将信息写入到存储媒体。在替代方案中,存储媒体可集成到处理器。

[0057] 结合本文中所揭示的方面而描述的各种说明性逻辑、逻辑块、模块和电路可用以下各项来实施或执行:通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件或经设计以执行本文中所描述的功能的其任何组合。通用处理器可为微处理器,但在替代方案中,处理器可以为任何常规处理器、控制器、微控制器或状态机。处理器还可以实施为计算装置的组合(例如,DSP与微处理器的组合、多个微处理器、结合DSP核心的一或多个微处理器或任何其它此类配置)。

[0058] 虽然已结合装置描述一些方面,但理所当然的是,这些方面还构成对应方法的描述,且因此,装置的块或组件还应被理解为对应方法步骤或方法步骤的特征。与其类似地,结合方法步骤所描述或描述为方法步骤的方面也构成对对应块或对应装置的细节或特征的描述。可通过例如微处理器、可编程计算机或电子电路的硬件装置(或使用硬件装置)来执行方法步骤中的一些或全部。在一些实例中,一些或多个极重要的方法步骤可由此设备执行。

[0059] 上文所描述的实例仅构成本发明的原理的说明。理所当然的是,对本文中所描述的布置和细节的修改和变化将对所属领域的技术人员显而易见。因此,希望本发明仅受随附专利权利要求书的保护范围,而非受基于对本文中的实例的描述和解释所呈现的具体细节限制。

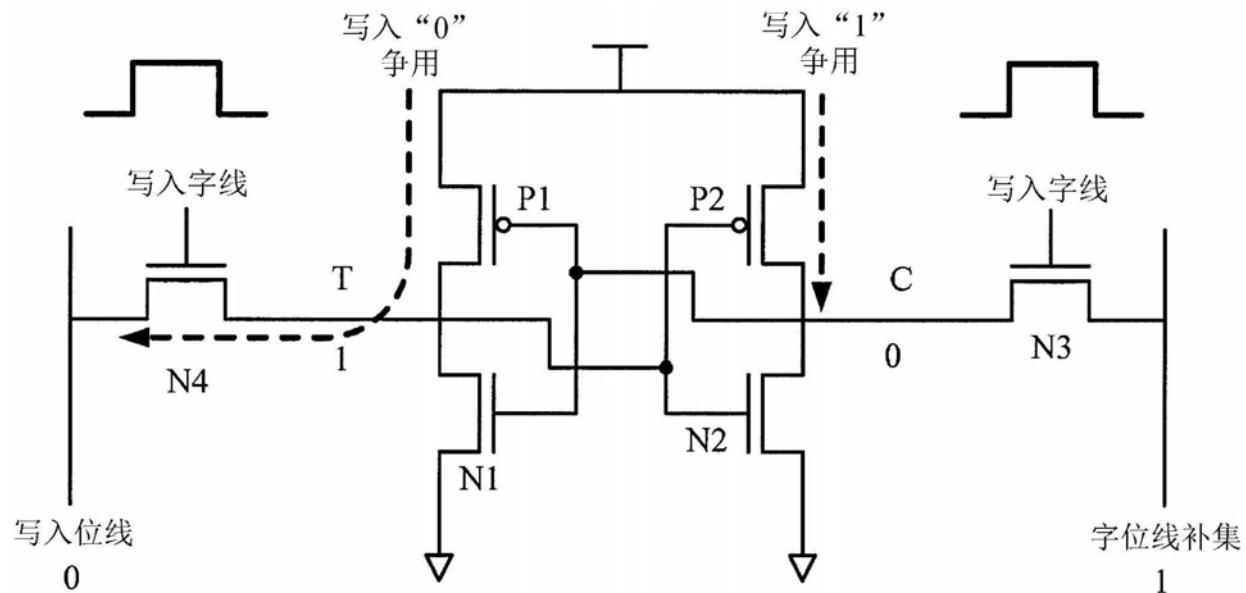
[0060] 在以上【实施方式】中可看出,可在实例中将不同特征分组在一起。不应将此揭示方式理解为所主张实例需要比相应权利要求中所明确地提及的特征更多的特征的意图。确切地说,所述情形使得发明性内容可存在于所揭示的个别实例的少于所有的特征中。因此,所附权利要求书应特此被视为并入于【实施方式】中,其中每一权利要求本身可作为一单独实例。虽然每一权利要求本身可作为单独实例,但应注意,虽然从属权利要求可在权利要求书中指与一个或多个权利要求的具体组合,但其它实例也可涵盖或包含所述从属权利要求与任何其它从属权利要求的标的物的组合,或任何特征与其它从属和独立权利要求的组

合。除非明确地表达出不希望具体组合,否则在本文中提议这些组合。此外,还希望可将一权利要求的特征包含于任何其它独立权利要求中,即使所述权利要求并不直接地依附于独立权利要求也如此。

[0061] 此外应注意,在【实施方式】中或在权利要求书中所揭示的方法可由包括用于执行此方法的相应步骤或动作的装置的设备来实施。

[0062] 此外,在一些实例中,个别步骤/动作可被再分成多个子步骤,或含有多个子步骤。这些子步骤可含于个别步骤的揭示内容中且为所述个别步骤的揭示内容的部分。

[0063] 虽然前述揭示内容示出本发明的说明性实例,但应注意,在不脱离如所附权利要求书界定的本发明的范围的情况下,可以在本文中做出各种改变和修改。不必以任何特定顺序来执行根据本文中所描述的本发明的方面的方法权利要求项的功能、步骤和/或动作。此外,虽然可能以单数形式描述或主张本发明的元件,但是除非明确陈述限于单数形式,否则也涵盖复数形式。



常规技术

图1

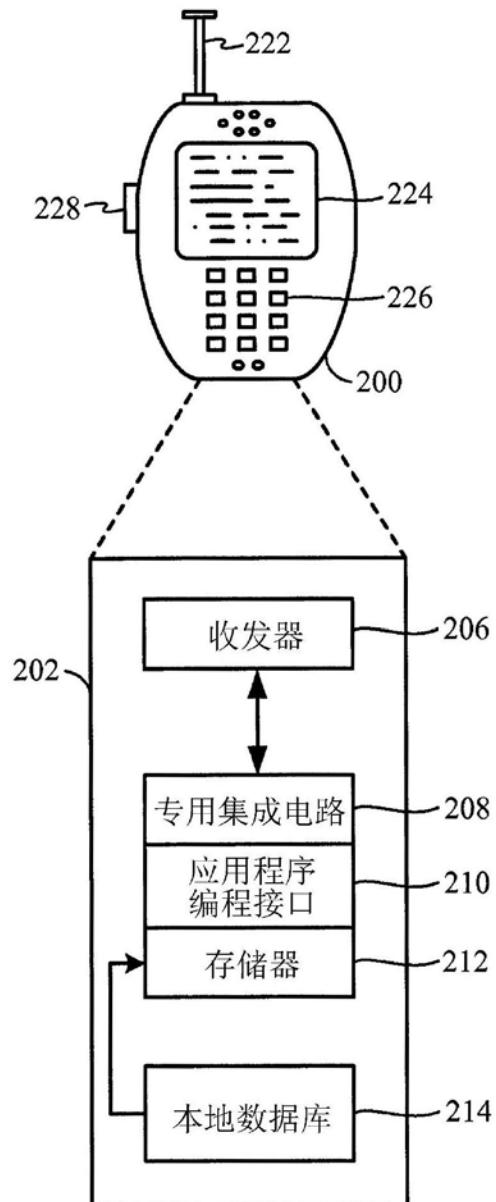


图2A

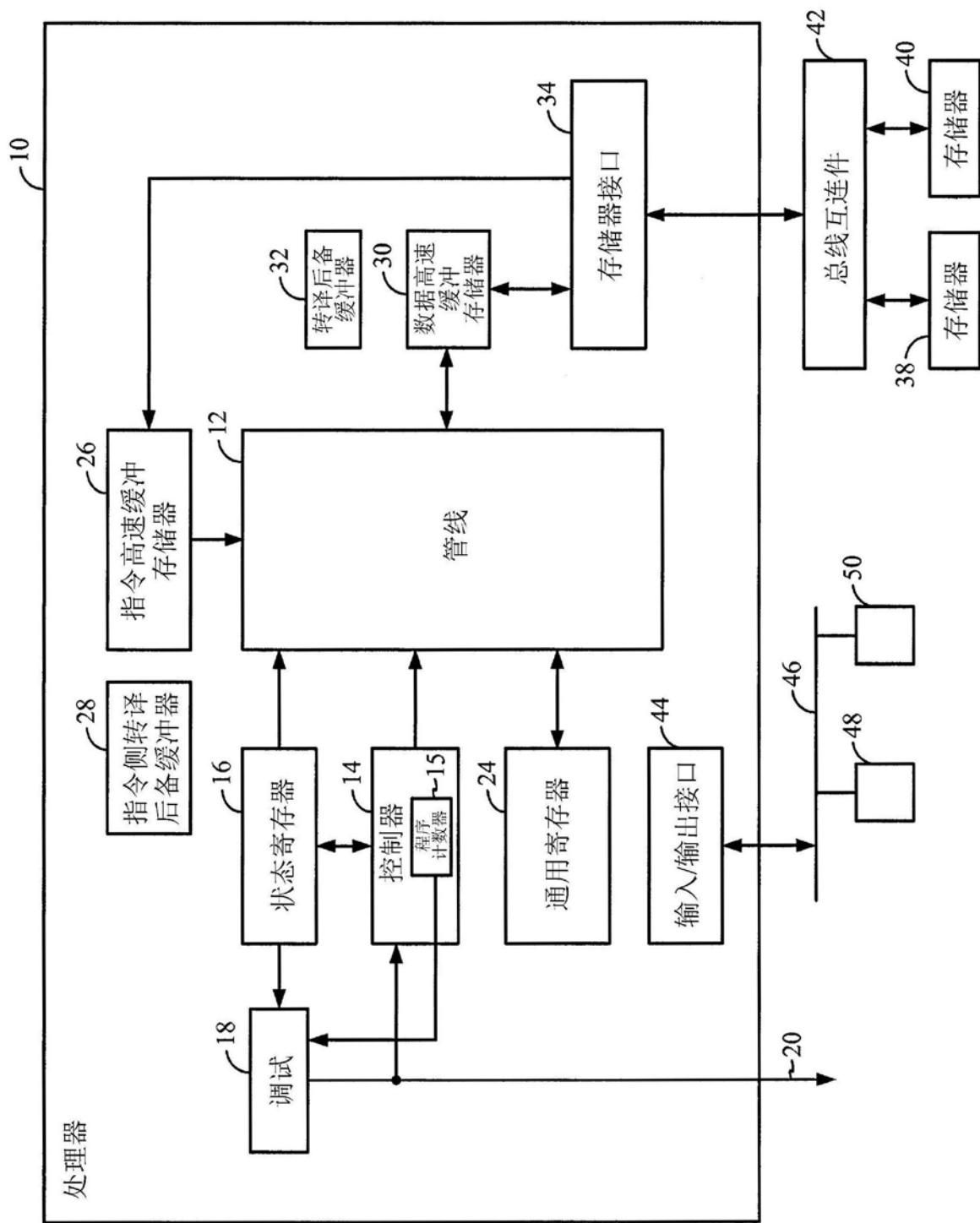


图2B

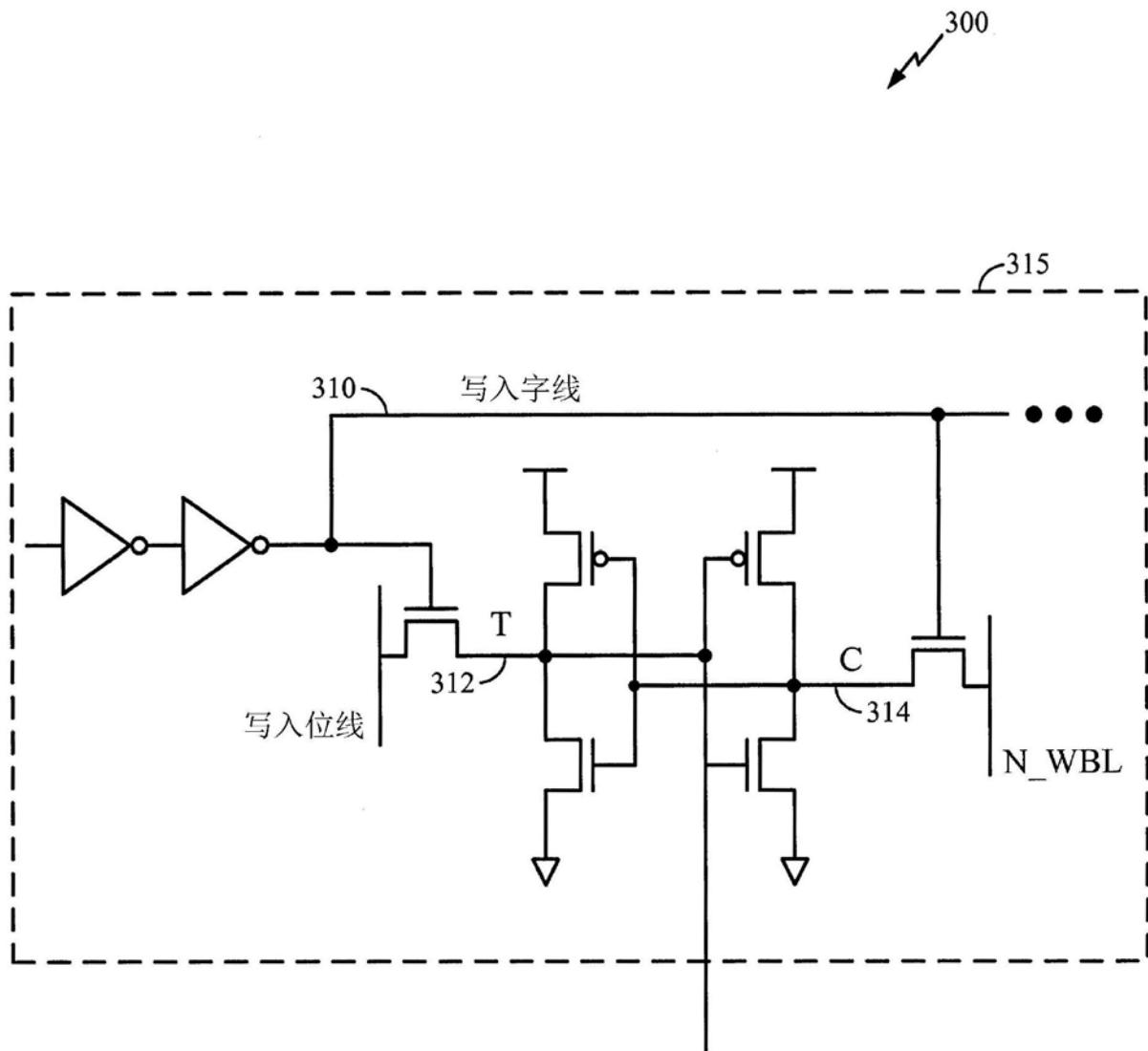


图3

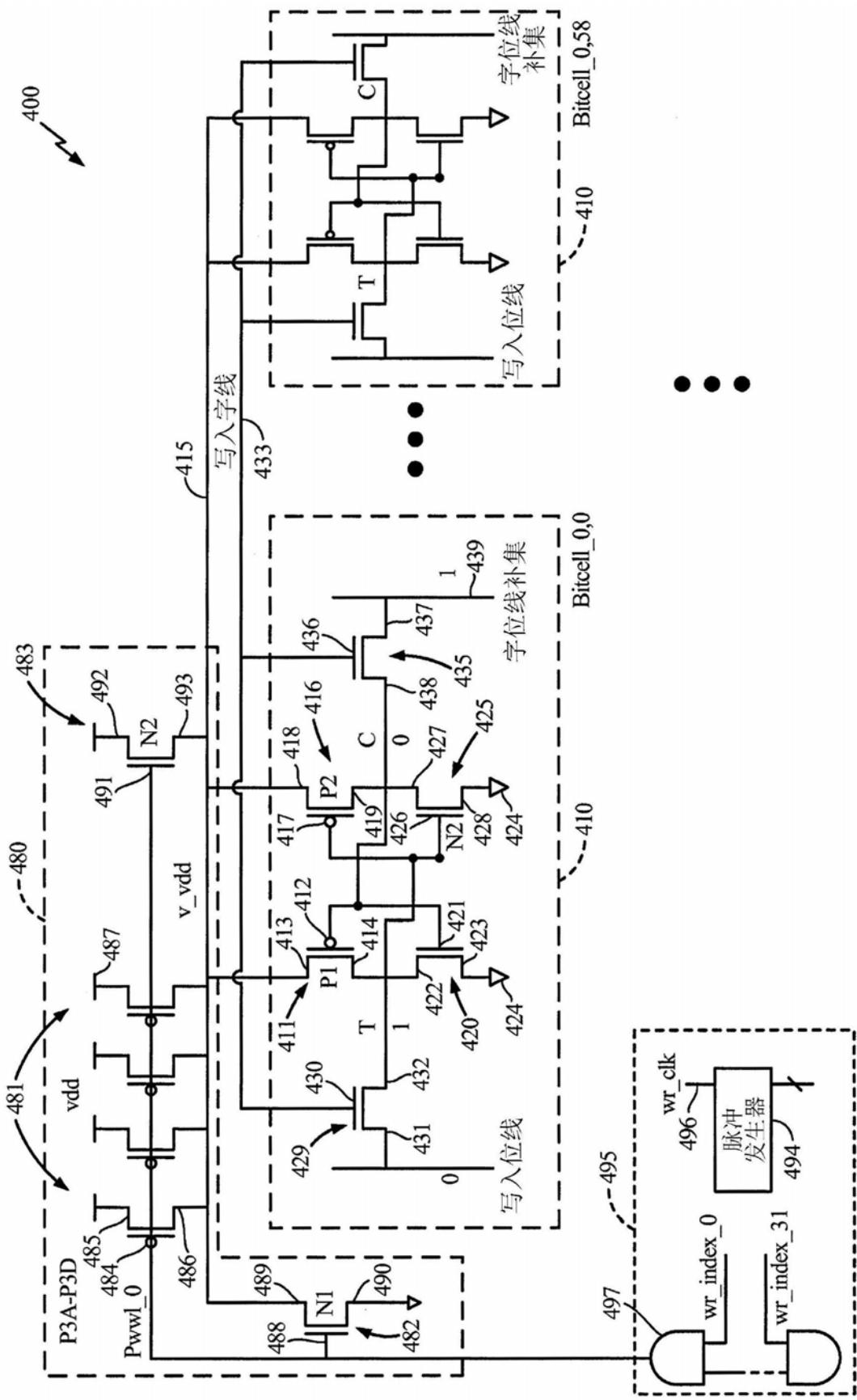


图4

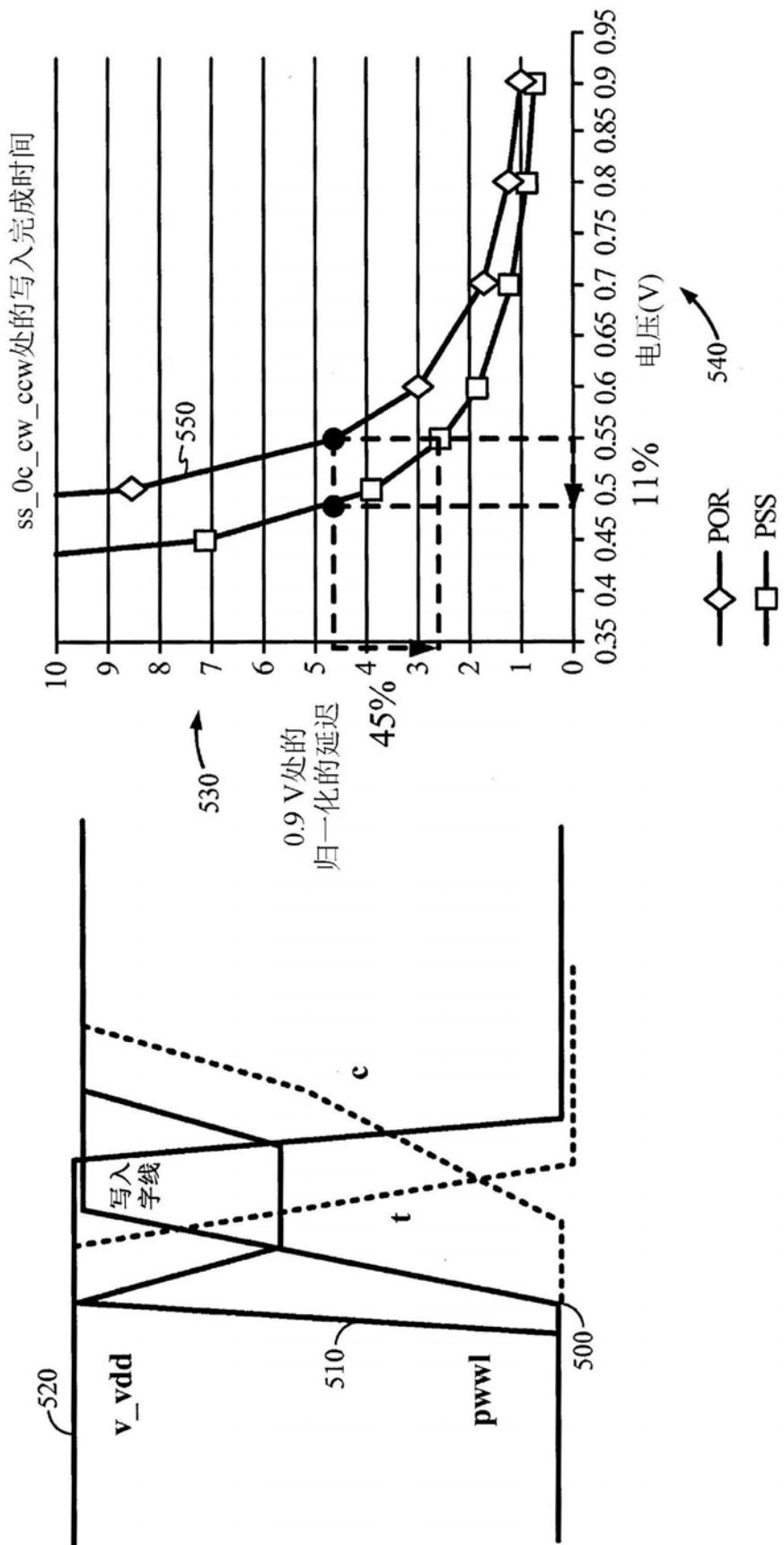


图5