(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3836539号
(P3836539)
(45)発行日　平成18年10月25日(2006.10.25)　(24)登録日　平成18年8月4日(2006.8.4)

(51)Int.Cl.			F I		
H01J	1/30	(2006.01)	H01J	1/30	B
H01J	9/02	(2006.01)	H01J	9/02	B

請求項の数 5　(全 11 頁)

(21)出願番号　特願平8-200992
(22)出願日　平成8年7月12日(1996.7.12)
(65)公開番号　特開平10-31954
(43)公開日　平成10年2月3日(1998.2.3)
審査請求日　平成12年5月29日(2000.5.29)
審判番号　不服2004-718(P2004-718/J1)
審判請求日　平成16年1月8日(2004.1.8)

(73)特許権者　000201814
双葉電子工業株式会社
千葉県茂原市大芝６２９
(74)代理人　100086841
弁理士　脇　篤夫
(74)代理人　100114122
弁理士　鈴木　伸夫
(72)発明者　伊藤　茂生
千葉県茂原市大芝６２９　双葉電子工業株式会社内

合議体
審判長　杉野　裕幸
審判官　山川　雅也
審判官　山口　敦司

最終頁に続く

(54)【発明の名称】電界放出素子およびその製造方法

(57)【特許請求の範囲】

【請求項１】

カソード基板に形成された複数本のストライプ状の溝内に、カソードライン、抵抗層、およびナノカーボンにより形成されたエミッタ層が順次形成されており、

上記エミッタ層は厚膜印刷する方法、又はスプレー塗布する方法、又はペースト状にして塗布する方法、又は溶液状にして塗布する方法により平面状に形成されると共に、その表面から多数の突起が突出しており、

上記ストライプ状の溝と溝との間の上記カソード基板の表面に、ゲートラインが形成されていることを特徴とする電界放出素子。

【請求項２】

上記エミッタ層と上記ゲートラインが同一の材料で形成されており、上記抵抗層の最上面の高さが上記カソード基板の表面の高さにほぼ一致していることを特徴とする請求項１に記載の電界放出素子。

【請求項３】

カソード基板にフォトレジストを塗布してパターニングすることにより、複数本のストライプ状の溝を形成する第１工程、

該第１工程後に、前記ストライプ状の溝と溝との間の前記カソード基板の表面から前記溝の壁面にかけてのみにリフトオフ層を形成する第２工程、

該第２工程後の前記カソード基板に垂直方向からカソード材料層を形成する第３工程、

該第３工程後の前記カソード基板に、垂直方向から抵抗材料層を形成する第４工程、

該第４工程後の前記カソード基板の表面を研磨して、前記ストライプ状の溝と溝との間の前記カソード基板の表面に形成された前記抵抗材料層、カソード材料層、前記リフトオフ層、およびフォトレジストを取り除く第５工程、
該第５工程後のカソード基板に、厚膜印刷する方法、またはスプレー塗布する方法、またはペースト状にして塗布する方法、又は溶液状にして塗布する方法により垂直方向からナノカーボンによりなるエミッタ材料層を形成して、前記溝内に積層して形成されたカソードラインおよび抵抗層上にエミッタ層を形成すると共に、前記ストライプ状の溝と溝との間の前記カソード基板の表面にゲートラインを同時に形成する第６工程からなることを特徴とする電界放出素子の製造方法。
【請求項４】
カソード基板にフォトレジストを塗布してパターニングすることにより、複数本のストライプ状の溝を形成する第１工程、
該第１工程後に、前記ストライプ状の溝と溝との間の前記カソード基板の表面から前記溝の壁面にかけてのみにリフトオフ層を形成する第２工程、
該第２工程後の前記カソード基板に、垂直方向からカソード材料層を形成する第３工程、
該第３工程後の前記カソード基板に、垂直方向から抵抗材料層を形成する第４工程、
該第４工程後の前記カソード基板に、スプレー塗布する方法、又はペースト状にして塗布する方法、又は溶液状にして塗布する方法により垂直方向からナノカーボンよりなるエミッタ材料層を形成する第５工程、
該第５工程後に前記リフトオフ層を除去して、前記ストライプ状の溝と溝との間の前記カソード基板の表面に形成された前記エミッタ材料層、前記抵抗材料層、およびカソード材料層を取り除くと共に、前記フォトレジストを取り除く第６工程、
該第６工程後に前記ストライプ状の溝と溝との間の前記カソード基板の表面にゲートラインを形成する第７工程からなることを特徴とする電界放出素子の製造方法。
【請求項５】
前記ストライプ状の溝内に積層されて形成された前記カソードライン、前記抵抗層、前記ナノカーボンよりなるエミッタ層の各高さを合計した高さが、前記ストライプ状の溝の深さより低くされていることを特徴とする請求項４に記載の電界放出素子の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は平面状のエミッタラインを有する電界放出素子、およびその製造方法に関するものである。
【０００２】
【従来の技術】
金属または半導体表面の印加電界を10^9［Ｖ／ｍ］程度にするとトンネル効果により、電子が障壁を通過して常温でも真空中に電子放出が行われる。これを電界放出（Field Emission）と云い、このような原理で電子を放出する素子を電界放出素子、あるいは電界放出カソードと呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなるアレイを用いて、面放出型の電界放出カソードを作成することが可能となり、このような電界放出カソードを用いた画像表示装置（ＦＥＤ表示装置）の研究開発が行われている。
【０００３】
図７に半導体加工技術により作成されたスピント（Spindt）型と呼ばれる電界放出カソード（ＦＥＣ）を用いたＦＥＤ表示装置の概略を示す。
この図７に示すように、ＦＥＣはガラス等の基板Ｓの上にアルミニウム等の金属からなるカソード電極Ｋが蒸着により形成されており、このカソード電極Ｋ上にモリブデン等の金属からなるコーン状のエミッタＥが形成されている。
カソード電極Ｋ上のエミッタＥが形成されていない部分には二酸化シリコン（SiO_2）から

なる絶縁層Ｉが形成され、さらにその上にはゲートＧＴが形成されており、ゲートＧＴ及び絶縁層Ｉに設けられた丸い開口部の中に上記コーン状のエミッタＥが位置している。
すなわち、このコーン状のエミッタＥの先端部分がゲートＧＴに設けられた開口部から臨む構成とされている。

【０００４】

このコーン状のエミッタＥのエミッタ間のピッチは、１０ミクロン以下で製作することができ、数万から数１０万個のエミッタＥを１枚の基板Ｓ上に設けることができる。
さらに、ゲートＧＴとエミッタＥのコーンの先端との距離をサブミクロンとすることができるため、ゲートＧＴとエミッタＥ（カソード電極Ｃ）間とに僅か数１０ボルトのゲート・エミッタ間電圧V_{GE}を印加することにより、電子をエミッタＥから放出することができる。この電界放出された電子はゲートＧＴ上に離隔して配置された正の電圧V_Aが印加されているアノードＡにより補集される。

【０００５】

この場合、コーン状のエミッタＥの１つから得られるエミッション電流は約１マイクロアンペアと小さい電流であるため、多数のエミッタＥをアレイ化することにより所望の大きさのエミッション電流が得られるＦＥＣとしている。
この場合、アノードＡは放出された電子を捕集し、アノードＡに蛍光体を設けておくとエミッタＥから電界放出された電子が捕集されるアノードＡの蛍光体の部分を発光させることが出来る。このような原理を利用することにより、ＦＥＣを用いた画像表示装置、即ちＦＥＤ表示装置が実現されている。

【０００６】

【発明が解決しようとする課題】

しかしながら、スピント型の電界放出素子は、図７に示されているように絶縁層Ｉに形成した開口部内にコーン状のエミッタＥを形成させていることから、製造工程が複雑となり、このため、製造装置のコストが高くなると共に、スループットをあげることができなかった。従って、製品コストが高くなるという問題点があった。
そこで、本発明は製造工程を簡易にすることができる電界放出素子を提供すること、およびその製造方法を提供することを目的としている。

【０００７】

【課題を解決するための手段】

上記目的を達成するために、本発明の電界放出素子は、カソード基板に形成された複数本のストライプ状の溝内に、カソードライン、抵抗層、およびナノカーボンからなるエミッタ層が順次形成されており、前記エミッタ層は例えば厚膜印刷法、スプレー塗布法等によって平面状に形成されると共に、その表面に多数の突起が突出するように構成され、前記ストライプ状の溝と溝との間の前記カソード基板の表面に、ゲートラインが形成されているものである。

【０００８】

また、本発明の電界放出素子の製造方法は、カソード基板にフォトレジストを塗布してパターニングすることにより、複数本のストライプ状の溝を形成する第１工程、該第１工程後に、前記ストライプ状の溝と溝との間の前記カソード基板の表面から前記溝の壁面にかけてのみにリフトオフ層を形成する第２工程、該第２工程後の前記カソード基板に垂直方向からカソード材料層を形成する第３工程、該第３工程後の前記カソード基板に、垂直方向から抵抗材料層を形成する第４工程、該第４工程後の前記カソード基板の表面を研磨して、前記ストライプ状の溝と溝との間の前記カソード基板の表面に形成された前記抵抗材料層、カソード材料層、前記リフトオフ層、およびフォトレジストを取り除く第５工程、該第５工程後のカソード基板に、厚膜印刷する方法、またはスプレー塗布する方法、またはペースト状にして塗布する方法、又は溶液状にして塗布する方法により垂直方向からナノカーボンからなるエミッタ材料層を形成して、前記溝内に積層して形成されたカソードラインおよび抵抗層上にエミッタ層を形成すると共に、前記ストライプ状の溝と溝との間の前記カソード基板の表面にゲートラインを同時に形成する第６工程からなる。

【０００９】
さらに、本発明の他の電界放出素子の製造方法は、カソード基板にフォトレジストを塗布してパターニングすることにより、複数本のストライプ状の溝を形成する第１工程、該第１工程後に、前記ストライプ状の溝と溝との間の前記カソード基板の表面から前記溝の壁面にかけてのみにリフトオフ層を形成する第２工程、該第２工程後の前記カソード基板に、垂直方向からカソード材料層を形成する第３工程、該第３工程後の前記カソード基板に、垂直方向から抵抗材料層を形成する第４工程、該第４工程後の前記カソード基板に、スプレー塗布する方法、又はペースト状にして塗布する方法、又は溶液状にして塗布する方法により垂直方向からナノカーボンからなるエミッタ材料層を形成する第５工程、該第５工程後に前記リフトオフ層を除去して、前記ストライプ状の溝と溝との間の前記カソード基板の表面に形成された前記エミッタ材料層、前記抵抗材料層、およびカソード材料層を取り除くと共に、前記フォトレジストを取り除く第６工程、該第６工程後に前記ストライプ状の溝と溝との間の前記カソード基板の表面にゲートラインを形成する第７工程からなる。
この場合、前記ストライプ状の溝内に積層されて形成された前記カソードライン、前記抵抗層、前記エミッタ層の各高さを合計した高さが、前記ストライプ状の溝の深さより低くされている。
【００１０】
このような本発明によれば、カソード基板にストライプ状の溝を形成し、この溝内に従来のコーン状のエミッタに替えて平面状のエミッタラインを形成するようにしたので、その製造工程を簡易にすることができる。従って、低価格の電界放出素子とすることができ、大面積の表示装置等に応用することができるようになる。
また、本発明の電界放出素子の製造方法は、設備コストを低減することができると共に、スループットを飛躍的に向上することができ、量産性に優れた製造方法となる。
【００１１】
【発明の実施の形態】
本発明の電界放出素子の実施の形態の構成例を図１および図２に示す。図１は、本発明の電界放出素子の斜視図であり、図２はその一部を拡大して示す断面図である。
図１において、電界放出素子が形成されているガラスあるいはセラミックのカソード基板１には、エッチング等によりストライプ状の溝が多数本形成されている。この溝内には平面状のエミッタライン２がそれぞれ形成されている。また、ストライプ状の溝と溝との間のカソード基板１上にはゲートライン６が形成されている。
【００１２】
ストライプ状の溝の断面の構成を拡大して図２に示すが、溝内には一番下にカソードライン５が形成され、その上に抵抗層４、さらにその上にエミッタ層３が形成されている。また、エミッタ層３を形成するに当たっては、その材料内に角を有する粒子を混合したり、表面に粒子膜を形成することにより、エミッタ層３の表面から多数の突起が突出されているようにする。また、エミッタ層３が形成されているストライプ状の溝と溝との間のカソード基板１の表面上には、ゲートライン６が形成されている。
このような構成の電界放出素子において、カソードライン５とゲートライン６との間に電圧を印加し、エミッタ層３とゲートライン６間の電界が10^{9}［Ｖ／ｍ］程度になるようにするとトンネル効果により、エミッタライン２から電子が真空中に放出される。この際に、抵抗層４の作用により安定した電子放出が各エミッタライン２から行われる。
【００１３】
ここで、エミッタ層３とカソードライン５との間に抵抗層４を設ける理由を説明すると、エミッタ層３ゲートライン６との間隔はサブミクロンという極めて接近した間隔とされていると共に、多数本のエミッタライン２の長さはその幅に比べてきわめて長いものとされている。すると、製造の過程において塵埃等によりエミッタ層３とゲートライン６とが短絡してしまったり、各エミッタライン２のエミッタ層３とゲートライン６との間隔や、エミッタライン２の長さ方向においてエミッタ層３の表面とゲートライン６との間隔が一様

にならず、異なることがある。
例えば、ゲートライン６とエミッタライン２間が短絡していると、カソードライン５とゲートライン６とが短絡したことになるため、そのエミッタライン２に電圧が印加されなくなり動作不能のラインを有する電界放出素子となってしまう。
【００１４】
また、電界放出素子の初期の動作時に局部的な脱ガスが生じ、このガスによりエミッタライン２とゲートライン６あるいはアノード間が放電を起こすことがあり、このため大電流がカソードライン５に流れてカソードライン５が破壊されることがあった。
さらに、エミッタ層３の表面とゲートライン６との間隔が一様でないと、多数本のエミッタライン２のうち電子の放出されやすいエミッタライン２が存在することがあり、このエミッタライン２から集中して放出された電子により、画面上に異常に明るいラインが発生することもある。
【００１５】
そこで、カソードライン５とエミッタライン２との間に抵抗層４を形成すると、エミッタライン２の中の一つが形状の不均一性から異常に多い電子を放出し始めた場合、ゲートライン６とカソードライン５間には抵抗層４による電圧降下が生じるようになる。この電圧降下により、異常に多い電流を放出しようとするエミッタライン２の印加電圧が放出電流に応じて下げられるために、電子放出が抑制され、各エミッタライン２から安定した電子放出を行えるようになる。また、１本のエミッタライン２において局部的に電流が上昇する場合も同様に動作する。さらに、上記放電が生じても抵抗層４によりカソードライン５が溶断されることを防止することができる。
このように、抵抗層４を設けることにより、電界放出素子の製造上の歩留りの向上、および安定な動作を確保することができるようになる。
【００１６】
図１および図２に示す本発明の電界放出素子は、表示装置の電子源、プリンタの光源の電子源、ＯＣＲの光源の電子源等として用いることができる。
図２に示す電界放出素子の製造方法を概略説明すると、まず、カソード基板１にエッチング等により多数本のストライプ状の溝を形成する。ついで、この溝内にカソードライン５を形成し、その上に抵抗層４を蒸着あるいは厚膜パターニングで形成し、その上にエミッタ層３を形成する。最後に、溝と溝との間のカソード基板１の表面にゲートライン６を形成する。このとき、エミッタ層３の表面とゲートライン６との間隔は、例えば１μｍ～２μｍの間隔とされる。
【００１７】
エミッタ層３の材料としては、仕事関数の低いＢａＯ，ＳｒＯ，ＣａＯ，Y_2O_3，YB_6，GdB_6，LaB_6，Gd_2O_3，CeB_6，Nd_2O_3，ThO_2，PrB_6，NdB_6，La_2O_3，ＺｒＣ，EuB_6，ＴａＣ，ZrO_2，ZrB_2，ＴｉＣ等を用い、ファインセラミックスとして焼結成膜させるか、または、炭酸塩等の形で塗布し、真空中でレーザーアニールまたはハロゲンランプ等による赤外線加熱等により熱分解させて酸化粒子膜の形成を行うことにより、エミッタ層３を形成する。または、Ｍｏ，Ｔｉ，Ｚｒ，Ａｕ，Ｗ，Ｃｕ，Ａｌ等を蒸着することにより、エミッタ層３を形成してもよい。
また、エミッタ層３の材料内に導電性処理した微少なダイヤモンドを混合するようにしてもよい。ダイヤモンドのように鋭い角を有している粒子を混合すると、成膜後のエミッタ層３の表面から突起が突出することになり、電子を放出されやすくすることができる。さらに、ＣＶＤ法で形成されるダイヤモンドライクカーボンによりエミッタ層３を形成するようにしてもよい。さらに、Ｃ６０のようなナノカーボンまたは金属の酸化物、炭化物、窒化物等の超微粒子をペースト状にして塗布形成してもよい。
【００１８】
次に、抵抗層４の形成方法について説明する。
導電性物質、粘結剤、抵抗値調整用添加剤、粘度調整用添加物、および溶剤を均一に混合して、抵抗層４を形成するカソードライン５上に塗布する。ついで、乾燥、焼き付け、焼

成することにより抵抗層４を形成する。
導電性物質としては、貴金属系（Ｐｄ，Ｒｕ，Ａｇおよびそれらの酸化物）や卑金属系（Ｓｎ，Ｔａ，Ｍｏ、およびそれらの酸化物SnO_2，Ta_2O_5、あるいは窒素化物ＴａＮ、ケイ化物$MoSi_2$，$NbSi_2$，$TaSi_2$等）の微粉末をグレーズ化したものが用いられる。なお、卑金属系の材料は、還元性雰囲気で焼成する。また、これ以外に炭素系の材料を用いてもよい。
【００１９】
例として、RuO_2，Ａｇ，Ｐｄの場合、焼成温度は８５０℃、炭素コンポジットでは８００℃が通例である。ガラス基板が使用されている場合は、可能な温度である４８０℃程度の基板温度上昇に抑えるように、抵抗材料を薄く塗布形成し、赤外線ランプアニールまたはレーザアニール等を行うことにより抵抗層４を形成する。また、形成される抵抗層４の抵抗値は、10^4～10^5Ω／□とする。
なお、抵抗層４としてSnO_2等を用いれば透明とすることができるので、表示装置に適用したときに、カソード側からの表示観察も可能となる。この場合、カソードライン５はＩＴＯ等の透明電極とする。
【００２０】
次に、本発明の電界放出素子を作成する製造方法の第１の実施の形態を図３および図４に示す。ただし、図３および図４においては１本のエミッタラインを形成する工程を示している。
まず、図３（ａ）に示すようにガラスあるいはセラミックのカソード基板１にフォトレジスト１０を塗布して、フォトレジスト１０をパターニングし、ついでエッチングすることにより多数本のストライプ状溝７をカソード基板１の一表面に形成する。ついで、カソード基板１を回転させながら斜め蒸着、あるいは回転させながら斜め方向からスプレー塗布により、図３（ａ）に示すようにリフトオフ層１１をフォトレジスト１０上に形成する。このとき、リフトオフ層１１はストライプ状溝７の底面には付着されず、その壁面を覆うように付着する。
【００２１】
ついで、同図（ｂ）に示すようにリフトオフ層１１上に、カソード材料層５－１を正蒸着により形成する。すると、ストライプ状溝７の底面にカソード材料が蒸着されてカソードライン５が形成される。
さらに、同図（ｃ）に示すようにカソード材料層５－１上に抵抗材料層４－１を正蒸着により形成する。すると、ストライプ状溝７の底面に形成されたカソードライン５上に抵抗材料が蒸着されて抵抗層４が形成される。この場合、この抵抗層４の最上面の高さが、カソード基板１の表面の高さにほぼ一致するようにする。あるいは、抵抗層４の最上面が、カソード基板１の表面から突出する高さとする。
【００２２】
この状態において、カソード基板１の表面を平滑研磨して、カソード基板１の表面が露出するようにする。すると、ストライプ状溝７内に形成されているカソードライン５、抵抗層４、および、ストライプ状溝７の壁面に形成されたリフトオフ層１１以外の層が除去される。すなわち、ストライプ状溝７とストライプ状溝７との間のカソード基板１の表面にはなにも形成されていない状態となる。
ついで、図４（ａ）に示すように抵抗層４上にエミッタ層３を、ストライプ状溝７とストライプ状溝７との間のカソード基板１の表面上にゲートライン６を同時に一工程で形成する。このエミッタ層３およびゲートライン６の形成方法としては、前記したエミッタ層３の材料を厚膜印刷する方法、スプレー塗布する方法、あるいは、スパッタ蒸着法、電子ビーム蒸着法、プラズマ蒸着法のいずれかを採用すればよい。
【００２３】
この場合、ストライプ状溝７の壁面に形成されたリフトオフ層１１を残すのは、エミッタ層３およびゲートライン６を形成するための材料がストライプ状溝７の壁面等に付着して、エミッタ層３とゲートライン６とが短絡するのを防止するためである。なお、エミッタ

層３およびゲートライン６を形成する前に、抵抗層４とリフトオフ層１１の隙間に粘度を低くしたレジストを充填するようにすると、さらに、その効果が上がる。
そして、最後にストライプ状溝７の壁面に付着されているリフトオフ層を除去すると、図４（ｂ）に示すような電界放出素子を作製することができる。なお、図示されていないが、このようにして作製されたエミッタライン２はカソード基板１上に多数本形成されている。

【００２４】

次に、本発明の電界放出素子を作成する製造方法の第２の実施の形態を図５および図６に示す。ただし、図５および図６においては１本のエミッタラインを形成する工程を示している。
まず、図５（ａ）に示すようにガラスあるいはセラミックのカソード基板１にフォトレジスト１０を塗布して、フォトレジスト１０をパターニングし、ついでエッチングすることにより多数本のストライプ状溝７をカソード基板１の一表面に形成する。ついで、図３（ｂ）に示すようにカソード基板１を回転させながら斜め蒸着、あるいは回転させながら斜め方向からスプレー塗布によりリフトオフ層１１をフォトレジスト１０上に形成する。このとき、リフトオフ層１１はストライプ状溝７の底面には付着されず、その壁面を覆うように付着する。

【００２５】

ついで、同図（ｃ）に示すようにリフトオフ層１１上に、カソード材料層５－１を正蒸着により形成する。すると、ストライプ状溝７の底面にカソード材料が蒸着されてカソードライン５が形成される。
さらに、図６（ａ）に示すようにカソード材料層５－１上に抵抗材料層４－１を形成する。すると、ストライプ状溝７の底面に形成されたカソードライン５上に抵抗材料が蒸着されて抵抗層４が形成される。抵抗層４の形成方法は、アモルファスシリコンのスパッタ蒸着法あるいはプラズマ蒸着法、または、厚膜抵抗層材料のスプレー塗布による方法のいずれかを採用すればよい。
さらに、図６（ａ）に示すように抵抗層４－１上にエミッタ材料層３－１を形成する。エミッタ層３の形成方法としては、前記したエミッタ層３の材料を溶液状にしてスプレー塗布する方法、あるいは、スパッタ蒸着法、電子ビーム蒸着法、プラズマ蒸着法のいずれかを採用すればよい。

【００２６】

抵抗層４上にエミッタ層３が形成された場合、エミッタ層３の最上面の高さが、カソード基板１の表面の高さを越えないようにする。
ついで、リフトオフ層１１を除去すると共に、フォトレジスト１０を除去すると、ストライプ状溝７とストライプ状溝７との間のカソード基板１の表面が露出するようになる。すなわち、ストライプ状溝７内に形成されているカソードライン５、抵抗層４、および、エミッタ層３以外の層が除去される。
ついで、図６（ｂ）に示すように露出しているストライプ状溝７とストライプ状溝７との間のカソード基板１の表面にゲートライン６を印刷等により厚膜形成する。

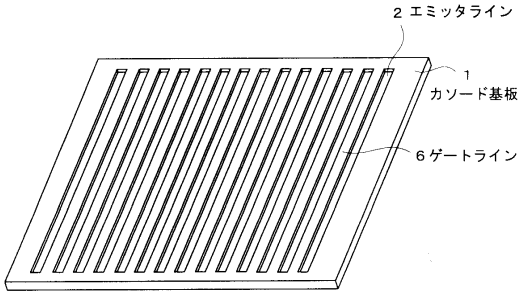
【００２７】

なお、ストライプ状溝７の壁面にリフトオフ層１１を形成するのは、カソードライン５、抵抗層４およびエミッタ層３を形成するための材料がストライプ状溝７内の壁面等に付着して、エミッタ層３とゲートライン６とが短絡するのを防止するためである。
これにより、図６（ｂ）に示すような電界放出素子を作製することができる。なお、図示されていないが、このようにして作製されたエミッタライン２はカソード基板１上に多数本形成されている。
前記図３から図６で説明した電界放出素子において、各ラインの端子の取り出しは、各電極へのワイヤボンディングにより行うか、あるいは、ガラスストライプのエッチングの端子部にテーパをつけて端子を蒸着形成することにより行う。

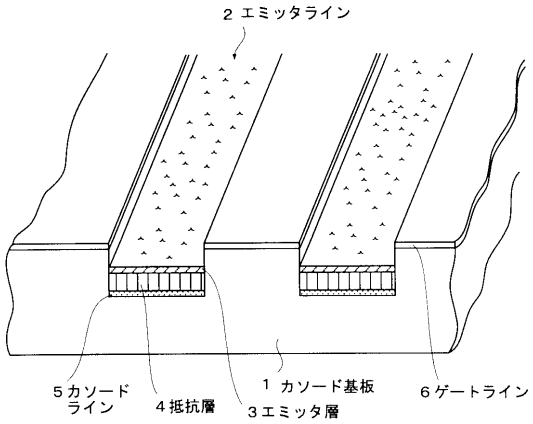
【００２８】

【発明の効果】
以上説明したように本発明の電界放出素子は、カソード基板にストライプ状の溝を形成し、この溝内に従来のコーン状のエミッタに替えて平面状のエミッタラインを形成する構成としたので、その製造工程を簡易にすることができる。従って、低価格の電界放出素子とすることができ、大面積の表示装置等に応用することができるようになる。
また、本発明の電界放出素子の製造方法は、設備コストを低減することができると共に、スループットを飛躍的に向上することができ、量産性に優れた製造方法とすることができる。
【図面の簡単な説明】
【図１】本発明の電界放出素子の実施の形態の一構成を示す斜視図である。
【図２】本発明の電界放出素子の実施の形態の一構成の一部拡大した断面を示す図である。
【図３】本発明の電界放出素子の製造方法の第１の実施の形態を説明するための図である。
【図４】本発明の電界放出素子の製造方法の第１の実施の形態を説明するための図である。
【図５】本発明の電界放出素子の製造方法の第２の実施の形態を説明するための図である。
【図６】本発明の電界放出素子の製造方法の第２の実施の形態を説明するための図である。
【図７】従来の電界放出素子の構造を示すための図である。
【符号の説明】
１　カソード基板
２　エミッタライン
３　エミッタ層
３－１　エミッタ材料層
４　抵抗層
４－１　抵抗材料層
５　カソードライン
５－１　カソード材料層
６　ゲートライン
７　ストライプ状溝
１０　フォトレジスト
１１　リフトオフ層

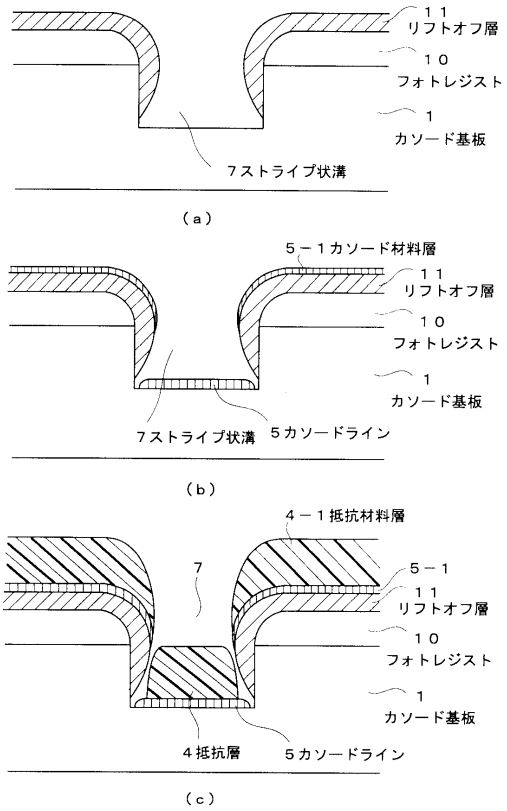
【図１】


２エミッタライン
１
カソード基板
６ゲートライン

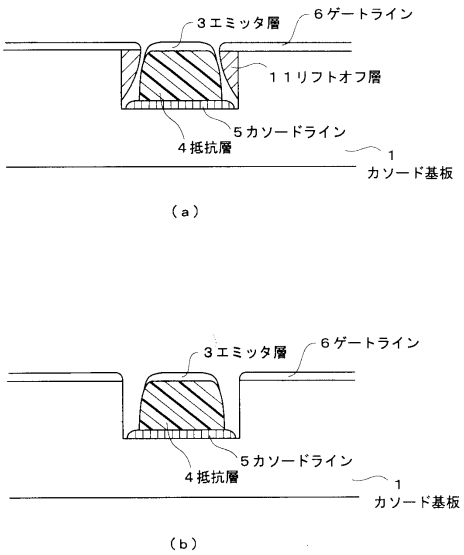
【図２】


２エミッタライン
５カソード
ライン
４抵抗層
３エミッタ層
１カソード基板
６ゲートライン

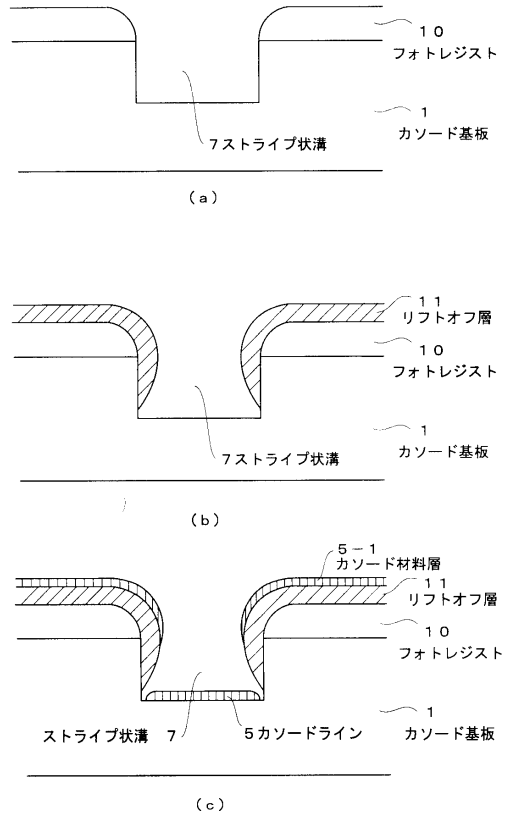
【図３】


１１
リフトオフ層
１０
フォトレジスト
１
カソード基板
７ストライプ状溝
（ａ）
５－１カソード材料層
１１
リフトオフ層
１０
フォトレジスト
１
カソード基板
７ストライプ状溝
５カソードライン
（ｂ）
４－１抵抗材料層
７
５－１
１１
リフトオフ層
１０
フォトレジスト
１
カソード基板
４抵抗層
５カソードライン
（ｃ）

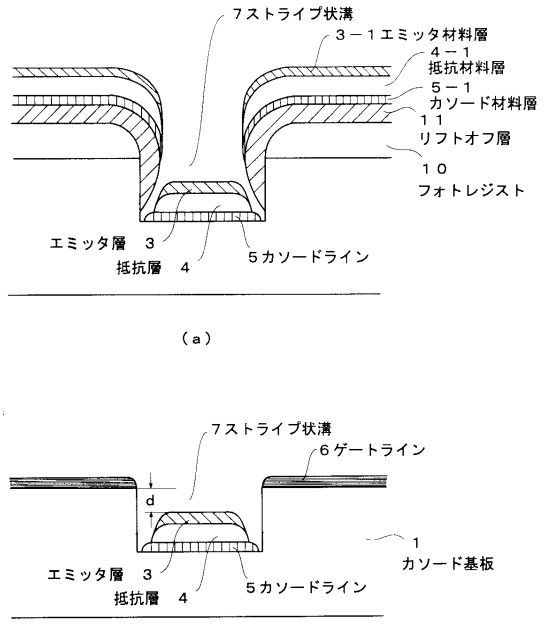
【図４】


３エミッタ層
６ゲートライン
１１リフトオフ層
５カソードライン
４抵抗層
１
カソード基板
（ａ）
３エミッタ層
６ゲートライン
５カソードライン
４抵抗層
１
カソード基板
（ｂ）

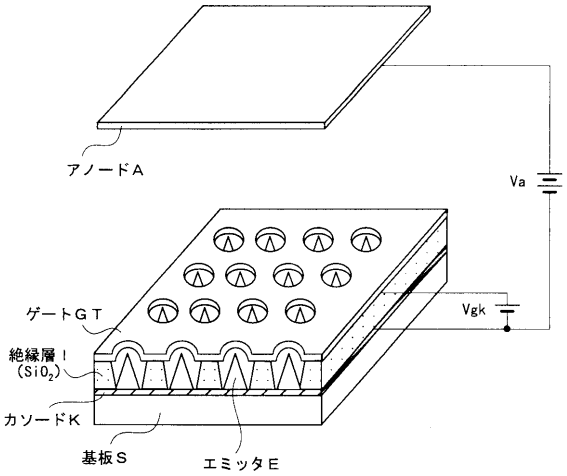
【図５】


１０
フォトレジスト
１
カソード基板
７ストライプ状溝
（ａ）
１１
リフトオフ層
１０
フォトレジスト
１
カソード基板
７ストライプ状溝
（ｂ）
５－１
カソード材料層
１１
リフトオフ層
１０
フォトレジスト
１
カソード基板
ストライプ状溝 ７
５カソードライン
（ｃ）

【図６】


７ストライプ状溝
３－１エミッタ材料層
４－１
抵抗材料層
５－１
カソード材料層
１１
リフトオフ層
１０
フォトレジスト
エミッタ層　３
抵抗層　４
５カソードライン
（ａ）
７ストライプ状溝
６ゲートライン
d
１
カソード基板
エミッタ層　３
抵抗層　４
５カソードライン
（ｂ）

【図７】


アノードＡ
Va
ゲートＧＴ
Vgk
絶縁層１
(SiO_2)
カソードＫ
基板Ｓ
エミッタＥ

フロントページの続き

(56)参考文献 特開昭５０－３０４６２（ＪＰ，Ａ）
特開平１－１５４４２６（ＪＰ，Ａ）
特開平７－２９６７９５（ＪＰ，Ａ）
特開平７－２８２７１５（ＪＰ，Ａ）
Ｗａｌｔ Ａ. ｄｅ Ｈｅｅｒ, Ａ Ｃａｒｂｏｎ Ｎａｎｏｔｕｂｅ Ｆｉｅｌｄ－Ｅｍｉｓｓｉｏｎ Ｅｌｅｃｔｒｏｎ Ｓｏｕｒｃｅ, ＳＣＩＥＮＣＥ, １９９５年１１月１７日, ＶＯＬ. ２７０, ｐ１１７９－ｐ１１８０

(58)調査した分野(Int.Cl., ＤＢ名)
H01J1/304,H01J9/02