

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

93126415

※ 申請日期：

93.9.1

※IPC 分類：

H01L²¹/441

一、發明名稱：(中文/英文)

用在鍺基礎元件之薄鍺氧氮化物閘電介質

THIN GERMANIUM OXYNITRIDE GATE DIELECTRIC FOR
GERMANIUM-BASED DEVICES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

傑拉德 羅森賽

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 伊葛尼 葛席維
GOUSEV, EVGENI
2. 沈惠玲
SHANG, HUILING
3. 克里斯托弗 P 迪艾米克
D'EMIC, CHRISTOPHER P.
4. 保羅 M 寇洛斯基
KOZLOWSKI, PAUL M.

國 籍：(中文/英文)

1. 俄羅斯 RUSSIA
2. 中國大陸 P.R.C.
- 3.-4.均美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年09月27日；10/672,631

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於電子元件及系統。詳言之，其係關於製造用作薄閘電介質之鍺氧氮化物層之方法。

【先前技術】

現今之積體電路包括大量元件。更小的元件係增強效能及改良可靠性之關鍵。隨著MOS(金屬氧化物半導體場效電晶體，一個具有歷史性含義之名稱，其一般係指絕緣閘場效電晶體)元件的縮小，該技術變得更加複雜，且需要新方法來維持自一代元件至下一代元件之預期效能增強。

【發明內容】

閘電介質對於MOS場效元件縮小而言係主要問題之一。對於習知矽元件與更先進(例如，SiGe、Ge)的元件而言亦如此。

在鍺基礎元件中，形勢相當複雜。術語“鍺基礎”通常係指其中鍺濃度超過約30-40%之SiGe化合物。術語鍺基礎亦包括基本上純的鍺材料。迄今為止，尚未發現可靠的高品質之鍺基礎材料閘電介質。氧化鍺之品質較差，且可溶於水。二元金屬氧化物(例如， ZrO_2 、 HfO_2)在用作閘電介質時顯示出~40%之電子遷移率降低。到目前為止，鍺氧氮化物之品質及縮小潛力都被認為是次於 SiO_2/Si 系統。

鍺基礎元件因其較優的載流子遷移率(尤其是電洞的遷移率)而成為習知矽基礎元件之更高效能之替代物。在迄止所探索且報導之鍺基材上之所有閘絕緣體中，鍺氧氮化物

展現出最佳的潛在效能。然而，鍺之熱氧化/氧氮化之速率比矽快得多。此使得難以藉由良好的製程控制來生長薄鍺氧氮化物薄膜，及/或難以生長具有低於約6奈米之等效氧化物厚度(EOT)之薄鍺氧氮化物薄膜。(因為最典型的閘電介質材料為 SiO_2 ，所以該材料代表著比較的標準。由於鍺氧氮化物之介電常數[約6至9]不同於二氧化矽之介電常數，所以就厚度而言有意義的值為二氧化矽之等效厚度。該等效值涉及電容，意指具有與鍺氧氮化物層相同的每單位面積電容之此二氧化矽層之厚度。)

本發明提供了以受控方式解決生長薄鍺氧氮化物層之問題的辦法。該解決辦法涉及利用二步製程。第一步係將第一濃度之氮併入鍺基礎材料之第一表面下的表面層中。該富氮區域充當擴散/反應障壁，其在第二步氧化步驟中控制鍺氧化/氧氮化速率。該控制允許吾人以可支配、可重複之方式生長超薄鍺氧氮化物。該薄鍺氧氮化物閘電介質提供鍺基礎場效元件之改良的特性及更高的效能。

本發明之方法提供了兩種獨立的電介質形成控制。第一，最初一步界定鍺基礎材料基材之表面/亞表面區域中的氮併入，且因此界定其擴散障壁“能力”及介電常數。第二，隨後的氧化步驟控制鍺氧氮化物薄膜之最終厚度。

因此，本發明之一目的係教示一種用於在鍺基礎材料上製造低於6奈米、較佳低於5奈米EOT之薄的良好品質之鍺氧氮化物絕緣體層之方法。

本發明之另一目的係教示一種製造含有良好品質之鍺氧

氮化物絕緣體層作為閘電介質的銻基礎場效元件之方法。

本發明之另一目的係教示包含多個晶片之處理器，該等晶片含有在銻基礎材料上之較佳具有低於6奈米EOT之良好品質的銻氧氮化物閘絕緣體層之銻基礎場效元件。

【實施方式】

在高效能銻基礎場效元件之製造中，在製造閘電介質之前的處理步驟在此項技術已為吾人所知。假定諸如元件絕緣、摻雜劑良好形成等之此等步驟在開始本發明之步驟之前就已經完成。然而，在所揭示之方法步驟可進行以製造薄銻氧氮化物層之前，必須適當清洗銻基礎材料(通常為晶圓)中將成為閘電介質之接受者的表面，其稱為第一表面。在一代表性實施例中，該等清洗步驟可包括(但不限於)至少一個氧化及氧化銻移除的循環。氧化較佳在 H_2O_2 溶液中進行，而氧化物移除則藉由HF或HCl或其混合物來完成。在清除步驟後，作為元件之宿主的銻基礎材料之第一表面準備進入下一步驟，藉由該步驟將第一濃度氮併入第一表面下之表面層中。

圖1A及圖1B展示在代表性實施例中之方法的氮併入步驟。圖1A展示一實施例，其中氮併入係藉由使銻基礎本體160之第一表面5(通常為銻基礎材料晶圓之表面)在熱或電漿條件下經受含氮氣體來執行。在一代表性實施例中，反應性含氮氣體為 NH_3 。在替代實施例中，該含氮反應物亦可為NO或 N_2O 。在其它替代實施例中，吾人可使用氣體 NH_3 、NO、 N_2O 之各種組合。所有此等物質皆可在適當環境下成

為原子氮之來源。在每一情形下，此等活性組分均可與惰性組分或載運氣體(例如， N_2 、Ar、He等)混合。

✓ (此化學氮併入步驟之熱條件可為在介於 450°C 與 700°C 之間的溫度下實施介於1秒與300秒之間的時間。該溫度通常係藉由此項技術中所熟知之快速熱退火技術來實施。在一代表性實施例中，該步驟之條件可為：於 600°C 下 NH_3 活性氣體中歷時30秒。視條件而定，所得氮化薄層90特徵性地介於約0.5奈米與1.5奈米厚度之間。該層90含有第一濃度氮，該第一濃度具有一給定介於每平方釐米約 $1\text{E}14$ 與每平方釐米 $3\text{E}15$ 之間的併入氮之表面密度之總值。)

✓ (氮併入步驟亦可藉由使用電漿氮化來執行。在此情況下，將鍍基礎表面之第一表面暴露於低能含氮電漿。此可在直接電漿模式中或藉由遠端(下游)電漿氮化來完成。電漿功率可在約25瓦-1000瓦範圍內變化，較佳暴露介於1秒與300秒的時間。在電漿暴露過程中之樣品溫度較佳為自約室溫至 500°C 。 N_2 、 NH_3 及 N_2O 可在電漿反應器中用作氮源。)

圖1B示意性地展示在藉由將氮劑離子植入70於在鍍基礎材料本體160上之第一表面5中來執行時之氮併入步驟。植入能量應較低，其通常介於0.5 KeV與10 KeV之間。以此方式，氮最終位於層90中靠近第一表面5之位置。或者，替代使用如此低的植入能量，而為了確保氮將位於薄層90中，離子植入可藉由薄(10奈米至30奈米)的篩網層來執行。該等篩選技術在此項技術中已為吾人所知。在一示範性實施例中，篩網層(例如，在植入後沈積的二氧化矽)可以化學方法

來移除。氮的植入劑量通常介於約 1×10^{15} 每平方釐米與 2×10^{16} 每平方釐米之間。

圖2展示在氮併入步驟之執行中特性氮併入相對於熱條件之點圖，其中濃度係藉由核反應分析來量測。在垂直軸上，展示了在30秒暴露時間內相對於 NH_3 作為反應氣體時的反應溫度之層90內的積分濃度。

無關於氮併入步驟是藉由使第一表面5在熱條件下或電漿條件下經受含氮氣體來執行或是藉由氮離子植入來執行，在氮併入步驟中所引入的氮量都決定著下一步氧化步驟中之氧化速率。存在這樣一種趨勢，即氮越多則會提供越緩慢的再氧化動力學，因此得到越薄的薄膜。

圖3展示完成薄鍍氧氮化物層之製造的氧化步驟。此為本發明之第二步驟，此時含氮層控制著在第一表面5於熱或電漿條件下暴露於氧環境時鍍基礎材料160的氧化速率。含有氮之薄表面層90調控著氧氮化物層100之製造，同時層90本身亦轉變為氧氮化物層100。

在一代表性實施例中，氧環境含有作為反應性物質之 O_2 、 O_3 、 H_2O 、 NO 及 N_2O ，因為該等物質可作為原子氧源。亦可使用此等氣體之組合。該等反應性氣體通常可與惰性組分(例如， N_2 、 Ar 、 He 等)混合。氧化步驟亦可於含氮氣體(例如， N_2O 、 NO)中執行，此係歸因於其往往會在高溫下分解從而釋放原子氧的事實。類似地，氧化可藉由利用混入於惰性載運氣體中之水蒸氣進行濕式氧化來執行。該步驟中之熱環境通常為在介於 500°C 與 700°C 之間的溫度下

實施介於1分鐘與30分鐘之間的時間。在結束氧暴露步驟後，鍺氧氮化物層作好用作閘電介質的準備，且吾人可以標準方式繼續進一步處理元件。

氧化步驟亦可藉由使用電漿氧化來執行。在此情況下，將在下面具有含氮層90之第一表面5暴露於低能含氧電漿。此可在直接電漿模式下或藉由遠端(下游)電漿氧化來完成。電漿功率可在約25瓦-1000瓦範圍內變化，較佳暴露1秒至300秒。在電漿暴露過程中之樣品溫度較佳為自約室溫至500°C。可如同熱氧化一樣使用相同的含氧物質。

圖4展示在氮併入步驟涉及於600°C下歷時5分鐘的NH₃暴露時薄鍺氧氮化物層100之厚度及EOT相對於氧環境暴露步驟之條件的點圖。因為最典型的閘電介質材料為二氧化矽，所以該材料代表著比較的標準。由於鍺氧氮化物之介電常數不同於二氧化矽之介電常數，所以其不僅可用於給定薄鍺氧氮化物層100之厚度，且亦可用於給定二氧化矽之等效厚度。等效值意指具有相同的每單位面積電容之此二氧化矽層之厚度。因此在圖4中，EOT值為標準電容比電壓量測值之結果。圖4顯示如何靈敏地控制鍺氧氮化物之厚度，且顯示藉由控制氧暴露步驟中之熱衡算將鍺氧氮化物層之EOT調節在甚至前所未有的低於5奈米範圍內。

因此，本發明可製造具有低於約10奈米EOT之鍺氧氮化物層。用於高效能元件之鍺氧氮化物閘電介質之較佳範圍為低於6奈米EOT，較佳具有介於0.5奈米與5奈米之間的EOT範圍。

當鍺基礎材料實際上為基本上純的鍺時，本發明尤其重要，因為純鍺元件可潛在地給予最佳效能。

需要強調：本方法提供了額外的製程靈活性，即可藉由在晶圓的不同部分中併入不同量的氮來生長多倍(例如，兩倍)氧氮化物電介質厚度以用於在相同晶圓上的不同元件/應用。第一表面5具有至少兩個不同位置，氮併入步驟在該等位置上採用得到不同第一濃度之併入氮的方式來執行。因此，在該等至少兩個位置上所製得之最終氧氮化物層在完成時具有不同的EOT。

圖5展示具有較佳小於5奈米等效氧化物厚度之薄鍺氧氮化物層100開電介質的鍺基礎場效元件10之示意性橫截面圖。該開電介質鍺氧氮化物100為絕緣體，其將導電閘110自鍺基礎本體160隔開。

一般而言，鍺氧氮化物具有超過約4之高介電常數，此可產生具有高障壁之鍺氧氮化物，即表現出高的抗電荷穿隧之抵抗性。當開電介質之厚度減小以增加閘-通道電容時，抵抗電荷跨過開電介質穿隧之抵抗性係一重要問題。標準的開電介質材料二氧化矽(介電常數為3.9)確實存在此等問題。因為鍺氧氮化物之介電常數大於二氧化矽之介電常數，所以具有與二氧化矽層相同的每單位面積電容之鍺氧氮化物層比二氧化矽層厚。因為抵抗穿隧之抵抗性依層厚呈指數變化，所以鍺氧氮化物層往往會具有更大的電荷穿透抵抗性。

圖5描繪了鍺基礎場效元件或在一代表性實施例中為純

銻場效元件，其幾乎為示意性，因為其意欲代表任何種類的場效元件。此等元件之唯一共同特性在於元件電流受到藉由在絕緣體(所謂的閘電介質100)上之場起作用的閘110之控制。因此，每一場效元件均具有一個(至少一個)閘及一閘絕緣體。

圖5示意性地描繪了具有源極/汲極區域150、元件本體160之MOS場效元件。如圖5所示，本體可為塊狀，或其可為絕緣體上之薄膜。通道可為單通道，或者在雙閘或FINFET元件中為多通道。元件之基礎材料可多種多樣。本體可為銻化合物，或基本上由純銻組成。

在一代表性實施例中，銻基礎場效元件為Ge MOS。在另一代表性實施例中，銻基礎場效元件具有銻氧氮化物層閘電介質，該電介質較佳具有介於0.5奈米與5奈米之間的EOT範圍。

圖6展示含有至少一晶片901的高效能處理器900之示意圖，其中該至少一晶片901含有具有低於5奈米EOT之薄銻氧氮化物閘電介質的銻基礎場效元件10。處理器900可為任何可受益於銻氧氮化物閘電介質銻基礎場效元件之處理器。在一或多個晶片901上之眾多此等元件可形成處理器之部分。由薄銻氧氮化物閘電介質銻基礎場效元件製造之處理器的代表性實施例為：在電腦之中央處理集團中常見之數位處理器；顯著地受益於銻氧氮化物閘電介質場效元件中之高載流子遷移率之混合數位/類比處理器；及一般的任何通信處理器，例如將記憶體連接至處理器、路由器、雷

達系統、高效能視訊電話、遊戲模組及其它之模組。

依照上述教示，本發明可能有許多修正及變體，且其對於熟悉此項技術者而言顯而易見。本發明之範疇由隨附申請專利範圍界定。

【圖式簡單說明】

圖 1A 及圖 1B 展示在代表性實施例中之方法的氮併入步驟；

圖 2 展示在氮併入步驟之執行中氮併入相對於熱條件之點圖；

圖 3 展示完成薄鍺氧氮化物層之製造的氧化步驟；

圖 4 展示薄鍺氧氮化物層的厚度及 EOT 相對於氧環境暴露步驟之條件的點圖；

圖 5 展示具有薄鍺氧氮化物閘電介質之鍺基礎場效元件之示意性橫截面圖；及

圖 6 展示含有至少一晶片之高效能處理器之示意圖，其中該至少一晶片含有具有薄鍺氧氮化物閘電介質之鍺基礎場效元件。

【主要元件符號說明】

5	第一表面
10	鍺基礎場效元件
90	含氮層
100	薄鍺氧氮化物層
110	閘
150	源極/汲極區域

160	元件本體/鍺基礎材料本體
900	處理器
901	晶片

五、中文發明摘要：

本發明揭示一種用於在鍺基礎材料上製造用作閘電介質之低於6奈米等效氧化物厚度之薄鍺氧氮化物層之方法。該方法涉及兩步驟製程。第一步，將氮併入鍺基礎材料之表面層中。第二步，在併入氮後進行氧化步驟。該方法可得到用於諸如MOS電晶體之鍺基礎場效元件之優良厚度控制的高品質閘電介質。本發明亦揭示具有該薄鍺氧氮化物閘電介質之元件結構，及由該等元件製成之處理器。

六、英文發明摘要：

十一、圖式：

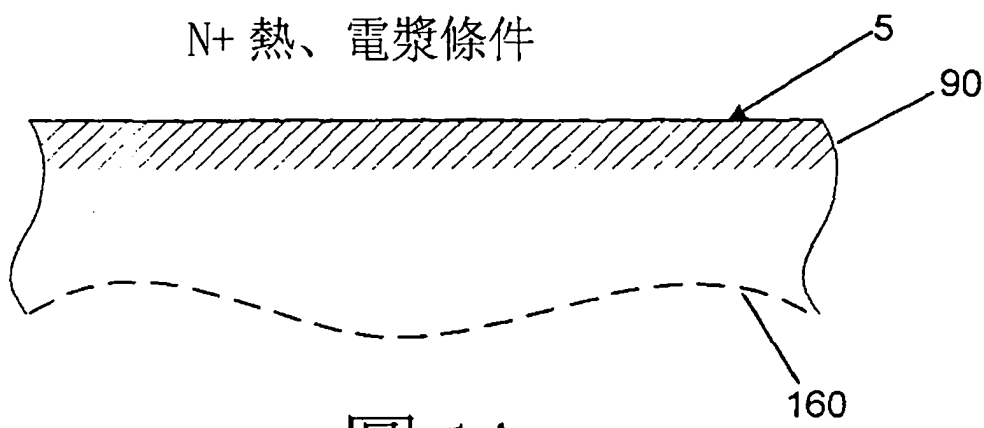


圖 1A

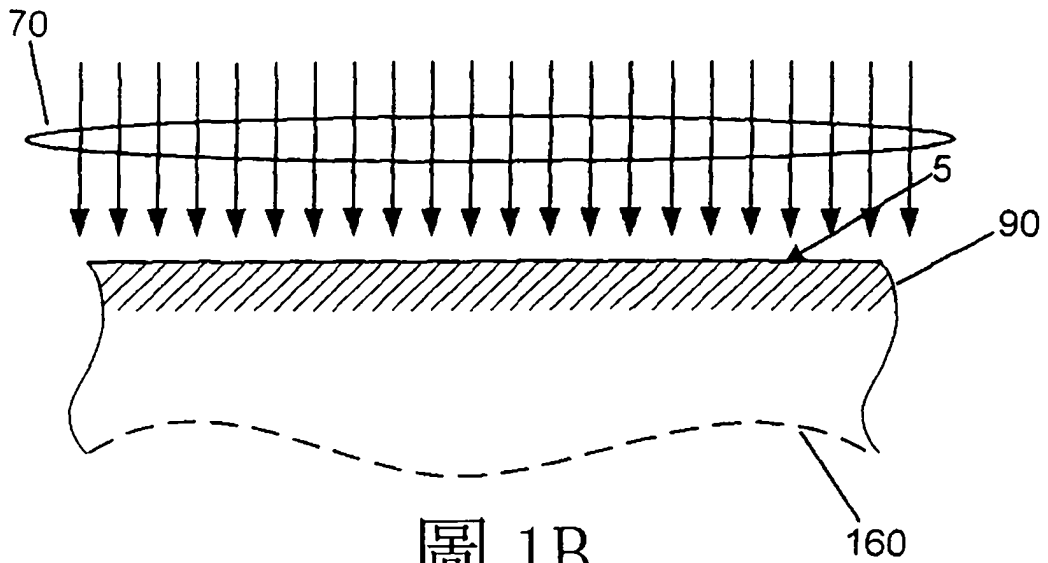


圖 1B

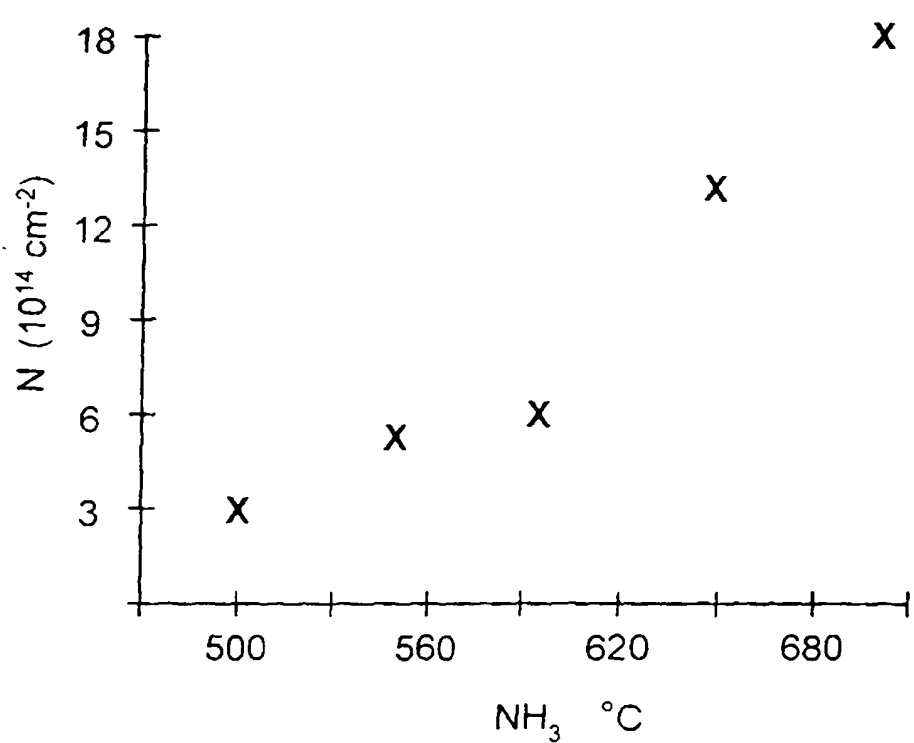


圖 2

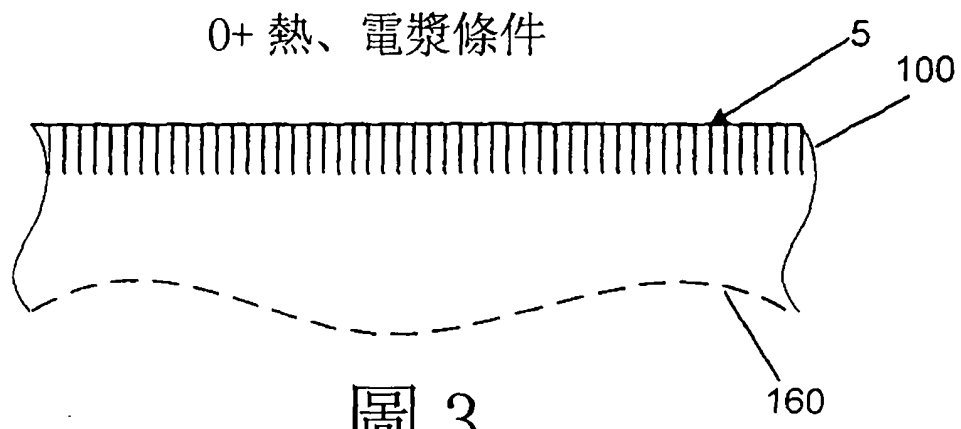


圖 3

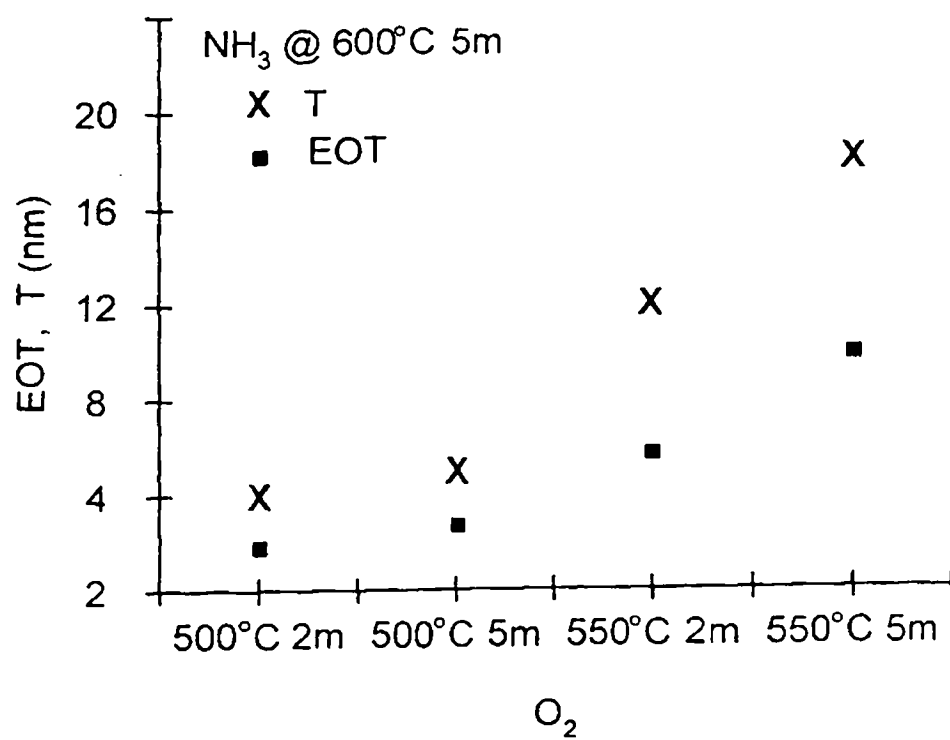


圖 4

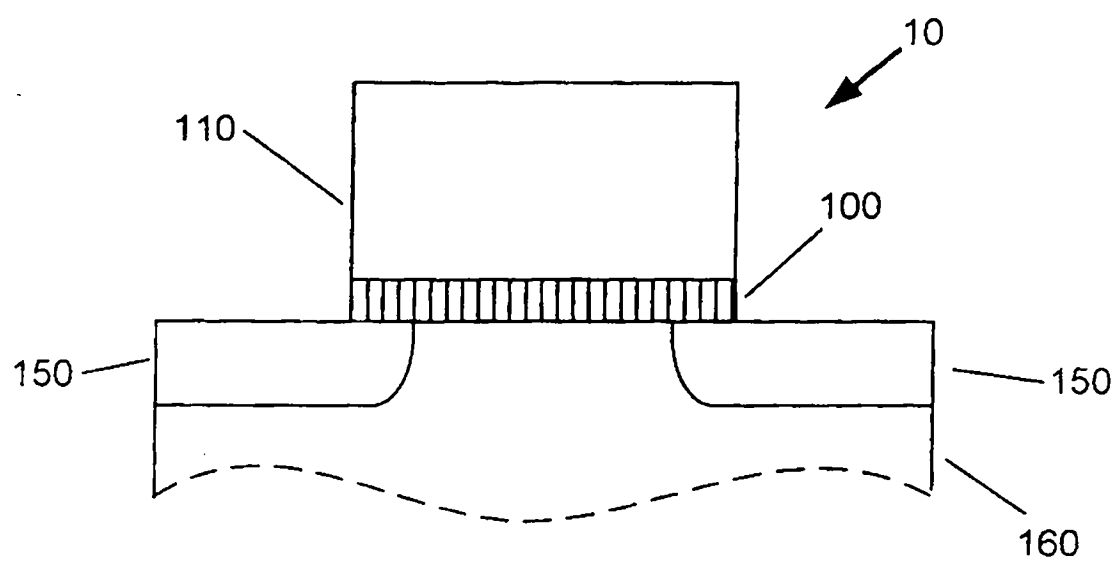


圖 5

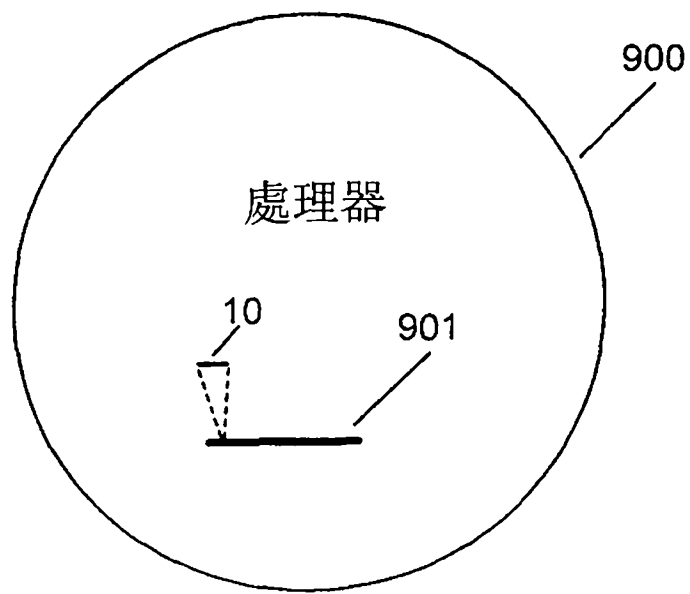


圖 6

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

10	鍺基礎場效元件
100	薄鍺氧氮化物層
110	閘
150	源極/汲極區域
160	元件本體/鍺基礎材料本體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

第 093126415 號專利申請案
中文申請專利範圍替換本(99 年 7 月)

十、申請專利範圍：

1. 一種用於在一鍺基礎材料上製造一氧氮化物層之方法，
包含如下步驟：
將一第一濃度氮併入該鍺基礎材料之一第一表面下之一表面層中；
藉由將該鍺基礎材料之該第一表面暴露於一含氧環境來誘導一氧氮化物層之生長，其中在該表面層中之該第一濃度氮控制著該氧氮化物層之生長；
其中該經併入之第一濃度氮之一積值大約介於每平方公分 $1E14$ 至每平方公分 $3E15$ 之間；且
其中該經產生之氧氮化物層為介於 0.5 奈米至 5 奈米之等效氧化物厚度(EOT)。
2. 如請求項1之方法，其中所製得之該氧氮化物層具有低於約 6 奈米之等效氧化物厚度(EOT)。
3. 如請求項1之方法，其中該鍺基礎材料基本上係由鍺組成。
4. 如請求項1之方法，其中該第一濃度氮之該併入步驟係藉由使該第一表面在熱條件下接觸一含氮氣體來執行。
5. 如請求項4之方法，其中該含氮氣體為 NH_3 。
6. 如請求項5之方法，其中將該等熱條件選擇成在一介於 $450^{\circ}C$ 與 $700^{\circ}C$ 之間的溫度下實施介於 1 秒與 300 秒之間的時間。
7. 如請求項1之方法，其中該第一濃度氮之該併入步驟係藉由將一氮劑離子植入該第一表面中來執行。

8. 如請求項7之方法，其中在該離子植入步驟中，將該氮劑選擇成介於每平方釐米約 $1E15$ 與每平方釐米 $2E16$ 之間。
9. 如請求項8之方法，其中在該離子植入步驟中，將植入能量選擇成介於 0.5 KeV 與 10 keV 之間。
10. 如請求項8之方法，其中該離子植入步驟係藉由一篩網層來執行。
11. 如請求項1之方法，其中該第一濃度氮之該併入步驟係藉由使該第一表面接觸一含氮電漿來執行。
12. 如請求項11之方法，其中該含氮電漿係以介於約25瓦與1000瓦之間的能量於一介於約室溫與 500°C 之間的溫度下實施介於約1秒與300秒的時間。
13. 如請求項1之方法，其中暴露於該含氧環境之該步驟係藉由使該第一表面在熱條件下接觸選自如下各物組成之群的物質來執行： O_2 、 O_3 、 H_2O 、 NO 、 N_2O 及此等物質之組合。
14. 如請求項13之方法，將該等熱條件選擇成在一介於 500°C 與 700°C 之間的溫度下實施介於1分鐘與30分鐘之間的時間。
15. 如請求項1之方法，其中暴露於該含氧環境之該步驟係藉由使該第一表面接觸一含氧電漿來執行。
16. 如請求項15之方法，其中該含氧電漿係以介於約25瓦與1000瓦之間的能量於一介於約室溫與 500°C 之間的溫度下實施介於約1秒與300秒之間的時間。
17. 如請求項1之方法，其進一步包含在該第一濃度氮之該併入步驟之前清洗該第一表面之步驟，其中該清洗步驟包

含至少一次實施一氧化及氧化物移除循環，其中該氧化係藉由含有 H_2O_2 之溶液來實現，且該氧化物移除係藉由去除劑來實現，其中該去除劑為HF、HCl或其混合物。

18. 如請求項1之方法，其中該第一表面具有至少兩個位置，且其中該第一濃度氮之該併入步驟係以得到不同第一濃度之該併入氮的方式在該等至少兩個位置上執行，藉此使得在該等至少兩個位置上所製得之該等氮氧化物層具有不同的EOT。

19. 一種用於製造一高效能銻基礎場效元件之方法，其中該元件包含一氮氧化物層閘電介質，且該氮氧化物層閘電介質之製造包含如下步驟：

將一第一濃度氮併入於一銻基礎材料之一第一表面下之一表面層中；且

藉由將該銻基礎材料之該第一表面暴露於一含氧環境來誘導一氮氧化物層之生長，其中在該表面層中之該第一濃度氮控制著該氮氧化物層之生長；

其中該經併入之第一濃度氮之一積值大約介於每平方公分 $1E14$ 至每平方公分 $3E15$ 之間；且

其中該經產生之氮氧化物層為介於 0.5 奈米至 5 奈米之等效氧化物厚度(EOT)。

20. 如請求項19之方法，其中該高效能銻基礎場效元件為一Ge MOS電晶體。

21. 一種用於在一銻基礎材料上製造一銻氮氧化物層之方法，包含如下步驟：

將一第一濃度氮併入該鍺基礎材料之一第一表面下之一表面層中；

藉由將該鍺基礎材料之該第一表面暴露於一含氧環境來誘導一鍺氧氮化物層之生長，其中在該表面層中之該第一濃度氮控制著該鍺氧氮化物層之生長；

其中該經併入之第一濃度氮之一積值大約介於每平方公分 $1E14$ 至每平方公分 $3E15$ 之間；且

其中該經產生之鍺氧氮化物層為介於 0.5 奈米至 5 奈米之等效氧化物厚度(EOT)。

22. 一種具有一閘電介質鍺基礎場效元件，該閘電介質包含：一鍺氧氮化物層，其具有一具備一表面密度積值大約介於每平方公分 $1E14$ 至每平方公分 $3E15$ 間之一氮濃度以及一大約介於 0.5 奈米至 5 奈米間之等效氧化物厚度。
23. 如請求項22之鍺基礎場效元件，其中該閘電介質擁有大於一 SiO_2 閘電介質之抵抗電荷穿隧的抵抗性，同時該閘電介質之每單位面積電容至少與該 SiO_2 閘電介質之每單位面積電容一般大。
24. 如請求項22之鍺基礎場效元件，其中該元件為一Ge MOS電晶體。
25. 一種高效能處理器，其包含：

至少一晶片，其中該至少一晶片包含至少具有一閘電介質一鍺基礎場效元件，且其中該閘電介質包含一鍺氧氮化物層，其具有一具備一表面密度積值大約介於每平方公分 $1E14$ 至每平方公分 $3E15$ 間之一氮濃度以及一大約

介於0.5奈米至5奈米間之等效氧化物厚度。

26. 如請求項25之高效能處理器，其中該處理器為一數位處理器。

27. 如請求項25之高效能處理器，其中該處理器包含至少一類比電路。

28. 如請求項25之處理器，其中該鍺氧氮化物層在該至少一晶片中至少兩位置上具有不同之該等效氧化物厚度。