

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3743273号  
(P3743273)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年11月25日(2005.11.25)

(51) Int. Cl.

F I

**G09F 9/30 (2006.01)**  
**G02F 1/1333 (2006.01)**  
**G02F 1/1335 (2006.01)**  
**G02F 1/1368 (2006.01)**  
**H01L 21/768 (2006.01)**

G09F 9/30 338  
 G02F 1/1333 500  
 G02F 1/1333 505  
 G02F 1/1335 500  
 G02F 1/1368

請求項の数 15 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2000-294325 (P2000-294325)  
 (22) 出願日 平成12年9月27日(2000.9.27)  
 (65) 公開番号 特開2002-108244 (P2002-108244A)  
 (43) 公開日 平成14年4月10日(2002.4.10)  
 審査請求日 平成16年3月25日(2004.3.25)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100095728  
 弁理士 上柳 雅誉  
 (74) 代理人 100107261  
 弁理士 須澤 修  
 (72) 発明者 佐藤 尚  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエプソン株式会社内

審査官 佐竹 政彦

最終頁に続く

(54) 【発明の名称】 電気光学装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上の画像表示領域に、複数の画素電極と、該画素電極に電氣的に接続された薄膜トランジスタと、該薄膜トランジスタに電氣的に接続された走査線及びデータ線と、前記薄膜トランジスタのソース領域あるいはドレイン領域と前記データ線を中継接続するデータ線中継層と、前記画素電極に電氣的に接続された蓄積容量と、前記薄膜トランジスタの少なくともチャネル領域を下方から覆う所定パターンを有する下方遮光膜を含む遮光膜配線とを備えており、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記遮光膜配線、前記走査線、前記蓄積容量を形成する容量線及び前記データ線に電氣的に接続された周辺回路又は周辺配線を備えた電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上に前記遮光膜配線を形成する遮光膜配線形成工程と、

前記遮光膜配線上に下地絶縁膜を介して前記薄膜トランジスタの半導体層を形成する半導体層形成工程と、

前記半導体層上に前記走査線、前記容量線及び前記データ線を夫々構成する複数の導電膜を各層間絶縁膜を介して積層形成する積層形成工程と、

前記周辺領域で、前記遮光膜配線、前記半導体層、前記走査線、前記容量線及び前記データ線から構成される前記周辺回路又は周辺配線間を接続するための複数のコンタクトホールを開孔するコンタクトホール開孔工程とを含み、

前記コンタクトホール開孔工程は、少なくとも一つのコンタクトホールを複数回のコン

10

20

タクトホール開孔工程で形成し、前記複数回のコンタクトホール開孔工程の少なくとも一回は前記画像表示領域の前記遮光膜配線、前記半導体層、前記走査線、前記データ線中継層、前記容量線及び前記データ線の導電膜のうち任意の二膜間を各々接続するコンタクトホール開孔工程と同時に行われることを特徴とする電気光学装置の製造方法。

【請求項 2】

前記周辺領域のコンタクトホール開孔工程における前記遮光膜配線と前記データ線の配線間を接続するコンタクトホール開孔工程は、前記画像表示領域での前記半導体層と前記データ線間のコンタクトホール開孔工程と同時に行なわれる開孔工程を含むことを特徴とする請求項 1 記載の電気光学装置の製造方法。

【請求項 3】

前記周辺領域の複数回によるコンタクトホール開孔工程では、最終回のコンタクトホール開孔径を他のコンタクトホール開孔径より小さくしたことを特徴とする請求項 1 又は 2 記載の電気光学装置の製造方法。

【請求項 4】

前記周辺領域の複数回によるコンタクトホール開孔工程は、最後のコンタクトホール開孔形状を円あるいは楕円に形成することを特徴とする請求項 1 乃至 3 記載の電気光学装置の製造方法。

【請求項 5】

前記周辺領域のコンタクトホール開孔工程における前記半導体層と前記データ線の配線間を接続するコンタクトホール開孔工程は、前記画像表示領域での前記データ線中継層と前記データ線間のコンタクトホール開孔工程と同時に行なわれる開孔工程を含むことを特徴とする請求項 1 に記載の電気光学装置の製造方法。

【請求項 6】

前記周辺領域の複数回によるコンタクトホール開孔工程は、平面的に見て一つのコンタクトホール開孔が他のコンタクトホール開孔の内側に形成する開孔工程を含むことを特徴とする請求項 1 乃至 5 のいずれか一つに記載の電気光学装置の製造方法。

【請求項 7】

前記周辺領域のコンタクトホール開孔工程は、ドライエッチングとウエットエッチングを用いてコンタクトホールの開口部分にテーパーを形成することを特徴とする請求項 1 乃至 6 のいずれか一つに記載の電気光学装置の製造方法。

【請求項 8】

基板上の画像表示領域に、複数の画素電極と、該画素電極に画素電極中継層を介して接続された薄膜トランジスタと、該薄膜トランジスタに電気的に接続された走査線及びデータ線と、前記薄膜トランジスタのソース領域あるいはドレイン領域と前記データ線を中継接続するデータ線中継層と、前記画素電極に電気的に接続された蓄積容量とを備えており、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記走査線、前記蓄積容量を形成する容量線及び前記データ線に接続された周辺回路又は周辺配線を備えた電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上に前記薄膜トランジスタの半導体層を形成する半導体層形成工程と、

前記半導体層上に前記走査線、前記容量線及び前記データ線を夫々構成する複数の導電膜を各層間絶縁膜を介して積層形成する積層形成工程と、

該積層形成工程中に、前記走査線と同層の膜からなる静電破壊防止用の短絡配線を前記周辺領域に形成する短絡配線形成工程と、

前記短絡配線形成工程後に複数のコンタクトホール開孔工程を用いて前記短絡配線をカットするためのカット用コンタクトホール開孔工程とを含み、

前記複数のコンタクトホール開孔工程は、少なくとも一つのコンタクトホールを複数回のコンタクトホール開孔工程で形成し、前記複数回のコンタクトホール開孔工程の少なくとも一回は前記画像表示領域の複数の導電膜のうち任意の二膜間を各々接続するコンタクトホール開孔工程と同時に行われることを特徴とする電気光学装置の製造方法。

【請求項 9】

10

20

30

40

50

前記データ線のパターニング形成時に前記カットが行われるカット用コンタクトホールの開孔工程は、前記画像表示領域での前記データ線中継層と前記データ線間の層間絶縁膜にコンタクトホールを開孔する工程と同時に進められる工程を含むことを特徴とする請求項 8 に記載の電気光学装置の製造方法。

【請求項 10】

前記カット用コンタクトホール開孔工程後は、前記カット用コンタクトホールに露出した前記短絡配線のカットを、前記データ線のパターニング形成時の前記データ線のエッチングに連続して行うことを特徴とする請求項 8 又は 9 に記載の電気光学装置の製造方法。

【請求項 11】

前記周辺領域での電極を露出させるパッドオープン工程時に前記カットが行われるカット用コンタクトホールの開孔工程は、前記画像表示領域での前記データ線と前記データ線中継層間のコンタクトホール開孔工程及び前記画素電極と前記画素電極中継層間のコンタクトホール開孔工程と同時に進められる開孔工程を含むことを特徴とする請求項 9 に記載の電気光学装置の製造方法。

【請求項 12】

前記カット用コンタクトホール開孔工程後は、前記カット用コンタクトホールに露出した前記短絡配線のカットを、前記パッドオープン工程のエッチングに前後して行うことを特徴とする請求項 8 又は 11 に記載の電気光学装置の製造方法。

【請求項 13】

基板上の画像表示領域に、複数の画素電極と、該画素電極に電気的に接続された薄膜トランジスタと、該薄膜トランジスタに電気的に接続された走査線及びデータ線と、前記画素電極に電気的に接続された蓄積容量と備えた電気光学装置を製造する電気光学装置の製造方法であって、

前記基板上に前記薄膜トランジスタの半導体層を形成する半導体層形成工程と、

前記半導体層上に前記走査線、前記半導体層と前記データ線とを中継接続するデータ線中継層、前記蓄積容量及び前記データ線を夫々構成する複数の導電膜をこの順に各層間絶縁膜を介して積層形成する積層形成工程とを備えており、

該積層形成工程は、前記半導体層上の第 1 層間絶縁膜に前記半導体層に達するコンタクトホールを開孔し、前記コンタクトホールを覆うように前記データ線中継層を形成する工程と、前記データ線中継層上の第 2 層間絶縁膜に前記データ線中継層に達するコンタクトホールを開孔し、前記コンタクトホールを覆うように前記データ線を形成する工程とを含み、前記半導体層と前記データ線を前記データ線中継層を介して電気的に接続することを特徴とする電気光学装置の製造方法。

【請求項 14】

前記コンタクトホール開孔工程では、平面的に見て同一位置に、前記データ線中継層から前記半導体層に達するコンタクトホール部分と前記データ線から前記データ線中継層に達するコンタクトホール部分とを開孔することを特徴とする請求項 13 に記載の電気光学装置の製造方法。

【請求項 15】

前記積層形成工程では、前記データ線中継層を光吸収層から形成すると共に前記データ線を金属膜から形成し、

前記データ線中継層から前記半導体層に達するコンタクトホール部分が、前記データ線から前記データ線中継層に達するコンタクトホール部分より穴径が小さくなるように前記一連のコンタクトホールを開孔することを特徴とする請求項 14 に記載の電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶装置等の電気光学装置を製造する方法の技術分野に属する。

【0002】

10

20

30

40

50

**【従来の技術】**

この種の電気光学装置の製造方法では、基板上に、複数の画素電極、各画素電極をスイッチング制御するための薄膜トランジスタ（以下適宜、TFT（Thin Film Transistor）と称す）、各薄膜トランジスタに接続されたデータ線及び走査線、画素電極に接続された蓄積容量等を構成する各種導電膜や、TFTを遮光する遮光膜或いは各画素の非開口領域を規定する遮光膜などの多数の膜を、絶縁膜を介して積層形成する。そして、相異なる導電膜から構成された配線や回路素子間の接続は、各絶縁膜にコンタクトホールを開孔して行うのが一般的である。

**【0003】**

更に、基板上で画素電極が配置されており画像表示が行われる画像表示領域の周辺に位置する周辺領域に、データ線、走査線、遮光膜からなる配線、蓄積容量の容量線などの各種配線と接続されたデータ線駆動回路、走査線駆動回路等の周辺回路を作り込み、周辺回路内蔵型の電気光学装置を製造する技術も一般的である。

10

**【0004】**

更にまた、画像表示領域或いは周辺領域に形成される配線や回路素子が製造中に発生する静電気により破壊されないように、短絡配線により配線間や回路素子間を短絡しておく技術も一般的である。但し、係る短絡配線がそのまま装置完成後まで残ったのでは当該装置は機能しないため、このような配線や回路素子の形成と同時に或いは層前後して形成した短絡配線は、その後における製造工程のいずれかの段階でカットしなければならない。そして、このカットは、一般には、短絡配線のカットすべき部分に達するコンタクトホールを開孔して、当該コンタクトホール内に露出した短絡線部分をエッチングにより除去することにより行なわれる。

20

**【0005】**

特に最近では、高品位の画像表示を可能ならしめる高機能の電気光学装置を製造するために、基板上にはより多数の且つ複雑なパターンを有する導電層を積層形成するようになってきている。

**【0006】****【発明が解決しようとする課題】**

しかしながら、上述した電気光学装置の製造方法によれば、基板上における積層構造が複雑化してくると、画像表示領域や周辺領域で、各絶縁膜に開孔すべきコンタクトホールが増加し更に各コンタクトホールの深度制御や開孔個所の確保等が困難となり、製造工程が複雑高度化して、コスト上昇や歩留まり或いは装置信頼性の低下を招くという実用上大きな問題点が生じる。

30

**【0007】**

本発明は上述した問題点に鑑みなされたものであり、比較的複雑な積層構造を持つ電気光学装置を効率良く製造可能な電気光学装置の製造方法を提供することを課題とする。

**【0008】****【課題を解決するための手段】**

本発明の第1製造方法は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、該画素電極に電氣的に接続された薄膜トランジスタと、該薄膜トランジスタに電氣的に接続された走査線及びデータ線と、前記薄膜トランジスタのソース領域あるいはドレイン領域と前記データ線を中継接続するデータ線中継層と、前記画素電極に電氣的に接続された蓄積容量と、前記薄膜トランジスタの少なくともチャネル領域を下方から覆う所定パターンを有する下方遮光膜を含む遮光膜配線とを備えており、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記遮光膜配線、前記走査線、前記蓄積容量を形成する容量線及び前記データ線に電氣的に接続された周辺回路又は周辺配線を備えた電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記遮光膜配線を形成する遮光膜配線形成工程と、前記遮光膜配線上に下地絶縁膜を介して前記薄膜トランジスタの半導体層を形成する半導体層形成工程と、前記半導体層上に前記走査線、前記容量線及び前記データ線を夫々構成する複数の導電膜を各層間絶縁膜を介して積層形成す

40

50

る積層形成工程と、前記周辺領域で、前記遮光膜配線、前記半導体層、前記走査線、前記容量線及び前記データ線から構成される前記周辺回路又は周辺配線間を接続するための複数のコンタクトホールを開孔するコンタクトホール開孔工程とを含み、前記コンタクトホール開孔工程は、少なくとも一つのコンタクトホールを複数回のコンタクトホール開孔工程で形成し、前記複数回のコンタクトホール開孔工程の少なくとも一回は前記画像表示領域の前記遮光膜配線、前記半導体層、前記走査線、前記データ線中継層、前記容量線及び前記データ線の導電膜のうち任意の二膜間を各々接続するコンタクトホール開孔工程と同時に行われる。

【0009】

本発明の第1製造方法によれば、遮光膜配線形成工程により、基板上に遮光膜配線を形成し、半導体層形成工程により、遮光膜配線上に下地絶縁膜を介して薄膜トランジスタの半導体層を形成する。次に、積層形成工程により、半導体層上に走査線、容量線及びデータ線を夫々構成する複数の導電膜を各層間絶縁膜を介して積層形成する。ここで、コンタクトホール開孔工程では、周辺領域で、遮光膜配線、半導体層、走査線、容量線及びデータ線から構成される周辺回路又は周辺配線間を接続するための複数のコンタクトホールを開孔する。そして、コンタクトホール開孔工程は、少なくとも一つのコンタクトホールを複数回のコンタクトホール開孔工程で形成する。この際特に、複数回のコンタクトホール開孔工程の少なくとも一回は、画像表示領域の遮光膜配線、半導体層、走査線、容量線及びデータ線の導電膜のうち任意の二膜間を各々接続するコンタクトホール開孔工程と同時に行われるので、画像表示領域と周辺領域とで、配線や素子間を接続するためのコンタクトホールを少なくとも部分的に同時開孔できる。このため、両領域で別々にコンタクトホールを開孔するのと比較して製造工程の簡略化を図れる。しかも、画像表示領域における配線や回路素子と、周辺領域における周辺配線や周辺回路とを、同一基板上で同一導電膜を用いて少なくとも部分的に同時形成することも可能となるので製造工程及び積層構造を簡略化する上で大変有利である。

【0010】

本発明の第1製造方法の一態様では、前記周辺領域のコンタクトホール開孔工程における前記遮光膜配線と前記データ線の配線間を接続するコンタクトホール開孔工程は、前記画像表示領域での前記半導体層と前記データ線間のコンタクトホール開孔工程と同時に行なわれる開孔工程を含む。

【0011】

この態様によれば、周辺領域で、遮光膜配線とデータ線間を接続するコンタクトホールと、画像表示領域で、半導体層とデータ線間を接続するコンタクトホールとを同時に開孔でき、製造工程の簡略化を図れる。

【0012】

本発明の第1製造方法の他の態様では、前記周辺領域の複数回によるコンタクトホール開孔工程では、最終回のコンタクトホール開孔径を他のコンタクトホール開孔径より小さくする。

【0013】

この態様によれば、最終回のコンタクトホール開孔径を小さくするので、複数回によるコンタクトホール開孔工程により最終的に安定した穴形状を持つコンタクトホールが得られる。よって当該コンタクトホール付近における層間絶縁膜や下地絶縁膜に作用するストレスを低減できる。このため、当該コンタクトホール付近における層間絶縁膜や下地絶縁膜にクラックが発生する事態を阻止できる。

【0014】

本発明の第1製造方法の他の態様では、前記周辺領域の複数回によるコンタクトホール開孔工程は、最後のコンタクトホール開孔形状を円あるいは楕円に形成する。

【0015】

この態様によれば、周辺領域でコンタクトホールのうち最終回に開孔するコンタクトホール開孔形状が、円或いは楕円であるため、当該コンタクトホール付近における層間絶縁膜

10

20

30

40

50

や下地絶縁膜に作用するストレスが当該コンタクトホール周囲に分散される。このため、当該コンタクトホール付近における層間絶縁膜や下地絶縁膜にクラックが発生する事態を阻止できる。

【0016】

本発明の第1製造方法の他の態様では、前記周辺領域のコンタクトホール開孔工程における前記半導体層と前記データ線の配線間を接続するコンタクトホール開孔工程は、前記画像表示領域での前記前記データ線中継層と前記データ線間コンタクトホール開孔工程と同時に進められる開孔工程を含む。

【0017】

この態様によれば、周辺領域で、半導体層とデータ線間を接続するコンタクトホールと、画像表示領域で、データ線中継層とデータ線間を接続するコンタクトホールとを同時に開孔でき、製造工程の簡略化を図れる。

10

【0018】

本発明の第1製造方法の他の態様では、前記周辺領域の複数回によるコンタクトホール開孔工程は、平面的に見て一つのコンタクトホール開孔が他のコンタクトホール開孔の内側に形成する開孔工程を含む。

【0019】

この態様によれば、周辺領域では、一つのコンタクトホール開孔が他のコンタクトホール開孔の内側に形成されるので、複数回によるコンタクトホール開孔工程により最終的に安定した穴形状を持つコンタクトホールが得られる。よって当該コンタクトホール付近における層間絶縁膜や下地絶縁膜に作用するストレスを低減できる。このため、当該コンタクトホール付近における層間絶縁膜や下地絶縁膜にクラックが発生する事態を阻止できる。

20

【0020】

本発明の第1製造方法の他の態様では、前記周辺領域のコンタクトホール開孔工程は、ドライエッチングとウエットエッチングを用いてコンタクトホールの開口部分にテーパーを形成する。

【0021】

この態様によれば、指向性があるドライエッチングと指向性がないウエットエッチングとを用いることで、コンタクトホールの開口部分にテーパーが形成されるので、当該一のコンタクトホール内に積層される導電膜の付き回りを向上できると共に、当該コンタクトホール付近における層間絶縁膜や下地絶縁膜に作用するストレスを低減できる。このため信頼性の高いコンタクトホールを構築できる。

30

【0022】

本発明の第2製造方法は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、該画素電極に画素電極中継層を介して接続された薄膜トランジスタと、該薄膜トランジスタに電氣的に接続された走査線及びデータ線と、前記薄膜トランジスタのソース領域あるいはドレイン領域と前記データ線を中継接続するデータ線中継層と、前記画素電極に電氣的に接続された蓄積容量とを備えており、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記走査線、前記蓄積容量を形成する容量線及び前記データ線に電氣的に接続された周辺回路又は周辺配線を備えた電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記薄膜トランジスタの半導体層を形成する半導体層形成工程と、前記半導体層上に前記走査線、前記容量線及び前記データ線を夫々構成する複数の導電膜を各層間絶縁膜を介して積層形成する積層形成工程と、該積層形成工程中に、前記走査線と同層の膜からなる静電破壊防止用の短絡配線を前記周辺領域に形成する短絡配線形成工程と、前記短絡配線形成工程後に複数のコンタクトホール開孔工程を用いて前記短絡配線をカットするためのカット用コンタクトホール開孔工程とを含み、前記複数のコンタクトホール開孔工程は、少なくとも一つのコンタクトホールを複数回のコンタクトホール開孔工程で形成し、前記複数回のコンタクトホール開孔工程の少なくとも一回は前記画像表示領域の複数の導電膜のうち任意の二膜間を各々接続するコンタクトホール開孔工程と同時に行われる。

40

50

## 【 0 0 2 3 】

本発明の第2製造方法によれば、半導体層形成工程により、基板上に薄膜トランジスタの半導体層を形成する。次に、積層形成工程により、半導体層上に走査線、容量線及びデータ線を夫々構成する複数の導電膜を各層間絶縁膜を介して積層形成する。この積層形成工程中に、短絡配線形成工程により、走査線と同層の膜からなる静電破壊防止用の短絡配線を周辺領域に形成する。その後、カット用コンタクトホール開孔工程により、複数のコンタクトホール開孔工程を用いて短絡配線をカットする。そして、複数のコンタクトホール開孔工程は、少なくとも一つのコンタクトホールを複数回のコンタクトホール開孔工程で形成する。この際特に、複数回のコンタクトホール開孔工程の少なくとも一回は、画像表示領域の複数の導電膜のうち任意の二膜間を各々接続するコンタクトホール開孔工程と同時に行われるので、周辺領域におけるカット用コンタクトホールと画像表示領域における配線や素子間を接続するためのコンタクトホールとを、少なくとも部分的に同時開孔できる。このため、両領域で別々にこれらのコンタクトホールを開孔するのと比較して製造工程の簡略化を図れる。しかも、画像表示領域における配線や回路素子と、周辺領域における周辺配線や周辺回路とを、同一基板上で同一導電膜を用いて少なくとも部分的に同時形成することも可能となるので製造工程及び積層構造を簡略化する上で大変有利である。

10

## 【 0 0 2 4 】

本発明の第2製造方法の一態様では、前記データ線のパターニング形成時に前記カットが行われるカット用コンタクトホールの開孔工程は、前記画像表示領域での前記データ線中継層と前記データ線間の層間絶縁膜にコンタクトホールを開孔する工程と同時に進められる工程を含む。

20

## 【 0 0 2 5 】

この態様によれば、周辺領域におけるカット用コンタクトホールを、画像表示領域における容量線上の層間絶縁膜にコンタクトホールを開孔するのと同時に開孔できるので、製造工程の簡略化を図れる。

## 【 0 0 2 6 】

本発明の第2製造方法の他の態様では、前記カット用コンタクトホール開孔工程後は、前記カット用コンタクトホールに露出した前記短絡配線のカットを、前記データ線のパターニング形成時の前記データ線のエッチングに連続して行う。特に、周辺領域で、コンタクトホールの開孔完了後にデータ線をエッチングで形成した後に、短絡配線部分をカットするまでを、レジストを除去することなく連続したエッチング（例えば、ポリシリコン用のエッチング）で行うこと、製造工程の簡略化を図れる。

30

## 【 0 0 2 7 】

本発明の第2製造方法の他の態様では、前記周辺領域での電極を露出させるパッドオープン工程時に前記カットが行われるカット用コンタクトホールの開孔工程は、前記画像表示領域での前記データ線と前記データ線中継層間のコンタクトホール開孔工程及び前記画素電極と前記画素電極中継層間のコンタクトホール開孔工程と同時に進められる開孔工程を含む。

## 【 0 0 2 8 】

この態様によれば、周辺領域において電極パッドのパターン形成工程に短絡配線のカットが行われるカット用コンタクトホールは、画像表示領域においてデータ線とデータ線中継層間のコンタクトホールや画素電極と画素電極中継層間のコンタクトホールと同時に開孔できるので、製造工程の簡略化を図れる。

40

## 【 0 0 2 9 】

本発明の第2製造方法の他の態様では、前記カット用コンタクトホール開孔工程後は、前記カット用コンタクトホールに露出した前記短絡配線のカットを、前記周辺領域での電極を露出させるパッドオープン工程のエッチングに前後して行う。

## 【 0 0 3 0 】

この態様によれば、周辺領域で電極パッドをエッチング形成するのと相前後して、コンタクトホール内に露出した短絡配線部分をカットできるので、製造工程の簡略化を図れる。

50

## 【0031】

本発明の第3製造方法は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、該画素電極に電氣的に接続された薄膜トランジスタと、該薄膜トランジスタに電氣的に接続された走査線及びデータ線と、前記画素電極に電氣的に接続された蓄積容量と備えた電気光学装置を製造する電気光学装置の製造方法であって、前記基板上に前記薄膜トランジスタの半導体層を形成する半導体層形成工程と、前記半導体層上に前記走査線、前記半導体層と前記データ線とを中継接続するデータ線中継層、前記蓄積容量及び前記データ線を夫々構成する複数の導電膜をこの順に各層間絶縁膜を介して積層形成する積層形成工程とを備えており、該積層形成工程は、前記半導体層上の第1層間絶縁膜に前記半導体層に達するコンタクトホールを開孔し、前記コンタクトホールを覆うように前記データ線中継層を形成する工程と、前記データ線中継層上の第2層間絶縁膜に前記データ線中継層に達するコンタクトホールを開孔し、前記コンタクトホールを覆うように前記データ線を形成する工程とを含み、前記半導体層と前記データ線を前記データ線中継層を介して電氣的に接続する。

10

## 【0032】

本発明の第3製造方法によれば、半導体層形成工程により、基板上に薄膜トランジスタの半導体層を形成する。次に、積層形成工程により、半導体層上に走査線、データ線中継層、蓄積容量及びデータ線を夫々構成する複数の導電膜を、この順に各層間絶縁膜を介して積層形成する。ここで特に、積層形成工程では、第1層間絶縁膜に半導体層に達するコンタクトホールを開孔し、その上にデータ線中継層を形成した後に、第2層間絶縁膜にデータ線中継層に達するコンタクトホールを開孔し、更にその上にデータ線を形成するので、画像表示領域内で、データ線中継層を介して半導体層とデータ線とを電氣的に接続できる。このため、データ線及び半導体層の間の層間距離が長くても、両者間を一つのコンタクトホールで接続する技術的困難性を避けつつ、比較的小径且つ深度の浅い二つのコンタクトホールにより両者間を高信頼性で比較的容易に接続できる。

20

## 【0033】

本発明の第3製造方法の一態様では、前記コンタクトホール開孔工程では、平面的に見て同一位置に、前記データ線中継層から前記半導体層に達するコンタクトホール部分と前記データ線から前記データ線中継層に達するコンタクトホール部分とを開孔する。

## 【0034】

この態様によれば、データ線中継層により高信頼性で中継接続された構造を比較的容易に得られる。

30

## 【0035】

本発明の第3製造方法の他の態様では、前記積層形成工程では、前記データ線中継層を光吸収層から形成すると共に前記データ線を金属膜から形成し、前記データ線中継層から前記半導体層に達するコンタクトホール部分が、前記データ線から前記データ線中継層に達するコンタクトホール部分より穴径が小さくなるように前記一連のコンタクトホールを開孔する。

## 【0036】

この態様によれば、基板の裏面反射光や当該電気光学装置をライトバルブとして複数組み合わせた複板式のプロジェクトにおける他の電気光学装置から合成光学系を突き抜けてくる光などの戻り光が、データ線から半導体層に達するコンタクトホールの付近で、金属膜からなるデータ線で反射されて内面反射光となる事態を（データ線に到達する前にこれを吸収除去する）光吸収層により効果的に防止できる。この結果、係る内面反射光が半導体層に到達して、薄膜トランジスタで光リーク電流が生じ、そのトランジスタ特性が変化する事態を効果的に防止できるので、より高品位の画像表示が可能な電気光学装置を製造できる。

40

## 【0037】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

## 【0038】

50



**【発明の実施の形態】**

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置の製造方法を液晶装置の製造方法に適用したものである。

**【0039】****(電気光学装置の構成)**

先ず本発明の製造方法の実施形態により製造される電気光学装置の基本的な構成について、図1から図3を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

10

**【0040】**

図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。

20

30

**【0041】**

図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

**【0042】**

また、半導体層1aのうち図中右上がりの斜線領域で示したチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する(特に、本実施形態では、走査線3aは、当該ゲート電極となる部分において幅広に形成されている)。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTFT30が設けられている。

40

**【0043】**

図2及び図3に示すように、本実施形態では特に、内蔵遮光膜の一例としての容量線300は、導電性のポリシリコン膜等からなる第1膜72と高融点金属を含む金属シリサイド膜等からなる第2膜73とが積層された多層構造を持つ。このうち第2膜73は、容量線300或いは蓄積容量70の固定電位側容量電極としての機能の他、TFT30の上側において入射光からTFT30を遮光する遮光層としての機能を持つ。また第1膜72は、

50

容量線 300 或いは蓄積容量 70 の固定電位側容量電極としての機能の他、遮光層としての第 2 膜 73 と TFT 30 との間に配置された光吸収層としての機能を持つ。他方、容量線 300 に対して、誘電体膜 75 を介して対向配置される画素電極中継層 71a は、蓄積容量 70 の画素電位側容量電極としての機能の他、遮光層としての第 2 膜 73 と TFT 30 との間に配置される光吸収層としての機能を持ち、更に、画素電極 9a と TFT 30 の高濃度ドレイン領域 1e とを中継接続する機能を持つ。

【0044】

本実施形態では、蓄積容量 70 は、TFT 30 の高濃度ドレイン領域 1e (及び画素電極 9a) に接続された画素電位側容量電極としての画素電極中継層 71a と、固定電位側容量電極としての容量線 300 の一部とが、誘電体膜 75 を介して対向配置されることにより形成されている。

10

【0045】

容量線 300 は平面的に見て、走査線 3a に沿ってストライプ状に伸びる本線部分を含み、この本線部分から TFT 30 に重なる個所が図 2 中上下に突出している。そして、図 2 中縦方向に夫々伸びるデータ線 6a と図 2 中横方向に夫々伸びる容量線 300 とが交差する領域に、TFT アレイ基板 10 上における TFT 30 が配置されている。そして、このように相交差するデータ線 6a と容量線 300 とにより、平面的に見て格子状の遮光層が構成されており、各画素の開口領域を規定している。

【0046】

他方、TFT アレイ基板 10 上における TFT 30 の下側には、下側遮光膜 11a が格子状に設けられている。

20

【0047】

これらの遮光層の一例を構成する第 2 膜 73 及び下側遮光膜 11a は夫々、例えば、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン)、Pb (鉛) 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。また、このような第 2 膜 73 を含んでなる内蔵遮光膜の一例たる容量線 300 は、多層構造を有し、その第 1 膜 72 が導電性のポリシリコン膜であるため、係る第 2 膜 73 については、導電性材料から形成する必要はないが、第 1 膜 72 だけでなく第 2 膜 73 をも導電膜から形成すれば、容量線 300 をより低抵抗化できる。

30

【0048】

また図 3 において、容量電極としての画素電極中継層 71a と容量線 300 との間に配置される誘電体膜 75 は、例えば膜厚 5 ~ 200 nm 程度の比較的薄い HTO 膜、LTO 膜等の酸化シリコン膜、窒化酸化膜、あるいは窒化シリコン膜等から構成される。蓄積容量 70 を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜 75 は薄い程良い。

【0049】

光吸収層として機能するのみならず容量線 300 の一部を構成する第 1 膜 72 は、例えば膜厚 150 nm 程度のポリシリコン膜からなる。また、遮光層として機能するのみならず容量線 300 の他の一部を構成する第 2 膜 73 は、例えば膜厚 150 nm 程度のタングステンシリサイド膜からなる。このように誘電体膜 75 に接する側に配置される第 1 膜 72 をポリシリコン膜から構成し、誘電体膜 75 に接する画素電極中継層 71a をポリシリコン膜から構成することにより、誘電体膜 75 の劣化を阻止できる。例えば、仮に金属シリサイド膜を誘電体膜 75 に接触させる構成を採ると、誘電体膜 75 に重金属等の金属が入り込んで、誘電体膜 75 の性能を劣化させてしまう。更に、このような容量線 300 を誘電体膜 75 上に形成する際に、誘電体膜 75 の形成後にフォトレジスト工程を入れることなく、連続で容量線 300 を形成すれば、誘電体膜 75 の品質を高められるので、当該誘電体膜 75 を薄く成膜することが可能となり、最終的に蓄積容量 70 を増大できる。

40

【0050】

図 2 及び図 3 に示すように、データ線 6a は、コンタクトホール 81 を介して中継接続用

50

のデータ線中継層 7 1 b に接続されており、更にデータ線中継層 7 1 b は、コンタクトホール 8 2 を介して、例えばポリシリコン膜からなる半導体層 1 a のうち高濃度ソース領域 1 d に電氣的に接続されている。

【 0 0 5 1 】

本実施形態ではコンタクトホール 8 1 及び 8 2 は、同一平面位置に開孔されているが、これらは若干ずれて開孔されていてもよい。尚、データ線中継層 7 1 b は、前述した諸機能を持つ画素電極中継層 7 1 a と同一膜から同時形成される。

【 0 0 5 2 】

また容量線 3 0 0 は、画素電極 9 a が配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。係る定電位源としては、T F T 3 0 を駆動するための走査信号を走査線 3 a に供給するための走査線駆動回路（後述する）や画像信号をデータ線 6 a に供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でもよいし、対向基板 2 0 の対向電極 2 1 に供給される定電位でも構わない。更に、下側遮光膜 1 1 a についても、その電位変動が T F T 3 0 に対して悪影響を及ぼすことを避けるために、容量線 3 0 0 と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【 0 0 5 3 】

画素電極 9 a は、画素電極中継層 7 1 a を中継することにより、コンタクトホール 8 3 及び 8 5 を介して半導体層 1 a のうち高濃度ドレイン領域 1 e に電氣的に接続されている。このように画素電極中継層 7 1 a 及びデータ線中継層 7 1 b を中継層として利用すれば、層間距離が例えば 2 0 0 0 n m 程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、画素開口率を高めること可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【 0 0 5 4 】

図 2 及び図 3 において、電気光学装置は、透明な T F T アレイ基板 1 0 と、これに対向配置される透明な対向基板 2 0 とを備えている。T F T アレイ基板 1 0 は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板 2 0 は、例えばガラス基板や石英基板からなる。

【 0 0 5 5 】

T F T アレイ基板 1 0 には、平面的に見て格子状の溝 1 0 c v が掘られている（図 2 中右下がりの斜線領域で示されている）。走査線 3 a、データ線 6 a、T F T 3 0 等の配線や素子等は、この溝 1 0 c v 内に埋め込まれている。これにより、配線、素子等が存在する領域と存在しない領域との間における段差が緩和されており、最終的には段差に起因した液晶の配向不良等の画像不良を低減できる。

【 0 0 5 6 】

図 3 に示すように、T F T アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は例えば、I T O ( Indium Tin Oxide ) 膜などの透明導電性膜からなる。また配向膜 1 6 は例えば、ポリイミド膜などの有機膜からなる。

【 0 0 5 7 】

他方、対向基板 2 0 には、その全面に渡って対向電極 2 1 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は例えば、I T O 膜などの透明導電性膜からなる。また配向膜 2 2 は、ポリイミド膜などの有機膜からなる。

【 0 0 5 8 】

対向基板 2 0 には、格子状又はストライプ状の遮光膜を設けるようにしてもよい。このような構成を採ることで、前述の如く遮光層を構成する容量線 3 0 0 及びデータ線 6 a と共に当該対向基板 2 0 上の遮光膜により、対向基板 2 0 側からの入射光がチャネル領域 1 a ' や低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に侵入するのを、より確実に阻止

10

20

30

40

50

できる。更に、このような対向基板 20 上の遮光膜は、少なくとも入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。尚、このように対向基板 20 上の遮光膜は好ましくは、平面的に見て容量線 300 とデータ線 6a とからなる遮光層の内側に位置するように形成する。これにより、対向基板 20 上の遮光膜により、各画素の開口率を低めることなく、このような遮光及び温度上昇防止の効果が得られる。

#### 【0059】

このように構成された、画素電極 9a と対向電極 21 とが対面するように配置された TFT アレイ基板 10 と対向基板 20 との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9a からの電界が印加されていない状態で配向膜 16 及び 22 により所定の配向状態をとる。液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFT アレイ基板 10 及び対向基板 20 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

10

#### 【0060】

更に、画素スイッチング用 TFT 30 の下には、下地絶縁膜 12 が設けられている。下地絶縁膜 12 は、下側遮光膜 11a から TFT 30 を層間絶縁する機能の他、TFT アレイ基板 10 の全面に形成されることにより、TFT アレイ基板 10 の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用 TFT 30 の特性の変化を防止する機能

20

#### 【0061】

図 3 において、画素スイッチング用 TFT 30 は、LDD (Lightly Doped Drain) 構造を有しており、走査線 3a、当該走査線 3a からの電界によりチャネルが形成される半導体層 1a のチャネル領域 1a'、走査線 3a と半導体層 1a とを絶縁するゲート絶縁膜を含む絶縁膜 2、半導体層 1a の低濃度ソース領域 1b 及び低濃度ドレイン領域 1c、半導体層 1a の高濃度ソース領域 1d 並びに高濃度ドレイン領域 1e を備えている。

#### 【0062】

走査線 3a 上には、高濃度ソース領域 1d へ通じるコンタクトホール 82 及び高濃度ドレイン領域 1e へ通じるコンタクトホール 83 が各々開孔された第 1 層間絶縁膜 41 が形成

30

#### 【0063】

第 1 層間絶縁膜 41 上には画素電極中継層 71a 及びデータ線中継層 71b 並びに容量線 300 が形成されており、これらの上には、データ線中継層 71b 及び画素電極中継層 71a へ夫々通じるコンタクトホール 81 及びコンタクトホール 85 が各々開孔された第 2 層間絶縁膜 42 が形成されている。

#### 【0064】

尚、本実施形態では、第 1 層間絶縁膜 41 に対しては、1000 の焼成を行うことにより、半導体層 1a や走査線 3a を構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第 2 層間絶縁膜 42 に対しては、このような焼成を行わないことにより、容量線 300 の界面付近に生じるストレスの緩和を図るようにしてもよい。

40

#### 【0065】

第 2 層間絶縁膜 42 上にはデータ線 6a が形成されており、これらの上には、画素電極中継層 71a へ通じるコンタクトホール 85 が形成された第 3 層間絶縁膜 43 が形成されている。画素電極 9a は、このように構成された第 3 層間絶縁膜 43 の上面に設けられている。

#### 【0066】

以上のように構成された本実施形態によれば、対向基板 20 側から TFT 30 のチャネル領域 1a' 及びその付近に入射光が入射しようとする、データ線 6a 及び内蔵遮光膜の一例たる容量線 300 (特に、その第 2 膜 73) で遮光を行う。他方、TFT アレイ基板

50

10側から、TFT30のチャネル領域1a'及びその付近に戻り光が入射しようとする  
と、下側遮光膜11aで遮光を行う(特に、複板式のカラー表示用のプロジェクタ等で複  
数の電気光学装置をプリズム等を介して組み合わせ一つの光学系を構成する場合には、  
他の電気光学装置からプリズム等を突き抜けて来る投射光部分からなる戻り光は強力であ  
るので、有効である。)。そして、高反射率のAl膜からなるデータ線6aや、反射率の  
比較的高い高融点金属膜からなる第2膜73の内面(即ち、TFT30に面する側の表面  
)に斜めの戻り光が入射することにより発生する内面反射光、多重反射光などは、光吸収  
層としての第1膜72及び画素電極中継層71aにより吸収除去される。これらの結果、  
TFT30の特性が光リークにより変化することは殆ど無くなり、当該電気光学装置では  
、非常に高い耐光性が得られる。

10

#### 【0067】

以上説明した実施形態では、蓄積容量70の固定電位側電極を含む容量線300を、内蔵  
遮光膜とする構成を採用しているが、蓄積容量70の画素電位側電極を内蔵遮光膜として  
構成することも可能であり、或いは画素電極9aとTFT30とを中継接続する画素電極  
中継層を内蔵遮光膜として構成することも可能である。いずれの場合にも、高融点金属膜  
等の導電性の遮光膜から画素電位側容量電極或いは画素電極中継層を形成すればよい。ま  
たは、第1膜72と第2膜73を共にポリシリコンから形成し、光吸収層の機能のみを併  
せ持つ容量線としても良い。

#### 【0068】

以上説明した実施形態では、図3に示したように多数の導電層を積層することにより、画  
素電極9aの下地面(即ち、第3層間絶縁膜43の表面)におけるデータ線6aや走査線  
3aに沿った領域に段差が生じるのを、TFTアレイ基板10に溝10cvを掘ることで  
緩和しているが、これに変えて又は加えて、下地絶縁膜12、第1層間絶縁膜41、第2  
層間絶縁膜42、第3層間絶縁膜43に溝を掘って、データ線6a等の配線やTFT30  
等を埋め込むことにより平坦化処理を行ってもよいし、第3層間絶縁膜43や第2層間絶  
縁膜42の上面の段差をCMP(Chemical Mechanical Polishing)処理等で研磨するこ  
とにより、或いは有機SOGを用いて平らに形成することにより、当該平坦化処理を行っ  
てもよい。

20

#### 【0069】

更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示  
したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不  
純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲ  
ート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレ  
イン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画  
素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領  
域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲ  
ート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFT  
を構成すれば、チャネルとソース及びドレイン領域との接合部の光リーク電流を防止でき  
、オフ時の電流を低減することができる。

30

#### 【0070】

(電気光学装置の全体構成)

以上のように構成された電気光学装置の全体構成を図4及び図5を参照して説明する。尚  
、図4は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の  
側から見た平面図であり、図5は、図4のH-H'断面図である。

40

#### 【0071】

図5において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられ  
ており、その内側に並行して、画像表示領域10aの周辺を規定する額縁としての遮光膜  
53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定  
タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外  
部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3

50

aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的に導通をとるための導通材106が設けられている。そして、図5に示すように、図4に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

10

#### 【0072】

尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

#### 【0073】

以上図1から図5を参照して説明した電気光学装置では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(Tape Automated bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TNモード、VA(Vertically Aligned)モード、PDL(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

20

#### 【0074】

以上説明した電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

30

40

#### 【0075】

(電気光学装置の製造方法)

次に、本発明における上述の如き構成を持つ電気光学装置の製造方法の全体について、図6から図12を参照して説明する。ここに図6から図9は、本実施形態の製造プロセスの各工程におけるTFTアレイ基板10側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図である。他方、図10から図12は、図2と同様の画素部における各膜やコンタクトホール等の平面パターンを、図6から図9における工程に対応付けて示す工程図である。即ち、図10から図12では、図6から図9と同様の工程には、同様の工程番号(工程(1)、工程(2)、...)が付されている。

50

## 【 0 0 7 6 】

先ず図6の工程(1)に示すように、石英基板、ハードガラス、シリコン基板等のTFTアレイ基板10を用意し、フォトリソグラフィ並びにドライ及びウエットエッチングにより、図10の工程(1)に示した如き平面パターンを有する、例えば深度870nm程度の溝10cを掘る。ここで、好ましくは $N_2$ (窒素)等の不活性ガス雰囲気且つ約900~1300の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。

## 【 0 0 7 7 】

次に図6の工程(2)では、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜を形成する。そしてフォトリソグラフィ及びエッチングにより、図10の工程(2)に示した如き所定パターンの下側遮光膜11aを形成する。

10

## 【 0 0 7 8 】

次に図6の工程(3)では、下側遮光膜11a上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば約500~2000nm程度とする。

20

## 【 0 0 7 9 】

次に図6の工程(4)では、下地絶縁膜12上に、約450~550、好ましくは約500の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700にて約1~10時間、好ましくは、4~6時間のアニール処理を施することにより、ポリシリコン膜1を約50~200nmの粒径、好ましくは約100nmの粒径となるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。この際、画素スイッチング用のTFT30を、nチャネル型とするかpチャネル型にするかに応じて、V族元素やIII族元素のドーパントを僅かにイオン注入等によりドーピングしても良い。そして、フォトリソグラフィ及びエッチングにより、図10の工程(4)に示した如き所定パターンを有する半導体層1aを形成する。

30

## 【 0 0 8 0 】

次に図6の工程(5)及び工程(6)では、TFT30を構成する半導体層1aを約900~1300の温度、好ましくは約1000の温度により熱酸化して下層ゲート絶縁膜2aを形成し、続けて減圧CVD法等により、若しくは両者を続けて行うことにより、上層ゲート絶縁膜2bを形成する、これにより、多層の高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる(ゲート絶縁膜を含む)絶縁膜2を形成する。この結果、半導体層1aの厚さは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、絶縁膜2の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。

40

## 【 0 0 8 1 】

続いて、画素スイッチング用のTFT30のスレッショールド電圧 $V_{th}$ を制御するために、半導体層1aのうちNチャネル領域或いはPチャネル領域に、ボロン等のドーパントを予め設定された所定量だけイオン注入等によりドーピングしてもよい。

## 【 0 0 8 2 】

次に図6の工程(7)では、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーピングシリコン膜を用いてもよい。このポリシリコン膜の膜

50

厚は、約100～500nmの厚さ、好ましくは約350nm程度である。そして、フォトリソグラフィ及びエッチングにより、図10の工程(7)に示した如きTFT30のゲート電極を含む所定パターンの走査線3aを形成する。

【0083】

次に図7の工程(8)では、画素部をレジスト600で覆って、周辺領域で後述の如く周辺回路を構成する、PチャネルTFTの半導体層の所定領域に、例えばBF<sub>2</sub>ガスを用いてBイオンを $3 \times 10^{14} / \text{cm}^2$ 程度のドーズ量にてドーブする。これにより周辺領域におけるPチャネルTFTのソース及びドレイン領域を形成する。

【0084】

より具体的には、本実施形態では特に、TFT30の素子形成工程と並行して、Nチャネル型TFT及びPチャネル型TFTから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTFTアレイ基板10上の周辺部に形成する。

10

【0085】

次に図7の工程(9)では、TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3a(ゲート電極)をマスクとして、PなどのV族元素のドーパントを低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドーブする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

【0086】

更に図7の工程(10)では、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広い図11の工程(10)に示した平面パターンを有するレジスト層601を走査線3a上に形成する。その後、PなどのV族元素のドーパントを高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて)ドーブする。尚、例えば、低濃度のドーブを行わずに、オフセット構造のTFTとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。この不純物のドーブにより走査線3aは更に低抵抗化される。

20

【0087】

次に図7の工程(11)では、レジスト601を剥離後、走査線3a上に、例えば、常圧又は減圧CVD法等によりTEOSガス、TEBガス、TMOPガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜41を形成する。この第1層間絶縁膜12の膜厚は、例えば約500～2000nm程度とする。ここで好ましくは、800程度の高温でアニール処理し、層間絶縁膜41の膜質を向上させておく。

30

【0088】

次に図7の工程(12)では、層間絶縁薄膜41に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、図11の工程(12)に示した平面位置にコンタクトホール82及び83を同時開孔する。

【0089】

次に図7の工程(13)では、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドープトシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約150nm程度である。そして、フォトリソグラフィ及びエッチングにより、図11の工程(13)に示した如き画素電極中継層71a及びデータ線中継層71bを形成する。

40

【0090】

次に図8の工程(14)では、画素電位側容量電極を兼ねる画素電極中継層71a及び第1層間絶縁膜41上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる誘電体膜75を膜厚50nm程度の比較的薄い厚さに堆積する。但し、誘電体膜75は、絶縁膜2の場合と同様に、単層膜或いは多層膜のい

50



ずれから構成してもよく、一般にTFTのゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜75を薄くする程、蓄積容量70は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚50nm以下の極薄い絶縁膜となるように誘電体膜75を形成すると有利である。

#### 【0091】

次に図8の工程(15)では、誘電体膜75上に減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化して第1膜72を形成する。又は、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーパントシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100~500nmの厚さ、好ましくは約150nm程度である。この上に更に、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚の第2膜73を形成する。そしてフォトリソグラフィ及びエッチングにより、図11の工程(15)に示した如き所定パターンを持つ第1膜72及び第2膜73からなる容量線300が完成する。

10

#### 【0092】

次に図8の工程(16)では、レジスト500を除去した後に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜42を形成する。第1層間絶縁膜42の膜厚は、例えば500~1500nm程度である。

#### 【0093】

20

次に図8の工程(17)では、第2層間絶縁膜42に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、図12の工程(12)に示した平面個所にコンタクトホール81を開孔する。

#### 【0094】

次に図9の工程(18)では、第2層間絶縁膜42上の全面に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜として、約100~500nmの厚さ、好ましくは約300nmに堆積する。そして、フォトリソグラフィ及びエッチングにより、図12の工程(18)に示した如き所定パターンを有するデータ線6aを形成する。この時、図示しないが、図4及び図5に示す外部接続端子102等の電極パッド9dも同時形成される。

30

#### 【0095】

次に図9の工程(19)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜43を形成する。第3層間絶縁膜43の膜厚は、例えば500~1500nm程度である。

#### 【0096】

次に図9の工程(20)に示すように、第3層間絶縁膜43に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、図12の工程(20)に示した平面位置に、コンタクトホール85を開孔する。

#### 【0097】

40

次に図9の工程(21)に示すように、第3層間絶縁膜43上に、スパッタ処理等により、ITO膜等の透明導電性膜を、約50~200nmの厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、図12の工程(21)に示した平面パターンを有する画素電極9aを形成する。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

#### 【0098】

次に図示しないが、図4及び図5に示す外部接続端子102等の電極パッド9dを露出させるパッドオープン工程を行う。そのためにフォトリソグラフィ及びエッチングにより露出させる部分の第3層間絶縁膜43の除去を行う。

#### 【0099】

50

続いて、画素電極 9 a の上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜 1 6 ( 図 3 参照 ) が形成される。

【 0 1 0 0 】

他方、図 3 に示した対向基板 2 0 については、ガラス基板等が先ず用意され、額縁としての遮光膜 5 3 ( 図 4 及び図 5 参照 ) が、例えば金属クロムをスパッタした後、フォトリソグラフィ及びエッチングを経て形成される。尚、これらの遮光膜は、導電性である必要はなく、Cr、Ni、Al などの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。

【 0 1 0 1 】

その後、対向基板 2 0 の全面にスパッタ処理等により、ITO等の透明導電性膜を、約 50 ~ 200 nm の厚さに堆積することにより、対向電極 2 1 を形成する。更に、対向電極 2 1 の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜 2 2 ( 図 3 参照 ) が形成される。

【 0 1 0 2 】

最後に、上述のように各層が形成された TFT アレイ基板 1 0 と対向基板 2 0 とは、配向膜 1 6 及び 2 2 が対面するようにシール材 ( 図 4 及び図 5 参照 ) により貼り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層 5 0 が形成される。

【 0 1 0 3 】

( データ線及び半導体層間のコンタクトホール )

次に、上述の製造方法のうちデータ線 6 a 及び半導体層 1 a の高濃度ソース領域 1 d 間を接続する一連のコンタクトホール 8 1 及び 8 2 の開孔プロセスについて、図 1 3 及び図 1 4 を参照して更に説明を加える。ここに図 1 3 は、図 3 に示した当該開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。図 1 3 では、図 6 から図 9 と同様の工程には、同様の工程番号 ( 工程 ( 1 1 ) 、工程 ( 1 3 ) 、... ) が付されている。他方、図 1 4 は、変形形態における一連のコンタクトホールを拡大して示す断面図である。

【 0 1 0 4 】

図 1 3 に示すように、本実施形態では特に、工程 ( 1 1 ) で積層された第 1 層間絶縁膜 4 1 に対して、工程 ( 1 3 ) において先ず、データ線 6 a から半導体層 1 a に達する一連のコンタクトホールの一部をなすコンタクトホール 8 2 を開孔する。そして、この開孔のためのエッチングは、画素電極中継層 7 1 a から半導体層 1 a ( 高濃度ドレイン領域 1 e ) に達するコンタクトホール 8 3 ( 図 7 参照 ) と同時開孔される。更に、このように開孔されたコンタクトホール 8 2 内には、データ線中継層 7 1 b が形成される。

【 0 1 0 5 】

その後、工程 ( 1 6 ) で積層された第 2 層間絶縁膜 4 2 に対して、工程 ( 1 7 ) において、データ線 6 a から半導体層 1 a に達する一連のコンタクトホールの他の部分をなすコンタクトホール 8 1 を開孔する。更に、このように開孔されたコンタクトホール 8 1 内には、工程 ( 1 8 ) でデータ線 6 a の一部をなすアルミニウム層が形成される。

【 0 1 0 6 】

加えて本実施形態では、このような一連のコンタクトホールをなすコンタクトホール 8 1 及び 8 2 を、平面的に見て同一位置に開孔するので、当該データ線 6 a を半導体層 1 a に接続するためのコンタクトホールに必要な基板上面積が小さくて済む。従って、その分だけ、各画素における開口率を高めることができ、更に蓄積容量 7 0 の増大を図れる。しかも、データ線中継層 7 1 b により高信頼性で中継接続できる。

【 0 1 0 7 】

但し、図 1 4 に示した変形形態の如く、このような一連のコンタクトホールを、コンタクトホール 8 1 ' と 8 2 として、平面的に見て異なる位置に開孔しても、データ線中継層 7

10

20

30

40

50

1 bを介して中継接続可能である。

【0108】

尚、図13に示したように、データ線中継層71bを光吸収層から形成し且つデータ線6aを高反射率のA1膜から形成する場合には、下側のコンタクトホール82を、上側のコンタクトホール81より穴径が小さくなるように開孔してもよい。このように製造すれば、コンタクトホール81の付近に到達する戻り光を、データ線中継層71bの下面で吸収できるので、この付近で戻り光がデータ線6aで反射されて内面反射光となる事態を効果的に防止できる。

【0109】

(周辺回路におけるA1膜及び半導体層間のコンタクトホール)

次に、上述の製造方法と並行して行なわれる周辺回路におけるA1膜及び半導体層間のコンタクトホールの開孔プロセスについて、図15から図17を参照して説明を加える。ここに図15は、周辺回路を構成する相補型トランジスタの断面図であり、図16は、このようなA1膜から半導体層に達する一連のコンタクトホールの開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。また、図17は、変形形態における一連のコンタクトホールの開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。尚、図16及び図17では、図6から図9と同時に行なわれる工程には、同様の工程番号(工程(16)、工程(17)、...)が付されている。更に、図15において、図2及び図3に示した第1実施形態と同様の構成要素には同様の参照符号を付しそれらの説明は省略する。

【0110】

先ず図15には、前述の如く、TFTアレ基板10上の周辺領域に作り込まれるデータ線駆動回路101、走査線駆動回路104、サンプリング回路等を構成するTFTの構成が示されている。

【0111】

図15において、TFTは、相補型TFTであり、Pチャネル型TFT402pとNチャネル型TFT402nとが組み合わされてなる。

【0112】

Pチャネル型TFT402pは、画素部における半導体層1aと同一膜(即ち、ポリシリコン膜)からなる半導体層420中に、Pチャネル領域420pを有し、更に、画素部における走査線3aと同一膜(即ち、導電性のポリシリコン膜)からなるゲート電極116、並びに画素部におけるデータ線6aと同一膜(即ち、A1膜)からなるソース電極422及びドレイン電極406を有する。

【0113】

Nチャネル型TFT402nは、半導体層420中に、Nチャネル領域420nを有し、更に、Pチャネル型TFT402pと共通のゲート電極116及びドレイン電極406を有し、更に、画素部におけるデータ線6aと同一膜からなるソース電極421を有する。

【0114】

そして各TFTでは、A1膜からなる電極部分たるソース電極421及び422並びにドレイン電極406は、第1層間絶縁膜41、誘電体膜75及び第2層間絶縁膜42に開孔された一連のコンタクトホール183を介して半導体層420に夫々接続されている。尚、このようなPチャネル型TFT402p及びNチャネル型TFT402nは夫々好ましくは、画素スイッチング用TFT30と同様にLDD構造を有する。

【0115】

次に、このような一連のコンタクトホール183の開孔プロセスについて図16を参照して説明する。

【0116】

図16に示すように、本実施形態では特に、工程(16)で積層された第2層間絶縁膜42(及び誘電体膜75)に対して、工程(17)において先ず、A1膜(ソース電極422)から半導体層420に達する一連のコンタクトホールの一部をなすコンタクトホール

10

20

30

40

50

181を開孔する。そして、この開孔のためのエッチングは、画素部におけるデータ線6aからデータ線中継層71bに達するコンタクトホール81(図8参照)と同時に行なわれる。この際、コンタクトホール181の穴径は、例えば1×1μm程度である。

【0117】

その後、工程(17')において、第1層間絶縁膜41に対して、A1膜(ソース電極422)から半導体層420に達する一連のコンタクトホールの他の部分をなすコンタクトホール182を開孔する。そして、この開孔のためのエッチングは独自に行なわれる(即ち、画素部におけるどのコンタクトホールの開孔とも別個に行なわれる)。この際、コンタクトホール182の穴径は、例えば2.5×2.5μm程度である。このようにコンタクトホール182をコンタクトホール181より大きく設定し且つ第2層間絶縁膜42のエッチングレートを第1層間絶縁膜41のエッチングレートよりも高く設定することにより、穴形状が一様なテーパーが得られる。

10

【0118】

続いて、工程(18)で、このように開孔されたコンタクトホール182及び181からなる一連のコンタクトホール183内に、データ線6aと同一A1膜を形成し、ソース電極422が完成する。

【0119】

従って本製造プロセスによれば、画像表示領域と周辺領域とで、配線や素子間を接続するためのコンタクトホール183の一部分たるコンタクトホール181とコンタクトホール81とを同時開孔できるので、両領域で別々にコンタクトホールを開孔するのと比較して製造工程の簡略化を図れる。しかも、画像表示領域における配線や回路素子と、周辺領域における周辺配線や周辺回路とを、同一基板上で同一導電膜を用いて少なくとも部分的に同時形成できる。

20

【0120】

加えて本実施形態では、このような一連のコンタクトホール183をなすコンタクトホール181及び182を、平面的に見て同一位置に開孔するので、A1膜を利用して高信頼性で接続できる。

【0121】

但し、図17に示した変形形態の如く、このような一連のコンタクトホール183に代えて、コンタクトホール281を開孔してもよい。

30

【0122】

即ち、図17の工程(11)で示すように、工程(11)で積層した第1層間絶縁膜41に対して、コンタクトホール282を、画素部におけるデータ線中継層71bから半導体層1aに達するコンタクトホール82と同時開孔する。その後、工程(16)でこのコンタクトホール282上に第2層間絶縁膜42を積層した後、更に工程(17)でコンタクトホール281を、画素部におけるデータ線6aからデータ線中継層71bに達するコンタクトホール81と同時開孔する。続いて、工程(18)で、このように開孔されたコンタクトホール281内に、データ線6aと同一A1膜を形成し、ソース電極422が完成する。

【0123】

40

(周辺領域におけるA1膜及び下方遮光膜間のコンタクトホール)

次に、上述の製造方法と並行して行なわれる周辺領域におけるA1膜及び下側遮光膜11a間のコンタクトホールの開孔プロセスについて、図18を参照して説明を加える。ここに図18は、このようなA1膜から下側遮光膜に達する一連のコンタクトホールの開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。尚、図18では、図6から図9と同時に行なわれる工程には、同様の工程番号(工程(12)、工程(16)、...)が付されている。

【0124】

図18に示すように、本実施形態では特に、工程(12)で、第1層間絶縁膜41に対して、コンタクトホール382を、画素部におけるデータ線中継層71bから半導体層1a

50

に達するコンタクトホール 8 2 と同時開孔する。この際、コンタクトホール 3 8 2 の穴径は、例えば  $15 \times 15 \mu\text{m}$  程度である。

【0125】

その後、工程 (16) でこのコンタクトホール 3 8 2 上に第 2 層間絶縁膜 4 2 を積層した後、更に工程 (17) でコンタクトホール 3 8 1 を、画素部におけるデータ線 6 a からデータ線中継層 7 1 b に達するコンタクトホール 8 1 と同時開孔する。この際、コンタクトホール 3 8 1 の穴径は、例えば  $12 \times 12 \mu\text{m}$  程度である。

【0126】

その後、工程 (18') において、下地絶縁膜 1 2 に対して、コンタクトホール 3 8 1 の底から下側遮光膜 1 1 a に達する一連のコンタクトホールの他の部分をなすコンタクトホール 3 8 3 を開孔する。そして、この開孔のためのエッチングは独自に行なわれる (即ち、画素部におけるどのコンタクトホールの開孔とも別個に行なわれる。また、これは先のコンタクトホール 1 8 2 と同一工程で形成してもよい)。この際、コンタクトホール 3 8 3 の穴径は、例えば直径  $2 \mu\text{m}$  程度である。このように小径で円形のコンタクトホール 3 8 3 を最後に開孔することにより、下側遮光膜 1 1 a の応力でコンタクトホール 3 8 3 の周囲における下地絶縁膜 1 2 等にクラックが発生し事態を効果的に防止できる。

【0127】

続いて、このように開孔されたコンタクトホール 3 8 1 及び 3 8 3 内に、データ線 6 a と同一 A 1 膜からなる周辺配線 6 c を形成する。

【0128】

本実施形態では、下側遮光膜 1 1 a は、画像表示領域 1 0 a から周辺領域まで伸びる遮光膜配線の一例を構成しており、例えば定電位配線として機能する。この場合、一連のコンタクトホール 3 8 1 及び 3 8 3 は、例えば、画像表示領域 1 0 a の四隅に開孔される。

【0129】

従って本製造プロセスによれば、画像表示領域と周辺領域とで、配線や素子間を接続するための一連のコンタクトホールの一部分たるコンタクトホール 3 8 2 とコンタクトホール 8 2 とを同時開孔でき、更に一連のコンタクトホールの一部分たるコンタクトホール 3 8 1 とコンタクトホール 8 1 とを同時開孔できるので、両領域で別々にコンタクトホールを開孔するのと比較して製造工程の簡略化を図れる。しかも、画像表示領域における配線や回路素子と、周辺領域における周辺配線や周辺回路とを、同一基板上で同一導電膜を用いて少なくとも部分的に同時形成できる。更に、コンタクトホール 3 8 1 の底にある下地絶縁膜 1 2 に対し、コンタクトホール 1 8 2 と同一工程でコンタクトホール 3 8 3 を開孔して、A 1 膜 (配線 6 c) から下側遮光膜 1 1 a に達する当該一連のコンタクトホールを完成させる。このため、係る一連のコンタクトホールの深度制御や積層構造の設計自由度が向上する。

【0130】

(周辺領域における A 1 膜及び容量線間のコンタクトホール)

次に、上述の製造方法と並行して行なわれる周辺回路における A 1 膜及び容量線間のコンタクトホールの構造及び開孔プロセス等について、図 19 から図 21 を参照して説明を加える。ここに図 19 は、周辺領域における容量線と A 1 膜からなる周辺配線との接続の様子を示す図式的な平面図であり、図 20 は、このような接続個所の拡大断面図である。また、図 21 は、変形形態における接続個所の拡大断面図である。尚、図 19 から図 21 において、図 1 から図 5 に示した第 1 実施形態と同様の構成要素には同様の参照符号を付しそれらの説明は省略する。

【0131】

先ず図 19 において、容量線 3 0 0 は、画像表示領域 1 0 a では、ストライプ状に形成されており、周辺領域では左右夫々一つにまとめられている。この纏められた容量線 3 0 0 の連結部 3 0 0 c には、複数のコンタクトホール 5 0 2 が縦方向に複数配列されており、これらのコンタクトホール 5 0 2 により、データ線 6 a と同一 A 1 膜からなる周辺配線 6 d に接続されている。

10

20

30

40

50

## 【 0 1 3 2 】

図 2 0 に示すように、連結部 3 0 0 c は、画素部における第 1 膜 7 2 及び第 2 膜 7 3 と夫々同一膜からなる第 1 膜 7 2 c 及び第 2 膜 7 3 c とを含む積層構造を有する。コンタクトホール 5 0 2 は、第 2 層間絶縁膜 4 2 に開孔されており、周辺配線 6 d から連結部 3 0 0 c に達している。本実施形態では特に、このようなコンタクトホール 5 0 2 は、図 8 に示した工程 ( 1 7 ) に示したコンタクトホール 8 1 と同時開孔されるものである。

## 【 0 1 3 3 】

従って本実施形態によれば、画像表示領域と周辺領域とで、コンタクトホールを同時開孔できるので、これらを別々にコンタクトホールを開孔するのと比較して製造工程の簡略化を図れる。しかも、画像表示領域における容量電極と、周辺領域における周辺配線や周辺回路とを、同一導電膜を用いて少なくとも部分的に同時形成することも可能となる。

10

## 【 0 1 3 4 】

尚、図 1 9 では、容量線 3 0 0 と同一膜からその連結部 3 0 0 c を形成するという比較的単純な例を示したが、図 2 0 に示したコンタクトホールの構造は、より一般に、容量線 3 0 0 と同一膜 (例えば、高融点金属を含有する導電膜) 及びデータ線 6 a と同一膜 (例えば、A 1 膜) とを組み合わせ、各種の周辺回路素子や配線を構成することを可能ならしめるものである。従って、本実施形態のコンタクトホール構造を採用することで特に、微細ピッチの周辺回路や周辺配線を周辺領域に作り込むことができるので、高精細度の画像表示が可能な電気光学装置を製造可能となる。

## 【 0 1 3 5 】

20

更に図 2 1 に示した変形形態のように、容量線 3 0 0 に代えて、画素部における画素電位側容量電極 (画素電極中継層 7 1 a) と同一膜 (例えば、導電性ポリシリコン膜) からなる周辺配線 7 1 c と A 1 膜からなる周辺配線 6 d' とを接続するコンタクトホール 5 0 3 を、図 8 に示した工程 ( 1 7 ) に示したコンタクトホール 8 1 と同時開孔してもよい。このように構成しても、容易にコンタクトホールを開孔でき、微細ピッチの周辺回路や周辺配線を周辺領域に作り込むことができる。

## 【 0 1 3 6 】

( 短絡配線のカットングプロセス )

次に、上述の製造方法と並行して行なわれる周辺領域における短絡配線のカットングプロセスについて、図 2 2 から図 2 4 を参照して説明を加える。ここに図 2 2 は、走査線と同一膜からなる短絡配線の基板上レイアウトを示す図式的な平面図であり、図 2 3 及び図 2 4 は夫々、このような短絡配線のカットングプロセスに係る各工程における、カットング用コンタクトホール付近の断面を拡大して示す工程図である。尚、図 2 3 及び図 2 4 では、図 6 から図 9 と同時に行なわれる工程には、同様の工程番号 ( 工程 ( 1 6 ) 、工程 ( 1 7 ) 、... ) が付されている。更に、図 2 2 において、図 1 から図 5 に示した第 1 実施形態と同様の構成要素には同様の参照符号を付しそれらの説明は省略する。

30

## 【 0 1 3 7 】

図 2 2 に示すように、本実施形態に係る電気光学装置は、T F T 等の回路素子や各種配線が、製造中に発生する静電気により破壊されないように、走査線 3 a と同一膜からなる短絡配線 4 0 1 により配線間や回路素子間が短絡される。但し、係る短絡配線 4 0 1 がそのまま装置完成後まで残ったのでは当該電気光学装置は機能しない。このため、本実施形態では、短絡配線 4 0 1 を走査線 3 a と同時に形成し、配線個所に応じて図 9 に示した工程 ( 1 8 ) 或いは工程 ( 2 1 ) の後にカットする。即ち、本実施形態で製造される電気光学装置は、図 6 に示した工程 ( 7 ) から図 9 に示した工程 ( 1 8 ) 或いは工程 ( 2 1 ) までの製造中には、短絡配線 4 0 1 により静電気により装置不良となる可能性が低減されている。

40

## 【 0 1 3 8 】

図 2 2 には、画素部におけるデータ線 6 a からデータ線中継層 7 1 b に達するコンタクトホール 8 1 と同時開孔されるコンタクトホール 4 8 1 と、周辺回路の T F T に係るコンタクトホール 1 8 2 ( 図 1 6 の工程 ( 1 7' ) 参照 ) と同時に開孔されるコンタクトホール

50

4 8 2 とを含む一連のコンタクトホールを介してカットされる短絡配線 4 0 1 の各個所は、図中 印で示してある。また画素部におけるデータ線 6 a からデータ線中継層 7 1 b に達するコンタクトホール 8 1 と同時開孔されるコンタクトホール 5 8 1 と、画素部における画素電極 9 a から画素電極中継層 7 1 a に達するコンタクトホール 8 5 (図 9 の工程 (2 0) 参照) と同時に開孔されるコンタクトホール 5 8 5 とを含む一連のコンタクトホールを介してカットされる短絡配線 4 0 1 の各個所は、図中 x 印で示してある。

【 0 1 3 9 】

次に、このような周辺領域における短絡配線 4 0 1 のカッティングプロセスについて図 2 3 及び図 2 4 を参照して説明する。

【 0 1 4 0 】

図 2 3 は、図 2 2 で 印で示した短絡配線 4 0 1 をカットする個所における断面を示しており、図 2 3 に示すように、本実施形態では特に、工程 (1 6) で積層された第 2 層間絶縁膜 4 2 (及び誘電体膜 7 5) に対して、工程 (1 7) において先ず、A 1 膜 (周辺配線 6 b') から短絡配線 4 0 1 に達する一連のコンタクトホールの一部をなすコンタクトホール 4 8 1 を開孔する。そして、この開孔のためのエッチングは、画素部におけるデータ線 6 a からデータ線中継層 7 1 b に達するコンタクトホール 8 1 (図 8 参照) と同時に行なわれる。この際、コンタクトホール 4 8 1 の穴径は、例えば  $2 \times 3 \mu\text{m}$  程度である。

【 0 1 4 1 】

その後、図 2 3 の工程 (1 8) では、コンタクトホール 4 8 2 を第 1 層間絶縁膜 4 1 に対して、周辺回路の T F T に係るコンタクトホール 1 8 2 (図 1 6 の工程 (1 7') 参照) と同時形成し、更にデータ線 6 a と同一の A 1 膜を形成する。この際、コンタクトホール 4 8 2 の穴径は、例えば  $5 \times 5 \mu\text{m}$  程度である。

【 0 1 4 2 】

そして、図 2 3 の工程 (1 8'') では、続いて、A 1 膜に対するフォトリソグラフィ及びエッチングにより、データ線 6 a と同時に、周辺配線 6 b を形成する。そして、A 1 膜をエッチングした後、A 1 膜に対するレジストを剥離することなくこれに引き続いて、ポリシリコン膜用のエッチングを行って、短絡配線 4 0 1 を除去する。即ち、短絡配線のカッティングを A 1 膜に対するパターンニングに引き続いて行う。このカットする個所における短絡配線 4 0 1 の幅は、例えば  $2 \mu\text{m}$  程度である。

【 0 1 4 3 】

他方、図 2 4 は、図 2 2 で x 印で示した短絡配線 4 0 1 をカットする個所における断面を示しており、図 2 4 に示すように、本実施形態では特に、工程 (1 6) で積層された第 2 層間絶縁膜 4 2 (及び誘電体膜 7 5) に対して、工程 (1 7) において先ず、A 1 膜 (周辺配線 6 b') から容量線 3 0 0 に達する一連のコンタクトホールの一部をなすコンタクトホール 5 8 1 を開孔する。そして、この開孔のためのエッチングは、画素部におけるデータ線 6 a からデータ線中継層 7 1 b に達するコンタクトホール 8 1 (図 8 参照) と同時に行なわれる。この際、コンタクトホール 5 8 1 の穴径は、例えば  $40 \times 60 \mu\text{m}$  程度である。

【 0 1 4 4 】

その後、図 2 4 の工程 (1 9) では、コンタクトホール 5 8 1 上に、第 3 層間絶縁膜 4 3 を形成する。

【 0 1 4 5 】

その後、図 2 4 の工程 (2 0) では、第 3 層間絶縁膜 4 3 に対して、コンタクトホール 5 8 5 を、画素部における画素電極 9 a に係るコンタクトホール 8 5 (図 9 の工程 (2 0) 参照) と同時形成する。この際、コンタクトホール 5 8 5 の穴径は、例えば  $50 \times 70 \mu\text{m}$  程度である。

【 0 1 4 6 】

続いて、工程 (2 2) では、図 4 及び図 5 に示した外部回路接続端子 1 0 2 等の電極パッド 9 d を露出させるために第 3 層間絶縁膜 4 3 に開孔を形成するためのパッドオープン工程のフォトリソグラフィ及びエッチングを利用して短絡配線 4 0 1 を除去する。即ち、短

10

20

30

40

50

絡配線のカッティングを第3層間絶縁膜43に対するエッチングからレジストを剥離することなく連続で行う。または両者のエッチングの順序を逆にしても良い。このカットする個所における短絡配線401の幅は、例えば10 $\mu$ m程度であり、電極パッド9dの大きさは、例えば60 $\times$ 80 $\mu$ m程度である。

【0147】

従って本製造プロセスによれば、画像表示領域と周辺領域とで、配線や素子間を接続するためのコンタクトホールと短絡配線401をカットするためのコンタクトホールとを部分的に同時開孔できるので、両領域で別々にコンタクトホールを開孔するのと比較して製造工程の簡略化を図れる。

【0148】

以上説明した各実施形態における製造方法では、一連のコンタクトホールのうち最後に開孔するコンタクトホールの穴形状を円或いは楕円にするのが好ましい。このようにすれば、当該一連のコンタクトホール付近における各層間絶縁膜や下地絶縁膜に作用するストレスが当該一連のコンタクトホールの周囲に分散される。このため、当該一連のコンタクトホール付近における第2層間絶縁膜42、第1層間絶縁膜41、下地絶縁膜12等にクラックが発生する事態を阻止できる。

【0149】

更に各実施形態では、一連のコンタクトホールのうち最後に開孔するコンタクトホール部分の穴径が他のコンタクトホール部分小さくなるように開孔するのが好ましい。このようにすれば、一連のコンタクトホールの形状を全体としてテーパ状にできるので、当該一連のコンタクトホール付近における層間絶縁膜や下地絶縁膜に作用するストレスをより一層低減できる。この場合には更に、平面的に見て最後に開孔するコンタクトホール部分の開孔領域が他のコンタクトホール部分の開孔領域内に位置するように開孔するのが、より好ましい。これにより、当該一連のコンタクトホールの形状を安定させることができ、一層確実に信頼性の高い電氣的接続が得られる。

【0150】

更にまた各実施形態では、コンタクトホール開孔工程では、ドライエッチング及びウエットエッチングを組み合わせるにより少なくとも一つのコンタクトホール部分にテーパを持たせるのが、より好ましい。コンタクトホール部分にテーパを持たせることで、コンタクトホール内に積層される導電膜の付き回りを向上できる。これに代えて又は加えて、複数の層間絶縁膜を、上方に積層されるもの（例えば、第3層間絶縁膜や第2層間絶縁膜）程、エッチングレートが高くなるように形成することによってもコンタクトホールにテーパを持たせることが可能となる。

【0151】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置の製造方法もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】 本発明の製造方法の実施形態で製造される電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】 図1の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTF-Tアレイ基板の相隣接する複数の画素群の平面図である。

【図3】 図2のA-A'断面図である。

【図4】 本発明の製造方法の実施形態で製造される電気光学装置におけるTF-Tアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図5】 図4のH-H'断面図である。

【図6】 本実施形態の製造プロセスの各工程におけるTF-Tアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図（その1）である。

【図7】 本実施形態の製造プロセスの各工程におけるTF-Tアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて示す工程図（その2）である。

10

20

30

40

50



【図 8】 本実施形態の製造プロセスの各工程における T F T アレイ基板側の各層を、図 3 と同様に図 2 の A - A ' 断面に対応させて示す工程図（その 3）である。

【図 9】 本実施形態の製造プロセスの各工程における T F T アレイ基板側の各層を、図 3 と同様に図 2 の A - A ' 断面に対応させて示す工程図（その 4）である。

【図 10】 図 2 と同様の画素部における各膜やコンタクトホールの平面パターンを、図 6 から図 9 における工程に対応付けて示す工程図である。

【図 11】 図 2 と同様の画素部における各膜やコンタクトホールを拡大して示す工程図である。

【図 12】 図 2 と同様の画素部における各膜やコンタクトホールを拡大して示す工程図である。

【図 13】 図 3 に示した当該開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。

【図 14】 変形形態における一連のコンタクトホールを拡大して示す断面図である。

【図 15】 周辺回路を構成する相補型トランジスタの断面図である。

【図 16】 A 1 膜から半導体層に達する一連のコンタクトホールの開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。

【図 17】 変形形態における一連のコンタクトホールの開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。

【図 18】 A 1 膜から下側遮光膜に達する一連のコンタクトホールの開孔プロセスに係る各工程における、この一連のコンタクトホール付近の断面を拡大して示す工程図である。

【図 19】 周辺領域における容量線と A 1 膜からなる周辺配線との接続の様子を示す図式的な平面図である。

【図 20】 図 19 のような電気光学装置における接続個所の拡大断面図である。

【図 21】 変形形態における接続個所の拡大断面図である。

【図 22】 走査線と同一膜からなる短絡配線の基板上レイアウトを示す図式的な平面図である。

短絡配線のカッティングプロセスに係る各工程における、カッティング用コンタクトホール付近の断面を拡大して示す工程図である。

【図 23】 短絡配線のカッティングプロセスに係る各工程における、カッティング用コンタクトホール付近の断面を拡大して示す一の工程図である。

【図 24】 短絡配線のカッティングプロセスに係る各工程における、カッティング用コンタクトホール付近の断面を拡大して示す他の工程図である。

【符号の説明】

1 a ... 半導体層

1 a ' ... チャネル領域

1 b ... 低濃度ソース領域

1 c ... 低濃度ドレイン領域

1 d ... 高濃度ソース領域

1 e ... 高濃度ドレイン領域

2 ... 絶縁薄膜

3 a ... 走査線

6 a ... データ線

9 a ... 画素電極

10 ... T F T アレイ基板

10 c v ... 溝

11 a ... 下側遮光膜

12 ... 下地絶縁膜

16 ... 配向膜

20 ... 対向基板

10

20

30

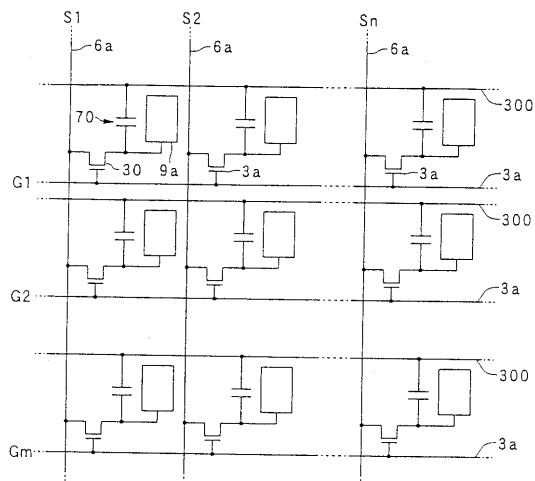
40

50

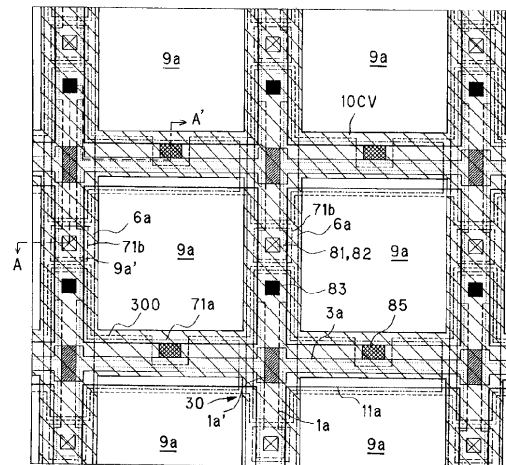
- 2 1 ... 対向電極
- 2 2 ... 配向膜
- 3 0 ... T F T
- 5 0 ... 液晶層
- 7 0 ... 蓄積容量
- 7 1 a ... 画素電極中継層
- 7 1 b ... データ線中継層
- 7 2 ... 容量線の第 1 膜
- 7 3 ... 容量線の第 2 膜
- 7 5 ... 誘電体膜
- 8 1、8 2、8 3、8 5 ... コンタクトホール
- 3 0 0 ... 容量線
- 4 0 2 p ... Pチャネル T F T
- 4 0 2 n ... Nチャネル T F T
- 4 2 2 ... 周辺配線

10

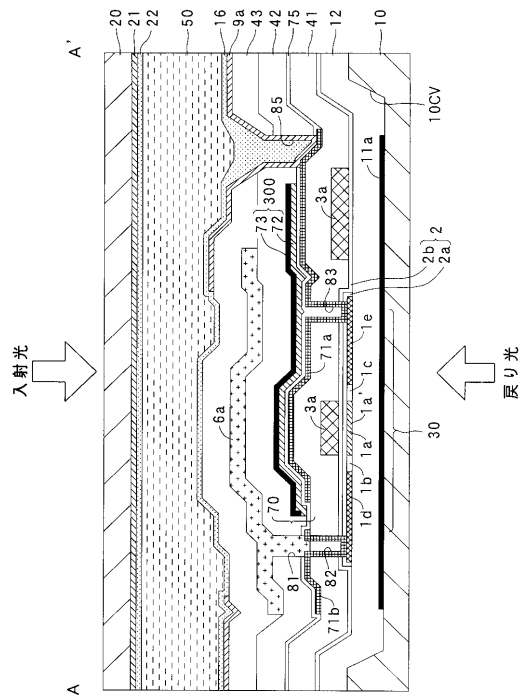
【図 1】



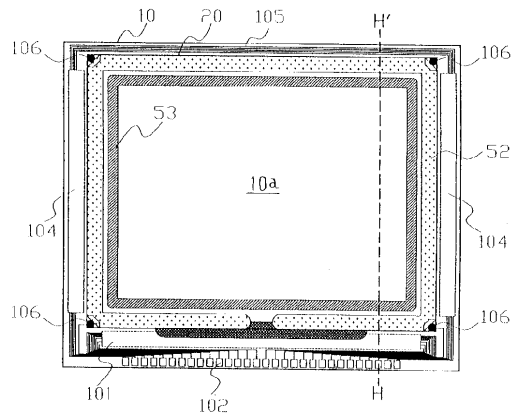
【図 2】



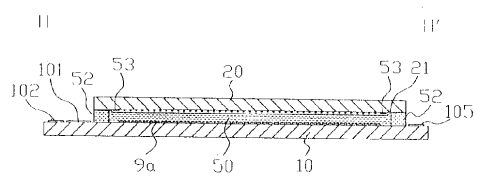
【図 3】



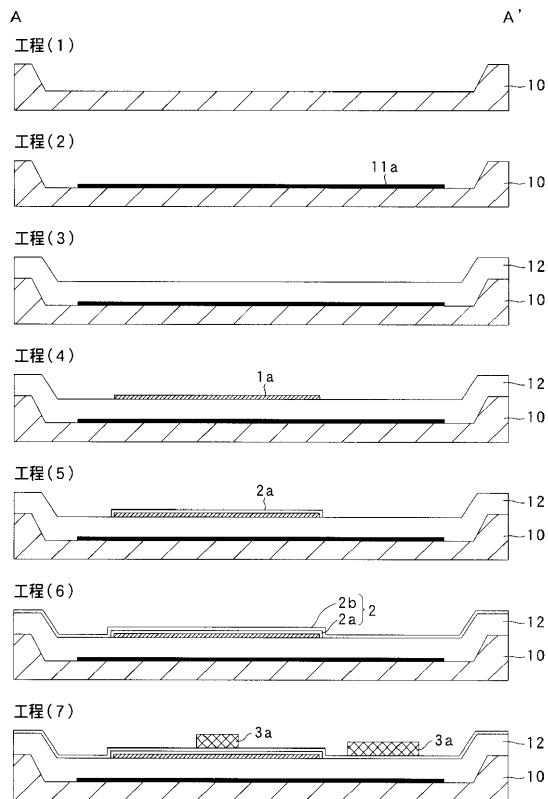
【図 4】



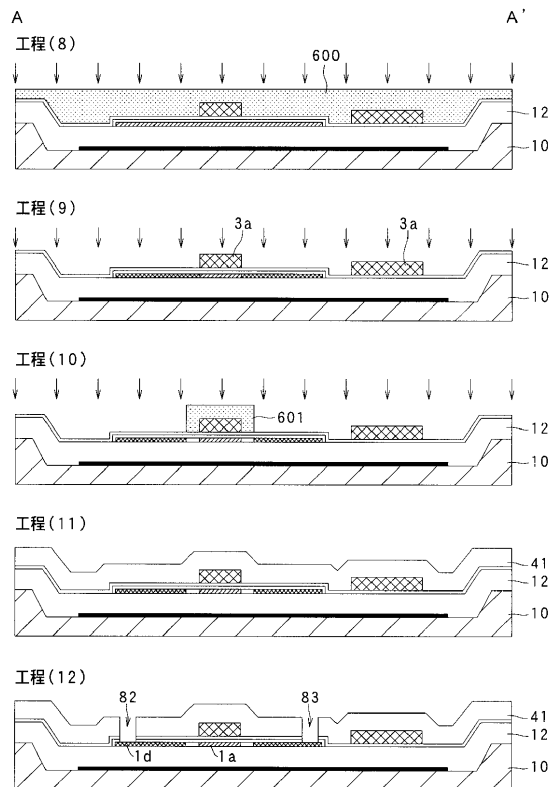
【図 5】



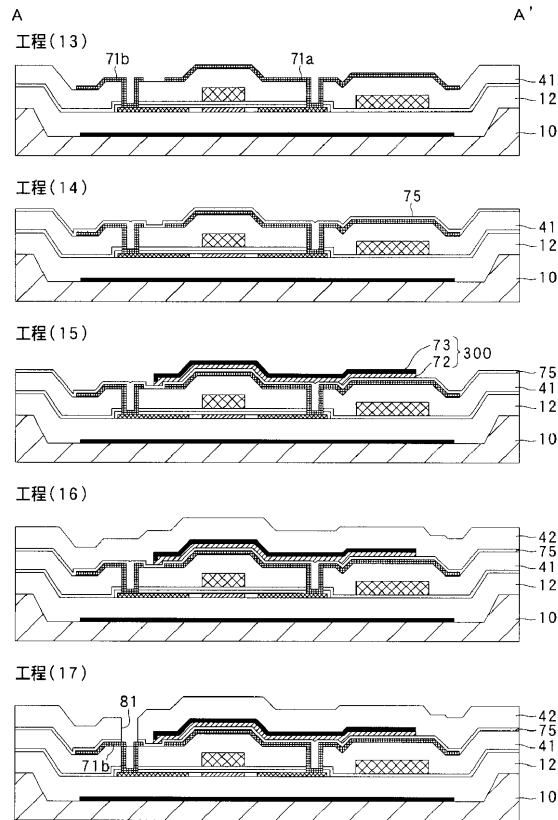
【図 6】



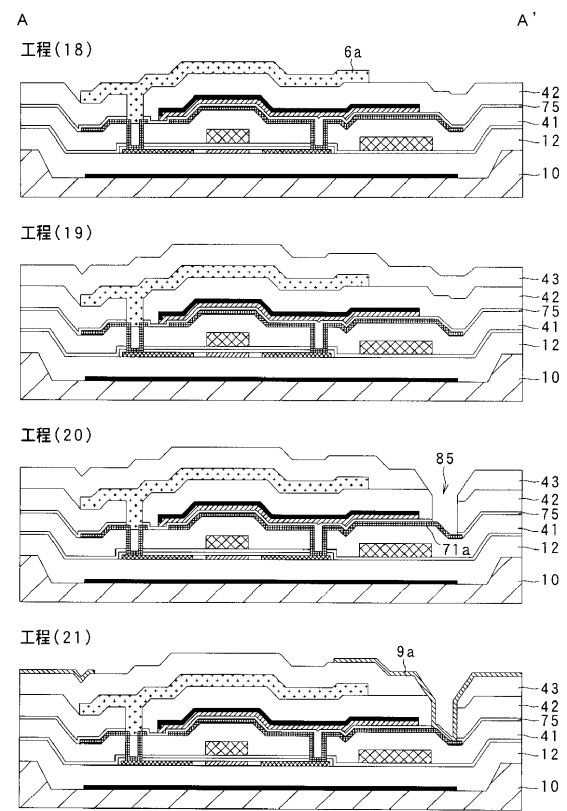
【図 7】



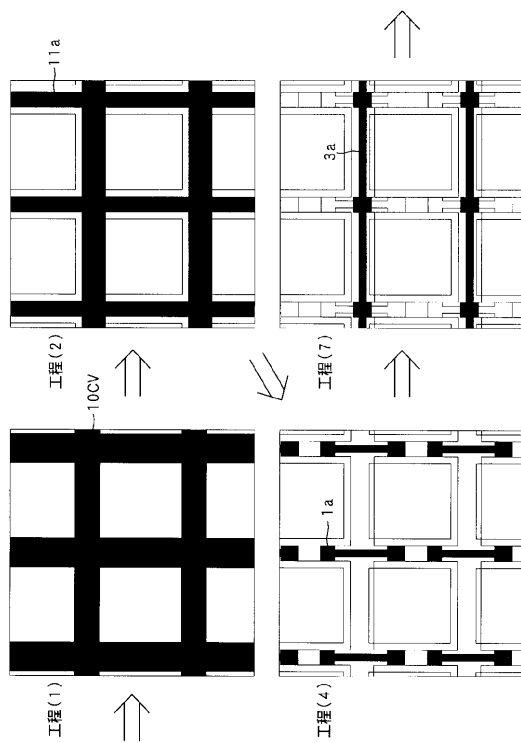
【図 8】



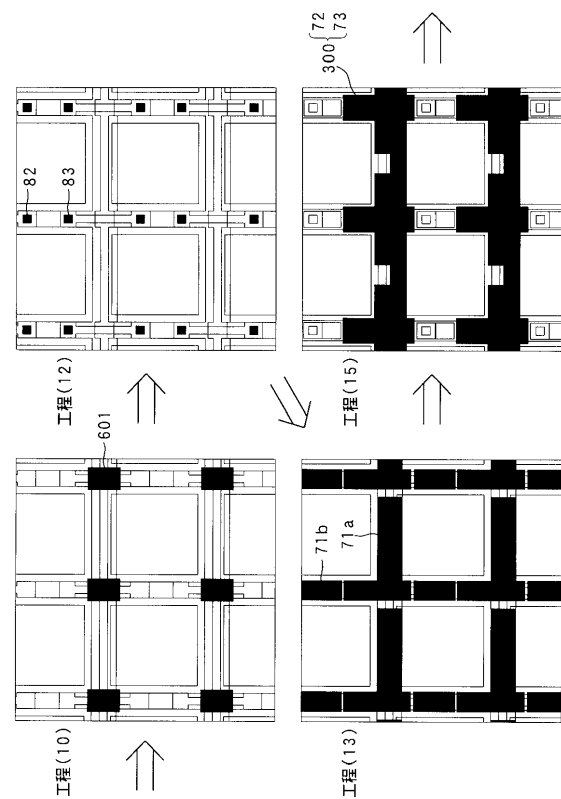
【図 9】



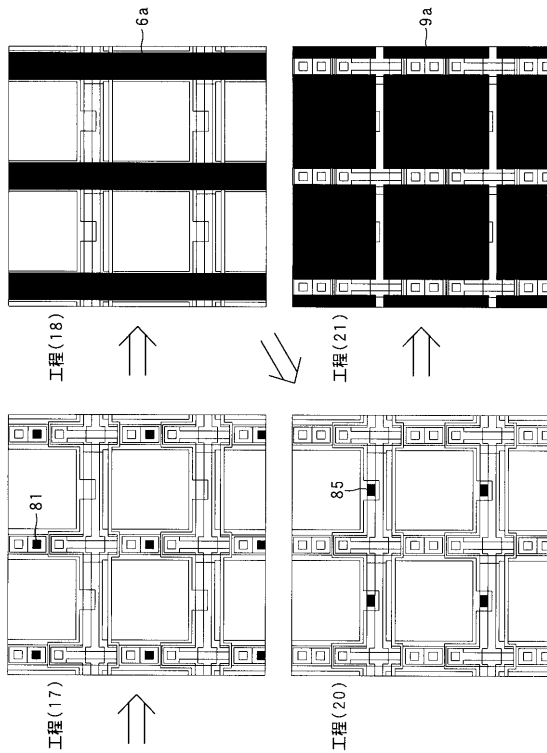
【図 10】



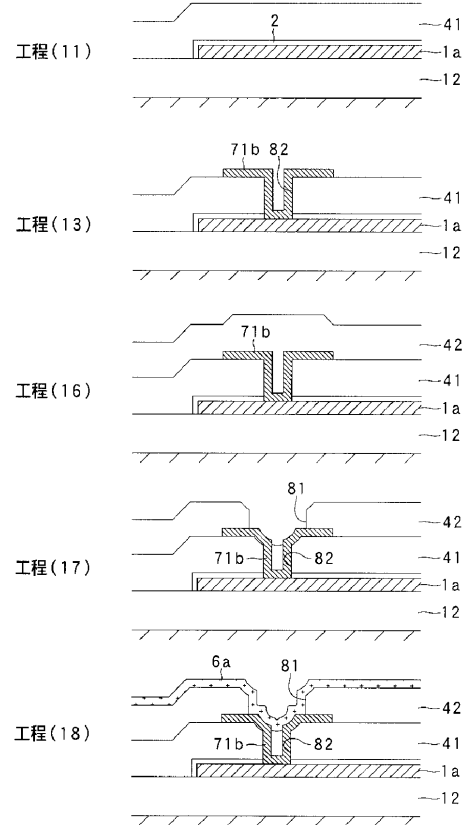
【図 11】



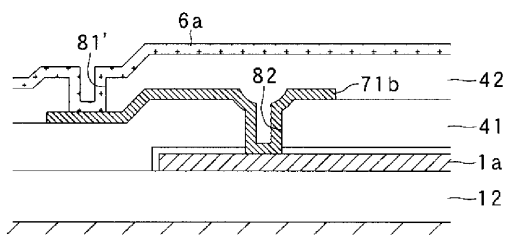
【図 1 2】



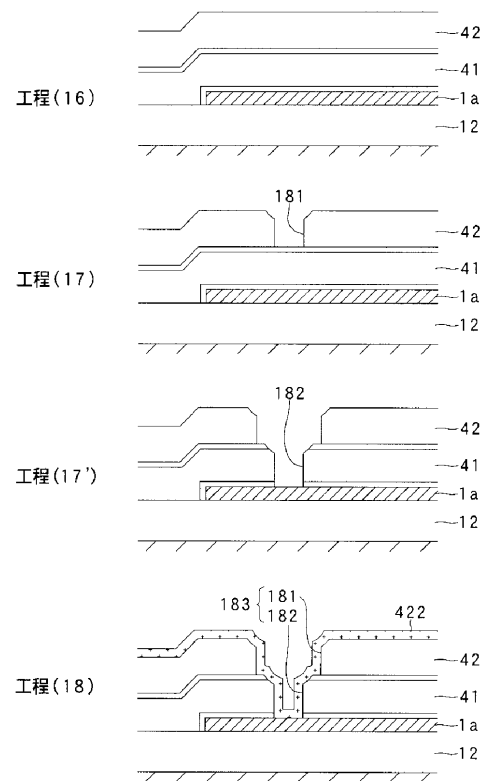
【図 1 3】



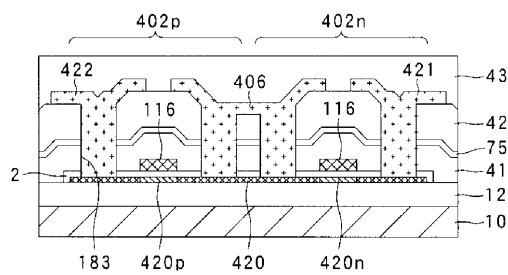
【図 1 4】



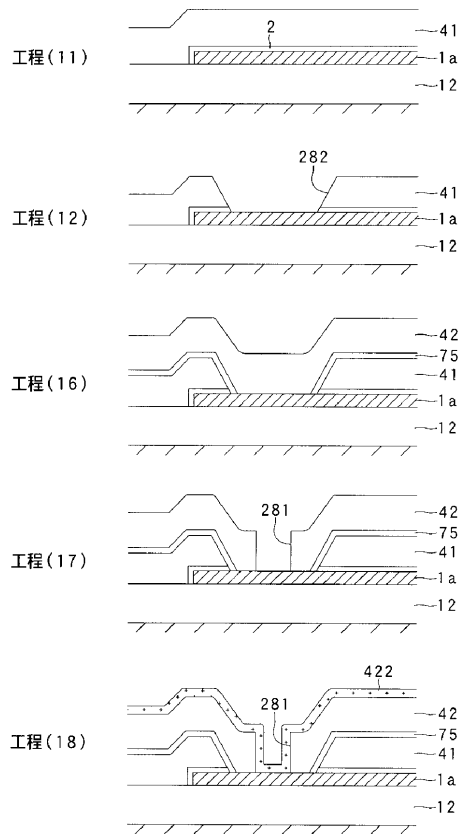
【図 1 6】



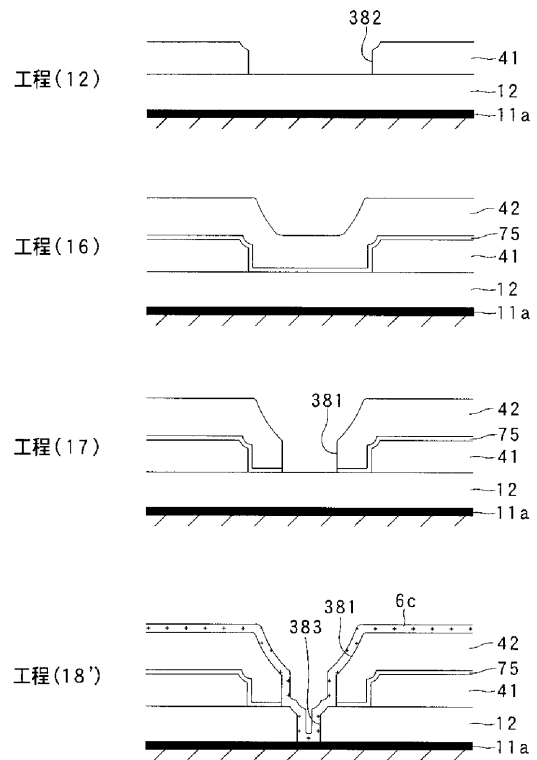
【図 1 5】



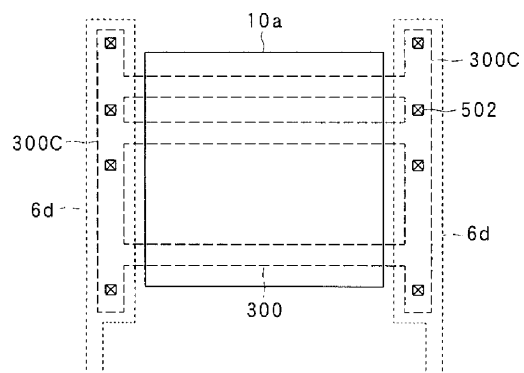
【図 17】



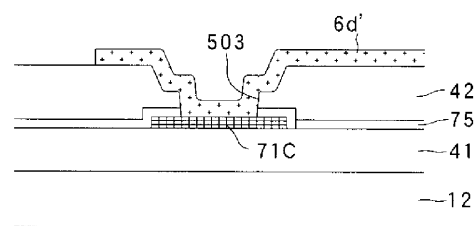
【図 18】



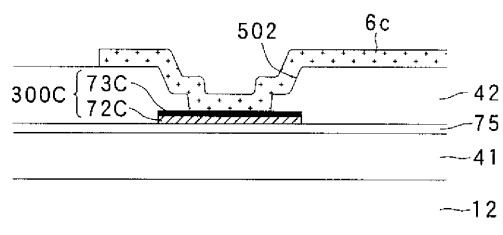
【図 19】



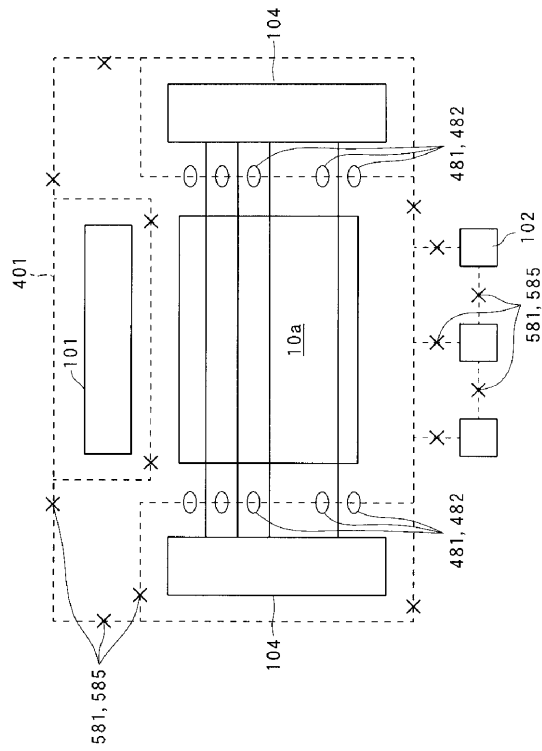
【図 21】



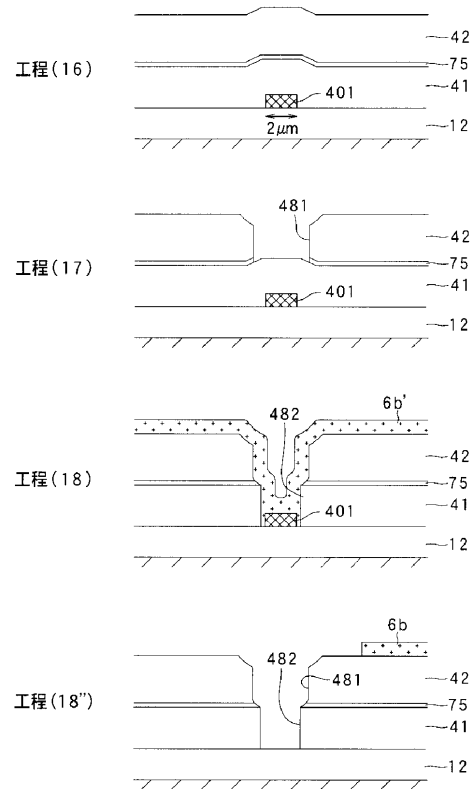
【図 20】



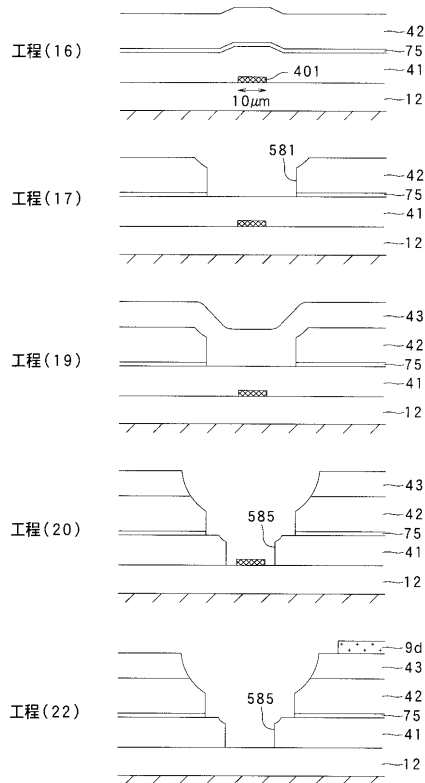
【図 2 2】



【図 2 3】



【図 2 4】



## フロントページの続き

(51) Int.Cl.		F I		
<b>H 0 1 L 21/336 (2006.01)</b>		H 0 1 L 21/90		A
<b>H 0 1 L 29/786 (2006.01)</b>		H 0 1 L 29/78	6 1 2 D	
		H 0 1 L 29/78	6 1 9 B	
		H 0 1 L 29/78	6 2 6 C	

(56) 参考文献 国際公開第 9 9 / 0 3 5 6 7 8 ( W O , A 1 )  
 国際公開第 0 0 / 0 3 1 7 1 4 ( W O , A 1 )  
 特開平 1 0 - 3 0 1 1 0 0 ( J P , A )  
 特開平 1 1 - 2 8 2 0 1 1 ( J P , A )  
 特開 2 0 0 0 - 0 7 7 6 6 7 ( J P , A )  
 特開平 0 9 - 0 9 0 4 2 5 ( J P , A )  
 特開 2 0 0 0 - 2 0 6 5 6 8 ( J P , A )  
 特開 2 0 0 0 - 0 1 0 1 2 1 ( J P , A )  
 特開 2 0 0 1 - 1 3 3 8 1 1 ( J P , A )  
 特開平 1 0 - 0 5 4 9 9 5 ( J P , A )  
 特開 2 0 0 2 - 1 4 9 0 8 9 ( J P , A )  
 特開平 1 1 - 0 9 5 6 8 7 ( J P , A )  
 特開 2 0 0 1 - 1 0 0 2 5 0 ( J P , A )

(58) 調査した分野(Int.Cl. , D B 名)

G09F 9/30  
 G02F 1/1333  
 G02F 1/1343-1/1345  
 G02F 1/135-1/1368