

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年8月25日(2005.8.25)

【公開番号】特開2000-200791(P2000-200791A)

【公開日】平成12年7月18日(2000.7.18)

【出願番号】特願平11-760

【国際特許分類第7版】

H 0 1 L 21/331

H 0 1 L 29/73

H 0 1 L 29/78

【F I】

H 0 1 L 29/72

H 0 1 L 29/78 6 5 4 Z

【手続補正書】

【提出日】平成17年2月8日(2005.2.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

《第6実施例》

図8は、本発明の第6実施例の電圧駆動型サイリスタのセグメントの側断面図である。本実施例のサイリスタは、第1実施例において用いたn型SiC基板の代わりにp型SiC基板を用いて構成する。サイリスタのアノード領域13として機能する、高不純物濃度p型SiC基板を用意し、その一方の表面に 10^{14} から 10^{16} atom/cm³の低不純物濃度のn型ドリフト層2を気相成長法等により形成する。アノード領域13にはアノード電極24が設けられている。p型ゲート領域15及び埋め込みゲート領域9をアルミニウム等のイオン打ち込みなどによって形成している。p型ゲート領域15の一部分に高不純物濃度のn型カソード領域14を形成し、その上にカソード電極25を設けている。その他の構成は第1実施例の電圧駆動型バイポーラトランジスタと同じである。ゲートG及びカソードKを0Vとし、アノードAに正の電圧を印加すると、p型埋め込みゲート領域9とそれに接するn型チャネル領域5との接合部からビルトイン電圧による空乏層が広がり、チャネル領域5をピンチオフにする。また、p型埋め込みゲート領域9及びp型ゲート領域15とn型ドリフト層2とのそれぞれ接合部からアノードA側に空乏層が広がりこれらの接合部が電圧を分担するため、順方向電圧に対する耐電圧が高くなる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

【発明の効果】

以上各実施例の説明から明らかなように、本発明の電圧駆動型バイポーラ半導体装置は、バイポーラ半導体装置のベースの駆動を蓄積型の電界効果半導体装置で行う。すなわち、電流を制御する半導体素子をバイポーラトランジスタなどのバイポーラ半導体装置で構成し、これを駆動する半導体素子をFETで構成する。これにより、小さいゲート駆動電力で、大電流を制御できる低いオン抵抗を有する電圧駆動型バイポーラトランジスタが実現

できる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

前記電界効果半導体装置に埋め込みゲート領域を設けることにより、バイポーラ半導体装置のベース電流を増加させることができ、低いオン電圧で、大電流を通電できる。電圧遮断時に、ベース領域の電位が上昇しないため、高耐圧を実現できる。

エミッタ領域を複数の領域に分割し、ベース領域をエミッタ電極に接触させることにより、ゲート電圧がビルトイン電圧以下のときでも半導体装置をオンさせることができ、更に低いオン抵抗の電圧駆動型バイポーラ半導体装置を実現できる。