

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6733381号
(P6733381)

(45) 発行日 令和2年7月29日 (2020.7.29)

(24) 登録日 令和2年7月13日 (2020.7.13)

(51) Int. Cl.

F I

G O 1 P 15/125 (2006.01)

G O 1 P 15/125 V

G O 1 P 15/08 (2006.01)

G O 1 P 15/08 I O 1 A

G O 1 C 19/5776 (2012.01)

G O 1 C 19/5776

請求項の数 8 (全 22 頁)

(21) 出願番号 特願2016-140347 (P2016-140347)
 (22) 出願日 平成28年7月15日 (2016.7.15)
 (65) 公開番号 特開2018-9930 (P2018-9930A)
 (43) 公開日 平成30年1月18日 (2018.1.18)
 審査請求日 令和1年5月28日 (2019.5.28)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 村嶋 憲行
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 審査官 森 雅之

最終頁に続く

(54) 【発明の名称】 物理量検出回路、物理量検出装置、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項 1】

物理量検出素子の出力信号に基づく第1の信号をサンプルホールドする第1のサンプルホールド回路、前記第1のサンプルホールド回路の出力信号が入力される増幅回路、及び前記増幅回路の第1の出力信号が入力される第1のスイッチトキャパシター回路を含み、前記第1のスイッチトキャパシター回路の出力信号が前記増幅回路に入力される、スイッチトキャパシターフィルタ回路と、

前記スイッチトキャパシターフィルタ回路の出力信号をA/D変換するA/D変換回路と、を含み、

前記増幅回路は、

前記第1のサンプルホールド回路の出力信号が入力される第1のチョッピング回路と、

前記第1のチョッピング回路の出力信号が入力される演算増幅器と、

前記演算増幅器の出力信号が入力される第2のチョッピング回路と、

を含む、物理量検出回路。

【請求項 2】

請求項 1 において、

前記第1のチョッピング回路及び前記第2のチョッピング回路におけるチョッピング周波数は、前記A/D変換回路が前記スイッチトキャパシターフィルタ回路の出力信号をサンプリングするサンプリング周波数の1/2以下である、物理量検出回路。

【請求項 3】

10

20

請求項 1 または 2 において、

第 1 のクロック信号に基づいて、前記物理量検出素子を駆動する駆動信号を生成する駆動回路を含み、

前記スイッチトキャパシターフィルター回路は、

前記第 1 のクロック信号を分周して第 2 のクロック信号を生成する分周回路を含み、

前記第 1 のチョッピング回路及び前記第 2 のチョッピング回路は、前記第 2 のクロック信号に基づいて動作する、物理量検出回路。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記 A / D 変換回路は、

前記スイッチトキャパシターフィルター回路の出力信号を含む複数の信号を時分割に A / D 変換する、物理量検出回路。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記スイッチトキャパシターフィルター回路は、

前記物理量検出素子の出力信号に基づく第 2 の信号をサンプルホールドする第 2 のサンプルホールド回路と、

前記増幅回路の第 2 の出力信号が入力される第 2 のスイッチトキャパシター回路と、
を含み、

前記増幅回路は、

前記第 1 のサンプルホールド回路の出力信号と前記第 2 のサンプルホールド回路の出力信号とが入力され、

前記第 1 の信号及び前記第 2 の信号に対して差動で動作する、物理量検出回路。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の物理量検出回路と、

前記物理量検出素子と、

を備えている、物理量検出装置。

【請求項 7】

請求項 6 に記載の物理量検出装置を備えている、電子機器。

【請求項 8】

請求項 6 に記載の物理量検出装置を備えている、移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物理量検出回路、物理量検出装置、電子機器及び移動体に関する。

【背景技術】

【0002】

現在、様々なシステムや電子機器において、加速度を検出する加速度センサーや角速度を検出するジャイロセンサー等、種々の物理量を検出可能な物理量検出装置が広く利用されている。例えば、特許文献 1 には、差動容量型センサーに、QV アンプ、プログラマブルゲインアンプ (PGA) 及びアナログ - デジタル変換器 (ADC) を備えた物理量検出回路を接続して構成される物理量検出装置が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2015 - 135245 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載の物理量検出装置のように、物理量検出素子が出力するアナログ信号

10

20

30

40

50

に対してアナログ処理を行った後、A/D Cを用いてデジタル信号に変換する物理量検出装置では、物理量検出素子の駆動周波数とA/D Cのサンプリング周波数を一致させるか、もしくは駆動周波数によるサンプルホールド回路でD C信号に変換する必要がある。駆動周波数とA/D Cのサンプリング周波数を一致させる場合にはアンチエイリアスフィルターを設けることが出来ないため、A/D Cでのサンプリングによって発生する折り返しノイズにより、低ノイズ化が難しい。また、A/D Cの前段にサンプルホールド回路とアンチエイリアスフィルターを設けた場合にはサンプルホールド回路による折り返しノイズが発生する。また、アンチエイリアスフィルターは回路速度と回路面積の点で大きくすることが出来ず、低ノイズ化が難しい。

【0005】

10

本発明は、以上のような問題点に鑑みてなされたものであり、本発明のいくつかの態様によれば、サンプルホールド回路とスイッチトキャパシターフィルター回路を用いた低ノイズ化が可能な物理量検出回路及び物理量検出装置を提供することができる。また、本発明のいくつかの態様によれば、当該物理量検出装置を用いた電子機器及び移動体を提供することができる。

【課題を解決するための手段】

【0006】

本発明は前述の課題の少なくとも一部を解決するためになされたものであり、以下の態様または適用例として実現することが可能である。

【0007】

20

[適用例1]

本適用例に係る物理量検出回路は、物理量検出素子の出力信号に基づく第1の信号をサンプルホールドする第1のサンプルホールド回路と、前記第1のサンプルホールド回路の出力信号が入力される増幅回路と、前記増幅回路の第1の出力信号が入力される第1のスイッチトキャパシター回路と、を有し、前記第1のスイッチトキャパシター回路の出力信号が前記増幅回路に入力される、スイッチトキャパシターフィルター回路と、前記スイッチトキャパシターフィルター回路の出力信号をA/D変換するA/D変換回路と、を含む。

【0008】

本適用例に係る物理量検出回路では、スイッチトキャパシターフィルター回路は、第1のスイッチトキャパシター回路によってA/D変換回路の前段のアンチエイリアスフィルターとして機能する。また、第1のサンプルホールド回路によってスイッチトキャパシターフィルター回路の出力信号はD Cに近い信号となるため、A/D変換回路によるサンプリングタイミングの自由度が高い。従って、本適用例に係る物理量検出回路によれば、A/D変換回路がスイッチトキャパシターフィルター回路の出力信号をサンプリングする周波数を変えずに物理量検出素子を駆動する周波数を高めることが可能であり、低ノイズ化が可能である。

30

【0009】

[適用例2]

上記適用例に係る物理量検出回路において、前記増幅回路は、前記第1のサンプルホールド回路の出力信号が入力される第1のチョッピング回路と、前記第1のチョッピング回路の出力信号が入力される演算増幅器と、前記演算増幅器の出力信号が入力される第2のチョッピング回路と、を有してもよい。

40

【0010】

本適用例に係る物理量検出回路では、第1のサンプルホールド回路の出力信号に含まれるD C付近の信号成分は、第1のチョッピング回路によってチョッピング周波数付近の信号成分に変換される。また、演算増幅器の出力信号に含まれるチョッピング周波数付近の信号成分(第1のチョッピング回路によって変換された信号成分)は、第2のチョッピング回路によってD C付近の信号成分に戻され、演算増幅器の出力信号に含まれるノイズ成分(演算増幅器の動作により発生する1/fノイズ)は、第2のチョッピング回路によ

50

てチョッピング周波数付近のノイズ成分に変換される。従って、本適用例に係る物理量検出回路によれば、スイッチトキャパシターフィルタ回路の出力信号に含まれるノイズ成分が低減され、さらなる低ノイズ化が可能である。

【 0 0 1 1 】

[適用例 3]

上記本適用例に係る物理量検出回路において、前記第 1 のチョッピング回路及び前記第 2 のチョッピング回路におけるチョッピング周波数は、前記 A / D 変換回路が前記スイッチトキャパシターフィルタ回路の出力信号をサンプリングするサンプリング周波数の 1 / 2 以下であってもよい。

【 0 0 1 2 】

10

本適用例に係る物理量検出回路では、スイッチトキャパシターフィルタ回路の出力信号はチョッピング周波数付近のノイズ成分が高くなるが、チョッピング周波数が A / D 変換回路のサンプリング周波数の 1 / 2 以下であるので、サンプリング定理に基づき、A / D 変換回路のサンプリングによってこのノイズ成分が DC 付近の信号帯域に折り返すことがない。従って、本適用例に係る物理量検出回路によれば、低ノイズ化が可能である。

【 0 0 1 3 】

[適用例 4]

上記適用例に係る物理量検出回路は、第 1 のクロック信号に基づいて、前記物理量検出素子を駆動する駆動信号を生成する駆動回路を含み、前記スイッチトキャパシターフィルタ回路は、前記第 1 のクロック信号を分周して第 2 のクロック信号を生成する分周回路を有し、前記第 1 のチョッピング回路及び前記第 2 のチョッピング回路は、前記第 2 のクロック信号に基づいて動作してもよい。

20

【 0 0 1 4 】

[適用例 5]

上記適用例に係る物理量検出回路において、前記 A / D 変換回路は、前記スイッチトキャパシターフィルタ回路の出力信号を含む複数の信号を時分割に A / D 変換してもよい。

【 0 0 1 5 】

本適用例に係る物理量検出回路では、スイッチトキャパシターフィルタ回路の出力信号は DC に近い信号となるため、A / D 変換回路によるサンプリングタイミングの自由度が高いので、A / D 変換回路において、スイッチトキャパシターフィルタ回路の出力信号を含む複数の信号の A / D 変換処理を時分割に行うことが可能である。従って、本適用例によれば、回路面積の大幅な増加を抑制しながら、複数の信号を出力可能な物理量検出回路を実現することができる。

30

【 0 0 1 6 】

[適用例 6]

上記適用例に係る物理量検出回路において、前記スイッチトキャパシターフィルタ回路は、前記物理量検出素子の出力信号に基づく第 2 の信号をサンプルホールドする第 2 のサンプルホールド回路と、前記増幅回路の第 2 の出力信号が入力される第 2 のスイッチトキャパシター回路と、を有し、前記増幅回路は、前記第 1 のサンプルホールド回路の出力信号と前記第 2 のサンプルホールド回路の出力信号とが入力され、前記第 1 の信号及び前記第 2 の信号に対して差動で動作してもよい。

40

【 0 0 1 7 】

本適用例に係る物理量検出回路では、スイッチトキャパシターフィルタ回路は、第 1 のスイッチトキャパシター回路及び第 2 のスイッチトキャパシター回路によって A / D 変換回路の前段のアンチエイリアスフィルタとして機能する。また、第 1 のサンプルホールド回路及び第 2 のスイッチトキャパシター回路によってスイッチトキャパシターフィルタ回路の出力信号は DC に近い信号となるため、A / D 変換回路によるサンプリングタイミングの自由度が高い。さらに、スイッチトキャパシターフィルタ回路は、入力される第 1 の信号及び第 2 の信号に対して差動で動作するので、第 1 の信号及び第 2 の信号に

50

含まれる同相ノイズや信号処理で発生する同相ノイズが低減される。従って、本適用例に係る物理量検出回路によれば、A/D変換回路がスイッチトキャパシターフィルタ回路の出力信号をサンプリングする周波数を変えずに物理量検出素子を駆動する周波数を高めることが可能であり、低ノイズ化が可能である。

【0018】

[適用例7]

本適用例に係る物理量検出装置は、上記のいずれかの物理量検出回路と、前記物理量検出素子と、を備えている。

【0019】

本適用例によれば、物理量検出回路において、A/D変換回路がスイッチトキャパシターフィルタ回路の出力信号をサンプリングする周波数を変えずに物理量検出素子を駆動する周波数を高めることが可能であるので、低ノイズ化が可能な物理量検出装置を実現することが可能である。

10

【0020】

[適用例8]

本適用例に係る電子機器は、上記の物理量検出装置を備えている。

【0021】

[適用例9]

本適用例に係る移動体は、上記の物理量検出装置を備えている。

【0022】

20

これらの適用例によれば、低ノイズ化が可能な物理量検出装置を備えているので、例えば、信頼性の高い電子機器及び移動体を実現することが可能である。

【図面の簡単な説明】

【0023】

【図1】本実施形態の物理量検出装置の機能ブロック図。

【図2】物理量検出素子の構造例を示す図。

【図3】物理量検出素子の動作について説明するための図。

【図4】本実施形態における信号波形の一例を示す図。

【図5】スイッチトキャパシターフィルタ回路の構成例を示す図。

【図6】増幅回路の構成例を示す図。

30

【図7】チョッピング回路56に入力される差動信号対の周波数スペクトラムの一例を示す図。

【図8】チョッピング回路56から出力される差動信号対の周波数スペクトラムの一例を示す図。

【図9】演算増幅器57から出力される差動信号対の周波数スペクトラムの一例を示す図。

【図10】チョッピング回路58から出力される差動信号対の周波数スペクトラムの一例を示す図。

【図11】物理量検出回路における各種信号の信号波形の一例を示す図。

【図12】物理量検出回路における各種信号の信号波形の一例を示す図。

40

【図13】本実施形態の電子機器の構成の一例を示す機能ブロック図。

【図14】電子機器の一例であるデジタルカメラを模式的に示す斜視図。

【図15】本実施形態の移動体の一例を示す図。

【発明を実施するための形態】

【0024】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0025】

以下では、物理量として加速度を検出する物理量検出装置（加速度検出装置）を例にと

50

り説明する。

【0026】

1. 物理量検出装置

図1は、本実施形態の物理量検出装置の機能ブロック図である。本実施形態の物理量検出装置1は、3つの物理量検出素子（センサー素子）2（2X, 2Y, 2Z）と物理量検出回路3を含んで構成されている。

【0027】

3つの物理量検出素子2（2X, 2Y, 2Z）は、それぞれ、検出軸の方向に加わった物理量（ここでは加速度）に応じたアナログ信号を出力する素子である。物理量検出素子2Xの検出軸はX軸であり、物理量検出素子2Yの検出軸はY軸であり、物理量検出素子2Zの検出軸はZ軸である。X軸、Y軸、Z軸は互いに交差し、例えば直交する。

10

【0028】

本実施形態では、物理量検出素子2X, 2Y, 2Zは同じ構造であり、物理量に応じたアナログ信号として差動信号対を出力する。図2は、物理量検出素子2（2X, 2Y, 2Z）の構造例を示す図（平面図）である。図2に示すように、物理量検出素子2は、固定部200と可動部210とを有する。固定部200は、基板（図示略）に固定されている部材である。可動部210は、加速度に応じて変位する構造体であり、錘部211とばね部212とを有する。ばね部212は、一端が基板に固定されており、他端は錘部211に接続されている。錘部211は、ばね部212により支持されている。

20

【0029】

図3に示すように、物理量検出素子2に加速度aが加わると、質量mの錘部211には、 $F = ma$ の力Fが働く。この力Fにより、ばね部212は変形し、錘部211は固定部200に対して相対的に変位する。

【0030】

錘部211は、可動電極211Aおよび可動電極211Bを有する。固定部200は、固定電極201～204を有する。可動電極211Aは固定電極201, 202の間に配置され、可動電極211Bは固定電極203, 204の間に配置される。物理量検出素子2は、例えば、Si（シリコン）等の半導体材料と、半導体加工技術を用いたMEMS（Micro Electro Mechanical Systems）で形成される。

30

【0031】

ここで、可動電極211Aと固定電極201とのペアと、可動電極211Bと固定電極203とのペアとを、第1容量形成部5と称する。同様に、可動電極211Aと固定電極202とのペアと、可動電極211Bと固定電極204とのペアとを、第2容量形成部6と称する。物理量検出素子2は、第1容量形成部5の一端と接続されている端子7と、第2容量形成部6の一端と接続されている端子8と、第1容量形成部5と第2容量形成部6の共通端と接続されている端子9とを含む。図1に示す加速度aが作用したとき、第1容量形成部5の容量値は減少する一方で、第2容量形成部6の容量値は増大する。このため、端子9から第1容量形成部5と第2容量形成部6の共通端に電荷を供給した状態で錘部211に加速度aが作用すると、端子7, 8を介して、第1容量形成部5の一端及び第2容量形成部6の一端からそれぞれ出力される電荷（信号）は絶対値が等しく符号が逆の差動信号対となる。このように、図2に示される物理量検出素子2は、差動容量型センサーである。

40

【0032】

図1に戻り、物理量検出回路3は、マルチプレクサー10、Q/Vアンプ（QVA）20、容量21～24、プログラマブルゲインアンプ（PGA）30、容量31, 32、温度センサー40、スイッチトキャパシターフィルター回路（SCF）50X, 50Y, 50Z、マルチプレクサー60、A/D変換回路（ADC）70、デジタルフィルター80、発振回路90、制御回路100、駆動回路110、インターフェース回路120及び記憶部130を含んで構成されている。この物理量検出回路3は、例えば、1チップの集積回路（IC：Integrated Circuit）であってもよい。なお、本実施形態の物理量検出回路

50

3は、これらの要素の一部を省略又は変更し、あるいは他の要素を追加した構成としてもよい。

【0033】

発振回路90は、クロック信号MCLKを出力する。例えば、CR発振器やリングオシレータ等であってもよい。

【0034】

制御回路100は、クロック信号MCLKに基づいて、各種のクロック信号（クロック信号DRVCLK_X, DRVCLK_Y, DRVCLK_Z, SMPCLK）や各種の制御信号（制御信号EN_OUT_X, EN_OUT_Y, EN_OUT_Z, EN_OUT_T）を生成する。

10

【0035】

駆動回路110は、クロック信号MCLK及び周波数（駆動周波数） f_d のクロック信号DRVCLK_X, DRVCLK_Y, DRVCLK_Z（「第1のクロック信号」の一例）に基づいて、物理量検出素子2X, 2Y, 2Zを駆動する駆動信号DRVを生成する。この駆動信号DRVは、クロック信号DRVCLK_X, DRVCLK_Y, DRVCLK_Zと同じ周波数（駆動周波数 f_d ）の信号であり、物理量検出素子2X, 2Y, 2Zの端子9（図2、図3参照）に共通に印加される。

【0036】

マルチプレクサ10は、互いに排他的にアクティブ（本実施形態では、ハイレベル）となるクロック信号DRVCLK_X, DRVCLK_Y, DRVCLK_Zに基づいて、物理量検出素子2X, 2Y, 2Zが出力する差動信号対のいずれかを選択して（又はいずれも選択しないで）差動信号対PIN, NINを出力する。具体的には、マルチプレクサ10は、クロック信号DRVCLK_Xがハイレベル（電源電圧VDD）のときは、物理量検出素子2Xの端子7, 8から出力される差動対信号を選択し、差動信号対PIN, NINとして出力する。また、マルチプレクサ10は、クロック信号DRVCLK_Yがハイレベルのときは、物理量検出素子2Yの端子7, 8から出力される差動対信号を選択し、差動信号対PIN, NINとして出力する。また、マルチプレクサ10は、クロック信号DRVCLK_Zがハイレベルのときは、物理量検出素子2Zの端子7, 8から出力される差動対信号を選択し、差動信号対PIN, NINとして出力する。また、マルチプレクサ10は、クロック信号DRVCLK_X, DRVCLK_Y, DRVCLK_Zがいずれもローレベル（電源電圧VSS（例えば0V））のときは、ともに基準電圧VCOM（例えば、 $VDD/2$ ）の差動信号対PIN, NINを出力する。

20

30

【0037】

図4に、本実施形態における駆動信号DRV、クロック信号DRVCLK_X, DRVCLK_Y, DRVCLK_Z及び差動信号対PIN, NINの波形の一例を示す。例えば、期間T1～T4は、それぞれ、クロック信号MCLKのN周期分（例えば1周期分）の期間である。期間T1, T2, T3では、それぞれ、駆動信号DRVの電圧はVCOM（ $=VDD/2$ ） VDD $VSS (=0V)$ $VCOM$ の順に周期的に変化し、期間T4では、駆動信号DRVの電圧はVCOMである。

【0038】

期間T1～T3では、駆動信号DRVにより物理量検出素子2X, 2Y, 2Zが共通に駆動され、物理量検出素子2X, 2Y, 2Zの各々の端子7, 8から、X軸、Y軸、Z軸の各方向に加わった物理量に応じた差動信号対が出力される。そして、期間T1では、クロック信号DRVCLK_Xがハイレベルであるため、物理量検出素子2Xから出力される差動対信号が差動信号対PIN, NINとして選択される。また、期間T2では、クロック信号DRVCLK_Yがハイレベルであるため、物理量検出素子2Yから出力される差動対信号が差動信号対PIN, NINとして選択される。また、期間T3では、クロック信号DRVCLK_Zがハイレベルであるため、物理量検出素子2Zから出力される差動対信号が差動信号対PIN, NINとして選択される。また、期間T4では、クロック信号DRVCLK_X, DRVCLK_Y, DRVCLK_Zがいずれもローレベルであ

40

50

るため、差動信号対 PIN , NIN はいずれも $VCOM$ となる。

【0039】

図1に戻り、 QV アンプ20は、マルチプレクサー10から出力される電荷の差動信号対 PIN , NIN を電圧の差動信号対に変換して出力する。容量21, 22は、 QV アンプ20の帰還容量である。

【0040】

プログラマブルゲインアンプ30は、 QV アンプ20から出力される差動信号対が容量23, 24を介して入力され、当該差動信号を増幅した差動信号対 POP , PON を出力する。

【0041】

スイッチトキャパシターフィルタ回路50X, 50Y, 50Zは、プログラマブルゲインアンプ30から出力される差動信号対 POP , PON が共通に入力される。そして、スイッチトキャパシターフィルタ回路50Xは、クロック信号 $DRVCLK_X$ に基づいて、差動信号対 POP , PON に含まれる物理量検出素子2Xの出力信号に基づく信号をサンプリングしてホールドするとともにフィルタリング処理を行い、差動信号対 SOP_X , SON_X を出力する。また、スイッチトキャパシターフィルタ回路50Yは、クロック信号 $DRVCLK_Y$ に基づいて、差動信号対 POP , PON に含まれる物理量検出素子2Yの出力信号に基づく信号をサンプリングしてホールドするとともにフィルタリング処理を行い、差動信号対 SOP_Y , SON_Y を出力する。また、スイッチトキャパシターフィルタ回路50Zは、クロック信号 $DRVCLK_Z$ に基づいて、差動信号対 POP , PON に含まれる物理量検出素子2Zの出力信号に基づく信号をサンプリングしてホールドするとともにフィルタリング処理を行い、差動信号対 SOP_Z , SON_Z を出力する。本実施形態では、スイッチトキャパシターフィルタ回路50X, 50Y, 50Zは、同じ回路構成で実現される。

【0042】

図5は、スイッチトキャパシターフィルタ回路50(50X, 50Y, 50Z)の構成例を示す図である。図5に示すように、スイッチトキャパシターフィルタ回路50は、サンプルホールド回路51P, 51N、増幅回路52、スイッチトキャパシター回路53P, 53N、分周回路54及びクロック生成回路55を含んで構成されている。

【0043】

分周回路54は、クロック信号 $DRVCLK$ ($DRVCLK_X$, $DRVCLK_Y$, $DRVCLK_Z$) を分周(M分周)してクロック信号 $CHOPCLK$ (「第2のクロック信号」の一例)を生成して出力する。また、分周回路54は、クロック信号 $CHOPCLK$ のハイレベルとローレベルが反転されたクロック信号 $nCHOPCLK$ を生成して出力する。従って、分周回路54の分周比をMとすると、クロック信号 $CHOPCLK$, $nCHOPCLK$ の周波数(チョッピング周波数 f_c)は、クロック信号 $DRVCLK$ の周波数(駆動周波数 f_d)の $1/M$ である。

【0044】

クロック生成回路55は、クロック信号 $DRVCLK$ ($DRVCLK_X$, $DRVCLK_Y$, $DRVCLK_Z$) に基づいてクロック信号 $SCFCLK$ を生成して出力する。本実施形態では、クロック信号 $SCFCLK$ は、クロック信号 $DRVCLK$ と同じ周波数(駆動周波数 f_d)であり、クロック信号 $DRVCLK$ よりもハイパルスの幅が狭い信号である。

【0045】

サンプルホールド回路51P(「第1のサンプルホールド回路」の一例)は、物理量検出素子2X, 2Y, 2Zの出力信号に基づく信号であり、プログラマブルゲインアンプ30から出力される信号 POP (「第1の信号」の一例)をサンプルホールドする。図5に示すように、サンプルホールド回路51Pは、スイッチ $S1P$, $S2P$, $S3P$, $S4P$ 及び容量 $C1P$ を含んで構成されている。スイッチ $S1P$, $S3P$ は、クロック信号 $SCFCLK$ がハイレベルのときに導通状態となり、クロック信号 $SCFCLK$ がローレベル

10

20

30

40

50

のときに非導通状態となる。また、スイッチ S_{2P} , S_{4P} は、クロック信号 $SCFCLK$ がローレベルのときに導通状態となり、クロック信号 $SCFCLK$ がハイレベルのときに非導通状態となる。このサンプルホールド回路 $51P$ は、クロック信号 $SCFCLK$ がハイレベルの期間で、プログラマブルゲインアンプ 30 から出力される信号 POP をサンプリングし、クロック信号 $SCFCLK$ がローレベルの期間はサンプリングした信号 POP をホールドする。

【0046】

サンプルホールド回路 $51N$ (「第2のサンプルホールド回路」の一例) は、物理量検出素子 $2X$, $2Y$, $2Z$ の出力信号に基づく信号であり、プログラマブルゲインアンプ 30 から出力される信号 PON (「第2の信号」の一例) をサンプルホールドする。図5に示すように、サンプルホールド回路 $51N$ は、スイッチ S_{1N} , S_{2N} , S_{3N} , S_{4N} 及び容量 C_{1N} を含んで構成されている。スイッチ S_{1N} , S_{3N} は、クロック信号 $SCFCLK$ がハイレベルのときに導通状態となり、クロック信号 $SCFCLK$ がローレベルのときに非導通状態となる。また、スイッチ S_{2N} , S_{4N} は、クロック信号 $SCFCLK$ がローレベルのときに導通状態となり、クロック信号 $SCFCLK$ がハイレベルのときに非導通状態となる。このサンプルホールド回路 $51N$ は、クロック信号 $SCFCLK$ がハイレベルの期間で、プログラマブルゲインアンプ 30 から出力される信号 PON をサンプリングし、クロック信号 $SCFCLK$ がローレベルの期間はサンプリングした信号 PON をホールドする。

【0047】

増幅回路 52 は、非反転入力端子 (+ 入力端子) にサンプルホールド回路 $51P$ の出力信号及びスイッチトキャパシター回路 $53P$ の出力信号が入力され、反転入力端子 (- 入力端子) にサンプルホールド回路 $51N$ の出力信号及びスイッチトキャパシター回路 $53N$ の出力信号が入力される。この増幅回路 52 は、入力される差動信号対を反転増幅するとともに、クロック信号 $CHOPCLK$, $nCHOPCLK$ に基づくチョッピングを行い、差動信号対 SOP , SON を出力する。

【0048】

図6は、増幅回路 52 の構成例を示す図である。図6に示すように、増幅回路 52 は、チョッピング回路 56 、演算増幅器 57 及びチョッピング回路 58 を含んで構成されている。

【0049】

チョッピング回路 56 (「第1のチョッピング回路」の一例) は、サンプルホールド回路 $51P$, $51N$ の出力信号 (差動信号対) が入力され、クロック信号 $CHOPCLK$, $nCHOPCLK$ に基づいて動作し、当該差動信号対をチョッピングした差動信号対を出力する。図6に示すように、チョッピング回路 56 は、4つのスイッチ S_9 , S_{10} , S_{11} , S_{12} を含んで構成されている。スイッチ S_9 , S_{10} はクロック信号 $CHOPCLK$ がハイレベルのときに導通状態となり、クロック信号 $CHOPCLK$ がローレベルのときに非導通状態となる。また、スイッチ S_{11} , S_{12} はクロック信号 $nCHOPCLK$ がハイレベルのときに導通状態となり、クロック信号 $nCHOPCLK$ がローレベルのときに非導通状態となる。ここで、クロック信号 $nCHOPCLK$ は、クロック信号 $CHOPCLK$ のハイレベルとローレベルが反転された信号であり、クロック信号 $CHOPCLK$ がハイレベルのときはクロック信号 $nCHOPCLK$ がローレベルとなり、クロック信号 $CHOPCLK$ がローレベルのときはクロック信号 $nCHOPCLK$ がハイレベルとなる。そして、前述の通り、クロック信号 $CHOPCLK$, $nCHOPCLK$ の周波数 (チョッピング周波数) f_c は、クロック信号 $DRVCLK$ の周波数 (駆動周波数 f_d) の $1/M$ であるから、クロック信号 $DRVCLK$ の $M/2$ 周期分の期間 (図4に示した期間 $T_1 \sim T_4$ が $M/2$ 回繰り返される期間) 毎に、クロック信号 $CHOPCLK$ がハイレベルかつクロック信号 $nCHOPCLK$ がローレベルとなる状態と、クロック信号 $CHOPCLK$ がローレベルかつクロック信号 $nCHOPCLK$ がハイレベルとなる状態とが繰り返される。

10

20

30

40

50

【 0 0 5 0 】

従って、クロック信号 $DRVCLK$ の $M/2$ 周期分の期間毎に、スイッチ $S9$, $S10$ が導通状態かつスイッチ $S11$, $S12$ が非導通状態となって入力される差動信号対がそのまま出力される状態と、スイッチ $S9$, $S10$ が非導通状態かつスイッチ $S11$, $S12$ が導通状態となって入力される差動信号対が入れ替わって出力される状態とが繰り返される。その結果、チョッピング回路 56 に入力される差動信号対に含まれる DC 付近の信号成分は、チョッピング回路 56 によってチョッピング周波数 f_c 付近の信号成分に変換される。図 7 にチョッピング回路 56 に入力される差動信号対の周波数スペクトラムの一例を示し、図 8 にチョッピング回路 56 から出力される差動信号対の周波数スペクトラムの一例を示す。図 7 及び図 8 において、横軸は周波数、縦軸はパワーである。また、 S は差動信号対に含まれる信号成分を表し、 N は差動信号対に含まれるノイズ成分を表す。

10

【 0 0 5 1 】

演算増幅器 57 は、チョッピング回路 56 の出力信号（差動信号対）が入力され、入力される差動信号対を反転増幅して出力する。この演算増幅器 57 から出力される差動信号対には、演算増幅器 57 の動作により発生する $1/f$ ノイズが重畳される。図 9 に演算増幅器 57 から出力される差動信号対の周波数スペクトラムの一例を示す。図 9 において、横軸は周波数、縦軸はパワーである。また、 S は差動信号対に含まれる信号成分を表し、 N は差動信号対に含まれるノイズ成分を表す。

【 0 0 5 2 】

チョッピング回路 58（「第 2 のチョッピング回路」の一例）は、演算増幅器 57 の出力信号（差動信号対）が入力され、クロック信号 $CHOPCLK$, $nCHOPCLK$ に基づいて動作し、当該差動信号対をチョッピングした差動信号対を出力する。図 6 に示すように、チョッピング回路 58 は、4 つのスイッチ $S13$, $S14$, $S15$, $S16$ を含んで構成されている。スイッチ $S13$, $S14$ はクロック信号 $CHOPCLK$ がハイレベルのときに導通状態となり、クロック信号 $CHOPCLK$ がローレベルのときに非導通状態となる。また、スイッチ $S15$, $S16$ はクロック信号 $nCHOPCLK$ がハイレベルのときに導通状態となり、クロック信号 $nCHOPCLK$ がローレベルのときに非導通状態となる。そして、前述の通り、クロック信号 $CHOPCLK$, $nCHOPCLK$ の周波数（チョッピング周波数） f_c は、クロック信号 $DRVCLK$ の周波数（駆動周波数 f_d ）の $1/M$ であるから、クロック信号 $DRVCLK$ の $M/2$ 周期分の期間（図 4 に示した期間 $T1 \sim T4$ が $M/2$ 回繰り返される期間）毎に、クロック信号 $CHOPCLK$ がハイレベルかつクロック信号 $nCHOPCLK$ がローレベルとなる状態と、クロック信号 $CHOPCLK$ がローレベルかつクロック信号 $nCHOPCLK$ がハイレベルとなる状態とが繰り返される。

20

30

【 0 0 5 3 】

従って、クロック信号 $DRVCLK$ の $M/2$ 周期分の期間毎に、スイッチ $S13$, $S14$ が導通状態かつスイッチ $S15$, $S16$ が非導通状態となって入力される差動信号対がそのまま出力される状態と、スイッチ $S13$, $S14$ が非導通状態かつスイッチ $S15$, $S16$ が導通状態となって入力される差動信号対が入れ替わって出力される状態とが繰り返される。その結果、チョッピング回路 58 に入力される差動信号対に含まれるチョッピング周波数 f_c 付近の信号成分は、チョッピング回路 58 によって DC 付近の信号成分に戻され、当該差動信号対に含まれるノイズ成分（ $1/f$ ノイズ）はチョッピング周波数 f_c 付近のノイズ成分に変換される。図 10 にチョッピング回路 58 から出力される差動信号対の周波数スペクトラムの一例を示す。図 10 において、横軸は周波数、縦軸はパワーである。また、 S は差動信号対に含まれる信号成分を表し、 N は差動信号対に含まれるノイズ成分を表す。

40

【 0 0 5 4 】

そして、チョッピング回路 58 から出力される差動信号対は、増幅回路 52 の出力信号（差動信号対 SOP , SON ）となる。このように、演算増幅器 57 の前段と後段に設けられたチョッピング回路 56 , 58 により、演算増幅器 57 の動作により発生し、差動信

50

号対 S O P , S O N において D C 付近の信号帯域に含まれるノイズを効果的に低減させることができる。

【 0 0 5 5 】

図 5 に戻り、スイッチトキャパシター回路 5 3 P (「第 1 のスイッチトキャパシター回路」の一例)は、増幅回路 5 2 の反転出力端子 (- 出力端子) から出力される出力信号 S O P (「増幅回路の第 1 の出力信号」の一例) が入力される。図 5 に示すように、スイッチトキャパシター回路 5 3 P は、スイッチ S 5 P , S 6 P , S 7 P , S 8 P 及び容量 C 2 P , C 3 P を含んで構成されている。スイッチ S 5 P , S 8 P は、クロック信号 S C F C L K がローレベルのときに導通状態となり、クロック信号 S C F C L K がハイレベルのときに非導通状態となる。また、スイッチ S 6 P , S 7 P は、クロック信号 S C F C L K がハイレベルのときに導通状態となり、クロック信号 S C F C L K がローレベルのときに非導通状態となる。このスイッチトキャパシター回路 5 3 P は、クロック信号 S C F C L K の周波数及び容量 C 2 P , C 3 P の容量値によって決まるカットオフ周波数を有するローパスフィルターとして機能する。

【 0 0 5 6 】

スイッチトキャパシター回路 5 3 N (「第 2 のスイッチトキャパシター回路」の一例)は、増幅回路 5 2 の非反転出力端子 (+ 出力端子) から出力される出力信号 S O N (「増幅回路の第 2 の出力信号」の一例) が入力される。図 5 に示すように、スイッチトキャパシター回路 5 3 N は、スイッチ S 5 N , S 6 N , S 7 N , S 8 N 及び容量 C 2 N , C 3 N を含んで構成されている。スイッチ S 5 N , S 8 N は、クロック信号 S C F C L K がローレベルのときに導通状態となり、クロック信号 S C F C L K がハイレベルのときに非導通状態となる。また、スイッチ S 6 N , S 7 N は、クロック信号 S C F C L K がハイレベルのときに導通状態となり、クロック信号 S C F C L K がローレベルのときに非導通状態となる。このスイッチトキャパシター回路 5 3 N は、クロック信号 S C F C L K の周波数及び容量 C 2 N , C 3 N の容量値によって決まるカットオフ周波数を有するローパスフィルターとして機能する。

【 0 0 5 7 】

このように構成されているスイッチトキャパシターフィルター回路 5 0 は、クロック信号 S C F C L K に基づき、プログラマブルゲインアンプ 3 0 から出力される信号 (差動信号対 P O P , P O N) に対して差動で動作し、差動信号対 S O P , S O N を出力する。そして、クロック信号 S C F C L K の周波数は、クロック信号 D R V C L K と同じ周波数 (駆動周波数 f_d) であるので、プログラマブルゲインアンプ 3 0 から出力される差動信号対 P O P , P O N の更新レートと同じである。従って、サンプルホールド回路 5 1 P , 5 1 N における、クロック信号 S C F C L K による差動信号対 P O P , P O N のサンプリングは、サンプリング定理を満たしていない。そこで、本実施形態では、差動信号対 P O P , P O N がピーク値を維持している期間にクロック信号 S C F C L K の立ち下がりのタイミングが到来するように、クロック信号 S C F C L K の位相が調整されている (図 1 1 参照) 。これにより、クロック信号 S C F C L K の 1 周期毎に差動信号対 P O P , P O N のピーク値が変化するような場合、すなわち、物理量検出素子 2 に加わる物理量 (加速度) の変化が極めて速い場合は、スイッチトキャパシターフィルター回路 5 0 によるフィルター処理が正しく機能しないが、通常は、クロック信号 S C F C L K の周期と比較して物理量 (加速度) の変化の周期は十分長いので、フィルター処理が正しく機能する。そして、クロック信号 S C F C L K の周期と比較して物理量 (加速度) の変化の周期が十分遅い場合、差動信号対 P O P , P O N のピーク値の変化の周期も長いので、サンプルホールド回路 5 1 P , 5 1 N の出力信号は D C に近い信号となる。そのため、スイッチトキャパシターフィルター回路 5 0 が出力する差動信号対 S O P , S O N も D C に近い信号となる。

【 0 0 5 8 】

図 1 に戻り、温度センサー 4 0 は、温度に応じて電圧が変化する信号 T O を出力する。温度センサー 4 0 は、例えば、基準温度 (例えば、 + 2 5) における信号 T O の電圧が基準電圧 V C O M となるように調整されている。温度センサー 4 0 は、例えば、バンドギ

ャップリファレンス回路の温度特性を利用した回路であってもよい。

【 0 0 5 9 】

マルチプレクサー 6 0 は、互いに排他的にアクティブ（本実施形態では、ハイレベル）となる制御信号 EN_OUT_X , EN_OUT_Y , EN_OUT_Z , EN_OUT_T に基づいて、スイッチトキャパシタフィルタ回路 5 0 X が出力する差動信号対 SOP_X , SON_X 、スイッチトキャパシタフィルタ回路 5 0 Y が出力する差動信号対 SOP_Y , SON_Y 、スイッチトキャパシタフィルタ回路 5 0 Z が出力する差動信号対 SOP_Z , SON_Z 、温度センサー 4 0 の出力信号 TO のいずれかを選択して（又はいずれも選択しないで）信号対 MOP , MON を出力する。具体的には、マルチプレクサー 6 0 は、制御信号 EN_OUT_X がハイレベルのときは、差動信号対 SOP_X , SON_X を選択し、差動信号対 MOP , MON として出力する。また、マルチプレクサー 6 0 は、制御信号 EN_OUT_Y がハイレベルのときは、差動信号対 SOP_Y , SON_Y を選択し、差動信号対 MOP , MON として出力する。また、マルチプレクサー 6 0 は、制御信号 EN_OUT_Z がハイレベルのときは、差動信号対 SOP_Z , SON_Z を選択し、差動信号対 MOP , MON として出力する。また、マルチプレクサー 6 0 は、制御信号 EN_OUT_T がハイレベルのときは、温度センサー 4 0 の出力信号 TO を選択し、信号 TO と基準電圧 $VCOM$ との信号対を信号対 MOP , MON として出力する。

【 0 0 6 0 】

A / D 変換回路 7 0 は、クロック信号 $SMPCLK$ に基づいて、マルチプレクサー 6 0 が出力する信号対 MOP , MON （差動信号対 SOP_X , SON_X 、差動信号対 SOP_Y , SON_Y 、差動信号対 SOP_Z , SON_Z 又は信号対 TO , $VCOM$ ）をサンプリングし、信号対 MOP , MON の電位差をデジタル信号に変換する。クロック信号 $SMPCLK$ は、制御信号 EN_OUT_X , EN_OUT_Y , EN_OUT_Z , EN_OUT_T がそれぞれハイレベルの期間に 1 つずつハイパルスを含むクロック信号である。そして、A / D 変換回路 7 0 は、制御信号 EN_OUT_X がハイレベルの期間のクロック信号 $SMPCLK$ の立ち上がりで、マルチプレクサー 6 0 から出力される信号対 MOP , MON （スイッチトキャパシタフィルタ回路 5 0 X が出力する差動信号対 SOP_X , SON_X ）をサンプリングしてデジタル信号に変換する。また、A / D 変換回路 7 0 は、制御信号 EN_OUT_Y がハイレベルの期間のクロック信号 $SMPCLK$ の立ち上がりで、マルチプレクサー 6 0 から出力される信号対 MOP , MON （スイッチトキャパシタフィルタ回路 5 0 Y が出力する差動信号対 SOP_Y , SON_Y ）をサンプリングしてデジタル信号に変換する。また、A / D 変換回路 7 0 は、制御信号 EN_OUT_Z がハイレベルの期間のクロック信号 $SMPCLK$ の立ち上がりで、マルチプレクサー 6 0 から出力される信号対 MOP , MON （スイッチトキャパシタフィルタ回路 5 0 Z が出力する差動信号対 SOP_Z , SON_Z ）をサンプリングしてデジタル信号に変換する。また、A / D 変換回路 7 0 は、制御信号 EN_OUT_T がハイレベルの期間のクロック信号 $SMPCLK$ の立ち上がりで、マルチプレクサー 6 0 から出力される信号対 MOP , MON （温度センサー 4 0 の出力信号 TO と基準電圧 $VCOM$ との信号対）をサンプリングしてデジタル信号に変換する。

【 0 0 6 1 】

このように、A / D 変換回路 7 0 は、期間 $T1 \sim T4$ において、マルチプレクサー 6 0 から出力される信号対 MOP , MON を複数回（ここでは 4 回）サンプリングして時分割に A / D 変換する。すなわち、A / D 変換回路 7 0 は、スイッチトキャパシタフィルタ回路 5 0 X , 5 0 Y , 5 0 Z の出力信号（差動信号対）を含む複数の信号を時分割に A / D 変換する。前述の通り、本実施形態では、スイッチトキャパシタフィルタ回路 5 0 X , 5 0 Y , 5 0 Z がそれぞれ出力する差動信号対はいずれも DC に近い信号であり、また、温度センサー 4 0 の出力信号 TO も DC に近い信号であるから、マルチプレクサー 6 0 における信号の選択タイミングの制約が少ない。換言すれば、A / D 変換回路 7 0 のサンプリングタイミングの自由度が高い。

【 0 0 6 2 】

なお、サンプリング定理に基づき、スイッチトキャパシターフィルタ回路 5 0 X , 5 0 Y , 5 0 Z の出力信号において、サンプリング周波数 f_s (A / D 変換回路 7 0 がスイッチトキャパシターフィルタ回路 5 0 X , 5 0 Y , 5 0 Z の出力信号をそれぞれサンプリングする周波数) の $1 / 2$ よりも高い信号成分は、A / D 変換回路 7 0 におけるサンプリングにより、D C 近傍の周波数帯に折り返されてノイズ成分となる。そのため、スイッチトキャパシターフィルタ回路 5 0 X , 5 0 Y , 5 0 Z は、D C に近い信号を発生させるサンプルホールド回路として機能するとともに、A / D 変換回路 7 0 のサンプリングにより生ずるノイズ成分を低減させるためのアンチエイリアスフィルタとしても機能するように、そのカットオフ周波数はサンプリング周波数 f_s の $1 / 2$ 以下に設定される。

10

【 0 0 6 3 】

また、スイッチトキャパシターフィルタ回路 5 0 X , 5 0 Y , 5 0 Z から出力される差動信号対 S O P _ X , S O N _ X、差動信号対 S O P _ Y , S O N _ Y 及び差動信号対 S O P _ Z , S O N _ Z は、チョッピング周波数 f_c 付近のノイズ成分が高いため (図 1 0 参照)、A / D 変換回路 7 0 のサンプリングによってこのノイズ成分が D C 付近の信号帯域に折り返さないように、チョッピング周波数 f_c は、サンプリング周波数 f_s の $1 / 2$ 以下に設定される。

【 0 0 6 4 】

デジタルフィルタ 8 0 は、クロック信号 M C L K に基づいて、A / D 変換回路 7 0 から出力されるデジタル信号に対してフィルタリング処理を行う。A / D 変換回路 7 0 から出力されるデジタル信号には、A / D 変換回路 7 0 の A / D 変換処理により発生した高周波ノイズが重畳されているため、デジタルフィルタ 8 0 は、この高周波ノイズを低減させるローパスフィルタとして機能する。

20

【 0 0 6 5 】

また、デジタルフィルタ 8 0 は、さらに、温度センサーの出力信号 T O が変換されたデジタル信号を用いて、スイッチトキャパシターフィルタ回路 5 0 X , 5 0 Y , 5 0 Z からそれぞれ出力される差動信号対の温度特性を補正する処理を行ってもよい。

【 0 0 6 6 】

インターフェース回路 1 2 0 は、物理量検出装置 1 の外部装置と通信するための回路である。外部装置は、インターフェース回路 1 2 0 を介して、記憶部 1 3 0 に対するデータの書き込みや読み出し、デジタルフィルタ 8 0 から出力されるデジタル信号の読み出し等を行うことができる。インターフェース回路 1 2 0 は、例えば、3 端子や 4 端子の S P I (Serial Peripheral Interface) インターフェース回路であってもよいし、2 端子の I ² C (Inter-Integrated Circuit) インターフェース回路であってもよい。

30

【 0 0 6 7 】

記憶部 1 3 0 は、レジスタ 1 3 1 及び不揮発性メモリー 1 3 2 を有している。不揮発性メモリー 1 3 2 には、物理量検出回路 3 に含まれる各回路に対する各種のデータ (例えば、プログラマブルゲインアンプ 3 0 の利得調整データ、温度センサー 4 0 の出力調整データ、デジタルフィルタ 8 0 のフィルタ係数や温度補正テーブル) 等の各種の情報が記憶されている。不揮発性メモリー 1 3 2 は、例えば、M O N O S (Metal Oxide Nitride Oxide Silicon) 型メモリーや E E P R O M (Electrically Erasable Programmable Read-Only Memory) として構成することができる。また、物理量検出回路 3 の電源投入時 (電源電圧が 0 V から V D D まで立ち上がる時) に、不揮発性メモリー 1 3 2 に記憶されている各種のデータがレジスタ 1 3 1 に転送されて保持され、レジスタ 1 3 1 に保持された各種のデータが各回路に供給される。

40

【 0 0 6 8 】

以上に説明した物理量検出回路 3 における各種信号の信号波形の一例を図 1 1 及び図 1 2 に示す。図 1 1 及び図 1 2 に示すように、クロック信号 S C F C L K (S C F C L K _ X , S C F C L K _ Y , S C F C L K _ Z) の周波数は、クロック信号 D R V C L K (D R V C L K _ X , D R V C L K _ Y , D R V C L K _ Z) と同じ周波数 (駆動周波数 f_d)

50

）である。また、サンプリング周波数 f_s は駆動周波数 f_d の $1/4$ であり、チョッピング周波数 f_c は駆動周波数 f_d の $1/16$ である。

【0069】

なお、物理量検出装置 1 による物理量の検出精度を向上させるためには、サンプリング周波数 f_s は駆動周波数 f_d 以下で、A/D 変換回路 70 が動作可能なできるだけ高い周波数であることが望ましい。また、物理量検出装置 1 による物理量の検出信号（デジタルフィルタ 80 の出力信号）の S/N を向上させるためには、チョッピング周波数 f_c は、サンプリング周波数 f_s の $1/2$ 以下で、できるだけ高い周波数であることが望ましい。実際には、サンプリング周波数 f_s やチョッピング周波数 f_c は、回路の動作速度の限界や消費電力とのトレードオフを考慮して最適な周波数に決定される。

10

【0070】

以上に説明したように、本実施形態の物理量検出装置 1（物理量検出回路 3）では、スイッチトキャパシタフィルタ回路 50X, 50Y, 50Z は、それぞれ、スイッチトキャパシタ回路 53P, 53N によって A/D 変換回路 70 の前段のアンチエイリアスフィルタとして機能する。また、サンプルホールド回路 51P, 51N によってスイッチトキャパシタフィルタ回路 50X, 50Y, 50Z の出力信号は DC に近い信号となるため、A/D 変換回路 70 によるサンプリングタイミングの自由度が高い。さらに、スイッチトキャパシタフィルタ回路 50X, 50Y, 50Z は、入力される差動信号対 POP, PON に対して差動で動作するので、差動信号対 POP, PON に含まれる同相ノイズや差動信号対 POP, PON に対する信号処理で発生する同相ノイズが低減される。従って、本実施形態の物理量検出装置 1（物理量検出回路 3）によれば、A/D 変換回路 70 のサンプリング周波数 f_s を変えずに駆動周波数 f_d を高めることが可能であり、低ノイズ化が可能である。

20

【0071】

また、本実施形態の物理量検出装置 1（物理量検出回路 3）では、スイッチトキャパシタフィルタ回路 50X, 50Y, 50Z において、それぞれ、サンプルホールド回路 51P, 51N の出力信号に含まれる DC 付近の信号成分は、チョッピング回路 56 によってチョッピング周波数 f_c 付近の信号成分に変換される。また、演算増幅器 57 の出力信号に含まれるチョッピング周波数 f_c 付近の信号成分（チョッピング回路 56 によって変換された信号成分）は、チョッピング回路 58 によって DC 付近の信号成分に戻され、演算増幅器 57 の出力信号に含まれるノイズ成分（演算増幅器 57 の動作により発生する $1/f$ ノイズ）は、チョッピング回路 58 によってチョッピング周波数 f_c 付近のノイズ成分に変換される。従って、本実施形態の物理量検出装置 1（物理量検出回路 3）によれば、スイッチトキャパシタフィルタ回路 50X, 50Y, 50Z の出力信号に含まれるノイズ成分が低減され、さらなる低ノイズ化が可能である。

30

【0072】

さらに、本実施形態の物理量検出装置 1（物理量検出回路 3）では、スイッチトキャパシタフィルタ回路 50X, 50Y, 50Z の出力信号は DC に近い信号となるため、A/D 変換回路 70 によるサンプリングタイミングの自由度が高いので、A/D 変換回路 70 において、スイッチトキャパシタフィルタ回路 50X, 50Y, 50Z の出力信号及び温度センサー 40 の出力信号の A/D 変換処理を時分割に行うことが可能である。従って、本実施形態によれば、回路面積の大幅な増加を抑制しながら、3 軸の物理量検出信号及び温度信号を出力可能な物理量検出装置 1（物理量検出回路 3）を実現することができる。

40

【0073】

2. 電子機器

図 13 は、本実施形態の電子機器の構成の一例を示す機能ブロック図である。図 13 に示すように、本実施形態の電子機器 300 は、物理量検出装置 310、制御装置（MCU）320、操作部 330、ROM（Read Only Memory）340、RAM（Random Access Memory）350、通信部 360、表示部 370 を含んで構成されている。なお、本実施形

50

態の電子機器は、図 13 の構成要素（各部）の一部を省略又は変更し、あるいは、他の構成要素を付加した構成としてもよい。

【0074】

物理量検出装置 310 は、不図示の物理量検出素子を駆動し、当該物理量検出素子の出力信号に基づいて物理量信号を生成して出力する装置であり、例えば、加速度、角速度、速度、角加速度、力等の物理量の少なくとも一部を検出する慣性計測装置であってもよいし、傾斜角を計測する傾斜計であってもよい。物理量検出装置 310 として、例えば、上述した本実施形態の物理量検出装置 1 を適用することができる。

【0075】

制御装置（MCU）320 は、ROM 340 等に記憶されているプログラムに従い、物理量検出装置 310 に通信信号を発信し、物理量検出装置 310 の出力データを用いて各種の計算処理や制御処理を行う。その他、制御装置（MCU）320 は、操作部 330 からの操作信号に応じた各種の処理、外部装置とデータ通信を行うために通信部 360 を制御する処理、表示部 370 に各種の情報を表示させるための表示信号を送信する処理等を行う。

10

【0076】

操作部 330 は、操作キーやボタンスイッチ等により構成される入力装置であり、ユーザーによる操作に応じた操作信号を制御装置（MCU）320 に出力する。

【0077】

ROM 340 は、制御装置（MCU）320 が各種の計算処理や制御処理を行うためのプログラムやデータ等を記憶している。

20

【0078】

RAM 350 は、制御装置（MCU）320 の作業領域として用いられ、ROM 340 から読み出されたプログラムやデータ、操作部 330 から入力されたデータ、制御装置（MCU）320 が各種プログラムに従って実行した演算結果等を一時的に記憶する。

【0079】

通信部 360 は、制御装置（MCU）320 と外部装置との間のデータ通信を成立させるための各種制御を行う。

【0080】

表示部 370 は、LCD（Liquid Crystal Display）等により構成される表示装置であり、制御装置（MCU）320 から入力される表示信号に基づいて各種の情報を表示する。表示部 370 には操作部 330 として機能するタッチパネルが設けられていてもよい。

30

【0081】

物理量検出装置 310 として、例えば上述した本実施形態の物理量検出装置 1 を適用することにより、低ノイズ化が可能であるので、信頼性の高い電子機器を実現することができる。

【0082】

このような電子機器 300 としては種々の電子機器が考えられ、例えば、パーソナルコンピュータ（例えば、モバイル型パーソナルコンピュータ、ラップトップ型パーソナルコンピュータ、タブレット型パーソナルコンピュータ）、スマートフォンや携帯電話機などの移動体端末、デジタルカメラ、インクジェット式吐出装置（例えば、インクジェットプリンター）、ルーターやスイッチなどのストレージエリアネットワーク機器、ローカルエリアネットワーク機器、移動体端末基地局用機器、テレビ、ビデオカメラ、ビデオレコーダー、カーナビゲーション装置、リアルタイムクロック装置、ページャー、電子手帳（通信機能付も含む）、電子辞書、電卓、電子ゲーム機器、ゲーム用コントローラー、ワードプロセッサ、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、POS 端末、医療機器（例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡）、魚群探知機、各種測定機器、計器類（例えば、車両、航空機、船舶の計器類）、フライトシミュレーター、ヘッドマウントディスプレイ、モーショントレース、モーショントラッキング、モーションコントローラー、PDR（歩行者位

40

50

置方位計測)等が挙げられる。

【0083】

図14は、本実施形態の電子機器300の一例であるデジタルカメラ1300を模式的に示す斜視図である。なお、図14には、外部機器との接続についても簡易的に示している。ここで、通常のカメラは、被写体の光像により銀塩写真フィルムを感光するのに対し、デジタルカメラ1300は、被写体の光像をCCD(Charge Coupled Device)などの撮像素子により光電変換して撮像信号(画像信号)を生成する。

【0084】

デジタルカメラ1300におけるケース(ボディー)1302の背面には、表示部1310が設けられ、CCDによる撮像信号に基づいて表示を行う構成になっており、表示部1310は、被写体を電子画像として表示するファインダーとして機能する。また、ケース1302の正面側(図中裏面側)には、光学レンズ(撮像光学系)やCCDなどを含む受光ユニット1304が設けられている。撮影者が表示部1310に表示された被写体像を確認し、シャッターボタン1306を押下すると、その時点におけるCCDの撮像信号が、メモリー1308に転送・格納される。また、このデジタルカメラ1300においては、ケース1302の側面に、ビデオ信号出力端子1312と、データ通信用の入出力端子1314とが設けられている。そして、ビデオ信号出力端子1312には、テレビモニター1430が、データ通信用の入出力端子1314には、パーソナルコンピューター1440が、それぞれ必要に応じて接続される。さらに、所定の操作により、メモリー1308に格納された撮像信号が、テレビモニター1430や、パーソナルコンピューター1440に出力される構成になっている。デジタルカメラ1300は、物理量検出装置310を有し、物理量検出装置310の出力データを用いて、例えば手振れ補正等の処理を行う。

【0085】

3. 移動体

図15は、本実施形態の移動体の一例を示す図(上面図)である。図15に示す移動体400は、物理量検出装置410、420、430、コントローラー440、450、460、バッテリー470、ナビゲーション装置480を含んで構成されている。なお、本実施形態の移動体は、図15の構成要素(各部)の一部を省略し、あるいは、他の構成要素を付加した構成としてもよい。

【0086】

物理量検出装置410、420、430、コントローラー440、450、460、ナビゲーション装置480は、バッテリー470から供給される電源電圧で動作する。

【0087】

コントローラー440、450、460は、それぞれ、物理量検出装置410、420、430に通信信号を発信し、物理量検出装置410、420、430の各出力データを用いて、姿勢制御システム、横転防止システム、ブレーキシステム等の各種の制御を行う制御装置である。

【0088】

ナビゲーション装置480は、内蔵のGPS受信機(不図示)の出力情報に基づき、移動体400の位置や時刻その他の各種の情報をディスプレイに表示する。また、ナビゲーション装置480は、物理量検出装置490を内蔵しており、GPSの電波が届かない時でも物理量検出装置490の出力信号に基づいて移動体400の位置や向きの計算を行い、必要な情報の表示を継続する。

【0089】

物理量検出装置410、420、430、490は、不図示の物理量検出素子を駆動し、当該物理量検出素子の出力信号に基づいて物理量信号を生成して出力する装置であり、それぞれ、例えば、加速度センサー、角速度センサー、速度センサー、傾斜計等である。

【0090】

例えば、物理量検出装置410、420、430、490として、上述した各実施形態

の物理量検出装置 1 を適用することにより、低ノイズ化が可能であるので、信頼性の高い移動体を実現することができる。

【 0 0 9 1 】

このような移動体 4 0 0 としては種々の移動体が考えられ、例えば、自動車（電気自動車も含む）、ジェット機やヘリコプター等の航空機、船舶、ロケット、人工衛星等が挙げられる。

【 0 0 9 2 】

本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 0 9 3 】

例えば、上述した実施形態では、加速度を検出する物理量検出素子を含む物理量検出装置（加速度検出装置）、電子機器及び移動体を例に挙げて説明したが、本発明は、種々の物理量を検出する物理量検出素子を含む物理量検出装置、電子機器及び移動体にも適用することができる。物理量検出素子が検出する物理量は、加速度に限らず、角速度、角加速度、地磁気、傾斜などであってもよい。また、物理量検出素子の振動片の材料としては、S i（シリコン）等の半導体材料の代わりに、例えば、水晶（S i O₂）、タンタル酸リチウム（L i T a O₃）、ニオブ酸リチウム（L i N b O₃）等の圧電単結晶やジルコン酸チタン酸鉛（P Z T）等の圧電セラミックスなどの圧電性材料を用いてもよいし、シリコン半導体を用いてもよい。また、例えば、シリコン半導体の表面の一部に、駆動電極に挟まれた酸化亜鉛（Z n O）、窒化アルミニウム（A l N）等の圧電薄膜を配置した構造であってよい。また、物理量検出素子は、静電容量型の素子に限らず、圧電型、動電型、渦電流型、光学型、ひずみゲージ型等の振動式の素子であってもよい。あるいは、物理量検出素子の方式は、振動式に限らず、例えば、光学式、回転式、流体式であってもよい。

【 0 0 9 4 】

また、例えば、上述した各実施形態では、A / D 変換回路 7 0 は、3 軸の加速度信号及び温度信号を時分割に A / D 変換処理を行っているが、これらの一部を他の物理量信号（角速度信号等）に置き換えて時分割に A / D 変換処理を行ってもよいし、他の物理量信号を追加して時分割に A / D 変換処理を行ってもよい。

【 0 0 9 5 】

また、例えば、上述した各実施形態では、スイッチトキャパシターフィルタ回路 5 0 X , 5 0 Y , 5 0 Z は、入力される差動信号対 P O P , P O N に対して差動で動作しているが、シングルエンド信号が入力され、差動で動作しなくてもよい。

【 0 0 9 6 】

上述した実施形態および変形例は一例であって、これらに限定されるわけではない。例えば、各実施形態および各変形例を適宜組み合わせることも可能である。

【 0 0 9 7 】

本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【 符号の説明 】

【 0 0 9 8 】

1 ... 物理量検出装置、2 , 2 X , 2 Y , 2 Z ... 物理量検出素子、3 ... 物理量検出回路、5 ... 第 1 容量形成部、6 ... 第 2 容量形成部、7 , 8 , 9 ... 端子、1 0 ... マルチプレクサー、2 0 ... Q / V アンプ、2 1 ~ 2 4 ... 容量、3 0 ... プログラマブルゲインアンプ、3 1 , 3 2 ... 容量、4 0 ... 温度センサー、5 0 , 5 0 X , 5 0 Y , 5 0 Z ... スwitchトキャパシターフィルタ回路、5 1 P , 5 1 N ... サンプルホールド回路、5 2 ... 増幅回路、5 3 P , 5 3 N ... スwitchトキャパシター回路、5 4 ... 分周回路、5 5 ... クロック生成回路、5 6

10

20

30

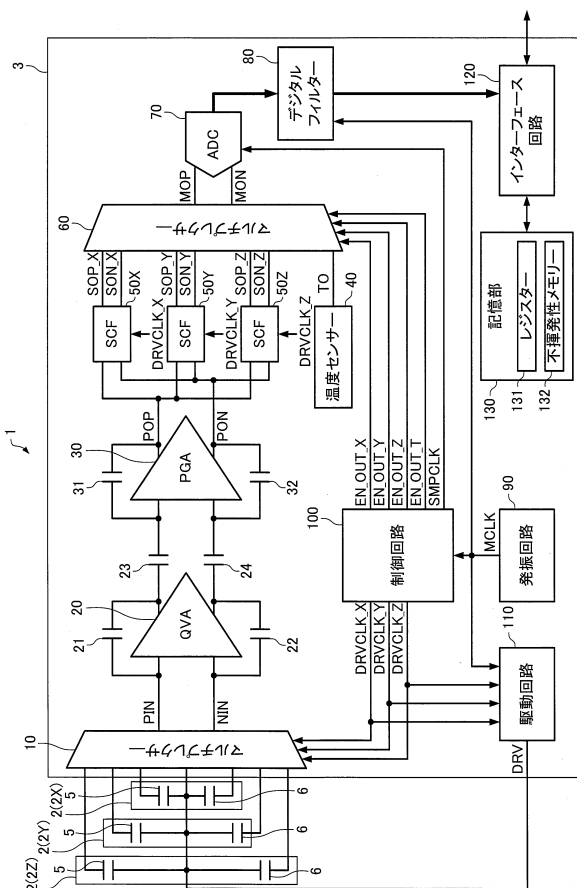
40

50

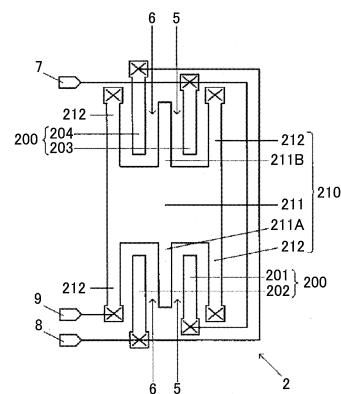
...チョッピング回路、５７...演算増幅器、５８...チョッピング回路、６０...マルチプレクサー、７０...Ａ／Ｄ変換回路、８０...デジタルフィルタ、９０...発振回路、１００...制御回路、１１０...駆動回路、１２０...インターフェース回路、１３０...記憶部、１３１...レジスタ、１３２...不揮発性メモリ、２００...固定部、２０１～２０４...固定電極、２１０...可動部、２１１...錘部、２１１Ａ，２１１Ｂ...可動電極、２１２...ばね部、３００...電子機器、３１０...物理量検出装置、３２０...制御装置（ＭＣＵ）、３３０...操作部、３４０...ＲＯＭ、３５０...ＲＡＭ、３６０...通信部、３７０...表示部、４００...移動体、４１０，４２０，４３０...物理量検出装置、４４０，４５０，４６０...コントローラ、４７０...バッテリー、４８０...ナビゲーション装置、４９０...物理量検出装置、１３００...デジタルカメラ、１３０２...ケース、１３０４...受光ユニット、１３０６...シャッターボタン、１３０８...メモリ、１３１０...表示部、１３１２...ビデオ信号出力端子、１３１４...入出力端子、１４３０...テレビモニター、１４４０...パーソナルコンピュータ、Ｃ１Ｎ，Ｃ２Ｎ，Ｃ３Ｎ...容量、Ｃ１Ｐ，Ｃ２Ｐ，Ｃ３Ｐ...容量、Ｓ９，Ｓ１０，Ｓ１１，Ｓ１２，Ｓ１３，Ｓ１４...スイッチ、Ｓ１Ｎ，Ｓ２Ｎ，Ｓ３Ｎ，Ｓ４Ｎ，Ｓ５Ｎ，Ｓ６Ｎ，Ｓ７Ｎ，Ｓ８Ｎ...スイッチ、Ｓ１Ｐ，Ｓ２Ｐ，Ｓ３Ｐ，Ｓ４Ｐ，Ｓ５Ｐ，Ｓ６Ｐ，Ｓ７Ｐ，Ｓ８Ｐ...スイッチ

10

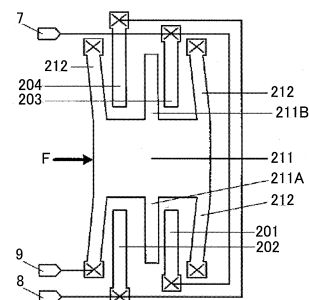
【圖 1】



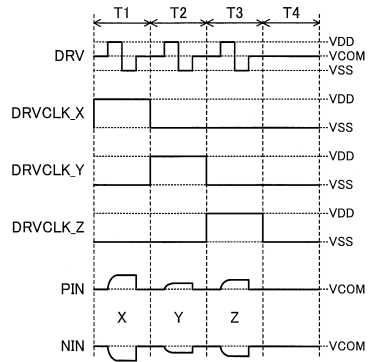
【圖 2】



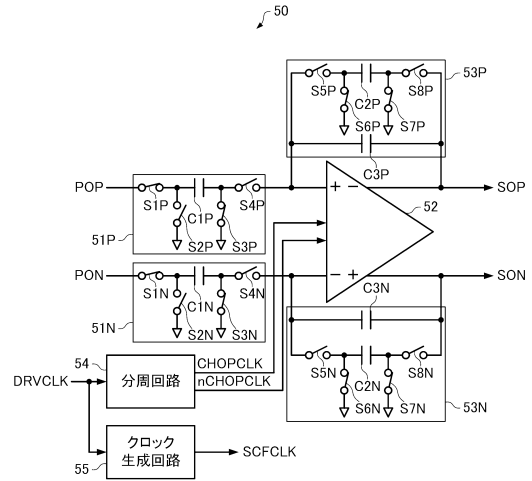
【 図 3 】



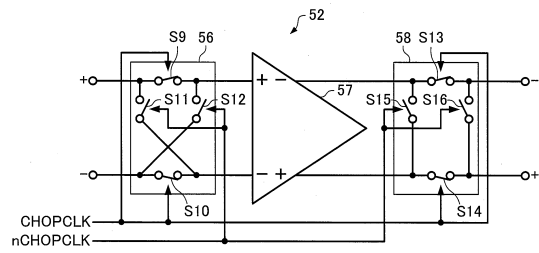
【図 4】



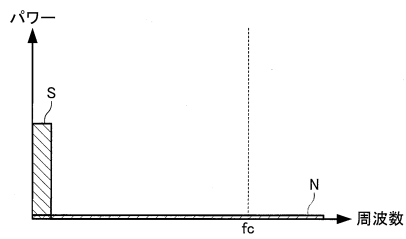
【図 5】



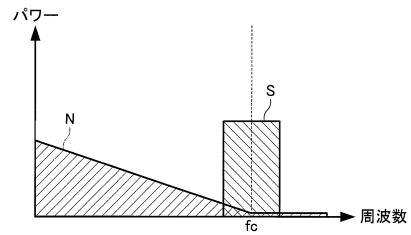
【図 6】



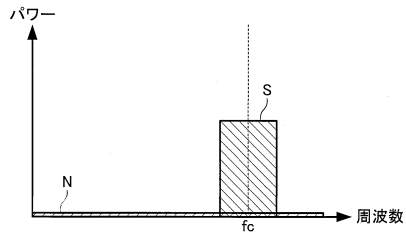
【図 7】



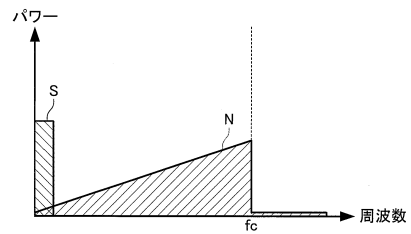
【図 9】



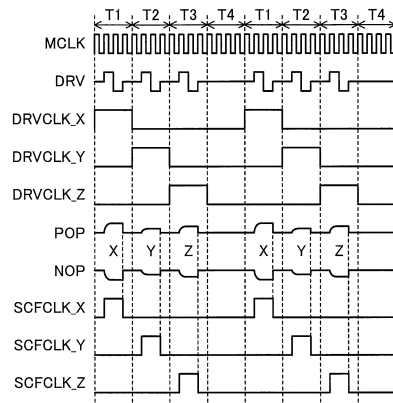
【図 8】



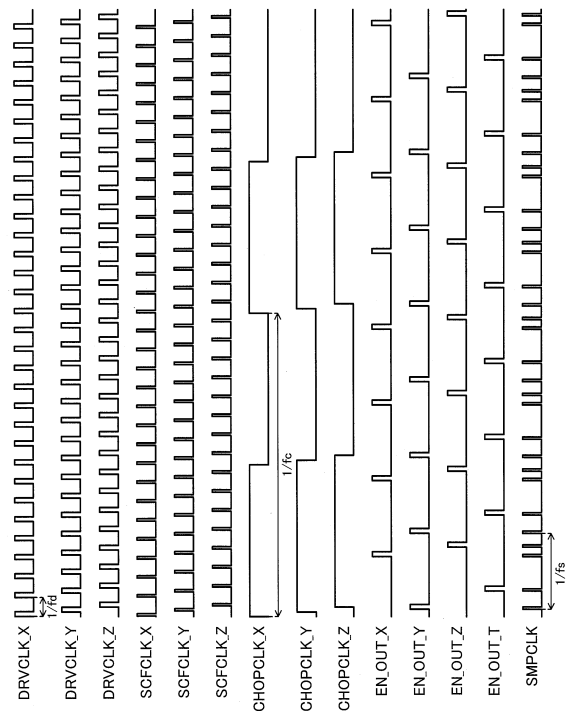
【図 10】



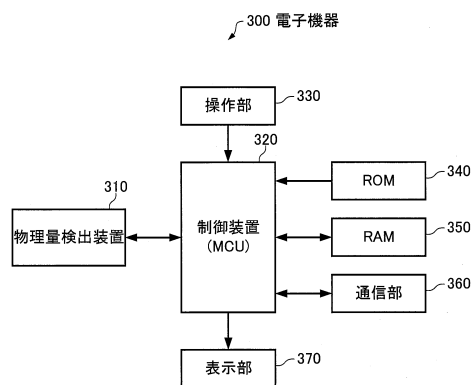
【図 1 1】



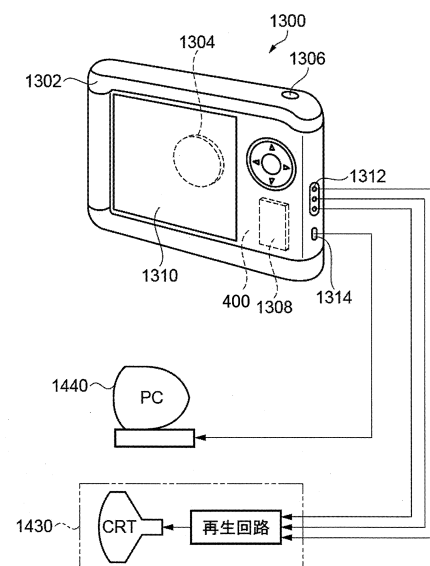
【図 1 2】



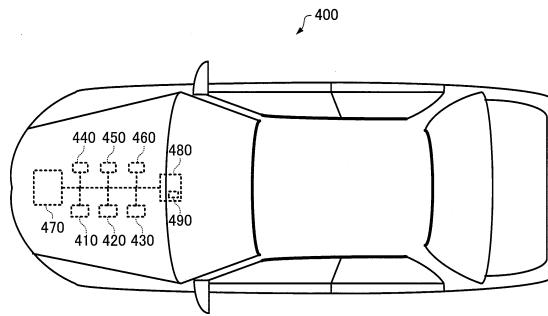
【図 1 3】



【図 1 4】



【図 15】



フロントページの続き

- (56)参考文献 特開 2 0 1 2 - 4 9 5 9 9 (J P , A)
米国特許第 9 7 8 4 5 8 1 (U S , B 2)
米国特許第 7 9 9 5 6 7 9 (U S , B 2)
米国特許第 8 7 4 2 9 6 4 (U S , B 2)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 1 P 1 5
G 0 1 C 1 9