

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02008/078746

発行日 平成22年4月30日 (2010. 4. 30)

(43) 国際公開日 平成20年7月3日 (2008. 7. 3)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/60 (2006. 01)	HO 1 L 21/60 3 1 1 S	5 F O 4 4
HO 1 L 21/56 (2006. 01)	HO 1 L 21/60 3 1 1 Q	5 F O 6 1
	HO 1 L 21/56 E	

審査請求 有 予備審査請求 未請求 (全 44 頁)

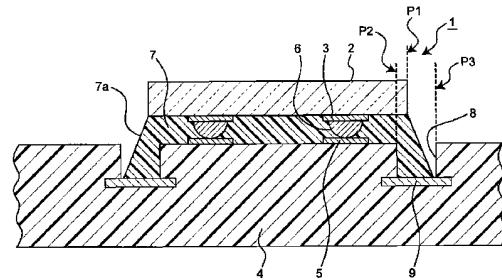
出願番号 特願2008-551119 (P2008-551119)	(71) 出願人 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(21) 国際出願番号 PCT/JP2007/074844	
(22) 国際出願日 平成19年12月25日 (2007. 12. 25)	
(31) 優先権主張番号 特願2006-349511 (P2006-349511)	(74) 代理人 100101454 弁理士 山田 卓二
(32) 優先日 平成18年12月26日 (2006. 12. 26)	(74) 代理人 100081422 弁理士 田中 光雄
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100091524 弁理士 和田 充夫
	(74) 代理人 100132241 弁理士 岡部 博史
	(72) 発明者 戸村 善広 大阪府門真市大字門真1006番地 パナソニック株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子の実装構造体及び半導体素子の実装方法

(57) 【要約】

半導体素子の外周端部に対向する位置における基板表面に、その内側の一部に封止接着用樹脂が配置された凹部を形成することで、封止接着用樹脂におけるフィレット部分（裾広がり部分）の配置領域の拡大を抑制しながら、その傾斜角度を大きくする。これにより、実装時の加熱処理や冷却処理によって生じる各部材の熱膨張差及び熱収縮差による半導体素子の周辺部分に発生する応力負荷を軽減し、半導体素子の実装構造体の内部破壊を回避する。



【特許請求の範囲】**【請求項 1】**

複数の素子電極を有する半導体素子と、
複数の基板電極を有する基板と、

上記それぞれの素子電極と基板電極とを接続する複数の突起電極と、

上記それぞれの素子電極、基板電極、及び突起電極を封止するとともに、上記半導体素子と上記基板とを接着させるように、上記半導体素子と上記基板との間に配置された封止接着用樹脂と、

上記基板の電極形成面において、上記半導体素子の外周端部に対向する位置に形成され、その内側の一部に上記封止接着用樹脂が配置された凹部とを備える、半導体素子の実装構造体。

10

【請求項 2】

上記基板に形成された上記凹部は、その内側に上記樹脂を配置させることで、上記基板における上記半導体素子との対向領域外への上記樹脂の拡がり領域を制限する樹脂拡がり領域制限用凹部である、請求項 1 に記載の半導体素子の実装構造体。

【請求項 3】

上記凹部は、上記基板における上記半導体素子との対向領域の外周端部よりも内側の領域を含んで形成されている、請求項 1 に記載の半導体素子の実装構造体。

【請求項 4】

上記凹部は、上記基板における上記半導体素子との対向領域の周囲に向けて深くなるように傾斜された内底部を有する、請求項 1 に記載の半導体素子の実装構造体。

20

【請求項 5】

上記基板における上記半導体素子との対向領域の中心に上記凹部の開口端部よりも隆起された隆起部が形成され、上記隆起部より上記凹部の内底部にかけて降り勾配が設けられている、請求項 1 に記載の半導体素子の実装構造体。

【請求項 6】

略方形の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部よりもその内側の容積が小さくなるように形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

【請求項 7】

上記基板における上記半導体素子との対向領域の外周端部において、複数の上記凹部が形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

30

【請求項 8】

上記基板における上記半導体素子との対向領域の外周端部の全周に渡って、上記凹部が連続して形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

【請求項 9】

略方形の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部よりも深い内底部を有するように形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

40

【請求項 10】

略方形の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部の上記内底部の傾斜角度よりも大きな傾斜角度を有する上記内底部を有するように形成されている、請求項 4 に記載の半導体素子の実装構造体。

【請求項 11】

半導体素子の実装領域の外周端部に凹部が形成された基板における上記実装領域上に、封止接着用樹脂を配置し、

上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧して、上記半導体素子のそれぞれの素子電極と上記基板のそれぞれの基板電極とを、それぞれの突起電極を介して

50

接続するとともに、上記実装領域外へ広がる上記封止接着用樹脂の一部を上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら、上記それぞれの素子電極、基板電極、及び突起電極を上記樹脂により封止し、

その後、上記封止接着用樹脂を加熱して硬化させて、上記半導体素子を上記基板に実装することを特徴とする半導体素子の実装方法。

【請求項 1 2】

上記封止接着用樹脂による封止は、弾性材料にて形成された押圧部を有する圧着ツールを用いて、上記押圧部により上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧するとともに、上記実装領域外へ広がる上記封止接着用樹脂を上記押圧部により押圧して上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら行う、請求項 1 1 に記載の半導体素子の実装方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の素子電極と基板の基板電極とを突起電極を介して接続するとともに、上記半導体素子と上記基板との間に封止接着用樹脂を配置して、上記半導体素子が上記基板に実装された半導体素子の実装構造体及び半導体素子の実装方法に関する。

【背景技術】

【0002】

電子部品として従来の半導体パッケージに比較して実装面積を大幅に縮小できるベアチップ実装が利用される中で、基板の回路形成面に半導体チップ（半導体素子）の回路形成面を対向させ、金などの金属で形成されるバンプ（突起電極）を介して重ね合わせることで導通を得るフェイスダウン実装は、基板の回路形成面と半導体チップの回路形成面の反対側の面を対向させ、ワイヤボンディングによって金属細線を引き出すことで両端子を接続するフェイスアップ実装と比較して、半導体チップおよびその実装構造体全体のさらなる小型化が可能であり、幅広く利用されている。

20

【0003】

ここで、このような従来の半導体チップの実装構造体 501 の模式平面図を図 15 に示し、図 15 の実装構造体 501 における A - A 線断面図を図 16 に示す。図 15 及び図 16 に示すように、略方形の形状を有する半導体チップ 2 の下面側である回路形成面には、複数の素子電極であるパッド 3 が形成されており、基板 4 の上面側である回路形成面には複数の基板電極 5 が形成されている。それぞれのパッド 3 と基板電極 5 は、パッド 3 上に個別に形成された突起電極であるバンプ 6 を介して個別に電氣的に接続されている。また、半導体チップ 2 と基板 4 との間には、封止接着用の絶縁性樹脂として、アンダーフィル 7 が充填配置されており、これにより、それぞれのパッド 3、基板電極 5、及びバンプ 6 が封止された状態にて、半導体チップ 2 と基板 4 とが接着された実装構造体が形成されている。

30

【0004】

このような実装構造体は、例えば、半導体チップ 2 のそれぞれのパッド 3 上に形成されたバンプ 6 と、その表面にシート状のアンダーフィル 7 が貼り付けされた基板 4 とを対向させた後、アンダーフィル 7 を介して半導体チップ 2 を基板 4 に押し付けるといいうわゆるシート工法を実施することで形成される。特に、このような従来のシート工法においては、半導体チップ 2 と基板 4 との間へのアンダーフィル 7 の充填配置と、半導体チップ 2 のパッド 3 と基板 4 の基板電極 5 とのバンプ 6 を介した電氣的接続を同時に行うことができ、工程の簡略化及び短時間化の観点で有効とされ、幅広く利用されている。

40

【0005】

【特許文献 1】特開 2000 - 188362 号公報

【特許文献 2】特開 2002 - 134558 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 6 】

近年、半導体パッケージの小型、低コスト化を目的としたチップ内部配線の微細化を目的とした、チップ内部の絶縁材料の低誘電率化が進められている。このような低誘電率な樹脂材料（以下、「Low - k材料」とする。）に関しては、誘電率の低下とともにその機械的強度の脆弱化も進行し、半導体チップの実装工程において、Low - k材料の脆弱性が原因となった半導体チップの内部破壊が懸念されている。

【 0 0 0 7 】

ここで、Low - k材料について、図19に示す半導体チップの模式断面図を用いて説明する。図19に示すように、半導体チップ2は、シリコン(Si)層511と、シリコン層511上にLow - k材料にて形成されたLow - k層512と、Low - k層512上に形成され、主に配線が形成される配線層513と、配線層513上にSiO₂またはSiN_xにて形成された絶縁層514とを備えている。なお、Low - k層512および配線層513は、例えば複数の薄膜層が積層されて形成されている。また、絶縁層514の表面には複数のパッド3が露出するように配置されており、それぞれのパッド3とシリコン層511とを電氣的に接続する複数のビア電極515が、Low - k層512および配線層513を貫通するように形成されている。このようなLow - k層512は、半導体チップ2の本体部分であるシリコン層511と比してその厚さが薄い薄膜として形成されており、上述したようにその誘電率の低下とともに機械的強度が他の層と比して脆弱であるという特徴を有している。このようなLow - k層512の機械的強度の脆弱性に起因して、例えば、Low - k層512にクラック516が生じる、あるいはLow - k層512において界面剥離が生じるなどによる半導体チップの内部破壊が懸念されている。

10

20

【 0 0 0 8 】

一般に、半導体チップの熱膨張係数はアンダーフィルや基板の熱膨張係数と比べ極端に小さく、実装時の加熱処理及び冷却処理によって生じる各部材の熱膨張差や熱収縮差によって半導体チップの各部分、特に形状の半導体チップのコーナー部分には大きな引張負荷が発生する。例えば、半導体チップの熱膨張率を仮に1とすると、アンダーフィルの熱膨張率は40～50ppm、基板の熱膨張率は5～20ppmである。また、半導体チップの実装工程においては、例えば半導体チップが実装された後の基板の割断工程、すなわち多面取り基板の割断工程や、基板の裏面へのはんだボール付け工程などを実施する際に生じる機械的な負荷により基板がたわみ、半導体チップへの負荷がさらに大きなものとなる。

30

【 0 0 0 9 】

これらの負荷を軽減するために、例えば特許文献1では、図17の模式説明図に示すように、半導体素子の実装構造体601において、半導体素子2の周囲に形成される充填剤(アンダーフィル)607のフィレット部(裾拡がり部)607aの下部に位置する基板4の表面に溝部610を形成し、この溝部610内にまで充填剤607が充填される、すなわち溝部610を充填剤で満たすような構成が採用されている。このような構成においては、溝部610内に充填された充填剤607が、アンカーとして作用することにより充填剤607と基板4との接着強度を高めている。すなわち、半導体素子の外周端部を、充填剤を介して基板4にてしっかりと保持させる構造が採られている。

40

【 0 0 1 0 】

また、例えば特許文献2では、図18に示すように、半導体素子の実装構造体701において、半導体素子2のコーナー部の側面とアンダーフィル707との間に補強部材(樹脂)711を設けることで、作用される応力をこの補強部材711により分散させるような構成が採用されている。

【 0 0 1 1 】

しかしながら、特許文献1の半導体素子の実装構造体601では、充填剤607と基板4との接合力を高めるために半導体素子2の実装領域の周囲に形成された溝部610内に確実に充填剤607が充填される構造が採用されているため、フィレット部607aに配

50

置される充填剤 607 の量が多くなり、フィレット部 607a の拡がり領域は拡大される傾向にある。そのため、各部材の熱膨張差や熱収縮差による引張負荷を十分に低減させることは困難となり、特に薄型化された半導体素子に対しては応力負荷（引張負荷）が加わって、剥離による素子破壊が生じる場合がある。ここで、剥離とは、半導体素子においてアンダーフィル（樹脂あるいは充填剤）と接触している部分が、半導体素子本体より別れて分離してしまう現象である。

【0012】

また、特許文献 2 の半導体素子の実装構造体 701 では、応力緩和のため、2 種類の樹脂を用いているため、その製造工程が複雑になる。さらに、薄型化された半導体素子 2 に対しては、補強部材 711 を配置することが困難であるという問題もある。

10

【0013】

従って、本発明の目的は、上記問題を解決することによって、半導体素子の素子電極と基板の基板電極とを突起電極を介して接続するとともに、上記半導体素子と上記基板との間に封止接着用樹脂を配置して、上記半導体素子が上記基板に実装された半導体素子の実装構造体及びその実装方法において、実装時の加熱処理や冷却処理によって生じる各部材の熱膨張差及び熱収縮差、並びに実装後の機械的な負荷に対する基板のたわみによる半導体素子の周辺部分に発生する負荷を軽減し、半導体素子の実装構造体の内部破壊を回避することができる半導体素子の実装構造体及び半導体素子の実装方法を提供することにある。

【課題を解決するための手段】

20

【0014】

上記目的を達成するために、本発明は以下のように構成する。

【0015】

本発明の第 1 態様によれば、複数の素子電極を有する半導体素子と、
複数の基板電極を有する基板と、
上記それぞれの素子電極と基板電極とを接続する複数の突起電極と、
上記それぞれの素子電極、基板電極、及び突起電極を封止するとともに、上記半導体素子と上記基板とを接着させるように、上記半導体素子と上記基板との間に配置された封止接着用樹脂と、

上記基板の電極形成面において、上記半導体素子の外周端部に対向する位置に形成され、その内側の一部に上記封止接着用樹脂が配置された凹部とを備える、半導体素子の実装構造体を提供する。

30

【0016】

本発明の第 2 態様によれば、上記基板に形成された上記凹部は、その内側に上記樹脂を配置させることで、上記基板における上記半導体素子との対向領域外への上記樹脂の拡がり領域を制限する樹脂拡がり領域制限用凹部である、第 1 態様に記載の半導体素子の実装構造体を提供する。

【0017】

本発明の第 3 態様によれば、上記凹部は、上記基板における上記半導体素子との対向領域の外周端部よりも内側の領域を含んで形成されている、第 1 態様に記載の半導体素子の実装構造体を提供する。

40

【0018】

本発明の第 4 態様によれば、上記凹部は、上記基板における上記半導体素子との対向領域の周囲に向けて深くなるように傾斜された内底部を有する、第 1 態様に記載の半導体素子の実装構造体を提供する。

【0019】

本発明の第 5 態様によれば、上記基板における上記半導体素子との対向領域の中心に上記凹部の開口端部よりも隆起された隆起部が形成され、上記隆起部より上記凹部の内底部にかけて降り勾配が設けられている、第 1 態様に記載の半導体素子の実装構造体を提供する。

50

【 0 0 2 0 】

本発明の第 6 態様によれば、略方形の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部よりもその内側の容積が小さくなるように形成されている、第 1 態様から第 5 態様のいずれか 1 つに記載の半導体素子の実装構造体を提供する。

【 0 0 2 1 】

本発明の第 7 態様によれば、上記基板における上記半導体素子との対向領域の外周端部において、複数の上記凹部が形成されている、第 1 態様から第 5 態様のいずれか 1 つに記載の半導体素子の実装構造体を提供する。

【 0 0 2 2 】

本発明の第 8 態様によれば、上記基板における上記半導体素子との対向領域の外周端部の全周に渡って、上記凹部が連続して形成されている、第 1 態様から第 5 態様のいずれか 1 つに記載の半導体素子の実装構造体を提供する。

【 0 0 2 3 】

本発明の第 9 態様によれば、略方形の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部よりも深い内底部を有するように形成されている、第 1 態様から第 5 態様のいずれか 1 つに記載の半導体素子の実装構造体を提供する。

【 0 0 2 4 】

本発明の第 10 態様によれば、略方形の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部の上記内底部の傾斜角度よりも大きな傾斜角度を有する上記内底部を有するように形成されている、第 4 態様に記載の半導体素子の実装構造体を提供する。

【 0 0 2 5 】

本発明の第 11 態様によれば、半導体素子の実装領域の外周端部に凹部が形成された基板における上記実装領域上に、封止接着用樹脂を配置し、

上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧して、上記半導体素子のそれぞれの素子電極と上記基板のそれぞれの基板電極とを、それぞれの突起電極を介して接続するとともに、上記実装領域外へ広がる上記封止接着用樹脂の一部を上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら、上記それぞれの素子電極、基板電極、及び突起電極を上記樹脂により封止し、

その後、上記封止接着用樹脂を加熱して硬化させて、上記半導体素子を上記基板に実装することを特徴とする半導体素子の実装方法を提供する。

【 0 0 2 6 】

本発明の第 12 態様によれば、上記封止接着用樹脂による封止は、弾性材料にて形成された押圧部を有する圧着ツールを用いて、上記押圧部により上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧するとともに、上記実装領域外へ広がる上記封止接着用樹脂を上記押圧部により押圧して上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら行う、第 11 態様に記載の半導体素子の実装方法を提供する。

【 発明の効果 】

【 0 0 2 7 】

本発明によれば、半導体素子の実装構造体において、半導体素子の外周端部に対向する位置における基板表面に、その内側の一部に封止接着用樹脂が配置された凹部が形成されているため、封止接着用樹脂におけるフィレット部分（裾広がり部分）の配置領域の拡大を抑制しながら、その傾斜角度を大きくすることができる。すなわち、半導体素子を、樹脂を介して基板に実装する際に付加される押圧力により、基板と半導体素子との対向領域の周囲外側へと樹脂が拡がってフィレット部分が形成されることになるが、この際に樹脂の一部を凹部内へと導き入れることにより、樹脂の広がり領域を減少させるとともに、フィレット部分の傾斜角度を大きくすることができる。このようにフィレット部分の拡がり領域の面積を減少させてその傾斜角度を大きくすることにより、実装時の加熱処理や冷却

10

20

30

40

50

処理によって生じる各部材の熱膨張差及び熱収縮差、並びに実装後の機械的な負荷に対する基板のたわみによる半導体素子の周辺部分に発生する負荷を軽減し、半導体素子の実装構造体の内部破壊を回避することができる。

【図面の簡単な説明】

【0028】

本発明のこれらと他の目的と特徴は、添付された図面についての好ましい実施形態に関連した次の記述から明らかになる。この図面においては、

【図1】図1は、本発明の第1実施形態にかかる半導体チップの実装構造体の模式断面図であり、

【図2】図2は、上記第1実施形態の変形例にかかる半導体チップの実装構造体の模式断面図であり、

【図3】図3は、上記第1実施形態に対する比較例にかかる半導体チップの実装構造体の模式断面図であり、

【図4】図4は、図1の半導体チップの実装構造体の製造方法を示す模式説明図であり、圧着ツールにより押圧が行われる直前の状態を示す図であり、

【図5】図5は、図1の半導体チップの実装構造体の製造方法を示す模式断面図であり、圧着ツールにより押圧が行われている状態を示す図であり、

【図6】図6は、本発明の第2実施形態にかかる半導体チップの実装構造体の模式断面図であり、

【図7】図7は、上記第2実施形態の変形例にかかる半導体チップの実装構造体の模式断面図であり、

【図8】図8は、上記第2実施形態に対する比較例にかかる半導体チップの実装構造体の模式断面図であり、

【図9】図9は、上記第2実施形態に対する別の比較例にかかる半導体チップの実装構造体の模式断面図であり、

【図10】図10は、本発明の第3実施形態にかかる半導体チップの実装構造体の模式断面図であり、

【図11】図11は、本発明の第4実施形態にかかる半導体チップの実装構造体の模式平面図であり、

【図12】図12は、本発明の第4実施形態にかかる別の半導体チップの実装構造体の模式平面図であり、

【図13】図13は、本発明の第4実施形態にかかる別の半導体チップの実装構造体の模式平面図であり、

【図14】図14は、本発明の第4実施形態にかかる別の半導体チップの実装構造体の模式平面図であり、

【図15】図15は、従来の半導体チップの実装構造体の模式平面図であり、

【図16】図16は、図15の半導体チップの実装構造体におけるA - A線模式断面図であり、

【図17】図17は、従来の別の半導体チップの実装構造体の模式断面図であり、

【図18】図18は、従来のさらに別の半導体チップの実装構造体の模式断面図であり、

【図19】図19は、従来の半導体チップの模式断面図であり、

【図20】図20は、本発明の第5実施形態にかかる半導体チップの実装構造体の模式平面図であり、

【図21】図21は、図20の半導体チップの実装構造体におけるB - B線模式断面図であり、

【図22】図22は、図20の半導体チップの実装構造体におけるC - C線模式断面図であり、

【図23】図23は、第5実施形態の変形例にかかる半導体チップの実装構造体の模式平面図である。

【発明を実施するための最良の形態】

10

20

30

40

50

【0029】

本発明の記述を続ける前に、添付図面において同じ部品については同じ参照符号を付している。

【0030】

以下に、本発明にかかる実施の形態を図面に基づいて詳細に説明する。

【0031】

(第1実施形態)

本発明の第1の実施形態にかかる半導体素子の実装構造体の一例である半導体チップの実装構造体1の模式断面図を図1に示す。

【0032】

図1に示すように、本第1実施形態の半導体チップの実装構造体1においては、基板4の上に封止接着用樹脂の一例であるシート状のアンダーフィル7が配置され、このアンダーフィル7を介して半導体チップ2が実装されている。半導体チップ2の図示下面側である回路形成面には、素子電極の一例である複数のパッド3が形成されており、これらのパッド3の形成位置に対応するように基板4の図示上面側である回路形成面(電極形成面)には、複数の基板電極5が形成されており、それぞれのパッド3がそれぞれの基板電極5に突起電極の一例であるバンプ6を介して個別に電氣的に接続されている。なお、バンプ6は、主にAuにて形成されており、僅かに潰れるように変形された状態にて基板電極5とパッド3との間に介在している。また、アンダーフィル7は、絶縁性樹脂材料により形成されており、互いに電氣的に接続された状態のそれぞれのパッド3、基板電極5、及びバンプ6を完全に覆って封止するとともに、これらの接続状態を維持するように、半導体チップ2と基板4との間に介在して両者を接着している。このような状態にて、半導体チップ2が基板4に実装されて、半導体チップの実装構造体1、すなわち半導体パッケージ部品が構成されている。

【0033】

また、半導体チップ2はその平面的な形状が略形状となっており、半導体チップ2の形状の外周端部に対向する基板4上の位置P1、すなわち基板4上において半導体チップ2が実装される実装領域(半導体チップ2が基板表面に投影された領域、あるいは基板4と半導体チップ2との対向領域)の外周端部位置P1には、その周囲表面よりも一段掘り下げられるように構成された凹部(あるいは溝部)8が形成されている。この凹部8は、半導体チップ2の外周端部と対向する位置P1がその内側に位置されるように形成されている。すなわち、図1に示すように、半導体チップ2の中心を基準とした凹部8の外側方向の端部位置P3と内側方向の端部位置P2との間に、半導体チップ2の外周端部に対向する位置P1が位置されるように、凹部8の形成位置が決められている。

【0034】

また、図1に示すように、凹部8内には、アンダーフィル7の外周側に形成されるフィレット部(裾広がり部)7aにおける樹脂の一部が、その内側に配置された状態とされている。ただし、凹部8内には樹脂が完全に充填された状態ではなく、内側の一部にのみ樹脂が配置された状態とされている。このように、フィレット部7aにおける樹脂の一部が凹部8内に配置されていることで、凹部8が形成されていない場合に比して、フィレット部7aの拡がり領域が縮小する方向に制限されるとともに、フィレット部7aの傾斜角度がより立っている状態、すなわち基板4の表面に対する角度がより大きくされた状態となっている。

【0035】

基板4は、例えばガラスエポキシ樹脂材料により形成されており、パッド3及び基板電極5は銅により形成されている。なお、パッド3や基板電極5は、NiやAuメッキ、あるいはAlにより形成することもできる。また、アンダーフィル7は絶縁性樹脂材料として、例えば熱硬化性を有するエポキシ樹脂材料により形成されている。なお、基板4としては、その他に、セラミックス基板、樹脂基板、樹脂シート基板等が用いられるような場合であってもよい。また、アンダーフィル7はシート状のものを基板4上に配置すること

10

20

30

40

50

により形成されるが、このような場合に代えて、半液状の樹脂材料を基板 4 上に塗布等によって配置することで形成することもできる。

【 0 0 3 6 】

凹部 8 は、例えば、レーザー加工等の手段により形成される。このようなレーザー加工手段が用いられるような場合にあっては、図 1 に示すように、予め基板 4 の内部にレーザー加工を停止させるための停止層 9 を設けておくことで、所望の深さの凹部 8 をより容易に形成することが可能となる。このような停止層 9 は、例えば銅層を用いることができる。なお、基板 4 として樹脂成形基板が用いられるような場合にあっては、レーザー加工ではなく、型で凹部 8 が形成される。このような凹部 8 の形成方法は、基板 4 に用いられる材料の種類や基板の形状などを考慮して決定することが好ましい。

10

【 0 0 3 7 】

このような半導体チップの実装構造体 1 においては、例えば、半導体チップ 2 の厚さ寸法が 0 . 1 5 mm、アンダーフィル 7 の厚さ寸法（基板と半導体チップとの間の距離）が 0 . 0 5 mm、基板 4 の厚さ寸法が 0 . 3 0 mm、凹部 8 の深さ寸法が 0 . 1 0 mm となっている。また、凹部 8 の幅寸法（図 1 における P 2 P 3 間の距離）が 0 . 4 5 mm、凹部 8 の内側方向の端部位置 P 2 と、半導体チップ 2 の外周端部位置 P 1 との間の距離が 0 . 1 5 mm、凹部 8 の外側方向の端部位置 P 3 と、半導体チップ 2 の外周端部位置 P 1 との間の距離が 0 . 3 mm となっている。なお、凹部 8 の外側方向の端部位置 P 3 は、半導体チップ 2 の外周端部位置 P 1 より離れすぎるとは好ましくなく、例えば、P 1 P 3 間の距離は、0 . 5 mm 以下となるように凹部 8 を形成することが好ましい。また、凹部 8 の内側方向の端部位置 P 2 が、基板電極 5 の形成位置に達しないように凹部 8 を形成することが好ましい。

20

【 0 0 3 8 】

ここで、本第 1 実施形態の変形例にかかる半導体チップの実装構造体 1 1 の模式断面図を図 2 に示し、さらに本第 1 実施形態の比較例にかかる半導体チップの実装構造体 2 1 の模式断面図を図 3 に示す。なお、図 2 及び図 3 の半導体チップの実装構造体 1 1、2 1 において、図 1 の実装構造体 1 と同じ構成を有する部材には同じ参照番号を付してその説明を省略する。

【 0 0 3 9 】

まず、図 2 に示す変形例にかかる半導体チップの実装構造体 1 1 においては、凹部 8 の内側方向の端部位置 P 2 が半導体チップ 2 の外周端部位置 P 1 と略一致するように、凹部 8 が形成されている。なお、凹部 8 内は、アンダーフィル 7 により完全に充填されることなく、一部だけ配置されている点においては、図 1 の実装構造体 1 と同様な構成を有している。このような構成では、フィレット部 7 a の拡がり領域は、図 1 の実装構造体 1 と比べると僅かに拡大する傾向にあるものの、凹部が形成されていない構造と比べれば、拡がり領域を縮小させる方向に制限することができるという効果は有しており、さらにフィレット部 7 a の傾斜角度を立たせた状態とすることができる。

30

【 0 0 4 0 】

これに対して、図 3 の比較例にかかる半導体チップの実装構造体 2 1 においては、半導体チップ 2 の外周端部位置 P 1 よりも外側に離れるように凹部 8 が形成された構造を有している。さらに凹部 8 内は、アンダーフィル 7 により略完全に充填されている。このような構造の半導体チップの実装構造体 2 1 では、フィレット部 7 a の拡がり領域の拡大を制限することができない。すなわち、拡がろうとするフィレット部 7 a が凹部 8 に到達して始めてその拡がり領域の拡大を制限することができるが、半導体チップ 2 の外周端部位置より大きく離れて凹部 8 が形成されているような構成では、その拡大を制限することができない。その結果、フィレット部 7 a の傾斜角度はより小さくなり寝かされた状態にて形成されることになる。

40

【 0 0 4 1 】

図 1 及び図 2 の本第 1 実施形態の半導体チップの実装構造体 1、及び 1 1、並びに図 3 の比較例の半導体チップの実装構造体 2 1 のそれぞれを製作し、所定の条件にて熱サイク

50

ル試験を行った。具体的には、各々の実装構造体を100個ずつ製作し、これら100個の実装構造体に対して、相対湿度80%以下の雰囲気中にて、0から80までの温度変化のサイクルを500回繰り返した。その後、各々の実装構造体における電気接続状態、及び導通が取れるかどうかの確認を行い、熱サイクル付加による半導体チップの実装構造体における剥離や内部破壊による不良発生個数の測定を行った。また、このような熱サイクル試験を複数セット実施した。

【0042】

その結果、図1の本第1実施形態にかかる半導体チップの実装構造体1では、100個に対して不良発生個数が0~1個程度であった。また、図2の本第1実施形態にかかる半導体チップの実装構造体11では、100個に対して不良発生個数が1~2個程度であった。これに対して、図3の比較例にかかる半導体チップの実装構造体21では、100個に対して不良発生個数が10~20個と多くなった。これらの試験結果からは、本第1実施形態の半導体チップの実装構造体では、比較例に比して十分に不良発生個数を低減可能であることが判る。

10

【0043】

図1及び図2の本第1実施形態の半導体チップの実装構造体1、11では、凹部8が半導体チップ2の外周端部位置P1に位置されるように形成されているため、フィレット部7aにおける樹脂の量、すなわち基板4上に配置されるフィレット部7aの樹脂量を少なくすることができる。従って、熱膨張率差により生じる応力負荷を低減することができ、熱サイクルが繰り返し付加されるような場合であっても、不良発生数を少なくすることができる。

20

【0044】

これに対して、図3の比較例の半導体チップの実装構造体21では、凹部8の形成位置が半導体チップ2の外周端部よりも大きく離れているため、結果としてフィレット部7aにおける樹脂量が多くなっている。従って、応力負荷を低減することができず、繰り返して熱サイクルが付加されることにより不良が発生しやすくなる。

【0045】

このように本第1実施形態の半導体チップの実装構造体においては、半導体チップ2の外周端部に相当する位置に凹部を形成することで、フィレット部7において拡がるはずの樹脂を凹部内へ導き入れることで拡がり領域を減少させることができる。このような観点からは凹部内へは樹脂が完全に充填されていない方がフィレット部の樹脂量を少なくすることができ好ましい。また、フィレット部の傾斜角度が大きくなる方が樹脂量を少なくすることができ好ましい。このような観点からは、凹部8の内側方向の端部位置P2は、半導体チップ2の外周端部位置P1よりも内側に位置されることが好ましいと言える。これにより、各部材に熱膨張率などに起因して生じる応力負荷を低減することができる。特にこのような効果は、Low-k材料が用いられるような半導体チップの実装構造体に対して有効となる。なお、このような凹部8の機能からは、凹部8は、樹脂拡がり領域制限用凹部であると言える。

30

【0046】

次に、このような半導体チップの実装構造体1の製造方法、すなわち、半導体チップ2の基板4への実装方法について、図4及び図5に示す半導体チップ2及び基板4の模式断面図を用いて以下に説明する。

40

【0047】

まず、図4に示すように、基板4において凹部8にて囲まれた実装領域に例えばシート状のアンダーフィル7を配置する。このとき、アンダーフィル7が凹部8内に入り込まないようにアンダーフィル7の配置が行われる。なお、このようなシート状のアンダーフィル7が用いられるような場合に代えて、半液状の樹脂材料が配置されるような場合であってもよい。その後、基板4の実装領域内に形成されている各々の基板電極5とパッド3とが対向するように、基板4に対する半導体チップ2の位置決めが行われた状態で、半導体チップ2がアンダーフィル7を介在させて基板4上に配置される。

50

【 0 0 4 8 】

次に、弾性材料の一例としてシリコンゴム材料により形成された押圧部 1 6 を装備する圧着ツール 1 5 を基板 4 上にアンダーフィル 7 を介在させて配置された半導体チップ 2 の上方に位置決めして配置する。その後、圧着ツール 1 5 を下降させて押圧部 1 6 を半導体チップ 2 の上面に当接させるとともに、さらに下降させることで半導体チップ 2 を基板 4 に対して押圧する。

【 0 0 4 9 】

この押圧によって付加される加圧力により、図 5 に示すように、アンダーフィル 7 は基板 4 の表面に沿って押し拡げられ、実装領域外へと拡がる。実装領域の周囲には凹部 8 が形成されているため、このように押し拡げられたアンダーフィル 7 の一部は、凹部 8 へと導かれて、実装領域外へと拡がる領域が凹部 8 により制限される。さらに、圧着ツール 1 5 に設けられている押圧部 1 6 は、シリコンゴム材料にて形成されているため、押圧とともにその形状が弾性変形して、半導体チップ 2 の周囲より回り込み、実装領域外へと拡がるようアンダーフィル 7 を制限しながら、その一部を積極的に凹部 8 内へ導くように作用する。その結果、アンダーフィル 7 の周囲に大きな傾斜角度を有するフィレット部 7 a が形成されることとなる。

【 0 0 5 0 】

一方、このような押圧により、半導体チップ 2 に形成されているバンプ 6 がアンダーフィル 7 を押し退けるようにして基板 4 の基板電極 5 と電気的に接続された状態となる。その後、圧着ツール 1 5 によりアンダーフィル 7 が加熱されることで熱硬化されて、図 1 に示すような半導体チップの実装構造体 1 が形成される。

【 0 0 5 1 】

なお、上述の製造方法の説明においては、フィレット部 7 a の形状をより確実に形成するために弾性材料により形成された押圧部 1 6 を有する圧着ツール 1 5 が用いられるような場合について説明したが、このような圧着ツールが用いられないような場合であってもよい。ただし、押圧部 1 6 を有する圧着ツール 1 5 を用いることで、例えば、半導体チップ 2 の外周端部の平面的な位置による樹脂の拡がり量のバラツキが生じるような場合であっても、弾性変形した押圧部 1 6 にて樹脂の拡がり量を積極的に制限して、拡がりのバラツキを少なくすることが可能となる。

【 0 0 5 2 】

(第 2 実施形態)

なお、本発明は上記実施形態に限定されるものではなく、その他種々の態様で実施できる。例えば、本発明の第 2 の実施形態にかかる半導体素子の実装構造体の一例である半導体チップの実装構造体 3 1 の模式断面図を図 6 に示す。なお、図 6 の半導体チップの実装構造体 3 1 において、上記第 1 実施形態の実装構造体 1 と同じ構成の部材には同じ参照番号を付してその説明を省略する。

【 0 0 5 3 】

図 6 に示すように、本第 2 実施形態の半導体チップの実装構造体 3 1 は、その凹部 3 8 の内底部 3 8 a が傾斜面として形成されている点において、上記第 1 実施形態の半導体チップの実装構造体 1 とは異なる構成を有している。以下、この異なる構成を主として説明する。

【 0 0 5 4 】

図 6 に示すように、基板 4 における半導体チップ 2 の外周端部に対向する位置 P 1 には、凹部 3 8 が形成されている。凹部 3 8 は、その内側方向の端部位置 P 2 から外側方向に向かって深くなるように傾斜された内底部 3 8 a を有している。この内底部 3 8 a は、外側方向の端部位置 P 3 にて最深部に到達するように形成されている。また、凹部 3 8 の内側方向の端部位置 P 2 は、半導体チップ 2 の外周端部位置 P 1 よりも半導体チップ 2 の中心側に配置されており、外側方向の端部位置 P 3 は半導体チップ 2 の外周端部位置 P 1 よりも外側に配置されている点においては、上記第 1 実施形態の半導体チップの実装構造体 1 と同様な配置構成を有している。

【 0 0 5 5 】

このような構成の半導体チップの実装構造体 3 1 においては、上記第 1 実施形態の半導体チップの実装構造体による効果に加えて、さらに、半導体チップ 2 を基板 4 に実装する際に、実装領域の周囲へ拡がるようとするアンダーフィル 7 を、傾斜された内底部 3 8 a にて凹部 3 8 内へ円滑に導くことができ、樹脂の流動性を良好なものすることができる。このように樹脂の流動性を良好なものとするにより、例えば、アンダーフィル 7 に対する加熱により生じるボイド（気泡）の樹脂外部への排出性を良好なものとすることができ、接合の信頼性を高めることができる。また、傾斜された内底部 3 8 a に沿って円滑に樹脂を凹部 3 8 内に導くことにより、例えば、上記第 1 実施形態の構成のように傾斜された内底部が形成されていないような場合と比して、樹脂の流れの向きを大きく変えることがないため、歪み等の発生をより少なくすることが可能となる。

10

【 0 0 5 6 】

ここで、本第 2 実施形態の変形例にかかる半導体チップの実装構造体 4 1 を図 7 の模式断面図に示し、比較例にかかる半導体チップの実装構造体 5 1、6 1 を図 8、図 9 の模式断面図に示す。

【 0 0 5 7 】

まず、図 7 の変形例にかかる半導体チップの実装構造体 4 1 は、図 6 の凹部 3 8 と同じ深さ D 1 で傾斜された内底部 4 8 a を有する凹部 4 8 が形成されているものの、凹部 4 8 の内側方向の端部位置 P 2 が、半導体チップ 2 の外周端部位置 P 1 と略一致するように凹部 4 8 が配置されている点において、図 6 の実装構造体 3 1 とは異なる構成を有している。

20

【 0 0 5 8 】

このような構成においては、図 6 の実装構造体 3 1 と同様に、熱膨張率の差により生じる負荷を、フィレット部 7 a において低減することができる。ただし、凹部 4 8 の容積が、凹部 3 8 と比して小さくなるため、アンダーフィル 7 の拡がり量が過大とならないようにすることが好ましい。

【 0 0 5 9 】

次に、図 8 の比較例にかかる半導体チップの実装構造体 5 1、及び図 9 の比較例にかかる半導体チップの実装構造体 6 1 は、図 6 の実装構造体 3 1 と凹部の配置位置を同じとしながら、その深さを深く又は浅くしたものである。

30

【 0 0 6 0 】

具体的には、図 8 の実装構造体 5 1 では、凹部 5 8 の深さ D 2 が凹部 3 8 の深さ D 1 よりも深く設定（例えば、 $D 2 = D 1 \times 2$ に設定）されている。このような構成においては、深さ D 2 の大きさや樹脂の量にもよるが、凹部 5 8 の容積が大きくなりすぎ、凹部 5 8 内に配置されているアンダーフィル 7 の熱膨張や熱収縮が半導体チップ 2 に対して応力負荷となって影響を与える可能性がある。

【 0 0 6 1 】

また、図 9 の実装構造体 6 1 では、凹部 6 8 の深さ D 3 が凹部 3 8 の深さ D 1 よりも浅く設定（例えば、 $D 3 = D 1 \times 0.5$ に設定）されている。このような構成においては、深さ D 3 の大きさや樹脂の量にもよるが、凹部 6 8 の容積が拡がる樹脂を導くためには十分ではなく、フィレット部 7 a の傾斜角度を効果的に立たせることが難しい場合がある。このような場合にあっては、各部材の熱膨張率差により生じる応力負荷を十分に低減させることができない可能性がある。

40

【 0 0 6 2 】

図 6 から図 9 のそれぞれの半導体チップの実装構造体 3 1、4 1、5 1、及び 6 1 を製作し、上記第 1 実施形態と同様の条件にて熱サイクル試験を実施した。その結果、図 6 の本第 2 実施形態にかかる半導体チップに実装構造体 3 1 では、100 個に対して不良発生個数が 0 個であった。また、図 7 の本第 2 実施形態にかかる半導体チップの実装構造体 4 1 では、100 個に対して不良発生個数が 2 ~ 4 個程度であった。これに対して、図 8 の比較例にかかる半導体チップの実装構造体 5 1 では、100 個に対して不良発生個数が 1

50

0 ~ 20個と多くなった。また、図9の比較例にかかる半導体チップの実装構造体61では、100個に対して不良発生個数が5 ~ 10個と多くなった。これらの試験結果からは、本第2実施形態の半導体チップの実装構造体では、比較例に比して十分に不良発生個数を低減可能であることが判る。

【0063】

(第3実施形態)

次に、本発明の第3の実施形態にかかる半導体チップの実装構造体71の模式断面図を図10に示す。図10に示すように、本第3実施形態の半導体チップの実装構造体71は、図6に示す上記第2実施形態の実装構造体31と同じ凹部38の配置構成を有するものの、基板4における実装領域の略中央付近に他の表面よりも隆起された隆起部79が形成されている点において、図6の構成とは相違している。

10

【0064】

図10に示すように、実装領域の略中央付近に隆起部79が形成されていることにより、隆起部79の頂部から、凹部38における傾斜された内底部38aを經由して、凹部38の最深部まで、勾配が形成されている。このような勾配は、例えば、実装領域の中央付近から放射状に形成されるような場合であってもよく、また、四方に向けて形成されるような場合であってもよい。また、このような勾配は、必ずしも連続している場合に限られず、その一部に平坦部が含まれて、いわゆるピラミッド状(あるいは階段状)に形成されるような場合であってもよい。例えば基板電極5が形成されている付近等には傾斜面を形成することが困難な場合もあるからである。

20

【0065】

このように、基板4において、実装領域の略中央付近から凹部38内にかけて、降り勾配が設けられていることにより、半導体チップ2の実装時に実装領域外へと押し広げられるアンダーフィル7の流動性を良好なものとすることができ、ボイド等を効率的に排出し、信頼性の高い接合を実現することができる。また、このような良好な流動性により、樹脂を凹部38内へ積極的かつ効果的に導くことができ、フィレット部7aの拡がり領域を有効に制限することが可能となる。なお、なお、このような隆起部79は、隆起部79が形成されていない状態のアンダーフィル7の厚さ寸法0.05mmに対して、0.015 ~ 0.025mm程度の高さ寸法に形成される。

30

【0066】

(第4実施形態)

次に、本発明の第4の実施形態にかかる半導体チップの実装構造体として、凹部の平面的な配置構成の様々な形態について説明する。本第4実施形態にかかる半導体チップの実装構造体101、111、121、及び131の模式平面図を、図11 ~ 図14に示す。なお、以下の説明においては、凹部の平面的な配置構成について行うものとし、凹部の断面的な形状については、上記第1実施形態から第3実施形態までの構成が適用される。

40

【0067】

まず、図11の半導体チップの実装構造体101においては、半導体チップ2の外周端部に沿ってその周囲全体に渡って凹部108が形成されている。このように周囲全体に渡って凹部108を形成することにより、外周端部のいずれの位置から拡がるようにアンダーフィル7を凹部108内に導き入れることで、拡がり領域を確実に制限することができる。

40

【0068】

次に、図12の半導体チップの実装構造体111においては、半導体チップ2の4つのコーナー部分及びその近傍において、凹部118を配置した構成が採用されている。一般的に、半導体チップ2におけるコーナー部分は、半導体チップ2の中心からの距離が大きくなるため、熱膨張や熱収縮による応力負荷が集中しやすい傾向にある。このような観点より、コーナー部分における応力負荷の低減を主目的とするような場合には、このような構成が有効である。

50

【0069】

また、図13の半導体チップの実装構造体121においては、半導体チップ2の外周端部に対向する位置に、部分的に凹部128が形成された構成が採用されている。すなわち、外周端部において、凹部128は連続して形成されることなく、凹部128が形成されていない部分が存在している。このような構成によれば、凹部128が形成されていない部分を配線形成位置として利用することができ、半導体チップの実装構造体全体としての設計を容易なものとするのが可能となる。なお、このように部分的に配置する凹部128は、コーナー部分を中心に設けることで応力集中しやすいコーナー部分の応力負荷を低減させることができ、辺の部分を中心に設けることでコーナー部分に比して樹脂の拡がり量が多い辺部分における樹脂の拡がり領域を積極的に制限することができる。

【0070】

次に、図14の半導体チップの実装構造体131においては、半導体チップ2の外周端部に対向する位置を含みながら、大略楕円形状を有する凹部138の配置構成が採用されている。このような凹部138の配置構成は、アンダーフィル7の実際の流動性を考慮したものであり、比較的流動性の高い辺部分における凹部138の幅寸法を大きく設定し、比較的流動性の低いコーナー部分における凹部138の幅寸法を小さく設定している。このような構成によれば、辺部分において大きく拡がるようとするアンダーフィル7を、大きな容量を有する凹部138にて確実に制限しながら、応力集中が生じやすいコーナー部分においてもアンダーフィル7の拡がりを制限することができる。また、このような構成の凹部138と、弾性材料にて形成された押圧部16を有する圧着ツール15とを組み合わせることで使用することにより、大略楕円形状のフィレット部7aを形成することができ、熱膨張率差により生じる応力負荷を全体的に低減することが可能となる。

【0071】

(第5実施形態)

次に、本発明の第5の実施形態にかかる半導体チップの実装構造体201の模式平面図を図20に示す。また、図20の半導体チップの実装構造体201のB-B線断面図を図21に示し、C-C線断面図を図22に示す。

【0072】

まず、図20の模式平面図に示すように、半導体チップの実装構造体201においては、半導体チップ2の4つのコーナー部分において、4つの凹部208を配置するとともに、コーナー部分の間の辺部分にも2つの凹部218が配置された構成が採用されている。

【0073】

ここで、半導体チップの実装構造体201における辺部分の断面図(B-B線断面図)である図21と、コーナー部分の断面図(C-C線断面図)である図22に示すように、コーナー部分に形成されている凹部208の内底面208aの深さD11は、辺部分に形成されている凹部218の内底面218aの深さD12よりも深くなっている。このように凹部208および218の深さが互いに異なっていることにより、コーナー部分の凹部208の内底面208aの傾斜角度1を、辺部分の凹部218の内底面218aの傾斜角度2よりも大きくすることができる。

【0074】

このような構成を有する本第5実施形態の半導体チップの実装構造体201においては、アンダーフィル7の実際の流動性を考慮して、比較的流動性の高い辺部分における凹部218の内底面218aの傾斜角度2を緩やかに形成して、凹部218へのアンダーフィル7の流動量を制限するとともに、比較的流動性の低いコーナー部分における凹部208の内底面208aの傾斜角度1の傾斜角度を大きくして、アンダーフィル7の流動を凹部208に導き易くすることができ、半導体チップの実装構造体201全体においてアンダーフィル7による確実な封止を実現することができる。

【0075】

さらに、コーナー部分の凹部208の深さD11を、辺部分の凹部218の深さD12よりも大きくなるように構成することで、コーナー部分に形成されるフィレット部7aの傾斜角度3を、辺部分に形成されるフィレット部7aの傾斜角度4よりも大きくする

10

20

30

40

50

ことができる。このように応力集中が生じやすいコーナー部分においてフィレット部 7 a の傾斜角度 3 を比較的大きくすることにより、熱膨張率差等により生じる応力負荷を低減することができる。

【0076】

なお、図 20 に示す半導体チップの実装構造体 201 では、コーナー部分の凹部 208 の内側端部が半導体チップ 2 のコーナー部分の形状に沿って形成されている場合について説明したが、本発明はこのような場合についてのみ限定されるものではない。このような場合に代えて、例えば、図 23 の変形例にかかる半導体チップの実装構造体 251 の模式平面図に示すように、コーナー部分の内側領域にまで凹部 258 の内底面が延在するような構成を採用することもできる。特に、コーナー部分の内側領域には、パッド 3 等が形成されない場合が多いため、このような構成を採用することにより、内側領域を有効に活用することができる。

10

【0077】

なお、上記様々な実施形態のうちの任意の実施形態を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

【0078】

本発明の半導体チップの実装構造は、半導体チップの外周端部に相当する基板表面に位置に実装領域から拡がろうとする樹脂を導き入れる凹部を設けることにより、樹脂の拡がり領域の拡大を抑制することができ、実装時の加熱、冷却処理によって生じる各部材の熱膨張、収縮差および実装後の機械的な負荷に対する基板のたわみによる半導体チップに発生する応力負荷を軽減し、チップ内部の破壊を回避することができる。

20

【0079】

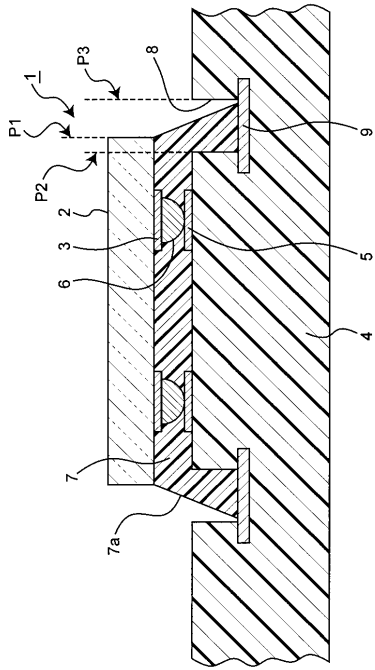
本発明は、添付図面を参照しながら好ましい実施形態に関連して十分に記載されているが、この技術の熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

【0080】

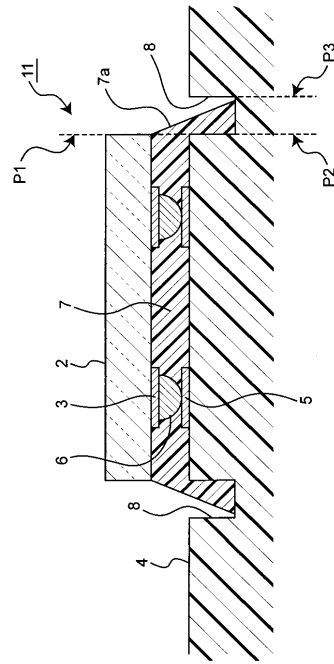
2006年12月26日に出願された日本国特許出願 No. 2006-349511号の明細書、図面、及び特許請求の範囲の開示内容は、全体として参照されて本明細書の中に取り入れられるものである。

30

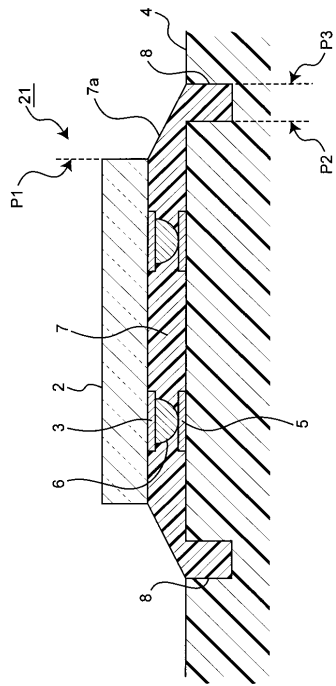
【 図 1 】



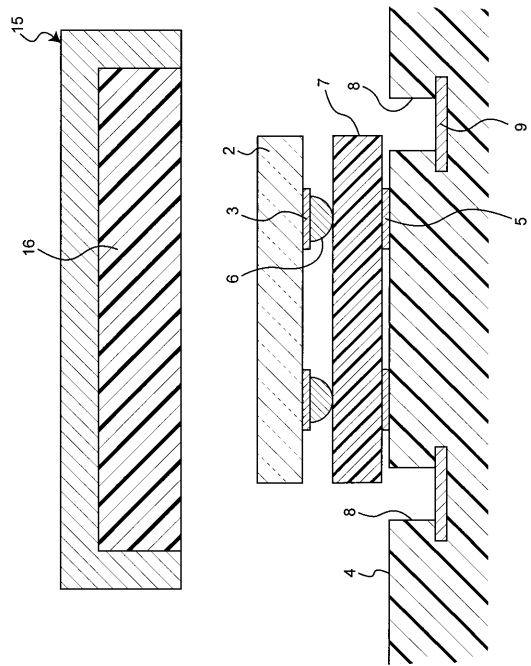
【 図 2 】



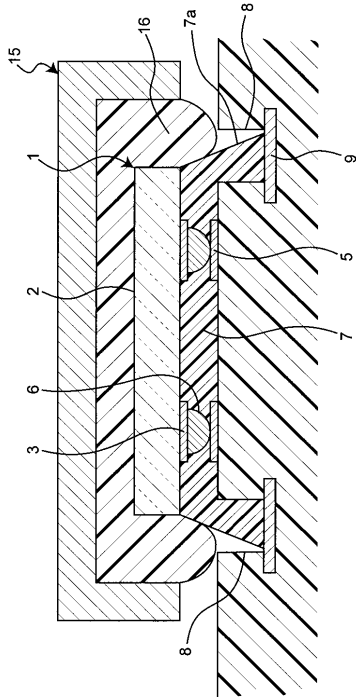
【 図 3 】



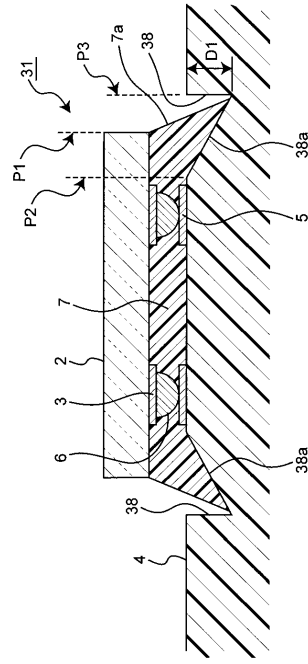
【 図 4 】



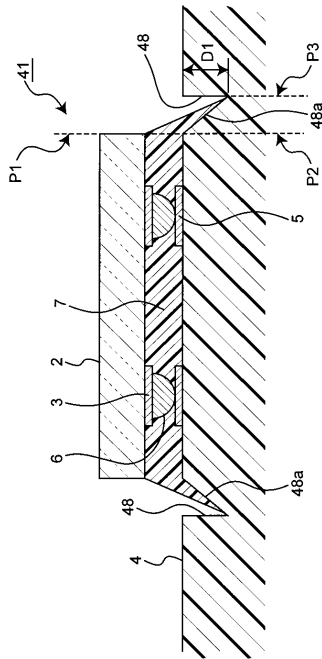
【 図 5 】



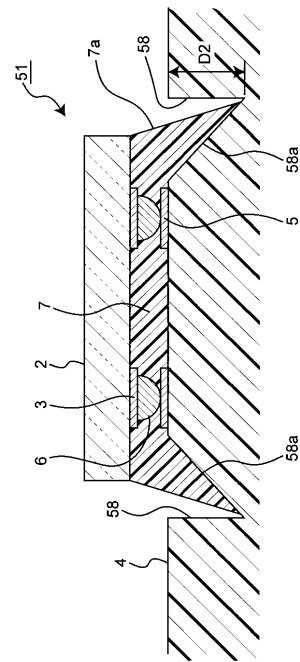
【 図 6 】



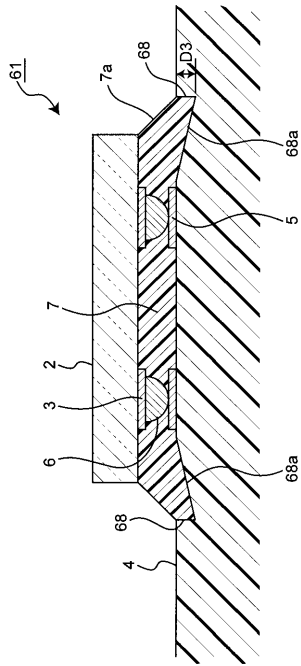
【 図 7 】



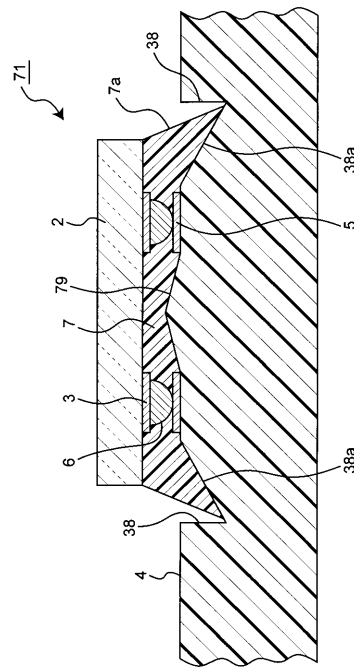
【 図 8 】



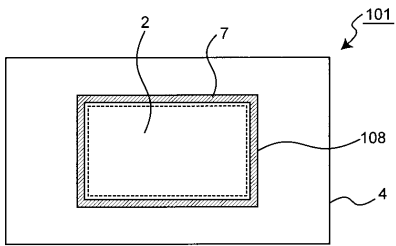
【 図 9 】



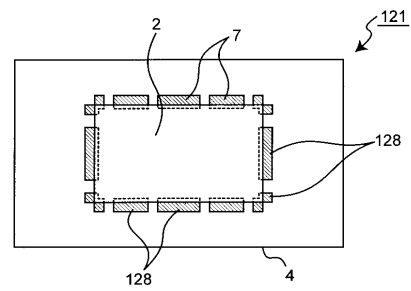
【 図 10 】



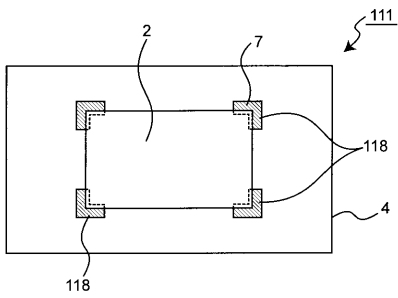
【 図 11 】



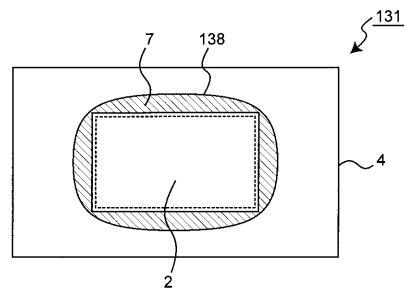
【 図 13 】



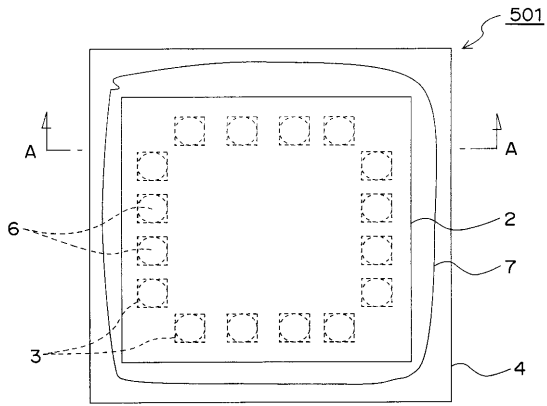
【 図 12 】



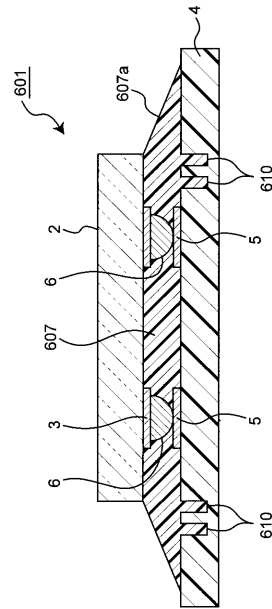
【 図 14 】



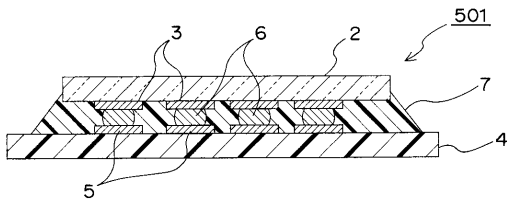
【 図 1 5 】



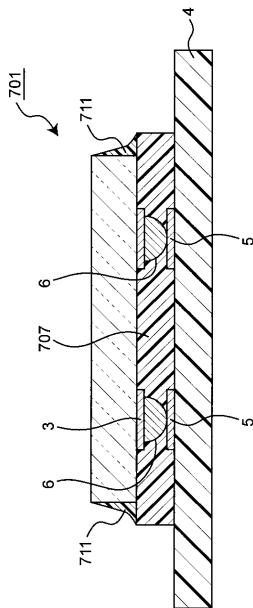
【 図 1 7 】



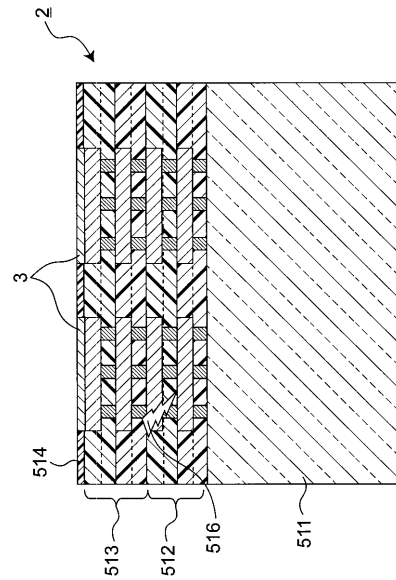
【 図 1 6 】



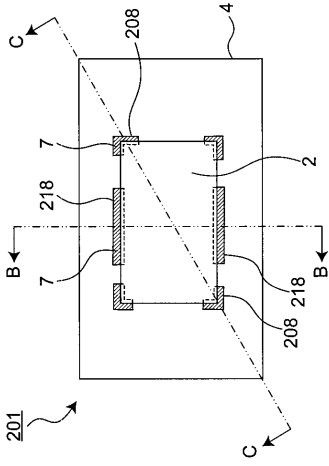
【 図 1 8 】



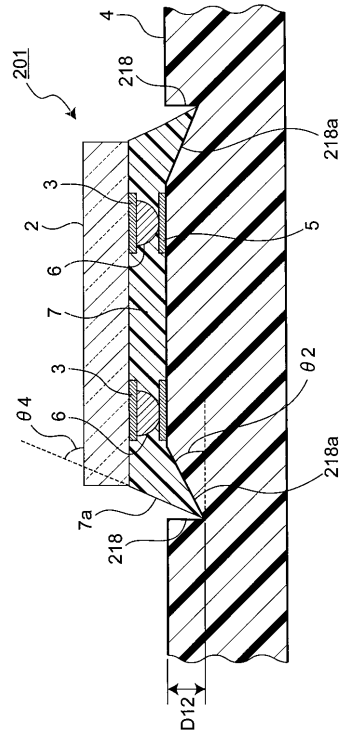
【 図 1 9 】



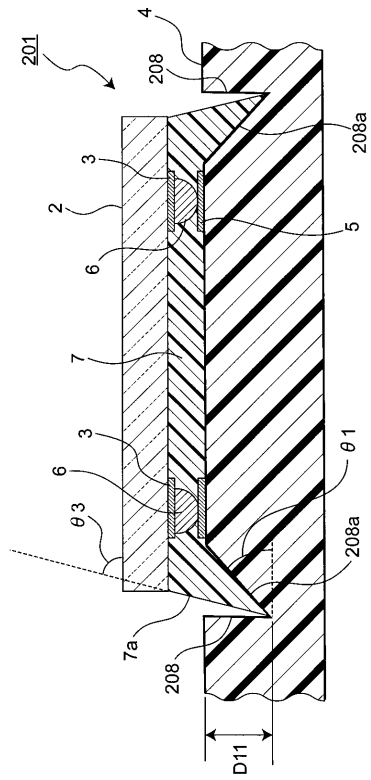
【 20 】



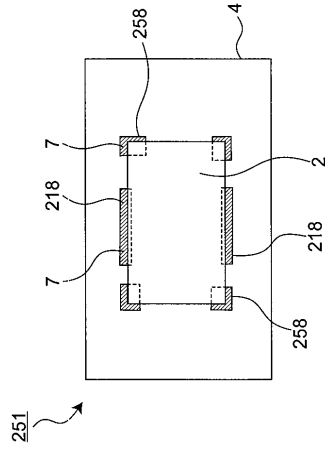
【 21 】



【 22 】



【 23 】



【手続補正書】

【提出日】平成21年6月22日(2009.6.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の素子電極と基板の基板電極とを突起電極を介して接続するとともに、上記半導体素子と上記基板との間に封止接着用樹脂を配置して、上記半導体素子が上記基板に実装された半導体素子の実装構造体及び半導体素子の実装方法に関する。

【背景技術】

【0002】

電子部品として従来の半導体パッケージに比較して実装面積を大幅に縮小できるベアチップ実装が利用される中で、基板の回路形成面に半導体チップ(半導体素子)の回路形成面を対向させ、金などの金属で形成されるバンプ(突起電極)を介して重ね合わせることで導通を得るフェイスダウン実装は、基板の回路形成面と半導体チップの回路形成面の反対側の面を対向させ、ワイヤボンディングによって金属細線を引き出すことで両端子を接続するフェイスアップ実装と比較して、半導体チップおよびその実装構造体全体のさらなる小型化が可能であり、幅広く利用されている。

【0003】

ここで、このような従来の半導体チップの実装構造体501の模式平面図を図15に示し、図15の実装構造体501におけるA-A線断面図を図16に示す。図15及び図16に示すように、略形状の形状を有する半導体チップ2の下面側である回路形成面には、複数の素子電極であるパッド3が形成されており、基板4の上面側である回路形成面には複数の基板電極5が形成されている。それぞれのパッド3と基板電極5は、パッド3上に個別に形成された突起電極であるバンプ6を介して個別に電氣的に接続されている。また、半導体チップ2と基板4との間には、封止接着用の絶縁性樹脂として、アンダーフィル7が充填配置されており、これにより、それぞれのパッド3、基板電極5、及びバンプ6が封止された状態にて、半導体チップ2と基板4とが接着された実装構造体が形成されている。

【0004】

このような実装構造体は、例えば、半導体チップ2のそれぞれのパッド3上に形成されたバンプ6と、その表面にシート状のアンダーフィル7が貼り付けされた基板4とを対向させた後、アンダーフィル7を介して半導体チップ2を基板4に押し付けるといいうわゆるシート工法を実施することで形成される。特に、このような従来のシート工法においては、半導体チップ2と基板4との間へのアンダーフィル7の充填配置と、半導体チップ2のパッド3と基板4の基板電極5とのバンプ6を介した電氣的接続を同時に行うことができ、工程の簡略化及び短時間化の観点で有効とされ、幅広く利用されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-188362号公報

【特許文献2】特開2002-134558号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

近年、半導体パッケージの小型、低コスト化を目的としたチップ内部配線の微細化を目

的とした、チップ内部の絶縁材料の低誘電率化が進められている。このような低誘電率な樹脂材料（以下、「Low-k材料」とする。）に関しては、誘電率の低下とともにその機械的強度の脆弱化も進行し、半導体チップの実装工程において、Low-k材料の脆弱性が原因となった半導体チップの内部破壊が懸念されている。

【0007】

ここで、Low-k材料について、図19に示す半導体チップの模式断面図を用いて説明する。図19に示すように、半導体チップ2は、シリコン(Si)層511と、シリコン層511上にLow-k材料にて形成されたLow-k層512と、Low-k層512上に形成され、主に配線が形成される配線層513と、配線層513上にSiO₂またはSiN_xにて形成された絶縁層514とを備えている。なお、Low-k層512および配線層513は、例えば複数の薄膜層が積層されて形成されている。また、絶縁層514の表面には複数のパッド3が露出するように配置されており、それぞれのパッド3とシリコン層511とを電氣的に接続する複数のビア電極515が、Low-k層512および配線層513を貫通するように形成されている。このようなLow-k層512は、半導体チップ2の本体部分であるシリコン層511と比してその厚さが薄い薄膜として形成されており、上述したようにその誘電率の低下とともに機械的強度が他の層と比して脆弱であるという特徴を有している。このようなLow-k層512の機械的強度の脆弱性に起因して、例えば、Low-k層512にクラック516が生じる、あるいはLow-k層512において界面剥離が生じるなどによる半導体チップの内部破壊が懸念されている。

【0008】

一般に、半導体チップの熱膨張係数はアンダーフィルや基板の熱膨張係数と比べ極端に小さく、実装時の加熱処理及び冷却処理によって生じる各部材の熱膨張差や熱収縮差によって半導体チップの各部分、特に形状の半導体チップのコーナー部分には大きな引張負荷が発生する。例えば、半導体チップの熱膨張率を仮に1とすると、アンダーフィルの熱膨張率は40～50ppm、基板の熱膨張率は5～20ppmである。また、半導体チップの実装工程においては、例えば半導体チップが実装された後の基板の割断工程、すなわち多面取り基板の割断工程や、基板の裏面へのはんだボール付け工程などを実施する際に生じる機械的な負荷により基板がたわみ、半導体チップへの負荷がさらに大きなものとなる。

【0009】

これらの負荷を軽減するために、例えば特許文献1では、図17の模式説明図に示すように、半導体素子の実装構造体601において、半導体素子2の周囲に形成される充填剤(アンダーフィル)607のフィレット部(裾拡がり部)607aの下部に位置する基板4の表面に溝部610を形成し、この溝部610内にまで充填剤607が充填される、すなわち溝部610を充填剤で満たすような構成が採用されている。このような構成においては、溝部610内に充填された充填剤607が、アンカーとして作用することにより充填剤607と基板4との接着強度を高めている。すなわち、半導体素子の外周端部を、充填剤を介して基板4にてしっかりと保持させる構造が採られている。

【0010】

また、例えば特許文献2では、図18に示すように、半導体素子の実装構造体701において、半導体素子2のコーナー部の側面とアンダーフィル707との間に補強部材(樹脂)711を設けることで、作用される応力をこの補強部材711により分散させるような構成が採用されている。

【0011】

しかしながら、特許文献1の半導体素子の実装構造体601では、充填剤607と基板4との接合力を高めるために半導体素子2の実装領域の周囲に形成された溝部610内に確実に充填剤607が充填される構造が採用されているため、フィレット部607aに配置される充填剤607の量が多くなり、フィレット部607aの拡がり領域は拡大される傾向にある。そのため、各部材の熱膨張差や熱収縮差による引張負荷を十分に低減させる

ことは困難となり、特に薄型化された半導体素子に対しては応力負荷（引張負荷）が加わって、剥離による素子破壊が生じる場合がある。ここで、剥離とは、半導体素子においてアンダーフィル（樹脂あるいは充填剤）と接触している部分が、半導体素子本体より別れて分離してしまう現象である。

【0012】

また、特許文献2の半導体素子の実装構造体701では、応力緩和のため、2種類の樹脂を用いているため、その製造工程が複雑になる。さらに、薄型化された半導体素子2に対しては、補強部材711を配置することが困難であるという問題もある。

【0013】

従って、本発明の目的は、上記問題を解決することによって、半導体素子の素子電極と基板の基板電極とを突起電極を介して接続するとともに、上記半導体素子と上記基板との間に封止接着用樹脂を配置して、上記半導体素子が上記基板に実装された半導体素子の実装構造体及びその実装方法において、実装時の加熱処理や冷却処理によって生じる各部材の熱膨張差及び熱収縮差、並びに実装後の機械的な負荷に対する基板のたわみによる半導体素子の周辺部分に発生する負荷を軽減し、半導体素子の実装構造体の内部破壊を回避することができる半導体素子の実装構造体及び半導体素子の実装方法を提供することにある。

【課題を解決するための手段】

【0014】

上記目的を達成するために、本発明は以下のように構成する。

【0015】

本発明の第1態様によれば、複数の素子電極を有する半導体素子と、複数の基板電極を有する基板と、上記それぞれの素子電極と基板電極とを接続する複数の突起電極と、上記それぞれの素子電極、基板電極、及び突起電極を封止するとともに、上記半導体素子と上記基板とを接着させるように、上記半導体素子と上記基板との間に配置された封止接着用樹脂と、上記基板の電極形成面において、上記半導体素子の外周端部に対向する位置に形成され、その内側の一部に上記封止接着用樹脂が配置された凹部とを備える、半導体素子の実装構造体を提供する。

【0016】

本発明の第2態様によれば、上記基板に形成された上記凹部は、その内側に上記樹脂を配置させることで、上記基板における上記半導体素子との対向領域外への上記樹脂の拡がり領域を制限する樹脂拡がり領域制限用凹部である、第1態様に記載の半導体素子の実装構造体を提供する。

【0017】

本発明の第3態様によれば、上記凹部は、上記基板における上記半導体素子との対向領域の外周端部よりも内側の領域を含んで形成されている、第1態様に記載の半導体素子の実装構造体を提供する。

【0018】

本発明の第4態様によれば、上記凹部は、上記基板における上記半導体素子との対向領域の周囲に向けて深くなるように傾斜された内底部を有する、第1態様に記載の半導体素子の実装構造体を提供する。

【0019】

本発明の第5態様によれば、上記基板における上記半導体素子との対向領域の中心に上記凹部の開口端部よりも隆起された隆起部が形成され、上記隆起部より上記凹部の内底部にかけて降り勾配が設けられている、第1態様に記載の半導体素子の実装構造体を提供する。

【0020】

本発明の第6態様によれば、略方形状の形状を有する上記半導体素子の角部に対向する

位置に形成される上記凹部は、その他の位置に形成される上記凹部よりもその内側の容積が小さくなるように形成されている、第1態様から第5態様のいずれか1つに記載の半導体素子の実装構造体を提供する。

【0021】

本発明の第7態様によれば、上記基板における上記半導体素子との対向領域の外周端部において、複数の上記凹部が形成されている、第1態様から第5態様のいずれか1つに記載の半導体素子の実装構造体を提供する。

【0022】

本発明の第8態様によれば、上記基板における上記半導体素子との対向領域の外周端部の全周に渡って、上記凹部が連続して形成されている、第1態様から第5態様のいずれか1つに記載の半導体素子の実装構造体を提供する。

【0023】

本発明の第9態様によれば、略形状の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部よりも深い内底部を有するように形成されている、第1態様から第5態様のいずれか1つに記載の半導体素子の実装構造体を提供する。

【0024】

本発明の第10態様によれば、略形状の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部の上記内底部の傾斜角度よりも大きな傾斜角度を有する上記内底部を有するように形成されている、第4態様に記載の半導体素子の実装構造体を提供する。

【0025】

本発明の第11態様によれば、半導体素子の実装領域の外周端部に凹部が形成された基板における上記実装領域上に、封止接着用樹脂を配置し、

上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧して、上記半導体素子のそれぞれの素子電極と上記基板のそれぞれの基板電極とを、それぞれの突起電極を介して接続するとともに、上記実装領域外へ広がる上記封止接着用樹脂の一部を上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら、上記それぞれの素子電極、基板電極、及び突起電極を上記樹脂により封止し、

その後、上記封止接着用樹脂を加熱して硬化させて、上記半導体素子を上記基板に実装することを特徴とする半導体素子の実装方法を提供する。

【0026】

本発明の第12態様によれば、上記封止接着用樹脂による封止は、弾性材料にて形成された押圧部を有する圧着ツールを用いて、上記押圧部により上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧するとともに、上記実装領域外へ広がる上記封止接着用樹脂を上記押圧部により押圧して上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら行う、第11態様に記載の半導体素子の実装方法を提供する。

【発明の効果】

【0027】

本発明によれば、半導体素子の実装構造体において、半導体素子の外周端部に対向する位置における基板表面に、その内側の一部に封止接着用樹脂が配置された凹部が形成されているため、封止接着用樹脂におけるフィレット部分（裾広がり部分）の配置領域の拡大を抑制しながら、その傾斜角度を大きくすることができる。すなわち、半導体素子を、樹脂を介して基板に実装する際に付加される押圧力により、基板と半導体素子との対向領域の周囲外側へと樹脂が拡がってフィレット部分が形成されることになるが、この際に樹脂の一部を凹部内へと導き入れることにより、樹脂の広がり領域を減少させるとともに、フィレット部分の傾斜角度を大きくすることができる。このようにフィレット部分の拡がり領域の面積を減少させてその傾斜角度を大きくすることにより、実装時の加熱処理や冷却処理によって生じる各部材の熱膨張差及び熱収縮差、並びに実装後の機械的な負荷に対する基板のたわみによる半導体素子の周辺部分に発生する負荷を軽減し、半導体素子の実装

構造体の内部破壊を回避することができる。

【図面の簡単な説明】

【0028】

本発明のこれらと他の目的と特徴は、添付された図面についての好ましい実施形態に関連した次の記述から明らかになる。

【図1】図1は、本発明の第1実施形態にかかる半導体チップの実装構造体の模式断面図である。

【図2】図2は、上記第1実施形態の変形例にかかる半導体チップの実装構造体の模式断面図である。

【図3】図3は、上記第1実施形態に対する比較例にかかる半導体チップの実装構造体の模式断面図である。

【図4】図4は、図1の半導体チップの実装構造体の製造方法を示す模式説明図であり、圧着ツールにより押圧が行われる直前の状態を示す図である。

【図5】図5は、図1の半導体チップの実装構造体の製造方法を示す模式断面図であり、圧着ツールにより押圧が行われている状態を示す図である。

【図6】図6は、本発明の第2実施形態にかかる半導体チップの実装構造体の模式断面図である。

【図7】図7は、上記第2実施形態の変形例にかかる半導体チップの実装構造体の模式断面図である。

【図8】図8は、上記第2実施形態に対する比較例にかかる半導体チップの実装構造体の模式断面図である。

【図9】図9は、上記第2実施形態に対する別の比較例にかかる半導体チップの実装構造体の模式断面図である。

【図10】図10は、本発明の第3実施形態にかかる半導体チップの実装構造体の模式断面図である。

【図11】図11は、本発明の第4実施形態にかかる半導体チップの実装構造体の模式平面図である。

【図12】図12は、本発明の第4実施形態にかかる別の半導体チップの実装構造体の模式平面図である。

【図13】図13は、本発明の第4実施形態にかかる別の半導体チップの実装構造体の模式平面図である。

【図14】図14は、本発明の第4実施形態にかかる別の半導体チップの実装構造体の模式平面図である。

【図15】図15は、従来の半導体チップの実装構造体の模式平面図である。

【図16】図16は、図15の半導体チップの実装構造体におけるA-A線模式断面図である。

【図17】図17は、従来の別の半導体チップの実装構造体の模式断面図である。

【図18】図18は、従来のさらに別の半導体チップの実装構造体の模式断面図である。

【図19】図19は、従来の半導体チップの模式断面図である。

【図20】図20は、本発明の第5実施形態にかかる半導体チップの実装構造体の模式平面図である。

【図21】図21は、図20の半導体チップの実装構造体におけるB-B線模式断面図である。

【図22】図22は、図20の半導体チップの実装構造体におけるC-C線模式断面図である。

【図23】図23は、第5実施形態の変形例にかかる半導体チップの実装構造体の模式平面図である。

【発明を実施するための形態】

【0029】

本発明の記述を続ける前に、添付図面において同じ部品については同じ参照符号を付し

ている。

【0030】

以下に、本発明にかかる実施の形態を図面に基づいて詳細に説明する。

【0031】

(第1実施形態)

本発明の第1の実施形態にかかる半導体素子の実装構造体の一例である半導体チップの実装構造体1の模式断面図を図1に示す。

【0032】

図1に示すように、本第1実施形態の半導体チップの実装構造体1においては、基板4の上に封止接着用樹脂の一例であるシート状のアンダーフィル7が配置され、このアンダーフィル7を介して半導体チップ2が実装されている。半導体チップ2の図示下面側である回路形成面には、素子電極の一例である複数のパッド3が形成されており、これらのパッド3の形成位置に対応するように基板4の図示上面側である回路形成面(電極形成面)には、複数の基板電極5が形成されており、それぞれのパッド3がそれぞれの基板電極5に突起電極の一例であるバンプ6を介して個別に電氣的に接続されている。なお、バンプ6は、主にAuにて形成されており、僅かに潰れるように変形された状態にて基板電極5とパッド3との間に介在している。また、アンダーフィル7は、絶縁性樹脂材料により形成されており、互いに電氣的に接続された状態のそれぞれのパッド3、基板電極5、及びバンプ6を完全に覆って封止するとともに、これらの接続状態を維持するように、半導体チップ2と基板4との間に介在して両者を接着している。このような状態にて、半導体チップ2が基板4に実装されて、半導体チップの実装構造体1、すなわち半導体パッケージ部品が構成されている。

【0033】

また、半導体チップ2はその平面的な形状が略方形状となっており、半導体チップ2の方形状の外周端部に対向する基板4上の位置P1、すなわち基板4上において半導体チップ2が実装される実装領域(半導体チップ2が基板表面に投影された領域、あるいは基板4と半導体チップ2との対向領域)の外周端部位置P1には、その周囲表面よりも一段掘り下げられるように構成された凹部(あるいは溝部)8が形成されている。この凹部8は、半導体チップ2の外周端部と対向する位置P1がその内側に位置されるように形成されている。すなわち、図1に示すように、半導体チップ2の中心を基準とした凹部8の外側方向の端部位置P3と内側方向の端部位置P2との間に、半導体チップ2の外周端部に対向する位置P1が位置されるように、凹部8の形成位置が決められている。

【0034】

また、図1に示すように、凹部8内には、アンダーフィル7の外周側に形成されるフィレット部(裾広がり部)7aにおける樹脂の一部が、その内側に配置された状態とされている。ただし、凹部8内には樹脂が完全に充填された状態ではなく、内側の一部にのみ樹脂が配置された状態とされている。このように、フィレット部7aにおける樹脂の一部が凹部8内に配置されていることで、凹部8が形成されていない場合に比して、フィレット部7aの拡がり領域が縮小する方向に制限されるとともに、フィレット部7aの傾斜角度がより立っている状態、すなわち基板4の表面に対する角度がより大きくされた状態となっている。

【0035】

基板4は、例えばガラスエポキシ樹脂材料により形成されており、パッド3及び基板電極5は銅により形成されている。なお、パッド3や基板電極5は、NiやAuメッキ、あるいはAlにより形成することもできる。また、アンダーフィル7は絶縁性樹脂材料として、例えば熱硬化性を有するエポキシ樹脂材料により形成されている。なお、基板4としては、その他に、セラミック基板、樹脂基板、樹脂シート基板等が用いられるような場合であってもよい。また、アンダーフィル7はシート状のものを基板4上に配置することにより形成されるが、このような場合に代えて、半液状の樹脂材料を基板4上に塗布等によって配置することで形成することもできる。

【 0 0 3 6 】

凹部 8 は、例えば、レーザー加工等の手段により形成される。このようなレーザー加工手段が用いられるような場合にあっては、図 1 に示すように、予め基板 4 の内部にレーザー加工を停止させるための停止層 9 を設けておくことで、所望の深さの凹部 8 をより容易に形成することが可能となる。このような停止層 9 は、例えば銅層を用いることができる。なお、基板 4 として樹脂成形基板が用いられるような場合にあっては、レーザー加工ではなく、型で凹部 8 が形成される。このような凹部 8 の形成方法は、基板 4 に用いられる材料の種類や基板の形状などを考慮して決定することが好ましい。

【 0 0 3 7 】

このような半導体チップの実装構造体 1 においては、例えば、半導体チップ 2 の厚さ寸法が 0.15 mm、アンダーフィル 7 の厚さ寸法（基板と半導体チップとの間の距離）が 0.05 mm、基板 4 の厚さ寸法が 0.30 mm、凹部 8 の深さ寸法が 0.10 mm となっている。また、凹部 8 の幅寸法（図 1 における P 2 P 3 間の距離）が 0.45 mm、凹部 8 の内側方向の端部位置 P 2 と、半導体チップ 2 の外周端部位置 P 1 との間の距離が 0.15 mm、凹部 8 の外側方向の端部位置 P 3 と、半導体チップ 2 の外周端部位置 P 1 との間の距離が 0.3 mm となっている。なお、凹部 8 の外側方向の端部位置 P 3 は、半導体チップ 2 の外周端部位置 P 1 より離れすぎることが好ましくなく、例えば、P 1 P 3 間の距離は、0.5 mm 以下となるように凹部 8 を形成することが好ましい。また、凹部 8 の内側方向の端部位置 P 2 が、基板電極 5 の形成位置に達しないように凹部 8 を形成することが好ましい。

【 0 0 3 8 】

ここで、本第 1 実施形態の変形例にかかる半導体チップの実装構造体 1 1 の模式断面図を図 2 に示し、さらに本第 1 実施形態の比較例にかかる半導体チップの実装構造体 2 1 の模式断面図を図 3 に示す。なお、図 2 及び図 3 の半導体チップの実装構造体 1 1、2 1 において、図 1 の実装構造体 1 と同じ構成を有する部材には同じ参照番号を付してその説明を省略する。

【 0 0 3 9 】

まず、図 2 に示す変形例にかかる半導体チップの実装構造体 1 1 においては、凹部 8 の内側方向の端部位置 P 2 が半導体チップ 2 の外周端部位置 P 1 と略一致するように、凹部 8 が形成されている。なお、凹部 8 内は、アンダーフィル 7 により完全に充填されることなく、一部だけ配置されている点においては、図 1 の実装構造体 1 と同様な構成を有している。このような構成では、フィレット部 7 a の拡がり領域は、図 1 の実装構造体 1 と比べると僅かに拡大する傾向にあるものの、凹部が形成されていない構造と比べれば、拡がり領域を縮小させる方向に制限することができるという効果は有しており、さらにフィレット部 7 a の傾斜角度を立たせた状態とすることができる。

【 0 0 4 0 】

これに対して、図 3 の比較例にかかる半導体チップの実装構造体 2 1 においては、半導体チップ 2 の外周端部位置 P 1 よりも外側に離れるように凹部 8 が形成された構造を有している。さらに凹部 8 内は、アンダーフィル 7 により略完全に充填されている。このような構造の半導体チップの実装構造体 2 1 では、フィレット部 7 a の拡がり領域の拡大を制限することができない。すなわち、拡がろうとするフィレット部 7 a が凹部 8 に到達して始めてその拡がり領域の拡大を制限することができるが、半導体チップ 2 の外周端部位置より大きく離れて凹部 8 が形成されているような構成では、その拡大を制限することができない。その結果、フィレット部 7 a の傾斜角度はより小さくなり寝かされた状態にて形成されることになる。

【 0 0 4 1 】

図 1 及び図 2 の本第 1 実施形態の半導体チップの実装構造体 1、及び 1 1、並びに図 3 の比較例の半導体チップの実装構造体 2 1 のそれぞれを製作し、所定の条件にて熱サイクル試験を行った。具体的には、各々の実装構造体を 100 個ずつ製作し、これら 100 個の実装構造体に対して、相対湿度 80% 以下の雰囲気中にて、0 から 80 までの温度

変化のサイクルを500回繰り返した。その後、各々の実装構造体における電気接続状態、及び導通が取れるかどうかの確認を行い、熱サイクル付加による半導体チップの実装構造体における剥離や内部破壊による不良発生個数の測定を行った。また、このような熱サイクル試験を複数セット実施した。

【0042】

その結果、図1の本第1実施形態にかかる半導体チップの実装構造体1では、100個に対して不良発生個数が0~1個程度であった。また、図2の本第1実施形態にかかる半導体チップの実装構造体11では、100個に対して不良発生個数が1~2個程度であった。これに対して、図3の比較例にかかる半導体チップの実装構造体21では、100個に対して不良発生個数が10~20個と多くなった。これらの試験結果からは、本第1実施形態の半導体チップの実装構造体では、比較例に比して十分に不良発生個数を低減可能であることが判る。

【0043】

図1及び図2の本第1実施形態の半導体チップの実装構造体1、11では、凹部8が半導体チップ2の外周端部位置P1に位置されるように形成されているため、フィレット部7aにおける樹脂の量、すなわち基板4上に配置されるフィレット部7aの樹脂量を少なくすることができる。従って、熱膨張率差により生じる応力負荷を低減することができ、熱サイクルが繰り返し付加されるような場合であっても、不良発生数を少なくすることができる。

【0044】

これに対して、図3の比較例の半導体チップの実装構造体21では、凹部8の形成位置が半導体チップ2の外周端部よりも大きく離れているため、結果としてフィレット部7aにおける樹脂量が多くなっている。従って、応力負荷を低減することができず、繰り返し熱サイクルが付加されることにより不良が発生しやすくなる。

【0045】

このように本第1実施形態の半導体チップの実装構造体においては、半導体チップ2の外周端部に相当する位置に凹部を形成することで、フィレット部7において拡がるはずの樹脂を凹部内へ導き入れることで拡がり領域を減少させることができる。このような観点からは凹部内へは樹脂が完全に充填されていない方がフィレット部の樹脂量を少なくすることができ好ましい。また、フィレット部の傾斜角度が大きくなる方が樹脂量を少なくすることができ好ましい。このような観点からは、凹部8の内側方向の端部位置P2は、半導体チップ2の外周端部位置P1よりも内側に位置されることが好ましいと言える。これにより、各部材に熱膨張差などに起因して生じる応力負荷を低減することができる。特にこのような効果は、Low-k材料が用いられるような半導体チップの実装構造体に対して有効となる。なお、このような凹部8の機能からは、凹部8は、樹脂拡がり領域制限用凹部であると言える。

【0046】

次に、このような半導体チップの実装構造体1の製造方法、すなわち、半導体チップ2の基板4への実装方法について、図4及び図5に示す半導体チップ2及び基板4の模式断面図を用いて以下に説明する。

【0047】

まず、図4に示すように、基板4において凹部8にて囲まれた実装領域に例えばシート状のアンダーフィル7を配置する。このとき、アンダーフィル7が凹部8内に入り込まないようにアンダーフィル7の配置が行われる。なお、このようなシート状のアンダーフィル7が用いられるような場合に代えて、半液状の樹脂材料が配置されるような場合であってもよい。その後、基板4の実装領域内に形成されている各々の基板電極5とパッド3とが対向するように、基板4に対する半導体チップ2の位置決めが行われた状態で、半導体チップ2がアンダーフィル7を介在させて基板4上に配置される。

【0048】

次に、弾性材料の一例としてシリコーンゴム材料により形成された押圧部16を装備す

る圧着ツール15を基板4上にアンダーフィル7を介在させて配置された半導体チップ2の上方に位置決めして配置する。その後、圧着ツール15を下降させて押圧部16を半導体チップ2の上面に当接させるとともに、さらに下降させることで半導体チップ2を基板4に対して押圧する。

【0049】

この押圧によって付加される加圧力により、図5に示すように、アンダーフィル7は基板4の表面に沿って押し拡げられ、実装領域外へと拡がる。実装領域の周囲には凹部8が形成されているため、このように押し拡げられたアンダーフィル7の一部は、凹部8へと導かれて、実装領域外へと拡がる領域が凹部8により制限される。さらに、圧着ツール15に設けられている押圧部16は、シリコンゴム材料にて形成されているため、押圧とともにその形状が弾性変形して、半導体チップ2の周囲より回り込み、実装領域外へと拡がるようとするアンダーフィル7を制限しながら、その一部を積極的に凹部8内へ導くように作用する。その結果、アンダーフィル7の周囲に大きな傾斜角度を有するフィレット部7aが形成されることとなる。

【0050】

一方、このような押圧により、半導体チップ2に形成されているパンプ6がアンダーフィル7を押し退けるようにして基板4の基板電極5と電氣的に接続された状態となる。その後、圧着ツール15によりアンダーフィル7が加熱されることで熱硬化されて、図1に示すような半導体チップの実装構造体1が形成される。

【0051】

なお、上述の製造方法の説明においては、フィレット部7aの形状をより確実に形成するために弾性材料により形成された押圧部16を有する圧着ツール15が用いられるような場合について説明したが、このような圧着ツールが用いられないような場合であってもよい。ただし、押圧部16を有する圧着ツール15を用いることで、例えば、半導体チップ2の外周端部の平面的な位置による樹脂の拡がり量のバラツキが生じるような場合であっても、弾性変形した押圧部16にて樹脂の拡がり量を積極的に制限して、拡がりのバラツキを少なくすることが可能となる。

【0052】

(第2実施形態)

なお、本発明は上記実施形態に限定されるものではなく、その他種々の態様で実施できる。例えば、本発明の第2の実施形態にかかる半導体素子の実装構造体の一例である半導体チップの実装構造体31の模式断面図を図6に示す。なお、図6の半導体チップの実装構造体31において、上記第1実施形態の実装構造体1と同じ構成の部材には同じ参照番号を付してその説明を省略する。

【0053】

図6に示すように、本第2実施形態の半導体チップの実装構造体31は、その凹部38の内底部38aが傾斜面として形成されている点において、上記第1実施形態の半導体チップの実装構造体1とは異なる構成を有している。以下、この異なる構成を主として説明する。

【0054】

図6に示すように、基板4における半導体チップ2の外周端部に対向する位置P1には、凹部38が形成されている。凹部38は、その内側方向の端部位置P2から外側方向に向かって深くなるように傾斜された内底部38aを有している。この内底部38aは、外側方向の端部位置P3にて最深部に到達するように形成されている。また、凹部38の内側方向の端部位置P2は、半導体チップ2の外周端部位置P1よりも半導体チップ2の中心側に配置されており、外側方向の端部位置P3は半導体チップ2の外周端部位置P1よりも外側に配置されている点においては、上記第1実施形態の半導体チップの実装構造体1と同様な配置構成を有している。

【0055】

このような構成の半導体チップの実装構造体31においては、上記第1実施形態の半導

体チップの実装構造体による効果に加えて、さらに、半導体チップ2を基板4に実装する際に、実装領域の周囲へ拡がるようとするアンダーフィル7を、傾斜された内底部38aにて凹部38内へ円滑に導くことができ、樹脂の流動性を良好なものすることができる。このように樹脂の流動性を良好なものとするにより、例えば、アンダーフィル7に対する加熱により生じるボイド(気泡)の樹脂外部への排出性を良好なものとすることができ、接合の信頼性を高めることができる。また、傾斜された内底部38aに沿って円滑に樹脂を凹部38内に導くことにより、例えば、上記第1実施形態の構成のように傾斜された内底部が形成されていないような場合と比して、樹脂の流れの向きを大きく変えることがないため、歪み等の発生をより少なくすることが可能となる。

【0056】

ここで、本第2実施形態の変形例にかかる半導体チップの実装構造体41を図7の模式断面図に示し、比較例にかかる半導体チップの実装構造体51、61を図8、図9の模式断面図に示す。

【0057】

まず、図7の変形例にかかる半導体チップの実装構造体41は、図6の凹部38と同じ深さD1で傾斜された内底部48aを有する凹部48が形成されているものの、凹部48の内側方向の端部位置P2が、半導体チップ2の外周端部位置P1と略一致するように凹部48が配置されている点において、図6の実装構造体31とは異なる構成を有している。

【0058】

このような構成においては、図6の実装構造体31と同様に、熱膨張率の差により生じる負荷を、フィレット部7aにおいて低減することができる。ただし、凹部48の容積が、凹部38と比して小さくなるため、アンダーフィル7の拡がり量が過大とならないようにすることが好ましい。

【0059】

次に、図8の比較例にかかる半導体チップの実装構造体51、及び図9の比較例にかかる半導体チップの実装構造体61は、図6の実装構造体31と凹部の配置位置を同じとしながら、その深さを深く又は浅くしたものである。

【0060】

具体的には、図8の実装構造体51では、凹部58の深さD2が凹部38の深さD1よりも深く設定(例えば、 $D2 = D1 \times 2$ に設定)されている。このような構成においては、深さD2の大きさや樹脂の量にもよるが、凹部58の容積が大きくなりすぎ、凹部58内に配置されているアンダーフィル7の熱膨張や熱収縮が半導体チップ2に対して応力負荷となって影響を与える可能性がある。

【0061】

また、図9の実装構造体61では、凹部68の深さD3が凹部38の深さD1よりも浅く設定(例えば、 $D3 = D1 \times 0.5$ に設定)されている。このような構成においては、深さD3の大きさや樹脂の量にもよるが、凹部68の容積が拡がる樹脂を導くためには十分ではなく、フィレット部7aの傾斜角度を効果的に立たせることが難しい場合がある。このような場合にあつては、各部材の熱膨張率差により生じる応力負荷を十分に低減させることができない可能性がある。

【0062】

図6から図9のそれぞれの半導体チップの実装構造体31、41、51、及び61を製作し、上記第1実施形態と同様の条件にて熱サイクル試験を実施した。その結果、図6の本第2実施形態にかかる半導体チップに実装構造体31では、100個に対して不良発生個数が0個であった。また、図7の本第2実施形態にかかる半導体チップの実装構造体41では、100個に対して不良発生個数が2~4個程度であった。これに対して、図8の比較例にかかる半導体チップの実装構造体51では、100個に対して不良発生個数が10~20個と多くなった。また、図9の比較例にかかる半導体チップの実装構造体61では、100個に対して不良発生個数が5~10個と多くなった。これらの試験結果からは

、本第2実施形態の半導体チップの実装構造体では、比較例に比して十分に不良発生個数を低減可能であることが判る。

【0063】

(第3実施形態)

次に、本発明の第3の実施形態にかかる半導体チップの実装構造体71の模式断面図を図10に示す。図10に示すように、本第3実施形態の半導体チップの実装構造体71は、図6に示す上記第2実施形態の実装構造体31と同じ凹部38の配置構成を有するものの、基板4における実装領域の略中央付近に他の表面よりも隆起された隆起部79が形成されている点において、図6の構成とは相違している。

【0064】

図10に示すように、実装領域の略中央付近に隆起部79が形成されていることにより、隆起部79の頂部から、凹部38における傾斜された内底部38aを経由して、凹部38の最深部まで、勾配が形成されている。このような勾配は、例えば、実装領域の中央付近から放射状に形成されるような場合であってもよく、また、四方に向けて形成されるような場合であってもよい。また、このような勾配は、必ずしも連続している場合に限られず、その一部に平坦部が含まれて、いわゆるピラミッド状(あるいは階段状)に形成されるような場合であってもよい。例えば基板電極5が形成されている付近等には傾斜面を形成することが困難な場合もあるからである。

【0065】

このように、基板4において、実装領域の略中央付近から凹部38内にかけて、降り勾配が設けられていることにより、半導体チップ2の実装時に実装領域外へと押し広げられるアンダーフィル7の流動性を良好なものとすることができ、ボイド等を効率的に排出し、信頼性の高い接合を実現することができる。また、このような良好な流動性により、樹脂を凹部38内へ積極的かつ効果的に導くことができ、フィレット部7aの拡がり領域を有効に制限することが可能となる。なお、なお、このような隆起部79は、隆起部79が形成されていない状態のアンダーフィル7の厚さ寸法0.05mmに対して、0.015~0.025mm程度の高さ寸法に形成される。

【0066】

(第4実施形態)

次に、本発明の第4の実施形態にかかる半導体チップの実装構造体として、凹部の平面的な配置構成の様々な形態について説明する。本第4実施形態にかかる半導体チップの実装構造体101、111、121、及び131の模式平面図を、図11~図14に示す。なお、以下の説明においては、凹部の平面的な配置構成について行うものとし、凹部の断面的な形状については、上記第1実施形態から第3実施形態までの構成が適用される。

【0067】

まず、図11の半導体チップの実装構造体101においては、半導体チップ2の外周端部に沿ってその周囲全体に渡って凹部108が形成されている。このように周囲全体に渡って凹部108を形成することにより、外周端部のいずれの位置から拡がるようとするアンダーフィル7を凹部108内に導き入れることで、拡がり領域を確実に制限することができる。

【0068】

次に、図12の半導体チップの実装構造体111においては、半導体チップ2の4つのコーナー部分及びその近傍において、凹部118を配置した構成が採用されている。一般的に、半導体チップ2におけるコーナー部分は、半導体チップ2の中心からの距離が大きくなるため、熱膨張や熱収縮による応力負荷が集中しやすい傾向にある。このような観点より、コーナー部分における応力負荷の低減を主目的とするような場合には、このような構成が有効である。

【0069】

また、図13の半導体チップの実装構造体121においては、半導体チップ2の外周端部に対向する位置に、部分的に凹部128が形成された構成が採用されている。すなわち

、外周端部において、凹部 128 は連続して形成されることなく、凹部 128 が形成されていない部分が存在している。このような構成によれば、凹部 128 が形成されていない部分を配線形成位置として利用することができ、半導体チップの実装構造体全体としての設計を容易なものとするのが可能となる。なお、このように部分的に配置する凹部 128 は、コーナー部分を中心に設けることで応力集中しやすいコーナー部分の応力負荷を低減させることができ、辺の部分を中心に設けることでコーナー部分に比して樹脂の拡がり量が多い辺部分における樹脂の拡がり領域を積極的に制限することができる。

【0070】

次に、図 14 の半導体チップの実装構造体 131 においては、半導体チップ 2 の外周端部に対向する位置を含みながら、大略楕円形状を有する凹部 138 の配置構成が採用されている。このような凹部 138 の配置構成は、アンダーフィル 7 の実際の流動性を考慮したものであり、比較的流動性の高い辺部分における凹部 138 の幅寸法を大きく設定し、比較的流動性の低いコーナー部分における凹部 138 の幅寸法を小さく設定している。このような構成によれば、辺部分において大きく拡がるようとするアンダーフィル 7 を、大きな容量を有する凹部 138 にて確実に制限しながら、応力集中が生じやすいコーナー部分においてもアンダーフィル 7 の拡がりを制限することができる。また、このような構成の凹部 138 と、弾性材料にて形成された押圧部 16 を有する圧着ツール 15 とを組み合わせることで使用することにより、大略楕円形状のフィレット部 7a を形成することができ、熱膨張率差により生じる応力負荷を全体的に低減することが可能となる。

【0071】

(第 5 実施形態)

次に、本発明の第 5 の実施形態にかかる半導体チップの実装構造体 201 の模式平面図を図 20 に示す。また、図 20 の半導体チップの実装構造体 201 の B - B 線断面図を図 21 に示し、C - C 線断面図を図 22 に示す。

【0072】

まず、図 20 の模式平面図に示すように、半導体チップの実装構造体 201 においては、半導体チップ 2 の 4 つのコーナー部分において、4 つの凹部 208 を配置するとともに、コーナー部分の間の辺部分にも 2 つの凹部 218 が配置された構成が採用されている。

【0073】

ここで、半導体チップの実装構造体 201 における辺部分の断面図 (B - B 線断面図) である図 21 と、コーナー部分の断面図 (C - C 線断面図) である図 22 に示すように、コーナー部分に形成されている凹部 208 の内底面 208a の深さ D11 は、辺部分に形成されている凹部 218 の内底面 218a の深さ D12 よりも深くなっている。このように凹部 208 および 218 の深さが互いに異なっていることにより、コーナー部分の凹部 208 の内底面 208a の傾斜角度 1 を、辺部分の凹部 218 の内底面 218a の傾斜角度 2 よりも大きくすることができる。

【0074】

このような構成を有する本第 5 実施形態の半導体チップの実装構造体 201 においては、アンダーフィル 7 の実際の流動性を考慮して、比較的流動性の高い辺部分における凹部 218 の内底面 218a の傾斜角度 2 を緩やかに形成して、凹部 218 へのアンダーフィル 7 の流動量を制限するとともに、比較的流動性の低いコーナー部分における凹部 208 の内底面 208a の傾斜角度 1 の傾斜角度を大きくして、アンダーフィル 7 の流動を凹部 208 に導き易くすることができ、半導体チップの実装構造体 201 全体においてアンダーフィル 7 による確実な封止を実現することができる。

【0075】

さらに、コーナー部分の凹部 208 の深さ D11 を、辺部分の凹部 218 の深さ D12 よりも大きくなるように構成することで、コーナー部分に形成されるフィレット部 7a の傾斜角度 3 を、辺部分に形成されるフィレット部 7a の傾斜角度 4 よりも大きくすることができる。このように応力集中が生じやすいコーナー部分においてフィレット部 7a の傾斜角度 3 を比較的大きくすることにより、熱膨張率差等により生じる応力負荷を低

減することができる。

【0076】

なお、図20に示す半導体チップの実装構造体201では、コーナー部分の凹部208の内側端部が半導体チップ2のコーナー部分の形状に沿って形成されている場合について説明したが、本発明はこのような場合についてのみ限定されるものではない。このような場合に代えて、例えば、図23の変形例にかかる半導体チップの実装構造体251の模式平面図に示すように、コーナー部分の内側領域にまで凹部258の内底面が延在するような構成を採用することもできる。特に、コーナー部分の内側領域には、パッド3等が形成されない場合が多いため、このような構成を採用することにより、内側領域を有効に活用することができる。

【0077】

なお、上記様々な実施形態のうちの任意の実施形態を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

【0078】

本発明の半導体チップの実装構造は、半導体チップの外周端部に相当する基板表面に位置に実装領域から拡がる樹脂を導き入れる凹部を設けることにより、樹脂の拡がり領域の拡大を抑制することができ、実装時の加熱、冷却処理によって生じる各部材の熱膨張、収縮差および実装後の機械的な負荷に対する基板のたわみによる半導体チップに発生する応力負荷を軽減し、チップ内部の破壊を回避することができる。

【0079】

本発明は、添付図面を参照しながら好ましい実施形態に関連して十分に記載されているが、この技術の熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

【0080】

2006年12月26日出願された日本国特許出願No.2006-349511号の明細書、図面、及び特許請求の範囲の開示内容は、全体として参照されて本明細書の中に取り入れられるものである。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の素子電極を有する半導体素子と、

複数の基板電極を有する基板と、

上記それぞれの素子電極と基板電極とを接続する複数の突起電極と、

上記それぞれの素子電極、基板電極、及び突起電極を封止するとともに、上記半導体素子と上記基板とを接着させるように、上記半導体素子と上記基板との間に配置された封止接着用樹脂と、

上記基板の電極形成面において、上記半導体素子の外周端部に対向する位置に形成され、その内側の一部に上記封止接着用樹脂が配置された凹部と、

上記凹部の内底部の下部に配置された加工用の停止層とを備える、半導体素子の実装構造体。

【請求項2】

上記基板に形成された上記凹部は、その内側に上記樹脂を配置させることで、上記基板における上記半導体素子との対向領域外への上記樹脂の拡がり領域を制限する樹脂拡がり領域制限用凹部である、請求項1に記載の半導体素子の実装構造体。

【請求項3】

上記凹部は、上記基板における上記半導体素子との対向領域の外周端部よりも内側の領域を含んで形成されている、請求項 1 に記載の半導体素子の実装構造体。

【請求項 4】

上記凹部は、上記基板における上記半導体素子との対向領域の周囲に向けて深くなるように傾斜された内底部を有する、請求項 1 に記載の半導体素子の実装構造体。

【請求項 5】

上記基板における上記半導体素子との対向領域の中心に上記凹部の開口端部よりも隆起された隆起部が形成され、上記隆起部より上記凹部の内底部にかけて降り勾配が設けられている、請求項 1 に記載の半導体素子の実装構造体。

【請求項 6】

略形状の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部よりもその内側の容積が小さくなるように形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

【請求項 7】

上記基板における上記半導体素子との対向領域の外周端部において、複数の上記凹部が形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

【請求項 8】

上記基板における上記半導体素子との対向領域の外周端部の全周に渡って、上記凹部が連続して形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

【請求項 9】

略形状の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部よりも深い内底部を有するように形成されている、請求項 1 から 5 のいずれか 1 つに記載の半導体素子の実装構造体。

【請求項 10】

略形状の形状を有する上記半導体素子の角部に対向する位置に形成される上記凹部は、その他の位置に形成される上記凹部の上記内底部の傾斜角度よりも大きな傾斜角度を有する上記内底部を有するように形成されている、請求項 4 に記載の半導体素子の実装構造体。

【請求項 11】

半導体素子の実装領域の外周端部に凹部が形成され、かつ上記凹部の内底部の下部に加工用の停止層が配置された基板における上記実装領域上に、封止接着用樹脂を配置し、

上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧して、上記半導体素子のそれぞれの素子電極と上記基板のそれぞれの基板電極とを、それぞれの突起電極を介して接続するとともに、上記実装領域外へ広がる上記封止接着用樹脂の一部を上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら、上記それぞれの素子電極、基板電極、及び突起電極を上記樹脂により封止し、

その後、上記封止接着用樹脂を加熱して硬化させて、上記半導体素子を上記基板に実装することを特徴とする半導体素子の実装方法。

【請求項 12】

上記封止接着用樹脂による封止は、弾性材料にて形成された押圧部を有する圧着ツールを用いて、上記押圧部により上記半導体素子を上記基板に上記封止接着用樹脂を介して押圧するとともに、上記実装領域外へ広がる上記封止接着用樹脂を上記押圧部により押圧して上記凹部内へ導いて、上記樹脂の拡がり領域を規制しながら行う、請求項 11 に記載の半導体素子の実装方法。

【手続補正 3】

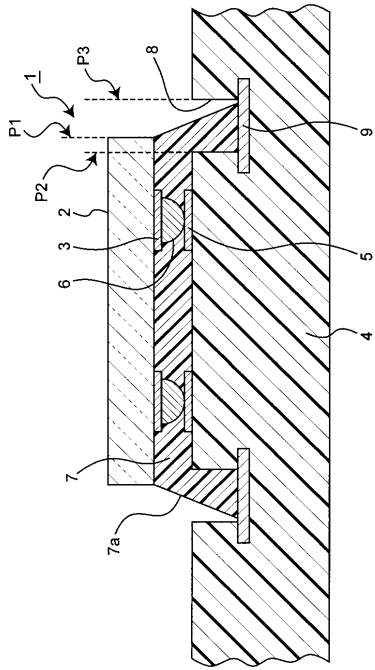
【補正対象書類名】図面

【補正対象項目名】全図

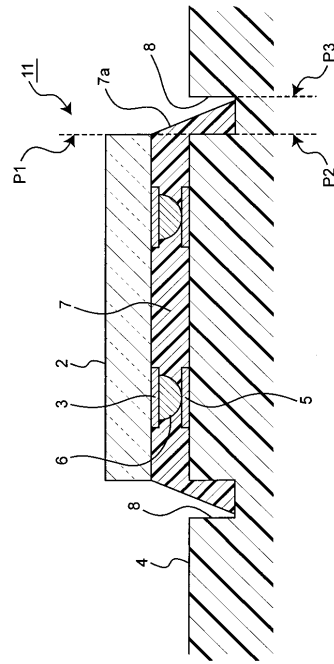
【補正方法】変更

【補正の内容】

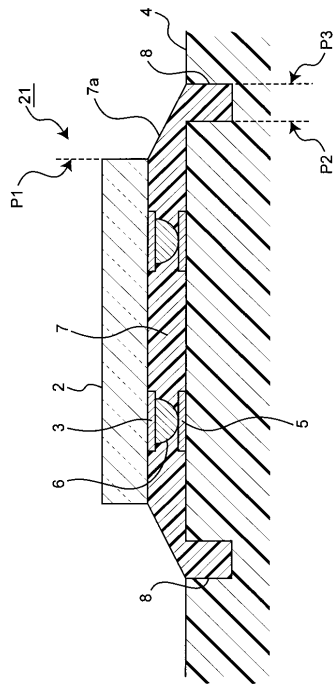
【 図 1 】



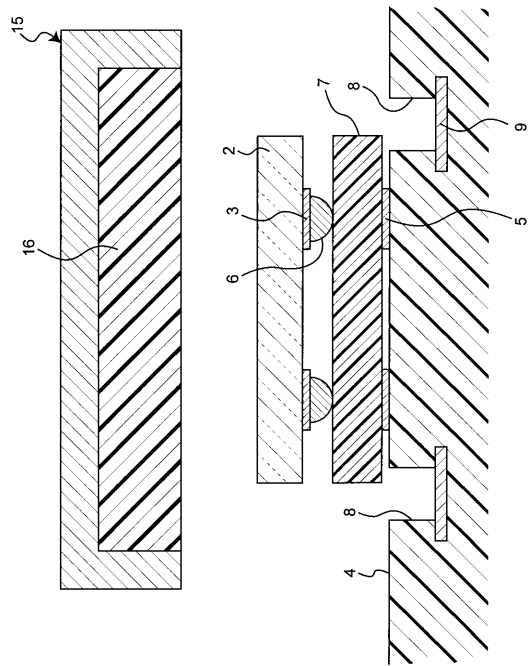
【 図 2 】



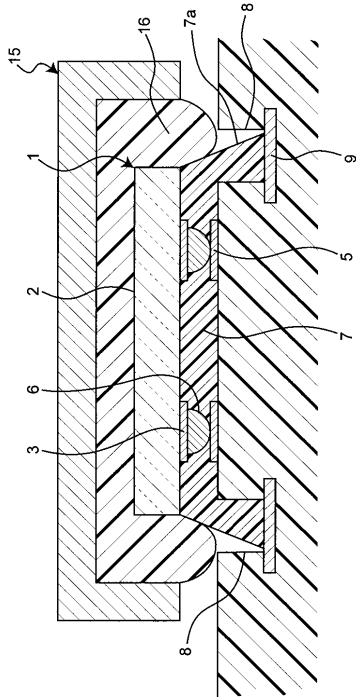
【 図 3 】



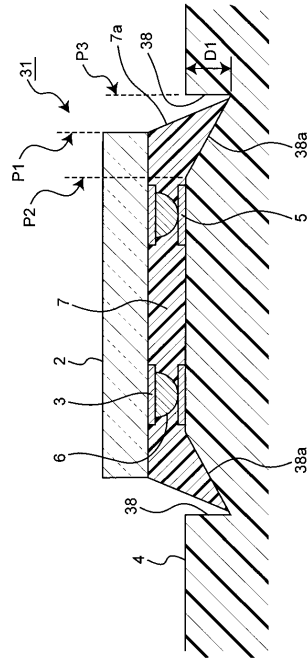
【 図 4 】



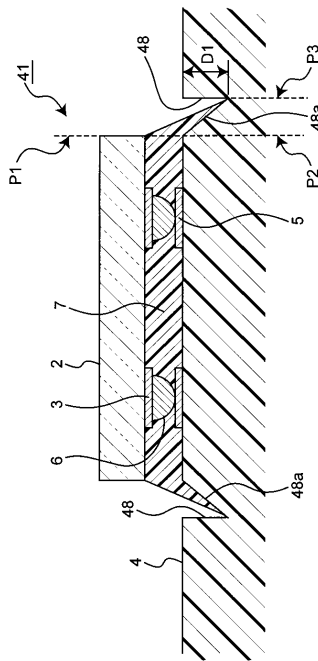
【 図 5 】



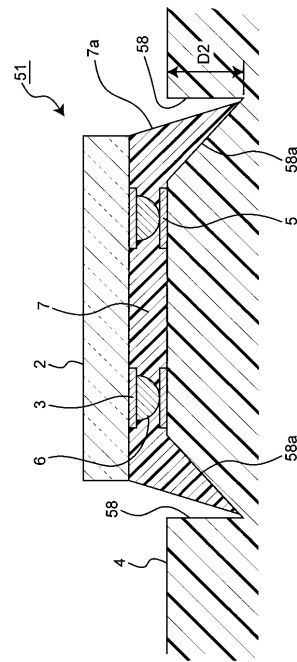
【 図 6 】



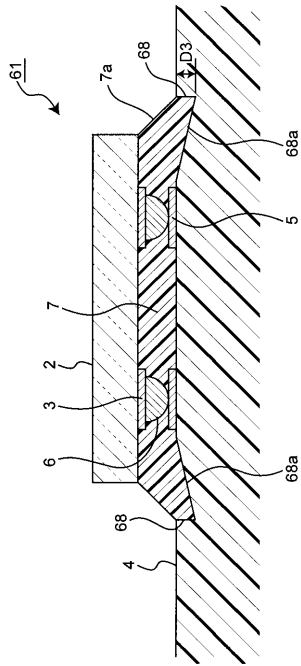
【 図 7 】



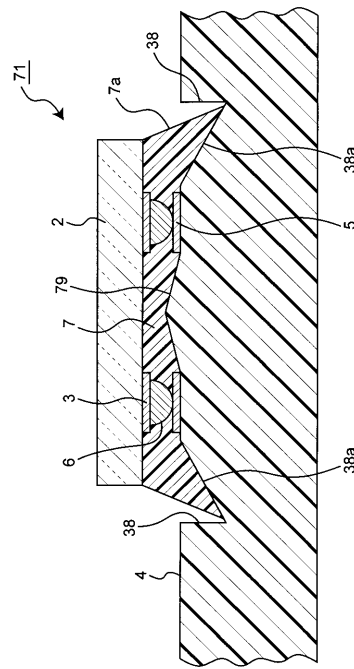
【 図 8 】



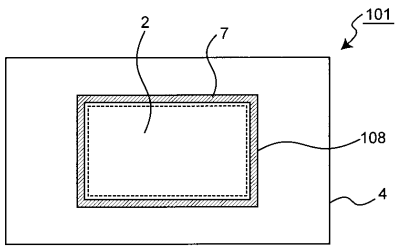
【 図 9 】



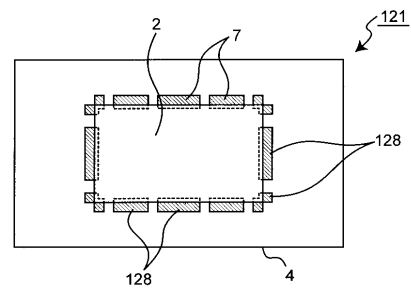
【 図 10 】



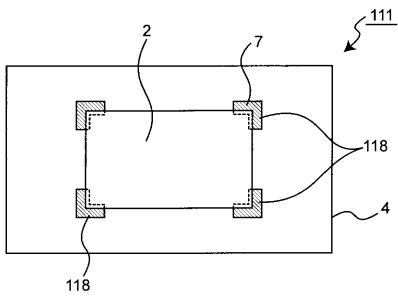
【 図 11 】



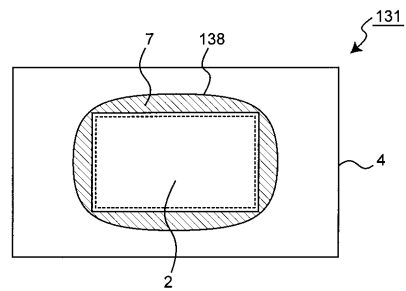
【 図 13 】



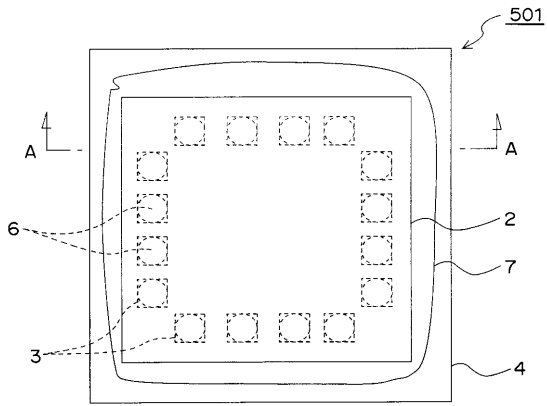
【 図 12 】



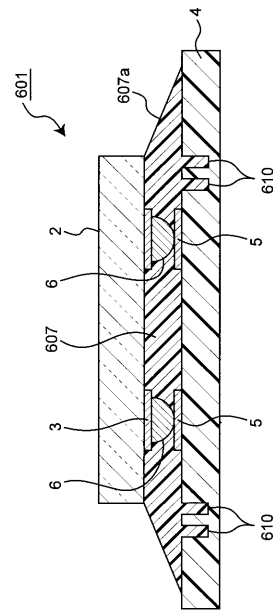
【 図 14 】



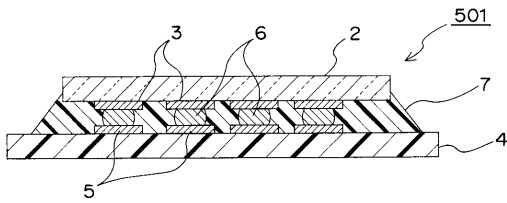
【 図 1 5 】



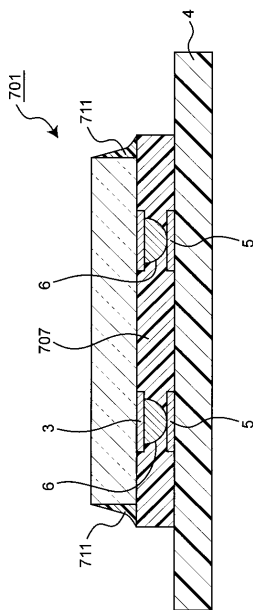
【 図 1 7 】



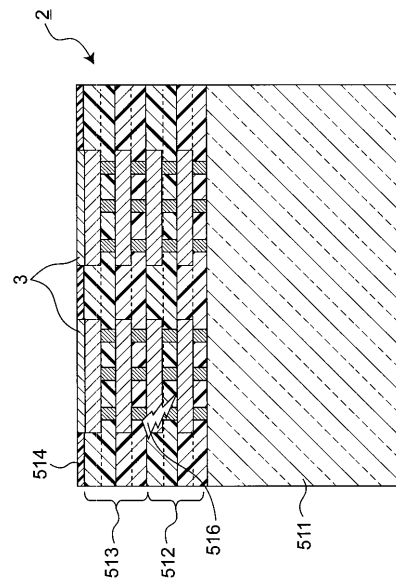
【 図 1 6 】



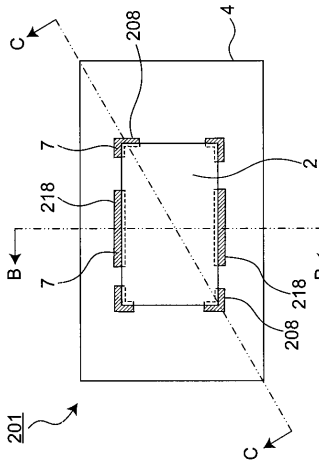
【 図 1 8 】



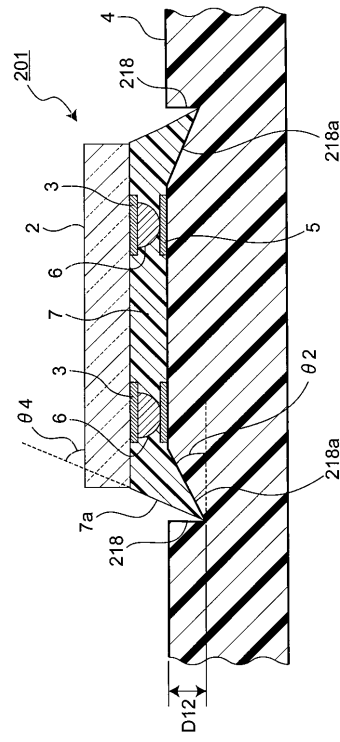
【 図 1 9 】



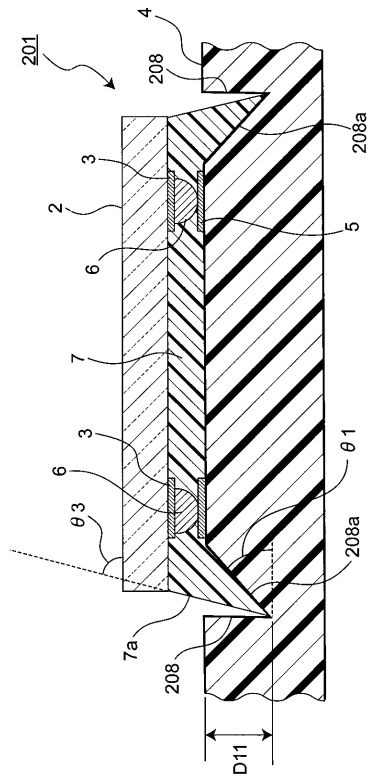
【 図 2 0 】



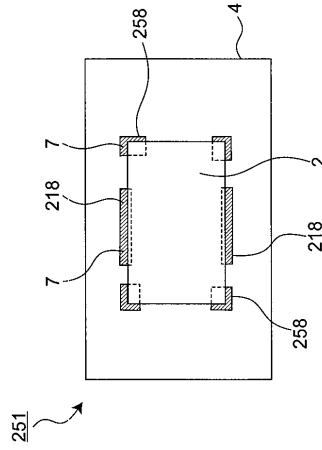
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/074844
A. CLASSIFICATION OF SUBJECT MATTER H01L21/60(2006.01) i, H01L23/12(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/60, H01L23/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 91617/1990 (Laid-open No. 51144/1992) (Oki Electric Industry Co., Ltd.), 30 April, 1992 (30.04.92), Page 5, line 8 to page 6, line 5; Figs. 1 to 3 (Family: none)	1-4, 7, 9 5, 11, 12 10
X Y A	JP 2004-266016 A (Seiko Epson Corp.), 24 September, 2004 (24.09.04), Par. No. [0022]; Fig. 3 (Family: none)	1-3, 6 5, 11, 12 10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 February, 2008 (01.02.08)		Date of mailing of the international search report 12 February, 2008 (12.02.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/074844

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>Y</u> <u>A</u>	JP 2004-214344 A (NEC Kansai, Ltd.), 29 July, 2004 (29.07.04), Par. No. [0027]; Fig. 5 (Family: none)	1-3, 8 <u>5, 11, 12</u> <u>10</u>
Y	JP 2004-289083 A (Matsushita Electric Industrial Co., Ltd.), 14 October, 2004 (14.10.04), Par. Nos. [0020] to [0022]; Fig. 2 (Family: none)	5, 11, 12

国際調査報告		国際出願番号 PCT/JP2007/074844									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L21/60(2006.01)i, H01L23/12(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/60, H01L23/12											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2008年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2008年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2008年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2008年	日本国実用新案登録公報	1996-2008年	日本国登録実用新案公報	1994-2008年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2008年										
日本国実用新案登録公報	1996-2008年										
日本国登録実用新案公報	1994-2008年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X Y A	日本国実用新案登録出願 2-91617 号(日本国実用新案登録出願公開 4-51144 号)の願書に添付した明細書及び図面の内容を撮影したマイ クロフィルム (沖電気工業株式会社) 1992.04.30, 第 5 頁第 8 行-第 6 頁第 5 行, 第 1-3 図 (ファミリーなし)	1-4, 7, 9 <u>5, 11, 12</u> <u>10</u>									
X Y A	JP 2004-266016 A (セイコーエプソン株式会社) 2004.09.24, 【0022】, 図 3 (ファミリーなし)	1-3, 6 <u>5, 11, 12</u> <u>10</u>									
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 01.02.2008		国際調査報告の発送日 12.02.2008									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 田中 永一	4 R 9 5 3 9								
		電話番号 03-3581-1101 内線 3469									

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 7 4 8 4 4
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X <u>Y</u> <u>A</u>	JP 2004-214344 A (関西日本電気株式会社) 2004.07.29, 【0027】, 図5 (ファミリーなし)	1-3, 8 <u>5, 11, 12</u> <u>10</u>
Y	JP 2004-289083 A (松下電器産業株式会社) 2004.10.14, 【0020】 - 【0022】, 図2 (ファミリーなし)	5, 11, 12

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 光明寺 大道

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 5F044 KK01 LL11 RR17 RR18 RR19

5F061 AA01 CA06

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。