



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 921095

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 02.07.80 (21) 2948606/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 15.04.82. Бюллетень № 14

Дата опубликования описания 25.04.82

(51) М. Кл.³

Н 03 К 23/00

(53) УДК 621.374.
.44(088.8)

(72) Авторы
изобретения

П. И. Мелехин и П. Н. Смирнов

(71) Заявитель

(54) ДЕЛИТЕЛЬ ЧАСТОТЫ

1

Изобретение относится к импульсной технике и может быть использовано в устройствах обработки радиосигналов.

Известен делитель частоты, содержащий счетчик, дешифратор и триггер [1].

Однако это устройство не обладает требуемым быстродействием и не позволяет получить на своих выходах две ортогональные последовательности импульсов.

Известен быстродействующий делитель частоты с произвольным коэффициентом деления, содержащий счетчик, дешифратор, триггер и схему совпадения [2].

Однако это устройство также не позволяет получить на своих выходах две ортогональные последовательности импульсов.

Целью изобретения является расширение функциональных возможностей.

Цель достигается тем, что в делитель частоты, содержащий счетчик импульсов, выход которого подключен к информационному входу дешифратора, выход которого соединен с первым инвертированным входом первого элемента совпадения и с прямым входом триггера, инверсный вход которого подключен к выходу первого элемента совпадения, а выход — к первому входу вто-

2

рого элемента совпадения, второй вход которого соединен со счетным входом счетчика импульсов, являющийся входом устройства, а выход — со входами начальной установки всех, кроме первого, разрядов счетчика импульсов, введены последовательно соединенные кольцевой регистр сдвига и дополнительный дешифратор, включенные между прямым выходом триггера и входом начальной установки первого разряда счетчика импульсов, при этом первый стробирующий вход дополнительного дешифратора подключен к прямому выходу триггера, а второй стробирующий вход объединен со стробирующим входом дешифратора, со вторым инвертированным входом первого элемента совпадения и со счетным входом счетчика импульсов.

На чертеже представлена структурная электрическая схема делителя частоты.

Делитель частоты содержит счетчик импульсов 1, первый разряд 2 которого имеет отдельный от остальных разрядов 3 счетчика импульсов 1 вход начальной установки, дешифратор 4, первый элемент совпадения 5, триггер 6, второй элемент совпадения 7, кольцевой регистр сдвига 8 и до-

полнительный дешифратор 9. Выходы разрядов счетчика 1 соединены с соответствующими входами дешифратора 4, выход которого подключен к первому входу триггера 6 и к первому инвертированному входу первого элемента совпадения 5. Выход первого элемента совпадения 5 подключен ко второму входу триггера 6, выход которого соединен с первым входом второго элемента совпадения 7, с тактовым входом кольцевого регистра сдвига 8 и с первым стробирующим входом дополнительного дешифратора 9. Второй стробирующий вход дополнительного дешифратора 9 соединен со счетным входом первого разряда счетчика 1 импульсов, являющемся входом всего устройства, со вторым входом второго элемента совпадения 7 и со стробирующим входом первого дешифратора 4 и со вторым инвертированным входом и первого элемента совпадения 5. Выходы разрядов кольцевого регистра сдвига 8 соединены с соответствующими входами дополнительного дешифратора 9, выход которого подключен ко входу начальной установки первого разряда 2 счетчика импульсов 1.

Делитель частоты работает следующим образом.

Начальное состояние устройства характеризуется наличием низких потенциалов на выходах всех разрядов счетчика импульсов 1, низкого потенциала на выходе триггера 6 и наличием высокого потенциала на выходах двух соседних разрядов кольцевого регистра сдвига 8. Остальные два разряда кольцевого регистра сдвига 8 имеют на своих выходах низкие потенциалы. Для определенности предположим, что дешифратор 4 подключен к выходам разрядов счетчика импульсов 1 таким образом, что сигнал на его выходе может появляться при нечетном числе импульсов, прошедших на вход счетчика импульсов 1. Такое подключение дешифратора 4 соответствует соединению выхода дополнительного дешифратора 9 со входом установки начального состояния первого разряда 2 счетчика импульсов 1, характеризующееся высоким потенциалом на его выходе.

Кольцевой регистр сдвига 8 при подаче на его вход тактовых импульсов производит «сдвиг» имевшегося в исходный момент начального состояния, причем всего у кольцевого регистра сдвига 8 имеется четыре различных состояния по числу имеющихся разрядов, а дополнительный дешифратор 9 в зависимости от своей электрической схемы и схемы подключения к выходам разрядов кольцевого сдвигающего регистра может выделить, т.е. сформировать выходной сигнал, одно, два или три из четырех возможных состояний кольцевого регистра сдвига 8. Для определенности предположим, что электрическая схема дополнительного де-

шифратора 9 и схема подключения его входов к выходам кольцевого регистра сдвига 8 выполнены таким образом, что дополнительный дешифратор 9 выделяет только одно из возможных состояний кольцевого регистра сдвига 8, причем выделяемое состояние будет первым после исходного. Предположим также, что кольцевой регистр сдвига 8 изменяет свое состояние по заднему фронту сигнала, подаваемого на его тактовый вход.

На вход делителя частоты поступает непрерывная периодическая последовательность импульсов, вызывающая последовательное изменение состояний разрядов счетчика импульсов 1. Если дешифратор 4 подключен таким образом, что сигнал на его выходе может появиться при состоянии M счетчика импульсов 1, то до момента времени, соответствующего поступлению M -го входного импульса состояния на выходах всех элементов делителя частоты за исключением счетчика импульсов 1 не изменяются. При поступлении M -го входного импульса на вход делителя частоты дешифратор 4 оказывается подготовленным к срабатыванию, но сигнал на его выходе появляется только после окончания M -го входного импульса, т.е. по M паузе входной последовательности. Этот сигнал вызывает переключение триггера 6, т.е. подготовку к срабатыванию второго элемента совпадения 7. Тогда $M+1$ входной импульс, проходя через второй вход второго элемента совпадения 7, на его выход вызывает «обнуление» всех разрядов счетчика импульсов 1, кроме первого. Так как мы предположим, что дополнительный дешифратор 9 подключен таким образом, что сигнал на его выходе может появиться только после первого переключения кольцевого регистра сдвига 8, то в рассматриваемый момент времени сигнал на входе установки начального состояния первого разряда 2 счетчика импульсов 1 отсутствует, поэтому по $M+1$ -му входному импульсу одновременно с «обнулением» всех разрядов счетчика импульсов 1, кроме первого, происходит переключение первого разряда по тактовому входу. Поскольку дешифратор 4 подключен к счетчику импульсов 1 таким образом, чтобы сигнал на его выходе соответствовал нечетному числу в счетчике импульсов 1, поэтому M входной импульс соответствует высокому потенциалу на выходе первого разряда, а $M+1$ импульс вызывает переключение первого разряда в состояние, характеризующееся низким потенциалом на его выходе. Таким образом, при поступлении $M+1$ -го входного импульса счетчик импульсов 1 установлен в исходное состояние. После окончания $M+1$ импульса формируется сигнал на выходе первого элемента совпадения 5, вызывающий переключение триггера 6 в исходное состояние, что соответствует закрыванию второго элемента совпадения 7 по его первому входу,

т.е. прекращение импульсов «обнуления» счетчика импульсов 1. Одновременно происходит «сдвиг» информации в кольцевом регистре сдвига 8, т.е. подготовка к срабатыванию дополнительного дешифратора 9. Однако, сигнал на его выходе отсутствует, так как дополнительный дешифратор 9 закрыт низким потенциалом с выхода триггера 6, подаваемым на его первый стробирующий вход. Таким образом, от начального состояния устройства до момента первого переключения кольцевого регистра сдвига 8 прошло $M+1$ входных импульсов. Следующие $M+1$ входных импульсов в части, касающейся переключений счетчика импульсов 1, дешифратора 4, триггера 6 и второго элемента совпадения 7 действуют аналогично ранее рассмотренному.

После окончания M входного импульса происходит переключение триггера 6, дополнительный дешифратор 9 подготовлен к формированию выходного сигнала, так как кольцевой регистр сдвига 8 установлен в состояние, при котором формирование выходного импульса возможно и дополнительный дешифратор 9 открыт по стробирующему входу высоким потенциалом с выхода триггера 6. Однако сигнал на его выходе отсутствует, так как дополнительный дешифратор 9 запрет по второму стробирующему входу. Сигнал на выходе дополнительного дешифратора 9 появляется при приходе $M+1$ входного импульса.

Таким образом, в этом цикле работы по $M+1$ входному сигналу происходит одновременное формирование выходных сигналов на выходе второго элемента совпадения 7 и на выходе дополнительного дешифратора 9. Сигнал с выхода второго элемента совпадения 7 производит «обнуление» всех разрядов счетчика импульсов 1, кроме первого, а сигнал с выхода дополнительного дешифратора 9, поступая на вход начальной установки первого разряда 2 счетчика импульсов 1, производит установку триггера первого разряда 2 в состояние, характеризующееся наличием высокого потенциала на его выходе $M+1$ -я пауза входной последовательности, вызывая переключение триггера 6, закрывает дополнительный дешифратор 9 по его первому стробирующему входу и производит переключение кольцевого регистра сдвига 8 в следующее состояние, что в соответствии с ранее сделанными предложениями не позволяет дополнительному дешифратору сформировать выходной сигнал при следующем переключении триггера 6.

Таким образом, состояние элементов делителя частоты после окончания второй серии из $M+1$ импульсов отличается от исходного наличием высокого потенциала на выходе первого разряда 2 счетчика импульсов 1. Следовательно, следующее срабаты-

вание дешифратора 4 произойдет не после M -го, а после $M-1$ -го импульса относительно момента переключения триггера 6 и кольцевого регистра сдвига 8. Таким образом, цикл, следующий за появлением сигнала с выхода дополнительного дешифратора 9, меньше на 1 период входных импульсов, чем первый и второй циклы работы устройства. Четвертый цикл работы делителя частоты ничем не отличается от первого, так как после окончания третьего цикла сигнала с выхода дополнительного дешифратора 9 нет и состояние первого разряда 2 счетчика импульсов 1 соответствует исходному.

Рассмотрение работы устройства, аналогичное выше изложенному, может быть проведено и для случая четного числа на входах дешифратора 4, только в этом случае вход начальной установки триггера первого разряда 2 счетчика импульсов 1 должен быть входом начальной установки на его выходе низкого потенциала, а за начальное состояние должно быть принято состояние, характеризующееся наличием высокого потенциала на выходе первого разряда 2 счетчика импульсов 1. Для этого случая также может быть установлено, что цикл работы устройства между двумя соседними сигналами «обнуления», подаваемыми с выхода второго элемента совпадения 8 на входы начальной установки разрядов 3 счетчика импульсов 1, сокращается на 1 период тактовой частоты после формирования выходного сигнала с дополнительного дешифратора 9.

Период работы делителя частоты определяется суммой четырех циклов, каждый из которых может иметь длительность или $M+1$ или M периодов входной импульсной последовательности, причем число циклов длительностью M периодов определяется электрической схемой и схемой подключения к выходам разрядов кольцевого регистра сдвига 8 дополнительного дешифратора 9.

Выходами делителя частоты могут быть два любых соседних выхода кольцевого регистра сдвига 8, так как его начальное состояние характеризуется наличием высоких потенциалов на выходах двух соседних разрядов, то скважность выходных сигналов, получаемых с любого выхода кольцевого регистра сдвига 8 будет примерно равна 2, причем, так как в предлагаемом устройстве период выходного сигнала разделен на четыре примерно равных части, то сигналы, получаемые с двух соседних разрядов регистра сдвига 8, имеют сдвиг между собой, равный $1/4$ периода, т.е. 90° .

Введение кольцевого сдвигающего регистра и дополнительного дешифратора позволяет при сохранении быстродействия получить на выходах ортогональные сигналы.

Делитель частоты, содержащий счетчик импульсов, выход которого подключен к информационному входу дешифратора, выход которого соединен с первым инвертированным входом первого элемента совпадения и прямым входом триггера, инверсный вход которого подключен к выходу первого элемента совпадения, а выход — к первому входу второго элемента совпадения, второй вход которого соединен со счетным входом счетчика импульсов, являющегося входом устройства, а выход — с входами начальной установки всех разрядов, кроме первого, счетчика импульсов, отличающийся тем, что, с целью расширения функциональных возможностей, в него введены последовательно соединенные кольцевой регистр

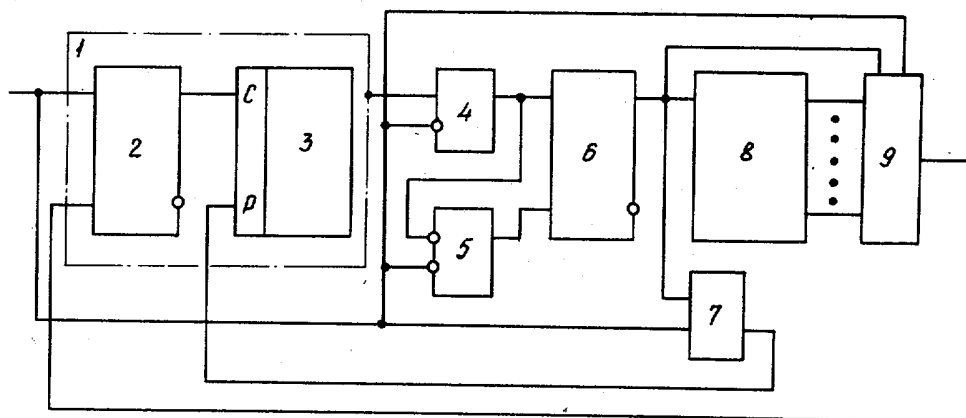
сдвига и дополнительный дешифратор, включенные между прямым выходом триггера и входом начальной установки первого разряда счетчика импульсов, при этом первый стробирующий вход дополнительного дешифратора подключен к прямому выходу триггера, а второй стробирующий вход объединен со стробирующим входом дешифратора, с вторым инвертированным входом первого элемента совпадения и со счетным входом счетчика импульсов.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 612414, кл. Н 03 К 23/00, 1976.

2. Авторское свидетельство СССР № 624371, кл. Н 03 К 23/00, 1976 (прототип).



Редактор А. Долинич
Заказ 9381/75

Составитель В. Чернышев
Техред А. Бойкас
Тираж 954

Корректор Г. Решетник
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4