



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년11월18일  
 (11) 등록번호 10-1462488  
 (24) 등록일자 2014년11월11일

(51) 국제특허분류(Int. Cl.)  
*G11C 16/34* (2006.01) *G11C 16/16* (2006.01)  
 (21) 출원번호 10-2008-0029876  
 (22) 출원일자 2008년03월31일  
 심사청구일자 2013년03월04일  
 (65) 공개번호 10-2009-0104449  
 (43) 공개일자 2009년10월06일  
 (56) 선행기술조사문헌  
 US20080144378 A1  
 US20080273388 A1  
 KR100480654 B1  
 KR100454145 B1

(73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**김무성**  
 경기도 용인시 수지구 성북2로76번길 31, 대우푸  
 르지오 105동 1101호 (성북동)  
**임영호**  
 경기도 용인시 수지구 진산로 90, 삼성5차아파트  
 삼성수지 5차 512동 1201호 (풍덕천동)  
 (74) 대리인  
**권혁수, 오세준, 송윤호**

전체 청구항 수 : 총 14 항

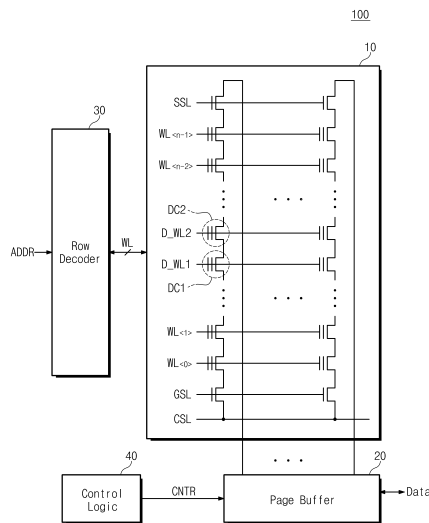
심사관 : 한선경

**(54) 발명의 명칭 더미셀을 이용한 플래시 메모리 장치 및 그것의 동작 방법**

**(57) 요약**

본 발명은 더미셀을 이용한 플래시 메모리의 프로그래밍 검증에 관한 것이다. 본 발명에 따른 플래시 메모리 장치는 각각이 제 1 메모리 셀들과 제 2 메모리 셀들을 갖는 복수의 스트링들을 포함하며, 상기 각 스트링에 속하는 상기 제 2 메모리 셀들 중 어느 하나는 프로그램된 상태로 설정되고, 상기 제 2 메모리 셀들 중 나머지는 소거된 상태로 설정된다.

**대표도 - 도1**



**특허청구의 범위****청구항 1**

각각이 제 1 메모리 셀들과 제 2 메모리 셀들을 갖는 복수의 스트링들을 포함하며,

상기 각 스트링에 속하는 상기 제 2 메모리 셀들 중 어느 하나는 프로그램된 상태로 설정되고, 상기 제 2 메모리 셀들 중 나머지는 소거된 상태로 설정되는 플래시 메모리 장치.

**청구항 2**

제 1 항에 있어서,

상기 제 2 메모리 셀들은 터미 셀인 플래시 메모리 장치.

**청구항 3**

제 1 항에 있어서,

동일한 행에 속하는 제 2 메모리 셀들 중 어느 하나만이 프로그램된 상태로 설정되고, 나머지는 소거된 상태로 설정되는 플래시 메모리 장치.

**청구항 4**

제 1 항에 있어서,

독출/검증 동작 동안, 상기 프로그램된 상태로 설정된 제 2 메모리 셀들에는 독출 전압이 인가되는 플래시 메모리 장치.

**청구항 5**

제 4 항에 있어서,

상기 독출/검증 동작 동안, 상기 스트링들은 동시에 프리차지되는 플래시 메모리 장치.

**청구항 6**

제 5 항에 있어서,

상기 스트링들은 복수회로 나누어 독출되는 플래시 메모리 장치.

**청구항 7**

제 1 항에 있어서,

상기 각 스트링에 속하는 제 2 메모리 셀들은 소거 동작 및 검증 동작 이후에 선택적으로 프로그램되는 플래시 메모리 장치.

**청구항 8**

제 1 항에 있어서,

상기 제 2 메모리 셀들의 수는 상기 복수의 스트링 셀들의 독출 횟수에 따라 결정되고,

상기 제 2 메모리 셀들의 수는 상기 독출 회수와 동일한 개수를 갖는 플래시 메모리 장치.

**청구항 9**

복수의 스트링들을 포함하는 플래시 메모리 장치의 동작 방법에 있어서:

각각이 제 1 메모리 셀들과 제 2 메모리 셀들을 갖는 스트링들을 동시에 프리차지하는 단계와;

상기 스트링들 중 제 1 스트링들을 센싱하는 단계와; 그리고

상기 스트링들 중 제 2 스트링들을 센싱하는 단계를 포함하되,

상기 각 스트링에 속하는 상기 제 2 메모리 셀들 중 어느 하나는 프로그램된 상태로 설정되고, 상기 제 2 메모리 셀들 중 나머지는 소거된 상태로 설정되는 것을 특징으로 하는 동작 방법.

**청구항 10**

제 9 항에 있어서,

상기 제 2 메모리 셀들은 더미 셀인 것을 특징으로 하는 동작 방법.

**청구항 11**

제 9 항에 있어서,

동일한 행에 속하는 제 2 메모리 셀들 중 어느 하나만이 프로그램된 상태로 설정되고, 나머지는 소거된 상태로 설정되는 것을 특징으로 하는 동작 방법.

**청구항 12**

제 9 항에 있어서,

독출/검증 동작 동안, 상기 프로그램된 상태로 설정된 제 2 메모리 셀들에는 독출 전압이 인가되는 것을 특징으로 하는 동작 방법.

**청구항 13**

제 9 항에 있어서,

상기 제 2 메모리 셀들의 수는 상기 복수의 스트링 셀들의 독출 횟수에 따라 결정되고,

상기 제 2 메모리 셀들의 수는 상기 독출 회수와 동일한 개수를 갖는 것을 특징으로 하는 동작 방법.

**청구항 14**

제 9 항에 있어서,

상기 동작 방법은 독출 동작과 검증 동작을 포함하는 것을 특징으로 하는 동작 방법.

**명세서**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 플래시 메모리 장치(Flash Memory Device)에 관한 것으로, 좀 더 구체적으로는 더미셀을 이용한 플래시 메모리 장치의 프로그래밍 검증 방법에 관한 것이다.

**배경 기술**

[0002] 일반적인 올비트라인(ABL:All Bit Line) 구조(Architecture)의 플래시 메모리 장치는 한번에 모든 비트라인(BL:Bit Line)을 프로그래밍(Programming)한다. 구체적으로, 올비트라인(ABL:All Bit Line) 구조(Architecture)의 플래시 메모리 장치는 8Kbyte를 동시에 프로그래밍하고, 4Kbyte씩 두 번에 나누어 검증하거나 독출한다.

[0003] 올비트라인(ABL) 구조의 플래시 메모리 장치가 한번에 프로그래밍한 셀들을 두 번에 나누어 검증(Verify) 또는 독출(Read)하는 이유는 첫째, 동일한 워드라인(Word Line)에 프로그래밍되거나 소거(Erase)된 셀들이 이웃하는 경우 이웃하는 비트라인간의 커플링 캐패시터(Coupling Capacitor)로 인하여 부정확한 독출동작이 발생할 수 있기 때문이고, 둘째, 모든 비트라인이 공통으로 연결된 소오스의 바이어스 전압이 일정하게 유지되지 않기 때문이다. 앞에서 상술한 올비트라인(ABL) 구조의 플래시 메모리 장치에 관한 기술은 샌디스크(Scandisk)사에서 출원한 미국등록특허 US 7,023,736에 기재되어 있다.

[0004] 따라서, 올비트라인(ABL) 구조의 플래시 메모리 장치는 연속적으로 비트라인을 검증 또는 독출하기 때문에 프로

그래밍 검증 또는 독출 시간이 증가되는 문제가 발생한다.

**발명의 내용**

**해결 하고자하는 과제**

[0005] 본 발명의 목적은 올비트라인 구조를 가지는 플래시 메모리에 있어서 검증 또는 독출 시간을 감소시키는 장치 및 그 검증방법을 제공한다.

**과제 해결수단**

[0006] 본 발명의 실시예에 따른 플래시 메모리 장치는 각각이 제 1 메모리 셀들과 제 2 메모리 셀들을 갖는 복수의 스트링들을 포함하며, 상기 각 스트링에 속하는 상기 제 2 메모리 셀들 중 어느 하나는 프로그램된 상태로 설정되고, 상기 제 2 메모리 셀들 중 나머지는 소거된 상태로 설정된다.

[0007] 실시 예로서, 상기 제 2 메모리 셀들은 더미 셀이다.

[0008] 실시 예로서, 동일한 행에 속하는 제 2 메모리 셀들 중 어느 하나만이 프로그램된 상태로 설정되고, 나머지는 소거된 상태로 설정된다.

[0009] 실시 예로서, 독출/검증 동작 동안, 상기 프로그램된 상태로 설정된 제 2 메모리 셀들에는 독출 전압이 인가된다.

[0010] 실시 예로서, 상기 독출/검증 동작 동안, 상기 스트링들은 동시에 프리차지된다.

[0011] 실시 예로서, 상기 스트링들은 N번에 걸쳐 독출된다.

[0012] 실시 예로서, 상기 각 스트링에 속하는 제 2 메모리 셀들은 소거 동작 및 검증 동작 이후에 선택적으로 프로그램된다.

[0013] 실시 예로서, 상기 제 2 메모리 셀들의 수는 상기 복수의 스트링 셀들의 독출 횟수에 따라 결정되고, 상기 제 2 메모리 셀들의 수는 상기 독출 회수와 동일한 개수를 갖는다.

[0014] 본 발명의 실시예에 따른 플래시 메모리 장치의 동작 방법은 복수의 스트링들을 포함하는 플래시 메모리 장치의 동작 방법에 있어서: 각각이 제 1 메모리 셀들과 제 2 메모리 셀들을 갖는 스트링들을 동시에 프리차지하는 단계와; 상기 스트링들 중 제 1 스트링들을 센싱하는 단계와; 그리고 상기 스트링들 중 제 2 스트링들을 센싱하는 단계를 포함하되, 상기 각 스트링에 속하는 상기 제 2 메모리 셀들 중 어느 하나는 프로그램된 상태로 설정되고, 상기 제 2 메모리 셀들 중 나머지는 소거된 상태로 설정된다.

[0015] 실시 예로서, 상기 제 2 메모리 셀들은 더미 셀인 것을 특징으로 한다.

[0016] 실시 예로서, 동일한 행에 속하는 제 2 메모리 셀들 중 어느 하나만이 프로그램된 상태로 설정되고, 나머지는 소거된 상태로 설정된다.

[0017] 실시 예로서, 독출/검증 동작 동안, 상기 프로그램된 상태로 설정된 제 2 메모리 셀들에는 독출 전압이 인가된다.

[0018] 실시 예로서, 상기 제 2 메모리 셀들의 수는 상기 복수의 스트링 셀들의 독출 횟수에 따라 결정되고, 상기 제 2 메모리 셀들의 수는 상기 독출 회수와 동일한 개수를 갖는다.

[0019] 실시 예로서, 상기 동작 방법은 독출 동작과 검증 동작을 포함한다.

**효과**

[0020] 본 발명에 따른 플래시 메모리 장치는 스트링셀 내부에 더미셀을 포함하여 검증 또는 독출 시간을 감소시키는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

[0021] (실시예1)

[0022] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수

있도록 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.

- [0023] 도 1은 본 발명에 따른 플래시 메모리 장치를 도시한 블록도이다.
- [0024] 도 1을 참조하면, 본 발명에 따른 실시예는 ABL(All Bit Line) 구조의 플래시 메모리 장치이다. 즉, 본 발명에 따른 플래시 메모리 장치(100)는 한번에 모든 비트라인(BL:Bit Line)을 프로그래밍(Programming)하고, 모든 비트라인을 여러 번에 나누어 독출한다.
- [0025] 본 발명에 따른 플래시 메모리 장치(100)는 복수의 스트링셀(String Cell ; 10), 페이지 버퍼(Page Buffer ; 20), 로우 디코더(Row Decoder ; 30) 및 컨트롤 로직(Control Logic ; 40)을 포함한다.
- [0026] 복수의 스트링셀(10) 각각은 제1 및 제2 더미셀(DC1,DC2), 및 복수의 정상셀을 포함한다. 페이지 버퍼(20)는 복수의 스트링셀(10)에 데이터를 기입하거나 독출할때 사용된다. 로우 디코더(30)는 외부(예, 메모리 컨트롤러)로부터 어드레스(ADDR)을 입력받는다. 로우 디코더(30)는 복수의 스트링셀(10)에 어드레스(ADDR)에 대응하는 워드라인(WL : Word Line)을 선택한다. 컨트롤 로직(40)은 페이지 버퍼(20)의 기입동작 및 독출동작을 제어하도록 제어신호(CNTR)를 발생한다.
- [0027] 본 발명의 실시예에 따른 복수의 스트링셀들(10) 각각은 독출횟수와 동일한 수의 더미셀을 포함한다. 예를 들면, 본 발명에 따른 플래시 메모리 장치(100)는 8Kbyte를 한 번에 프로그래밍하고, 복수의 스트링셀(10)을 4Kbyte씩 두 번에 나누어 독출한다. 본 발명의 실시예에 따른 복수의 스트링셀들(10) 각각은 2개의 더미셀을 포함한다.
- [0028] 도 2는 도 1에 도시된 복수의 스트링셀(10) 중 일부를 도시한 회로도이다.
- [0029] 도 2를 참조하면, 본 발명에 따른 복수의 스트링셀(10)은 제1 내지 제4 비트라인(BL1-BL4)을 포함한다. 제1 내지 제4 비트라인(BL1-BL4) 각각은 두 개의 더미셀을 포함한다. 즉, 제1 비트라인(BL1)은 제1 및 제2 더미셀(DC1,DC2)을 포함한다. 제2 비트라인(BL2)은 제3 및 제4 더미셀(DC3,DC4)을 포함한다. 제3 비트라인(BL3)은 제5 및 제6 더미셀(DC5,DC6)을 포함한다. 제4 비트라인(BL4)은 제7 및 제8 더미셀(DC7,DC8)을 포함한다.
- [0030] 제2, 제3, 제6 및 제7 더미셀(DC2,DC3,DC6,DC7)은 프로그래밍된 상태이고, 제1, 제4, 제5 및 제8 더미셀(DC1,DC4,DC5,DC8)은 소거된 상태이다. 제1 내지 제8 더미셀(DC1-DC8)의 프로그래밍 동작은 도 3에서 상세히 설명된다. 도 2에 도시된 더미셀을 포함하는 스트링셀(10)의 검증동작은 도 4에서 상세히 설명된다.
- [0031] 본 발명의 실시예에 따른 제1 내지 제8 더미셀(DC1-DC8)의 위치는 복수의 정상셀들 사이에 위치한다. 또한, 본 발명의 또 다른 실시예에 따른 더미셀들의 위치는 도 7에 도시된다.
- [0032] 도 3는 도 2에 도시된 더미셀의 프로그램 순서를 도시한 순서도이다.
- [0033] 도 1 및 도 3를 참조하면, 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 스트링셀(10)내의 제1 내지 제4 비트라인들(BL1-BL4)이 소거되고(S01), 소거된 것을 검증한다(S02). 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 검증이 완료되면(S03), 제1, 제3, 제5 및 제7 더미셀(DC1,DC3,DC5,DC7)을 프로그래밍하고(S04), 제2, 제4, 제6 및 제8 더미셀(DC2,DC4,DC6,DC8)을 소거한다(S05).
- [0034] 도 4은 본 발명의 실시예에 따른 플래시 메모리 장치의 검증동작을 도시한 타이밍도이다.
- [0035] 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 스트링셀(10)을 한번에 프로그래밍하고, 모든 비트라인을 두 번에 나누어 검증하는 동작을 설명한다.
- [0036] 도 1 내지 도 4를 참조하면, T1 시간동안, 본 발명에 따른 검증방법은 제1 및 제2 비트라인(BL1,BL2)을 동시에 그라운드 전압(GND)로 초기화한다. 제1 비트라인(BL1)을 센싱(Sensing)하기 위하여 제1 더미셀(DC1)의 워드라인(D\_WL1)은 그라운드 전압(GND)을 인가하고, 제2 더미셀(DC2)의 워드라인(D\_WL2)은 독출 전압(Vrd)를 인가한다. 또한, 선택된 워드라인은 검증 전압(Verify Voltage)를 인가하고, 비선택된 워드라인은 독출 전압(Vrd)를 인가한다.
- [0037] 본 발명에서 예시하는 독출전압(Vrd)는 스트링셀내의 모든 셀(Cell)의 문턱전압(Vth)보다 더 높은 전압이어야 한다. 왜냐하면, 제1 비트라인(BL1)의 센싱구간동안 제2 비트라인(BL2)의 센싱을 블로킹(Blocking)하여 제2 비트라인(BL2)의 커플링효과(Coupling Effect)를 제거하기 위한 것이다.
- [0038] T2 시간동안, 본 발명에 따른 검증방법은 제1 및 제2 비트라인(BL1,BL2)을 동시에 프리차지(Precharge)한다. 1 및 제2 비트라인(BL1,BL2)을 동시에 프리차지하면, 비트라인 간의 커플링 캐피시터(Coupling Capacitor)가 없

으므로 프리차지 시간(Precharge time)이 단축된다.

- [0039] T3 시간동안, 본 발명에 따른 검증방법은 제1 비트라인(BL1)을 센싱(Sensing)한다. 제1 더미셀(DC1)은 그라운드 전압(GND)이 인가되고, 제2 더미셀(DC2)은 독출 전압(Vrd)이 인가되었으므로, 페이지 버퍼(20)는 제1 비트라인(BL1)의 선택된 워드라인의 셀 전류를 센싱하게 된다.
- [0040] 제3 더미셀(DC3)은 그라운드 전압(GND)이 인가되고, 제4 더미셀(DC4)은 독출 전압(Vrd)이 인가된다. 따라서, 제2 비트라인(BL2)은 제3 더미셀(DC3)에 의하여 차단되므로, 프리차지 전압을 계속 유지한다. 즉, 페이지 버퍼(20)는 제2 비트라인(BL2)에게 계속 프리차지 전압을 인가한다.
- [0041] T4 시간동안, 본 발명에 따른 검증방법은 제1 비트라인(BL1)을 그라운드 전압(GND)으로 디스차지(Discharge)시킨다. 이 때, 제2 비트라인(BL2)는 계속 프리차지 전압을 유지한다.
- [0042] T5 시간동안, 본 발명에 따른 검증방법은 제2 비트라인(BL2)을 센싱(Sensing)한다. 제2 비트라인(BL2)는 프리차지 전압 상태이므로, 페이지 버퍼(20)는 제2 비트라인(BL2)을 바로 센싱할 수 있다.
- [0043] 제3 더미셀(DC3)은 독출 전압(Vrd)이 인가되고, 제4 더미셀(DC4)은 그라운드 전압(GND)이 인가된다. 따라서, 페이지 버퍼(20)는 제2 비트라인(BL2)의 선택된 워드라인의 셀 전류를 센싱하게 된다. 제1 더미셀(DC1)은 독출 전압(Vrd)이 인가되고, 제2 더미셀(DC2)은 그라운드 전압(GND)이 인가되었으므로, 제1 비트라인(BL1)은 제2 더미셀(DC2)에 의하여 차단된다.
- [0044] T6 시간동안, 본 발명에 따른 검증방법은 제2 비트라인(BL2)을 그라운드 전압(GND)으로 디스차지(Discharge)하고, 검증 동작을 종료한다.
- [0045] 본 발명에 따른 검증동작은 동시에 모든 비트라인들을 프리차지하므로, 비트라인들간의 커플링 캐패시터가 존재하지 않으므로, 프리차징 타임을 감소시키고, 제2 비트라인의 프리차지 시간을 스킵할 수 있으므로 검증동작 시간을 감소시킨다. 또한, 본 발명에 따른 검증동작은 독출 동작에도 동일하게 적용할 수 있다.
- [0046] 따라서, 본 발명에 따른 플래시 메모리 장치는 스트링셀 내부에 더미셀을 포함하여 검증 또는 독출 시간을 감소시키는 효과가 있다.
- [0047] 도 5는 도 2에 도시된 더미셀의 MLC 프로그램을 도시하고, 도 6은 도 2에 도시된 더미셀의 SLC 프로그램을 도시한다.
- [0048] 도 2, 도 5 및 도 6을 참조하면, 본 발명의 실시예에 따른 제1 내지 제8 더미셀(DC1-DC8)은 도 5에 도시된 바와 같이 MLC(Multi Level Cell)로 프로그래밍되거나 도 6에 도시된 바와 같이 SLC(Single Level Cell)로 프로그래밍된다.
- [0049] 본 발명의 실시예에 따른 제1 내지 제8 더미셀(DC1-DC8)은 SLC로 프로그래밍된다.
- [0050] 도 7은 본 발명의 제2 실시예에 따른 스트링셀의 더미셀을 도시한 회로도이다. 도 7을 참조하면, 본 발명의 제2 실시예에 따른 스트링셀(110)은 두 개의 더미셀 사이에 정상셀들을 포함한다.
- [0051] 예를 들면, 제1 비트라인(BL1)은 제1 더미셀(DC1)과 제2 더미셀(DC2) 사이에 정상셀을 포함하고, 제2 비트라인(BL2)은 제3 더미셀(DC3)과 제4 더미셀(DC4) 사이에 정상셀을 포함하고, 제3 비트라인(BL3)은 제5 더미셀(DC5)과 제6 더미셀(DC6) 사이에 정상셀을 포함하고, 제4 비트라인(BL4)은 제7 더미셀(DC7)과 제8 더미셀(DC8) 사이에 정상셀을 포함한다.
- [0052] 본 발명에 따른 더미셀의 위치는 스트링셀 내에서 임의적으로 결정할 수 있다.
- [0053] 일반적으로, 스트링셀은 양끝단의 정상셀들의 특성을 중간에 위치한 정상셀들과 동일하게 하기 위하여 정상셀들의 양끝단에 더미셀을 포함한다. 즉, 본 발명의 실시예에 따른 플래시 메모리 장치는 양끝단에 위치한 더미셀을 이용한다.
- [0054] 도 8는 본 발명의 제3 실시예에 따른 스트링셀의 더미셀을 도시한 회로도이다. 본 발명의 제3 실시예에 따른 플래시 메모리 장치는 모든 비트라인들을 4번에 나누어 검증하거나 독출하는 것을 가정한다.
- [0055] 도 8을 참조하면, 본 발명의 제3 실시예에 따른 플래시 메모리 장치는 제1 내지 제4 비트라인(BL1-BL4)을 순차적으로 검증한다.
- [0056] 제1 내지 제4 비트라인(BL1-BL4) 각각은 4개의 더미셀을 포함한다. 즉, 제1 비트라인(BL1)은 제1 내지 제4 더미

셀(DC01-DC04)를 포함하고, 제2 비트라인(BL2)은 제5 내지 제8 더미셀(DC05-DC08)를 포함하고, 제3 비트라인(BL3)은 제9 내지 제12 더미셀(DC09-DC12)를 포함하고, 제4 비트라인(BL4)은 제13 내지 제16 더미셀(DC13-DC16)를 포함한다.

- [0057] 제1, 제6, 제11 및 제16 더미셀(DC01, DC06, DC11, DC16)은 프로그래밍된 상태이고, 나머지 더미셀들(DC2, DC3, DC4, DC5, DC7, DC8, DC9, DC10, DC12, DC13, DC14, DC15)은 소거된 상태이다.
- [0058] 제1 내지 제4 비트라인(BL1-BL4)의 검증동작은 도 4에서 설명한 바와 동일하다. 즉, 제1 내지 제4 비트라인(BL1-BL4) 중에서 독출할 비트라인의 프로그램된 더미셀에는 독출전압을 인가하고, 소거된 더미셀에는 그라운드 전압을 인가한다. 또한, 비독출할 비트라인의 프로그램된 더미셀에는 그라운드 전압을 인가하고, 소거된 더미셀에는 독출전압을 인가한다. 따라서, 제1 내지 제4 비트라인(BL1-BL4)은 동시에 프리차지되고, 순차적으로 센싱된다.
- [0059] 도 9은 본 발명의 제1 내지 제3 실시예를 포함하는 플래시 메모리 시스템을 도시한 블럭도이다.
- [0060] 도 9을 참조하면, 본 발명의 실시예에 따른 플래시 메모리 시스템(1000)은 플래시 메모리 장치(100), 플래시 메모리 컨트롤러(200) 및 호스트(300)를 포함한다.
- [0061] 플래시 메모리 컨트롤러(200)는 중앙처리장치(CPU : Central Processing Unit ; 210), 메모리 인터페이스(Memory Interface ; 220), 에러교정코드(Error Correction Code ; 230), 램(Random Access Memory ; 240), 호스트 인터페이스(Host Interface ; 250), 롬(Read Only Memory ; 260) 및 버스(270)를 포함한다.
- [0062] 본 발명의 실시예에 따른 플래시 메모리 장치(100)는 도 1, 도 7 및 도 8에 도시된 더미셀을 포함한다.
- [0063] 도 9에서, 플래시 메모리 컨트롤러(200) 및 플래시 메모리 장치(100)는 하나의 저장 장치 내에 포함될 수 있다. 이러한 저장 장치에는 USB 메모리 및 메모리 카드(MMC(Multi\_Media Card), SD 카드, xD 카드, CF 카드, SIM 카드 등) 등과 같은 이동식 저장 장치도 포함된다. 또한, 이러한 저장 장치는 컴퓨터, 노트북, 디지털 카메라, 휴대폰, MP3 플레이어, PMP(Portable Multimedia Player), 게임기 등과 같은 호스트(110)에 접속되어 사용된다.
- [0064] 플래시 메모리 컨트롤러(200)는 호스트(300)로부터 플래시 메모리 장치(100)에 대한 읽기 요청을 입력받으면, 플래시 메모리 장치(100)의 워드 라인(WL)을 선택하고, 독출 동작을 실행한다.
- [0065] 중앙처리장치(210)는 호스트(300)의 요청에 응답하여 플래시 메모리 장치(100)의 읽기 또는 쓰기 동작 등을 제어하도록 구성된다.
- [0066] 메모리 인터페이스(220)는 플래시 메모리 장치(100)와 인터페이스 하도록 구성된다.
- [0067] 에러교정코드(230)는 플래시 메모리 장치(100)로 전송되는 데이터(메인 데이터)를 이용하여 ECC 데이터를 생성한다. 그렇게 생성된 ECC 데이터는 플래시 메모리(100)의 스페어 영역(spare area)에 저장된다. 에러교정코드(230)는 플래시 메모리 장치(100)로부터 읽혀진 데이터의 에러를 검출한다. 만약 검출된 에러가 정정 범위 내이면, 에러교정코드(230)는 검출된 에러를 정정한다. 한편, 에러교정코드(230)는 플래시 메모리 시스템(1000)에 따라, 플래시 메모리 장치(100) 내에 위치할 수도 있고, 플래시 메모리 컨트롤러(200) 밖에 위치할 수도 있다.
- [0068] 호스트 인터페이스(250)는 호스트(300)와 인터페이스 하도록 구성된다.
- [0069] ROM(260)은 부트 코드(Boot code) 등과 같은 데이터를 저장하며, RAM(240)은 버퍼 메모리로 사용된다. RAM(240)은 플래시 메모리 장치(100)로부터 읽혀진 데이터 또는 호스트(300)로부터 제공되는 데이터를 임시 저장한다. 또한, RAM(240)은 플래시 변환 레이어(Flash Translation Layer; FTL)를 저장한다. 플래시 변환 레이어(FTL)는 중앙처리장치(210)에 의해 운용된다. RAM(240)은 DRAM, SRAM 등으로 구현될 수 있다.
- [0070] 버스(270)는 중앙처리장치(210), 메모리 인터페이스(220), 에러교정코드(230), RAM(240), 호스트 인터페이스(250) 및 ROM(260)을 상호 연결한다.
- [0071] 여기에서, 플래시 메모리 장치(100)는 하나의 메모리 셀에 싱글 비트 데이터(single bit data)를 저장할 수도 있고, 멀티 비트 데이터(multi bit data)를 저장할 수도 있다.
- [0072] 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된

특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

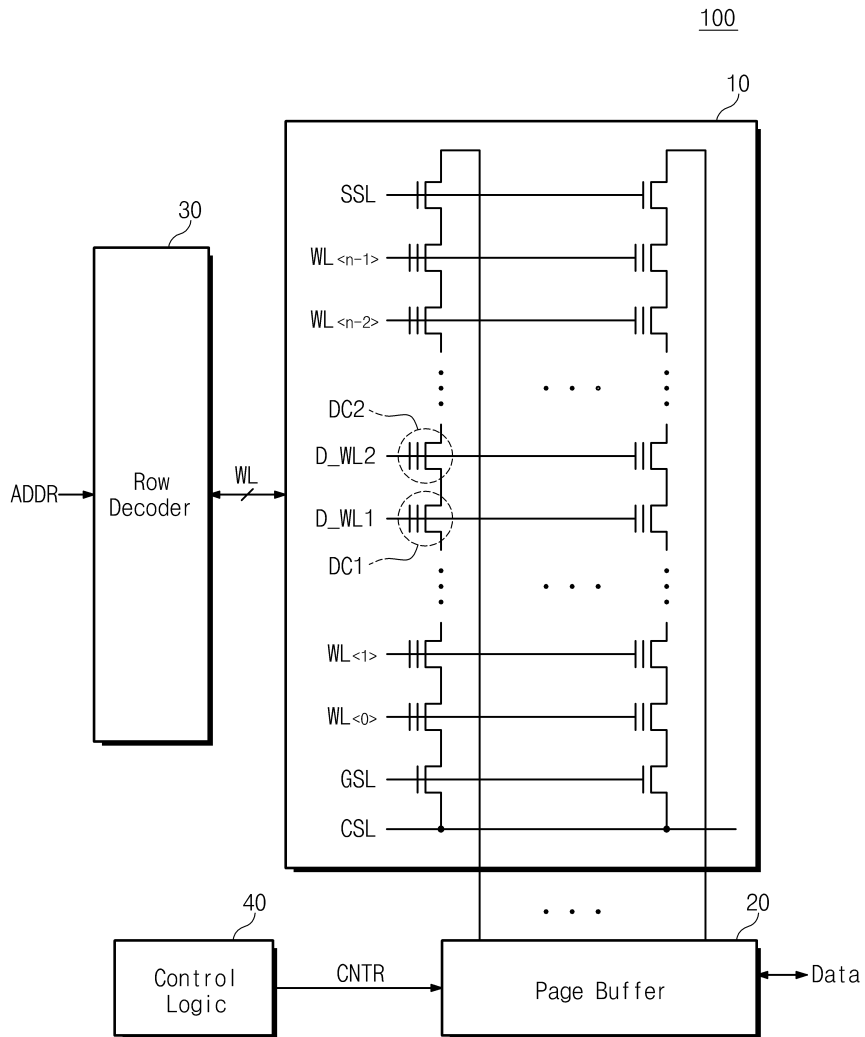
**도면의 간단한 설명**

- [0073] 도 1은 본 발명에 따른 플래시 메모리 장치를 도시한 블록도.
- [0074] 도 2는 도 1에 도시된 복수의 스트링셀(10) 중 일부를 도시한 회로도.
- [0075] 도 3은 도 2에 도시된 더미셀의 프로그램 순서를 도시한 순서도.
- [0076] 도 4은 본 발명의 실시예에 따른 플래시 메모리 장치의 검증동작을 도시한 타이밍도.
- [0077] 도 5는 도 2에 도시된 더미셀의 MLC 프로그램.
- [0078] 도 6은 도 2에 도시된 더미셀의 SLC 프로그램.
- [0079] 도 7은 본 발명의 제2 실시예에 따른 스트링셀의 더미셀을 도시한 회로도.
- [0080] 도 8는 본 발명의 제3 실시예에 따른 스트링셀의 더미셀을 도시한 회로도.
- [0081] 도 9은 본 발명의 제1 내지 제3 실시예를 포함하는 플래시 메모리 시스템을 도시한 블록도.
- [0082] \* 도면의 주요 부분에 대한 부호 설명 \*
- [0083] 10 : 복수의 스트링셀                      20 : 페이지 버퍼
- [0084] 30 : 로우 디코더                              40 : 컨트롤 로직
- [0085] 100 : 플래시 메모리 장치



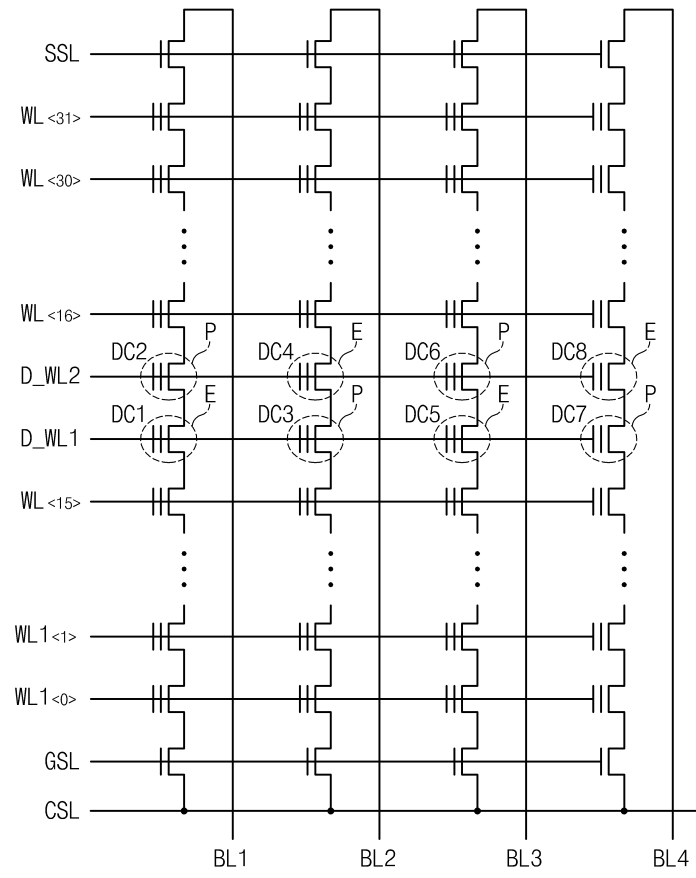
도면

도면1

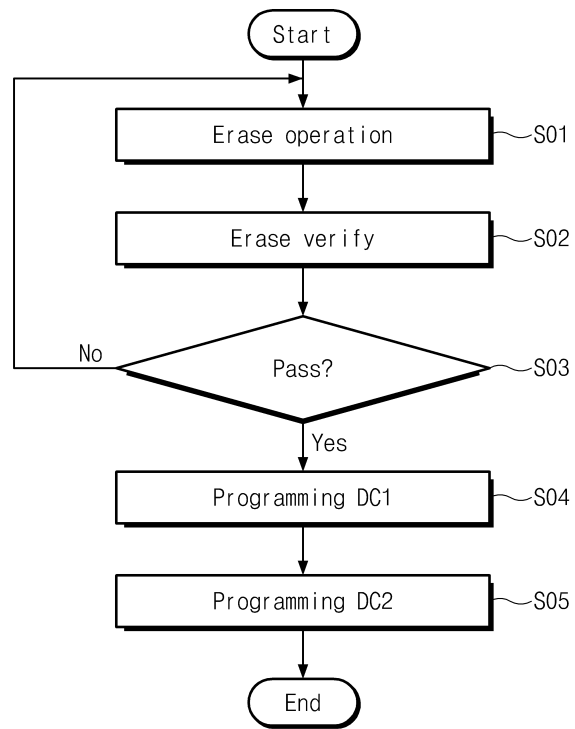


도면2

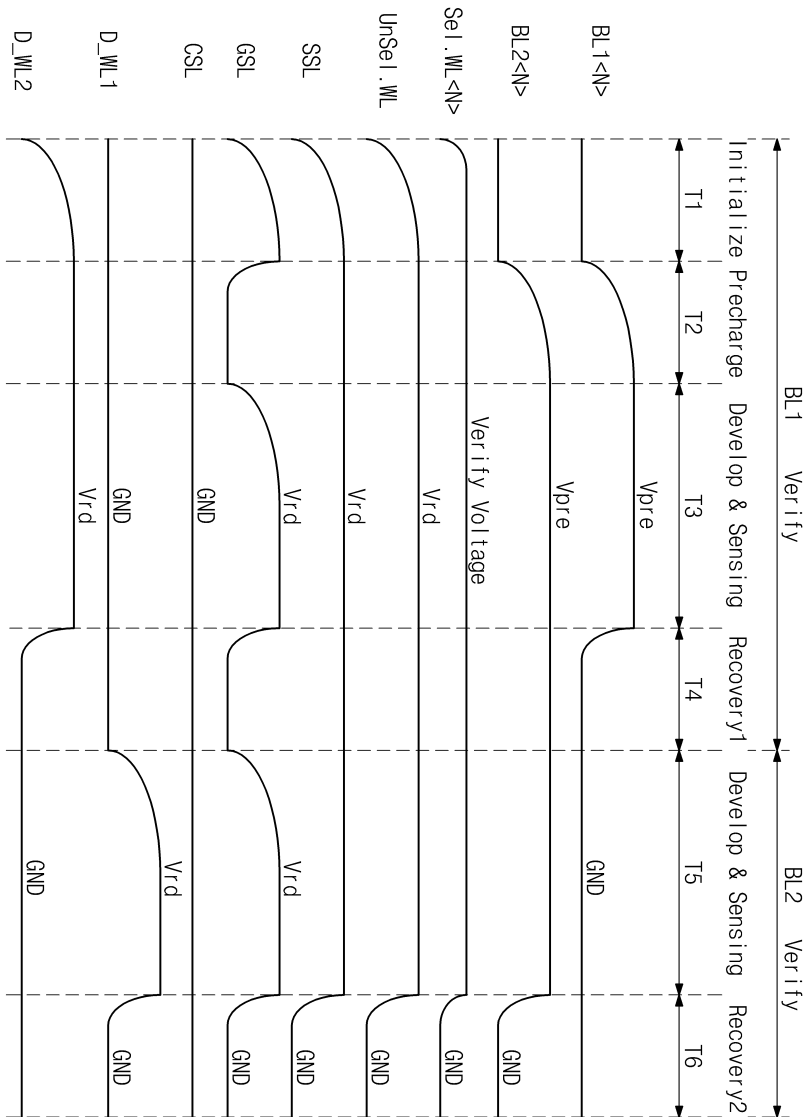
10



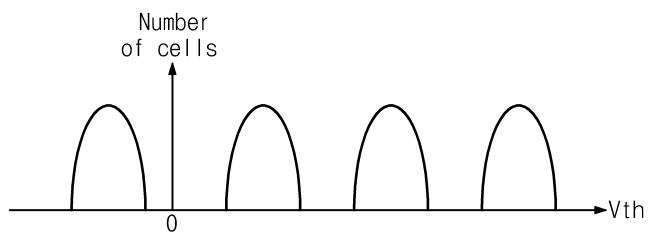
도면3



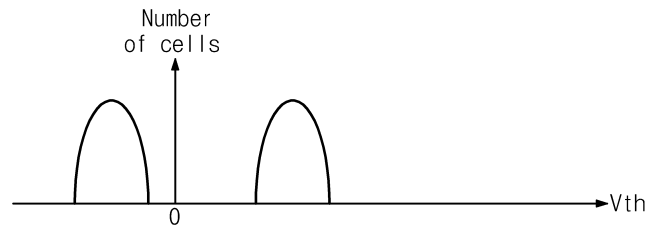
도면4



도면5

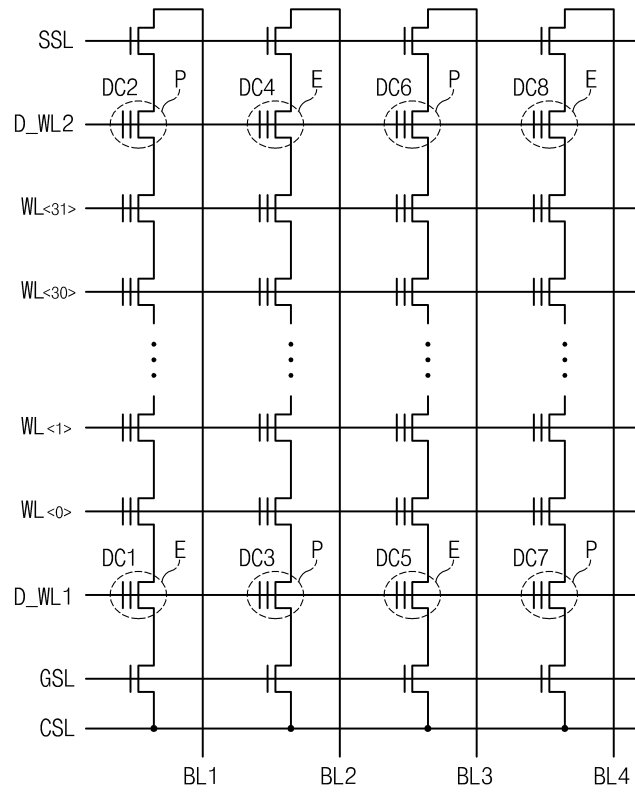


도면6



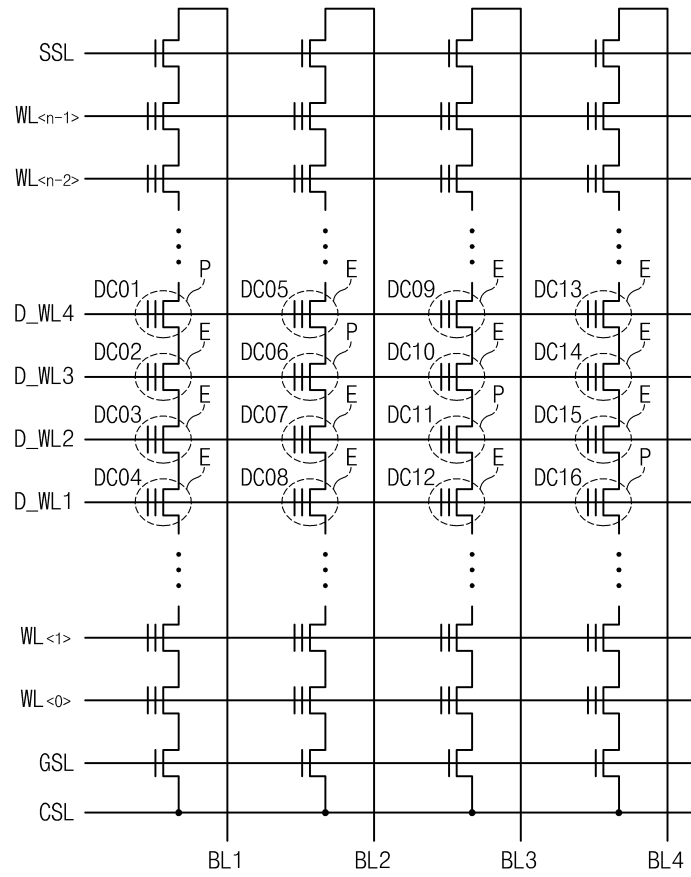
도면7

110



도면8

210



도면9

