

公告本

申請日期	90.5.24
案 號	90112541
類 別	261L 2/82, 2/316

A4
C4

493247

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	具有介電環形堆疊之積體電路渠溝裝置，以及其形成方法
	英 文	INTEGRATED CIRCUIT TRENCH DEVICE WITH A DIELECTRIC COLLAR STACK, AND METHOD OF FORMING THEREOF
二、發明 人	姓 名	1.何莫特 賀斯特 泰司 HELMUT HORST TEWS 2.亞歷山大 麥可利 ALEXANDER MICHAELIS 3.史帝芬 古德卡 STEPHAN KUDELKA 4.魏 史屈洛德 UWE SCHROEDER 5.尤利克 格魯林 ULRIKE GRUENING
	國 籍	均德國
三、申請人	住、居所	1.美國紐約州保基普希市米爾班克路26號 2.德國杜馬根市高特斯坦街16號 3.美國紐約州費雪奇爾市凡威克湖路463號 4.德國德瑞登克洛奇市高瑟街22號 5.德國慕尼黑市雷恩泰勒街36號
	姓 名 (名稱)	美商北美億恒科技公司 INFINEON TECHNOLOGIES NORTH AMERICA CORP.
三、申請人	國 籍	美國
	住、居所 (事務所)	美國加州聖約瑟市北第一街1730號
三、申請人	代 表 人 姓 名	瑪莉 C. 嘉芬 MARY C. GARFEIN

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2000年05月24日 09/577,102 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

技術範疇

概略而言本發明係關於積體電路("IC")及其形成方法，更特別係關於積體電路直立渠溝裝置及其形成方法。

背景

半導體業界繼續不斷試圖縮小位於積體電路的半導體裝置大小。微縮化通常為配合今日半導體製品所需提高電路密度的需求。例如單一半導體製品上有數以百萬個半導體裝置並非少見。

典型微縮化的焦點集中在半導體裝置之二維水平面上，裝置大小縮小至數十微米或以下。但水平取向的半導體裝置能夠縮小的程度有些限制，隨著裝置繼續不斷地縮小，逐漸難以進一步微縮化裝置的水平維度。此外，半導體裝置水平維度的縮小通常易造成半導體裝置操作特性上的問題。

其中一種廣用於電子系統儲存資料之半導體製品為半導體記憶體，一種常見半導體記憶體為動態隨機存取記憶體("DRAM")。DRAM包括數百萬個或數十億個個別DRAM記憶單位，各個記憶單位儲存一位元資料。一個DRAM記憶單位典型包括一個存取場效電晶體("FET")以及一個儲存電容器。存取FET允許於讀及寫操作期間資料電荷來回於儲存電容器間移轉。此外，儲存電容器上的資料電荷於更新操作期間定期被更新。

半導體記憶體密度典型受製造過程中使用的光微影蝕刻術方法加諸的最小光微影蝕刻術結構大小所限。技藝界仍

五、發明說明(2)

然不斷需要提供進一步更高密度記憶體俾進一步提高資料儲存容量及降低製造成本。

其中一種提高半導體記憶體之資料儲存容量之方式係縮小各個記憶單位耗用的積體電路水平平面積。用於水平取向裝置，此項目的可藉由縮小存取FET或儲存電容器或二者的大小達成。但此種辦法由於指定製造技術的最小可再現結構大小而受限制，且出現關聯小維度裝置的問題例如熱載子、衝穿、以及過度洩漏。

另一種提供平面面積縮小之道係使用存取FET及儲存電容器的三維排列。其中一種排列為深渠溝電容器平面FET。渠溝典型深度5-8微米且為頂向下觀視呈卵形形狀。渠溝電容器具有板，板係沿渠溝壁垂直設置而非平行積體電路基板表面。如此獲得每單位平面基板面積的大電容，同時允許裝置具有操作用途的可管理大小。另外，具有垂直取向閘的直立電晶體可於渠溝製造。

於先前技藝，軸環氧化物典型係形成於渠溝側壁上部分例如至渠溝內部約1.5微米深度。軸環氧化物典型提供渠溝裝置的隔離，且防止形成寄生元件，例如於渠溝上區的直立寄生電晶體。軸環氧化物典型為一層厚約200-500埃的二氧化矽。

但通常使用先前技藝辦法於直立DRAM技藝單位製造軸環氧化物出現若干問題。例如軸環氧化物可使用矽局部氧化("LOCOS")方法製成。使用LOCOS方法，使用罩蓋步驟來界定LOCOS軸環長度(換言之深入渠溝的深度)。罩蓋可為

五、發明說明(3)

氮化矽，罩蓋為渠溝填補層而其已經被反向蝕刻或凹陷至渠溝的適當深度。然後熱氧化物生長於罩蓋上方之渠溝側壁上。此種辦法之一項問題為來自渠溝側壁的矽於氧化過程中被耗用，通常要求比先前技藝渠溝蝕刻更緻密或更小的罩蓋開口。生長具有足夠厚度的氧化物隨著氧化物的擴張以及耗用基板材料可能造成機械應力。通常也需高溫來生長氧化物。

LOCOS方法之另一項問題為氧化速率通常與晶面有強烈相依性。由於渠溝基板側壁包含不同晶面，環繞渠溝的氧化物厚度可能有實質改變，造成洩漏以及其它裝置可信度問題。

於去除渠溝罩後，渠溝電容器的埋入板典型係經由攪雜環繞渠溝下部的基板形成。無沉積攪雜技術例如氣相攪雜難以使用，原因在於攪雜劑(例如砷)容易穿透LOCOS軸環氧化物故。替代之道係使用沉積攪雜層例如砷矽酸鹽玻璃("ASG")。但此種辦法通常要求於埋入板攪雜步驟之後另一次凹陷步驟，俾由軸環氧化物去除沉積層。

至於另一例，軸環氧化物可使用沉積方法例如四乙基氧矽烷分解法("TEOS方法")製成。本例中，因氧化物係藉沉積而非生長，故未耗用任何來自渠溝側壁的矽。使用此種辦法的困難在於埋入板攪雜劑方法，無論採用沉積或未採用沉積，藉由如同LOCOS方法的相同攪雜劑滲透問題。換言之，埋入板攪雜劑方法並非自我對準方法。

發明概要

五、發明說明(4)

此等問題通常係藉本發明之較佳具體實施例解決或克服且通常係藉本發明之較佳具體實施例達成技術優勢，本發明之較佳具體實施例中至少二絕緣層用於渠溝裝置隔離軸環。第一層較佳為氧化物形成於渠溝基板側壁上，且係經由TEOS、LOCOS或合併TEOS/LOCOS組合方法製成。較佳TEOS方法及LOCOS方法用以形成第一層。第二層較佳為形成於氧化物層上的氮化矽層。多層係作為渠溝隔離軸環功能，通常可避免先前技藝單獨使用單一氧化製程方法引發的問題。

根據本發明之較佳具體實施例，一種於半導體基板上的深渠溝形成隔離軸環之方法包含形成一層等形氧化物層於渠溝內面；使用罩蓋層填補渠溝下部，因而罩蓋氧化物層下側壁及底部，且留下氧化物層之上側壁未經罩蓋；形成等形絕緣層於氧化物層上側壁以及罩蓋層上表面；各向異性蝕刻絕緣層俾去除絕緣層水平區段，因而留下絕緣層上側壁於毗鄰氧化物層上側壁的渠溝；由渠溝去除罩蓋層而曝露出氧化物層下側壁及底部；以及由渠溝去除氧化物層下側壁及底部俾曝露渠溝底部的基板表面。

根據本發明之另一較佳具體實施例，一種形成動態隨機存取記憶體(DRAM)積體電路之方法包含形成深渠溝於半導體基板；形成多層隔離軸環於渠溝；形成渠溝電容器於渠溝下部；以及形成直立渠溝電晶體於渠溝上部。形成隔離軸環包含形成氧化物層於渠溝上側壁上；以及形成絕緣層於氧化物層上。

五、發明說明(5)

根據本發明之又一較佳具體實施例，一種動態隨機存取記憶體(DRAM)積體電路(IC)包含一條深渠溝位於半導體基板，該渠溝有一上部及一下部；一個渠溝電容器於渠溝下部；以及多層隔離軸環於渠溝上部。隔離軸環包含氧化物層於渠溝上側壁；以及一層絕緣層於氧化物層上。

本發明之較佳具體實施例之優點為可靠的DRAM記憶單元可使用渠溝電容器形成(帶有平面或直立電晶體形成)，如此使用可管理大小的裝置同時又佔有最小水平面面積。

本發明之較佳具體實施例之另一項優點為隔離軸環堆疊組合TEOS方法及LOCOS方法優點，同時避免單獨使用個別方法時造成的問題。例如若使用LOCOS方法則僅用以提供隔離軸環部分。因此由LOCOS方法本身形成的氧化物厚度小於先前技藝LOCOS氧化物厚度，因而讓晶面相依性生長的效應減至最低。

本發明之較佳具體實施例之另一項優點為其讓自我對準方法用於埋入板撓雜。撓雜劑滲透隔離軸環降至最低，且無需額外凹陷步驟。

本發明之較佳具體實施例之另一項優點為渠溝側壁極少或無任何矽被耗用於形成隔離軸環，如此對結構造成的機械應力極低。此外無需先前技藝LOCOS方法所需更緻密的渠溝罩。

本發明之較佳具體實施例之另一項優點為無需用於高溫LOCOS氧化的氮化物罩。

前文已經摘述相當廣泛之本發明之特色及技術優勢，俾

五、發明說明(6)

便更進一步瞭解後文發明之詳細說明部分。後文將說明其它本發明之特色及優點，其形成發明之申請專利範圍之主旨部分。熟諳技藝人士須瞭解，揭示之構想及特定具體實施例方便應用作為修改或設計其它結構或方法用以達成本發明之相同目的的基礎。業界人士也須瞭解，此等相當構造並未悖離如隨附之申請專利範圍陳述之本發明之精髓及範圍。

圖式之簡單說明

為求更完整瞭解本發明及其優點，現在參照後文說明結合附圖加以說明，附圖中：

圖1-10為根據本發明之較佳具體實施例之積體電路構造於各個製造階段之剖面圖。

詳細說明

較佳具體實施例之製造及用途詳細討論如後。但須瞭解，本發明提供可於寬廣特定內容具體實施例之多項可應用發明構想。討論的特定具體實施例僅供據例說明製造及使用本發明之特定方式而非侷限本發明之範圍。附圖係供明白舉例說明較佳具體實施例之關聯特色而不必照比例繪製。

本發明係有關積體電路包括記憶體IC例如隨機存取記憶體("RAM"s)、DRAMs、同步 DRAMS("SDRAM"s)、合併 DRAM-邏輯電路("嵌置 DRAM"s)或其它電路。本發明亦係關於半導體方法及結構，包括直立電容器、直立電晶體、渠溝電容器及渠溝電晶體、此等半導體裝置間的連結、或其它方法及結構。

五、發明說明(7)

現在參照圖1，顯示其中已經對半導體裝置100進行若干初部處理之半導體基板102。基板102較佳包含矽，但也可包含其它半導體材料如砷化鎵。爲了方便討論假設基板102爲p基板，但如業界人士眾所周知也可採用n基板來形成渠溝電容器。襯墊氮化物104形成於基板102表面上俾於隨後處理期間保護基板表面。襯墊氮化物層104表示 N_xO_y 外層，例如具有厚度150至250毫微米，但也可使用其它適當保護材料及厚度。硬罩層如二氧化矽形成於襯墊氮化物層104上，然後使用光微影蝕刻技術圖樣化而形成深渠溝蝕刻用的罩。渠溝106係使用適當蝕刻方法，較佳爲乾蝕刻及更較佳爲反應性離子蝕刻("RIE")形成於基板102。然後去除硬罩層。較佳深渠溝106深度爲5至10微米，而其跨距可小至150毫微米或以下，但視特定應用決定也可採用其它維度。

參照圖2，氧化物層108等形成於渠溝側壁上及於渠溝底部。較佳具體實施例中，氧化物層108爲使用TEOS方法形成的50至200埃厚度二氧化矽層。較佳TEOS方法接著爲LOCOS方法，其具有密化TEOS沉積氧化物的效果。另外，可交換此等處理，首先形成LOCOS氧化物，接著爲沉積TEOS氧化物，然後爲密化退火。至於又另一替代之道，可使用不含LOCOS方法之TEOS氧化物單層。由於未使用LOCOS氧化來形成全部隔離軸環，故可讓不利影響例如機械應力及晶面相依性生長等影響減至最低。多層氧化物層之絕對厚度及相對厚度可變更俾配合特定用途。

參照圖3，罩蓋層110沉積於結構上，填補渠溝106。罩蓋

五、發明說明(8)

層110較佳為多晶矽，但任何其它對組成隔離軸環的材料具有足夠製程選擇性的材料皆可使用。對罩蓋層110進行化學機械研磨，凹陷處理用於讓該層凹陷如渠溝至圖3顯示的程度。

參照圖4，等形絕緣層112沉積於結構上。絕緣層112較佳為使用化學氣相沉積方法製成的厚20至100埃氮化矽層。另外可使用其它厚度或其它材料。於較佳具體實施例，材料須具有低攙雜劑擴散係數故於埋入板形成過程中提供攙雜劑擴散的阻擋層。各向異性蝕刻方法例如反應性離子蝕刻由結構水平面去除氮化矽112。如此曝露罩蓋層110以及氧化物層108形成於襯墊氮化物104上的水平區域。如圖5顯示，其餘氮化矽形成環繞渠溝上部的絕緣層側壁114，且界限渠溝將包含隔離軸環區段。

另一具體實施例中，另一層氧化物層(或其它材料)可形成於另一氧化物層(或其它材料)可形成於攙雜劑阻擋層上作為介電軸環堆疊的一部分。本具體實施例可使用一種材料，其具有與隨後製程步驟的攙雜劑阻擋層不同的製程(例如蝕刻)選擇性。

罩蓋層110隨後使用濕化學蝕刻由渠溝去除。另外可使用乾/濕組合蝕刻或乾蝕刻。蝕刻曝露氧化物層108於渠溝底部及渠溝下部側壁區段，結果形成圖6所示結構。然後使用氧化物蝕刻去除氧化物層108於渠溝曝露區段。氧化物層於渠溝上部區段藉氮化矽層114保護，而未藉氧化物蝕刻由基板去除。結果所得結構顯示於圖7，其中合併二氧化矽層

五、發明說明(9)

116及氮化矽層114形成渠溝的隔離軸環。

參照圖8，可施行瓶蝕刻俾加大渠溝118於隔離軸環下部大小。加大表面積提供形成電容器介電質的較大表面，如此增加裝置電容。參照圖9，將作為渠溝電容器第一板功能的埋入板120係形成於渠溝下部的曝露基板渠溝壁。沉積方法例如包括化學氣相沉積、電漿氣相沉積、濺鍍或其它適當沉積技術。埋入板摻雜較佳係使用氣相摻雜或ASG植入矽進行。氮化矽層114於埋入板形成期間保護二氧化矽層116不會被摻雜劑滲透，如此可對埋入板摻雜以及對渠溝瓶形成進行自我對準處理。

參照圖10，然後於渠溝側壁上以及氮化矽層114上形成節點介電質122。節點介電質122係作為電容器介電質之用，較佳為氮化矽，但可由其它高介電質常數材料如 ZrO_2 ， HfO_2 及 Al_2O_3 形成。電容器內板例如可使用多晶矽形成於渠溝下部。須注意熟諳技藝人士已知之，但非明瞭本發明所必需的若干方法步驟於此處未詳細說明。例如DRAM記憶單元其餘部分包括電晶體以及字線以及位元線的連結可使用習知DRAM處理技術完成。然後結果所得DRAM可用於多種商業及消費者電子裝置包括電腦。

有多種其它材料及方法可由熟諳技藝人士取代前述具體實施例揭示之材料及方法，所有此等替代例皆視為屬於本發明之範圍。例如p型材料或摻雜可替代n型材料及摻雜，反之亦然。此外，熟諳技藝人士可重新排列製程步驟順序而仍然屬於本發明之範圍。用於此處，裝置、層、材料等

五、發明說明(10)

可描述為形成於渠溝"內"或形成於渠溝側壁面"上"，所有此等敘述意圖涵括此等裝置、層及材料伸展入渠溝或側壁面近端區域。

雖然已經說明本發明及其優點，但須瞭解可未悖離如隨附之申請專利範圍界定之本發明之精髓及範圍而做出多項變化、取代及改變。此外，本案範圍絕非意圖侷限於說明書中說明的方法、機器、製造、物質組成、裝置、方法及步驟之特定具體實施例。熟諳技藝人士容易由本發明之揭示內容瞭解目前既有的或未來將發展的各種方法、機器、製造、物質組成、裝置、方法及步驟，其實質上可發揮如此處所述對應具體實施例的相等功能或達成該等具體實施例之實質上相同結果者皆可用於本發明。隨附之申請專利範圍之範圍內意圖包括此等方法、機器、製造、物質組成、裝置、方法或步驟。

四、中文發明摘要（發明之名稱： 具有介電環形堆疊之積體電路渠溝裝置，以 及其形成方法)

一種使用至少二絕緣層而形成渠溝裝置之隔離軸環之方法，以及由該方法形成的裝置。第一層較佳為氧化物(例如二氧化矽 116)形成於渠溝基板側壁上，且係經由 TEOS、LOCOS 或合併 TEOS/LOCOS 方法形成。較佳的，TEOS 方法及 LOCOS 方法係用以形成第一層。第二層較佳為氮化矽層 (114) 形成於氧化物層上。多層係作為渠溝的隔離軸環堆疊功能。第二層的摺雜劑穿透阻擋性質允許介電軸環堆疊用作為隨後埋入板 (120) 摺雜時的自我對準罩。

英文發明摘要（發明之名稱： INTEGRATED CIRCUIT TRENCH DEVICE WITH A DIELECTRIC COLLAR STACK, AND METHOD OF FORMING THEREOF)

A method of using at least two insulative layers to form the isolation collar of a trench device, and the device formed therefrom. The first layer is preferably an oxide (e.g., silicon dioxide 116) formed on the trench substrate sidewalls, and is formed through a TEOS, LOCOS, or combined TEOS/LOCOS process. Preferably, both the TEOS process and the LOCOS process are used to form the first layer. The second layer is preferably a silicon nitride layer (114) formed on the oxide layer. The multiple layers function as an isolation collar stack for the trench. The dopant penetration barrier properties of the second layer permit the dielectric collar stack to be used as a self aligned mask for subsequent buried plate (120) doping.

六、申請專利範圍

1. 一種於半導體基板上的深渠溝形成隔離軸環之方法，該方法包含：
 形成等形氧化物層於該渠溝內面；
 以罩蓋層填補渠溝下部，因而罩蓋氧化物層下側壁及底部，而留下氧化物層之上側壁未經罩蓋；
 形成等形絕緣層於氧化物層上側壁以及罩蓋層上表面上；
 各向異性蝕刻絕緣層俾去除絕緣層的水平區段，因而留下絕緣層於渠溝毗鄰氧化物層上側壁的上側壁；
 由渠溝去除罩蓋層俾曝露氧化物層下側壁及底部；以及
 由渠溝去除氧化物層下側壁及底部俾曝露渠溝下部之基板表面。
2. 如申請專利範圍第1項之方法，其中該形成等形氧化物包含四乙基氧矽烷分解(TEOS)方法。
3. 如申請專利範圍第2項之方法，其中該形成等形氧化物進一步包含矽局部氧化(LOCOS)方法。
4. 如申請專利範圍第3項之方法，其中TEOS方法係於LOCOS方法之前進行。
5. 如申請專利範圍第2項之方法，其中形成等形氧化物進一步包含於TEOS方法後進行密化退火。
6. 如申請專利範圍第1項之方法，其中該基板為矽，該等形氧化物為二氧化矽，以及該等形絕緣層為氮化矽。
7. 如申請專利範圍第6項之方法，其中該二氧化矽之厚度為約50埃至約200埃，以及氮化矽之厚度為約20埃至約

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

100埃。

8. 如申請專利範圍第6項之方法，其中該氮化矽係使用化學氣相沉積而沉積。
9. 如申請專利範圍第1項之方法，其中該各向異性蝕刻包含反應性離子蝕刻。
10. 如申請專利範圍第1項之方法，其中該使用罩蓋層填補渠溝下部進一步包含：
 - 沉積多晶矽層於基板上而填補渠溝；
 - 化學機械研磨多晶矽層；以及
 - 凹陷蝕刻多晶矽層向下至渠溝下部。
11. 一種動態隨機存取記憶體(DRAM)積體電路(IC)，包含：
 - 一條深渠溝位於半導體基板中，該渠溝有一上部及一下部；
 - 一個渠溝電容器於該渠溝下部；以及
 - 一個多層隔離軸環於該渠溝上部，該隔離軸環包含：
 - 一氧化物層於渠溝上側壁；以及
 - 一絕緣層於氧化物層上。
12. 如申請專利範圍第11項之DRAM IC，進一步包含直立渠溝電晶體於該渠溝上部。
13. 如申請專利範圍第11項之DRAM IC，其中該渠溝電容器包含：
 - 一片埋入板於基板內且毗鄰於渠溝下部；
 - 一個節點介電層於基板表面上於渠溝下部；以及
 - 一片內板於渠溝下部。

六、申請專利範圍

14. 如申請專利範圍第11項之DRAM IC，其中該渠溝電容器為瓶渠溝電容器。
15. 如申請專利範圍第11項之DRAM IC，其中該基板為矽，該氧化物層為二氧化矽以及該絕緣層為氮化矽。
16. 如申請專利範圍第15項之DRAM IC，其中該二氧化矽厚度為約50埃至約200埃，以及該氮化矽厚度為約20埃至約100埃。
17. 一種形成動態隨機存取記憶體(DRAM)積體電路之方法，該方法包含：
 - 形成深渠溝於半導體基板；
 - 形成多層隔離軸環於該渠溝，該形成軸環包含：
 - 形成氧化物層於渠溝上側壁；以及
 - 形成絕緣層於氧化物層上；
 - 形成渠溝電容器於渠溝下部；以及
 - 形成直立渠溝電晶體於渠溝上部。
18. 如申請專利範圍第17項之方法，其中該形成渠溝電容器包含：
 - 形成埋入板於基板且毗鄰該渠溝下部；
 - 形成等形節點介電層於渠溝下部的基板表面上；以及
 - 形成內板於渠溝下部。
19. 如申請專利範圍第17項之方法，其中該形成氧化物包含四乙基氧矽烷分解(TEOS)方法。
20. 如申請專利範圍第19項之方法，其中該形成氧化物進一步包含矽局部氧化(LOCOS)方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

21. 如申請專利範圍第20項之方法，其中TEOS方法係於LOCOS方法之前進行。
22. 如申請專利範圍第19項之方法，其中形成等形氧化物進一步包含於TEOS方法後進行密化退火。
23. 如申請專利範圍第17項之方法，其中該基板為矽，該等形氧化物為二氧化矽，以及該等形絕緣層為氮化矽。
24. 如申請專利範圍第23項之方法，其中該二氧化矽之厚度為約50埃至約200埃，以及氮化矽之厚度為約20埃至約100埃。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

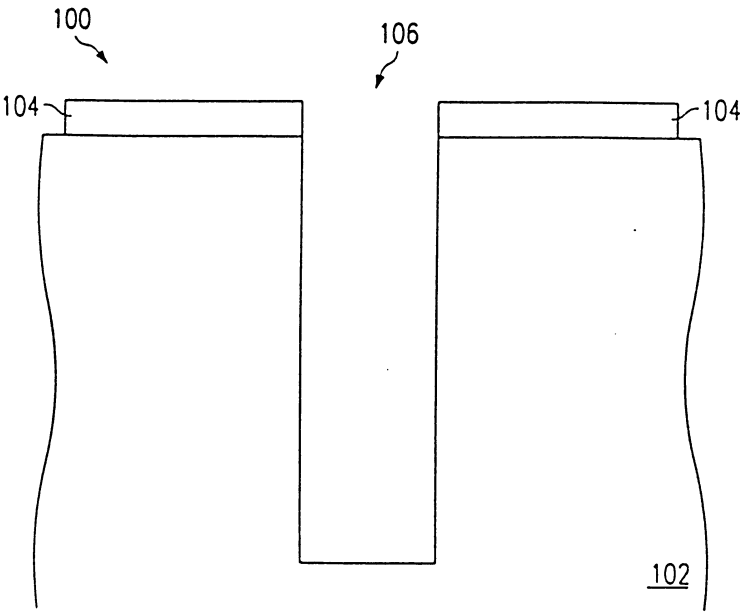


圖 1

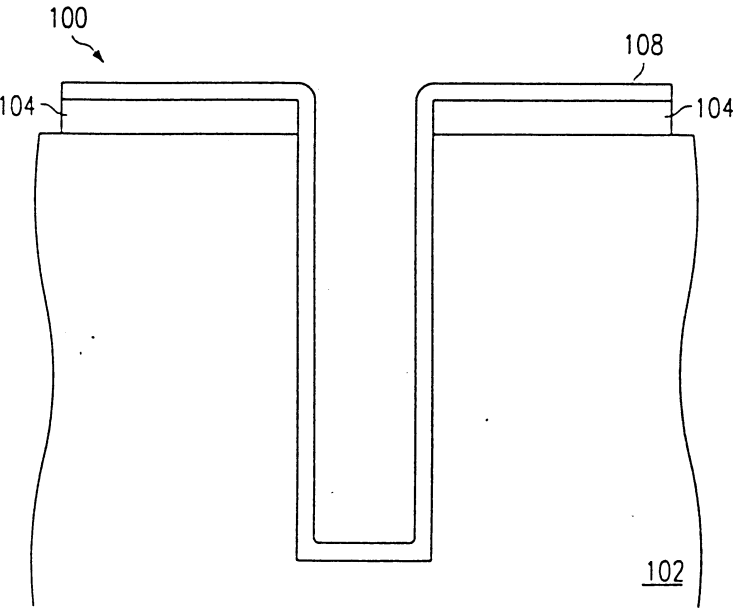


圖 2

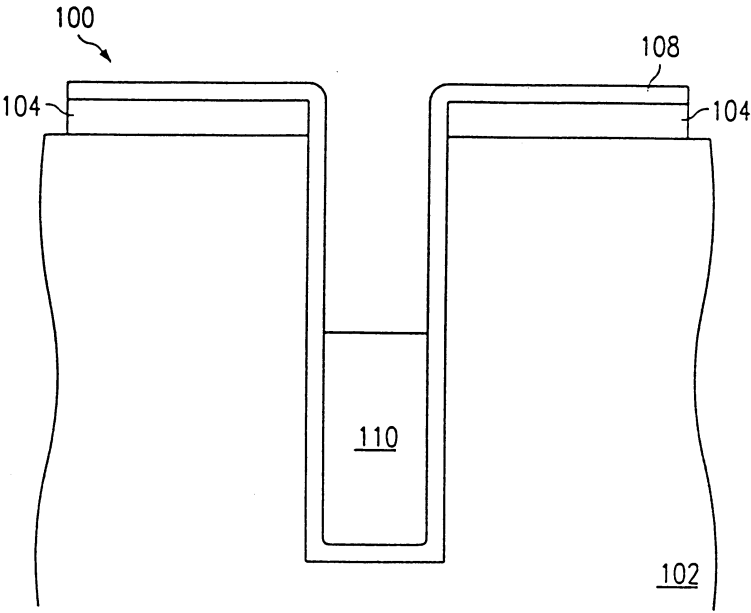


圖 3

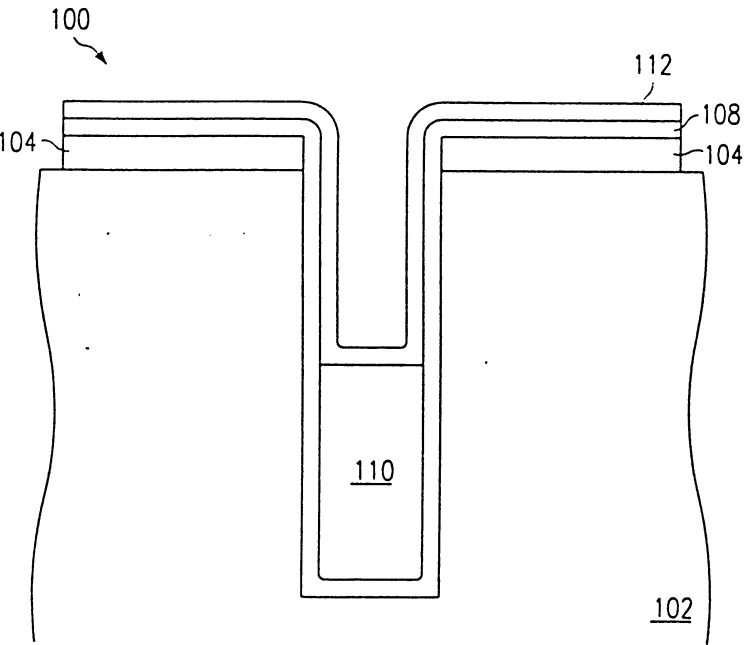


圖 4

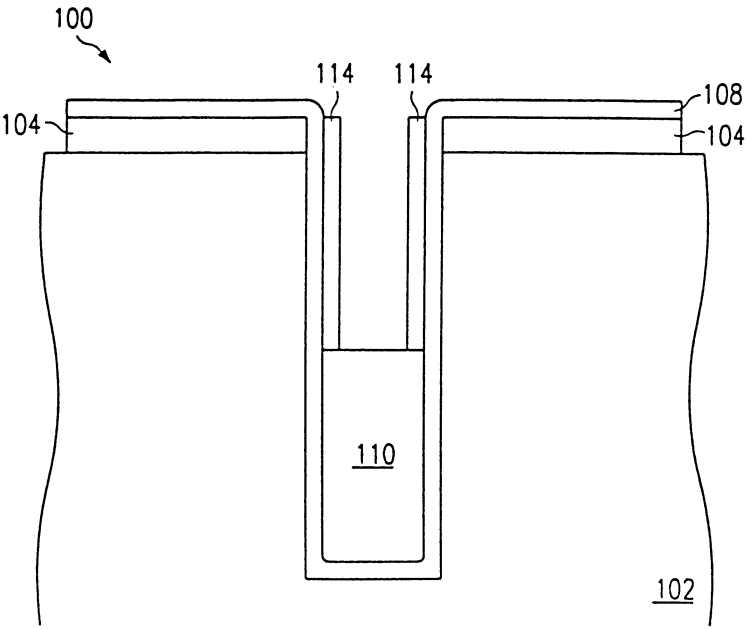


圖 5

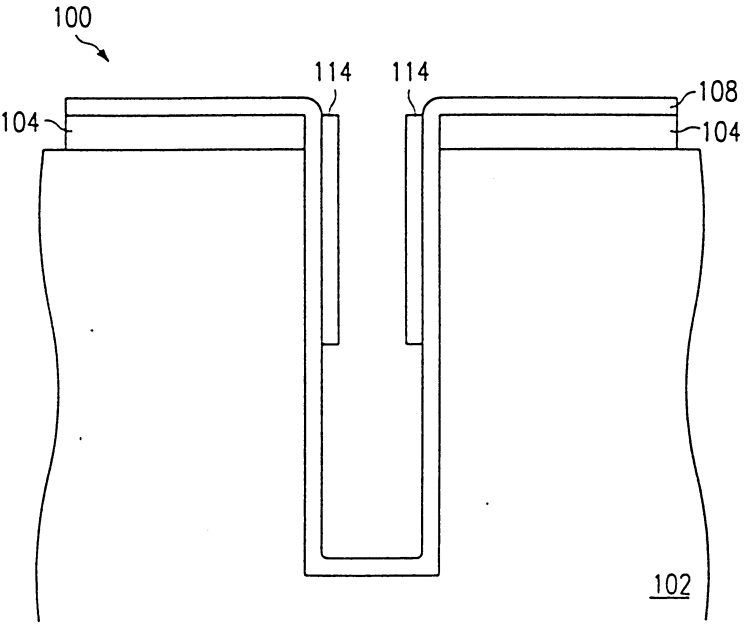


圖 6

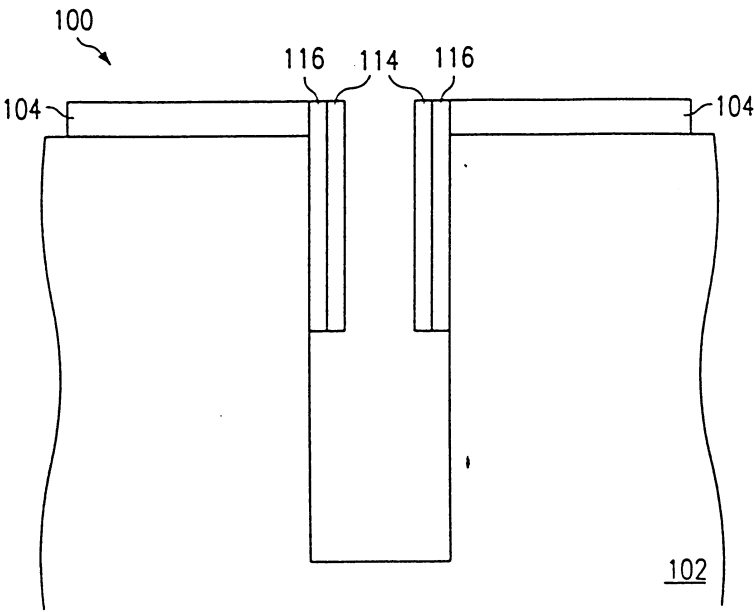


圖 7

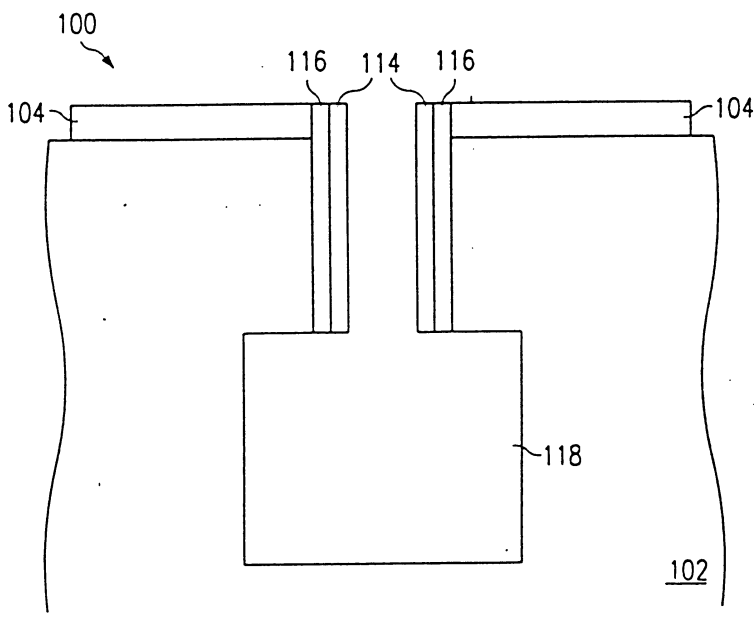


圖 8

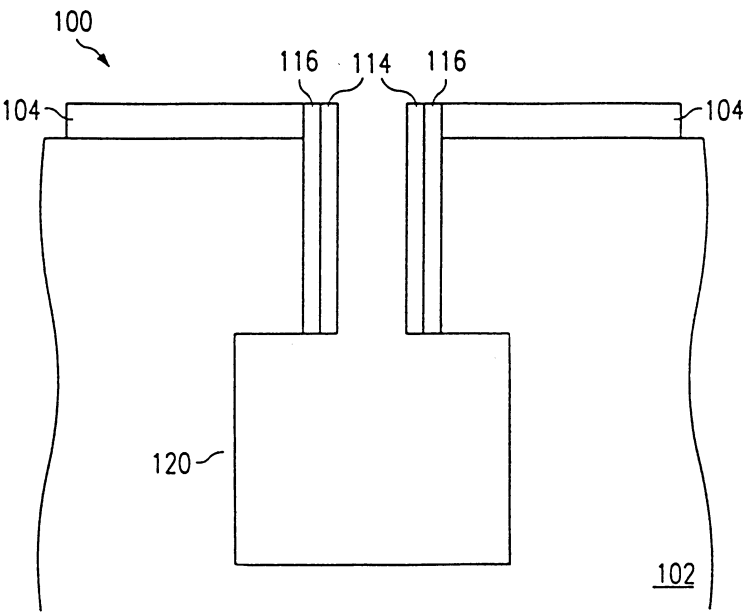


圖 9

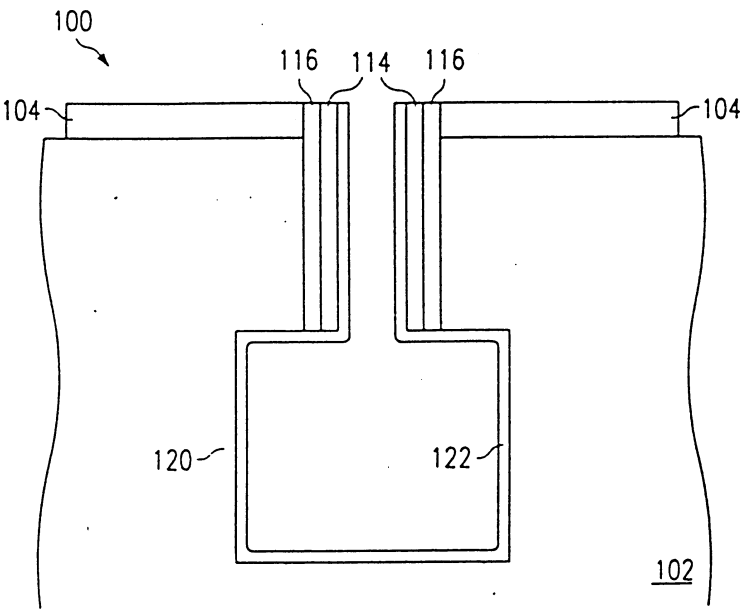


圖 10