



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I481014 B

(45)公告日：中華民國 104 (2015) 年 04 月 11 日

(21)申請案號：098142525

(22)申請日：中華民國 98 (2009) 年 12 月 11 日

(51)Int. Cl. : H01L27/115 (2006.01)

H01L29/423 (2006.01)

H01L21/8247(2006.01)

H01L21/762 (2006.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹市新竹科學工業園區力行路 16 號

(72)發明人：楊金成 YANG, CHIN CHENG (TW)

(74)代理人：詹銘文；蕭錫清

(56)參考文獻：

TW 200703932A

US 2007/0278562A1

審查人員：莊榮昌

申請專利範圍項數：24 項 圖式數：3 共 34 頁

(54)名稱

半導體記憶元件及其製造方法

SEMICONDUCTOR MEMORY DEVICES AND METHODS OF MANUFACTURING THE SAME

(57)摘要

一種半導體記憶元件，包括基底、位於基底上的圖案化的介電層、位於圖案化的介電層上的圖案化的導體層以及多個隔離結構，其中隔離結構對圖案化的導體層提供電性隔離。各隔離結構包括基部、第一區塊以及第二區塊，基部位於基底中，第一區塊由基部延伸至圖案化的導體層，以及第二區塊由基部延伸至圖案化的導體層，其中第一區塊與第二區塊在基底上方彼此分離。

A semiconductor memory device includes a substrate, a patterned dielectric layer on the substrate, a patterned conductive layer on the patterned dielectric layer, and a plurality of isolation structures to provide electrical isolation for the patterned conductive layer. Each of the isolation structures includes a base in the substrate, a first bank extending from the base to the patterned conductive layer, and a second bank extending from the base to the patterned conductive layer, the first bank and the second bank being separated from each other over the substrate.

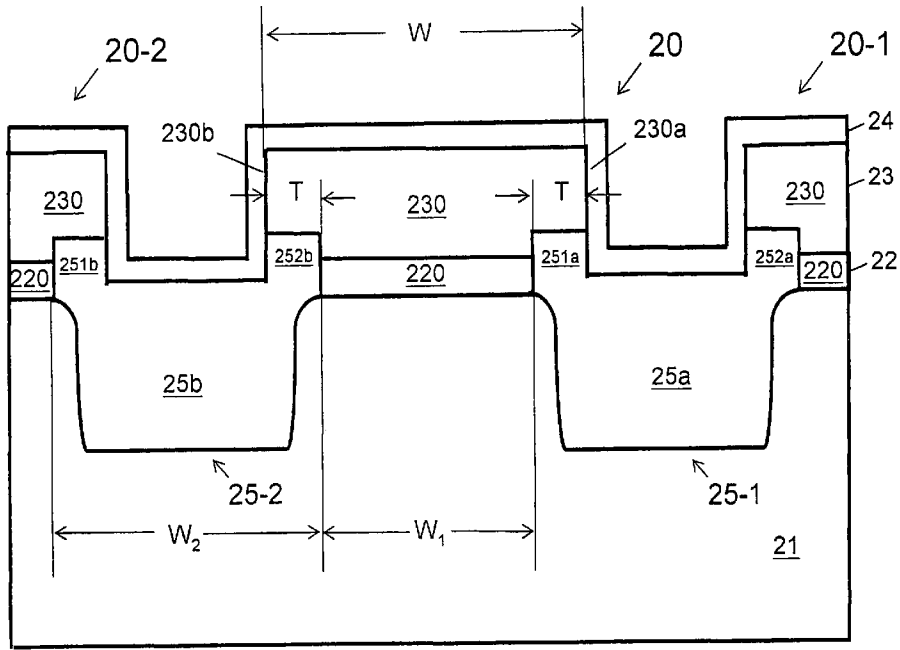


圖 2

- 21 . . . 基底
- 20、20-1、20-2 . . . 記憶胞
- 22 . . . 圖案化的第一介電層
- 23 . . . 圖案化的導體層
- 24 . . . 圖案化的第二介電層
- 25-1、25-2 . . . 隔離結構
- 25a、25b . . . 基部
- 220 . . . 介電單元
- 230 . . . 導體單元
- 230a、230b . . . 側
- 251a、251b、252a、252b . . . 區塊
- W、W<sub>1</sub>、W<sub>2</sub>、T . . . 寬度

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98142525

※申請日：98.12.11

※IPC 分類：H01L 27/115 (2006.01)  
H01L 29/423 (2006.01)  
H01L 21/8247 (2006.01)  
H01L 21/762 (2006.01)

## 一、發明名稱：

半導體記憶元件及其製造方法 / SEMICONDUCTOR  
MEMORY DEVICES AND METHODS OF  
MANUFACTURING THE SAME

## 二、中文發明摘要：

一種半導體記憶元件，包括基底、位於基底上的圖案化的介電層、位於圖案化的介電層上的圖案化的導體層以及多個隔離結構，其中隔離結構對圖案化的導體層提供電性隔離。各隔離結構包括基部、第一區塊以及第二區塊，基部位於基底中，第一區塊由基部延伸至圖案化的導體層，以及第二區塊由基部延伸至圖案化的導體層，其中第一區塊與第二區塊在基底上方彼此分離。

## 三、英文發明摘要：

A semiconductor memory device includes a substrate, a patterned dielectric layer on the substrate, a patterned conductive layer on the patterned dielectric layer, and a plurality of isolation structures to provide electrical isolation for the patterned conductive layer. Each of the isolation structures includes a base in the substrate, a first bank

extending from the base to the patterned conductive layer, and a second bank extending from the base to the patterned conductive layer, the first bank and the second bank being separated from each other over the substrate.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

21：基底

20、20-1、20-2：記憶胞

22：圖案化的第一介電層

23：圖案化的導體層

24：圖案化的第二介電層

25-1、25-2：隔離結構

25a、25b：基部

220：介電單元

230：導體單元

230a、230b：側

251a、251b、252a、252b：區塊

W、W<sub>1</sub>、W<sub>2</sub>、T：寬度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種半導體元件，且特別是有關於一種半導體記憶元件及其製造方法，其中半導體記憶元件具有改良的閘極耦合係數(gate coupling coefficient, GCC)。

### 【先前技術】

閘極耦合係數(GCC)是快閃記憶元件的重要特性之一。具有較大閘極耦合係數的快閃記憶元件通常可以達到較高的元件效能。在快閃記憶元件的製造過程中，可使用淺溝渠隔離(STI)技術來形成隔離結構，以作為位元隔離與字元隔離。特別是，在快閃記憶元件的胞陣列中，淺溝渠隔離結構可以使兩個相鄰的記憶胞電性絕緣。此外，如下文中所討論，淺溝渠隔離結構可能影響快閃記憶元件的閘極耦合係數。

圖 1A 至圖 1H 繪示為一種習知快閃記憶元件的製造方法的剖面示意圖。請參照圖 1A，可以藉由熱氧化製程在基底 11 上形成作為墊氧化層的氧化矽( $\text{SiO}_2$ )層 12。接著，可以藉由沉積製程在墊氧化層 12 上形成氮化矽( $\text{Si}_3\text{N}_4$ )層 13，氮化矽層 13 的厚度“ $T_0$ ”約為 1800 埃(Å)。

請參照圖 1B，可以藉由蝕刻製程移除部分氧化矽層 12 與部分氮化矽層 13，以暴露基底 11 的部分 111。在進行蝕刻製程後，圖案化的氮化矽層 13-1 與圖案化的氧化矽層 12-1 可以一起形成多個堆疊結構 10，這些堆疊結構

10 藉由暴露的部分 111 在行方向上彼此分離且在列方向上延伸。各堆疊結構 10 在行方向上具有寬度“ $W_0$ ”。

請參照圖 1C，可以藉由薄膜沉積製程與蝕刻製程在各堆疊結構 10 的兩側上形成間隙壁氧化物 14。

請參照圖 1D，可以藉由蝕刻製程在相鄰的堆疊結構 10 之間形成溝渠 15，且使用間隙壁氧化物 14 作為保護層，以保護堆疊結構 10 的側壁不被蝕刻。

請參照圖 1E，在沉積製程中，可以使用氧化矽填滿溝渠 15 以形成淺溝渠隔離結構 16。接著，可以進行化學機械研磨製程，以使圖案化的氮化矽層 13-1 的表面以及淺溝渠隔離結構 16 的表面達到平坦化。然後，移除圖案化的氮化矽層 13-1。

請參照圖 1F，可以先藉由沉積製程在圖案化的氧化矽層 12-1 上形成多晶矽層 17，接著再藉由化學機械研磨製程使多晶矽層 17 與淺溝渠隔離結構 16 共平面。

請參照圖 1G，可以部分地蝕刻淺溝渠隔離結構 16，以形成具有較小高度的淺溝渠隔離結構 16-1。

請參照圖 1H，可以藉由沉積製程在多晶矽層 17 與淺溝渠隔離結構 16-1 上形成氧化物-氮化物-氧化物(ONO)層 18。快閃記憶元件的閘極耦合係數是寬度  $W_0$  的函數，繪示於圖 1H 中的寬度  $W_0$  與多晶矽層 17 的各單元或圖案化的氧化矽層 12-1 的各單元在行方向上的寬度一致。也就是說，閘極耦合係數可能隨著寬度  $W_0$  的增加而增加，以及隨著寬度  $W_0$  的減少而減少。

因此較佳是使半導體記憶元件具有較大的寬度  $W_0$  且因而具有改良的閘極耦合係數。此外，目前半導體工業的趨勢是製造具有微型化尺寸的半導體元件。隨著積體電路的所有尺寸進行微縮，記憶體的尺寸以及各記憶胞的寬度  $W_0$  也隨之微縮，如此會對記憶體元件的閘極耦合係數產生負面影響。因此需要一種半導體記憶元件的製造方法，以藉由增加寬度  $W_0$  來改良半導體記憶元件的閘極耦合係數。

#### 【發明內容】

本發明提供一種半導體記憶元件及其製造方法，以達到較高的閘極耦合係數。

本發明提出一種半導體記憶元件，包括基底、位於基底上的圖案化的介電層、位於圖案化的介電層上的圖案化的導體層以及多個隔離結構，其中隔離結構對圖案化的導體層提供電性隔離。各隔離結構包括位於基底中的基部、由基部延伸至圖案化的導體層的第一區塊以及由基部延伸至圖案化的導體層的第二區塊，其中第一區塊與第二區塊在基底上方彼此分離。

本發明提出另一種半導體記憶元件，包括基底、位於基底上的圖案化的介電層、在圖案化的介電層上以行與列排列的導體單元陣列以及多個隔離結構，其中隔離結構對導體單元提供電性隔離。各導體單元包括位於圖案化的介電層上的第一部分以及位於圖案化的介電層上方的第二

部分。第一部分在行方向上具有寬度“ $W_1$ ”以及第二部分在行方向上具有寬度“ $W$ ”，其中  $W_1$  小於  $W$ 。此外，各隔離結構包括位於基底的基部、由基部延伸至導體單元中的一者的第一區塊以及由基部延伸至導體單元中的另一者的第二區塊，其中導體單元中的所述另一者在行方向上與導體單元中的所述一者緊鄰。第一區塊與第二區塊在基底上方彼此分離。

本發明提出又一種半導體記憶元件，包括基底以及在基底上以行與列排列的記憶胞陣列。各記憶胞可以包括位於基底上的介電單元、導體單元、第一隔離結構以及第二隔離結構。導體單元可以包括位於介電單元上的第一部分以及位於介電單元上方的第二部分。第一部分在行方向上具有第一寬度以及第二部分在行方向上具有第二寬度，其中第一寬度小於第二寬度。第一隔離結構可以包括第一區塊，其中第一區塊與導體單元的第一部分與第二部分連接。此外，第二隔離結構可以包括第二區塊，其中第二區塊與導體單元的第一部分與第二部分連接。第一區塊與第二區塊在基底上方彼此分離。

本發明另提出一種半導體記憶元件的製造方法。首先，提供基底。接著，於基底上形成圖案化的第一介電層。然後，於圖案化的第一介電層上形成圖案化的第二介電層，其中圖案化的第一和第二介電層暴露部分基底。接著，經由基底的暴露部分形成溝渠。而後，以介電材料填滿溝渠以形成第一隔離溝渠並以化學機械研磨製程對其

進行平坦化。繼之，部分地移除圖案化的第二介電層的高度，以形成圖案化的介電層。接著，蝕刻第一隔離溝渠，以形成第二隔離溝渠，其中各第二隔離溝渠具有頂部以及分別位於頂部的一側上的第一與第二肩部。然後，移除圖案化的介電層。而後，於圖案化的第一介電層上形成圖案化的導體層，其中圖案化的導體層與第二隔離溝渠的頂部位於同一水平面上。繼之，藉由移除第二隔離溝渠的頂部，以形成第三隔離溝渠，如此各第三隔離溝渠包括第一與第二肩部以及低於第一與第二肩部的一暴露表面。

本發明之一部分的特徵與優點將在下文中敘述，以及其他特徵與優點可以根據本發明的敘述而理解，或可以藉由施行本發明而習得。藉由所附的申請專利範圍所描述的元件與結合可以實現且得到本發明之特徵與優點。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

將參照本發明之實施例以及所附圖式來詳述本發明。在所有圖式中有可能會使用相同的標號來表示相同或相似的部分。必須了解的是，圖式是簡化的表示方式，而不是用以表示確實的尺寸。

圖 2 為根據本發明之一實施例的半導體記憶元件的一部分的記憶胞 20 的局部剖面示意圖。記憶胞 20 可以用作半導體記憶元件中的儲存單元，其中半導體記憶元件包

括記憶胞 20 陣列。為了簡化圖式，僅繪示一個記憶胞的一部分，而未繪示半導體記憶元件的整個記憶胞陣列。

請參照圖 2，半導體記憶元件可以包括基底 21、圖案化的第一介電層 22、圖案化的導體層 23、圖案化的第二介電層 24 以及多個隔離結構(僅以第一隔離結構 25-1 與第二隔離結構 25-2 作為代表)，其中圖案化的第一介電層 22 更包括介電單元 220 陣列，圖案化的導體層 23 更包括排列成行與列的導體單元 230 陣列。介電單元 220 陣列可以在列方向上延伸，例如在垂直於圖 2 的頁面平面的方向上。此外，代表性的記憶胞 20 可以包括介電單元 220、位於介電單元 220 上的導體單元 230 以及第一隔離結構 25-1 與第二隔離結構 25-2。

介電單元 220 可以包括氧化矽( $\text{SiO}_2$ )與氮氧化矽( $\text{SiON}$ )中的一者，且可以作為記憶胞 20 的墊氧化層或墊介電層。介電單元 220 在行方向上具有約為“ $W_1$ ”的寬度，其中行方向例如是在水平於圖 2 的頁面平面的方向上。

導體單元 230 可以包括多晶矽，且可以作為記憶胞 20 的浮置閘極。導體單元 230 可以更包括位於介電單元 220 上的第一部分(未標示)以及位於介電單元 220 上方的第二部分(未標示)。導體單元 230 的第一部分在行方向上具有約為“ $W_1$ ”的寬度，以及導體單元 230 的第二部分在行方向上具有約為“ $W$ ”的寬度，其中  $W_1$  小於  $W$ 。

第一與第二隔離結構 25-1、25-2(例如淺溝渠隔離(STI)結構)可以對記憶胞 20 提供電性隔離。第一隔離結構 25-1

可以包括位於基底 21 中的第一基部 25a、第一區塊 251a 以及第二區塊 252a，其中第一區塊 251a 由第一基部 25a 延伸至記憶胞 20 的導體單元 230，以及第二區塊 252a 由第一基部 25a 延伸至另一記憶胞 20-1 的導體單元 230，其中記憶胞 20-1 在行方向上與記憶胞 20 緊鄰。第一區塊 251a 與第二區塊 252a 可以在基底 21 的上方彼此分離。此外，第一區塊 251a 可以在行方向上與導體單元 230 的第一側 230a 共平面。再者，第一區塊 251a 與導體單元 230 的第一與第二部分連接，且第一區塊 251a 在行方向上具有約為“T”的寬度。

相似地，第二隔離結構 25-2 可以包括位於基底 21 中的第二基部 25b、第一區塊 251b 以及第二區塊 252b，其中第一區塊 251b 由第二基部 25b 延伸至又一記憶胞 20-2 的導體單元 230，其中記憶胞 20-2 在行方向上與記憶胞 20 緊鄰，以及第二區塊 252b 由第二基部 25b 延伸至記憶胞 20 的導體單元 230。第一區塊 251b 與第二區塊 252b 可以在基底 21 的上方彼此分離。此外，第二區塊 252b 可以在行方向上與導體單元 230 的第二側 230b 共平面。再者，第二區塊 252b 與導體單元 230 的第一與第二部分連接，且第二區塊 252b 在行方向上具有約為“T”的寬度。

在本實施例中，尺寸參數  $W$ 、 $W_1$ 、 $T$  滿足如下所示的等式(1)。

$$W = W_1 + 2T \quad \text{等式(1)}$$

可以預先決定“T”值，以避免相鄰的導體單元 230 在製程中發生短路。在一實施例中，寬度 T 可以等於或小於  $1/3W_2$ ，例如  $T \leq W_2/3$ 。在另一實施例中，寬度 T 介在  $1/4 W_2$  至  $1/3W_2$  之間，例如  $W_2/4 \leq T \leq W_2/3$ 。

相較於圖 1H 所示的半導體記憶元件，在所關注的寬度中，根據本發明的半導體記憶元件的“W”大於習知半導體記憶元件的寬度“ $W_0$ ”(其實質上等於圖 2 所示的  $W_1$ )。因此，本發明之半導體記憶元件的閘極耦合係數大於如圖 1H 所示的習知半導體記憶元件的閘極耦合。

圖 3A 至圖 3K 為圖 2 所示的半導體記憶元件的製造方法的剖面示意圖。

請參照圖 3A，提供基底 31，其例如是已摻雜有 p 型摻質。接著，例如是藉由沉積製程在基底 31 上形成第一介電層 32。第一介電層 32 可以包括氧化矽( $\text{SiO}_2$ )與氮氧化矽( $\text{SiON}$ )中的一者，第一介電層 32 具有介於約 100 埃( $\text{\AA}$ )至 300 埃的厚度。接著，藉由沉積製程在第一介電層 32 上形成第二介電層 33。在一實施例中，第二介電層 33 可以包括氮化矽( $\text{Si}_x\text{N}_y$ )，且其具有介於約 2000 埃至 3600 埃的厚度“ $T_1$ ”。厚度  $T_1$  大於圖 1A 所示的厚度  $T_0$ ，以在後續製程中定義出半導體記憶元件的特徵。

請參照圖 3B，可以依序藉由微影製程與蝕刻製程形成圖案化的第二介電層 33-1 以及圖案化的第一介電層 32-1。接著，暴露基底 31 的部分 311。圖案化的第一介電層 32-1 與圖案化的第二介電層 33-1 中的任一者在行方向

上可以具有寬度“ $W_1$ ”。此外，各暴露部分 311 可以在行方向上具有寬度“ $W_2$ ”。在不同的世代(generation)的製程中，可以變化寬度  $W_1$ 、 $W_2$ 。例如，在 90 奈米(90-nm)的製程中，寬度  $W_1$  可以是約 40 nm 且寬度  $W_2$  可以是約 50 nm，以金氧半導體場效電晶體(MOSFET)的通道長度為 90 nm 為例，所述的寬度約為通道長度的一半。

請參照圖 3C，藉由依序進行沉積製程與蝕刻製程，可以沿著圖案化的第一介電層 32-1 與圖案化的第二介電層 33-1 的兩側壁形成側壁間隙壁 34。側壁間隙壁 34 可以包括氧化矽且具有約為 200 埃的厚度。

請參照圖 3D，可以在基底 31 中形成溝渠 35，其中各溝渠 35 暴露基底 31。形成溝渠 35 的方法可以是淺溝渠隔離(STI) 技術，且在形成溝渠的製程中，側壁間隙壁 34 可用以保護圖案化的第一介電層 32-1 與圖案化的第二介電層 33-1。由基底 31 的表面算起，各溝渠 35 可以具有介於約 2000 埃至 3500 埃的深度。

請參照圖 3E，接著可以使用介電材料填滿溝渠 35，例如是以高密度電漿(HDP)沉積製程填入氧化矽。然後，以圖案化的第二介電層 33-1 為研磨終止層，進行化學機械研磨製程以平坦化或使平整化所沉積的高密度電漿(HDP)沉積層，以形成第一隔離溝渠 36-1。

請參照圖 3F，接著，藉由蝕刻製程部分地移除或回蝕刻圖案化的第二介電層 33-1，以形成圖案化的介電層 33-2。在本實施例中，圖案化的介電層 33-2 具有約為 1800

埃的厚度“ $T_2$ ”，且其厚度實質上等於圖 1A 所示的氮化矽層 13 的厚度  $T_0$ 。圖案化的介電層 33-2 暴露各第一隔離溝渠 36-1 的一部分。

請參照圖 3G，例如是以等向性蝕刻法部分地移除各第一隔離溝渠 36-1 的暴露部分，以形成第二隔離溝渠 36-2，使第二隔離溝渠 36-2 的高度由  $T_1$  縮減至  $T_3$ 。藉由控制等向性蝕刻製程的製程時間，在行方向上，各第二隔離溝渠 36-2 可以包括頂部 363、位於頂部 363 之一側的第一肩部 361 以及位於頂部之另一側的第二肩部 362。第一肩部 361 與第二肩部 362 在行方向上具有寬度“ $T$ ”。如同前文參照圖 2 所述，可以預先決定“ $T$ ”值，以確保頂部 363 在行方向上的寬度“ $W_3$ ”足以預防相鄰的記憶胞之間發生短路，其中  $W_3 = W_2 - 2T$ 。在一實施例中，寬度  $T$  可以等於或小於  $1/3W_2$ ，例如  $T \leq W_2/3$ 。在另一實施例中，寬度  $T$  可以介於  $1/4 W_2$  至  $1/3W_2$ ，諸如  $W_2/4 \leq T \leq W_2/3$ 。

請參照圖 3H，可以對圖案化的介電層 33-2 進行全面性移除，例如是藉由等向性蝕刻製程，諸如以  $H_3PO_4$  溶液為蝕刻劑。

請參照圖 3I，可以在第二隔離溝渠 36-2 與圖案化的第一介電層 32-1 的上方形成導體層，例如是藉由沉積製程形成材料為多晶矽層的導體層。接著，例如是以第二隔離溝渠 36-2 為研磨終止層，以化學機械研磨製程對導體層進行平坦化，以形成圖案化的導體層 37。圖案化的導體層 37 可以包括在列方向上延伸的導體區段 370 陣列。

各導體區段 370 可以包括具有寬度“ $W_1$ ”的第一區段以及具有寬度“ $W$ ”的第二區段，其中第一區段位於圖案化的第一介電層 32-1 上，以及第二區段在行方向上位於圖案化的第一介電層 32-1 上方，其中  $W$  實質上等於  $W_1$  加上  $2T$ 。

請參照圖 3J，以圖案化的導體層 37 為罩幕，例如是藉由蝕刻製程移除各第二隔離溝渠 36-2 的一部分，以形成第三隔離溝渠 36-3。其中，蝕刻製程例如是氧化沉浸製程(oxide dip process)。在蝕刻製程後，可以對第二隔離溝渠 36-2 的頂部 363 進行全面移除，使各第三隔離溝渠 36-3 的暴露表面 364 低於第一與第二肩部 361、362。因此，第一與第二肩部 361、362 相對於各暴露表面 364 為“區塊”。再者，各第三隔離溝渠 36-3 可以包括位於基底 31 中的基部 360 以及由基部 360 延伸的第一區塊 361 與第二區塊 362。

請參照圖 3K，例如是藉由沉積製程，於圖案化的導體層 37 上形成包括氧化物-氮化物-氧化物(ONO)堆疊層的第三介電層 38。此外，可以在第三介電層 38 的上方形成另一導體層(未繪示)，以作為控制閘極層，以及可以對導體層、第三介電層 38 以及圖案化的導體層 37 進行圖案化，以依序形成記憶胞的矩陣。

任何所屬技術領域中具有通常知識者應理解，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾。因此，可以理解的是，本發明不限於所揭露的特定實施例，也就是說在本發明之精神和範圍內，可對其作些許之更動

與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

此外，在本發明的實施例中，是以具有特定的步驟順序來描述本發明之方法及/或製程。然而，本發明之方法或製程並不限於此處所述的步驟順序。任何所屬技術領域中具有通常知識者應理解，也有可能是其他順序。因此，在說明書中所述的步驟的特定順序不應被認為是對申請專利範圍的限制。再者，申請專利範圍中對本發明之方法及/或製程的描述也不應被認為是依照所書寫的順序來進行，任何所屬技術領域中具有通常知識者應理解，在本發明之精神和範圍內可以更動順序。

#### 【圖式簡單說明】

圖 1A 至圖 1H 繪示為一種習知快閃記憶元件的製造方法的剖面示意圖。

圖 2 為根據本發明之一實施例的半導體記憶元件的一部分的記憶胞的局部剖面示意圖。

圖 3A 至圖 3K 為圖 2 所示的半導體記憶元件的製造方法的剖面示意圖。

#### 【主要元件符號說明】

- 10：堆疊結構
- 11、21、31：基底
- 12：氧化矽層
- 12-1：圖案化的氧化矽層
- 13：氮化矽層

- 13-1：圖案化的氮化矽層
- 14：間隙壁氧化物
- 15：溝渠
- 16、16-1：淺溝渠隔離結構
- 17：多晶矽層
- 18：氧化物-氮化物-氧化物層
- 20、20-1、20-2：記憶胞
- 22、24、32、32-1、33、33-1、38：介電層
- 23、37：圖案化的導體層
- 25-1、25-2：隔離結構
- 25a、25b、360：基部
- 34：側壁間隙壁
- 35：溝渠
- 36-1、36-2、36-3：隔離溝渠
- 111、311：部分
- 220：介電單元
- 230：導體單元
- 230a、230b：側
- 251a、251b、252a、252b、361、362：區塊
- 361、362：肩部
- 363：頂部
- 364：表面
- 370：導體區段
- W、W<sub>0</sub>、W<sub>1</sub>、W<sub>2</sub>、W<sub>3</sub>、T：寬度
- T<sub>0</sub>、T<sub>1</sub>、T<sub>3</sub>：厚度

## 七、申請專利範圍：

1. 一種半導體記憶元件，包括：

基底；

圖案化的介電層，位於所述基底上；

圖案化的導體層，位於所述圖案化的介電層上，該圖案化的導體層的表面為一平面；以及

多個隔離結構，對所述圖案化的導體層提供電性隔離，各所述隔離結構包括位於所述基底中的基部、由所述基部延伸至所述圖案化的導體層的第一區塊以及由所述基部延伸至所述圖案化的導體層的第二區塊，其中所述第一區塊與所述第二區塊在所述基底上方彼此分離，

其中橫跨所述第一區塊與所述第二區塊的各所述隔離結構在所述行方向上具有寬度  $W_2$ ，以及所述第一區塊與所述第二區塊中的任一者在所述行方向上具有寬度  $T$ ，其中  $T$  介在  $1/4 W_2$  至  $1/3 W_2$  之間。

2. 如申請專利範圍第 1 項所述之半導體記憶元件，其中所述圖案化的導體層包括排列成行與列的導體單元陣列，各所述導體單元在行方向上具有寬度  $W$ ，以及其中所述圖案化的介電層包括介電單元陣列，各所述介電單元在所述行方向上具有寬度  $W_1$ ，其中寬度  $W_1$  小於寬度  $W$ 。

3. 如申請專利範圍第 2 項所述之半導體記憶元件，其中所述隔離結構包括第一隔離結構與第二隔離結構，所述第一隔離結構的所述第一區塊延伸至所述導體單元中的第一導體單元且在所述行方向上具有寬度  $T$ ，以及所述第

二隔離結構的所述第二區塊延伸至所述第一導體單元且在所述行方向上具有寬度  $T$ ，其中  $W = W_1 + 2T$ 。

4. 如申請專利範圍第 2 項所述之半導體記憶元件，其中所述隔離結構包括第一隔離結構，所述第一隔離結構的所述第一區塊延伸至所述導體單元中的第一導體單元，且所述第一隔離結構的所述第一區塊在所述行方向上與所述第一導體單元的第一側共平面。

5. 如申請專利範圍第 4 項所述之半導體記憶元件，其中所述隔離結構包括第二隔離結構，所述第二隔離結構的所述第二區塊延伸至所述第一導體單元，且所述第二隔離結構的所述第二區塊在所述行方向上與所述第一導體單元的第二側共平面。

6. 如申請專利範圍第 2 項所述之半導體記憶元件，其中所述隔離結構包括第一隔離結構，所述第一隔離結構的所述第一區塊延伸至所述導體單元中的第一導體單元，以及所述第一隔離結構的所述第二區塊延伸至所述導體單元中的第二導體單元，所述第一導體單元在所述行方向上與所述第二導體單元緊鄰。

7. 一種半導體記憶元件，包括：

基底；

圖案化的介電層，位於所述基底上；

導體單元陣列，於所述圖案化的介電層上以行與列排列，各所述導體單元具有第一部分與第二部分，所述第一部分位於所述圖案化的介電層上且在行方向上具有寬度

$W_1$ ，以及所述第二部分位於所述圖案化的介電層上方且在所述行方向上具有寬度  $W$ ，其中  $W_1$  小於  $W$ ；以及

多個隔離結構，對所述導體單元提供電性隔離，各所述隔離結構包括基部、第一區塊以及第二區塊，所述基部位於所述基底中、所述第一區塊由所述基部延伸至所述導體單元中的一者以及所述第二區塊由所述基部延伸至所述導體單元中的另一者，其中所述導體單元中的所述另一者在所述行方向上與所述導體單元中的所述一者緊鄰，其中所述第一區塊與所述第二區塊在所述基底上方彼此分離，

其中橫跨所述第一區塊與所述第二區塊的各所述隔離結構在所述行方向上具有寬度  $W_2$ ，以及所述第一區塊與所述第二區塊中的任一者在所述行方向上具有寬度  $T$ ，其中  $T$  介在  $1/4 W_2$  至  $1/3 W_2$  之間。

8. 如申請專利範圍第 7 項所述之半導體記憶元件，其中圖案化的介電層包括介電單元陣列，各所述介電單元在所述行方向上具有寬度  $W_1$ 。

9. 如申請專利範圍第 7 項所述之半導體記憶元件，其中所述隔離結構包括第一隔離結構與第二隔離結構，所述第一隔離結構的所述第一區塊延伸至所述導體單元中的第一導體單元且在所述行方向上具有寬度  $T$ ，以及所述第二隔離結構的所述第二區塊延伸至所述第一導體單元且在所述行方向上具有寬度  $T$ ，其中  $W = W_1 + 2T$ 。

10. 如申請專利範圍第 7 項所述之半導體記憶元件，其中所述隔離結構包括第一隔離結構，所述第一隔離結構的所述第一區塊延伸至所述導體單元中的第一導體單元，且所述第一隔離結構的所述第一區塊在所述行方向上與所述第一導體單元的第一側共平面。

11. 如申請專利範圍第 10 項所述之半導體記憶元件，其中所述隔離結構包括第二隔離結構，所述第二隔離結構的所述第二區塊延伸至所述第一導體單元，且所述第二隔離結構的所述第二區塊在所述行方向上與所述第一導體單元的第二側共平面。

12. 如申請專利範圍第 11 項所述之半導體記憶元件，其中所述第一隔離結構的所述第一區塊與所述第二隔離結構的所述第二區塊中的任一者與所述第一導體單元的所述第一部分與所述第二部分連接。

13. 一種半導體記憶元件，包括：

基底；以及

記憶胞陣列，於所述基底上以行與列排列，各所述記憶胞包括：

介電單元，位於所述基底上；

導體單元，包括位於所述介電單元上的第一部分以及位於所述介電單元上方的第二部分，其中所述第一部分在行方向上具有第一寬度以及所述第二部分在所述行方向上具有第二寬度，所述第一寬度小於所述第二寬度，該導體單元的所述第二部分的表面為一平面；

第一隔離結構，包括第一區塊，所述第一區塊與所述導體單元的所述第一部分與所述第二部分連接；以及

第二隔離結構，包括第二區塊，所述第二區塊與所述導體單元的所述第一部分與所述第二部分連接，所述第一區塊與所述第二區塊在所述基底上方彼此分離，

其中橫跨所述第一區塊與所述第二區塊的所述第一與所述第二隔離結構在所述行方向上分別具有寬度  $W_2$ ，以及所述第一區塊與所述第二區塊中的任一者在所述行方向上具有寬度  $T$ ，其中  $T$  介在  $1/4 W_2$  至  $1/3 W_2$  之間。

14. 如申請專利範圍第 13 項所述之半導體記憶元件，其中所述第二寬度為  $W$ ，符合：

$$W = W_1 + 2T,$$

其中  $W_1$  表示所述介電單元在所述行方向上的寬度，以及  $T$  表示所述第一區塊與所述第二區塊中的任一者在所述行方向上的寬度。

15. 一種半導體記憶元件的製造方法，包括：

提供基底；

於所述基底上形成圖案化的第一介電層；

於所述圖案化的第一介電層上形成圖案化的第二介電層，其中所述圖案化的第一和第二介電層暴露部分的所述基底；

經由所述基底的所述暴露部分形成溝渠；

以介電材料填滿所述溝渠，以形成第一隔離溝渠；

部分地移除所述圖案化的第二介電層的高度，以形成圖案化的介電層；

蝕刻所述第一隔離溝渠，以形成第二隔離溝渠，其中各第二隔離溝渠具有頂部與分別位於所述頂部的一側上的第一與第二肩部；

移除所述圖案化的介電層；

於所述圖案化的第一介電層上形成一圖案化的導體層，其中所述圖案化的導體層與所述第二隔離溝渠的所述頂部位於同一水平面上；以及

藉由移除所述第二隔離溝渠的所述頂部，以形成第三隔離溝渠，使各所述第三隔離溝渠包括所述第一與第二肩部以及低於所述第一與第二肩部的一暴露表面。

16. 如申請專利範圍第 15 項所述之半導體記憶元件的製造方法，其中形成所述圖案化的第一和第二介電層的方法包括：

於所述基底上形成第一介電層；

於所述第一介電層上形成第二介電層；

圖案化所述第二介電層，以形成所述圖案化的第二介電層；以及

圖案化所述第一介電層，以形成所述圖案化的第一介電層。

17. 如申請專利範圍第 16 項所述之半導體記憶元件的製造方法，其中所述第一介電層包括氧化矽與氮氧化矽中的一者以及所述第二介電層包括氮化矽。

18. 如申請專利範圍第 15 項所述之半導體記憶元件的製造方法，在以所述介電材料填滿所述溝渠以形成第一隔離溝渠後，更包括：

藉由化學機械研磨製程使所述第一隔離溝渠與所述圖案化的第二介電層共平面。

19. 如申請專利範圍第 18 項所述之半導體記憶元件的製造方法，其中填入所述溝渠的所述介電材料包括氧化矽。

20. 如申請專利範圍第 15 項所述之半導體記憶元件的製造方法，其中所述圖案化的導體層包括導體區段陣列，各導體區段更包括位於所述圖案化的第一介電層上的第一區段以及位於所述圖案化的第一介電層上的第二區段，所述第一區段在一參考方向上具有寬度“ $W_1$ ”以及所述第二區段在所述參考方向上具有寬度“ $W$ ”，其中  $W_1$  小於  $W$ 。

21. 如申請專利範圍第 20 項所述之半導體記憶元件的製造方法，其中各所述第三隔離溝渠的所述第一與所述第二肩部在所述參考方向上具有寬度“ $T$ ”，其中  $W = W_1 + 2T$ 。

22. 如申請專利範圍第 21 項所述之半導體記憶元件的製造方法，其中在所述參考方向上，橫跨所述第一與第二肩部的各所述第三隔離溝渠具有寬度“ $W_2$ ”，以及  $T$  等於或小於  $1/3W_2$ 。

23. 如申請專利範圍第 20 項所述之半導體記憶元件的製造方法，其中所述第三隔離溝渠中的一者的所述第一肩部延伸至所述導體區段中的第一導體區段，以及所述第三隔離溝渠中的所述一者的所述第二肩部延伸至所述導體區段中的第二導體區段，所述第一導體區段與所述第二導體區段在所述參考方向上彼此緊鄰。

24. 如申請專利範圍第 20 項所述之半導體記憶元件的製造方法，其中所述第三隔離溝渠中的第一者的所述第一肩部延伸至所述導體區段中的一者，以及所述第三隔離溝渠的第二者的所述第二肩部延伸至所述導體區段中的所述一者，所述第三隔離溝渠的所述第一者與所述第二者在所述參考方向上彼此緊鄰。

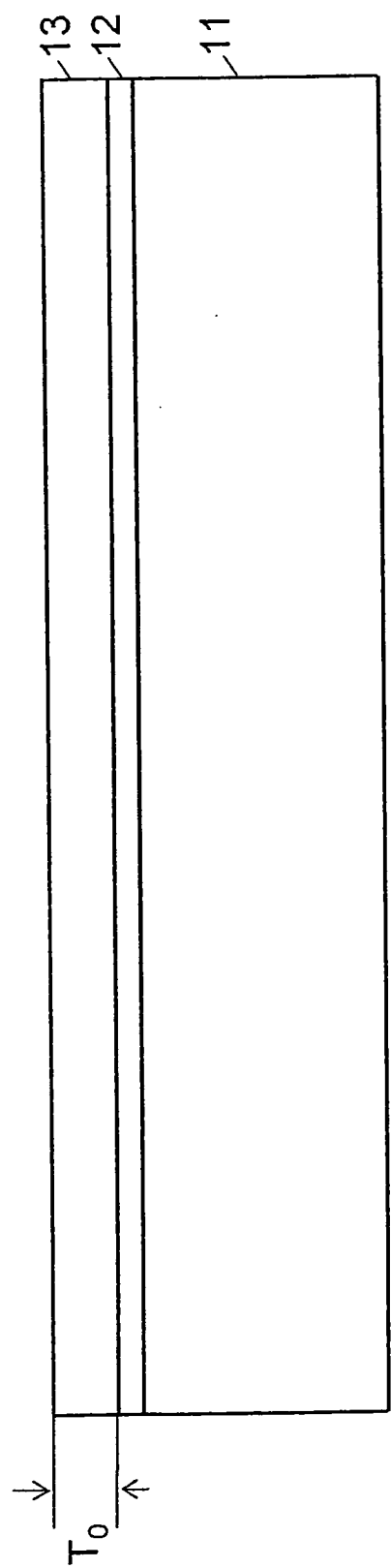


圖 1A

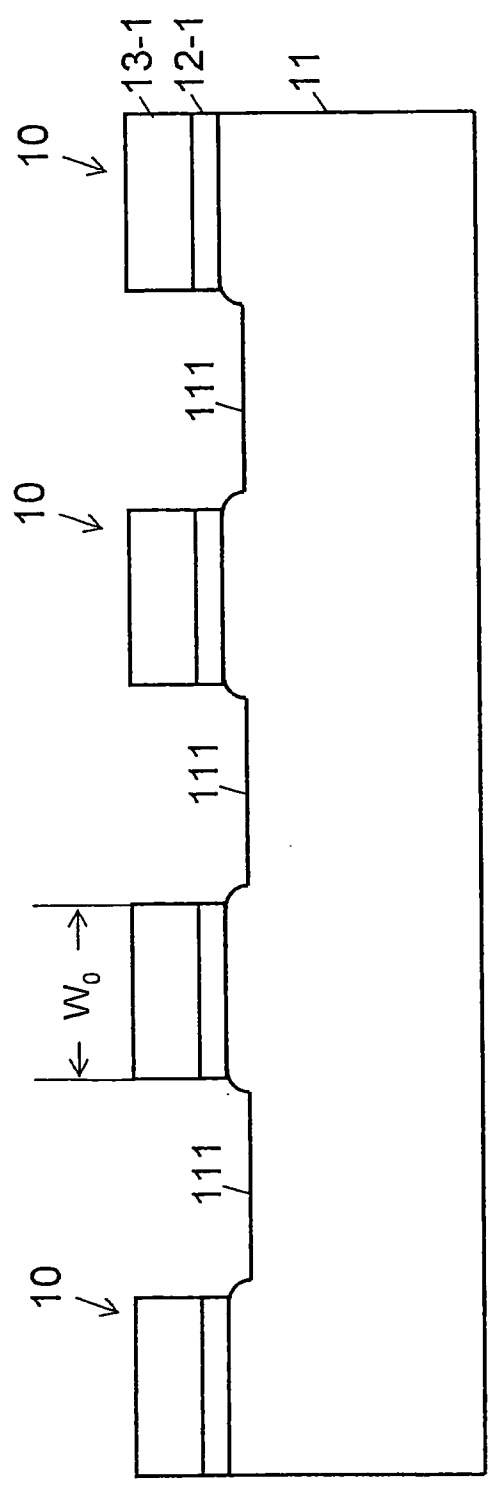


圖 1B

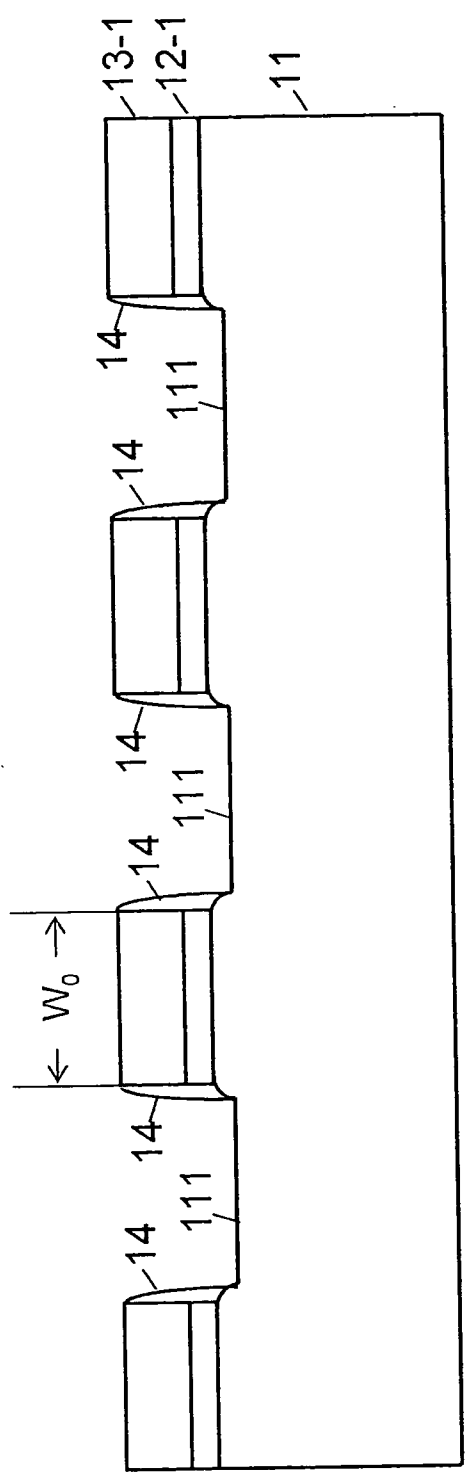


圖 1C

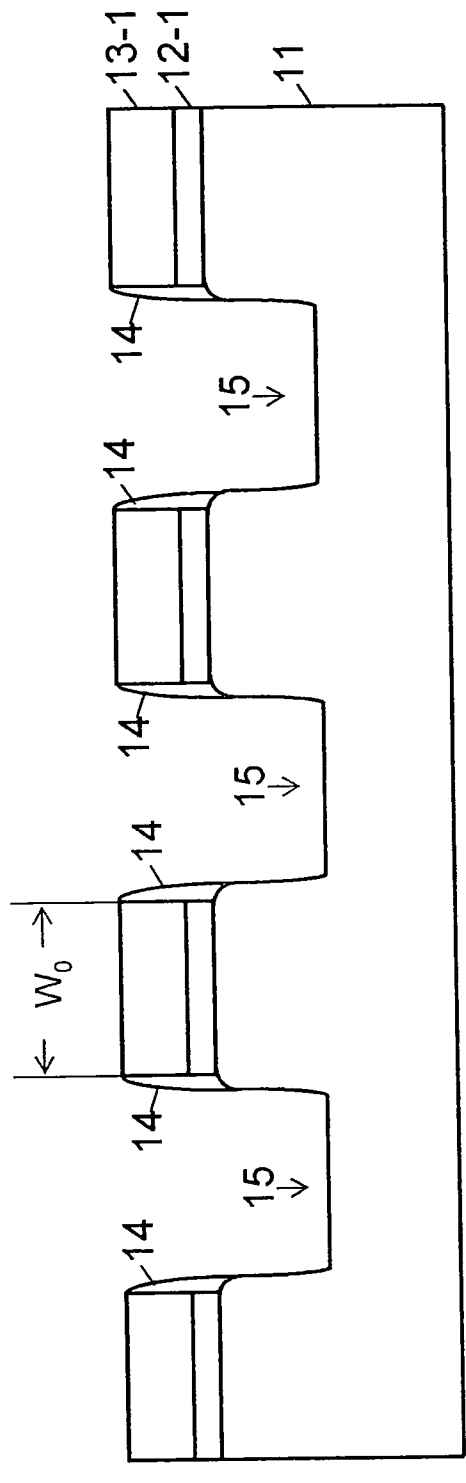


圖 1D

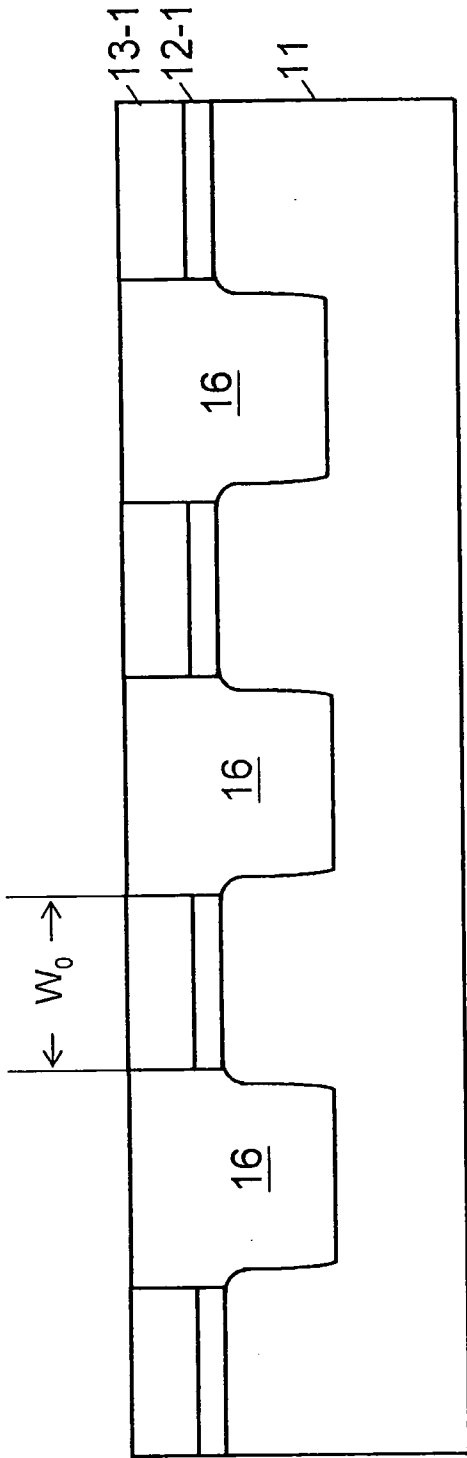


圖 1E

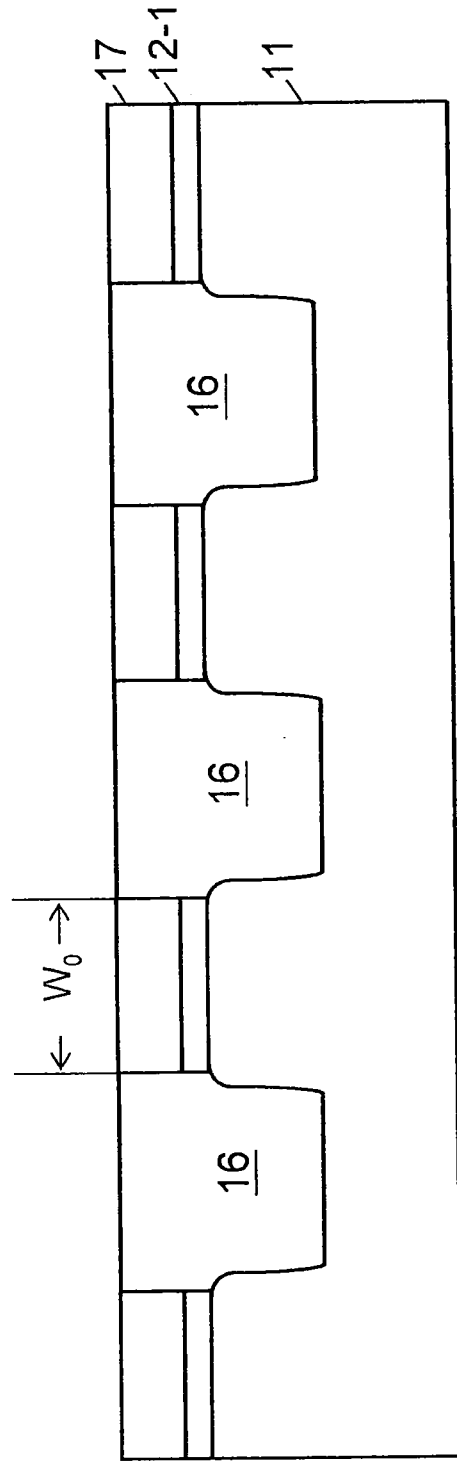


圖 1F

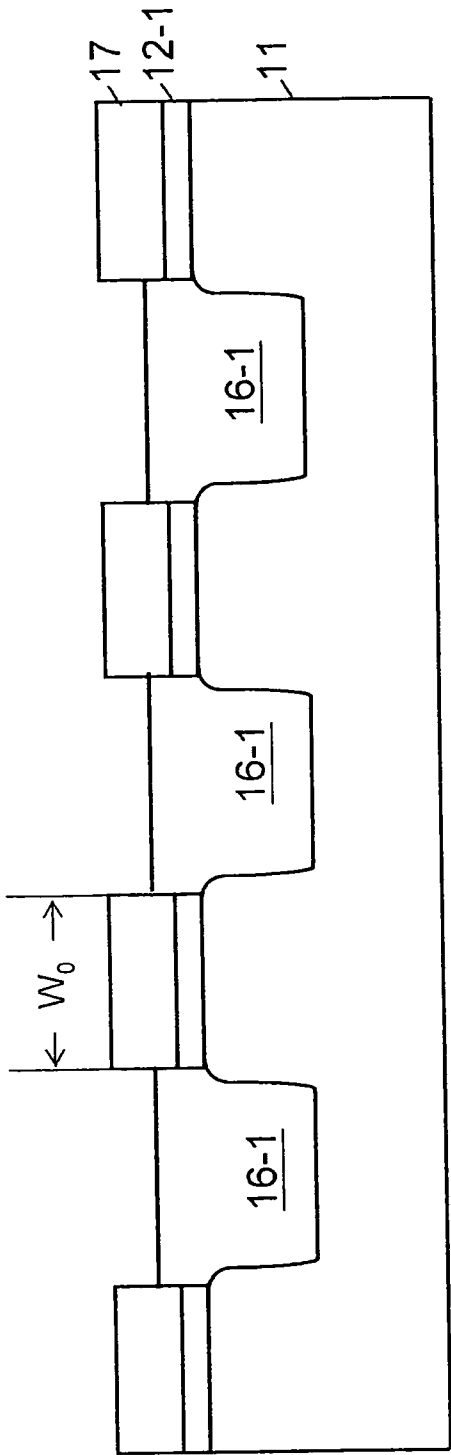


圖 1G

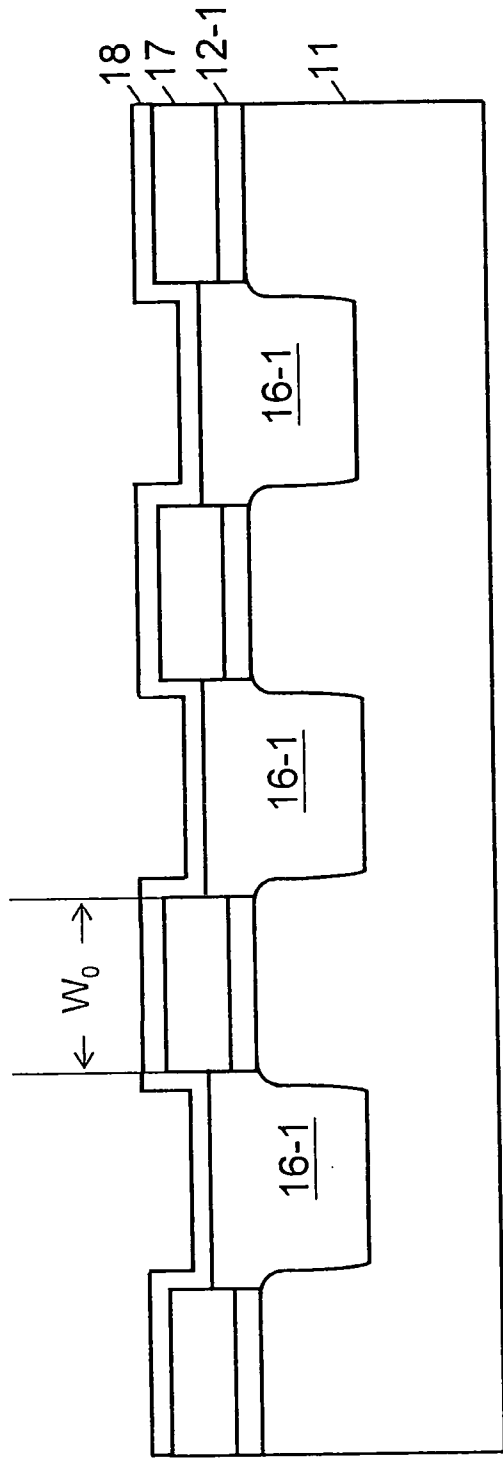


圖 1H



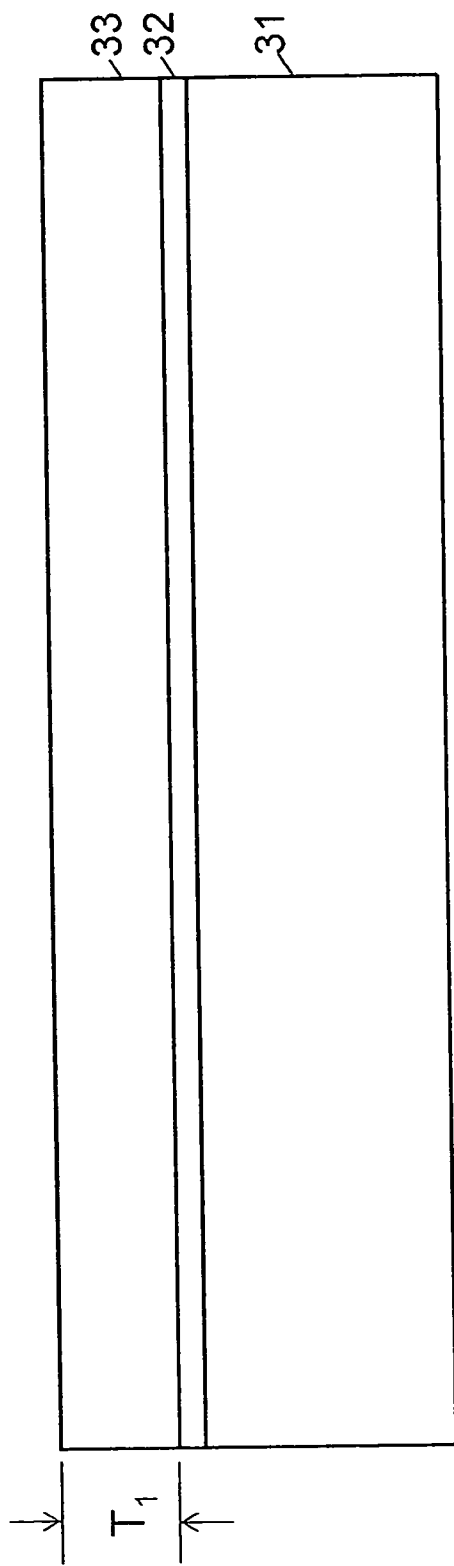


圖 3A

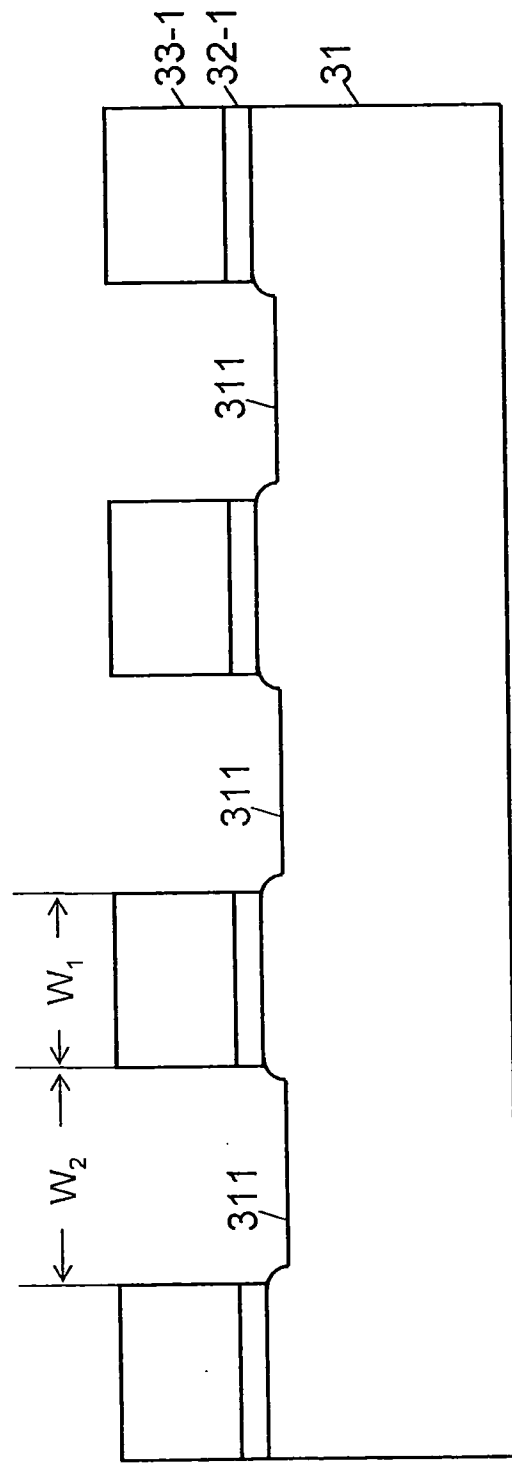


圖 3B

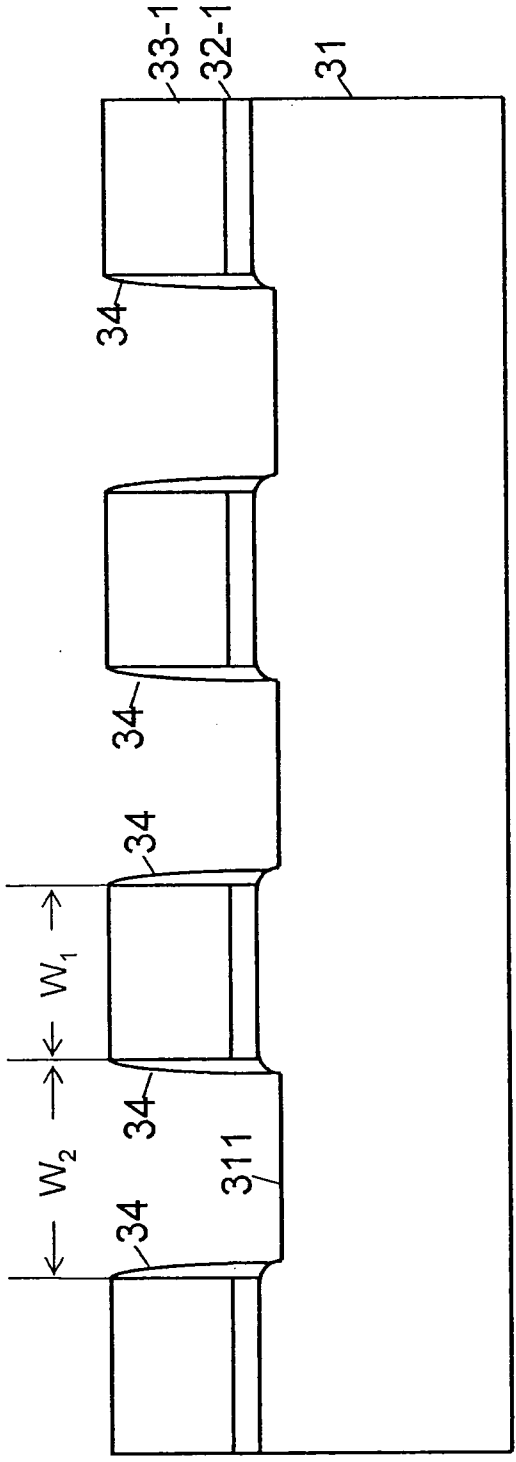


圖 3C

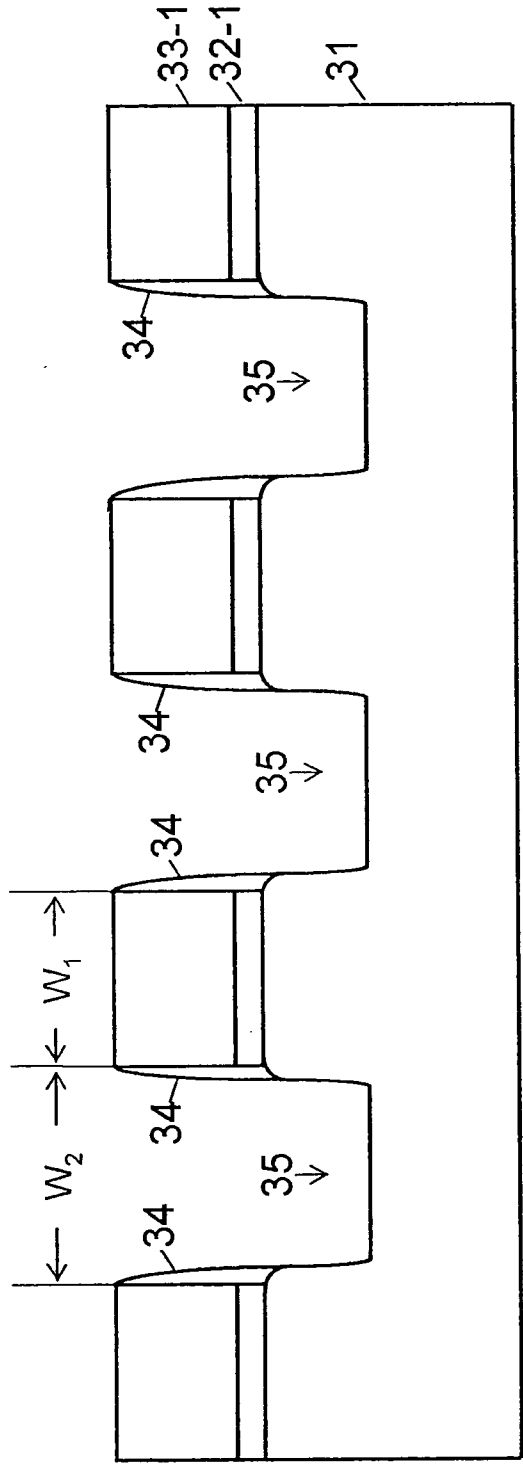


圖 3D

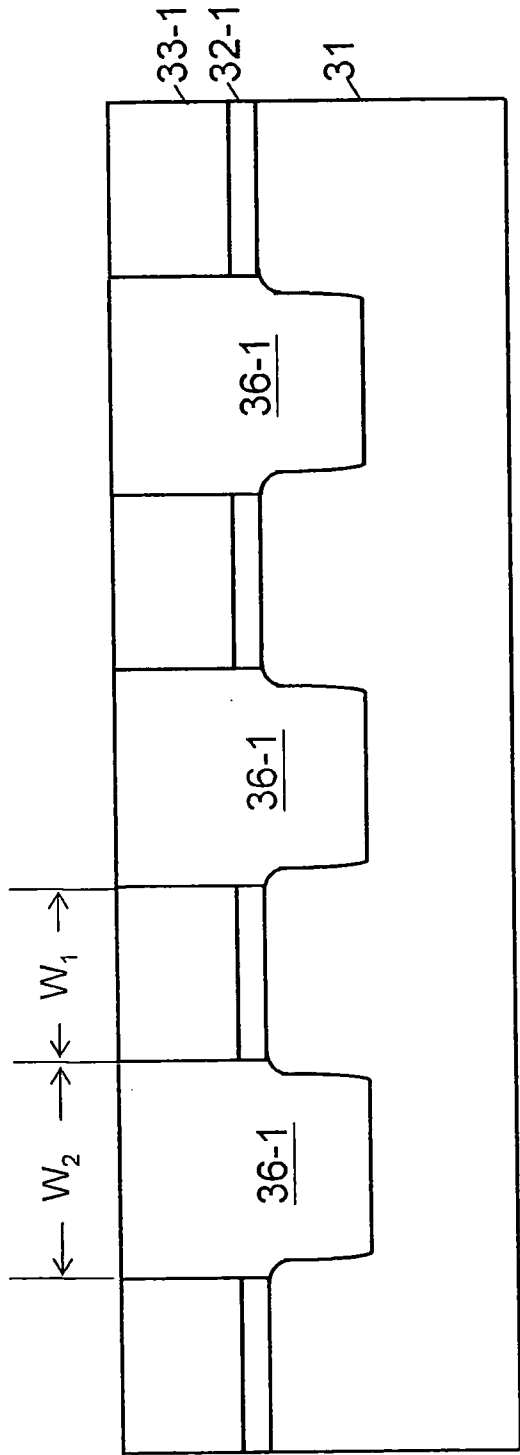


圖 3E

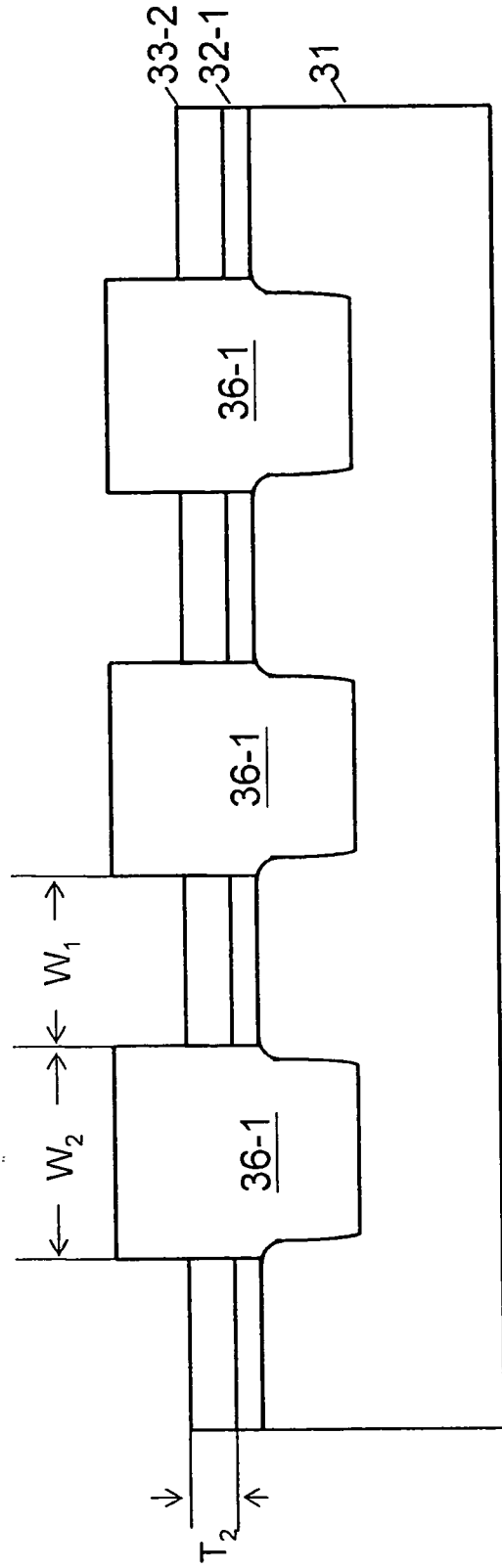


圖 3F

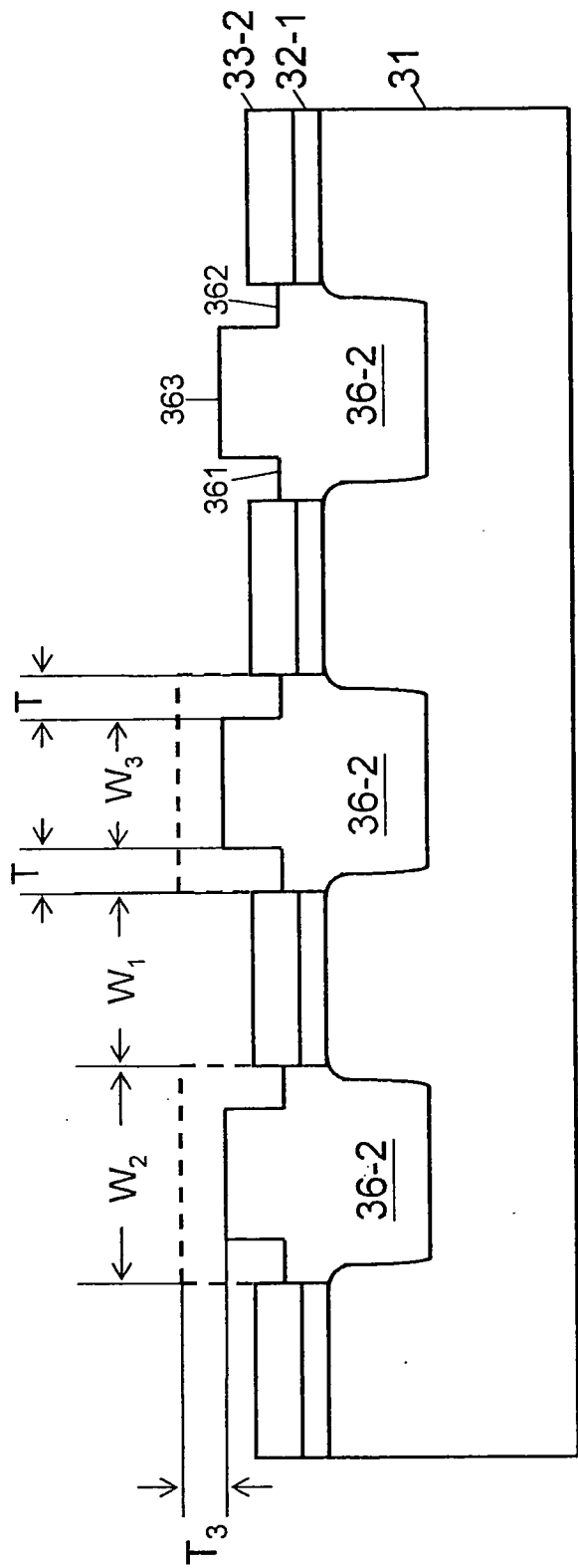


圖 3G

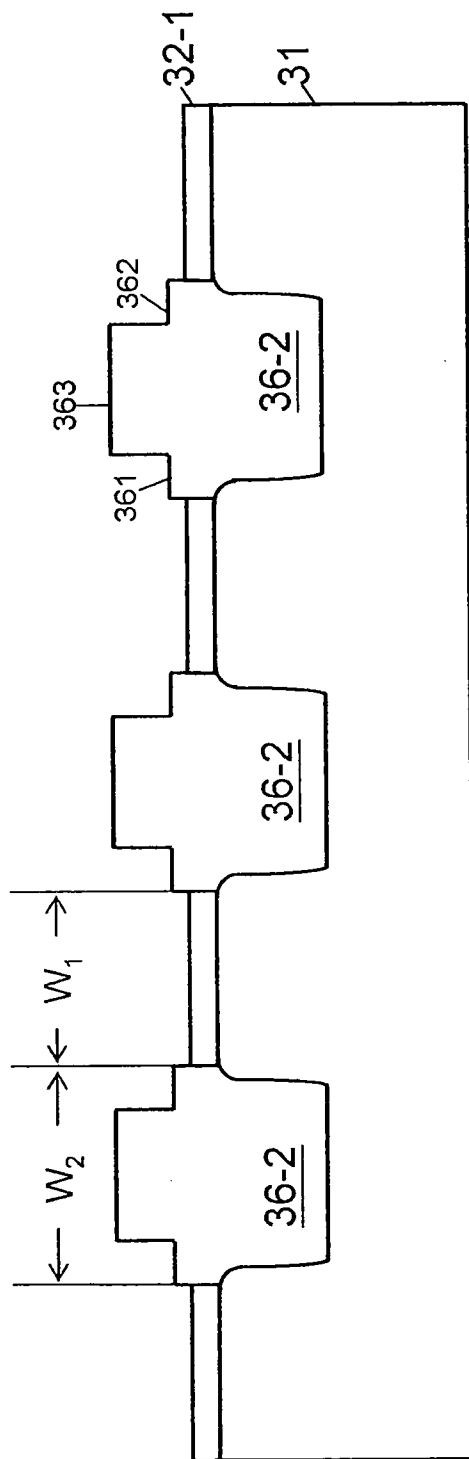


圖 3H

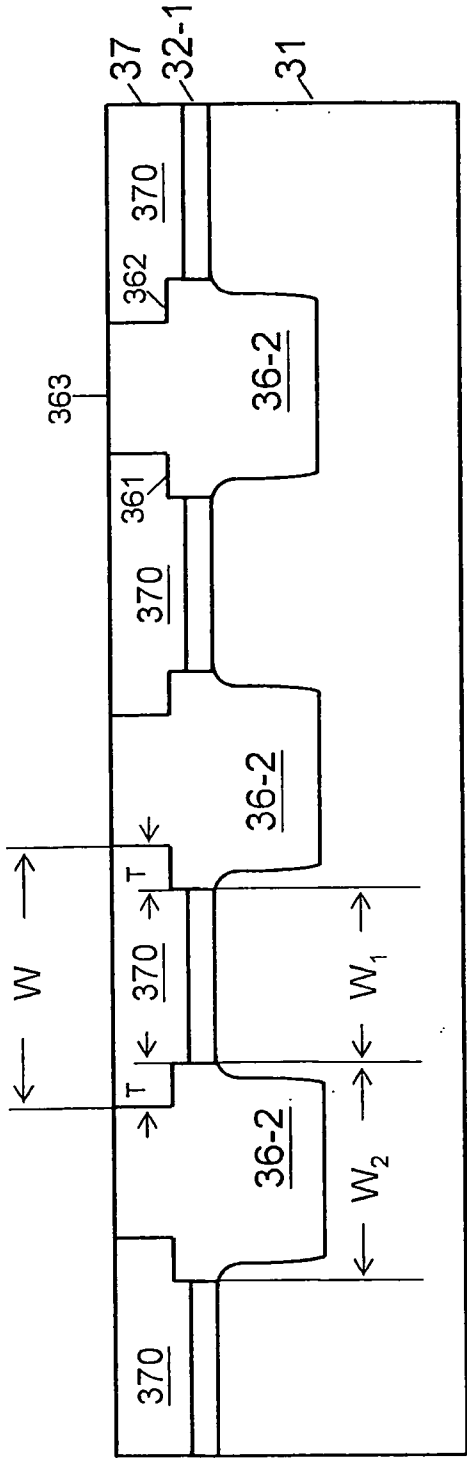


圖 3I

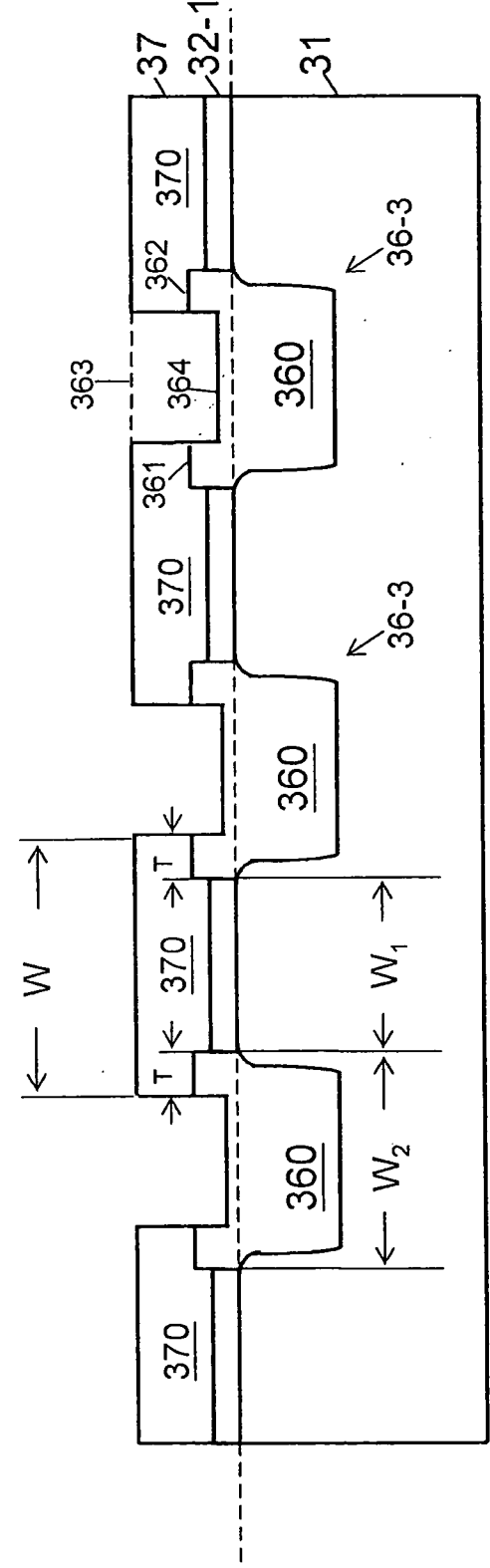


圖 3J

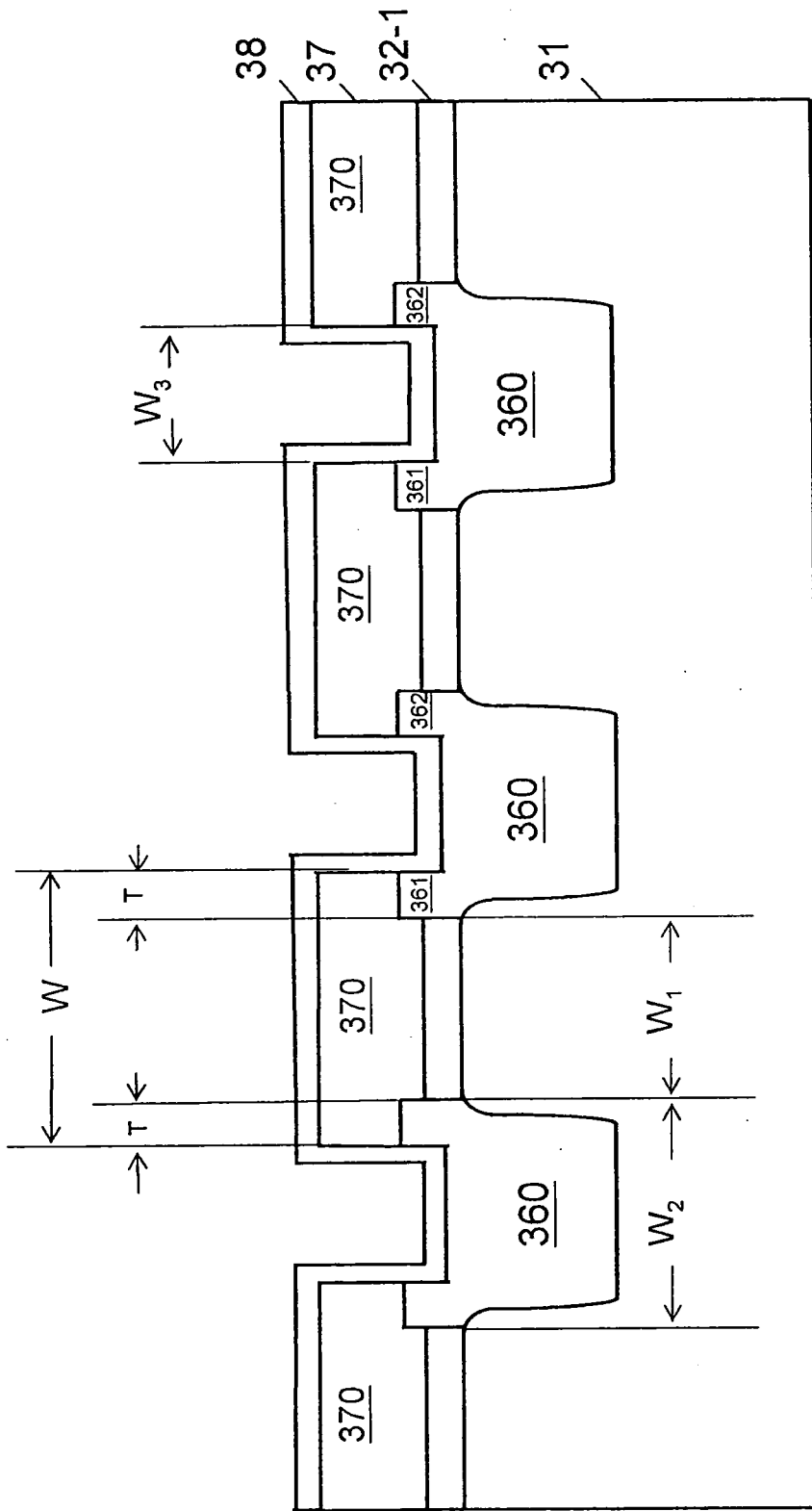


圖 3K