

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 11 日(11.10.2012)



(10) 国際公開番号

WO 2012/137620 A1

- (51) 国際特許分類:
H01L 23/28 (2006.01)
- (21) 国際出願番号: PCT/JP2012/057869
- (22) 国際出願日: 2012 年 3 月 27 日(27.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-083319 2011 年 4 月 5 日(05.04.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 古賀 剛 (KOGA, Tsuyoshi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中

之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

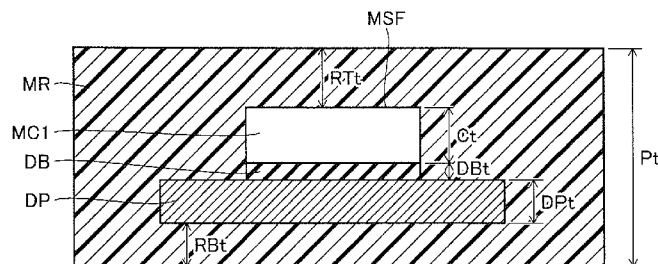
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図6]



(57) Abstract: Provided is a semiconductor device wherein, by controlling the resistance value of a resistor element layer in an oscillator circuit to a higher degree of precision, it is possible to increase the precision of the oscillating frequency of the oscillator circuit. This semiconductor device includes an oscillating circuit having a metal resistor element layer (Rm2) made of high melting point metal, and is also provided with a semiconductor chip (MC1) having a first main surface (MSF) and a second main surface that mutually oppose each other; a die pad (DP) mounted on the second main surface side of the semiconductor chip (MC1); and resin material (MR) formed so as to cover the semiconductor chip (MC1) and the die pad (DP). The thickness of the resin material (MR) that covers the first main surface (MSF) of the semiconductor chip (MC1) is at least 0.54 times but no more than 1.31 times the thickness of the resin material (MR) that covers the surface (MBF) of the die pad (DP) on the side opposite the semiconductor chip (MC1) side.

(57) 要約: 発振回路に含まれる抵抗素子層の抵抗値をより高精度に制御することにより、発振回路の発振周波数の精度を高めることが可能な本半導体装置は、高融点金属からなる金属抵抗素子層 (Rm2) を有する発振回路を含み、かつ互いに対向する第1の主面 (MSF) および第2の主面を有する半導体チップ (MC1) と、半導体チップ (MC1) の第2の主面側に取り付けられたダイパッド (DP) と、半導体チップ (MC1) およびダイパッド (DP) を覆うように形成された樹脂材料 (MR) とを備えている。上記半導体チップ (MC1) の第1の主面 (MSF) 上を覆う樹脂材料 (MR) の厚みは、ダイパッド (DP) の半導体チップ (MC1) 側とは反対側の表面 (MBF) 上を覆う樹脂材料 (MR) の厚みの 0.54 倍以上 1.31 倍以下である。

WO 2012/137620 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特に、発振回路を有する半導体装置に関するものである。

背景技術

[0002] 従来、マイコン製品と発振子とは別構造であったが、近年、マイコンチップ内に発振子を内蔵することで、レイアウト面積の縮小、コスト低減等が図られるようになってきている。マイコンチップ内に発振子を内蔵するには、あらゆる環境下（電圧・温度）で安定した発振周波数を出力する必要がある、マイコン製品の高速OCO（On Chip Oscillator）回路と呼ばれる、マイコンチップの上に発振用素子が組み込まれた構成を有する発振回路では、目標精度として、たとえば40MHz±1%を達成することが求められている。

[0003] 一般に、アナログ回路である高速OCO回路が安定した発振周波数を出力するためには、OCO回路は大きな抵抗値を有し、OCO回路内に定電流が発生する構成を有することが必要である。高速OCO回路内の定電流発生回路の、大きな抵抗値を示すための抵抗体として、たとえば特開平6-318693号公報（特許文献1）に開示される薄膜状の抵抗素子が用いられる。一方、このような薄膜状の抵抗素子が形成されたOCO回路を含む基板は、たとえば特開平6-45478号公報（特許文献2）に開示されるように、その全体がモールド樹脂などの樹脂材料で封止されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平6-318693号公報

特許文献2：特開平6-45478号公報

発明の概要

発明が解決しようとする課題

[0005] 特開平 6－3 1 8 6 9 3 号公報における抵抗素子層は、比較的高抵抗の得られる多結晶シリコンの薄膜からなる。しかし多結晶シリコンの抵抗素子層は、いわゆるピエゾ抵抗効果に起因して、応力により抵抗値が変動する。特に、特開平 6－4 5 4 7 8 号公報の電子回路装置のようにモールド樹脂が基板を封止する場合には、パッケージング工程以降のモールド応力による、抵抗素子層の抵抗値の変動が顕著である。抵抗素子層の抵抗値の変動は、高速 O C O 回路の周波数変動を大きくし、高速 O C O 回路の目標精度を達成することを困難とする可能性がある。

[0006] 特開平 6－4 5 4 7 8 号公報の電子回路装置においては、回路基板の一方の主表面側と、一方の主表面に対向する他方の主表面側とのモールド樹脂がほぼ等量とされる。このため回路基板の上記一方および他方の主表面側のモールド樹脂に作用される圧縮応力の大きさがほぼ等しくなる。その結果、回路基板の反りなどの変形が抑制され、当該抵抗素子の抵抗値の変動が抑制される。

[0007] しかし特開平 6－4 5 4 7 8 号公報においては、回路基板の配置される位置が、これを封止するケースの厚さ方向の中心部に保持されることのみ記載されている。つまり当該公報においては、ケースの厚さ方向に対する、回路基板の配置される位置の範囲が明確にされていない。このため、特に発振周波数の高精度制御が要求される高速 O C O 回路に対して当該公報の発明を用いても、抵抗素子の抵抗値の誤差が許容範囲を超え、所望の周波数誤差を達成できなくなる可能性がある。

[0008] 本発明は、以上の問題に鑑みなされたものである。その目的は、抵抗素子層の抵抗値をより高精度に制御することにより、O C O 回路の発振周波数の精度を高めることが可能な半導体装置を提供することである。

課題を解決するための手段

[0009] 本発明の一実施例による半導体装置は以下の構成を備えている。高融点金属からなる金属抵抗素子層を有する発振回路を含み、かつ互いに対向する第

1 および第2の主面を有する半導体チップと、半導体チップの第2の主面側に取り付けられたダイパッドと、半導体チップおよびダイパッドを覆うように形成された樹脂材料とを備えている。上記半導体チップの第1の主面上を覆う樹脂材料の厚みは、ダイパッドの半導体チップ側とは反対側の表面上を覆う樹脂材料の厚みの0.54倍以上1.31倍以下である。

発明の効果

[0010] 本実施例によれば、応力が加わった場合であっても、抵抗値が変動しない構造を備える半導体装置を提供することを可能とする。

図面の簡単な説明

[0011] [図1]本発明の実施の形態における半導体チップを搭載したパッケージが、プリント基板上に配置された状態を示す概略斜視図である。

[図2]図1のI-I線に沿う部分における概略断面図である。

[図3]図2の半導体チップの最上面の状態を示す概略平面図である。

[図4]図3中の丸点線「IV」で囲まれた領域の概略拡大平面図である。

[図5]図4のV-V線に沿う部分における概略断面図である。

[図6]図2における各部分の厚み方向の寸法を定義する概略断面図である。

[図7]本発明の実施の形態における半導体チップを搭載したパッケージの、平面視における各部分の寸法を定義する概略断面図である。

[図8]本発明の実施の形態における半導体チップの製造方法の第1工程を示す概略断面図である。

[図9]本発明の実施の形態における半導体チップの製造方法の第2工程を示す概略断面図である。

[図10]本発明の実施の形態における半導体チップの製造方法の第3工程を示す概略断面図である。

[図11]本発明の実施の形態における半導体チップの製造方法の第4工程を示す概略断面図である。

[図12]本発明の実施の形態における半導体チップの製造方法の第5工程を示す概略断面図である。

[図13]本発明の実施の形態における半導体チップの製造方法の第6工程を示す概略断面図である。

[図14]本発明の実施の形態における半導体チップの製造方法の第7工程を示す概略断面図である。

[図15]本発明の実施の形態における半導体チップの製造方法の第8工程を示す概略断面図である。

[図16]本発明の実施の形態における半導体チップの製造方法の第9工程を示す概略断面図である。

[図17]本発明の実施の形態における半導体チップの製造方法の第10工程を示す概略断面図である。

[図18]発振回路の一例を示す回路図である。

[図19]本発明の実施の形態における半導体チップに形成された抵抗素子層の抵抗値の変化を示すグラフである。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について図に基づいて説明する。

まず、本実施の形態としてパッケージ状態の半導体装置について説明する。

[0013] 図1を参照して、本実施の形態としての半導体チップは、パッケージPKの内部に搭載されている。パッケージPKは、プリント基板PBの一方の主表面上に配置されている。パッケージPKは、その内部の半導体チップと電気的に接続されるリード線LDにより、プリント基板PBの一方の主表面上に形成された配線と接続されている。

[0014] 図2を参照して、本実施の形態としての、OCO回路を有する半導体チップであるマイコンチップMC1は、ダイパッドDPの一方の主表面上に、ダイボンド材DBにより固定されている。逆に言えばマイコンチップMC1の下側の主表面（第2の主面）側にダイパッドDPが取り付けられている。ダイパッドDPはたとえば放熱性に優れた、窒化アルミニウム（AlN）などのセラミックス材料により形成される。またダイボンド材DBとしてはたと

例えば銀ペーストや樹脂ペーストなどのペースト材料が用いられる。すなわちパッケージP Kの内部には、ダイパッドD PとマイコンチップMC 1との積層構造が搭載されている。

[0015] マイコンチップMC 1には、後述するマイコンチップMC 1に形成された回路と電氣的に接続されたパッド開口部S Pが形成されている。ボンディングワイヤBWは、パッド開口部S Pとリード線L Dとを電氣的に接続する、たとえば銅や金などからなる配線である。より具体的には、接続点B 1においてパッド開口部S PとボンディングワイヤBWとが電氣的に接続され、接続点B 2においてリード線L DとボンディングワイヤBWとが電氣的に接続される。またリード線L Dは接続点C 1において、プリント基板P Bの一方の主表面上に形成された配線と電氣的に接続されている。

[0016] パッケージP Kの内部には、たとえばフェノールからなるモールド樹脂M R（樹脂材料）が充填されている。モールド樹脂MRはマイクロチップMC 1の積層構造の外周部を覆うように配置されている。具体的にはモールド構造MRは、マイクロチップMC 1の主表面に沿う最上面M S F（第1の主面）や側面、およびダイパッドD Pの（最上面M S Fに対向する）最下面M B Fを覆うように配置されている。なお図2に示すパッケージP Kの内部の様子はあくまで一例であり、これに限定したものではない。

[0017] 図3を参照して、マイコンチップMC 1の最上面M S Fには、R A M形成領域MC 1 1、C P U形成領域MC 1 2、周辺回路形成領域MC 1 3、MC 1 5、R O M形成領域MC 1 4、および電源回路領域MC 1 6などが配置される。電源回路領域MC 1 6は、高速O C O回路を含んでいる。なお、本レイアウト構成はあくまでマイコンチップの一例であり、これに限定したものではない。

[0018] 次に、図4および図5を参照して、マイコンチップMC 1に形成された回路の一例として、高速O C O回路の一部構造について説明する。

[0019] 図5を参照して、この半導体装置は、基板S U Bの上方に設けられた第1層間絶縁膜S O 1 1と、この第1層間絶縁膜S O 1 1の上に設けられ、第1

方向（図4中のX方向）において相互に所定の間隙を有するように配置され、第1方向（X方向）に対して直交する第2方向（図4中のY方向）に延びる複数のダミー層Mdを有する。

[0020] 第1層間絶縁膜SO11の上には、複数のダミー層Mdを第1方向（X方向）において両側から挟む位置に、第2方向（Y方向）において所定の間隙を隔てて配置されるトップ層Ma, Mbが設けられている。図4に示す平面視においては、トップ層Mi, Ma~Mc, Moが設けられている。

[0021] 図5を参照して、第1層間絶縁膜SO11の上には、ダミー層Mdおよびトップ層Ma, Mbと同一工程で製造されたパッド層MPが設けられている。

[0022] 複数の第1ダミー層Mdおよびトップ層Ma, Mbは、表面が平坦化された第2層間絶縁膜SO12に覆われ、この第2層間絶縁膜SO12の上には、第2方向（Y方向）に延びる金属抵抗素子層Rm2が設けられている。金属抵抗素子層Rm2は、金属配線層Rmと酸化防止膜層SN1との2層構造を有している。なお、金属とは、遷移金属および遷移金属以外の金属を含み、かつ、半金属、半導体、および、非金属を含まない。

[0023] 図4に示す平面視においては、金属抵抗素子層Rm1~Rm4は、それぞれ第1方向（X方向）に延び、第2方向（Y方向）において相互に所定の間隙を有するように配置されている。金属抵抗素子層Rm1~Rm4は、それぞれの両端部において、第2層間絶縁膜SO12を貫通しトップ層Mi, Ma~Mb, Moに連結するコンタクトプラグCP1が設けられている。

[0024] なお、写真製版技術における製造精度を向上させる観点から、金属抵抗素子層Rm1およびRm4のそれぞれの外側には、ダミー金属抵抗素子層Rmd、およびダミートップ層Mdeが設けられている。

[0025] これにより、金属抵抗素子層Rm1~Rm4は、トップ層Mi→コンタクトプラグCP1→金属抵抗素子層Rm1→コンタクトプラグCP1→トップ層Ma→コンタクトプラグCP1→金属抵抗素子層Rm2→コンタクトプラグCP1→トップ層Mb→コンタクトプラグCP1→金属抵抗素子層Rm3

→コンタクトプラグCP1→タップ層Mc→コンタクトプラグCP1→金属抵抗素子層Rm4→コンタクトプラグCP1→タップ層Moと電氣的に接続された直列接続となる。

[0026] 図5を参照して、金属抵抗素子層Rm2は、表面が平坦な第3層間絶縁膜SO13に覆われ、この第3層間絶縁膜SO13は、表面が平坦なパッシベーション膜SN12により覆われ、このパッシベーション膜SN12は、表面が平坦な保護膜PFにより覆われている。

[0027] 複数のパッド層MPの上方に位置する第2層間絶縁膜SO12、第3層間絶縁膜SO13、パッシベーション膜SN12、および保護膜PFには、開口部が設けられ、パッド層MPの表面が露出するパッド開口部SPが規定される。第2層間絶縁膜SO12および第3層間絶縁膜SO13の開口端面SPe、パッシベーション膜SN12の開口エッジSNe、および保護膜PFの開口端面PF eは、それぞれ内部側に位置するように設けられている。

[0028] 第2層間絶縁膜SO12および第3層間絶縁膜SO13の開口端面SPeと、金属抵抗素子層Rm1～Rm4との距離(S1)は、開口端面SPeからの水分の浸入による金属抵抗素子層Rm1～Rm4の耐湿劣化を阻止する観点から、100μm以上離れるように設けられている。

[0029] なお、第1層間絶縁膜SO11の下層には、公知の構造の多層配線構造が採用されている。

[0030] 次に、図6および図7を参照して、本実施の形態におけるマイコンチップMC1やダイパッドDPなどの各部分の寸法について説明する。

[0031] 図6を参照して、本実施の形態においては、マイコンチップMC1の第1の主面である最上面MSF上を覆うモールド樹脂MRの厚みRTtは、ダイパッドDPの最下面MBF上（マイコンチップMC1とは反対側の表面上）を覆うモールド樹脂MRの厚みRBtの0.54倍以上1.31倍以下であることが好ましい。言い換えれば、 $0.54 \leq RTt/RBt \leq 1.31$ であることが好ましい。ここでの厚みRTt、RBtとは、マイコンチップMC1の最上面MSFのすべての点の上に形成されるモールド樹脂MRの厚みの平均値

である。また当該厚みは、たとえば超音波厚み測定器などを用いて、モールド樹脂MRに接することなく測定することができる。

[0032] マイコンチップMC 1の厚みCtは、0.2 mm以上0.4 mm以下であることが好ましく、なかでも0.3 mm以上0.4 mm以下であることがより好ましい。ここでマイコンチップMC 1の厚みとは、上述した層間絶縁膜SO 1 1やタップ層Ma、コンタクトプラグCP 1などの厚みを含めた厚みの平均値を表わすものとする。またたとえばマイコンチップMC 1の平均の厚みCtが400 μ mである場合に、同一のマイコンチップMC 1における当該厚みの最大値と最小値との差は40 μ m以下であることが好ましく、20 μ m以下であることがより好ましい。

[0033] ダイボンドDBの平均の厚みは一例として0.03 mm、ダイパッドDPの平均の厚みは一例として0.125 mmとすることができる。パッケージPK全体の平均の厚みは一例として1.4 mmとすることができる。

[0034] 上記のように厚みRTtを厚みRBtの0.54倍以上1.31倍以下とするために厚みRTtと厚みRBtとの比率を調整するためには、マイコンチップMC 1の厚み、ダイボンドDBの厚み、ダイパッドDPの厚みのそれぞれを適宜変更することが考えられる。しかしダイパッドDPやダイボンドDBよりも、マイコンチップMC 1の方が容易に厚みを変更できる。たとえば厚みが300 μ mのマイコンチップMC 1と厚みが400 μ mのマイクロチップMC 1とは、同一の金型を用いて形成することができる。

[0035] 図7を参照して、本実施の形態においては、平面視において矩形状を有するマイコンチップMC 1の矩形の1辺に沿う第1方向（図7のX方向）の寸法Cxと、第1方向（X方向）に直交する第2方向（図7のY方向）との寸法Cyの比は1以上1.25以下であることが好ましい。ここではCx>Cyであってもよいし、Cx<Cyであってもよい。パッケージPK（モールド樹脂MK）も平面視において矩形状を有しており、マイコンチップMC 1の平面視における第1方向（X方向）の寸法Cxは、平面視において矩形状を有するパッケージPK（モールド樹脂MR）の第1方向（X方向）における寸法Pxの

0.16倍以上0.4倍以下であることが好ましい。言い換えれば $0.16 \leq C_x / P_x \leq 0.4$ であることが好ましい。第2方向（Y方向）についても同様に、マイコンチップMC1の平面視における第2方向（Y方向）の寸法 C_y は、第2方向（Y方向）におけるパッケージPKの寸法 P_y の0.16倍以上0.4倍以下であることが好ましい。言い換えれば $0.16 \leq C_y / P_y \leq 0.4$ であることが好ましい。

[0036] 本実施の形態においては、ダイパッドDPも平面視において矩形状を有しており、ダイパッドDPの平面視における第1方向の寸法 DP_x は、第1方向（X方向）におけるパッケージPK（モールド樹脂MR）の寸法 P_x の0.5倍以上1.5倍以下であることが好ましい。言い換えれば $0.5 \leq DP_x / P_x \leq 1.5$ であることが好ましい。すなわち $DP_x > P_x$ であってもよいし、 $DP_x < P_x$ であってもよい。第2方向（Y方向）についても同様に、ダイパッドDPの平面視における第2方向の寸法 DP_y は、第2方向（Y方向）におけるパッケージPKの寸法 P_y の0.5倍以上1.5倍以下であることが好ましい。言い換えれば $0.5 \leq DP_y / P_y \leq 1.5$ であることが好ましい。すなわち $DP_y > P_y$ であってもよいし、 $DP_y < P_y$ であってもよい。

[0037] また、本実施の形態において用いられるモールド樹脂MRは、ヤング率が18000MPa以上30000MPa以下であることが好ましい。モールド樹脂MRは、線膨張係数が $8 \times 10^{-6} / ^\circ\text{C}$ 以上 $12 \times 10^{-6} / ^\circ\text{C}$ 以下であることが好ましい。モールド樹脂MRのガラス転移温度は、100℃以上150℃以下であることが好ましい。

[0038] 本発明の発明者は鋭意研究の末、厚み RT_t の平均値を厚み RB_t の平均値の0.54倍以上1.31倍以下とすることにより、金属抵抗素子層 $R_{m1} \sim R_{m4}$ の抵抗値の変動を小さくすることができることを見出した。金属抵抗素子層 $R_{m1} \sim R_{m4}$ の抵抗値の変動を小さくすることにより、OCO回路の発振周波数の変動を小さくすることができ、当該回路の発振周波数の精度をより高めることができる。

[0039] また本発明の発明者は同様に、マイコンチップMC1やパッケージPKな

どの各部分の寸法およびモールド樹脂MRの物性値を上記の数値範囲とすることにより、金属抵抗素子層R m 1～R m 4の抵抗値の変動を小さくすることができることを見出した。金属抵抗素子層R m 1～R m 4の抵抗値の変動を小さくすることにより、OCO回路の発振周波数の変動を小さくすることができ、当該回路の発振周波数の精度をより高めることができる。

[0040] 次に、図8～図17を参照して、図4および図5に示すマイコンチップMC 1の製造方法について説明する。

[0041] 図8を参照して、基板SUBの上に、公知の多層配線構造が形成された後、表面が平坦化された第1層間絶縁膜SO 1 1を形成する。ここで、基板SUBは、成膜を行ない最終的に形成されるマイコンチップMC 1の厚みが0.2 mm以上0.4 mm以下となるような厚みとして、0.6 mm以上0.9 mm以下のものを用いることが好ましい。つまり0.6 mm以上0.9 mm以下の厚みを有する基板SUBを用いた場合には、後述するように後工程において基板SUBの最下面から一定の厚み分を研磨により除去することが好ましい。最終的に形成されるマイコンチップMC 1よりも厚い基板SUBを用いることにより、基板SUBにおける割れや歪みの発生を抑制することができる。

[0042] 第1層間絶縁膜SO 1 1には、シリコン酸化膜を用いる。シリコン酸化膜には段差被覆性の良いHigh Density Plasma CVD法により成膜したUSG (Undoped Silicate Glass) 膜 (HDP-USG) およびプラズマCVD法により成膜したTEOS膜 (P-TEOS) を用いる。なお、基板SUBは、半導体素子が作り込まれた半導体基板でもよく、また、半導体以外の材質よりなる基板であってもかまわない。

[0043] 次に、第1層間絶縁膜SO 1 1の上に配線層Mを形成する。配線層Mは、最上層アルミ配線であり、スパッタリング法で成膜する。配線層Mは、下層M1としてTiN/Ti膜、配線本体M2として銅添加アルミ (Al-Cu) 膜、上層M3としてTiN/Ti膜からなる積層構造である。配線層Mの膜厚は、数百nmから1 μm程度である。

- [0044] 次に、配線層Mの上に、反射防止膜SON11を形成する。反射防止膜SON11として、プラズマ酸化膜(P-SiON)をCVD法により形成する。
- [0045] 次に、図9を参照して、配線層Mおよび反射防止膜SON11のパターニングを行なう。パターニングには、写真製版技術およびドライエッチング処理を用いる。これにより、第1方向(X方向)において相互に所定の間隙を有するように配置され、第1方向(X方向)に対して直交する第2方向(Y方向)に延びる複数のダミー層Mdと、複数のダミー層Mdを第1方向(X方向)において両側から挟む位置に配置されるタップ層Ma、Mbと、パッド領域層Mpとが形成される。
- [0046] 次に、図10を参照して、ダミー層Md、タップ層Ma、Mb、およびパッド領域層Mpを覆う第2層間絶縁膜SO12を形成する。第2層間絶縁膜SO12には、HDP-USGおよびP-TEOSからなるシリコン酸化膜を用いる。シリコン酸化膜の表面は、CMP (Chemical Mechanical Polishing) 法により平坦化処理を行なう。
- [0047] ここで、HDP-USG膜としてはアルミ配線段差を被覆するために1 μ m以上の膜厚が必要であり、また平坦化研磨量としては段差の約1.5倍が必要となる。このとき上記ダミー層Mdは、後に成膜される金属抵抗素子層Rmの平坦性を良好にするために同一間隔、たとえば約3 μ mのライン幅、約3 μ mのスペースとしている。
- [0048] 次に、図11を参照して、写真製版技術およびドライエッチング処理を用いて、タップ層Ma、Mbのそれぞれに連通するコンタクトホールVa1を、第2層間絶縁膜SO12に形成する。コンタクトホールVa1は、コンタクト抵抗の安定性を確保するため、片側に2箇所以上設けることが好ましい。
- [0049] 次に、図12を参照して、コンタクトホールVa1内に、コンタクトプラグCP1を形成する。コンタクトホールVa1内には、バリアメタルとしてTiN/Ti積層膜CP11をスパッタリング法により成膜し、その後、タ

ングステン (W) 膜 C P 1 2 を C V D 法により成膜する。その後、C M P 法により、T i N / T i 積層膜 C P 1 1 およびタングステン (W) 膜 C P 1 2 の上面を平坦にする。

[0050] 次に、図 1 3 を参照して、第 2 層間絶縁膜 S O 1 2 の上に金属抵抗素子層 R m 2 を形成する。金属抵抗素子層 R m 2 は、金属配線層 R m と酸化防止膜層 S N 1 との 2 層構造を有している。金属配線層 R m には、高融点金属を用いることが好ましい。高融点金属とは、一般に融点が 1 5 0 0 °C 以上の金属であり、たとえば 6 族の C r (クロム)、M o (モリブデン)、W (タングステン)、5 族の V (バナジウム)、N b (ニオブ)、T a (タンタル)、4 族の T i (チタン)、Z r (ジルコニウム) などが含まれる。金属配線層 R m としてはこれらのうち、一例として、T i N 膜をスパッタリング法により形成する。抵抗素子として約 4 0 Ω / □ の抵抗値を得るために、たとえば約 3 0 n m の膜厚に成膜する。

[0051] 一般に O C O 回路などの発振回路は、使用時の発熱量が大きいと、高融点金属を用いて形成される。上記においては、金属配線層 R m の一例として、高融点金属材料である T i N を用いた場合について説明しているが、この材料に限定されるものではない。一般に金属配線層に用いられる抵抗材料はポリシリコンなどの半導体材料と比較して比抵抗が低い。よって、ある程度高抵抗を必要とする回路 (たとえば O C O 回路等) では、従来ポリシリコンで形成していた。

[0052] しかし、回路 (たとえば O C O 回路等) に金属の抵抗材料を使用すると、ポリシリコンと同等の抵抗値を得るために、シート数を非常に大きくする必要があり、レイアウト面積が非常に大きくなるデメリットがある。そこで、金属の抵抗材料としては、中でも比較的比抵抗の高い材料が望ましい。一方、高精度素子として使用する場合、半導体装置製品の温度保証範囲内で抵抗値の変動が小さい方が、回路の温度間精度を向上することができる。

[0053] よって、金属の抵抗材料としては、抵抗温度係数 (T C R : Temperature Coefficient of Resistance) がなるべく小さい材料が望ましい。

- [0054] これらの要求を満たす高融点金属材料として、本実施の形態では、窒化チタン（ TiN ）を用いている。抵抗値の調整のために、 Ti との積層膜にしたり、窒素濃度を変更させるのもよい。また、上記要求を満たすものとして、窒化チタン（ TiN ）に代わり窒化タンタル（ TaN ）などの他材料でも適用は可能である。
- [0055] 酸化防止膜層 $SN1$ には、プラズマ窒化（ $P-SiN$ ）膜を用い、 CVD 法により成膜する。膜厚は、たとえば約 45 nm である。
- [0056] 次に、図 14 を参照して、写真製版技術およびドライエッチング処理を用いて、金属抵抗素子層 $Rm2$ のパターニングを行なう。
- [0057] この工程により、図 4 の平面図に示すように、金属抵抗素子層 $Rm1 \sim Rm4$ （ダミー金属抵抗素子層 Rmd を含む）は、ストライプ状にパターニングが行なわれるとともに、金属抵抗素子層 $Rm1 \sim Rm4$ は、コンタクトプラグ $CP1$ を介在させてタップ層 Mi 、 Ma 、 Mb 、 Mc 、 Mo と電氣的に接続されることにより直列接続となる。
- [0058] 金属抵抗素子層 Rm の幅としては、加工寸法安定性向上の要求、およびレイアウト面積縮小の要求から、本実施の形態では約 $0.8\text{ }\mu\text{m}$ としている。また、抜き幅（抵抗間隔）は、約 $0.6\text{ }\mu\text{m}$ である。
- [0059] 直列に繋ぐ単位抵抗の本数、および単位抵抗の長さは必要抵抗値から決まるが、単位抵抗長に関しては極端に短いと、総抵抗にしめるタップ層の影響が大きくなりすぎ抵抗精度が悪くなる。よって、金属抵抗素子層（単位抵抗）の長さは、約 $40\text{ }\mu\text{m}$ 以上にすることが望ましい。
- [0060] なお、酸化防止膜層 $SN1$ は酸素プラズマ雰囲気でレジスト除去を行なう際に、金属抵抗素子層 $Rm2$ の表面が酸化雰囲気にさらされるのを防止している。
- [0061] 次に、図 15 を参照して、金属抵抗素子層 $Rm2$ を覆うように、第 2 層間絶縁膜 $SO12$ の上に第 3 層間絶縁膜 $SO13$ を形成する。第 3 層間絶縁膜 $SO13$ には、 $P-TEOS$ 膜からなるシリコン酸化膜を用い、 CVD 法に

より形成する。

[0062] 次に、第3層間絶縁膜SO13の上にパッシベーション膜SN12を形成する。パッシベーション膜SN12には、P-SiN膜を用い、CVD法により成膜する。パッシベーション膜SN12は、配線工程が完了した後に、半導体装置の表面を外的な損傷から保護するための被膜である。

[0063] 次に、図16を参照して、写真製版技術およびドライエッチング処理により、第2層間絶縁膜SO12、第3層間絶縁膜SO13、およびパッシベーション膜SN12を選択的に除去し、パッド領域層MPの一部が露出するパッド開口部SPを形成する。パッシベーション膜SN12のドライエッチング処理においては、等方性エッチングを用いていることから、パッシベーション膜SN12の開口エッジSNeの方が、第2層間絶縁膜SO12および第3層間絶縁膜SO13の開口端面SPeよりも後退している。

[0064] 次に、図17を参照して、パッシベーション膜SN12の上に、保護膜PFとして感光性ポリイミド膜を塗布し、写真製版処理を経てポリイミドパターンが形成される。保護膜PFの開口端面SNeは、パッシベーション膜SN12の開口エッジSNeよりも後退している。以上の工程により、図4および図5に示す、基板SUBの主表面上に形成される回路が完成する。

[0065] 基板SUBの主表面上に形成された回路の最上面（表面）に表面保護テープを貼った後、基板SUBの最下面から所望の厚み分がグラインダで研磨除去される。そして表面保護テープを剥がす。基板SUBが研磨除去された後に最終的に形成される、回路が形成された基板SUB全体の厚みが0.2mm以上0.4mm以下となることが好ましい。

[0066] 回路が完成した基板SUBをダイシングすることにより、図2および図3に示すマイコンチップMC1が完成する。次にダイボンド材DBを用いて、マイコンチップMC1の（回路が形成された主表面MSFに対向する）主表面上にダイパッドDPを接着固定する。マイコンチップMC1のパッド開口部SPとパッケージPKのリード線LDとが、図2に示すようにたとえば金または銅からなるボンディングワイヤBWにより電氣的に接続される。その

後、マイクロチップMC 1の積層構造がパッケージPKの内部に搭載され、積層構造の外周部を覆うようにモールド樹脂MRが充填される、アセンブリ工程がなされる。

[0067] アセンブリ工程において、積層構造は、パッケージPKの内部において、モールド樹脂MRが上述した $0.54 \leq R_{Tt}/R_{Bt} \leq 1.31$ の関係を満足するような位置に配置されることが好ましい。 R_{Tt}/R_{Bt} を上記の比率とするために、図6に示すチップ厚み C_t のほか、ダイパッド厚み D_{Pt} 、ダイボンド厚み D_{Bt} 、パッケージ厚み P_t などを変更することが考えられる。しかしアセンブリ工程における技術上の制約やパッケージPKの仕様から、ダイパッド厚み D_{Pt} 、ダイボンド厚み D_{Bt} 、パッケージ厚み P_t 、樹脂厚み R_{Bt} よりも、チップ厚み C_t を変更する方が容易である。すなわち樹脂厚み R_{Bt} やダイパッド厚み D_{Bt} などを固定した上で、チップ厚み C_t や樹脂厚み R_{Tt} を変更することにより、 R_{Tt} と R_{Bt} との比率を調整することが好ましい。

[0068] 以上のように各部分の寸法を所望の範囲となるように調整したうえでアセンブリ工程を行なうことにより、図1および図2に示すパッケージPK状態の半導体装置が完成する。

[0069] 次に、図18を参照して、上述した金属抵抗素子層 R_m を採用した具体的な発振回路構成について説明する。この発振回路は、たとえば容量素子の充電と放電との繰り返しによる発振動作により所定の発振周期の出力信号を発生する発振回路である。

[0070] デプレッション型の第1MOSFET Q_1 、抵抗値の小さい抵抗 R_1 （上述の金属抵抗素子層 R_m に構成する）、エンハンスメント型の第2MOSFET Q_2 、第3MOSFET Q_3 、および第4MOSFET Q_4 からなる定電流回路CVCと、エンハンスメント型のMOSFET $Q_5 \sim MOSFET Q_7$ と、コンデンサ C_1 （容量素子）と、差動増幅回路DACと、遅延回路DCと、昇圧回路PRCとから構成されている。

[0071] 定電流回路CVCにおいては、MOSFET Q_1 のソースと抵抗 R_1 の一

端、MOSFETQ1のドレインとMOSFETQ2のドレイン、MOSFETQ2のゲートおよびドレインとMOSFETQ3のゲート、MOSFETQ3のドレインとMOSFETQ4のドレイン、MOSFETQ4のゲートおよびドレインとMOSFETQ1のゲート、MOSFETQ2, Q3のソースと電源電圧 V_{cc} 、抵抗 $R1$ の他端およびMOSFETQ4のソースと接地電圧とがそれぞれ接続されている。

[0072] この回路構成により、定電圧レベルの信号が出力されるようになっている。なお、MOSFETQ1、およびMOSFETQ4は、NチャネルMOS構造であり、またMOSFETQ2、およびMOSFETQ3はPチャネルMOS構造である。

[0073] この定電流回路CVCのMOSFETQ2のゲートとMOSFETQ3のゲートとの接続ノードには、ソースが電源電圧 V_{cc} に接続されたMOSFETQ5のゲートが接続され、さらにこのMOSFETQ5のドレインはMOSFETQ6のソース、MOSFETQ6のドレインはMOSFETQ7のドレイン、MOSFETQ7のソースは接地電圧にそれぞれ接続されている。

[0074] さらに、MOSFETQ6のゲートとMOSFETQ7のゲートとは、共通接続されて遅延回路DCの出力端に接続されている。またMOSFETQ6のドレインとMOSFETQ7のドレインとの接続ノードからコンデンサC1の一端、差動増幅回路DACの正入力端子にそれぞれ接続されている。

[0075] 差動増幅回路DACでは、定電流回路CVCで発生する定電圧レベルとコンデンサC1の電圧レベルとが比較され、この比較結果に応じてコンデンサC1が充電または放電されるようになっている。

[0076] 昇圧回路PRCは、インバータIV1、エンハンスメント型nチャネルのMOSFETQ12, Q13、およびコンデンサC2, C3を有し、起動信号CLKが入力され、昇圧された出力電圧が定電流回路CVCのMOSFETQ4のゲートとMOSFETQ1のゲートとの接続ノードに印加されている。

[0077] この昇圧回路 PRC においては、起動信号 CLK がインバータ IV1 および MOSFET Q12 のゲートに入力され、このインバータ IV1 の出力端子とコンデンサ C2 の一端、コンデンサ C2 の他端と MOSFET Q12 のドレイン、MOSFET Q13 のゲートおよびドレイン、MOSFET Q13 のソースとコンデンサ C3 の一端とがそれぞれ接続され、さらに MOSFET Q12 のソースおよびコンデンサ C3 の他端は接地電圧に接続されている。

[0078] 次に、本実施の形態における半導体装置の、RTt と RBt との比率を変化することによる、OCO 回路の抵抗素子層 Rm の抵抗値の変化を調査した結果について、図 19 のグラフを用いて説明する。

[0079] 図 19 のグラフは、図 1 や図 2 に示す本実施の形態における、RTt と RBt との比率を変化した場合における、OCO 回路の金属抵抗素子層 Rm の抵抗値の変動割合を示している。具体的には、図 19 のグラフの横軸は、RTt と RBt との比率 (RTt / RBt) を示している。また図 19 のグラフの縦軸は、半導体装置の使用時における、窒化チタン (TiN) からなる抵抗素子層 Rm の抵抗値の変動率を示している。なお抵抗値の変動率とは、たとえばアセンブリ工程の直後における金属抵抗素子層 Rm の抵抗値を基準として、半田付けや信頼性試験などによる熱的負荷を加えた後の金属抵抗素子層 Rm の抵抗値の変化の割合を示す。

[0080] 図 19 のグラフ中の曲線は、本実施の形態における半導体装置のモデルを用いたシミュレーションによる計算結果を示している。また図 19 のグラフ中に点で示すデータは、本実施の形態における半導体装置を試作し、実測した結果を示している。

[0081] 図 19 のデータの導出においては、計算、実測のいずれにおいても、以下の各値を入力値として用いた。平面視において 1 辺が 12 mm の正形状を有し、厚み Pt (図 6 参照) が 1.4 mm であるパッケージ PK を用いた。ダイパッド DP はその厚み DPt (図 6 参照) を 0.125 mm とし、平面視におけるサイズ DPx および DPy (図 7 参照) を 3 mm とした。ダイボン ド

Bの厚みは0.03mmである。

[0082] マイコンチップMC1は平面視における1辺の長さが7mmの正方形を有しており、その厚み C_t （図6参照）はたとえば0.3mmなど、 R_{Tt}/R_{Bt} の値の変化に応じて変化させている。マイコンチップMC1のサイズ C_x および C_y （図7参照）の比率は1であり、 D_{Px}/C_x （ D_{Py}/C_y ）の値は0.429、 C_x/P_x の値は0.583である。またモールド樹脂MRのヤング率の平均値は20874MPa、モールド樹脂MRの線膨張係数の平均値は $11 \times 10^{-6}/^{\circ}\text{C}$ 、モールド樹脂MRのガラス転移温度は125℃とした。

[0083] なおモールド樹脂MRのヤング率は、たとえばユーイングの装置を用いてモールド樹脂MRのたわみ量を測定することにより算出することができる。モールド樹脂MRの線膨張係数は、たとえばモールド樹脂MRの棒状試験片を等速度で昇温させることにより測定することができる。モールド樹脂MRのガラス転移温度は、当該樹脂の硬度や熱量などの物性値を温度を変えながら測定することにより導出することができる。

[0084] 図19を参照して、計算結果を示す曲線は、 R_{Tt}/R_{Bt} がおよそ1のときに、金属抵抗層 R_m の抵抗値変動が極大値を示している。当該極大値は約-0.15%であり、このとき R_m の抵抗値変動の絶対値が最小となっている。 R_{Tt}/R_{Bt} が1より大きくなっても小さくなっても、当該抵抗値変動の値は小さくなる（抵抗値変動の絶対値は大きくなる）。

[0085] R_{Tt}/R_{Bt} が0.54および1.31のときに抵抗値変動の値は-0.200%となり、概ね $0.54 \leq R_{Tt}/R_{Bt} \leq 1.31$ の範囲外の領域においては、当該範囲内の領域に比べてグラフの傾きが大きくなっている。言い換えれば概ね $0.54 \leq R_{Tt}/R_{Bt} \leq 1.31$ の範囲外の領域においては、当該範囲内の領域に比べて、抵抗値変動の絶対値が大きくなっている。

[0086] 以上の計算結果から、 $0.54 \leq R_{Tt}/R_{Bt} \leq 1.31$ とすることにより、抵抗値変動を-0.200%以上、+0.200%以下（抵抗値変動の絶対値を0.200%以内）にすることが好ましいといえる。

[0087] また、たとえば高速O C O回路の発振周波数の精度として $40\text{MHz} \pm 1\%$ が要求される場合には、抵抗素子層 R_m の抵抗値変動を $\pm 0.2\%$ 以内の精度にすることが好ましいとの要請がある。この観点からも、上記のように $0.54 \leq R_{Tt}/R_{Bt} \leq 1.31$ とすることが好ましいといえる。

[0088] また R_{Tt}/R_{Bt} がおよそ1.1および1.4の場合の実測値は、計算値に近い値を示している。このことから計算値は実測値に近い、信頼性の高いデータであることがわかる。

[0089] 以上、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0090] 本発明は、半導体チップの上に高融点金属を有する発振回路を含む半導体装置に特に有利に適用され得る。

符号の説明

[0091] B1, B2, C1 接続点、BW ボンディングワイヤ、C1, C2, C3 コンデンサ、CLK 起動信号、CP1 コンタクトプラグ、CP11 TiN/Ti積層膜、CP12 タングステン(W)膜、CVC 定電流回路、DAC 差動増幅回路、DB ダイボンド材、DC 遅延回路、DP ダイパッド、IV1 インバータ、LD リード線、M 配線層、M1 下層、M3 上層、MBF 最下面、MC1 マイコンチップ、MC11 RAM形成領域、MC12 CPU形成領域、MC13, MC15 周辺回路形成領域、MC16 電源回路領域、Md ダミー層、Mi, Ma~Mc, Mo タップ層、MP パッド層、Mp パッド領域層、MR モールド樹脂、MSF 最上面、PF 保護膜、PFe, SPe 開口端面、PK パッケージ、PRC 昇圧回路、Q1 第1MOSFET、Q2 第2MOSFET、Q3 第3MOSFET、Q4 第4MOSFET、Q5, Q6, Q7, Q12, Q13 MOSFET、R1 抵抗、Rm1~Rm4 金

属配線層、R m 2 金属抵抗素子層、S N 1 酸化防止膜層、S N 1 2 パッシベーション膜、S N e 開口エッジ、S O 1 1 第1層間絶縁膜、S O 1 2 第2層間絶縁膜、S O 1 3 第3層間絶縁膜、S O N 1 1 反射防止膜、S P パッド開口部、V a 1 コンタクトホール。

請求の範囲

- [請求項1] 高融点金属からなる金属抵抗素子層（ R_{m2} ）を有する発振回路を含み、かつ互いに対向する第1の主面（ MSF ）および第2の主面を有する半導体チップ（ $MC1$ ）と、
- 前記半導体チップ（ $MC1$ ）の前記第2の主面側に取り付けられたダイパッド（ DP ）と、
- 前記半導体チップ（ $MC1$ ）および前記ダイパッド（ DP ）を覆うように形成された樹脂材料（ MR ）とを備えており、
- 前記半導体チップ（ $MC1$ ）の前記第1の主面（ MSF ）上を覆う前記樹脂材料（ MR ）の厚みは、前記ダイパッド（ DP ）の前記半導体チップ（ $MC1$ ）側とは反対側の表面（ MBF ）上を覆う前記樹脂材料（ MR ）の厚みの0.54倍以上1.31倍以下である、半導体装置。
- [請求項2] 前記半導体チップ（ $MC1$ ）は平面視において矩形の形状を有しており、
- 前記半導体チップ（ $MC1$ ）の前記矩形の1辺に沿う第1方向（ X 方向）の寸法と、前記第1方向（ X 方向）に直交する第2方向（ Y 方向）の寸法との比は1以上1.25以下である、請求項1に記載の半導体装置。
- [請求項3] 前記半導体チップ（ $MC1$ ）および前記樹脂材料（ MR ）の各々は平面視において矩形の形状を有しており、
- 前記半導体チップ（ $MC1$ ）の前記矩形の1辺に沿う第1方向（ X 方向）の寸法は、前記樹脂材料（ MR ）の前記矩形の1辺に沿う前記第1方向（ X 方向）の寸法の0.16倍以上0.4倍以下である、請求項1に記載の半導体装置。
- [請求項4] 前記半導体チップ（ $MC1$ ）の厚みは0.2mm以上0.4mm以下である、請求項1に記載の半導体装置。
- [請求項5] 前記ダイパッド（ DP ）および前記樹脂材料（ MR ）の各々は平面

視において矩形の形状を有しており、

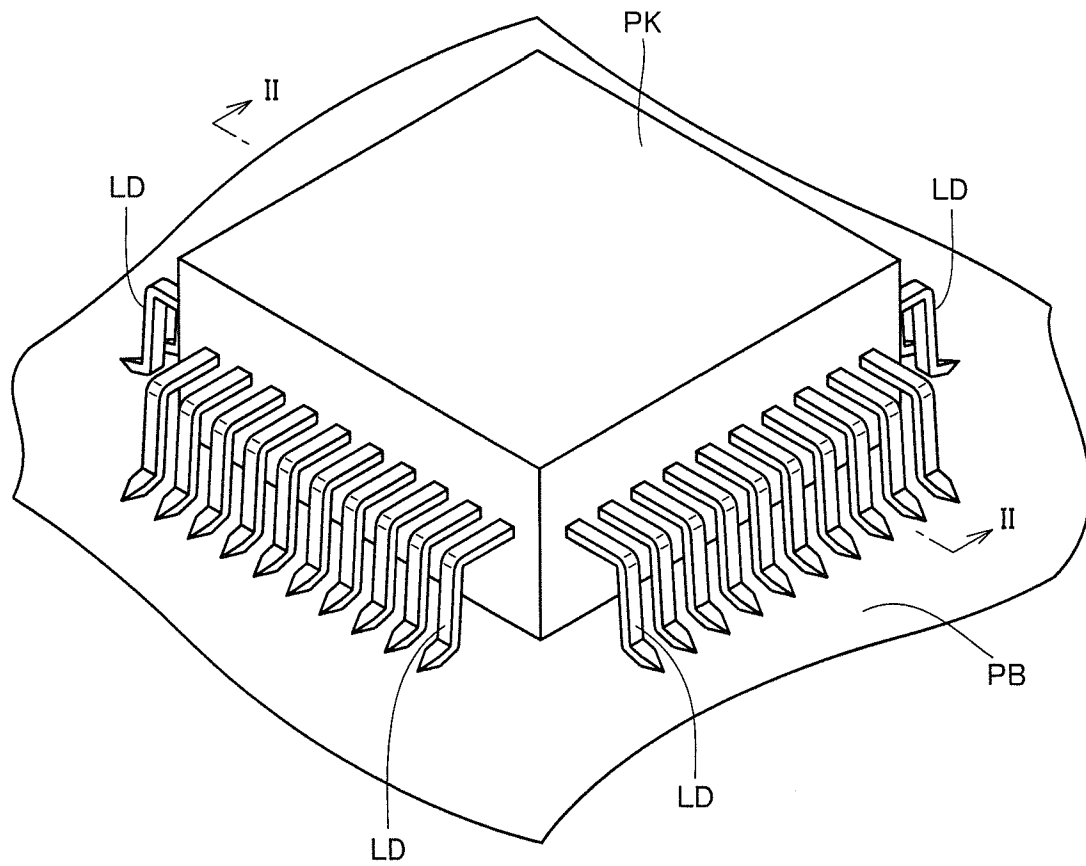
前記ダイパッド（D P）の前記矩形の 1 辺に沿う第 1 方向（X 方向）の寸法は、前記樹脂材料（M R）の前記矩形の 1 辺に沿う前記第 1 方向（X 方向）の寸法の 0.5 倍以上 1.5 倍以下である、請求項 1 に記載の半導体装置。

[請求項6] 前記樹脂材料（M R）のヤング率は 18000MPa 以上 30000MPa 以下である、請求項 1 に記載の半導体装置。

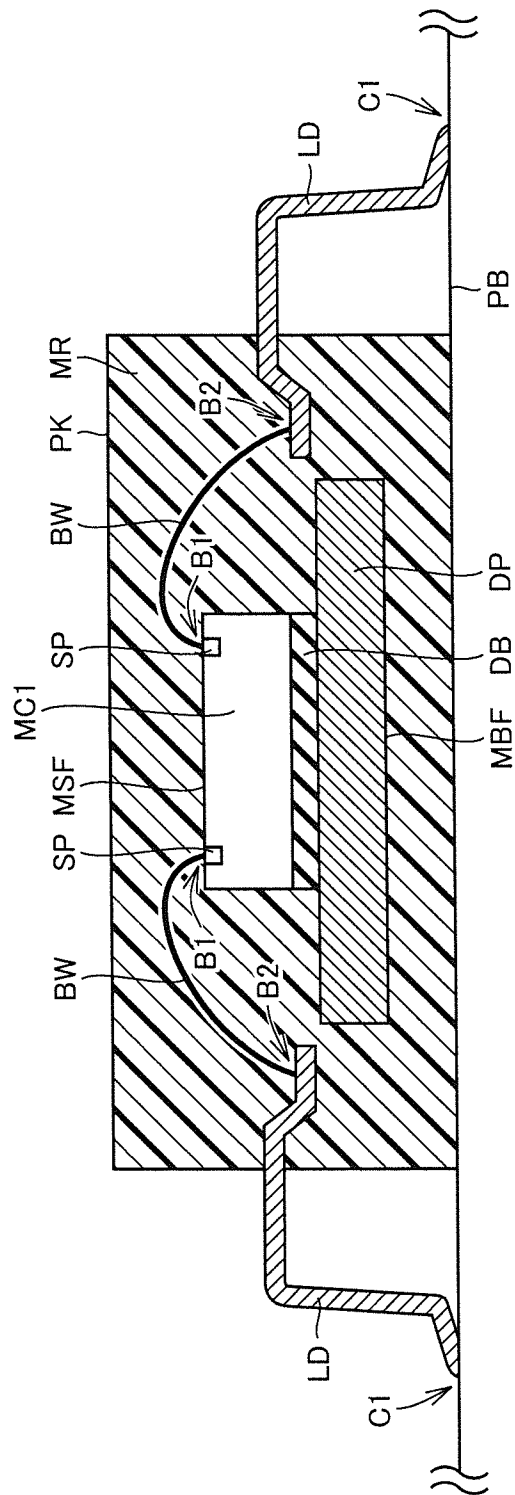
[請求項7] 前記樹脂材料（M R）の線膨張係数は $8 \times 10^{-6}/^{\circ}\text{C}$ 以上 $12 \times 10^{-6}/^{\circ}\text{C}$ 以下である、請求項 1 に記載の半導体装置。

[請求項8] 前記樹脂材料（M R）のガラス転位温度は 100℃以上 150℃以下である、請求項 1 に記載の半導体装置。

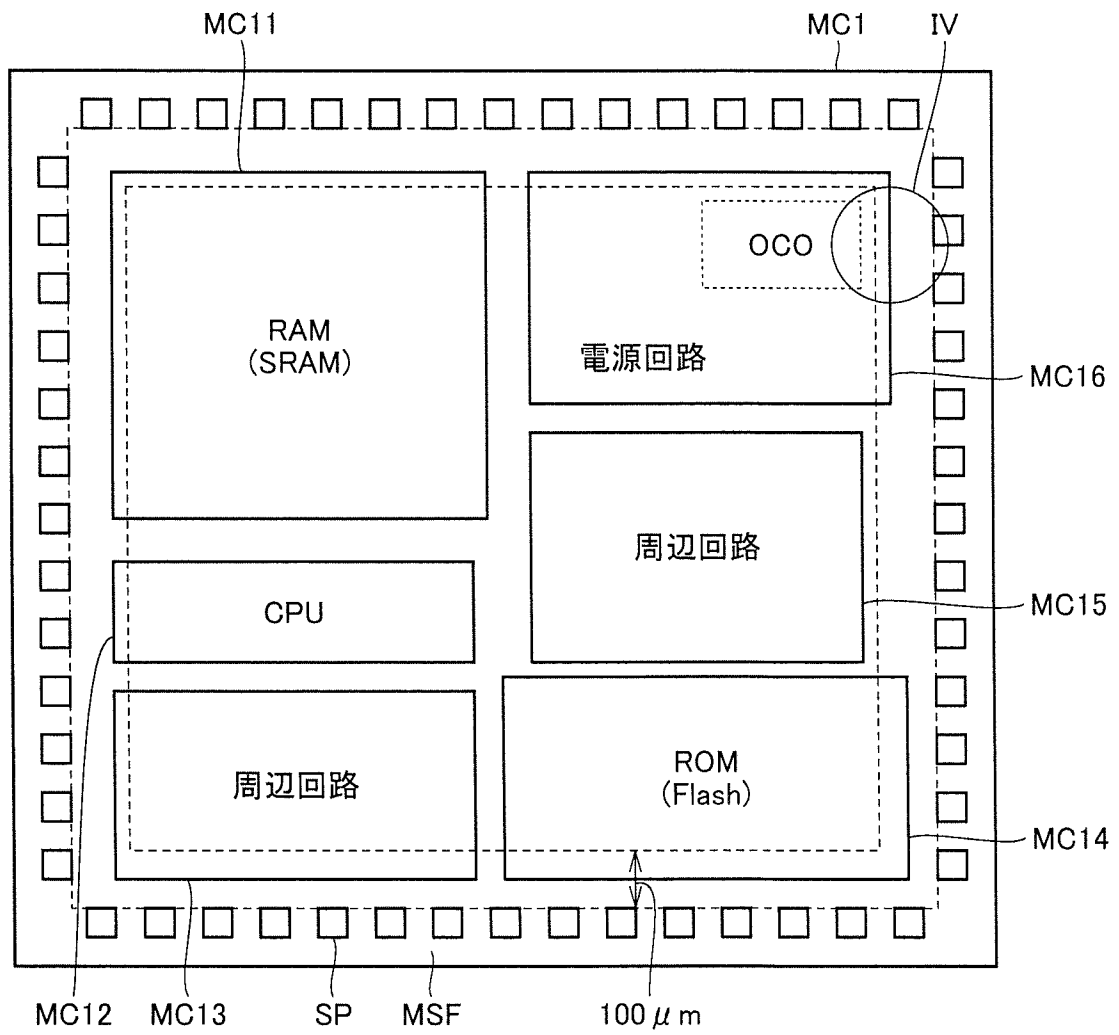
[図1]



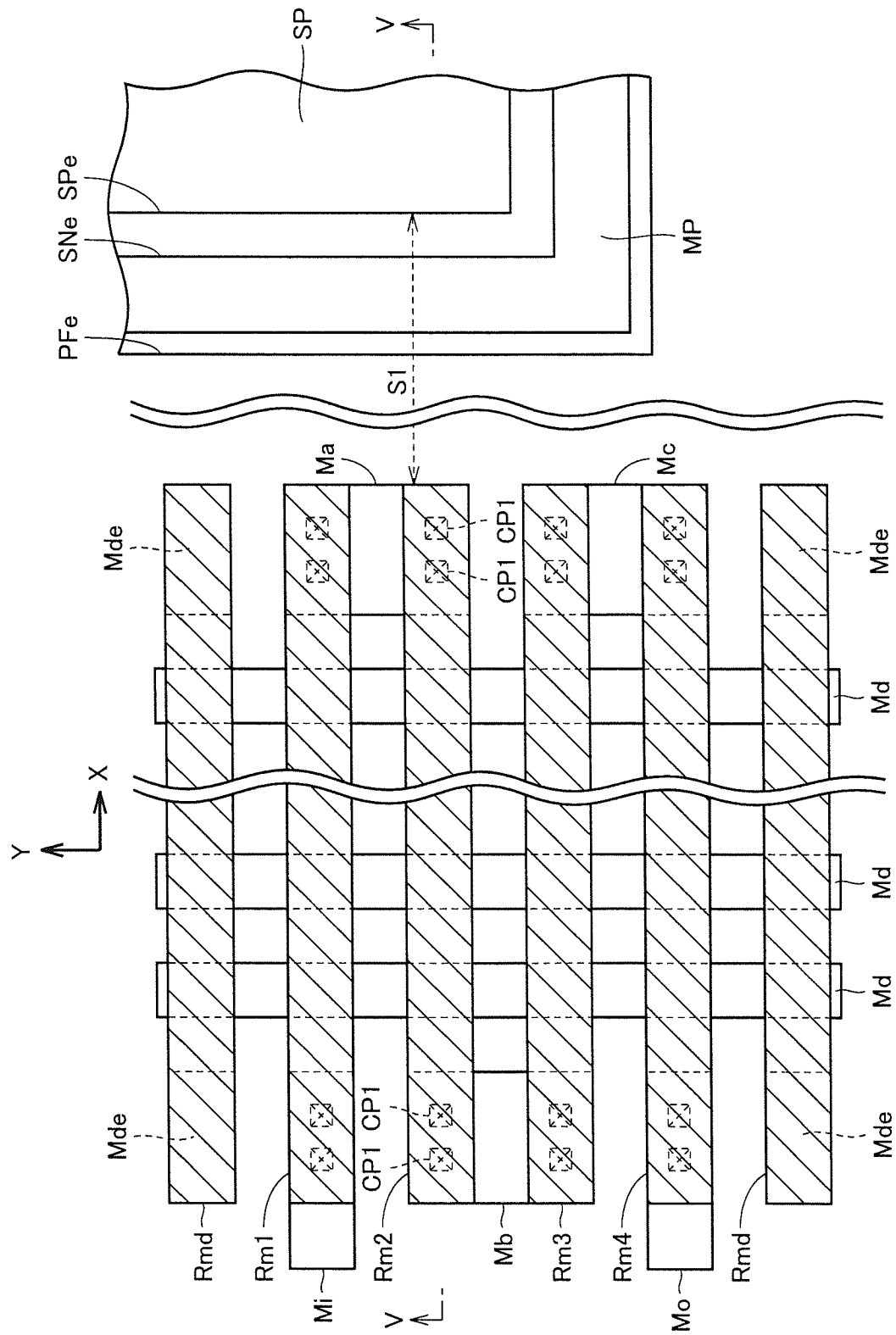
[図2]



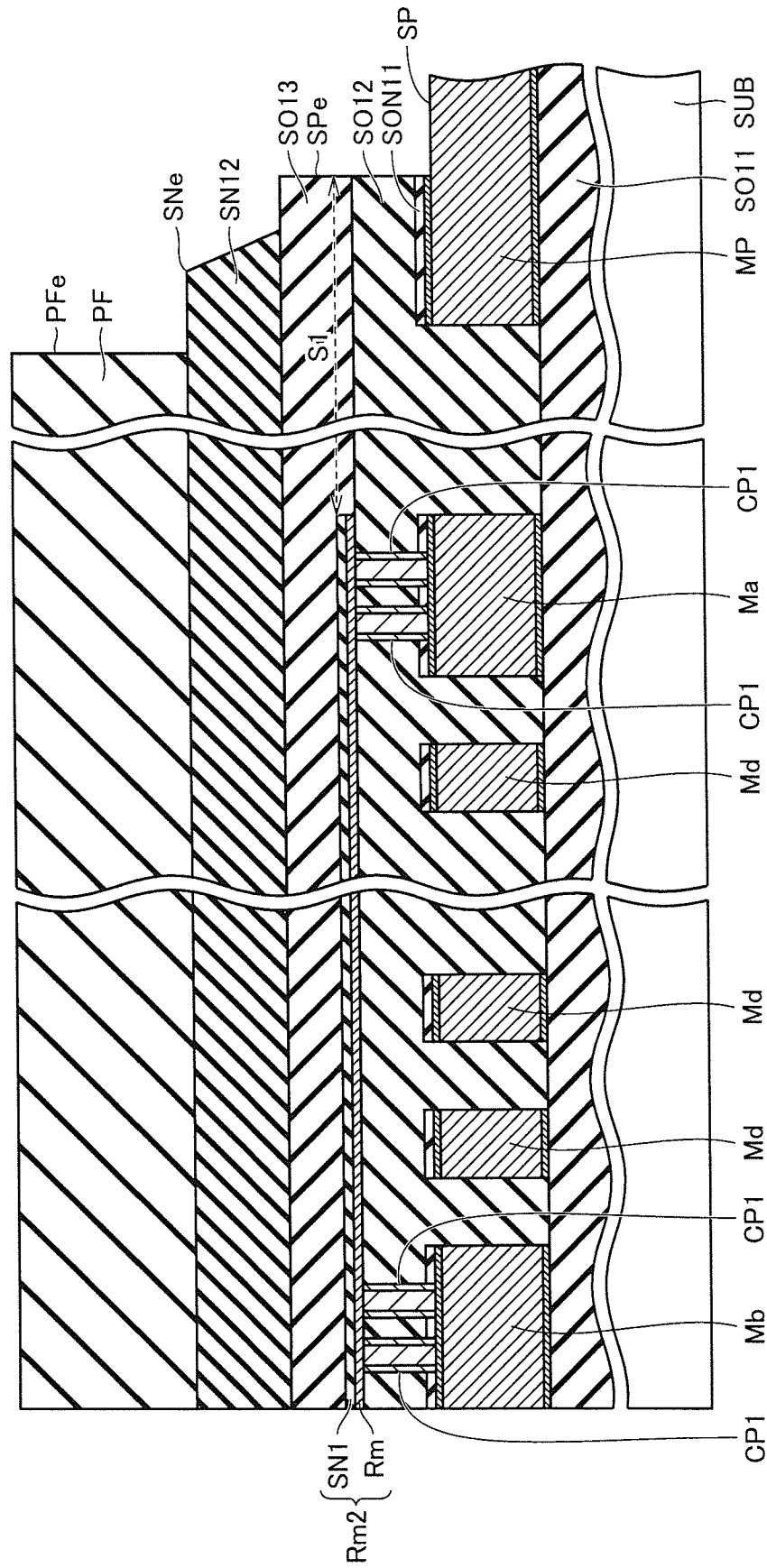
[図3]



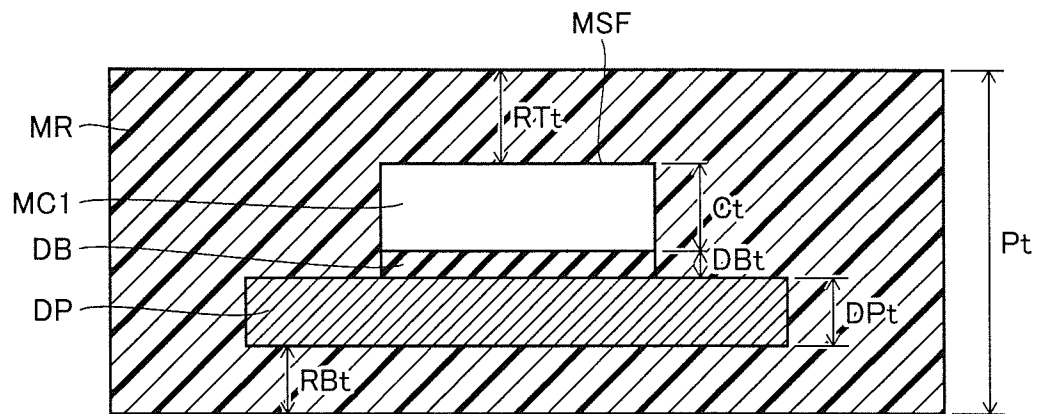
[図4]



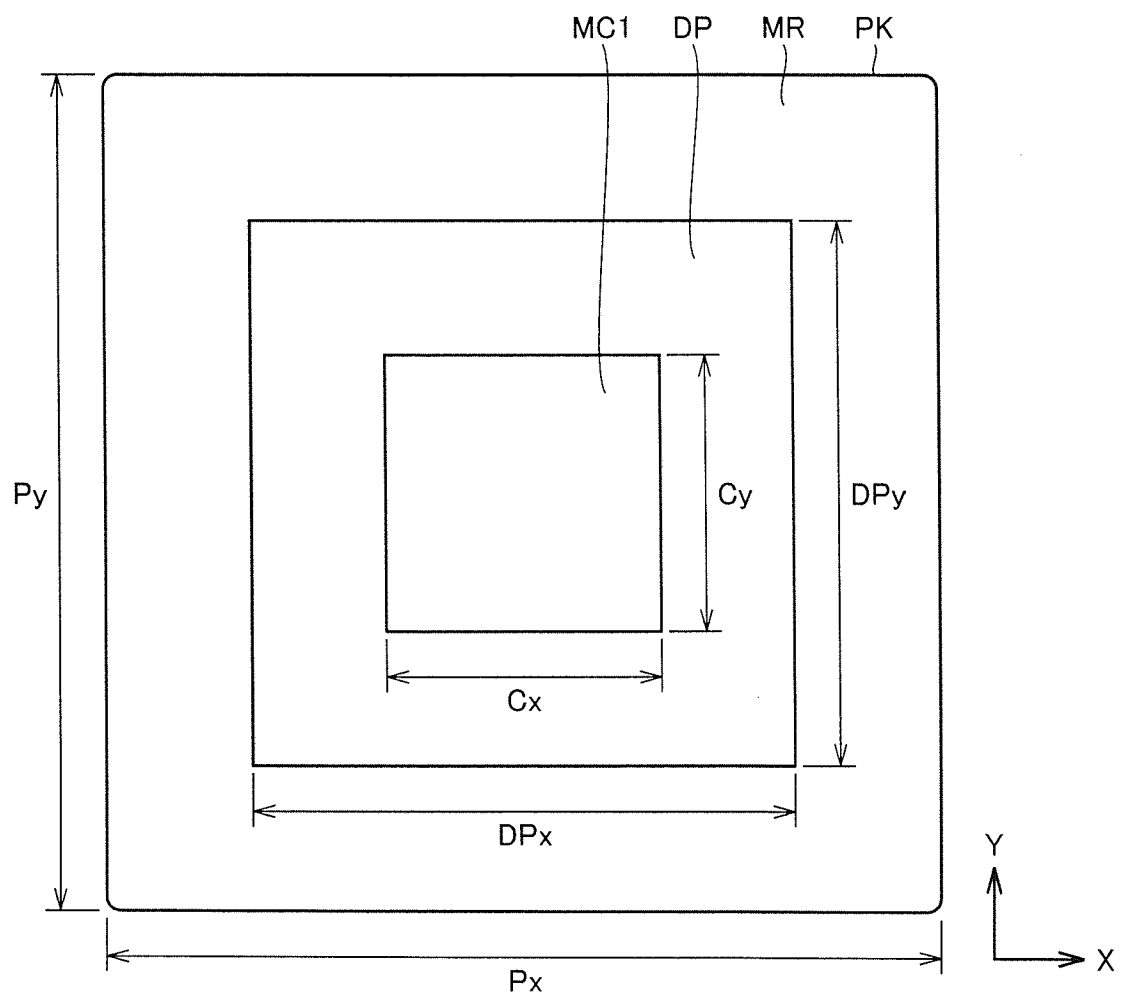
[図5]



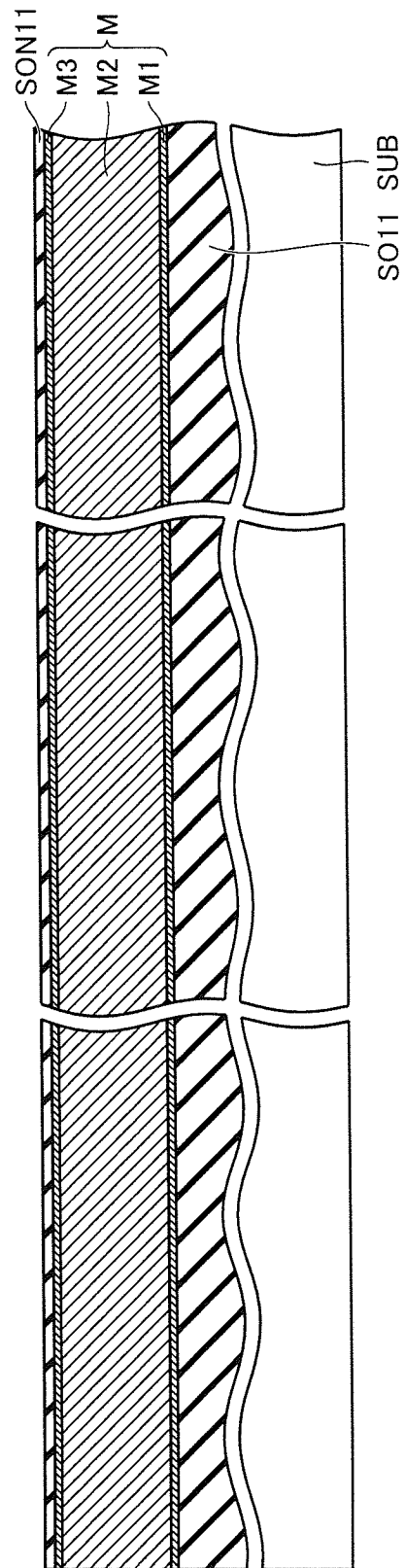
[図6]



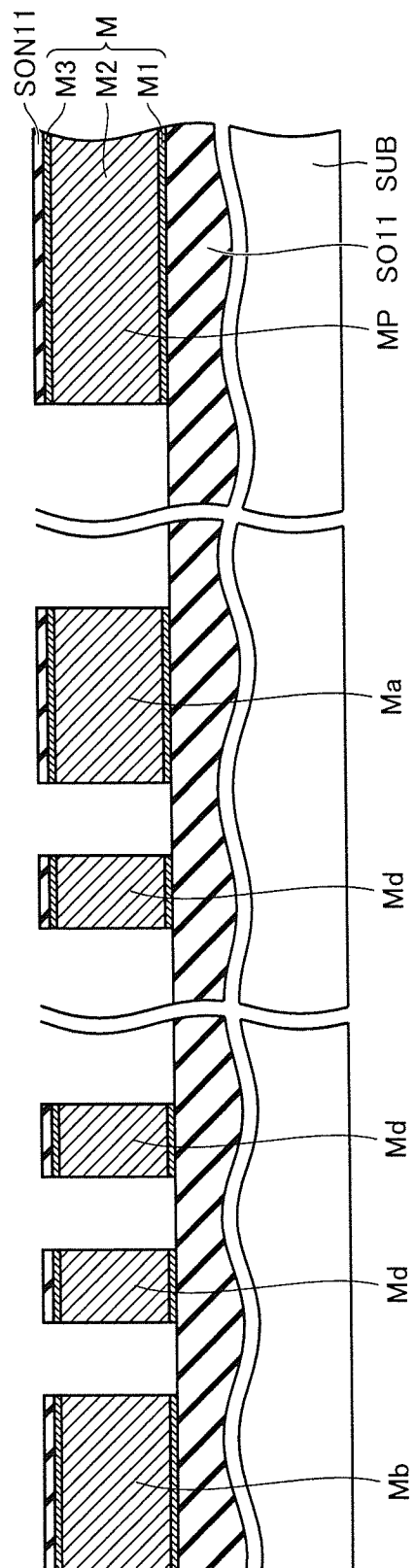
[図7]



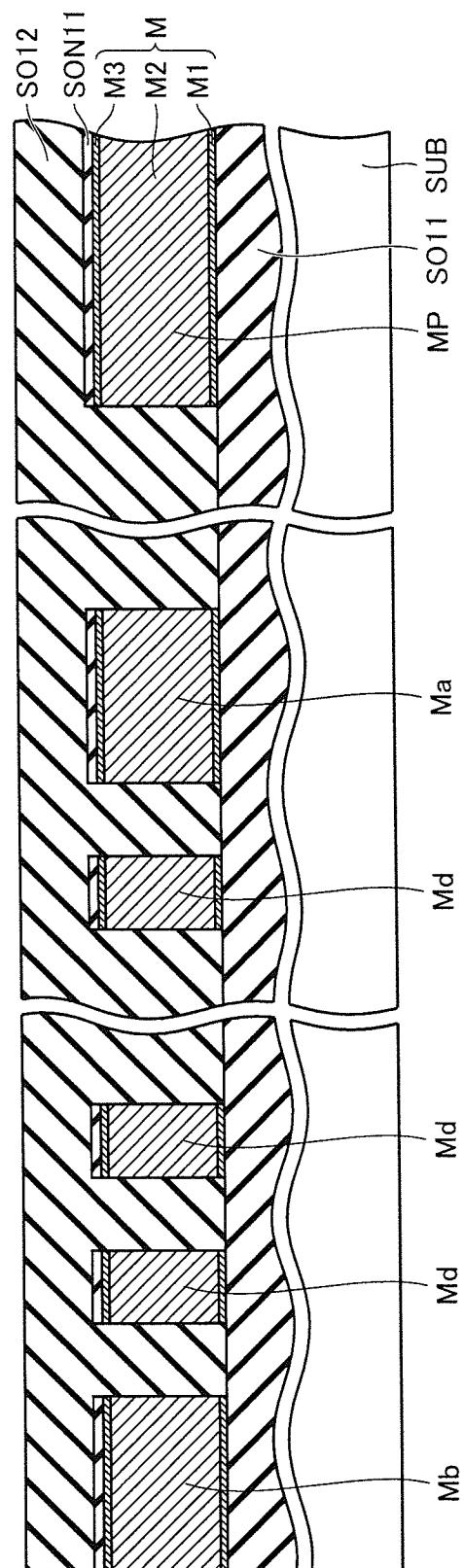
[図8]



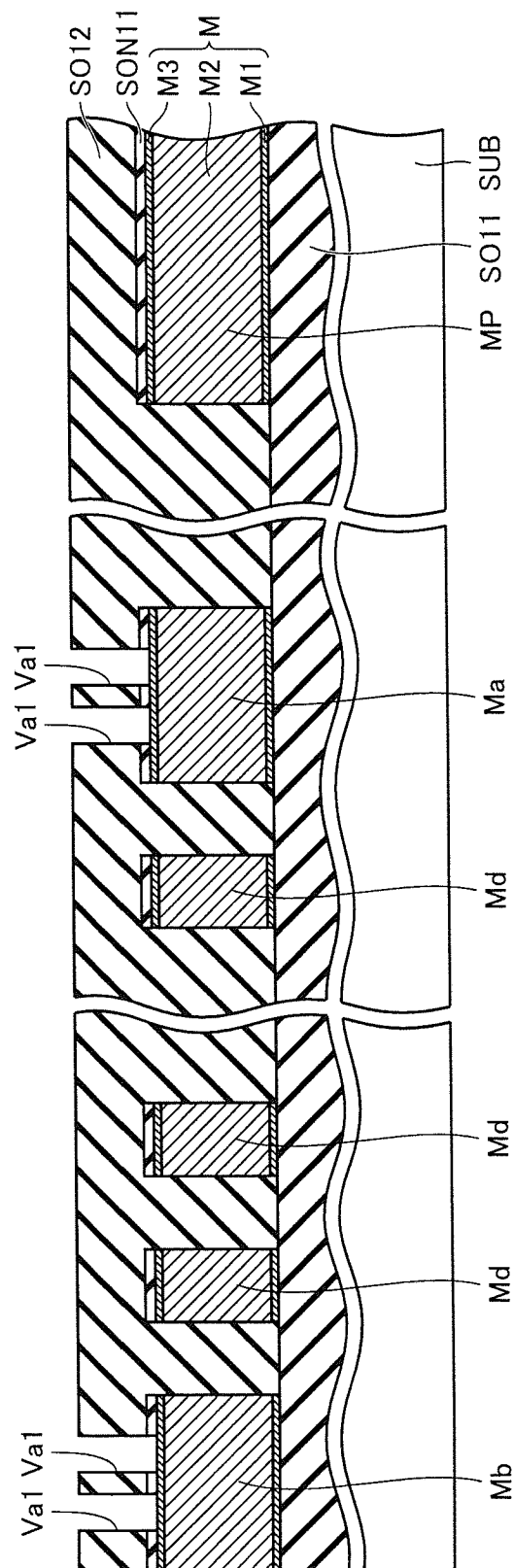
[図9]



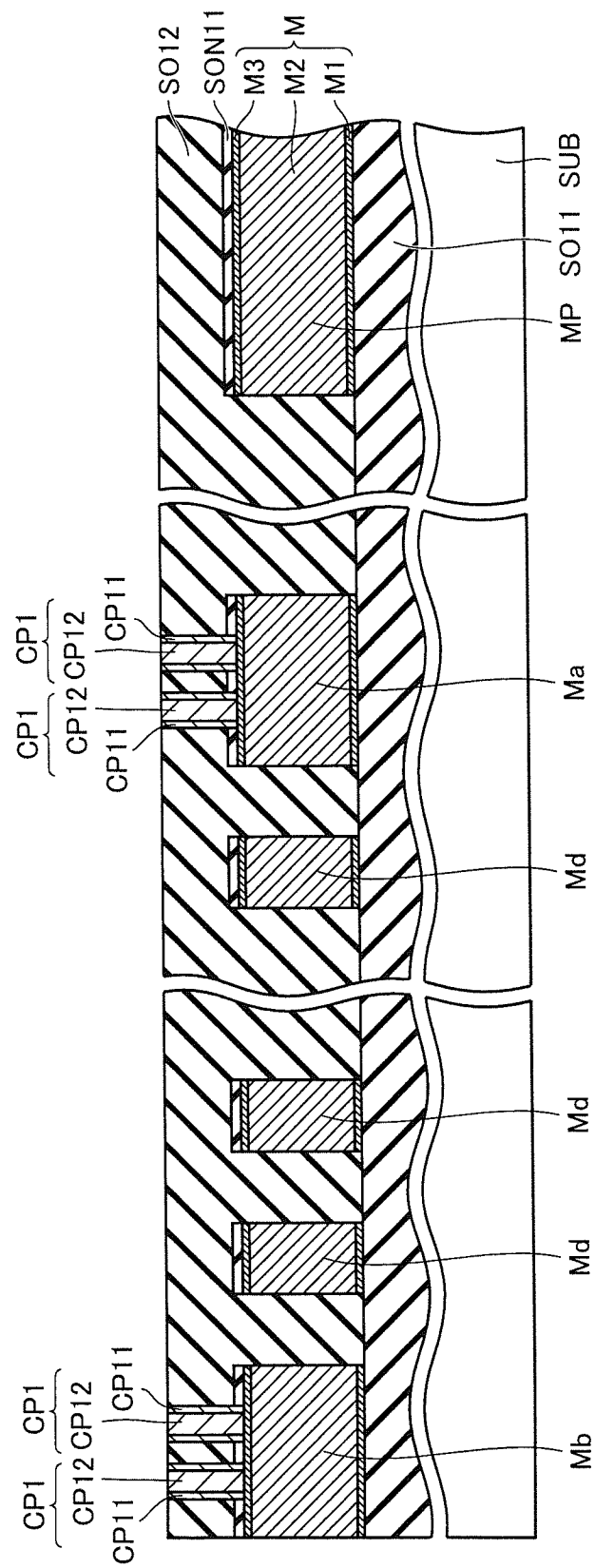
[図10]



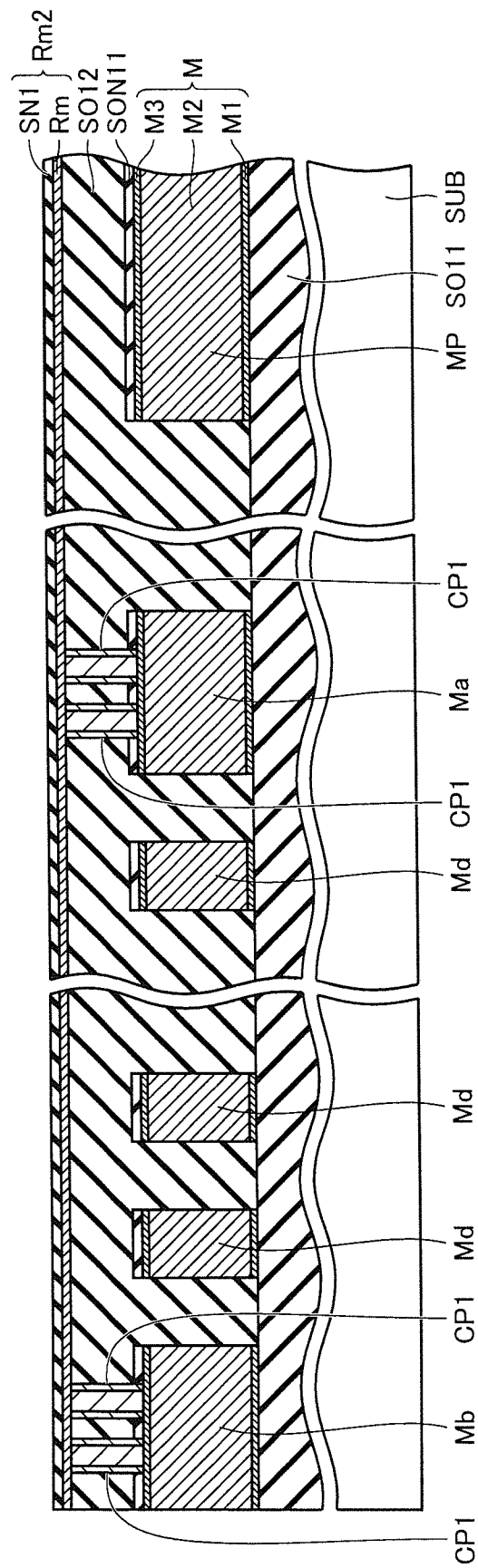
[図11]



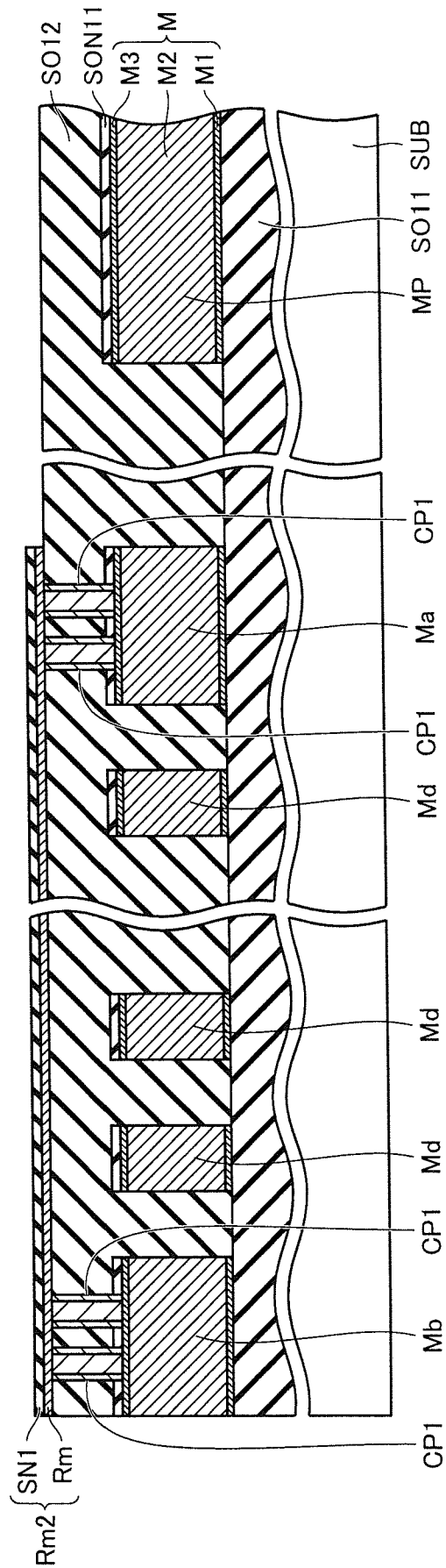
[図12]



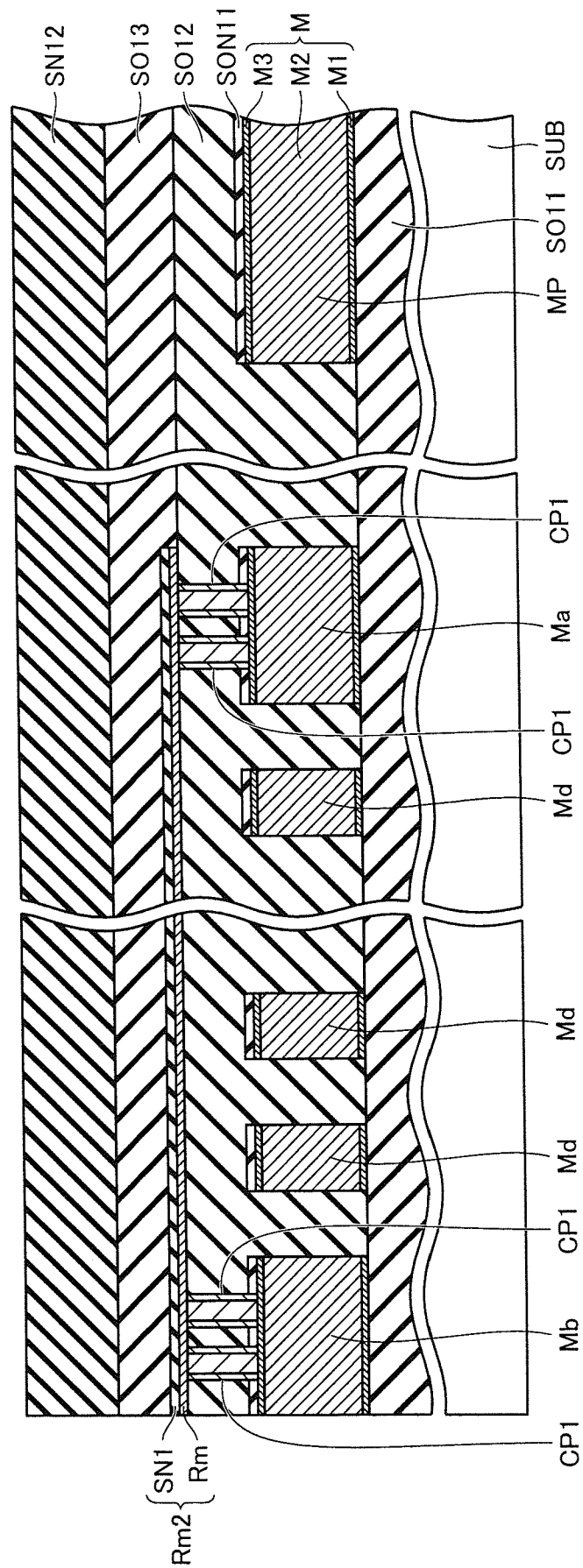
[図13]



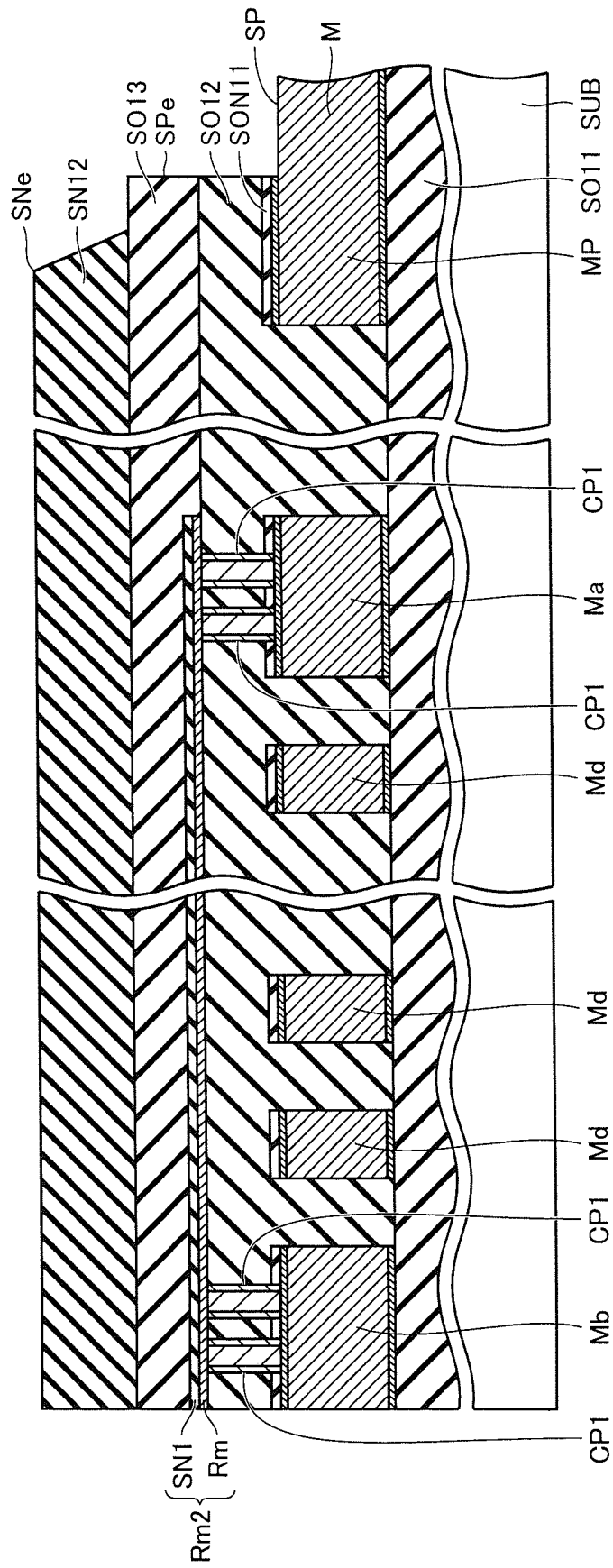
[図14]



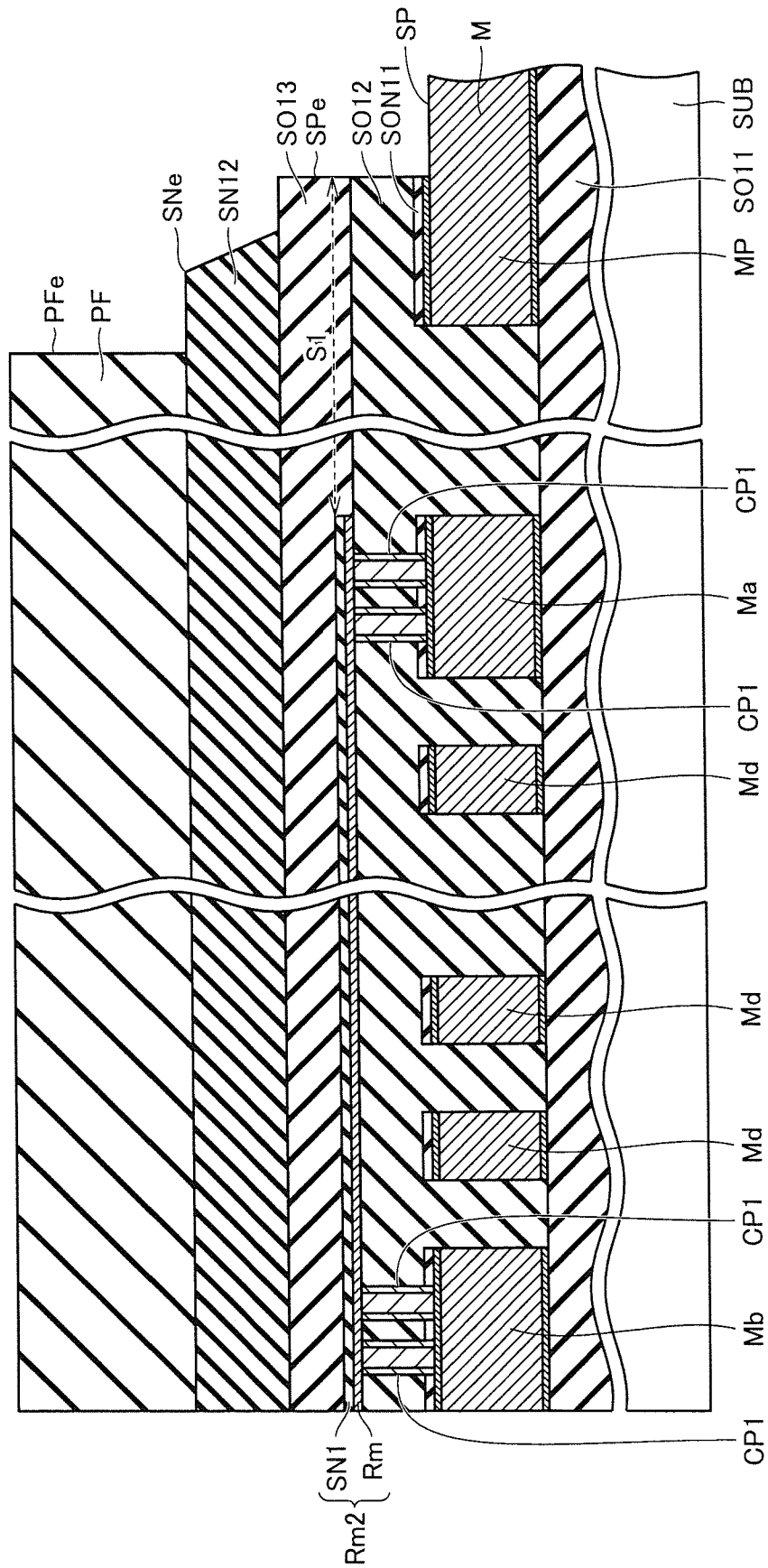
[図15]

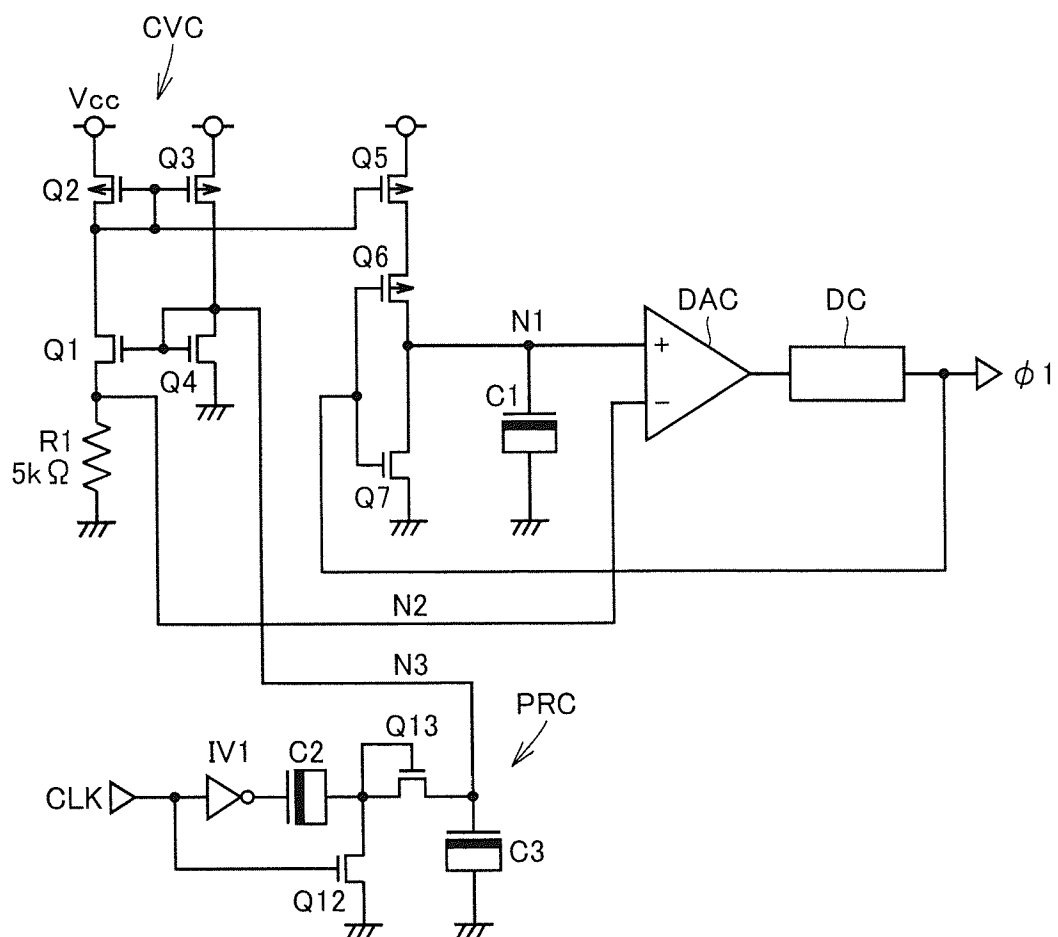


[図16]

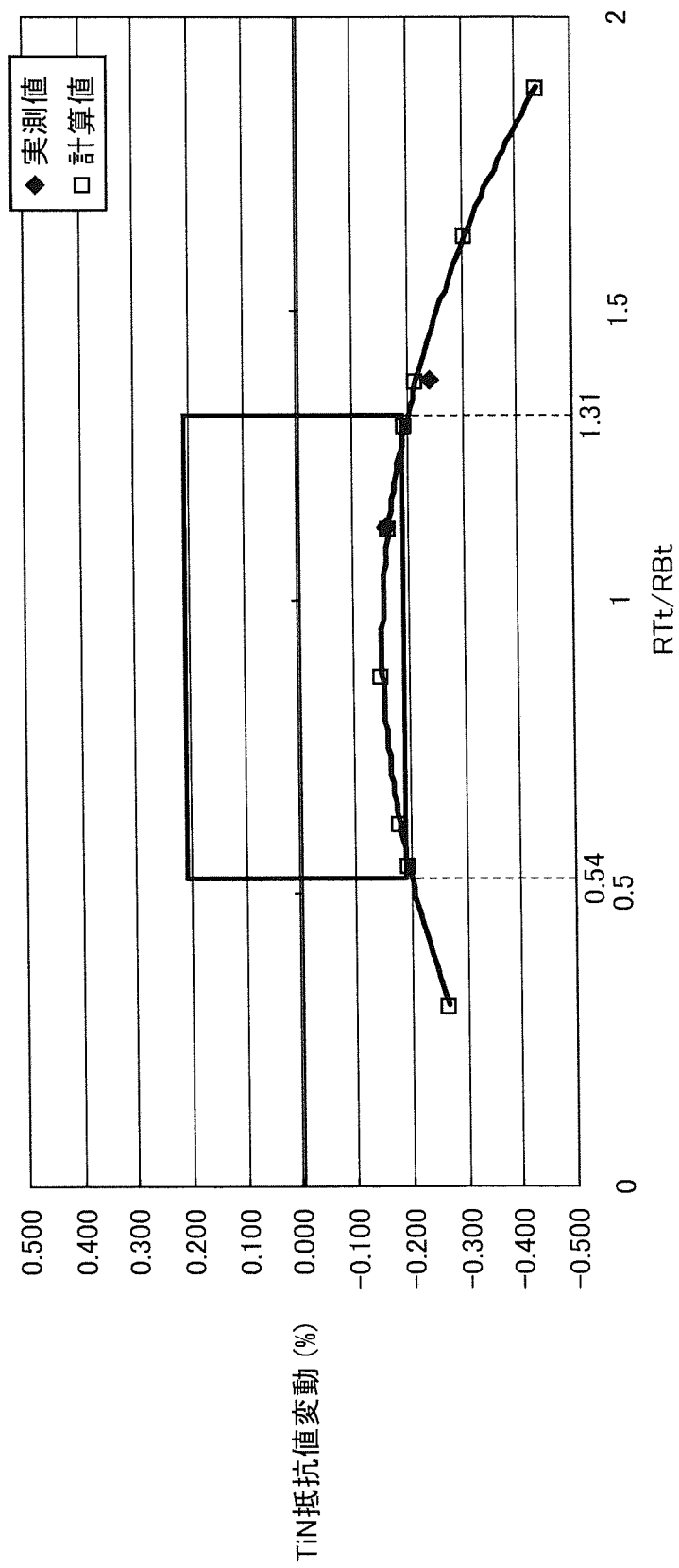


[図17]





[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057869

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/28, H01L23/29

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 60-258941 A (Toshiba Corp.), 20 December 1985 (20.12.1985), page 2, lower left column, line 13 to page 3, lower left column, line 18; fig. 1 (Family: none)	1-8
Y	JP 6-318693 A (NEC Kyushu Co., Ltd.), 15 November 1994 (15.11.1994), paragraphs [0002] to [0004]; fig. 1 (Family: none)	1-8
Y	JP 2001-151863 A (Matsushita Electric Works, Ltd.), 05 June 2001 (05.06.2001), paragraphs [0043] to [0044] (Family: none)	3

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2012 (24.05.12)Date of mailing of the international search report
05 June, 2012 (05.06.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057869

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-166220 A (Matsushita Electric Works, Ltd.), 18 July 1991 (18.07.1991), page 5, upper right column, lines 2 to 10 (Family: none)	5
Y	JP 9-289269 A (Hitachi, Ltd.), 04 November 1997 (04.11.1997), paragraphs [0018] to [0021]; fig. 1 to 2 (Family: none)	6
Y	JP 2000-63494 A (Toshiba Chemical Corp.), 29 February 2000 (29.02.2000), paragraphs [0018] to [0024] (Family: none)	8
A	JP 1-225345 A (Mitsubishi Electric Corp.), 08 September 1989 (08.09.1989), page 1, lower left column, line 19 to lower right column, line 17; fig. 2 (Family: none)	1-8
A	JP 6-84984 A (Kawasaki Steel Corp.), 25 March 1994 (25.03.1994), paragraphs [0004] to [0028]; fig. 1 to 6 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L23/28 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L23/28, H01L23/29

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 60-258941 A (株式会社東芝) 1985. 12. 20, 第 2 ページ左下欄第 13 行-第 3 ページ左下欄第 18 行, 第 1 図 (ファミリーなし)	1-8
Y	JP 6-318693 A (九州日本電気株式会社) 1994. 11. 15, [0002]-[0004], 図 1 (ファミリーなし)	1-8
Y	JP 2001-151863 A (松下電工株式会社) 2001. 06. 05, [0043]-[0044] (ファミリーなし)	3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 1 2

国際調査報告の発送日

0 5 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

酒井 英夫

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 2 5

4 E

9 6 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 3-166220 A (松下電工株式会社) 1991.07.18, 第5 ページ右上欄第2-10 行 (ファミリーなし)	5
Y	JP 9-289269 A (株式会社日立製作所) 1997.11.04, [0018]-[0021], 図1-2 (ファミリーなし)	6
Y	JP 2000-63494 A (東芝ケミカル株式会社) 2000.02.29, [0018]-[0024] (ファミリーなし)	8
A	JP 1-225345 A (三菱電機株式会社) 1989.09.08, 第1 ページ左下欄第19 行-右下欄第17 行, 第2 図 (ファミリーなし)	1-8
A	JP 6-84984 A (川崎製鉄株式会社) 1994.03.25, [0004]-[0028], 図1-6 (ファミリーなし)	1-8