

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3665614号
(P3665614)

(45) 発行日 平成17年6月29日(2005.6.29)

(24) 登録日 平成17年4月8日(2005.4.8)

(51) Int. Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 2 5 A

H O 1 L 27/108

H O 1 L 27/10 6 7 1 B

請求項の数 5 (全 20 頁)

(21) 出願番号	特願2001-520464 (P2001-520464)	(73) 特許権者	599158797
(86) (22) 出願日	平成12年8月8日(2000.8.8)		インフィネオン テクノロジース アクチ
(65) 公表番号	特表2003-508912 (P2003-508912A)		エンゲゼルシャフト
(43) 公表日	平成15年3月4日(2003.3.4)		ドイツ連邦共和国 ミュンヘン ザンクト
(86) 国際出願番号	PCT/DE2000/002647		マルティン シュトラーセ 53
(87) 国際公開番号	W02001/017015	(74) 代理人	100061815
(87) 国際公開日	平成13年3月8日(2001.3.8)		弁理士 矢野 敏雄
審査請求日	平成13年4月25日(2001.4.25)	(74) 代理人	100094798
(31) 優先権主張番号	199 41 401.7		弁理士 山崎 利臣
(32) 優先日	平成11年8月31日(1999.8.31)	(74) 代理人	100099483
(33) 優先権主張国	ドイツ(DE)		弁理士 久野 琢也
		(74) 代理人	100114890
			弁理士 アインゼル・フェリックス＝ライ
			ンハルト

最終頁に続く

(54) 【発明の名称】 DRAMセル装置の製法

(57) 【特許請求の範囲】

【請求項1】

DRAMセル装置の製法において、

(a) 基板(1)中に、DRAMセル装置のメモリセルのコンデンサのために凹部(V)を設け、

(b) 凹部(V)に、絶縁体(I)及び、少なくとも部分的に絶縁体(I)により基板(1)から離れているコンデンサのメモリノット(SP)を設け、

(c) シリコンをコンフォーマルに堆積させ、引き続きシリコンの水平の部分をエッチバックして、凹部(V)中のメモリノット(SP)の上側に凹部(V)の側面に沿ってスペーサー(R)を形成させ、

(d) 基板(1)の表面に対して斜め方向へドーピング物質を注入し、引き続き熱処理することにより、スペーサーの第1の部分(R1)がドーブされ、かつ第1の部分に向かい合っているスペーサーの第2の部分(R2)はドーブされないままであり、

(e) スペーサーの第2の部分(R2)を除去することにより、スペーサー(R)を構造化し、

(f) スペーサーの除去された第2の部分(R2)の下側に配置された、メモリノット(SP)の第1の部分除去し、絶縁体(I)を補充することで、メモリノット(SP)は基板(1)から補充された絶縁体(I)により絶縁され、かつスペーサーの第1の部分(R1)の下側に配置された、メモリノット(SP)の第2の部分は基板1に隣接し、

(g) 第1のソース/ドレイン領域(S/D1)を、メモリノット(SP)の第2の部

分に隣接する基板(1)中に形成させ、前記の第1のソース/ドレイン領域(S/D1)の上側でかつ前記の第1のソース/ドレイン領域(S/D1)から間隔をおいて、基板(1)中に第2のソース/ドレイン領域(S/D2)を形成させ、スペーサーの第1の部分(R1)を除去し、かつ再び充填することによりゲート電極(GA)を形成させることで、メモリセルのトランジスタを作成し、

(h) ワード線(W)を設け、トランジスタのゲート電極(GA)と接続させ、

(i) ワード線(W)に対して横方向に延在するビット線(B)を設け、第2のソース/ドレイン領域(S/D2)と接続させることを特徴とする、DRAMセルの製造方法。

【請求項2】

工程(f)の前に、メモリノット(SP)及び絶縁体(I)を、メモリノット(SP)の第1の部分も、メモリノット(SP)の第2の部分も基板(1)に接しているように設け、

引き続き、スペーサーの第1の部分(R1)をマスクとして使用して、メモリノット(SP)の第1の部分除去し、

引き続き、メモリノット(SP)の第1の部分除去した後に絶縁体(I)と置き換えることにより、絶縁体(I)を拡張する、請求項1に記載の方法。

【請求項3】

メモリノット(SP)上に絶縁層(S)を設け、

スペーサー(R)を絶縁層(S)の上に設け、

スペーサー(R)の構造化の後に、絶縁層(S)の露出部分を除去する、請求項1又は2に記載の方法。

【請求項4】

スペーサー(R)を構造化する際に、スペーサーの第1の部分(R1)を、スペーサーの第2の部分(R2)に対して選択的にエッチング除去する、請求項1から3までのいずれか1項記載の方法。

【請求項5】

基板(1)上に第1の補助層(H1)を設け、

第1の補助層(H1)中に、相互に平行に延びる並列に配置された補助トレンチ(H)を設けて、補助トレンチ(H)の底部で第1の補助層(H1)を露出させ、

メモリセルの凹部(V)を補助トレンチ(H)中に設け、

スペーサー(R)を設けた後に、シリコンに対して選択的にエッチング可能な第1の材料からなる第2の補助層(H2)をコンフォーマルに堆積させ、

第1の材料に対して選択的にエッチング可能な第2の材料を堆積させ、かつ第2の材料がテープ状構造(ST)としてなお補助トレンチ(H)内に存在しているまでバックエッチングし、

第2の補助層(H2)の露出した部分をテープ状構造(ST)に対して選択的に除去する、請求項2から4までのいずれか1項に記載の方法。

【発明の詳細な説明】

【0001】

本発明はDRAMセル装置、即ちそのメモリセルがそれぞれ1つのトランジスタ及び1つのコンデンサを包含するダイナミックランダムアクセスを伴うメモリセル装置に関する。

【0002】

このようなDRAMセル装置では、メモリセルの情報は電荷の形でコンデンサに蓄積される。ワード線を介してトランジスタを作動させると、ビット線を介してコンデンサの電荷を読み出すことができるように、メモリセルのトランジスタ及びコンデンサは相互に接続されている。

【0003】

高い寸法密度、即ちメモリセル1つ当たり僅かな面積必要性を有するDRAMセル装置を製造することが一般的に試みられている。

【0004】

10

20

30

40

50

ヨーロッパ特許EP0852396にはDRAMセル装置が記載されていて、その際、寸法密度を高くするために、メモリセルのトランジスタはメモリセルのメモリコンデンサの上に配置される。メモリセルの活性領域はそれぞれ、基板中に設置されている絶縁構造体によって包囲されている。基板中にそれぞれのメモリセルのために凹部を設け、その下部領域に、メモリコンデンサのメモリノットを、かつその上部領域に、トランジスタのゲート電極を配置する。上方のソース・ノドレイン・領域、チャンネル領域及びトランジスタの下方ソース・ノドレイン・領域は基板中で重ねて設置される。下方ソース・ノドレイン・領域は凹部の第1の側面ではメモリノットと結合している。絶縁構造は第1の側面と向かい合っている凹部の第2の側面と接していて、メモリノットはそこでは基板と接していない。ビット線は上方ソース・ノドレイン領域と接していて、基板の上方を走っている。DRAMセル装置を製造するために先ず、絶縁構造体を設ける。基板の表面上にビット線を設ける。ビット線から基板にドーピング物質を拡散させることにより、上方ソース・ノドレイン領域を設ける。絶縁構造体と接するように、凹部を設ける。凹部の側面にコンデンサ誘電体を備えさせる。凹部を、絶縁構造体の範囲内の第1の高さまで、ドーピングされたポリシリコンで充填する。コンデンサ誘電体の露出部分を除去する。引き続き、第1の高さよりも高く、かつ絶縁構造体の領域にある第2の高さまで凹部をドーピングされたポリシリコンで充填すると、ポリシリコンは、第1の高さと第2の高さの間の凹部の第1の側面のところで基板に接しているメモリノットを生じる。下方ソース・ノドレイン・領域は、メモリノットから基板にドーピング物質を拡散させることにより形成する。

10

【0005】

20

本発明の課題は、従来技術と比較してより高い寸法密度を有するDRAMセル装置の製法を提供することである。

【0006】

この課題は、基板中にDRAMセル装置のメモリセルのコンデンサのために凹部を設けるDRAMセル装置の製法により解決される。凹部に、絶縁体及び、少なくとも部分的に絶縁体により基板から離れているコンデンサのメモリノットを設ける。シリコンの堆積、バックエッチング(Rueckaetzen)及び傾斜注入によりメモリノット上、凹部中に凹部の側面に沿って、シリコンからなるスペーサーを設けるが、その際、スペーサーの第1の部分及び第1の部分に向かい合ったスペーサーの第2の部分それぞれ異なるようにドーピングする。それぞれ異なるドーピングを利用して、スペーサーの第1の部分又は第2の部分 30を除去することにより、スペーサーを構造化する。メモリノットの第1の部分又はメモリノットの残った部分の下に位置する第2のメモリノット部分と基板とが接するように、スペーサーの除去された部分の下に位置するメモリノットの第1の部分及び絶縁体を変えるが、その際、構造化されたスペーサーがマスクとして役立つ。メモリセルのトランジスタを、基板中の第1のソース・ノドレイン・領域がメモリノットに接して生じるように、設ける。ワード線を設けて、トランジスタのゲート電極と接続する。ワード線に交わって走るビット線を設け、かつメモリセルと接続する。

【0007】

スペーサーは例えば、ポリシリコン又はアモルファスシリコンからなる。

【0008】

40

スペーサーの残留部分がプロセス段階前のメモリノットの第2部分を保護するので、構造化されたスペーサーはマスクとして機能する。

【0009】

メモリノットはその第1の部分でもその第2の部分でも基板に接していないので、隣接するメモリセルを、凹部に直接に隣接させて配置することができ、その際、メモリノットと隣接するメモリセルとの間のリーク電流も生じない。メモリノットと隣接メモリセルとの分離は凹部での絶縁により行う。メモリノットと隣接するメモリセルとを分離する凹部外側の絶縁構造体は必要でなく、DRAMセル装置は特に高い寸法密度を有しうる。

【0010】

メモリノット及び絶縁体の片側変化をセルフアラインメントで、即ちアラインメントマス 50

クを使用せずに行う。このことは高い寸法密度に関して多大な利点である。それというのも、アラインメント許容性のために面積必要性を考慮する必要がないためである。

【0011】

メモリセルのトランジスタの第1のソース・ノドレイン領域の範囲にまで達する凹部外側に配置された絶縁構造体は必要ないので、本発明により、トランジスタのチャンネル領域が相互に、又は基板と電氣的に接続されているDRAMセル装置の製造が可能である。この場合、チャンネル領域に生じた電荷担体が流れ去るので、いわゆるフローティング・ボディ効果(Floating-Body-Effekte)、例えばトランジスタのカットオフ電圧の変化は回避される。

【0012】

このために、メモリノットの完成の後にドーピング物質を熱処理工程で、メモリノットから基板に拡散させ、そこに第1のソース・ノドレイン領域を形成すると、有利である。殊にこの場合、メモリノットは少なくとも部分的に例えばドーピングされたポリシリコンからなる。

【0013】

もしくは、第1のソース・ノドレイン領域を、基板中に埋め込まれたドーピング層を構造化することにより製造する。ドーピング層を、ドーピング層を分ける凹部により、かつトレンチにより構造化する。この場合、トランジスタのチャンネル領域は相互に、かつ基板から電氣的に分離する。

【0014】

メモリノットの第1の部分も、メモリノットの第2の部分も基板に接しているように、先ずメモリノット及び絶縁体を製造することは本発明の範囲内である。構造化されたスペーサーをマスクとして使用して、メモリノットの第1の部分を引き続き除去する。メモリノットの第1の部分に代わるように、絶縁体を拡大する。従って、メモリノットはその第2の部分でのみ、基板に接している。

【0015】

続いて、メモリノットの第1の部分とメモリノットの第2の部分とが基板に接しているように先ず、メモリノット及び絶縁体を設ける方法を記載する。

【0016】

凹部を設けた後に、凹部の側面及び底面を覆うように絶縁体を設ける。導電材料を堆積させ、かつ第1の高さまでバックエッチングする。引き続き、絶縁体の露出部分を除去して、絶縁体も第1の高さまでにのみ達するようにする。更なる導電材料の堆積及び第1の高さを超える第2の高さまでのバックエッチングにより、メモリノットを設けるが、これは第1の高さ及び第2の高さの間で基板に接し、他方でこれは、第1の高さ未満では絶縁体により基板と分離されている。

【0017】

絶縁材料を堆積させ、かつバックエッチングすることにより、メモリノットの第1の部分の除去の後に絶縁体を拡大することができる。

【0018】

メモリノットの第1の部分も第2の部分も基板に接していないように先ず、メモリノット及び絶縁体を製造することは本発明の範囲内である。構造化されたスペーサーをマスクとして使用して、絶縁体をメモリノットの第1の部分の領域で除去する。導電材料を堆積させ、かつバックエッチングすることにより引き続き、メモリノットの第1部分を拡大すると、これが基板と接する。この場合、メモリノットはその第1の部分でのみ基板に接する。

【0019】

凹部を設けた後に、凹部の側面及び底部を覆うように絶縁体を先ず設けることができる。引き続き、導電材料を堆積させ、かつバックエッチングする。これにより生じたメモリノットは差し当たり、その第1の部分でもその第2の部分でも基板には接していない。

【0020】

10

20

30

40

50

第1の部分と第2の部分とで異なるドーピングを利用してスペーサーをどのように構造化することができるか、いくつかの可能性を記載する：

スペーサーの第1の部分をn型ドーピングイオンでドーピングする場合、スペーサーの第1の部分をスペーサーの第2の部分に対して選択的にエッチング除去する。エッチング剤としては例えば、 $\text{HNO}_3 + \text{COOH} + \text{HF}$ が好適である。スペーサーの除去部分は従って、スペーサーの第1の部分である。スペーサーの残留部分はスペーサーの第2部分である。スペーサーの第2の部分はこの場合、有利には実質的にドーピングしない。

【0021】

スペーサーの第1の部分をp型ドーピングイオンでドーピングする場合には、スペーサーの第2の部分をスペーサーの第1の部分に対して選択的にエッチング除去する。エッチング剤としては例えばコリン又は KOH が好適である。スペーサーの除去部分は従って、スペーサーの第2の部分であり、他方で、スペーサーの残留部分はスペーサーの第1部分である。スペーサーの第2の部分はこの場合、有利には実質的にドーピングしない。

10

【0022】

スペーサーに注入する際に、その垂直伸張部全体では注入しない場合、スペーサーの第1の部分の下に、スペーサーのもう1つの部分は位置する。スペーサーのこのもう1つの部分は、スペーサーの第1の部分の除去の後に、メモリノットの第1の部分の上に位置する。メモリノットの第1の部分を露出させて、これを変えることができるように、スペーサーの更なる部分を除去する。これは異方性エッチングにより行うことができ、その際、同時にスペーサーの残留部分を攻撃する。しかしスペーサーの残留部分は、スペーサーの残留部分よりも大きな垂直伸張部を有するので、スペーサーの更なる部分の除去の後にも構造化されたスペーサーはメモリノットの第2の部分を覆い、かつそれを結果的に保護している。

20

【0023】

スペーサーを構造化するための更なる可能性は、スペーサーのn型ドーピングされた第1の部分で先ず、熱酸化を実施することにある。スペーサーの第1の部分はスペーサーの第2の部分よりも高いn型ドーピングイオン濃度を有するので、スペーサーの第2の部分よりもスペーサーの第1の部分の上で酸化物はより厚く成長する。引き続きスペーサーの第2の部分が露出するまで酸化物をエッチングする。酸化物はスペーサーの第1の部分で特に厚いので、酸化物の一部がスペーサーの第1の部分の上に残り、かつこれを保護する。スペーサーを構造化する際にはシリコンを酸化物に対して選択的にエッチングして、スペーサーの第2の部分を除去する。

30

【0024】

スペーサーの第1の部分に窒素又は酸素を注入する場合にも、同じ原理が適用される。窒素を注入する場合には、酸化物は第2の部分よりもゆっくりと第1の部分で成長する。酸素を注入する場合には、酸化物は第1の部分よりもゆっくりと第2の部分で成長する。

【0025】

スペーサーの第1の部分に注入する際に、側面に向いているスペーサーの辺縁部までドーピング物質が達することを確実にするために、ドーピング物質が拡散しうる熱処理工程を実施するのが有利である。

40

【0026】

プロセスの簡略化及びプロセスの確実性の向上のために、スペーサーの残留部分をゲート電極のためのスペースホルダ(Platzhalter)として使用することが有利である。スペーサーの残留部分をこの場合、メモリノットの完成の後に除去し、かつ少なくとも部分的にゲート電極と交換する。この製造プロセスは特に簡単である。それというのも、ゲート電極がセルフアラインメントで、即ちアラインメントされるべきマスクを使用せずに生じるためである。ゲート電極をメモリノットから電気的に絶縁するために、スペーサーを設ける前に、メモリノット上に絶縁層を設ける。スペーサーを絶縁層の上に設ける。この絶縁層は従って、ゲート電極もメモリノットから分離する。その変化のために、メモリノットの第1の部分を露出するために、スペーサーの構造化の後に、絶縁層の露出部分を除去す

50

る。

【0027】

トランジスタの第2のソース・ノドレイン・領域を、トランジスタの第1のソース・ノドレイン・領域の上方に設けて、トランジスタを垂直トランジスタとして形成する。このようなDRAMセル装置はトランジスタの垂直形成の故に特に高い寸法密度を有する。メモリノットの第2の部分の上方にゲート電極を形成するので、この場合、第1のソース・ノドレイン・領域はメモリノットの第2の部分に接している。メモリノットの第2の部分は従って基板に接していて、他方で、メモリノットの第1の部分は基板に接していない。ゲート電極は、メモリノットの第1の部分の領域に位置する基板部分から離れているので、ゲート電極と基板との間での容量の形成は阻止される。

10

【0028】

ワード線は例えば、基板の上に設けて、ゲート電極の上方部分と接しさせてよい。

【0029】

例えば分離材料を堆積させ、かつスペーサーの残留部分が露出するまでバックエッチングすることにより、絶縁体を拡大する。

【0030】

スペーサーの残留部分をゲート電極のためのスペースフォルダとして使用する場合には、スペーサーの残留部分を、スペーサーの構造化の際に攻撃しないのが有利である。殊に、スペーサーの第2の部分に対して選択的にスペーサーの第1の部分を除去する際には、スペーサーの第1の部分の下にスペーサーの更なる部分を設置しないのが、有利である。即ち、スペーサーの第1の部分はスペーサーの垂直伸張部全体を包含する。この場合、傾斜注入を、スペーサーがその垂直伸張部全体で注入される角度で行う。

20

【0031】

このような傾斜注入を実施しない場合には、即ちスペーサーの下部領域に注入しない場合には、ドーピング物質をスペーサーの第1の部分から、その下に位置するスペーサーの他の部分に拡散させる熱処理工程を実施するのが有利である。これにより、スペーサーの他の部分も、スペーサーの第2の部分に対して選択的にエッチング除去されて、スペーサーの第2の部分は攻撃されない。

【0032】

その際、ドーピング物質がスペーサーの第1の部分からスペーサーの第2の部分に拡散するのを阻止するために、スペーサーを熱処理工程の前に分離して、スペーサーの第1の部分とスペーサーの第2の部分とを電氣的に分離するのが有利である。

30

【0033】

このような分離は例えば、スペーサーのマスクエッチングにより行うことができる。

【0034】

プロセスの確実性を向上させるためにしかし、分離をセルフアラインメントで、即ちアラインメントマスクを使用せずに行うと有利である。このために、基板の上に第1の補助層を設けることができ、そこに実質的に相互に並行に走る並列に配置された補助トレンチを設けるが、これは第1の補助層を分断していない。メモリセルの凹部を補助トレンチ中に設ける。スペーサーを設けた後に、シリコンに対して選択的にエッチング可能な第1の材料から第2の補助層を実質的にコンフォーマルに堆積させるが、その際、第2の補助層は、補助トレンチが充填されない程度に薄い。第1の材料に対して選択的にエッチング可能な第2の材料を堆積させ、かつ第2の材料がテープ状の構造体としてなお補助トレンチ内に存在するまでバックエッチングする。第2の補助層の露出部分を第2の材料に対して選択的に除去して、スペーサーを部分的に露出させる。引き続きスペーサーが分離されるまでシリコンをエッチングする。分離されたスペーサーを引き続き構造化する。

40

【0035】

メモリノットの第1の部分を変える前には、その第1の部分で、かつその第2の部分で基板に接しているようにメモリノットを変えるために、スペーサーを分離する際にマスクとして作用する第1の補助層及び第2の補助層を使用するのが有利である。このために、マ

50

スクとして第1の補助層及び第2の補助層を使用して、メモリノットの部分を除去して、かつ絶縁材料と交換する。もしくは、メモリノットの領域まで達し、かつそこでメモリノットを基板から分離する絶縁トレンチを設けることができる。

【0036】

スペーサの残留部分をゲート電極のためのスペースフォルダとして使用すると、スペーサの分離は、トランジスタのチャンネル幅の制限をもたらす。このことは殊に、凹部がカーブした側面を有する場合に有利である。公知のように、熱酸化により成長したゲート誘電体の品質はカーブした面では平坦な面よりも劣悪である。従って、凹部の側面の平坦な部分にチャンネルを限定することが有利である。

【0037】

次に、第2のソース・ノドレイン・領域を製造する方法を記載する：

絶縁体及びメモリノットを変えた後に、絶縁材料を堆積させ、かつスペーサの残留部分が露出するまでバックエッチングする。スペーサの残留部分を除去する。第3の補助層を、補助トレンチが充填されない程度の厚さで堆積させる。第3の材料を堆積させ、かつ第3の材料がなお補助トレンチ内に存在し、かつ補助トレンチ中にそれぞれ1つのテープ状マスクが生じるまでバックエッチングする。第3の補助層の露出部分をマスクに対して選択的に除去する。マスクの外側に位置する第1の補助層の部分を除去し、かつその下に位置する基板部分を露出させる。引き続き基板をマスクに対して選択的にエッチングして、絶縁トレンチを設ける。引き続きマスク及び第1の補助層を除去する。マスクの下に位置する基板部分に第2のソース・ノドレイン・領域を設ける。第2のソース・ノドレイン領域よりも深いように絶縁トレンチを設ける。第2のソース・ノドレイン領域は補助トレンチの領域に、かつそれぞれ2つの凹部の間に位置する。第2のソース・ノドレイン領域を凹部により、かつ絶縁トレンチにより相互に分離する。

【0038】

第2のソース・ノドレイン領域は注入により、マスク及び第1の補助層の除去の後に設けることができる。もしくは第2のソース・ノドレイン領域を、基板の表面領域に設けられたドーピング層の構造化により設けるが、その際、このドーピングされた層を凹部により、かつ絶縁トレンチにより構造化する。

【0039】

第2のソース・ノドレイン領域の寸法がチャンネル幅に相応するように、第3の補助層の厚さが、スペーサ及び第2の補助層の厚さの合計に相応すると、有利である。

【0040】

プロセスの簡略化のために、かつプロセスの正確性を向上させるために、その水平断面がそれぞれ、相応する補助トレンチの一方の側面から他方の側面に達するように、凹部をセルフアライメントで補助トレンチ中に設けると有利である。

【0041】

このために例えば、第1の補助層の上方に、その構造化の前に第1のマスク層及び更にその上に第2のマスク層を堆積させる。引き続き補助トレンチを設けるが、その際、第1のマスク層及び第2のマスク層も分断する。引き続き第1の絶縁構造体を設けるが、その際、材料を堆積させ、かつ第2のマスク層が露出するまでバックエッチングする。そのテープが補助トレンチに交わって走るテープ状のフォトラッカーマスクを用いて、第1の絶縁構造体をフォトラッカーマスクに対して、かつ第2のマスク層に対して選択的に、補助トレンチが部分的に露出するまでエッチングする。補助トレンチの底部の所の第1の補助層の露出した部分を、基板が部分的に露出するまで除去する。基板の露出部分を引き続きエッチングして、凹部を設ける。第1のマスク層及び第1の絶縁構造体をこの場合、マスクとして用いる。

【0042】

凹部のエッジに局所的な電界ピーク (Feldspitzen) が生じることに基づくリーク電流を回避するために、凹部を設ける際にマスクとしても役立つラウンディング要素 (Abrundungselemente) を設けることが有利である。このために、第1のマスク層の材料を堆積させ、

10

20

30

40

50

バックエッチングし、かつ引き続き等方性にエッチングして、第1の補助層内に形成された第1の材料エッジを丸くする。続いて生じる凹部はエッジを有しない。

【0043】

凹部の絶縁体を少なくとも部分的にコンデンサのコンデンサ誘電体として使用する。コンデンサのコンデンサ電極を基板中にドーピング領域として、コンデンサ誘電体に接して形成する。コンデンサ電極は結合してよく、かつ全てのコンデンサの共通コンデンサ電極を形成してよい。コンデンサ電極は例えば、凹部に導入されているドーピング物質源からのドーピング物質の拡散により設けることができる。もしくは、コンデンサ電極を、基板中に埋め込まれているドーピング層から製造する。

【0044】

コンデンサ電極の上方に絶縁体を特に厚く形成することは、本発明の範囲内である。

【0045】

シリコンを堆積させ、かつバックエッチングすることにより、スペーサーを設ける。傾斜注入はバックエッチングの前又は後に行うことができる。

【0046】

次では、図に基づき本発明の実施例の1つを詳述する。

【0047】

図は縮尺的に正確ではない。

【0048】

実施例では出発材料として、実質的にドーピング濃度約 10^{15} cm^{-3} を有するp型ドーピングされたシリコンからなる基板1を用意する。基板1の表面Oの上に SiO_2 を熱酸化により約8nmの厚さで成長させる(図示していない)。

【0049】

引き続き、窒化シリコンを約400nmの厚さで堆積させて、第1の補助層H1を設ける(図1のA及び1のB参照)。

【0050】

第1のマスク層M1を設けるためにBPSG(リンボロンガラス)を約800nmの厚さで堆積させる(図1のB参照)。

【0051】

第2のマスク層M2を設けるために窒化シリコンを約200nmの厚さで堆積させる(図1のB参照)。

【0052】

第1のフォトリソマスク(図示していない)を用いて、第1のマスク層M1及び第2のマスク層M2をテープ状に構造化し、かつ第1の補助層H1中に補助トレンチHを設ける(図1のB及び1のC参照)。補助トレンチは幅約300nmであり、かつ相互に約150nmの距離を有する。第2のマスク層M2及び第1の補助層H1は例えば $\text{C}_2\text{F}_6 + \text{O}_2$ を用いてエッチングする。第1のマスク層M1は例えば $\text{CHF}_3 + \text{O}_2$ を用いてエッチングする。引き続き、第1のフォトリソマスクを除去する。

【0053】

補助トレンチH中、かつ構造化された第1のマスク層M1及び構造化された第2のマスク層M2の部分との間に、第1の絶縁構造体I1を設けるが、その際、 SiO_2 を厚さ約300nmで堆積させ、かつ第2のマスク層M2が露出するまで例えば $\text{CHF}_2 + \text{O}_2$ を用いてバックエッチングする。

【0054】

そのテープが補助トレンチHと交わって走り、かつ幅約150nm及び相互間の距離約150nmを有するテープ状の第2のフォトリソマスク(図示されていない)を用いて、 SiO_2 を例えば $\text{CHF}_3 + \text{O}_2$ を用いて窒化シリコンに対して選択的に除去する。これにより補助トレンチHの底部の部分が露出する(図3のA、3のB及び3のC参照)。第2のフォトリソマスクの他にこの場合には、第2のマスク層M2がマスクとして作用する。第2のフォトリソマスクを除去する。

10

20

30

40

50

【0055】

引き続き、 SiO_2 を厚さ約60nmで堆積させ、かつ第2のマスク層M2が露出するまでバックエッチングすることにより、ラウンディング要素Aを設ける。引き続き SiO_2 を等方性に例えばHFを用いて約60nmの深さまでエッチングして、堆積された SiO_2 の残りの部分から、第1のマスク層M1及び第2のマスク層M2及び第1の絶縁構造体I1により形成されるエッジに、ラウンディング要素Aを設ける(図4参照)。

【0056】

引き続き、基板1が部分的に露出するまで、窒化シリコンを SiO_2 に対して選択的にエッチングする。この際、第1の補助層H1を補助トレンチHの領域で部分的に除去し、かつ第2のマスク層M2を除去する。

10

【0057】

基板1の露出部分に約10 μm の深さの凹部Vを設ける。エッチング剤としては例えば $\text{HBr} + \text{HS}$ が好適である。この場合、 SiO_2 に対して選択的にエッチングする(図5a及び5b参照)。第1のマスク層M1、第1の絶縁構造体I1及びラウンディング要素Aもマスクとして作用する。

【0058】

ラウンディング要素Aにより、凹部Vの側面はエッジを有しない。第2のフォトラッカーマスクの線方向に、凹部Vの側面の平面断面は延びている。

【0059】

引き続き、第1のマスク層M1、第1の絶縁構造体I1及びラウンディング要素Aが除去されるまで、 SiO_2 を例えば $\text{CHF}_3 + \text{O}_2$ を用いてエッチングする。

20

【0060】

コンデンサのための共通コンデンサ電極Kをもうけるために、ヒ素ガラスを厚さ約20nmで堆積させる。更に、PMMA(ポリメチルメタクリレート)を厚さ約500nmで堆積させ、かつ約1.5 μm の深さまで例えば O_2 を用いてバックエッチングする。引き続き、ヒ素ガラスの露出部分を例えばHFを用いて除去する。熱処理工程によりヒ素をヒ素ガラスから基板1に拡散させて、コンデンサ電極Kと一緒にドーピングされた領域として基板1中に設ける(図5のA及び5のB参照)。

【0061】

絶縁体Iの第1の部分を設けるために、窒化シリコンを約3nmの厚さで成長させ、かつ熱酸化により約1nmの深さまで酸化させる。引き続きその場で、n型ドーピングされたポリシリコンを厚さ約300nmで堆積させ、かつ表面Oから出発して約2 μm の深さまでバックエッチングする。絶縁体Iの第1の部分の露出部分を例えばHFを用いて除去する。

30

【0062】

SiO_2 を厚さ約20nmで堆積させ、かつポリシリコンが露出するまでバックエッチングすることにより、絶縁体Iの第2の部分を設ける(図5のA及び5のB参照)。絶縁体Iの第2の部分はコンデンサ電極Kの上方に位置し、かつ絶縁体Iの第1の部分に比べて特に厚く形成されている。

【0063】

引き続きその場で、n型ドーピングされたポリシリコンを厚さ約300nmで堆積させ、第1の補助層H1が露出するまで化学機械研磨により平坦化し、その後、約800nmの深さまでポリシリコンをバックエッチングする。

40

【0064】

引き続き、 SiO_2 を等方性に、例えばHFを用いて約60nmの深さまでエッチングして、絶縁体Iを更に短くする。ここで除去された絶縁体Iの部分を、アモルファスシリコンに代えるが、その際、アモルファスシリコンを厚さ約20nmで堆積させ、かつ約30nmの幅で等方性に例えば $\text{C}_2\text{F}_6 + \text{O}_2$ を用いてバックエッチングする。n型ドーピングされたポリシリコン及びアモルファスシリコンから、コンデンサのメモリノットSPはなる。絶縁体Iの第2の部分の上方で、メモリノットSPは直接、基板1に接している(

50

図5のA及び5のB参照)。

【0065】

SiO₂を堆積させ、かつ同時に、実質的に等方性にエッチングすることにより、メモリノットSPの上に厚さ約40nmの絶縁層SをHDP(高密度プラズマ)法により設けるが、その際、側面においてよりも、水平面において、より多く堆積させる(図5のA及び5のB参照)。

【0066】

保護酸化物SOを設けるために、SiO₂を厚さ5nmで堆積させる(図6のA及び6のB参照)。

【0067】

引き続き、アモルファスシリコンを厚さ約40nmで堆積させる(図6のA及び6のB参照)。

【0068】

p型ドーピングイオンを用いての傾斜注入により、アモルファスシリコンの一部分をドーピングする(図6のA及び6のB参照)。傾斜注入を表面Oに対して約30°の角度で、かつ補助トレンチHの側面に対して90°の角度で行う。

【0069】

スペーサーRを設けるためにアモルファスシリコンを例えばC₂S₆+O₂を用いて幅約90nmでバックエッチングすると、スペーサーRは第1の補助層H1の接している部分の下、約50nmに達する(図7のA及び7のB参照)。スペーサーRの第1の部分はp型ドーピングされているが、他方でスペーサーRの残りの部分はドーピングされていない。

【0070】

第2の補助層H2を設けるために、SiO₂を厚さ約40nmで堆積させる。

【0071】

引き続き、アモルファスシリコンを厚さ約200nmで堆積させ、第2の補助層H2に達するまで化学機械研磨により平坦化させ、かつ引き続き約100nmの深さまでバックエッチングして、アモルファスシリコンがなお補助トレンチH中にのみ位置し、かつテープ状構造STを形成するようにする(図7のA、7のB及び7のC参照)。

【0072】

引き続きSiO₂を約300nm幅で窒化シリコン及びシリコンに対して選択的にエッチングして、第2の補助層H2の露出部分を除去する。これにより、補助トレンチHの側面領域に位置するスペーサーRの一部分が露出する。SiO₂に対して選択的にシリコンをエッチングすることにより、絶縁層Sが部分的に露出するまで、スペーサーRの前記の一部分並びにテープ状構造体STを除去する(図8のB及び8のC参照)。これにより、スペーサーRを分離する。それぞれのスペーサーRは、傾斜注入によりp型ドーピングされている第1の部分R1及び分離により電氣的に第1の部分R1と分けられていて、第1の部分R1に向かい合っている第2の部分R2を包含する。

【0073】

引き続き、絶縁層Sの露出部分を除去する。更に、保護酸化物SOの露出部分を除去する。メモリノットSPの露出部分を約50nmの深さまでエッチングする。

【0074】

SiO₂を厚さ約50nmに堆積させることにより、メモリノットSPの除去部分を絶縁材料に代える(図9のB参照)。絶縁体Iをこれにより拡大する。

【0075】

引き続き、熱処理工程を実施するが、その際、ドーピング物質がスペーサーRの第1の部分R1から、スペーサーRの第1の部分R1の隣接する部分に拡散し、かつ実質的に均一に分散する(図9のA参照)。更に、アモルファスシリコンがポリシリコンに変化する。

【0076】

10

20

30

40

50

引き続き、 SiO_2 を等方性に例えばHFを用いて約100nmの幅でエッチングする。

【0077】

引き続き、p型ドーピングされたポリシリコンに対して選択的にドーピングされていないポリシリコンをエッチングすることにより、分離されたスペーサーRを構造化する。エッチング剤としては例えば、コリンが好適である。これにより、スペーサーR2の第2の部分除去し、かつ絶縁層Sの部分を露出させる(図10のA、10のB及び10のC参照)。

【0078】

絶縁層Sの露出部分を除去して、メモリノットSPの第1の部分を露出させる。この際、保護酸化物SOの露出部分も除去する。ポリシリコンを約50nmの深さまでエッチングすることによりメモリノットSPの第1の部分を引き続き除去する(図10のA参照)。 SiO_2 を厚さ約300nmで堆積させ、第1の補助層H1が露出するまで化学機械研磨により平坦化し、かつ引き続き約350nmの深さまでバックエッチングすることにより、絶縁体Iを変える。スペーサーR1の第1の部分の下に位置するメモリノットSPの第2の部分はなお、基板1に接している(図10のA及び10のB参照)。

【0079】

第2の補助層H2は絶縁体Iと同じ材料からなるので、以下では第2の補助層H2を絶縁体Iの部分とみなすと、適当である。

【0080】

引き続き絶縁層Sの部分が露出するまで、 SiO_2 に対して選択的にポリシリコンをエッチングすることにより、スペーサーR1の第1の部分並びにこれと結合しているスペーサーRの部分除去する。

【0081】

第3の補助層H3を設けるために、窒化シリコンを厚さ約80nmで堆積させる(図11のA、11のB及び11のC参照)。引き続き SiO_2 を厚さ約300nmで堆積させ、かつ第1の補助層H1が露出するまで、化学機械研磨により平坦化し、引き続き100nmバックエッチングすると、 SiO_2 から、テープ状マスクMが形成される。補助トレントHには、マスクMの線条それぞれ1つが位置する(図11のA、11のB及び11のC参照)。

【0082】

第3の補助層H3の露出部分をマスクMに対して選択的に除去する(図12参照)。この際、マスクMの外側に位置する第1の補助層H1の部分も除去して、その下に位置する、基板1の部分を露出させる(図12参照)。

【0083】

絶縁トレントGを設けるために、 SiO_2 に対して選択的にシリコンを約200nmの深さまで、例えばHBr及びHFを用いてエッチングする(図13のB参照)。引き続き、 SiO_2 を約300nmの厚さで堆積させ、第3の補助層H3が露出するまで、化学機械研磨により平坦化する。更に、マスクMを除去する。 SiO_2 を引き続き、約300nmの深さまでバックエッチングする。

【0084】

引き続き窒化シリコンを約500nmの深さまでバックエッチングして、凹部Vの外側に位置する、第3の補助層H3の部分除去し、かつ第1の補助層H1を除去する(図13のA及び13のB参照)。

【0085】

引き続き、基板1が露出するまで、化学機械研磨により SiO_2 を平坦化する(図13のA及び13のB参照)。

【0086】

n型ドーピングイオンを注入することにより、基板1の露出部分にトランジスタの深さ約50nmの第2のソース/ドレイン領域S/D2を設ける。p型ドーピングイオンを注入することにより、第2のソース/ドレイン領域S/D2の下で、ドーピング濃度を $6 \times$

10

20

30

40

50

10^{17} cm^{-3} に高める。

【0087】

第3の補助層H3及び保護酸化物SOを除去する。

【0088】

熱処理工程により、凹部Vの側面の露出部分の所に、厚さ約4nmのゲート誘電体GDを設ける(図14のA及び14のB参照)。熱処理の際に、ドーピング物質がメモリノットSPから基板1に拡散し、そこで、トランジスタの第1のソース-ドレイン領域を形成する。更に、第2のソース-ドレイン領域S/D2が約100nmの厚さになり、かつドーピング物質濃度約 10^{20} cm^{-3} を有するように、ドーピング物質を第2のソース-ドレイン領域S/D2に拡散させる。

10

【0089】

ゲート電極GA及びワード線Wを設けるために、その場で、n型ドーピングされたポリシリコンを厚さ約100nmで堆積させる。その上に、ケイ化タングステンを厚さ約50nmで堆積させる。保護層SSを設けるために、窒化シリコンを厚さ約100nmで堆積させる(図14のA及び14のB参照)。

【0090】

第2のフォトラッカーマスクと同じだが、第2のフォトラッカーマスクに対して、凹部Vを部分的にのみ覆うように配置されているテープ状の第3のフォトラッカーマスクを用いて(図示していない)、保護層SSを構造化する。引き続き、第3のフォトラッカーマスクを除去する。マスクとして保護層SSを用いて、第2のソース-ドレイン-領域S/D2上のゲート誘電体GDが露出するまで、ケイ化タングステン及びポリシリコンをエッチングする。スペーサーRの第2の部分に代わる凹部V中のポリシリコンから、ゲート電極GAを形成する。その上に位置するポリシリコン及びケイ化タングステンから、補助トレンチHに交わって走るワード線Wはなる(図14のA、14のB及び14のC参照)。

20

【0091】

スペーサーの形の第2の絶縁構造体I2を設けるために、窒化シリコンを約300nmの厚さで堆積させ、かつバックエッチングする。保護層SS及び第2の絶縁構造体I2がワード線Wを囲んでいる(図14のA及び14のB参照)。

【0092】

中間酸化物Zを設けるために、 SiO_2 を約400nmの厚さで堆積させる。

30

【0093】

第4のフォトラッカーマスク(図示されていない)を用いて、コンタクトホールを第2のソース-ドレイン領域S/D2まで開孔するが、その際、 SiO_2 を窒化シリコンに対して選択的にエッチングして、保護層SS及び第2の絶縁構造体I2がワード線Wを保護するようにする。

【0094】

コンタクトホールにコンタクトKOを設けるために、その場でドーピングされたポリシリコンを厚さ約100nmで堆積させ、かつ中間酸化物Zが露出するまで化学機械研磨により平坦化する。

【0095】

ビット線Bを設けるために、ケイ化タングステンを約200nmの厚さで堆積させ、かつ第1のフォトラッカーマスクと同じ第5のテープ状フォトラッカーマスクを用いて構造化する(図15のA、15のB及び15のC参照)。

40

【0096】

製造されたDRAMセル装置のメモリセルは、コンデンサの1つ及びこれと結合しているトランジスタの1つを包含する。これらのトランジスタは、チャネル流が垂直方向に生じる垂直トランジスタとして形成されている。第1のソース-ドレイン領域と第2のソース-ドレイン-領域の間に配置された基板部分は、トランジスタのチャネル領域として機能する。トランジスタのチャネル領域は電氣的に相互に結合されているので、フローティング-ボディ効果は回避される。

50

【0097】

本発明の範囲内で、実施体の多くのバリエーションが考えられる。殊に、記載の層、マスク、凹部及び構造体の寸法をそれぞれの必要性に合わせて、適合させることができる。

【0098】

スペーサーの第1の部分及び第2の部分を異なるようにドーピングするための注入はスペーサーを設けた後に行うこともできる。

【0099】

補助トレンチが特に正確に規定された深さを得るために、第1の補助層の内に、補助トレンチを設ける際のエッチングストップとして作用するエッチングストップ層を用意することも、本発明の範囲内である。エッチングストップ層は例えば、 SiO_2 からなる。

10

【図面の簡単な説明】

【図1a】 図1aは第1の補助層、第1のマスク層、第2のマスク層及び補助トレンチを設けた後の、基板断面を示している。

【図1b】 図1bは図1aからのプロセス工程の後の、図1aからの断面に対しての垂直断面を示している。

【図1c】 図1cは補助トレンチ及び第2のマスク層が形成された図1aからのプロセス工程後の、基板の俯瞰図を示している。

【図2a】 図2aは第1の絶縁構造体を設けた後の、図1aからの断面図を示している。

【図2b】 図2bは図2aからのプロセス工程の後の、図1bからの断面図を示している。

20

【図3a】 図3aは補助トレンチの底部を露出させた後の、図2aからの断面図を示している。

【図3b】 図3bは図3aからのプロセス工程の後の、図2bからの断面図を示している。

【図3c】 図3cは第2のマスク層、第1の絶縁構造体及び第1の補助層の露出底部が形成される図3aからのプロセス工程の後の、図1cからの俯瞰図を示している。

【図4】 図4は基板の部分を露出させ、第2のマスク層を除去し、かつラウンディング要素を設けた後の、図3cからの俯瞰図を示している。この俯瞰図には、ラウンディング要素、第1のマスク層、基板の露出部分及び第1の絶縁構造体が表示されている。

30

【図5a】 図5aは凹部、コンデンサ電極、絶縁体、メモリノット及び絶縁層が設けられ、かつ第1のマスク層が除去された後の、図4からのプロセス工程の後の図3aからの断面図を示している。

【図5b】 図5bは図5aからのプロセス工程の後の、図3bからの断面図を示している。

【図6a】 図6aは保護酸化物を設け、かつアモルファスシリコンを堆積させ、かつ傾斜注入を行った後の、図5aからの断面図を示している。

【図6b】 図6bは図6aからのプロセス工程の後の、図5bからの断面図を示している。

【図7a】 図7aはスペーサー、第2の補助層及びテープ状構造体を設けた後の、図6aからの断面図を示している。

40

【図7b】 図7bは図7aからのプロセス工程の後の、図6bからの断面図を示している。

【図7c】 図7cは図7aによるプロセス工程の後の図4からの俯瞰図を示している。この俯瞰図にはテープ状の構造体及び第2の補助層の露出部分が示されている。

【図8a】 図8aは第2の補助層の露出部分を除去し、スペーサーを分離し、絶縁層を部分的に除去し、かつメモリノットをエッチングした後の、図7aからの断面図を示している。

【図8b】 図8bは図8aからのプロセス工程の後の、図7bからの断面図を示している。

50

【図 8 c】 図 8 c は図 8 a からのプロセス工程の後の、図 7 b からの俯瞰図を示している。この俯瞰図には、第 2 の補助層部分、絶縁体及びメモリノットの露出部分、補助トレんチの底部部分並びに底部の外側に配置された、第 1 の補助層の部分が示されている。

【図 9 a】 図 9 a は絶縁体が拡大され、スペーサーが露出され、かつスペーサーの第 1 の部分からドーピング物質が拡散された後の、図 8 a からの断面図を示している。

【図 9 b】 図 9 b は図 9 a からのプロセス工程の後の、図 8 b からの断面図を示している。

【図 10 a】 図 10 a はスペーサーの第 1 の部分が除去され、絶縁層の部分が除去され、メモリノットの第 1 の部分が除去され、かつ絶縁体が拡大された後の、図 9 a からの断面図を示している。

10

【図 10 b】 図 10 b は図 10 a からのプロセス工程の後の、図 9 b からの断面図を示している。

【図 10 c】 図 10 c は図 10 a からのプロセス工程の後の図 8 c からの俯瞰図を示している。この俯瞰図には、スペーサーの第 2 の部分、絶縁体及び第 1 の補助層が示されている。

【図 11 a】 図 11 a はスペーサーの第 2 の部分を除去し、かつ第 3 の補助層及びマスクを設けた後の、図 10 a からの断面図を示している。

【図 11 b】 図 11 b は図 11 a からのプロセス工程の後の、図 10 b からの断面図を示している。

【図 11 c】 図 11 c は図 11 a からのプロセス工程の後の、図 10 c からの俯瞰図を示している。この俯瞰図には第 3 の補助層のマスク及び露出部分が示されている。

20

【図 12】 図 12 は第 3 の補助層の露出部分及びその下に位置する、第 1 の補助層の部分を除去した後の、図 11 b からの断面図を示している。

【図 13 a】 図 13 a は絶縁トレんチを設け、かつマスク及び第 1 の補助層を除去した後の、図 12 からのプロセス工程の後の、図 11 a からの断面図を示している。

【図 13 b】 図 13 b は図 13 a からのプロセス工程の後の、図 12 からの断面図を示している。

【図 14 a】 図 14 a は第 3 の補助層を除去し、かつ第 2 のソース - ノドレイン領域、ゲート誘電体、ゲート電極、ワード線、第 2 の絶縁構造体、保護層及び第 1 のソース - ノドレイン領域を設けた後の、図 13 a からの断面図を示している。

30

【図 14 b】 図 14 b は図 14 a からのプロセス工程の後の、図 13 b からの断面図を示している。

【図 14 c】 図 14 c は図 14 a からのプロセス工程の後の、図 11 c からの俯瞰図を示している。この俯瞰図には、凹部、ワード線、絶縁トレんチ及び第 2 のソース - ノドレイン領域が示されている。

【図 15 a】 図 15 a は中間酸化物、コンタクト及びビット線を設けた後の、図 14 a からの断面図を示している。

【図 15 b】 図 15 b は図 15 a からのプロセス工程の後の、図 14 b からの断面図を示している。

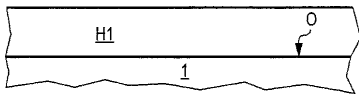
【図 15 c】 図 15 c は図 15 a からのプロセス工程の後の、図 14 c からの俯瞰図を示している。この俯瞰図には、凹部、絶縁トレんチ、ワード線及びビット線が示されている。

40

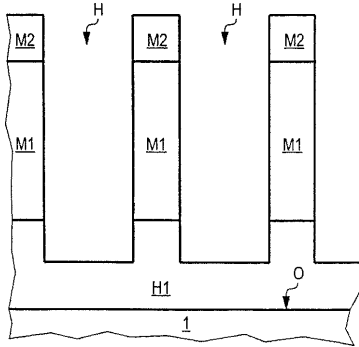
【符号の説明】

1 基板、 B ビット線、 G 絶縁トレんチ、 GA ゲート電極、 H 補助トレんチ、 H1 第 1 の補助層、 H2 第 2 の補助層、 H3 第 3 の補助層、 I 絶縁体、 M マスク、 R スペーサー、 R1 スペーサーの第 1 部分、 R2 スペーサーの第 2 部分、 S 絶縁層、 S/D1 第 1 のソース/ドレイン領域、 S/D2 第 2 のソース/ドレイン - 領域、 SP メモリノット、 ST テープ状構造体、 V 凹部、 W ワード線

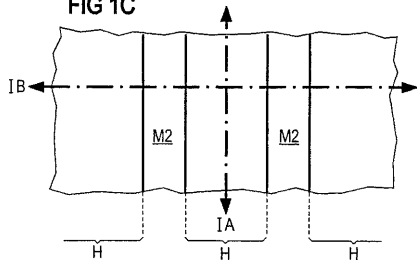
【 1 A 】
FIG 1A



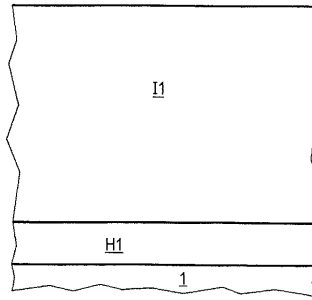
【 1 B 】
FIG 1B



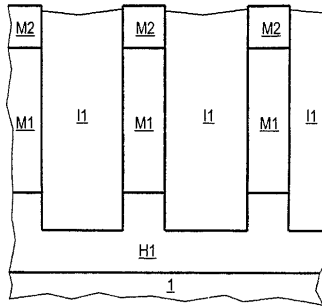
【 1 C 】
FIG 1C



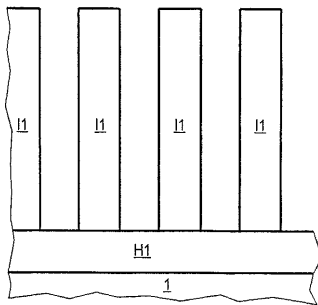
【 2 A 】
FIG 2A



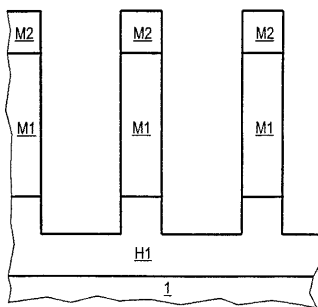
【 2 B 】
FIG 2B



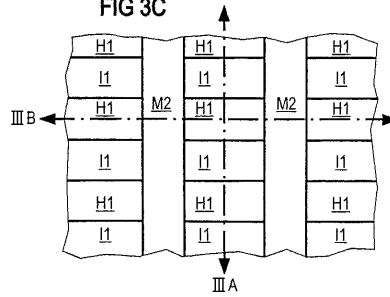
【 3 A 】
FIG 3A



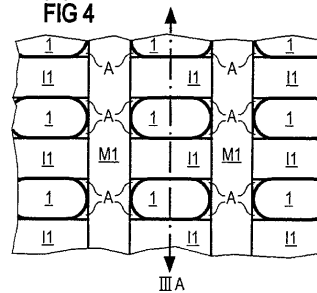
【 3 B 】
FIG 3B



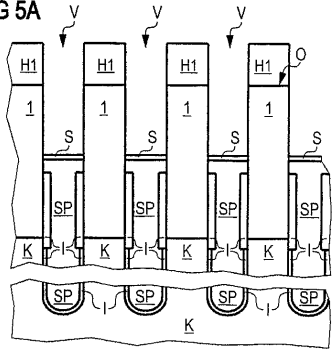
【 3 C 】
FIG 3C



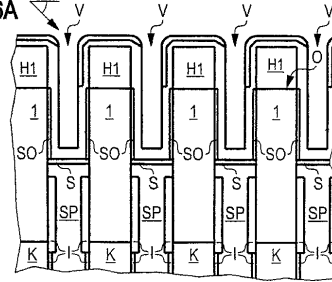
【 4 】
FIG 4



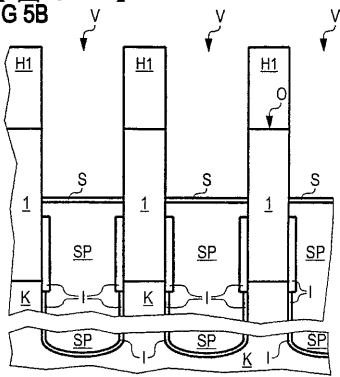
【 5 A 】
FIG 5A



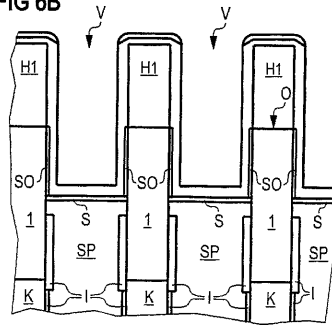
【 6 A 】
FIG 6A



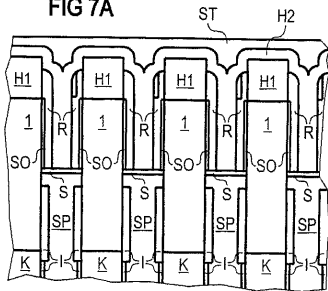
【 5 B 】
FIG 5B



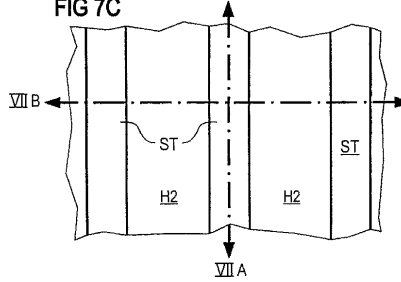
【 6 B 】
FIG 6B



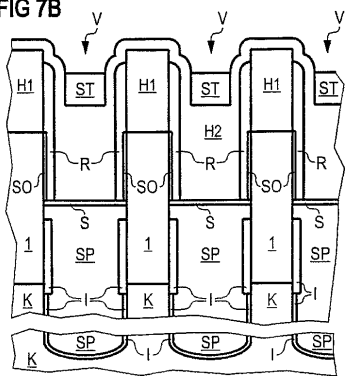
【 7 A 】
FIG 7A



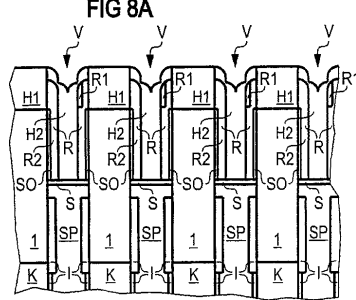
【 7 C 】
FIG 7C



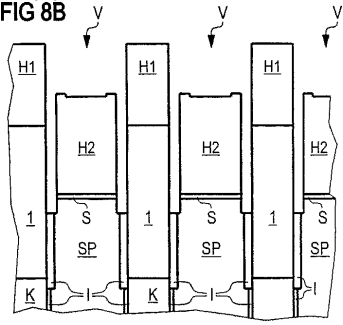
【 7 B 】
FIG 7B



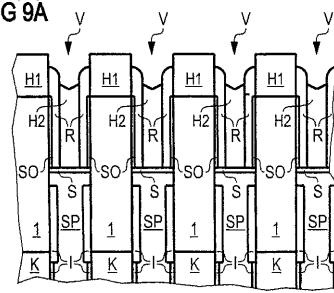
【 8 A 】
FIG 8A



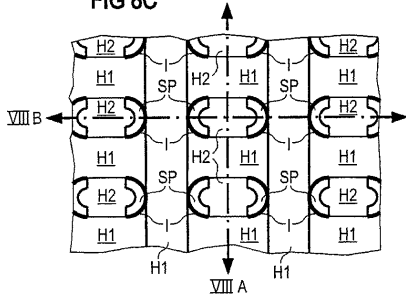
【 8 B 】
FIG 8B



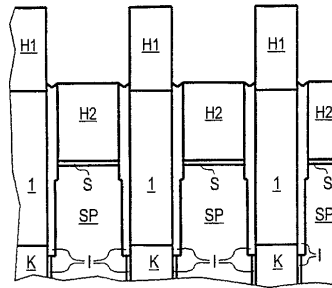
【 9 A 】
FIG 9A



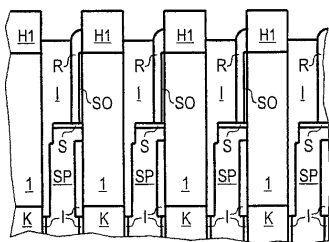
【 8 C 】
FIG 8C



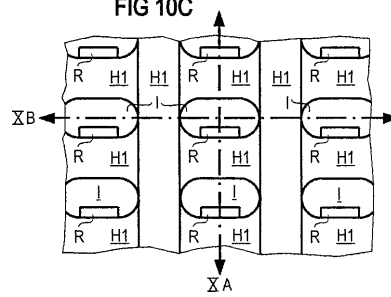
【 9 B 】
FIG 9B



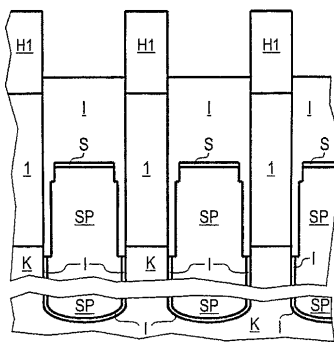
【 1 0 A 】
FIG 10A



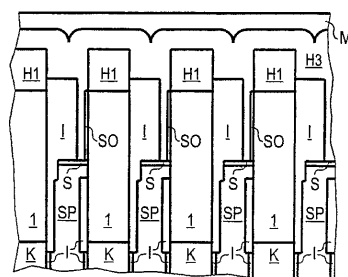
【 1 0 C 】
FIG 10C



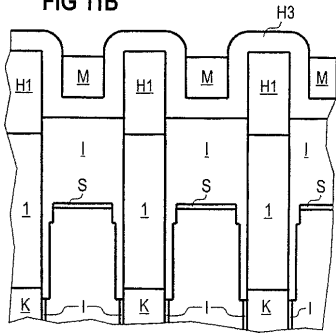
【 1 0 B 】
FIG 10B



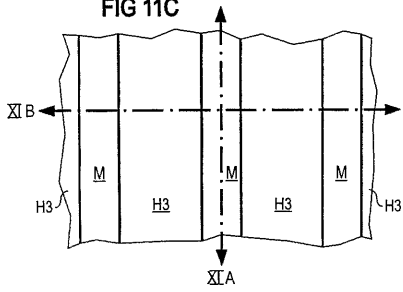
【 1 1 A 】
FIG 11A



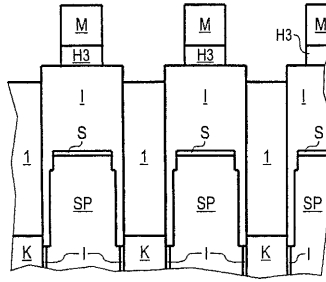
【 1 1 B 】
FIG 11B



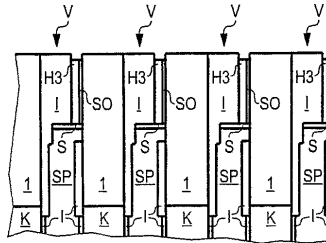
【 1 1 C 】
FIG 11C



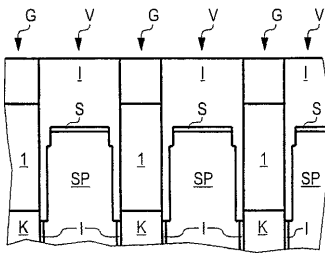
【 1 2 】
FIG 12



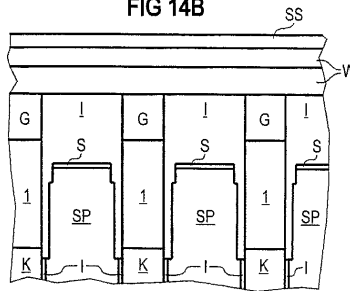
【 1 3 A 】
FIG 13A



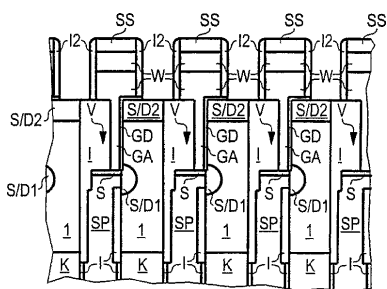
【 1 3 B 】
FIG 13B



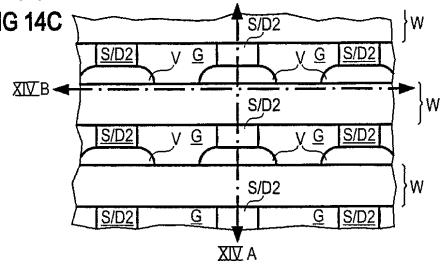
【 1 4 B 】
FIG 14B



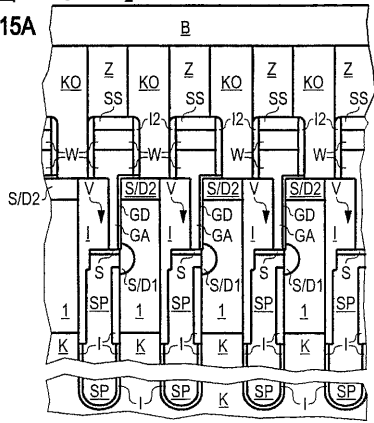
【 1 4 A 】
FIG 14A



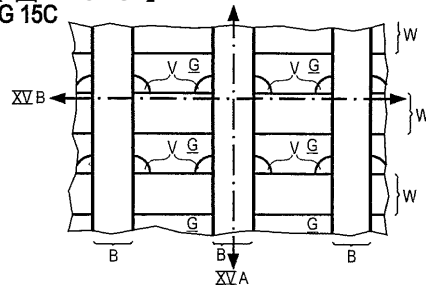
【 1 4 C 】
FIG 14C



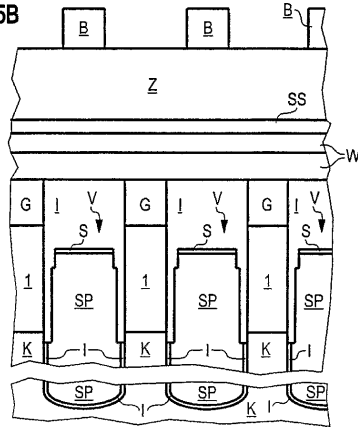
【 図 1 5 A 】
FIG 15A



【 図 1 5 C 】
FIG 15C



【 図 1 5 B 】
FIG 15B



フロントページの続き

(74)代理人 230100044

弁護士 ラインハルト・アインゼル

(72)発明者 ベルント ゲーベル

ドイツ連邦共和国 ドレスデン レーバウアー シュトラーセ 10

審査官 國島 明弘

(56)参考文献 米国特許第5907170(US,A)

特開平08-241966(JP,A)

特開平07-130871(JP,A)

特開平05-291528(JP,A)

特開平04-233272(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8242

H01L 27/108