

(21)申請案號：101103417

(22)申請日：中華民國 101 (2012) 年 02 月 02 日

(51)Int. Cl. : H03K4/48 (2006.01)

H03K3/033 (2006.01)

(30)優先權：2011/02/07 美國

13/022,295

(71)申請人：半導體組件工業公司(美國) SEMICONDUCTOR COMPONENTS INDUSTRIES L.L.C. (US)

美國

(72)發明人：李基桑 LEE, KISUN (KR)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：14 共 54 頁

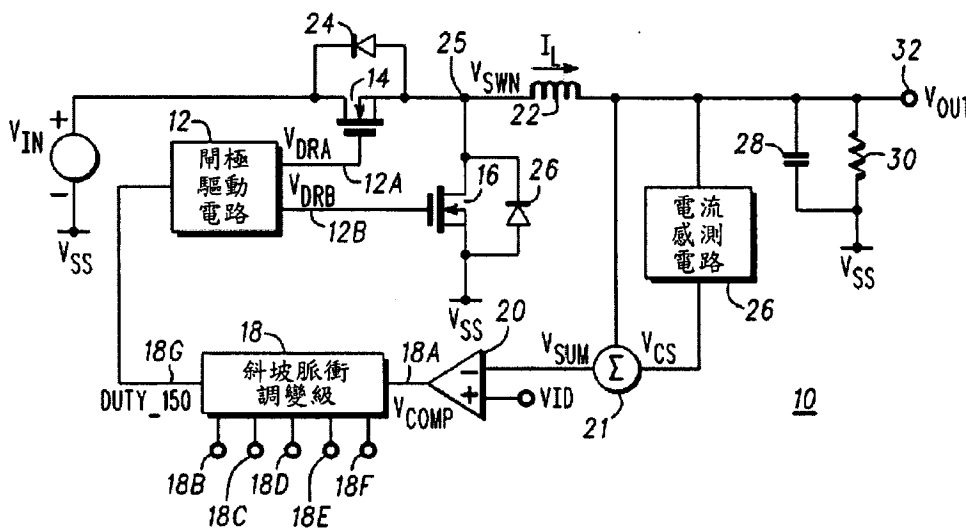
(54)名稱

產生信號之方法及其結構

METHOD FOR GENERATING A SIGNAL AND STRUCTURE THEREFOR

(57)摘要

根據一實施例，一調變器包含一比較器及斜坡產生電路。回應於將一第一輸入信號與一補償信號作比較而產生一第一比較信號。回應於將一第二輸入信號與該補償信號作比較而產生一第二比較信號。回應於該第一比較信號而產生一第一鎖存信號，且回應於該第二比較信號而產生一第二鎖存信號。



10：電壓調節器

12：閘極驅動電路

12A：輸出端子

12B：輸出端子

14：切換裝置

16：切換裝置

18：斜坡脈衝調變器

18A：輸入端子

18B：輸入端子

18C：輸入端子

18D：輸入端子

18E：輸入端子

18F：輸入端子

18G：輸出端子

20：補償電路

21：加法器

22：電感器

24：本體二極體

- 25：節點
- 26：本體二極體/電流感測電路
- 28：輸出電容器
- 30：負載
- 32：輸出端子/節點

(21)申請案號：101103417

(22)申請日：中華民國 101 (2012) 年 02 月 02 日

(51)Int. Cl. : H03K4/48 (2006.01)

H03K3/033 (2006.01)

(30)優先權：2011/02/07 美國

13/022,295

(71)申請人：半導體組件工業公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES L.L.C. (US)

美國

(72)發明人：李基桑 LEE, KISUN (KR)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：14 共 54 頁

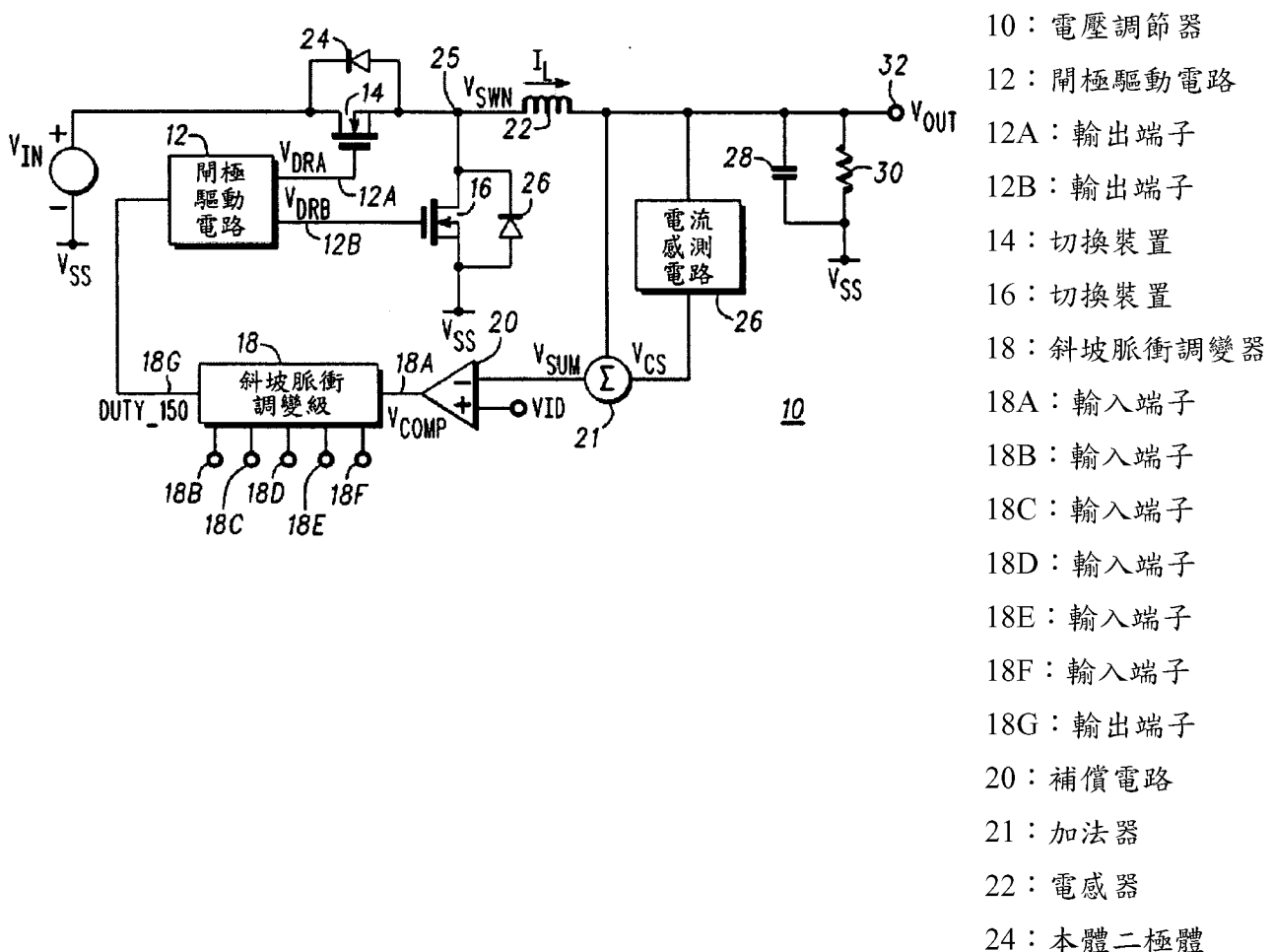
(54)名稱

產生信號之方法及其結構

METHOD FOR GENERATING A SIGNAL AND STRUCTURE THEREFOR

(57)摘要

根據一實施例，一調變器包含一比較器及斜坡產生電路。回應於將一第一輸入信號與一補償信號作比較而產生一第一比較信號。回應於將一第二輸入信號與該補償信號作比較而產生一第二比較信號。回應於該第一比較信號而產生一第一鎖存信號，且回應於該第二比較信號而產生一第二鎖存信號。



## 六、發明說明：

### 【發明所屬之技術領域】

本發明大致係關於電子器件且更特定言之係關於形成半導體裝置及結構之方法。

### 【先前技術】

已有許多技術用於控制切換電源供應器。最常見的一種稱作脈寬調變(PWM)，其中在調變工作週期以控制輸出的同時保持切換頻率恆定。另一種常見技術稱作脈衝頻率調變(PFM)，其中保持切換開啟時間或關斷時間恆定且調變頻率以控制輸出。在稱作磁滯控制(或脈動調節)之另一種技術中，改變頻率及工作週期以保持輸出脈動恆定。

因此，宜具有一種適用於控制切換電源供應器之方法及電路。該方法及結構之實施具成本效益則更有利。

### 【實施方式】

閱讀下文結合隨附圖式而進行之詳細描述可更好地瞭解本發明，其中相同元件符號指示相同元件。

為闡釋之簡單及明瞭起見，圖中的元件不一定按比例調整且在不同圖式中相同元件符號指示相同元件。此外，為描述之簡潔起見，省略已知步驟及元件之描述及細節。如本文中所使用，載流電極指的是載送電流穿過裝置諸如一MOS電晶體或一發射器之一源極或一汲極或一雙極電晶體之一汲極或二極體之一陰極或陽極之一裝置之一元件，且一控制電極指的是控制電流流動穿過裝置諸如一MOS電晶體之一閘極或一雙極電晶體之一基極之裝置之一元件。雖

然在本文中將裝置說明為特定N通道或P通道裝置或特定N型或P型摻雜區域，但是一般技術者瞭解根據本發明之實施例補充裝置亦可行。熟習此項技術者應瞭解如本文使用之詞期間、同時及時並非意指在一啟動行動時立即發生的行為，而是在藉由初始行動啟動之反應與初始行動之間可能存在一些小但是合理的延遲諸如傳播延遲。使用詞大約、約或大致指的是一元件之值具有預計非常接近一規定值或位置之一參數。但是，如本技術中已知總是存在防止值或位置與所規定之值或位置完全一樣的小偏差。本技術中已知將至高約百分之十(10%)(且對於半導體摻雜濃度而言至高百分之二十(20%))之偏差視作偏離如所精確描述之理想目標之合理偏差。

應注意邏輯0電壓位準( $V_L$ )亦稱作邏輯低電壓且邏輯0電壓之電壓位準以電源供應電壓及邏輯族類型為函數。舉例而言，在互補金屬氧化物半導體(CMOS)邏輯族中，邏輯0電壓可為電源供應電壓位準之百分之三十。在五伏電晶體-電晶體邏輯(TTL)系統中，邏輯低電壓位準可為約0.8伏，而對於五伏CMOS系統，邏輯0電壓位準可為約1.5伏。邏輯1電壓位準( $V_H$ )亦稱作邏輯高電壓位準且與邏輯0電壓位準相同，邏輯高電壓位準亦以電源供應及邏輯族類型為函數。舉例而言，在CMOS系統中，邏輯1電壓可約為電源供應電壓位準之百分之七十。在五伏TTL系統中，邏輯1電壓可為約2.4伏，而對於五伏CMOS系統，邏輯1電壓可為約3.5伏。

圖1係根據本發明之一實施例之一電壓調節器10之一電路示意圖。電壓調節器10包含一驅動電路12，該驅動電路12經組態以回應於來自一斜坡脈衝調變器18之斜坡脈衝調變(RPM)信號而驅動切換裝置14及16。驅動電路12可稱作閘極驅動電路且斜坡脈衝調變器18可稱作RPM級。斜坡脈衝調變器18經組態以回應於補償信號( $V_{COMP}$ )而運作。切換裝置14及16可為功率場效電晶體諸如舉例而言功率金屬氧化物半導體場效電晶體(MOSFET)，其中各切換裝置具有一控制電極及一對載流電極。如上所述，控制電極可為閘極端子且載流電極可為汲極及源極端子。應注意圖1分別圖解說明切換裝置14及16之本體二極體24及26且切換裝置14及16之源極端子連接至其等之本體區域。切換裝置14之汲極端子經耦合用於接收輸入信號( $V_{IN}$ )且切換裝置14之源極端子通常連接至切換裝置16之汲極端子及一電感器22之一端子。切換裝置16之源極端子經耦合用於接收一運作電位源諸如舉例而言一 $V_{SS}$ 源。運作電位 $V_{SS}$ 可為舉例而言接地電位。電感器22之另一端子通常連接至一加法器21之一輸入端子、一電流感測電路26之一輸入端子、一輸出電容器28之一端子及一負載30之一端子以形成一輸出端子或節點32，輸出電壓 $V_{OUT}$ 出現在該輸出端子或節點32上。加法器21具有連接至電流感測電路26的一輸出端子之一輸入端子。加法器21之輸出端子連接至一補償電路20之一輸入端子。補償電路20具有經耦合用於接收舉例而言電壓識別數位( $V_{ID}$ )控制信號之另一輸入端子及連接至斜坡脈衝調

變器 18 之一輸入端子 18A 之一輸出端子。舉例而言，補償電路 20 為一比較器。除輸入端子 18A 外，斜坡脈衝調變器 18 亦至少具有輸入端子 18B、18C、18D、18E 及 18F 及一輸出端子 18G，該輸出端子 18G 連接至驅動電路 12 之一輸入端子。閘極驅動電路 12 之輸出端子 12A 及 12B 分別連接至切換裝置 14 及 16 之閘極端子。

在運作時及回應於切換裝置 14 之汲極端子上之輸入電壓  $V_{IN}$  及切換電晶體 14 及 16 之閘極端子上之驅動信號  $V_{DRA}$  及  $V_{DRB}$ ，在節點 25 上出現切換電壓  $V_{SWN}$  且一電流  $I_L$  流動穿過電感器 22。電感器電流  $I_L$  流動穿過負載 30 並在輸出節點 32 上產生輸出電壓  $V_{OUT}$ 。藉由電流感測電路 26 感測電感器電流  $I_L$  以產生電流感測信號  $V_{CS}$ 。藉由加法器 21 將電流感測信號  $V_{CS}$  與輸出信號  $V_{OUT}$  加總或加在一起以產生加總信號  $V_{SUM}$ ，該加總信號  $V_{SUM}$  傳輸至補償電路 20 之反相輸入端子。回應於加總信號  $V_{SUM}$  及控制信號  $V_{ID}$ ，補償電路 20 產生補償信號  $V_{COMP}$ ，該補償信號  $V_{COMP}$  充當斜坡脈衝調變器 18 之輸入信號。斜坡脈衝調變器 18 在輸出端子 18G 上產生脈衝信號  $DUTY_{10}$ ，該脈衝信號  $DUTY_{10}$  導致驅動電路 12 產生驅動信號  $V_{DRA}$  及  $V_{DRB}$ 。下文將參考圖 2 更詳細地說明斜坡脈衝調變器 18 之運作。

圖 2 係根據本發明之一實施例之斜坡脈衝調變電路 18 之一電路示意圖。斜坡脈衝調變電路 18 包括比較器 50 及 52，各具有一非反相輸入端子、一反相輸入端子及一輸出端子。比較器 50 之反相輸入端子及比較器 52 之非反相輸入端

子連接在一起且經耦合用於接收斜坡脈衝調變器18之端子18A上之補償信號 $V_{COMP}$ 。比較器50具有連接至一鎖存器60之復位輸入端子(R)之一輸出端子54且比較器52具有連接至鎖存器60之設定輸入端子(S)之一輸出端子56。出現在比較器輸出端子54及56上之信號稱作比較信號。鎖存器60具有充當輸出端子18G之一輸出端子62(圖1所示)及連接至一電晶體66之一控制電極之一輸出端子64。輸出端子18G連接至驅動電路12之輸入端子(圖1所示)。

除一控制電極外，電晶體66具有載流電極諸如舉例而言汲極及源極電極或端子。舉例而言，源極端子通常連接至一電容器68之一端子及一電流源70之一端子以形成一輸入端子諸如舉例而言斜坡脈衝調變器18之輸入端子18D。通常連接之源極端子與電容器68及電流源70之端子經耦合用於接收來自電壓源72之電位 $V_B$ 。汲極端子通常連接至電容器68及電流源70之其他端子及比較器50之非反相輸入端子且可充當圖1所示之端子18C。電流源70耦合在端子18D與18C之間且作為電流信號 $I_B$ 源。電晶體66、電容器68及電流源70可稱作斜坡產生電路71。

斜坡脈衝調變器18進一步包含一電晶體106，該電晶體106具有一控制電極及載流電極。輸出端子62(及因此端子18G)連接至電晶體106之控制電極。電晶體106之源極端子通常連接至電容器108之一端子及比較器52之反相輸入端子以形成可充當輸入端子18E之一節點。在比較器52之反相輸入端子上出現斜坡脈衝調變信號 $V_{RPM1}$ 。電晶體106之



汲極端子連接至電容器108之另一端子以形成可充當輸入端子18F之一節點。一電流源110連接在輸入端子18E與18F之間且一電壓源112連接至輸入端子18F。電晶體106、電容器108及電流源110可稱作斜坡產生電路113。電壓源112提供電壓 $V_T$ 且電流源110作為電流 $I_T$ 源。二極體116具有連接至輸入端子18E之一陰極及充當輸入端子18B之一陽極。

一電壓源114耦合至輸入端子18B；電壓源72連接至輸入端子18D；且一電壓源112連接至輸入端子18F。

輸出端子18G連接至驅動電路12之輸入端子(圖1所示)。

在運作時，輸入信號 $V_{COMP}$ 、 $D_{TH}$ 、 $V_B$ 及 $V_T$ 分別耦合至斜坡脈衝調變器18之輸入端子18A、18B、18D及18F(圖1及圖2所示)。電流源70連接在輸入端子18D與18C之間(圖1及圖2所示)且回應於電晶體66之控制電極上之輸入信號，流動穿過電流源70之電流在比較器50之非反相輸入端子即輸入端子18C上產生輸入信號 $V_{RPM}$ 。圖3係繪示信號 $V_{COMP}$ 、 $V_B$ 、 $D_{TH}$ 、 $V_{RPM}$ 、 $V_{RPM1}$ 、 $V_T$ 及脈衝信號DUTY\_10之一時序圖115。現參考圖2及圖3，在時間 $t_0$ 前，在鎖存器60之輸出端子64即Qbar輸出端上出現邏輯高電壓位準且在鎖存器60之輸出端子62即Q輸出端上出現邏輯低電壓位準。輸出端子64上之邏輯高電壓位準出現在電晶體66之閘極端子上並開啟電晶體66。因此，輸入端子18C即比較器50之非反相輸入端子上之電壓大致等於電壓 $V_B$ 且電容器68放電使端子18C上之電壓大致等於端子18D上之電壓。由於在時間 $t_0$ 前電壓 $V_{RPM}$ 低於電壓 $V_{COMP}$ ，故比較器50在輸

出端子54上產生邏輯低電壓。

當時間從時間 $t_0$ 前之一時間接近時間 $t_0$ 時，電壓 $V_{RPM1}$ 接近電壓 $D_{TH}$ 。

回應於在時間 $t_0$ 處電壓 $V_{COMP}$ 升高並突破電壓位準 $V_{RPM1}$ ，比較器52在其輸出端上產生邏輯高電壓，該信號經由輸出端子56輸送至鎖存器60之設定輸入端子(S)。回應於鎖存器60之設定輸入端子上之邏輯高電壓，Q輸出端子62即輸出端子18G上之信號轉變為邏輯高電壓位準。應注意鎖存器60之Q輸出端子62充當斜坡脈衝調變器18之輸出端子18G且Q輸出端子上之信號充當傳輸至驅動電路12之輸入端子之脈衝信號(DUTY<sub>10</sub>)。

輸出端子62上之邏輯高電壓開啟電晶體106，該電晶體106將輸入節點18E上之電壓 $V_{RPM1}$ 設定為大致等於電壓 $V_T$ 之電壓。此外，鎖存器60在輸出端子64上產生邏輯低電壓，該邏輯低電壓關斷電晶體66。電流源70產生電流 $I_B$ ，該電流 $I_B$ 使電容器68充電使得輸入端子18D即比較器50之非反相輸入端子上之電壓以大約 $I_B/C_{68}$ 伏/秒之速率升高，其中 $I_B$ 為源自電流源70之電流且 $C_{68}$ 為電容器68之電容值。因此，比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 為具有大約 $I_B/C_{68}$ 之斜率之斜坡信號。

在時間 $t_1$ 處，電壓 $V_{COMP}$ 突破電壓 $V_{RPM}$ 之電壓位準且在時間 $t_1$ 後變為低於電壓 $V_{RPM}$ 。回應於電壓 $V_{COMP}$ 變為低於電壓 $V_{RPM}$ 及鎖存器60之復位輸入端子(R)上之邏輯高電壓位準，在輸出端子62上出現邏輯低電壓位準，該邏輯低電

壓位準關斷電晶體106。電流源110作為電流 $I_T$ 源，該電流 $I_T$ 使電容器108充電使得輸入端子18E即比較器52之反相輸入端子上之電壓以大約 $I_T/C_{108}$ 之速率下降，其中電流 $I_T$ 為源自電流源110之電流且 $C_{108}$ 為電容器108之電容值。因此，比較器52之非反相輸入端子上之電壓 $V_{RPM1}$ 從大約時間 $t_0$ 至大約時間 $t_1$ 為大致恆定電壓且從大約時間 $t_1$ 至大約時間 $t_2$ 為斜坡信號，該斜坡信號具有大約 $I_T/C_{108}$ 之負斜率。應注意在時間 $t_1$ 處出現在輸出端子62上之脈衝信號DUTY\_10轉變為邏輯低電壓位準且脈衝信號DUTY\_10為邏輯高電壓之持續時間與電壓 $V_{RPM1}$ 之恆定電壓部分之持續時間大致相等。亦應注意脈衝信號DUTY\_10之週期大致等於電壓信號 $V_{RPM1}$ 之週期，即信號 $V_{RPM1}$ 為大致恆定電壓位準之時間與信號 $V_{RPM1}$ 為斜坡之時間之和。信號 $V_{RPM1}$ 之恆定電壓部分之持續時間大致等於脈衝信號DUTY\_10為邏輯高電壓位準之持續時間且電壓信號 $V_{RPM1}$ 之斜坡部分之持續時間大致等於脈衝信號DUTY\_10為邏輯低電壓位準之持續時間。

在時間 $t_1$ 與 $t_2$ 之間，在鎖存器60之輸出端子64即Qbar輸出端上出現邏輯高電壓位準且在鎖存器60之輸出端子62即Q輸出端上出現邏輯低電壓位準。輸出端子64上之邏輯高電壓位準出現在電晶體66之閘極端子上並開啟電晶體66。因此，輸入端子18C即比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 大致等於電壓 $V_B$ 且電容器68放電使輸入端子18C上之電壓大致等於輸入端子18A上之電壓。由於在 $t_1$ 與 $t_2$ 之間電

壓  $V_{RPM}$  低於電壓  $V_{COMP}$ ，故比較器 50 在輸出端子 54 上產生邏輯低電壓。

回應於在時間  $t_2$  處電壓  $V_{COMP}$  升高且變為高於電壓  $V_{RPM1}$ ，比較器 52 在其輸出端上產生邏輯高電壓，該信號經由輸出端子 56 輸送至鎖存器 60 之設定輸入端子並導致 Q 輸出端子上的信號轉變為邏輯高電壓位準。如上所述，鎖存器 60 之 Q 輸出端子 62 充當斜坡脈衝調變器 18 之輸出端子 18G 且 Q 輸出端子上之信號充當傳輸至驅動電路 12 之輸入端子之脈衝信號 DUTY\_10。

輸出端子 62 上之邏輯高電壓開啟電晶體 106，該電晶體 106 將輸入端子 18E 上之電壓  $V_{RPM1}$  設定為大致等於電壓  $V_T$  之電壓。此外，輸出端子 62 上之邏輯高電壓導致鎖存器 60 在輸出端子 64 上產生邏輯低電壓，該邏輯低電壓關斷電晶體 66。電流源 70 作為電流  $I_B$  源，該電流  $I_B$  使電容器 68 充電使得輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓以大約  $I_B/C_{68}$  伏/秒之速率升高，其中  $I_B$  為源自電流源 70 之電流且  $C_{68}$  為電容器 68 之電容值。因此，約從時間  $t_2$  開始，比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  為具有大約  $I_B/C_{68}$  之斜率之斜坡信號。

在時間  $t_3$  處，電壓  $V_{COMP}$  變為低於電壓  $V_{RPM}$ 。回應於電壓  $V_{COMP}$  變為低於電壓  $V_{RPM}$  及鎖存器 60 之復位輸入端上之邏輯高電壓位準，在輸出端子 62 上出現邏輯低電壓位準，該邏輯低電壓位準關斷電晶體 106。電流源 110 產生電流  $I_T$ ，該電流  $I_T$  使電容器 108 充電使得輸入端子 18E 即比較器

52之反相輸入端子上之電壓 $V_{RPM1}$ 以大約 $I_T/C_{108}$ 伏/秒之速率下降。因此，比較器52之反相輸入端子上之電壓 $V_{RPM1}$ 從大約時間 $t_2$ 至大約時間 $t_3$ 為大致恆定電壓且從大約時間 $t_3$ 至大約時間 $t_4$ 為斜坡信號，該斜坡信號具有 $I_T/C_{108}$ 之負斜率。應注意在時間 $t_3$ 處出現在輸出端子62上之脈衝信號DUTY\_10轉變為邏輯低電壓位準且脈衝信號DUTY\_10為邏輯高電壓之持續時間與電壓 $V_{RPM1}$ 之恆定電壓部分之持續時間大致相等。亦應注意脈衝信號DUTY\_10之週期大致等於脈衝信號DUTY\_10為邏輯高電壓位準之時間與脈衝信號DUTY\_10為邏輯低電壓位準之時間之和。因此，脈衝信號DUTY\_10之週期大致等於電壓信號 $V_{RPM1}$ 之週期，即信號 $V_{RPM1}$ 為大致恆定電壓位準之時間與信號 $V_{RPM1}$ 為斜坡之時間之和。信號 $V_{RPM1}$ 之恆定電壓部分之持續時間大致等於脈衝信號DUTY\_10為邏輯高電壓位準之持續時間且電壓信號 $V_{RPM1}$ 之斜坡部分之持續時間大致等於脈衝信號DUTY\_10為邏輯低電壓位準之持續時間。

在時間 $t_3$ 與 $t_4$ 之間，在鎖存器60之輸出端子64即Qbar輸出端上出現邏輯高電壓位準且在鎖存器60之輸出端子62即Q輸出端上出現邏輯低電壓位準。輸出端子64上之邏輯高電壓位準出現在電晶體66之閘極端子上並開啟電晶體66。因此，輸入端子18C即比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 大致等於電壓 $V_B$ 且電容器68放電使輸入端子18C上之電壓 $V_{RPM}$ 大致等於輸入端子18A上之電壓。由於在時間 $t_3$ 與 $t_4$ 之間電壓 $V_{RPM}$ 低於電壓 $V_{COMP}$ ，故比較器50在輸出端

子54上產生邏輯低電壓。回應於在時間 $t_4$ 處電壓 $V_{COMP}$ 升高且變為高於電壓位準 $V_{RPM1}$ ，比較器52在其輸出端上產生邏輯高電壓，該信號經由輸出端子56輸送至鎖存器60之設定輸入端子並導致Q輸出端子62上的信號轉變為邏輯高電壓位準。如上所述，鎖存器60之Q輸出端子62充當斜坡脈衝調變器18之輸出端子18G且Q輸出端子62上之信號充當傳輸至驅動電路12之輸入端子之脈衝信號DUTY\_10。

斜坡脈衝調變器18產生脈衝信號DUTY\_10，該脈衝信號DUTY\_10在與電壓 $V_{RPM}$ 之斜坡部分一致之時間內為邏輯高電壓且在與電壓 $V_{RPM1}$ 之斜坡部分一致之時間內為邏輯低電壓。舉例而言，回應於電壓信號 $V_{RPM}$ 從電壓位準 $V_B$ 開始上升，脈衝信號DUTY\_10從邏輯低電壓轉變為邏輯高電壓且回應於電壓信號 $V_{RPM1}$ 從電壓位準 $V_T$ 開始下降，脈衝信號DUTY\_10從邏輯高電壓轉變為邏輯低電壓。因此，脈衝信號DUTY\_10之頻率根據電壓信號 $V_{RPM}$ 及 $V_{RPM1}$ 之斜坡部分變化。

圖4係根據本發明之一實施例之斜坡脈衝調變電路150之一電路示意圖。應注意斜坡脈衝調變電路150之輸入/輸出組態可與斜坡脈衝調變電路18之輸入/輸出組態相同。因此，可藉由斜坡脈衝調變電路150取代斜坡脈衝調變電路18。亦應注意參考圖1及圖2描述之電壓調節器10之運作亦可應用於斜坡脈衝調變電路150取代斜坡脈衝調變電路18之實施例。如參考圖2所述，斜坡脈衝調變電路150包括比較器50及52、鎖存器60、電晶體66及106、電容器68及

108、二極體 116、輸入端子 18A、18B、18C、18D、18E 及 18F 及輸入端子 18G。此外，斜坡脈衝調變電路 150 包含連接在輸出端子 62 與電晶體 106 之閘極之間之一單穩態觸發器 152。

一電壓源 114 耦合至輸入端子 18B；電壓源 72 連接至輸入端子 18D；且一電壓源 112 連接至輸入端子 18F。

輸出端子 18G 連接至驅動電路 12 之輸入端子(圖 1 所示)。

在運作時，輸入信號  $V_{COMP}$ 、 $D_{TH}$ 、 $V_B$  及  $V_T$  分別耦合至斜坡脈衝調變器 150 之輸入端子 18A、18B、18D 及 18F(圖 1 及圖 4 所示)。電流源 70 連接在輸入端子 18D 與 18C 之間(圖 4 所示)且回應於電晶體 66 之控制電極上之輸入信號，流動穿過電流源 70 之電流在比較器 50 之非反相輸入端子即輸入端子 18C 上產生輸入信號  $V_{RPM}$ 。圖 5 係繪示信號  $V_{COMP}$ 、 $V_B$ 、 $D_{TH}$ 、 $V_{RPM}$ 、 $V_{RPM1}$ 、 $V_T$  及脈衝信號  $DUTY_{150}$  之一時序圖 155。現參考圖 4 及圖 5，在時間  $t_0$  前，在鎖存器 60 之輸出端子 64 即  $Q_{bar}$  輸出端上出現邏輯高電壓位準且在鎖存器 60 之輸出端子 62 即  $Q$  輸出端上出現邏輯低電壓位準。輸出端子 64 上之邏輯高電壓位準出現在電晶體 66 之閘極端子上並開啟電晶體 66。因此，輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓大致等於電壓  $V_B$  且電容器 68 放電使端子 18C 上之電壓  $V_{RPM}$  大致等於端子 18D 上之電壓。由於在時間  $t_0$  前電壓  $V_{RPM}$  低於電壓  $V_{COMP}$ ，故比較器 50 在輸出端子 54 上產生邏輯低電壓。

在時間  $t_0$  前，電壓  $V_{RPM1}$  接近電壓  $D_{TH}$ 。

回應於在時間  $t_0$  處電壓  $V_{COMP}$  升高並突破信號  $V_{RPM1}$  之信號位準，比較器 52 在其輸出端上產生邏輯高電壓，該信號經由輸出端子 56 輸送至鎖存器 60 之設定輸入端子。回應於鎖存器 60 之設定輸入端子上之邏輯高電壓，Q 輸出端子 62 即輸出端子 18G 上之信號轉變為邏輯高電壓位準。應注意鎖存器 60 之 Q 輸出端子 62 充當斜坡脈衝調變器 18 之輸出端子 18G 且 Q 輸出端子上之信號充當傳輸至驅動電路 12 之輸入端子之脈衝信號 (DUTY\_150)。

輸出端子 62 上之邏輯高電壓位準出現在單穩態觸發器 152 之輸入端子上並觸發單穩態觸發器 152。因此，在電晶體 106 之控制電極上出現邏輯高電壓，開啟電晶體 106，該電晶體 106 將輸入節點 18E 上之電壓  $V_{RPM1}$  設定為大致等於電壓  $V_T$  之電壓。此外，鎖存器 60 在輸出端子 64 上產生邏輯低電壓，該邏輯低電壓關斷電晶體 66。電流源 70 產生電流  $I_B$ ，該電流  $I_B$  使電容器 68 充電使得輸入端子 18D 即比較器 50 之非反相輸入端子上之電壓以大約  $I_B/C_{68}$  伏/秒之速率升高。因此，比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  為具有大約  $I_B/C_{68}$  之斜率之斜坡信號。

單穩態觸發器 152 在電晶體 106 之控制電極上形成邏輯高電壓達一固定時間週期。此固定時間週期在時間  $t_1$  處結束。因此，在時間  $t_1$  處，單穩態觸發器 152 回復至其穩定狀態，關斷電晶體 106。電流源 110 作為電流  $I_T$  源，該電流  $I_T$  使電容器 108 充電使得輸入端子 18E 即比較器 52 之反相輸入端子上之電壓以大約  $I_T/C_{108}$  伏/秒之速率下降。因此，比較



器 52 之非反相輸入端子上之電壓  $V_{RPM1}$  從大約時間  $t_0$  至大約時間  $t_1$  為大致恆定電壓且從大約時間  $t_1$  至大約時間  $t_3$  為斜坡信號且具有  $I_T/C_{108}$  之負斜率。脈衝信號 DUTY\_150 之週期大致等於脈衝信號 DUTY\_150 為邏輯高電壓位準之時間與脈衝信號 DUTY\_150 為邏輯低電壓位準之時間之和。脈衝信號 DUTY\_150 之週期大致等於電壓信號  $V_{RPM1}$  之週期，即信號  $V_{RPM1}$  為大致恆定電壓位準之時間與信號  $V_{RPM1}$  為斜坡信號之時間之和。

在時間  $t_2$  處，補償信號  $V_{COMP}$  變為大致等於電壓  $V_{RPM}$ ，導致比較器 50 在輸出端 54 上產生邏輯高電壓。回應於輸出端 54 上出現邏輯高電壓，在鎖存器 60 之輸出端 64 上出現邏輯高電壓且在鎖存器 60 之輸出端 62 上出現邏輯低電壓。因此，脈衝信號 DUTY\_150 轉變為邏輯低電壓位準。

在時間  $t_2$  與  $t_3$  之間，在鎖存器 60 之輸出端子 64 即 Qbar 輸出端上出現邏輯高電壓位準且在鎖存器 60 之輸出端子 62 即 Q 輸出端上出現邏輯低電壓位準。輸出端子 64 上之邏輯高電壓位準出現在電晶體 66 之閘極端子上並開啟電晶體 66。因此，輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  大致等於電壓  $V_B$  且電容器 68 放電使輸入端子 18C 上之電壓  $V_{RPM}$  大致等於輸入端子 18A 上之電壓。由於在時間  $t_2$  與  $t_3$  之間電壓  $V_{RPM}$  低於電壓  $V_{COMP}$ ，故比較器 50 在輸出端子 54 上產生邏輯低電壓。

回應於在時間  $t_3$  處電壓  $V_{COMP}$  升高且變為高於電壓  $V_{RPM1}$ ，比較器 52 在其輸出端上產生邏輯高電壓，該信號

經由輸出端子56輸送至鎖存器60之設定輸入端子並導致Q輸出端子上的信號轉變為邏輯高電壓位準。如上所述，鎖存器60之Q輸出端子充當斜坡脈衝調變器18之輸出端子18G且Q輸出端子上之信號充當傳輸至驅動電路12之輸入端子之脈衝信號DUTY\_150。

輸出端子62上之邏輯高電壓位準出現在單穩態觸發器152之輸入端子上並觸發單穩態觸發器152。因此，在電晶體106之控制電極上出現邏輯高電壓，開啟電晶體106，該電晶體106將輸入節點18E上之電壓 $V_{RPM1}$ 設定為大致等於電壓 $V_T$ 之電壓。此外，鎖存器60在輸出端子64上產生邏輯低電壓，該邏輯低電壓關斷電晶體66。電流源70產生電流 $I_B$ ，該電流 $I_B$ 使電容器68充電使得輸入端子18C即比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 以大約 $I_B/C_{68}$ 伏/秒之速率升高。因此，比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 為具有大約 $I_B/C_{68}$ 之斜率之斜坡信號。

單穩態觸發器152在電晶體106之控制電極上形成邏輯高電壓達一固定時間週期。此固定時間週期在時間 $t_4$ 處結束。因此，在時間 $t_4$ 處，單穩態觸發器152回復至其穩定狀態，關斷電晶體106。電流源110作為電流 $I_T$ 源，該電流 $I_T$ 使電容器108充電使得輸入端子18E即比較器52之反相輸入端子上之電壓 $V_{RPM1}$ 以大約 $I_T/C_{108}$ 伏/秒之速率下降。因此，比較器52之非反相輸入端子上之電壓 $V_{RPM1}$ 從大約時間 $t_3$ 至大約時間 $t_4$ 為大致恆定電壓且從大約時間 $t_4$ 至大約時間 $t_6$ 為斜坡信號，該斜坡信號具有 $I_T/C_{108}$ 之斜率。脈衝信

號 DUTY\_150 之週期大致等於脈衝信號 DUTY\_150 為邏輯高電壓位準之時間與脈衝信號 DUTY\_150 為邏輯低電壓位準之時間之和。脈衝信號 DUTY\_150 之週期大致等於電壓信號  $V_{RPM1}$  之週期，即信號  $V_{RPM1}$  為大致恆定電壓位準之時間與信號  $V_{RPM1}$  為斜坡信號之時間之和。

在時間  $t_5$  處，補償信號  $V_{COMP}$  變為大致等於電壓  $V_{RPM}$ ，導致比較器 50 在輸出端 54 上產生邏輯高電壓。回應於輸出端 54 上出現邏輯高電壓，在鎖存器 60 之輸出端 64 上出現邏輯高電壓且在鎖存器 60 之輸出端 62 上出現邏輯低電壓。因此，脈衝信號 DUTY\_150 轉變為邏輯低電壓位準。

在時間  $t_5$  與  $t_6$  之間，在鎖存器 60 之輸出端子 64 即 Qbar 輸出端上出現邏輯高電壓位準且在鎖存器 60 之輸出端子 62 即 Q 輸出端上出現邏輯低電壓位準。輸出端子 64 上之邏輯高電壓位準出現在電晶體 66 之閘極端子上並開啟電晶體 66。因此，輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓大致等於電壓  $V_B$  且電容器 68 放電使輸入端子 18C 上之電壓  $V_{RPM}$  大致等於輸入端子 18A 上之電壓。由於在時間  $t_5$  與  $t_6$  之間電壓  $V_{RPM}$  低於電壓  $V_{COMP}$ ，故比較器 50 在輸出端子 54 上產生邏輯低電壓。

回應於在時間  $t_6$  處電壓  $V_{COMP}$  升高且變為高於電壓  $V_{RPM1}$ ，比較器 52 在其輸出端上產生邏輯高電壓，該信號經由輸出端子 56 輸送至鎖存器 60 之設定輸入端子並導致 Q 輸出端子上的信號轉變為邏輯高電壓位準。

圖 6 係在不連續導通模式 (DCM) 模式中運作之脈衝斜坡

調變器 18 之一時序圖 120。在運作時，輸入信號  $V_{COMP}$ 、 $D_{TH}$ 、 $V_B$ 、 $V_{RPM}$ 、 $V_{RPM1}$  及  $V_T$  分別出現在脈衝斜波調變器 18 之輸入端子 18A、18B、18D、18C、18E 及 18F (圖 1 及圖 2 所示)。電流源 70 連接在輸入端子 18D 與 18C 之間 (圖 1 及圖 2 所示)。回應於電晶體 66 之控制電極上之輸入信號，流動穿過電流源 70 之電流作為電流  $I_B$  源且回應於電流  $I_B$  在比較器 50 之非反相輸入端子即輸入端子 18C 上出現信號  $V_{RPM}$ 。電流源 110 連接在輸入端子 18E 與 18F 之間且回應於電晶體 106 之控制電極上之輸入信號，電流源 110 作為電流  $I_T$  源，該電流  $I_T$  用於在比較器 52 之反相輸入端子即輸入端子 18E 上產生電壓信號  $V_{RPM1}$ 。圖 6 係繪示信號  $V_{COMP}$ 、 $V_B$ 、 $D_{TH}$ 、 $V_{RPM}$ 、 $V_{RPM1}$ 、 $V_T$  及脈衝信號  $DUTY_{10}$  之一時序圖。現參考圖 1 及圖 2，在時間  $t_0$  前，在鎖存器 60 之輸出端子 64 即  $Qbar$  輸出端子上出現邏輯高電壓位準且在鎖存器 60 之輸出端子 62 即  $Q$  輸出端子上出現邏輯低電壓位準。輸出端子 64 上之邏輯高電壓位準出現在電晶體 66 之閘極端子上並開啟電晶體 66。因此，輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  大致等於電壓  $V_B$  且電容器 68 充電至大致等於電壓  $V_B$  之電壓。由於在時間  $t_0$  前電壓  $V_{RPM}$  低於電壓  $V_{COMP}$ ，故比較器 50 在輸出端子 64 上產生邏輯低電壓。當時間從時間  $t_0$  前之一時間接近時間  $t_0$  時，將電壓  $V_{RPM1}$  鉗位為電壓位準  $D_{TH}$ 。

回應於在時間  $t_0$  處電壓  $V_{COMP}$  升高並突破電壓位準  $D_{TH}$ ，比較器 52 在其輸出端上產生邏輯高電壓，該信號經由輸出

端子56輸送至鎖存器60之設定輸入端子並導致Q輸出端子62即輸出端子18G上的信號轉變為邏輯高電壓位準。應注意鎖存器60之Q輸出端子62充當斜波脈衝調變器18之輸出端子18G且Q輸出端子62上之信號充當傳輸至驅動電路12之輸入端子之脈衝信號DUTY\_10。

輸出端子62上之邏輯高電壓開啟電晶體106，該電晶體106將輸入端子18E上之電壓 $V_{RPM1}$ 設定為大致等於電壓 $V_T$ 之電壓。此外，鎖存器60在輸出端子64上產生邏輯低電壓，該邏輯低電壓關斷電晶體66。電流源70作為電流 $I_B$ 源，該電流 $I_B$ 使電容器68充電使得輸入端子18C即比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 以大約 $I_B/C_{68}$ 伏/秒之速率升高。因此，比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 為具有大約 $I_B/C_{68}$ 之斜率之斜坡信號。

在時間 $t_1$ 處，電壓 $V_{COMP}$ 突破電壓 $V_{RPM}$ 之電壓位準且在時間 $t_1$ 後變為低於電壓 $V_{RPM}$ 。回應於電壓 $V_{COMP}$ 變為低於電壓 $V_{RPM}$ 及鎖存器60之設定輸入端子上之邏輯低電壓位準，在輸出端子62上出現邏輯低電壓位準，該邏輯低電壓位準關斷電晶體106。電流源110作為電流 $I_T$ 源，該電流 $I_T$ 使電容器108充電使得輸入端子18E即比較器52之反相輸入端子上之電壓 $V_{RPM1}$ 以大約 $I_T/C_{108}$ 伏/秒之速率下降。因此，比較器52之非反相輸入端子上之電壓 $V_{RPM1}$ 從大約時間 $t_0$ 至大約時間 $t_1$ 為大致恆定電壓；從大約時間 $t_1$ 至大約時間 $t_2$ 為斜坡信號，該斜坡信號具有 $I_T/C_{108}$ 之負斜率；且從大約時間 $t_2$ 至大約時間 $t_3$ 為大致恆定電壓信號。在時間 $t_1$

處，出現在輸出端子62上之脈衝信號DUTY\_10轉變為邏輯低電壓位準。脈衝信號DUTY\_10為邏輯高電壓之持續時間大致等於電壓 $V_{RPM}$ 之斜坡部分之持續時間。脈衝信號DUTY\_10為邏輯低電壓之持續時間大致等於電壓 $V_{RPM1}$ 之斜坡部分之時間與電壓 $V_{RPM1}$ 為電壓位準 $D_{TH}$ 之時間之和。

在時間 $t_1$ 與 $t_2$ 之間，在鎖存器60之輸出端子64即Qbar輸出端上出現邏輯高電壓位準且在鎖存器60之輸出端子62即Q輸出端子62上出現邏輯低電壓位準。輸出端子64上之邏輯高電壓位準出現在電晶體66之閘極端子上並開啟電晶體66。因此，輸入端子18C即比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 大致等於電壓 $V_B$ 且電容器68充電至大致等於電壓 $V_B$ 之電壓。由於在時間 $t_1$ 與 $t_2$ 之間電壓 $V_{RPM}$ 低於電壓 $D_{TH}$ ，故比較器50在輸出端子54上產生邏輯低電壓。回應於在時間 $t_3$ 處電壓 $V_{COMP}$ 升高並突破電壓位準 $D_{TH}$ ，比較器52在其輸出端上產生邏輯高電壓，該信號經由輸出端子56輸送至鎖存器60之設定輸入端子。回應於鎖存器60之設定輸入端子上之邏輯高電壓，Q輸出端子62上之信號轉變為邏輯高電壓位準。因此，脈衝信號DUTY\_10轉變為邏輯高電壓位準。如上所述，鎖存器60之Q輸出端子62充當斜坡脈衝調變器18之輸出端子18G且Q輸出端子62上之信號充當傳輸至驅動電路12之輸入端子之脈衝信號DUTY\_10。

回應於在時間 $t_2$ 處電壓 $V_{RPM1}$ 下降且變為低於電壓 $D_{TH}$ ，二極體116開啟，將電壓 $V_{RPM1}$ 鉗位為大致等於電壓 $D_{TH}$ 之電壓。應注意將電壓 $V_{RPM1}$ 鉗位為大致等於電壓 $D_{TH}$ 減去跨

二極體 116 之電壓之電壓位準。

從約時間  $t_2$  至約時間  $t_3$ ，電流源 110 作為電流  $I_T$  源，該電流  $I_T$  使電容器 108 放電。在約時間  $t_3$  處，比較器 52 之反相輸入端上之電壓變為低於其非反向輸入端上之電壓，導致比較器 52 在輸出端 56 上產生邏輯高電壓。回應於邏輯高電壓，鎖存器 60 在輸出端 62 上產生邏輯高電壓，該邏輯高電壓開啟電晶體 106 並導致電壓  $V_{RPM1}$  轉變為電壓位準  $V_T$ 。此外，鎖存器 60 在輸出端 64 上產生邏輯低電壓，該邏輯低電壓關斷電晶體 66。回應於電晶體 66 關斷，電流源 70 作為電流  $I_B$  源，該電流  $I_B$  使電容器 68 充電使得輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  以大約  $I_B/C_{68}$  伏/秒之速率升高。因此，比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  為具有大約  $I_B/C_{68}$  之斜率之斜坡信號。

圖 7 係在不連續導通模式 (DCM) 模式中運作之脈衝斜坡調變器 102 之一時序圖 130。在運作時，輸入信號  $V_{COMP}$ 、 $D_{TH}$ 、 $V_B$ 、 $V_{RPM}$  及  $V_{RPM1}$ 、 $V_T$  分別出現在脈衝斜坡調變器 18 之輸入端子 18A、18B、18D、18C、18E 及 18F 上 (圖 1 及圖 2 所示)。電流源 70 連接在輸入端子 18D 與 18C 之間。回應於電晶體 66 之控制電極上之輸入信號，流動穿過電流源 70 之電流作為電流  $I_B$  源且回應於電流  $I_B$  在比較器 50 之非反相輸入端子即輸入端子 18C 上出現信號  $V_{RPM}$ 。電流源 110 連接在輸入端子 18E 與 18F 之間且回應於電晶體 106 之控制電極上之輸入信號，電流源 110 作為電流  $I_T$  源，該電流  $I_T$  用於在比較器 52 之反相輸入端子即輸入端子 18E 上產生電壓信號

$V_{RPM1}$ 。圖7係繪示信號  $V_{COMP}$ 、 $V_B$ 、 $D_{TH}$ 、 $V_{RPM}$ 、 $V_{RPM1}$ 、 $V_T$ 及脈衝信號  $DUTY_{150}$ 之一時序圖。在時間  $t_0$ 前，在鎖存器60之輸出端子64即  $\bar{Q}$ 輸出端上出現邏輯高電壓位準且在鎖存器60之輸出端子62即  $Q$ 輸出端上出現邏輯低電壓位準。輸出端子64上之邏輯高電壓位準出現在電晶體66之閘極端子上並開啟電晶體66。因此，輸入端子18C即比較器50之非反相輸入端上之電壓  $V_{RPM}$ 大致等於電壓  $V_B$ 且電容器68充電至大致等於電壓  $V_B$ 之電壓。由於在時間  $t_0$ 前電壓  $V_B$ 低於電壓  $V_{COMP}$ ，故比較器50在輸出端子64上產生邏輯低電壓。當時間從時間  $t_0$ 前之一時間接近時間  $t_0$ 時，將電壓  $V_{RPM1}$ 鉗位為電壓位準  $D_{TH}$ 。

回應於在時間  $t_0$ 處電壓  $V_{COMP}$ 升高並突破電壓位準  $D_{TH}$ ，比較器52在其輸出端上產生邏輯高電壓，該信號經由輸出端子56輸送至鎖存器60之設定輸入端子。回應於鎖存器60之設定輸入端上之邏輯高電壓， $Q$ 輸出端子62即輸出端子18G上之信號轉變為邏輯高電壓位準。應注意鎖存器60之 $Q$ 輸出端子62充當斜坡脈衝調變器18之輸出端子18G且 $Q$ 輸出端子62上之信號充當傳輸至驅動電路12之輸入端子之脈衝信號  $DUTY_{150}$ 。

輸出端子62上之邏輯高電壓觸發單穩態觸發器152，該單穩態觸發器152開啟電晶體106達一預定義週期，將輸入端子18E上之電壓  $V_{RPM1}$ 設定為大致等於電壓  $V_T$ 之電壓。應注意假設單穩態觸發器152之持續時間與時間  $t_0$ 與  $t_3$ 之間之時間相比非常短而繪製時序圖130。因此，圖7所示之信號



$V_{RPM1}$  表現為從時間  $t_0$  開始下降。並未針對圖 5 作出此假設。此外，輸出端子 62 上之邏輯高電壓導致鎖存器 60 在輸出端子 64 上產生邏輯低電壓，該邏輯低電壓關斷電晶體 66。電流源 70 作為電流  $I_B$  源，該電流  $I_B$  使電容器 68 充電使得輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  以大約  $I_B/C_{68}$  伏/秒之速率升高。因此，比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  為具有  $I_B/C_{68}$  之斜率之斜坡信號。

在時間  $t_1$  處，電壓  $V_{COMP}$  突破電壓  $V_{RPM}$  之電壓位準且在時間  $t_1$  後變為低於電壓  $V_{RPM}$ 。回應於電壓  $V_{COMP}$  變為低於電壓  $V_{RPM}$  及鎖存器 60 之設定輸入端子上之邏輯低電壓位準，在輸出端子 62 上出現邏輯低電壓位準，該邏輯低電壓位準關斷電晶體 106。電流源 110 作為電流  $I_T$  源，該電流  $I_T$  使電容器 108 充電使得輸入端子 18E 即比較器 52 之反相輸入端子上之電壓  $V_{RPM1}$  以大約  $I_T/C_{108}$  伏/秒之速率下降。因此，比較器 52 之非反相輸入端子上之電壓  $V_{RPM1}$  從大約時間  $t_0$  至大約時間  $t_2$  為斜坡信號，該斜坡信號具有大約  $I_T/C_{108}$  之負斜率，且從大約時間  $t_2$  至大約時間  $t_3$  為大致恆定電壓信號。在時間  $t_1$  處，出現在輸出端子 62 上之脈衝信號 DUTY\_150 轉變為邏輯低電壓位準。脈衝信號 DUTY\_150 為邏輯高電壓之持續時間大致等於電壓  $V_{RPM}$  之斜坡部分之持續時間。脈衝信號 DUTY\_150 為邏輯低電壓之持續時間大致等於電壓  $V_{RPM1}$  之斜坡部分之時間與電壓  $V_{RPM1}$  為電壓位準  $D_{TH}$  之時間之和。

在時間  $t_0$  與  $t_2$  之間，在鎖存器 60 之輸出端子 64 即 Qbar 輸出端子上出現邏輯高電壓位準且在鎖存器 60 之輸出端子 62 即 Q 輸出端子 62 上出現邏輯低電壓位準。輸出端子 64 上之邏輯高電壓位準出現在電晶體 66 之閘極端子上並開啟電晶體 66。因此，輸入端子 18C 即比較器 50 之非反相輸入端子上之電壓  $V_{RPM}$  大致等於電壓  $V_B$  且電容器 68 充電至大致等於電壓  $V_B$  之電壓。由於在  $t_1$  與  $t_2$  之間電壓  $V_{RPM}$  低於電壓  $V_{COMP}$ ，故比較器 50 在輸出端子 54 上產生邏輯低電壓。回應於在時間  $t_3$  處電壓  $V_{COMP}$  升高並突破電壓位準  $D_{TH}$ ，比較器 52 在其輸出端上產生邏輯高電壓，該信號經由輸出端子 56 輸送至鎖存器 60 之設定輸入端子。回應於鎖存器 60 之設定輸入端子上之邏輯高電壓，Q 輸出端子 62 上之信號轉變為邏輯高電壓位準。如上所述，鎖存器 60 之 Q 輸出端子 62 充當斜坡脈衝調變器 18 之輸出端子 18G 且 Q 輸出端子 62 上之信號充當傳輸至驅動電路 12 之輸入端子之脈衝信號 DUTY\_150。

回應於在時間  $t_2$  處電壓  $V_{RPM1}$  下降且變低至電壓  $D_{TH}$ ，二極體 116 開啟，將電壓  $V_{RPM1}$  鉗位為大致等於電壓  $D_{TH}$  之電壓。應注意將電壓  $V_{RPM1}$  鉗位為大致等於電壓  $D_{TH}$  減去跨二極體 116 之電壓之電壓位準。

從約時間  $t_2$  至約時間  $t_3$ ，電流源 110 作為電流  $I_T$  源，該電流  $I_T$  使電容器 108 放電。在約時間  $t_3$  處，比較器 52 之反相輸入端上之電壓變為低於其非反向輸入端上之電壓，導致比較器 52 在輸出端 56 上產生邏輯高電壓。回應於邏輯高電

壓，鎖存器60在輸出端62上產生邏輯高電壓，該邏輯高電壓開啟電晶體106並導致電壓 $V_{RPM1}$ 轉變為電壓位準 $V_T$ 。此外，鎖存器60在輸出端64上產生邏輯低電壓，該邏輯低電壓關斷電晶體66。回應於電晶體66關斷，電流源70作為電流 $I_B$ 源，該電流 $I_B$ 使電容器68充電使得輸入端子18C即比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 以大約 $I_B/C_{68}$ 伏/秒之速率升高。因此，比較器50之非反相輸入端子上之電壓 $V_{RPM}$ 為具有大約 $I_B/C_{68}$ 之斜率之斜坡信號。

回應於在時序圖115(圖3)、120(圖6)、130(圖7)中之時間 $t_1$ 處及在時序圖155(圖5)中之時間 $t_2$ 處電壓 $V_{COMP}$ 變為大致等於信號 $V_{RPM}$ ，信號 $V_{RPM}$ 復位為其最小值。回應於電壓 $V_{COMP}$ 變為大致等於信號 $V_{RPM1}$ ，信號 $V_{RPM}$ 升高且信號 $V_{RPM1}$ 設定為其最大值。這抑制信號 $V_{COMP}$ 再次觸發開啟信號且藉此抑制雙脈衝之產生。

圖8係根據本發明之一實施例之一電壓調節器200之一電路示意圖。與電壓調節器10相同，電壓調節器200包含一驅動電路12、切換裝置14及16、補償電路20、電感器22、加法器21、電流感測電路26、負載電容器28及負載30。電壓調節器200包含恆定導通時間(COT)調變器202而非如圖1所示之脈衝斜坡調變器。恆定導通時間調變器202具有輸入端子202A、202B、202C、202D及202E及一輸出端子202F。類似於圖1所示之斜坡脈衝調變器18，恆定導通時間調變器202經組態以回應於補償信號運作並產生脈衝信號DUTY\_200。因此，電壓調節器200之組態類似於電壓調

節器 10 之組態。

圖 9 係根據本發明之一實施例之恆定導通時間調變器 202 之一電路示意圖。恆定導通時間調變器 202 包括比較器 52，該比較器 52 具有一非反相輸入端子、一反相輸入端子及一輸出端子 56。比較器 52 之反相輸入端子經耦合用於接收恆定導通時間調變信號  $V_{COT1}$  且非反相輸入端子經耦合用於接收補償信號  $V_{COMP}$ 。比較器 52 之非反相輸入端子充當輸入端子 202A。輸出端子 56 連接至鎖存器 60 之設定輸入端子。鎖存器 60 之 Q 輸出端子 62 透過一恆定導通時間回饋網路 204 連接至鎖存器 60 之復位輸入端子。恆定導通時間回饋網路 204 具有一輸入端子 206 及一輸出端子 208，其中輸入端子 206 連接至鎖存器 60 之輸出端子 62。輸出端子 208 連接至鎖存器 60 之復位輸入端子，其中該連接形成輸入端子 202C。舉例而言，恆定導通時間回饋網路 204 可由耦合至一計時器之一單穩態觸發器組成，其中輸入端子 206 充當單穩態觸發器之輸入端子且輸出端子 208 充當計時器之輸出端子。

此外，鎖存器 60 之 Q 輸出端子 62 連接至一電晶體 256，該電晶體 256 具有一控制電極及一對載流電極。舉例而言，控制電極為閘極電極或閘極端子且載流電極包含一源極電極或端子及一汲極電極或端子。電晶體 256 之源極端子通常連接至電容器 258 之一端子及比較器 52 之反相輸入端子以形成可充當輸入端子 202E 之一節點。在比較器 52 之反相輸入端子上出現恆定導通時間調變信號  $V_{COT1}$ 。電晶體 256

之汲極端子連接至電容器258之另一端子以形成可充當輸入端子202D之一節點。一電流源206連接在輸入端子202E與202D之間且一電壓源112連接至輸入端子202D。電晶體256、電容器258及電流源260可稱作斜坡產生電路261。二極體262具有連接至輸入端子202E之一陰極及充當輸入端子202B之一陽極。一電壓源114耦合至輸入端子202B。電壓源112提供電壓 $V_T$ 且電壓源114提供電壓 $D_{TH}$ 。

鎖存器60之輸出端子62、恆定導通時間回饋網路204之輸入端子206及電晶體256之閘極電極形成輸出端子202F，該輸出端子202F連接至驅動電路12之輸入端子(圖8所示)。

在運作時，輸入信號 $V_{COMP}$ 耦合至輸入端子202A且電壓 $V_{COT1}$ 形成在恆定導通時間調變器202之端子202E上(圖8及圖9所示)。圖10係一時序圖212，其繪示信號 $V_{COMP}$ 、 $D_{TH}$ 、出現在輸入端子202C上之脈衝信號 $COT_{CLK}$ 、出現在輸入端子202E上之信號 $V_{COT1}$ 及出現在輸出端子202F上之脈衝信號 $DUTY_{200}$ 。現參考圖9及圖10，在時間 $t_0$ 前，電壓 $V_{COMP}$ 低於電壓 $V_{COT1}$ ；電壓 $V_{COT1}$ 接近電壓位準 $D_{TH}$ ；且輸出端62上的電壓為邏輯低電壓位準。因此，電晶體256關斷。回應於在時間 $t_0$ 處補償信號 $V_{COMP}$ 大致等於電壓 $D_{TH}$ ，比較器52在輸出端56上產生邏輯高電壓，藉由鎖存器60將該邏輯高電壓鎖存至輸出端62。因此，脈衝信號 $DUTY_{200}$ 轉變為邏輯高電壓位準。輸出端62上之邏輯高電壓出現在電晶體256之閘極電極上並開啟電晶體256，導

致電壓  $V_{COT1}$  轉變為電壓位準  $V_T$ 。

在約時間  $t_1$  處，輸出端 62 上之邏輯高電壓觸發恆定導通時間調變器 204 之單穩態觸發器，該單穩態觸發器產生脈衝信號  $COT_{CLK}$ 。回應於輸入端 202C 上之脈衝信號  $COT_{CLK}$ ，鎖存器 60 在輸出端 62 上產生邏輯低輸出信號。輸出端 62 上之邏輯低輸出電壓關斷電晶體 256。電流源 260 作為電流  $I_T$  源，該電流  $I_T$  使電容器 258 充電使得輸入端子 202E 即比較器 52 之反相輸入端子上之電壓  $V_{COT1}$  以大約  $I_T/C_{258}$  伏/秒之速率下降。因此，比較器 52 之非反相輸入端子上之電壓  $V_{COT1}$  從大約時間  $t_0$  至大約時間  $t_1$  為大致恆定電壓且從大約時間  $t_1$  至大約時間  $t_2$  為斜坡信號，該斜坡信號具有  $I_T/C_{258}$  之負斜率，其中  $I_T$  為源自電流源 260 之電流且  $C_{258}$  為電容器 258 之電容值。在時間  $t_1$  處，出現在輸出端子 62 上之脈衝信號 DUTY\_200 轉變為邏輯低電壓位準。脈衝信號 DUTY\_200 為邏輯高電壓之持續時間大致等於電壓  $V_{COT1}$  之恆定電壓部分之持續時間。為邏輯低電壓之脈衝信號 DUTY\_200 之持續時間大致等於電壓  $V_{COT1}$  之斜坡部分。

應注意假設單穩態觸發器之持續時間與時間  $t_0$  與  $t_2$  之間之時間相比非常短而繪製時序圖 212。因此，圖 10 所示之信號  $V_{COT1}$  表現為從時間  $t_1$  開始下降。

在時間  $t_2$  處且回應於補償信號  $V_{COMP}$  大致等於電壓  $D_{TH}$ ，比較器 52 在輸出端 56 上產生邏輯高電壓，藉由鎖存器 60 將該邏輯高電壓鎖存至輸出端 62。因此，脈衝信號 DUTY\_200 轉變為邏輯高電壓位準。輸出端 62 上之邏輯高

電壓出現在電晶體 256 之閘極電極上並開啟電晶體 256，導致電壓  $V_{COT1}$  轉變為電壓位準  $V_T$ 。

在約時間  $t_3$  處，輸出端 62 上之邏輯高電壓觸發恆定導通時間調變器 204 之單穩態觸發器，該單穩態觸發器產生脈衝信號  $COT_{CLK}$ 。回應於輸入端 202C 上之脈衝信號  $COT_{CLK}$ ，鎖存器 60 在輸出端 62 上產生邏輯低輸出信號。輸出端 62 上之邏輯低輸出電壓關斷電晶體 256。電流源 260 作為電流  $I_T$  源，該電流  $I_T$  使電容器 258 充電使得輸入端子 202E 即比較器 52 之反相輸入端子上之電壓  $V_{COT1}$  以大約  $I_T/C_{258}$  伏/秒之速率下降。因此，比較器 52 之非反相輸入端子上之電壓  $V_{COT1}$  從大約時間  $t_2$  至大約時間  $t_3$  為大致恆定電壓且從大約時間  $t_3$  至大約時間  $t_4$  為斜坡信號，該斜坡信號具有  $I_T/C_{258}$  之負斜率。在時間  $t_3$  處，出現在輸出端子 62 上之脈衝信號  $DUTY_{200}$  轉變為邏輯低電壓位準。脈衝信號  $DUTY_{200}$  為邏輯高電壓之持續時間大致等於電壓  $V_{COT1}$  之恆定電壓部分之持續時間。為邏輯低電壓之脈衝信號  $DUTY_{200}$  之持續時間大致等於電壓  $V_{COT1}$  之斜坡部分。

在時間  $t_4$  處且回應於補償信號  $V_{COMP}$  大致等於電壓  $D_{TH}$ ，比較器 52 在輸出端 56 上產生邏輯高電壓，藉由鎖存器 60 將該邏輯高電壓鎖存至輸出端 62。因此，脈衝信號  $DUTY_{200}$  轉變為邏輯高電壓位準。輸出端 62 上之邏輯高電壓出現在電晶體 256 之閘極電極上並開啟電晶體 256，導致電壓  $V_{COT1}$  轉變為電壓位準  $V_T$ 。

圖 11 係根據本發明之一實施例之恆定導通時間調變器

300之一電路示意圖。應注意恆定導通時間調變器300之輸入/輸出組態可與恆定導通時間調變器202之輸入/輸出組態相同。因此，可藉由恆定導通時間調變器300取代恆定導通時間調變器202。亦應注意參考圖8描述之電壓調節器200之運作亦可應用於恆定導通時間調變器300取代恆定導通時間調變器202之實施例。如參考圖9所述，恆定導通時間調變器300包括比較器52、鎖存器60、恆定導通時間調節器204、電晶體256、電容器258及二極體262。此外，恆定導通時間調變器300包含連接在輸出端子62與電晶體256之閘極之間之一單穩態觸發器302。

一電壓源112連接至輸入端子202D；一電壓源114連接至輸入端子202B；且一電流源260連接在輸入端子202E與202D之間。

輸出端子202F連接至驅動電路12之輸入端子(圖4所示)。

在運作時，輸入信號 $V_{COMP}$ 耦合至輸入端子202A且電壓 $V_{COT2}$ 形成在恆定導通時間調變器202之端子202E上(圖8及圖11所示)。圖12係一時序圖300，其繪示信號 $V_{COMP}$ 、 $D_{TH}$ 、出現在輸入端子202C上之脈衝信號 $COT_{CLK}$ 、出現在輸入端子202E上之斜坡信號 $V_{COT2}$ 及出現在輸出端子202F上之脈衝信號 $DUTY_{300}$ 。現參考圖11及圖12，在時間 $t_0$ 前，電壓 $V_{COMP}$ 低於電壓 $V_{COT2}$ ，電壓 $V_{COT2}$ 接近電壓位準 $D_{TH}$ 且輸出端62上的電壓為邏輯低電壓位準。因此，電晶體256關斷。回應於在時間 $t_0$ 處補償信號 $V_{COMP}$ 大致等於電



壓  $D_{TH}$ ，比較器 52 在輸出端 56 上產生邏輯高電壓，藉由鎖存器 60 將該邏輯高電壓鎖存至輸出端 62。因此，脈衝信號  $DUTY\_300$  轉變為邏輯高電壓位準。

輸出端子 62 上之邏輯高電壓位準出現在單穩態觸發器 302 之輸入端子上並觸發單穩態觸發器 302。因此，在電晶體 256 之控制電極上出現邏輯高電壓，開啟電晶體 256，該電晶體 256 將輸入節點 202E 上之電壓  $V_{COT2}$  設定為大致等於電壓  $V_T$  之電壓。

單穩態觸發器 302 在電晶體 106 之控制電極上形成邏輯高電壓達一固定時間週期。此固定時間週期在時間  $t_1$  處結束。因此，在時間  $t_1$  處，單穩態觸發器 302 回復至其穩定狀態，關斷電晶體 106。電流源 260 作為電流  $I_T$  源，該電流  $I_T$  使電容器 258 充電使得輸入端子 202E 即比較器 52 之反相輸入端子上之電壓以大約  $I_T/C_{258}$  伏/秒之速率降低。因此，比較器 52 之非反相輸入端子上之電壓  $V_{COT1}$  從大約時間  $t_0$  至大約時間  $t_1$  為大致恆定電壓且從大約時間  $t_1$  至大約時間  $t_3$  為斜坡信號且具有  $I_T/C_{108}$  之負斜率。

在約時間  $t_2$  處，輸出端 62 上之邏輯高電壓觸發恆定導通時間調變器 204 之單穩態觸發器，該單穩態觸發器產生脈衝信號  $COT_{CLK}$ 。回應於輸入端 202C 上之脈衝信號  $COT_{CLK}$ ，鎖存器 60 在輸出端 62 上產生邏輯低輸出信號。因此，在時間  $t_2$  處，脈衝信號  $DUTY\_300$  轉變為邏輯低電壓位準。比較器 52 之非反相輸入端子上之電壓  $V_{COT2}$  從大約時間  $t_0$  至大約時間  $t_1$  為大致恆定電壓且從大約時間  $t_1$  至大約

時間 $t_3$ 為斜坡信號，該斜坡信號具有 $I_T/C_{258}$ 之負斜率。

回應於在時間 $t_3$ 處補償信號 $V_{COMP}$ 大致等於電壓 $D_{TH}$ ，比較器52在輸出端56上產生邏輯高電壓，藉由鎖存器60將該邏輯高電壓鎖存至輸出端62。因此，脈衝信號DUTY\_300轉變為邏輯高電壓位準。

輸出端子62上之邏輯高電壓位準出現在單穩態觸發器302之輸入端子上並觸發單穩態觸發器302。因此，在電晶體256之控制電極上出現邏輯高電壓，開啟電晶體256，該電晶體256將輸入節點202E上之電壓 $V_{COT2}$ 設定為大致等於電壓 $V_T$ 之電壓。

單穩態觸發器302在電晶體106之控制電極上形成邏輯高電壓達一固定時間週期。此固定時間週期在時間 $t_4$ 處結束。因此，在時間 $t_4$ 處，單穩態觸發器302回復至其穩定狀態，關斷電晶體106。電流源260作為電流 $I_T$ 源，該電流 $I_T$ 使電容器258充電使得輸入端子202E即比較器52之反相輸入端子上之電壓以大約 $I_T/C_{258}$ 伏/秒之速率降低。因此，比較器52之非反相輸入端子上之電壓 $V_{COT2}$ 從大約時間 $t_3$ 至大約時間 $t_4$ 為大致恆定電壓且從大約時間 $t_1$ 至大約時間 $t_4$ 為斜坡信號且具有 $I_T/C_{108}$ 之負斜率。

在約時間 $t_5$ 處，輸出端62上之邏輯高電壓觸發恆定導通時間調變器204之單穩態觸發器，該單穩態觸發器產生脈衝信號 $COT_{CLK}$ 。回應於輸入端202C上之脈衝信號 $COT_{CLK}$ ，鎖存器60在輸出端62上產生邏輯低輸出信號。因此，在時間 $t_5$ 處，脈衝信號DUTY\_300轉變為邏輯低電壓

位準。比較器 52 之非反相輸入端子上之電壓  $V_{COT2}$  從大約時間  $t_3$  至大約時間  $t_4$  為大致恆定電壓且從大約時間  $t_4$  至大約時間  $t_6$  為斜坡信號，該斜坡信號具有  $I_T/C_{258}$  之負斜率。

回應於在時間  $t_6$  處補償信號  $V_{COMP}$  大致等於電壓  $D_{TH}$ ，比較器 52 在輸出端 56 上產生邏輯高電壓，藉由鎖存器 60 將該邏輯高電壓鎖存至輸出端 62。因此，脈衝信號 DUTY\_300 轉變為邏輯高電壓位準。

輸出端子 62 上之邏輯高電壓位準出現在單穩態觸發器 302 之輸入端子上並觸發單穩態觸發器 302。因此，在電晶體 256 之控制電極上出現邏輯高電壓，開啟電晶體 256，該電晶體 256 將輸入節點 202E 上之電壓  $V_{COT2}$  設定為大致等於電壓  $V_T$  之電壓。

單穩態觸發器 302 在電晶體 106 之控制電極上形成邏輯高電壓達一固定時間週期。此固定時間週期在時間  $t_7$  處結束。因此，在時間  $t_7$  處，單穩態觸發器 302 回復至其穩定狀態，關斷電晶體 106。電流源 260 作為電流  $I_T$  源，該電流  $I_T$  使電容器 258 充電使得輸入端子 202E 即比較器 52 之反相輸入端子上之電壓以大約  $I_T/C_{258}$  伏/秒之速率降低。因此，比較器 52 之非反相輸入端子上之電壓  $V_{COT2}$  從大約時間  $t_6$  至大約時間  $t_7$  為大致恆定電壓且從大約時間  $t_7$  開始為斜坡信號。

圖 13 係在不連續導通模式 (DCM) 中運作之脈衝斜坡調變器 202 之一時序圖 350。該運作類似於參考圖 9 及圖 10 描述之恆定導通時間調變器 202 之運作，除在時序圖 350 中之時

間  $t_2$  處二極體 262 開啟並將信號  $V_{COT2}$  鉗位為電壓位準  $D_{TH}$  外。回應於於信號， $V_{COT2}$  變為低於電壓  $D_{TH}$ 。應瞭解可將信號  $V_{COT2}$  鉗位為大致等於低於電壓  $D_{TH}$  之二極體電壓降之電壓。類似於圖 10 之時序圖 212 中所示之運作，回應於在時間  $t_2$  處補償信號  $V_{COMP}$  大致等於電壓  $D_{TH}$ ，比較器 52 在輸出端 56 上產生邏輯高電壓，藉由鎖存器 60 將該邏輯高電壓鎖存至輸出端 62。因此，脈衝信號  $DUTY\_200$  轉變為邏輯高電壓位準。輸出端 62 上之邏輯高電壓出現在電晶體 256 之閘極電極上並開啟電晶體 256，導致電壓  $V_{COT1}$  轉變為電壓位準  $V_T$ 。

圖 14 係在不連續導通模式 (DCM) 中運作之脈衝斜坡調變器 300 之一時序圖 400。該運作類似於參考圖 11 及圖 12 描述之脈衝斜坡調變器 300 之運作，除回應於脈衝信號  $DUTY\_300$  轉變為邏輯高狀態，信號  $V_{COT2}$  轉變為電壓位準  $V_T$  且開始以  $I_T/C_{258}$  伏/秒之速率下降外。應注意假設單穩態觸發器 302 之持續時間與時間  $t_0$  與  $t_3$  之間之時間相比非常短而繪製時序圖 400。因此，圖 14 所示之信號  $V_{COT2}$  表現為從時間  $t_0$  處開始下降。

到此應瞭解已提供一種切換電源供應器控制器及一種控制切換電源供應器之方法。根據本發明之實施例之優點在於其等減輕由切換電源供應器內之信號延遲及相位滯後產生之穩定性問題。此外，其等減輕系統內之分諧波振蕩之效果。另一優點在於在輕負載條件下切換電源供應器可在較低切換頻率下運作。

雖然本文中已揭示特定實施例，但是本發明不旨在受限於所揭示之實施例。熟習此項技術者瞭解可進行變更及變化而不脫離本發明之精神。本發明旨在涵蓋處於隨附申請專利範圍之範圍內之所有此等變更及變化。

### 【圖式簡單說明】

圖1係根據本發明之一實施例之包含一斜坡脈衝調變級之一轉換器之一電路示意圖；

圖2係根據本發明之一實施例之一斜坡脈衝調變級之一電路示意圖；

圖3係根據本發明之一實施例之圖2之斜坡脈衝調變級之電路參數之一時序圖；

圖4係根據本發明之一實施例之一斜坡脈衝調變級之一電路示意圖；

圖5係根據本發明之一實施例之圖4之斜坡脈衝調變級之電路參數之一時序圖；

圖6係根據本發明之一實施例之圖2之斜坡脈衝調變級之電路參數之一時序圖；

圖7係根據本發明之一實施例之圖4之斜坡脈衝調變級之電路參數之一時序圖；

圖8係根據本發明之一實施例之包含一恆定導通時間調變級之一轉換器之一電路示意圖；

圖9係根據本發明之一實施例之一恆定導通時間調變級之一電路示意圖；

圖10係根據本發明之一實施例之圖9之恆定導通時間

調變級之電路參數之一時序圖；

圖 11 係根據本發明之一實施例之一恆定導通時間調變級之一電路示意圖；

圖 12 係根據本發明之一實施例之圖 11 之恆定導通時間調變級之電路參數之一時序圖；

圖 13 係根據本發明之一實施例之圖 9 之恆定導通時間調變級之電路參數之一時序圖；及

圖 14 係根據本發明之一實施例之圖 11 之恆定導通時間調變級之電路參數之一時序圖。

**【主要元件符號說明】**

10	電壓調節器
12	閘極驅動電路
12A	輸出端子
12B	輸出端子
14	切換裝置
16	切換裝置
18	斜坡脈衝調變器
18A	輸入端子
18B	輸入端子
18C	輸入端子
18D	輸入端子
18E	輸入端子
18F	輸入端子
18G	輸出端子

20	補償電路
21	加法器
22	電感器
24	本體二極體
25	節點
26	本體二極體/電流感測電路
28	輸出電容器
30	負載
32	輸出端子/節點
50	比較器
52	比較器
54	輸出端子
56	輸出端子
60	鎖存器
62	輸出端子
64	輸出端子
66	電晶體
68	電容器
70	電流源
71	斜坡產生電路
72	電壓源
106	電晶體
108	電容器
110	電流源

112	電壓源
113	斜坡產生電路
114	電壓源
115	時序圖
116	二極體
120	時序圖
130	時序圖
150	斜坡脈衝調變電路
152	單穩態觸發器
155	時序圖
200	電壓調節器
202	恆定導通時間調變器
202A	輸入端子
202B	輸入端子
202C	輸入端子
202D	輸入端子
202E	輸入端子
202F	輸出端子
204	恆定導通時間回饋網路
206	輸入端子
208	輸出端子
212	時序圖
256	電晶體
258	電容器



260	電流源
261	斜坡產生電路
262	二極體
300	恆定導通時間調變器
302	單穩態觸發器
350	時序圖
400	時序圖

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：101103417

※申請日：101.2.2

※IPC 分類：H03K 4/48 (2006.01)  
H03K 3/033 (2006.01)

## 一、發明名稱：(中文/英文)

產生信號之方法及其結構

METHOD FOR GENERATING A SIGNAL AND STRUCTURE  
THEREFOR

## 二、中文發明摘要：

根據一實施例，一調變器包含一比較器及斜坡產生電路。回應於將一第一輸入信號與一補償信號作比較而產生一第一比較信號。回應於將一第二輸入信號與該補償信號作比較而產生一第二比較信號。回應於該第一比較信號而產生一第一鎖存信號，且回應於該第二比較信號而產生一第二鎖存信號。

## 三、英文發明摘要：

In accordance with an embodiment, a modulator includes a comparator and ramp generating circuitry. A first comparison signal is generated in response to comparing a first input signal with a compensation signal. A second comparison signal is generated in response to comparing a second input signal with the compensation signal. A first latch signal is generated in response to the first comparison signal and a second latch signal is generated in response to the second comparison signal.

## 七、申請專利範圍：

1. 一種用於控制一切換電源供應器之方法，其包括：

產生一補償信號；

回應於將該補償信號與一第一信號作比較而產生一第一比較信號，該第一信號具有一斜坡部分及一大致恆定部分；

回應於將該補償信號與一第二信號作比較而產生一第二比較信號，該第二信號具有一斜坡部分及一大致恆定部分；及

根據該第一比較信號及該第二比較信號產生一脈衝信號。

2. 如請求項1之方法，其中產生該補償信號包括：

感測一電流；

回應於已感測到之該電流而產生一第一電壓信號；

產生一第二電壓信號；

藉由將該第一電壓信號與該第二電壓信號加總而產生一加總信號；及

回應於將該加總信號與一第三電壓信號作比較而產生該補償信號。

3. 如請求項1之方法，其中該第一信號之該斜坡部分具有一正斜率且該第二信號之該斜坡部分具有一負斜率，且該方法進一步包含：

回應於該補償信號等於或超過一第一電壓而產生該第一信號之該斜坡部分；及

回應於該補償信號變為至少等於該第一信號之該斜坡部分而產生該第二信號之該斜坡部分。

4. 如請求項1之方法，其進一步包含回應於該第二信號下降至等於或低於該第一電壓位準之一電壓而將該第二信號鉗位為一第一電壓位準及回應於該脈衝信號轉變為一邏輯低電壓位準而產生該第二信號之該斜坡部分，且其中產生該第二信號之該斜坡部分包括：

關斷一第一電晶體；及

使一第一電容器充電，且其中產生該第一信號之該斜坡部分包括：

關斷一第二電晶體；及

使一第二電容器充電。

5. 一種用於控制一切換電源供應器之方法，其包括：

產生一補償信號；

回應於將該補償信號與一第一信號作比較而在一鎖存器之一第一輸入端上產生一比較信號，該第一信號具有一斜坡部分及一第一大致恆定部分；

在該鎖存器之一第二輸入端上產生一脈衝信號；及

回應於該脈衝信號而產生該第一信號之該斜坡部分。

6. 如請求項5之方法，其進一步包含藉由下列步驟產生該第一信號之該斜坡部分：

關斷一電晶體；及

使一電容器充電；

回應於該比較信號而藉由將該第一信號鉗位為一第一

位準來產生該第一信號之該第一大致恆定部分；及

回應於觸發一單穩態觸發器而產生該第一信號之該斜坡部分。

7. 一種切換電源供應器控制器，其包括：

一第一比較器，其具有第一輸入端及第二輸入端及一輸出端；

一第一斜坡產生電路，其具有第一輸入端及第二輸入端及一輸出端，該輸出端耦合至該第一比較器之該第一輸入端；

一第二比較器，其具有第一輸入端及第二輸入端及一輸出端，該第二比較器之該第一輸入端耦合至該第一比較器之該第二輸入端；

一第二斜坡產生電路，其具有第一輸入端及第二輸入端及一輸出端，該輸出端耦合至該第二比較器之該第二輸入端；及

一鎖存器，其具有第一輸入端及第二輸入端及一第一輸出端，該第一斜坡產生電路之該輸出端耦合至該鎖存器之該第一輸入端，且該第二斜坡產生電路之該輸出端耦合至該鎖存器之該第二輸入端。

8. 如請求項7之切換電源供應器控制器，其中該第一斜坡產生電路包括：

一第一電晶體，其具有一控制電極及第一載流電極及第二載流電極；

一第一電容器，其具有分別耦合至該第一電晶體之該

第一載流電極及該第二載流電極之第一端子及第二端子；及

一第一電流源，其具有耦合至該第一電晶體之該第一載流電極及該第二載流電極之第一載流電極及第二載流電極。

9. 一種切換電源供應器控制器，其包括：

一比較器，其具有第一輸入端及第二輸入端及一輸出端；

一斜坡產生電路，其具有第一輸入端及第二輸入端及一輸出端，該斜坡產生電路之該輸出端耦合至該比較器之該第一輸入端；

一鎖存器，其具有第一輸入端及第二輸入端及一第一輸出端，該斜坡產生電路之該輸出端耦合至該鎖存器之該第一輸入端；及

一恆定導通時間回饋網路，其具有耦合至該鎖存器之該第一輸出端之一輸入端及耦合至該鎖存器之該第二輸入端之一輸出端。

10. 如請求項9之切換電源供應器控制器，其進一步包含一單穩態觸發器，該單穩態觸發器耦合在該鎖存器之該第一輸出端與該斜坡產生電路之該第一輸入端之間，且其中該斜坡產生電路包括：

一電晶體，其具有一控制電極及第一載流電極及第二載流電極；

一電容器，其具有分別耦合至該電晶體之該第一載流

電極及該第二載流電極之第一端子及第二端子；及  
一電流源，其具有耦合至該電晶體之該第一載流電極  
及該第二載流電極之第一載流電極及第二載流電極。

八、圖式：

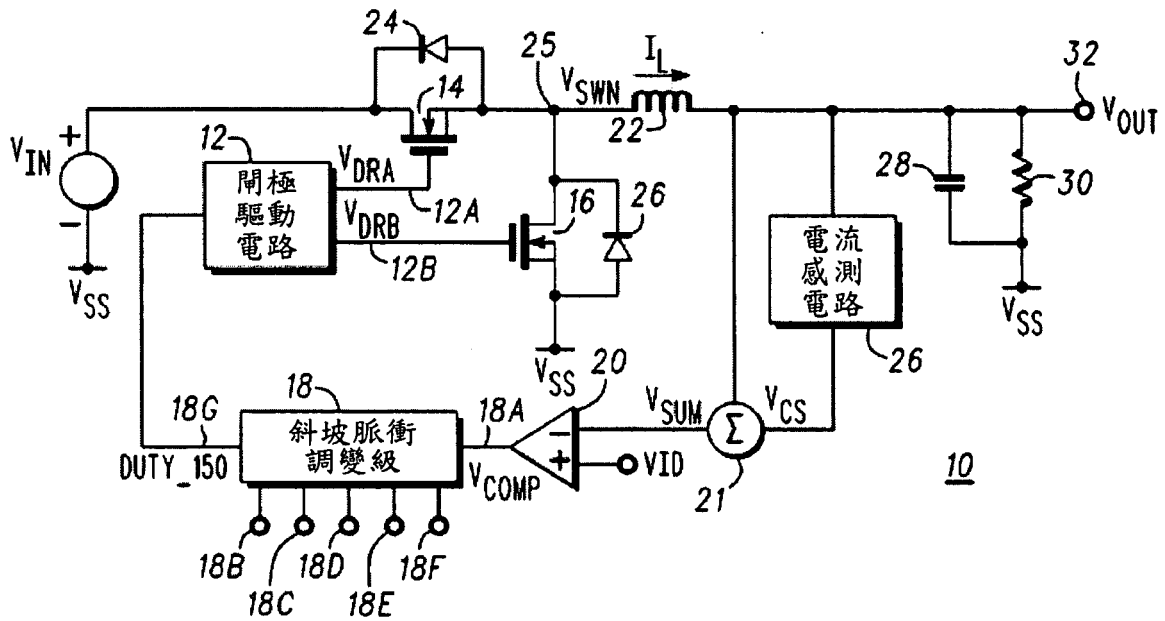


圖 1

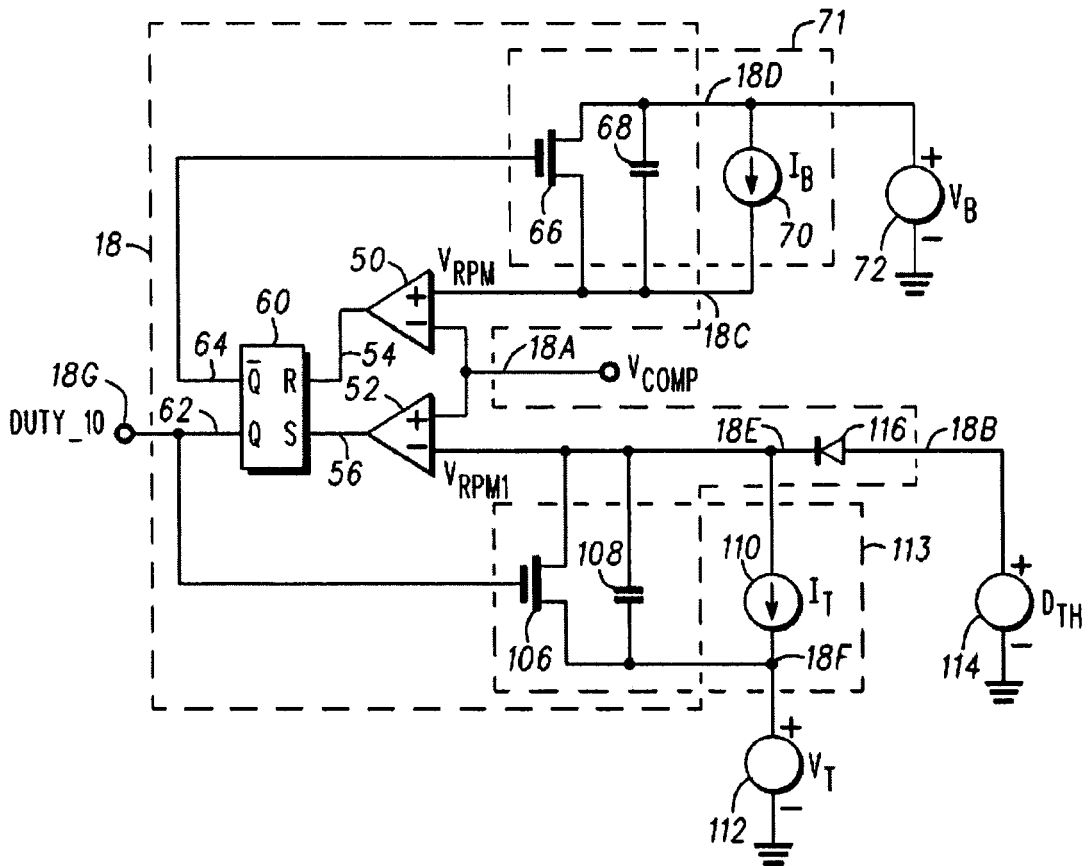


圖 2



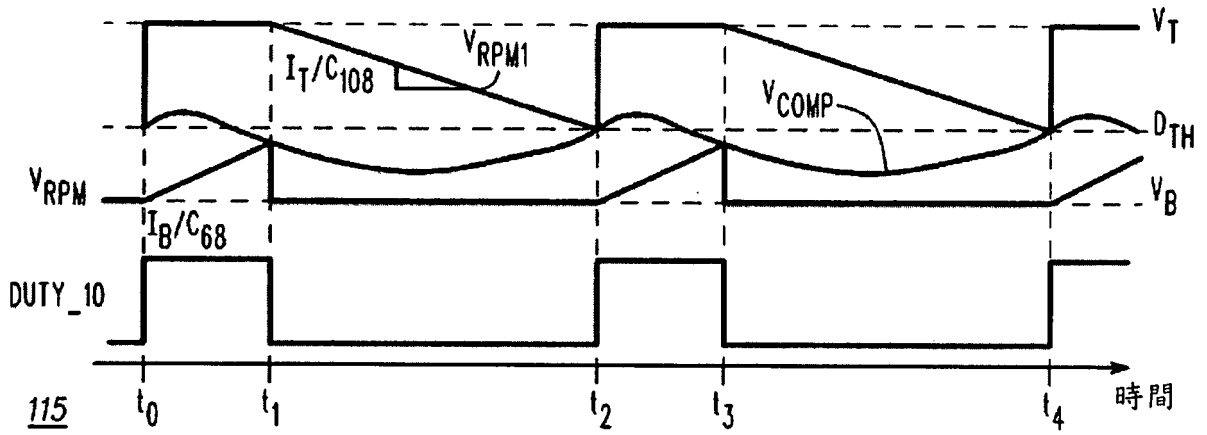


圖 3

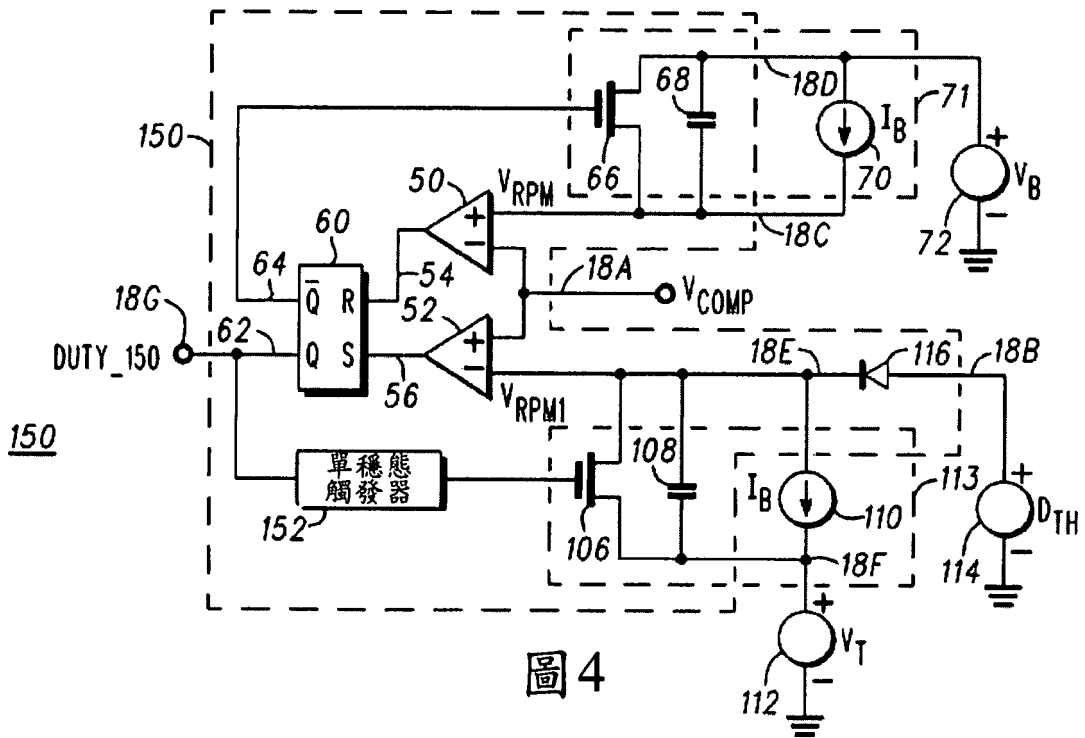


圖 4

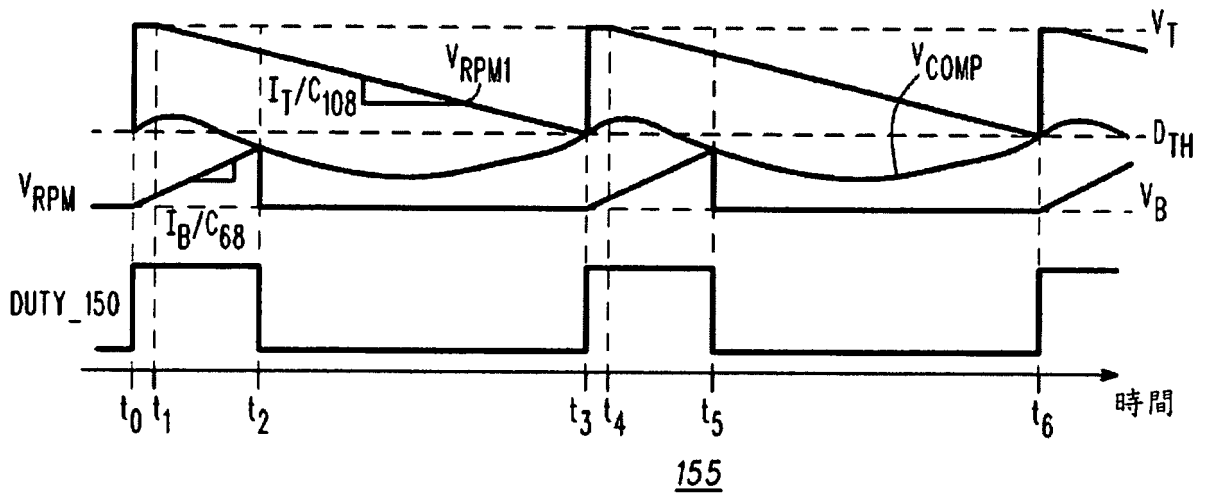


圖 5

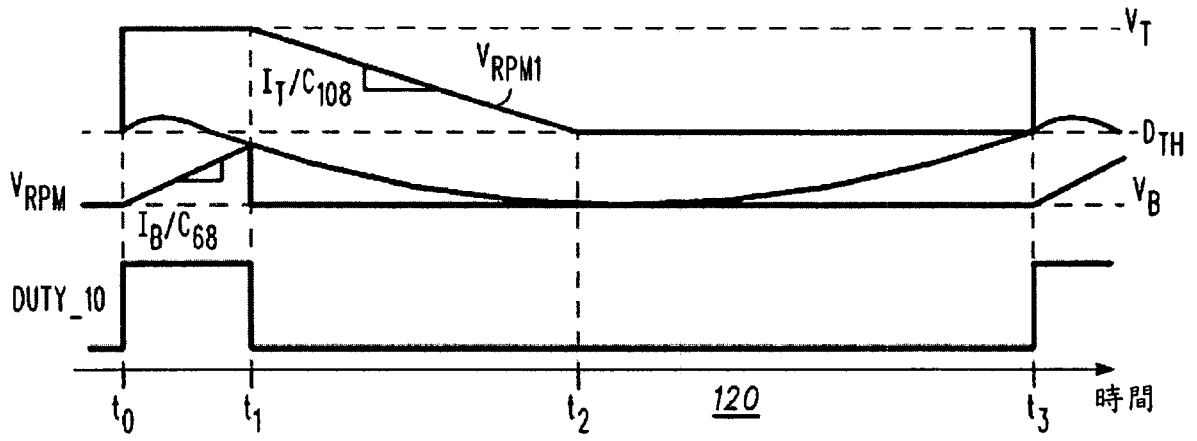


圖 6

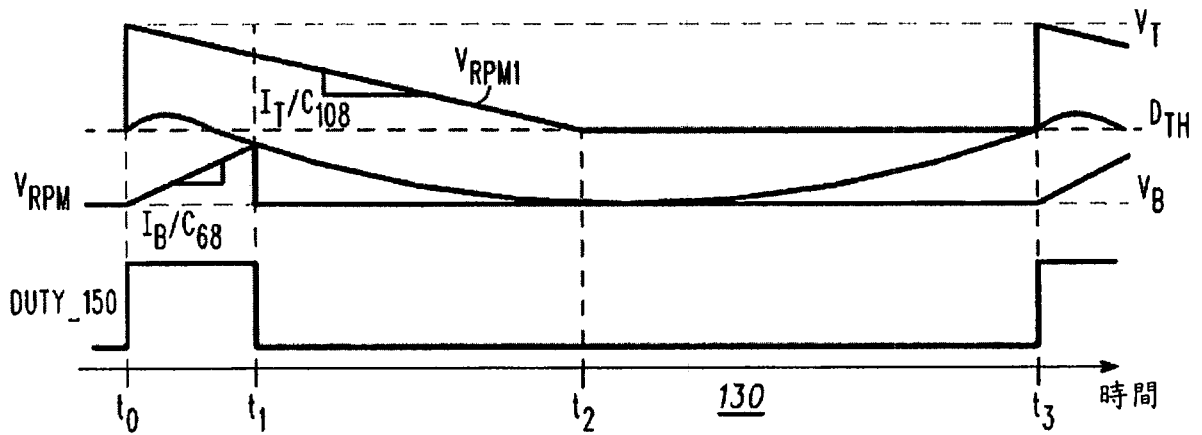


圖 7

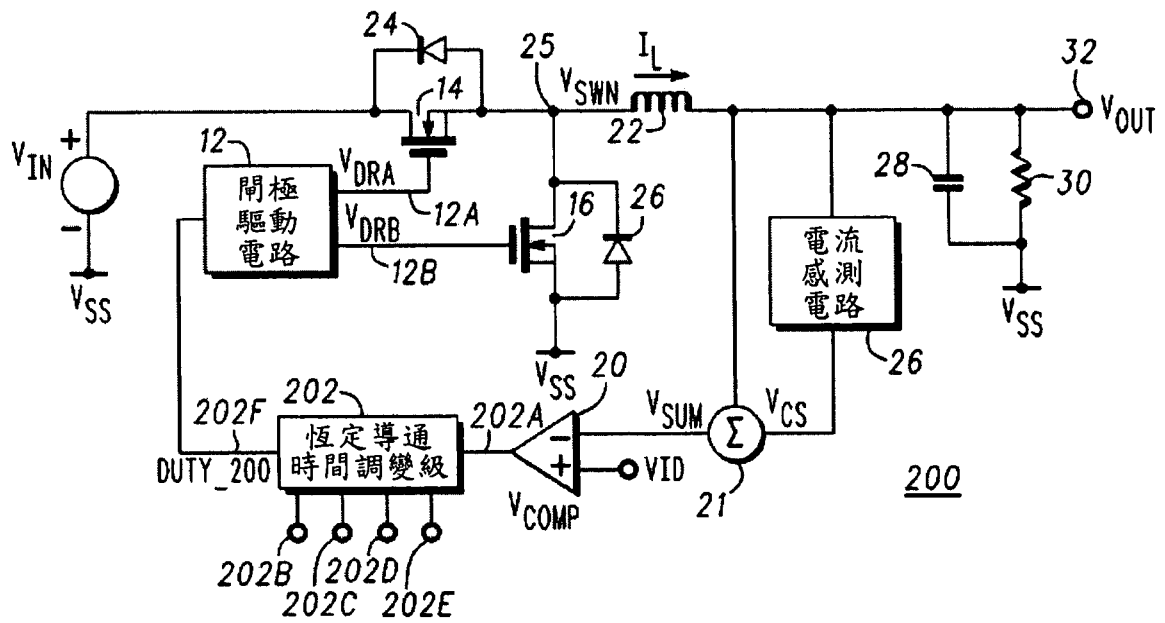
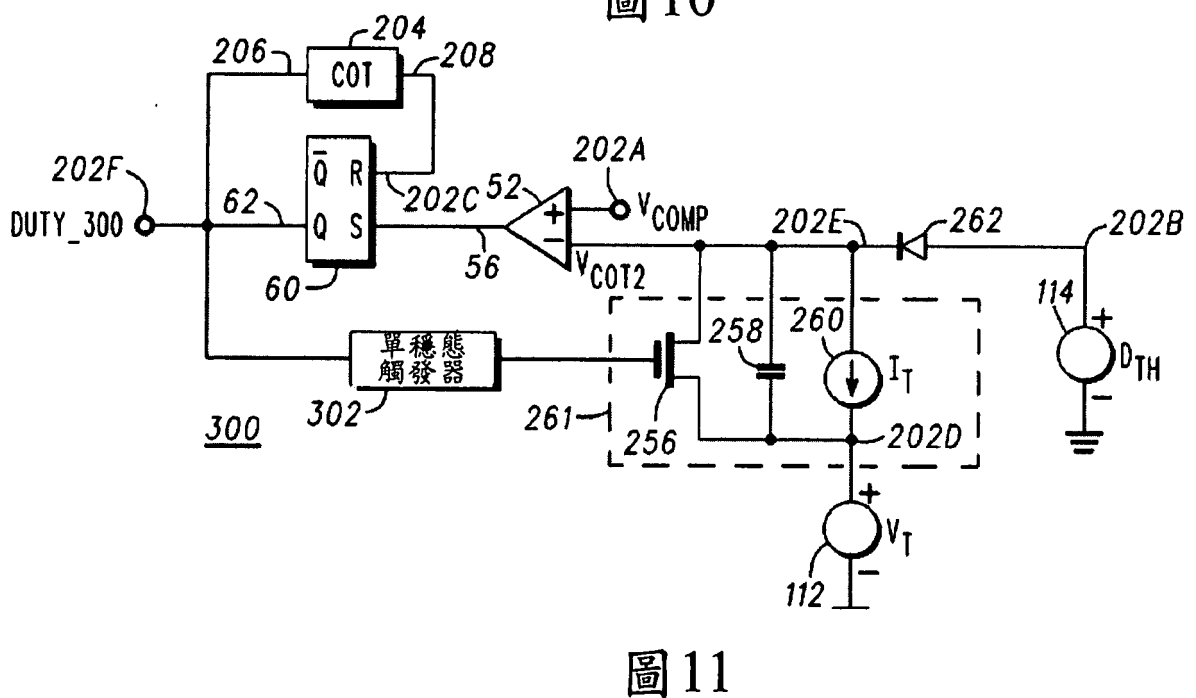
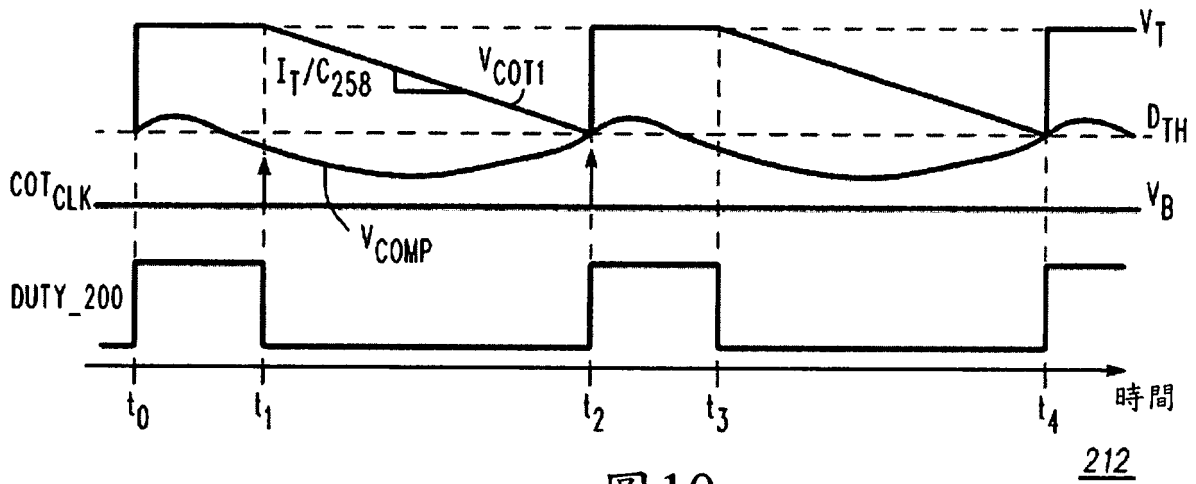
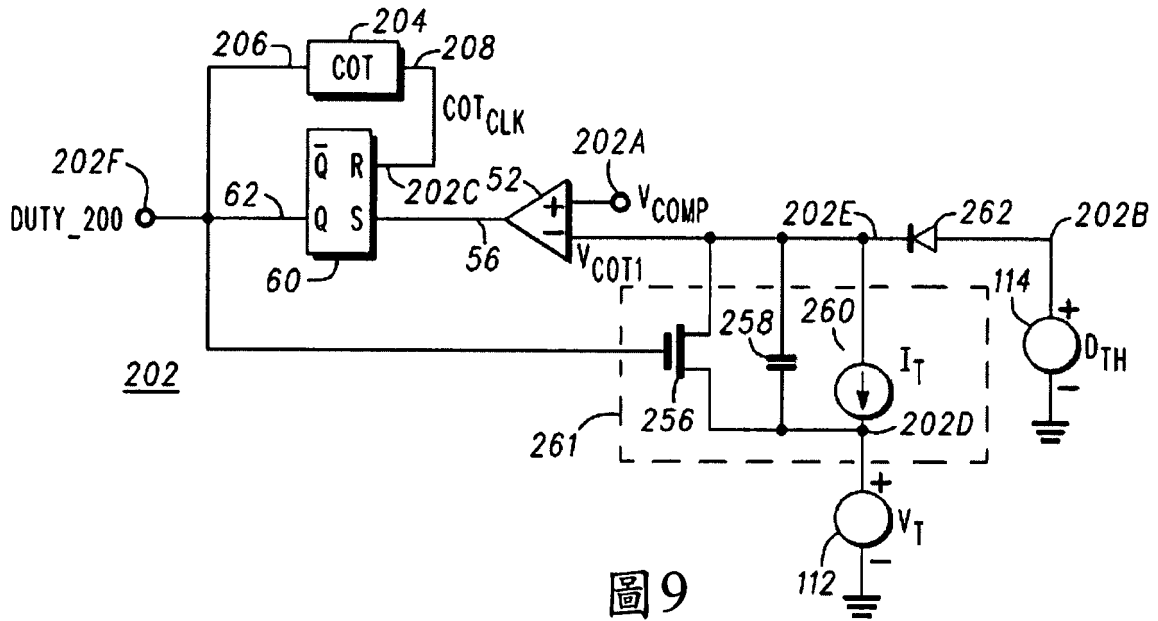


圖 8



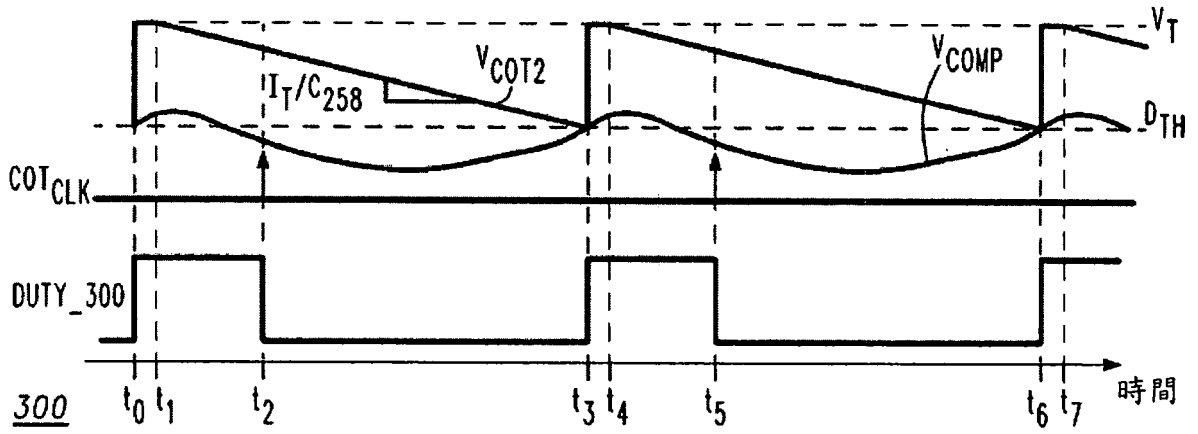


圖 12

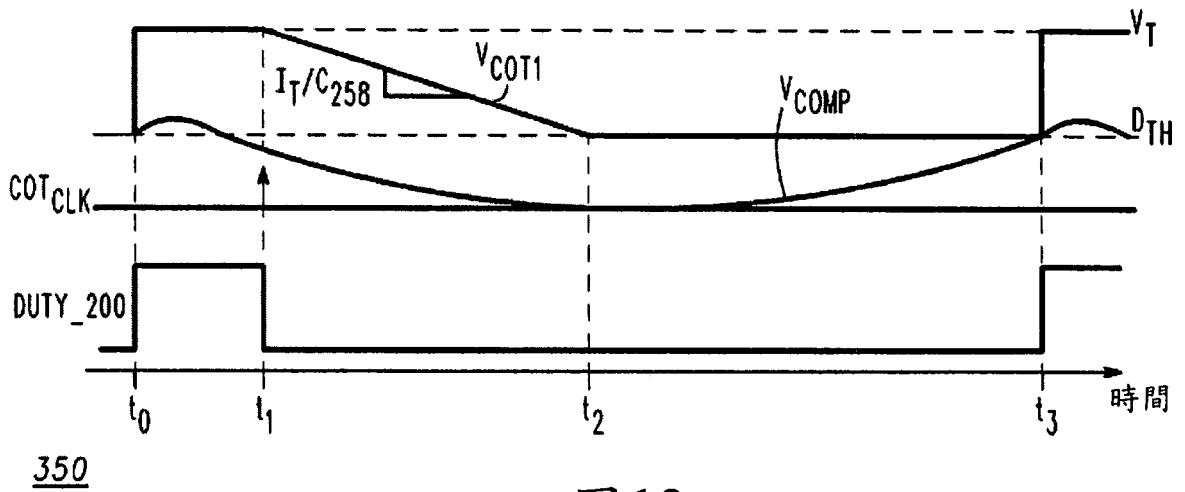


圖 13

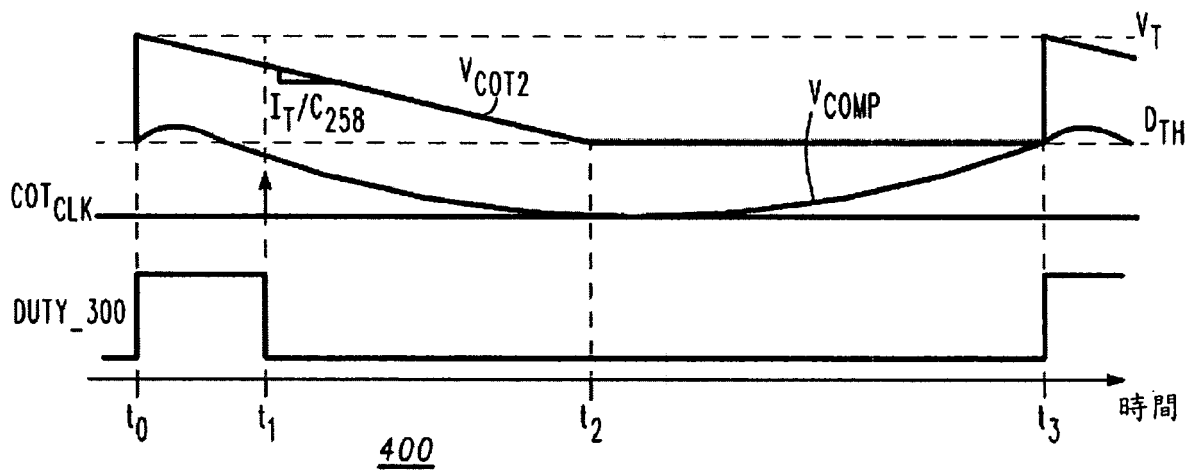


圖 14

#### 四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	電壓調節器
12	閘極驅動電路
12A	輸出端子
12B	輸出端子
14	切換裝置
16	切換裝置
18	斜坡脈衝調變器
18A	輸入端子
18B	輸入端子
18C	輸入端子
18D	輸入端子
18E	輸入端子
18F	輸入端子
18G	輸出端子
20	補償電路
21	加法器
22	電感器
24	本體二極體
25	節點
26	本體二極體/電流感測電路
28	輸出電容器

30	負載
32	輸出端子/節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)