

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6744609号
(P6744609)

(45) 発行日 令和2年8月26日(2020.8.26)

(24) 登録日 令和2年8月4日(2020.8.4)

(51) Int.Cl.	F I
HO 1 L 35/32 (2006.01)	HO 1 L 35/32 A
HO 1 L 35/24 (2006.01)	HO 1 L 35/24
HO 1 L 35/14 (2006.01)	HO 1 L 35/14
HO 1 L 41/113 (2006.01)	HO 1 L 41/113
HO 1 L 41/193 (2006.01)	HO 1 L 41/193

請求項の数 3 (全 35 頁) 最終頁に続く

(21) 出願番号	特願2017-545507 (P2017-545507)	(73) 特許権者	000125370
(86) (22) 出願日	平成28年10月14日(2016.10.14)		学校法人東京理科大学
(86) 国際出願番号	PCT/JP2016/080628		東京都新宿区神楽坂一丁目3番地
(87) 国際公開番号	W02017/065306	(73) 特許権者	000229117
(87) 国際公開日	平成29年4月20日(2017.4.20)		日本ゼオン株式会社
審査請求日	令和1年10月2日(2019.10.2)		東京都千代田区丸の内一丁目6番2号
(31) 優先権主張番号	特願2015-205044 (P2015-205044)	(74) 代理人	100079049
(32) 優先日	平成27年10月16日(2015.10.16)		弁理士 中島 淳
(33) 優先権主張国・地域又は機関	日本国(JP)	(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	山本 貴博
			東京都新宿区神楽坂一丁目3番地 学校法人東京理科大学内

最終頁に続く

(54) 【発明の名称】 半導体材料、導電性層にキャリアを生じさせる方法、熱電変換素子、及びスイッチング素子

(57) 【特許請求の範囲】

【請求項 8】

強誘電体である圧電材料を含み、厚さが $0.01\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の圧電層と、熱電材料を含み、前記圧電層に接触させて又は他の層を介して設けられた厚さが $0.001\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の熱電層と、を有し、前記圧電層に、外部刺激として物理力を付与することで生じた分極によって前記熱電層に、キャリア面密度が $10^{13}/\text{cm}^2$ 以上 $10^{15}/\text{cm}^2$ 未満のキャリアが生じる半導体材料を有し、

前記半導体材料の一端と他端の間に温度差を生じさせることにより起電力が生じる、熱電変換素子。

【請求項 9】

前記半導体材料が、少なくとも一対の半導体材料であり、

前記一対の半導体材料の一方は、前記熱電層に電子が生じる n 型半導体であり、

前記一対の半導体材料の他方は、前記熱電層に正孔が生じる p 型半導体である、請求項 8 に記載の熱電変換素子。

【請求項 19】

前記圧電材料は、フッ化ビニリデンの単独重合体、フッ化ビニリデン及び三フッ化エチレンの共重合体、フッ化ビニリデン及び四フッ化エチレンの共重合体からなる群から選択される少なくとも 1 種であり、

前記熱電材料は、ポリ(3,4-エチレンジオキシチオフェン)及びポリスチレンスルホン酸の混合樹脂、ポリ(3,4-エチレンジオキシチオフェン)及び p-トルエンスル

ホン酸の混合樹脂、ポリ(3,4-エチレンジオキシチオフエン)及びポリビニルスルホン酸の混合樹脂、並びに、ポリ(3,4-エチレンジオキシチオフエン)からなる群から選択される少なくとも1種の樹脂である、請求項8又は請求項9に記載の熱電変換素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体材料、導電性層にキャリアを生じさせる方法、熱電変換素子、及びスイッチング素子に関する。

【背景技術】

【0002】

近年では、実環境における振動や熱などの微小エネルギーを始めとして、未利用のエネルギーを有効利用することが望まれ、低消費電力化に対する要求がある。かかる要求に対して、熱電材料の利用が期待されている。熱電材料としては、例えば半導体を始め様々な導電性材料が知られており、近年では、国際公開第2016/056661号公報に、伸張された結晶構造を有する黒リン原子膜が熱電変換性能を発現し得ることが報告され、そのシミュレーションによる検証結果も報告されている。

熱電材料を利用した素子としては、例えば熱エネルギーを電気エネルギーに変換する技術として、熱電素子に圧電素子を組み込んだ熱電変換素子が知られている。

例えば、国際公開第2013/103009号公報には、熱発電及び振動発電を併用して発電する発電装置が開示されている。

また、特開2010-16974号公報には、可撓性を有するバンド基材の上面側に複数の圧電素子モジュールおよびシート状に形成された複数の太陽電池素子アレイを備え、バンド基材の背面側に複数の圧電素子モジュールおよびシート状に形成された複数の熱電変換素子アレイを備えるリストバンドが開示されている。

また、特開2000-12916号公報には、圧電材料からなる圧電基板と、圧電基板と対向してP型熱電エレメントとN型熱電エレメントとを挟持する基板と、P型熱電エレメント及びN型熱電エレメントを交互に直列に接続するために基板上に設けられた電極と、圧電基板の電極が形成された面とは反対側の面に形成された対向電極を有する熱電素子と、を備える発電装置が開示されている。

また、国際公開第2011/104772号公報には、第1の部分と第2の部分との温度差によって発電する熱電発電モジュールと、熱電発電モジュールに、熱的に、かつ機械的に結合し、熱電発電モジュールの振動によって変形を生じる圧電材料板を含む圧電発電モジュールとを有する発電装置が開示されている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

上記従来の発電装置は、熱電素子に圧電素子を組み込むことで、熱電機能と圧電機能を持たせている。

しかし、国際公開第2013/103009号公報に記載の発電装置は、熱電素子への熱の伝達を別途設けた熱伝導体を介して行っているため、熱電性能が低下する傾向がある。

また、特開2010-16974号公報に記載の発電装置(リストバンド)は、熱電機能、圧電機能及び光電変換機能の機能を有するが、各機能が個別に発現される構造である。

また、特開2000-12916号公報に記載の発電装置は、熱電素子に圧電素子を一体的に付設した構造を有し、補助的な電力を得ることができるとされている。しかし、特許文献3の発電装置は、圧電素子と、熱電素子(P型熱電エレメント及びN型熱電エレメント)とが電極を介して個別に設けられた構造となっているため、圧電素子に生じた分極は熱電素子の熱電層に直接影響を及ぼすものではない。そのため、熱電性能の最適化の検討は十分行われていないといえる。

10

20

30

40

50

さらに、国際公開第2011/104772号公報に記載の発電装置は、熱電発電モジュールの上に圧電発電モジュールが積層された構造であり、構造が複雑な上、熱電機能及び圧電機能が個別に発現される構造である。

【0004】

このように、熱電素子に圧電素子を組み込んだ熱電変換素子（発電装置）は知られているものの、単に熱電機能及び圧電機能の両機能を併せ持つのではなく、熱電機能及び圧電機能を相乗的に発現させて熱電性能を最適化又は向上させることができれば有効である。

熱電性能を最適化する手法としては、熱電層のキャリア密度を調整する方法がある。従来、熱電層のキャリア密度を調整する観点から、熱電層に不純物を添加したり、電界効果を利用して例えば電界効果トランジスタ（FET）によりキャリアを注入することが行われてきた。

10

しかし、熱電層に不純物を添加する方法では、不純物の存在により熱電性能が低下することがある。また、電界効果を利用したキャリアの注入方法では、不純物を注入せずにキャリアを注入することが可能となるが、キャリアの注入に電力を消費するため、電力の利用効率が低下してしまうことがある。

【0005】

本発明は上記事情に鑑みなされたものであり、外部から電圧印加せずに導電性層にキャリアが生じる半導体材料、導電性層にキャリアを生じさせる方法、及び熱電変換素子を提供することを課題とする。

また、本発明は、外部から電圧印加せずに導電性層にキャリアが生じる半導体材料を備えたスイッチング素子を提供することを課題とする。

20

【課題を解決するための手段】

【0006】

上記課題を解決するための手段には、以下の実施態様が含まれる。即ち、

< 1 > 圧電材料を含む圧電層と、

導電性材料を含み、前記圧電層に接触させて又は他の層を介して設けられた導電性層と、
を有し、

前記圧電層に外部刺激を付与することで生じた分極によって前記導電性層にキャリアが生じる半導体材料。

30

< 2 > 前記導電性材料は、半導体又は導電性高分子である< 1 >に記載の半導体材料。

< 3 > 前記半導体及び前記導電性高分子は、熱電変換する熱電材料である< 2 >に記載の半導体材料。

< 4 > 前記外部刺激は、物理力、磁力、熱、電圧及び光から選ばれる少なくとも1つである< 1 >～< 3 >の何れか1項に記載の半導体材料。

< 5 > 前記圧電材料は、ポリフッ化ビニリデン系樹脂、ポリアミノボラン系樹脂、ポリシアン化ビニリデン系樹脂、ポリウレア系樹脂、ポリ乳酸樹脂、及びナイロン樹脂から選ばれる少なくとも1つである< 1 >～< 4 >の何れか1項に記載の半導体材料。

< 6 > 前記導電性材料は、ポリチオフェン系樹脂である< 1 >～< 5 >の何れか1項に記載の半導体材料。

40

< 7 > 前記導電性層は、黒リン原子膜である< 1 >に記載の半導体材料。

< 8 > < 1 >～< 7 >の何れか1項に記載の半導体材料を有する熱電変換素子。

< 9 > < 1 >～< 7 >の何れか1項に記載の半導体材料の少なくとも一対を有し、

前記一対の半導体材料の一方は、前記導電性層に電子が生じるn型半導体であり、

前記一対の半導体材料の他方は、前記導電性層に正孔が生じるp型半導体である、熱電変換素子。

< 10 > 圧電材料を含む圧電層と、導電性材料を含み、前記圧電層に接触させて又は他の層を介して設けられた導電性層と、を有する半導体材料に対し、前記圧電層に外部刺激を付与することにより分極を生じさせ、生じた分極によって前記導電性層にキャリアを生じさせる方法。

50

< 1 1 > 前記導電性材料は、半導体又は導電性高分子である< 1 0 >に記載の方法。
< 1 2 > 前記半導体及び前記導電性高分子は、熱電変換する熱電材料である< 1 1 >に記載の方法。

< 1 3 > 前記外部刺激は、物理力、磁力、熱、電圧及び光から選ばれる少なくとも1つである< 1 0 > ~ < 1 2 > の何れか1項に記載の方法。

< 1 4 > 前記圧電材料は、ポリフッ化ビニリデン系樹脂、ポリアミノボラン系樹脂、ポリシアン化ビニリデン系樹脂、ポリウレア系樹脂、ポリ乳酸樹脂、及びナイロン樹脂から選ばれる少なくとも1つである< 1 0 > ~ < 1 3 > の何れか1項に記載の方法。

< 1 5 > 前記導電性材料は、ポリチオフェン系樹脂である< 1 0 > ~ < 1 4 > の何れか1項の何れか1項に記載の方法。

< 1 6 > 前記導電性層は、黒リン原子膜である< 1 0 >に記載の方法。

< 1 7 > < 1 > ~ < 7 > の何れか1項に記載の半導体材料を有するスイッチング素子。

< 1 8 > < 1 > ~ < 7 > の何れか1項に記載の半導体材料と、

前記半導体材料の圧電層の側に配置されたゲート電極と、

前記半導体材料の導電性層に電氣的に接続されるソース電極及びドレイン電極と、
を有し、

前記ゲート電極に電圧を印加したときに、前記ドレイン電極及び前記ソース電極が、前記導電性層を介して電氣的に接続されるスイッチング素子。

【発明の効果】

【0007】

本発明によれば、外部から電圧印加せずに導電性層にキャリアが生じる半導体材料、導電性層にキャリアを生じさせる方法、及び熱電変換素子が提供される。

また、本発明によれば、外部から電圧印加せずに導電性層にキャリアが生じる半導体材料を備えたスイッチング素子が提供される。

【図面の簡単な説明】

【0008】

【図1】本実施形態の熱電層にキャリアが生じる前の半導体材料の一例を示す概略図である。

【図2】本実施形態の半導体材料の一例を示す概略図である。

【図3】図2のA - A'線断面図である。

【図4】図2のB - B'線断面図である。

【図5A】熱電層にキャリアが生じる前の半導体材料の作製方法において、基板上に圧電層が作製された状態の概略断面図である。

【図5B】熱電層にキャリアが生じる前の半導体材料の作製方法において、基板上に圧電層及び熱電層が作製された状態の概略断面図である。

【図6A】熱電層にキャリアが生じる前の半導体材料の作製方法において、基板上に圧電材料及び熱電材料を含む混合層が作製された状態の概略断面図である。

【図6B】熱電層にキャリアが生じる前の半導体材料の作製方法において、基板上で混合層が圧電層及び熱電層に二層分離した状態の概略断面図である。

【図7A】本実施形態の導電性層にキャリアを生じさせる方法において、熱電層にキャリアが生じる前の半導体材料の概略断面図である。

【図7B】本実施形態の導電性層にキャリアを生じさせる方法において、半導体材料に外部刺激が付与された状態の概略断面図である。

【図8】本実施形態の熱電変換素子の一例を示す概略図である。

【図9】図8のC - C'線断面図である。

【図10A】本実施形態の熱電変換素子の他の例を示す概略図である。

【図10B】図10AのE - E'線断面図である。

【図11A】本実施形態の半導体材料の平面視での写真である。

【図11B】図11AのD - D'線断面図である。

【図12】本実施形態の半導体材料の断面のSEM写真である。

10

20

30

40

50

【図 1 3 A】黒リン単原子膜の結晶構造を示す模式図であり、アームチェア軸方向に沿って切断した結晶構造の断面図である。

【図 1 3 B】黒リン単原子膜の結晶構造を示す模式図であり、ジグザグ軸方向に沿って切断した結晶構造の断面図である。

【図 1 3 C】黒リン単原子膜の結晶構造を示す模式図であり、黒リン単原子膜の結晶構造の平面図である。

【図 1 4】本実施形態のスイッチング素子の概略断面図である。

【図 1 5】実施例 2、3 及び比較例 1 で作製した半導体材料において、VDF / TrFE 共重合体の含有量とゼーベック係数との関係を示すグラフである。

【図 1 6】実施例 4 で作製した TFT における電流 - 電圧 ($I_{DS} - V_{DS}$) 特性を示すグラフである。 10

【図 1 7】実施例 4 で作製した TFT における電束密度 - 電界強度 ($D - E$) ヒステリシス曲線を示すグラフである。

【図 1 8】実施例 4 で作製した TFT における電流 - 電圧 ($I_{DS} - V_G$) 特性を示すグラフである。

【図 1 9】実施例 4 で作製した TFT において、温度とゼーベック係数との関係を示すグラフである。

【発明を実施するための形態】

【0009】

以下、本発明の一例である実施形態について、詳細に説明する。 20

【0010】

< 半導体材料 >

本発明の半導体材料は、圧電材料を含む圧電層と、導電性材料を含み、圧電層に接触させて又は他の層を介して設けられた導電性層と、を有し、圧電層に外部刺激を付与することで生じた分極によって導電性層にキャリアが生じる。

本発明では、以下の理由により導電性層にキャリアが生じると推察される。

まず、外部刺激によって、圧電層に歪みが生じ、その歪みに応じて圧電分極（圧電効果）が生じる。次いで、圧電分極によって圧電層の導電性層の側（好ましくは導電性層との界面付近）に正又は負の分極が誘起される（つまり正又は負の電荷が誘起される）。なお、圧電分極によって圧電層の導電性層の側に誘起される分極（正又は負）の選択は、圧電 30 材料の選択により行うことができる。

これにより、導電性層の圧電層の側に、前記正又は負の電荷とは反対の符号を持つキャリアが引き寄せられる。この結果、導電性層にキャリアとしての電子又は正孔が生じる。このようにして本発明の半導体材料は、n 型半導体材料又は p 型半導体材料となる。

さらに、圧電材料として強誘電体を用いた場合、圧電層には圧電材料の自発分極も生じるため、導電性層に前記正又は負の電荷とは反対の符号を持つキャリアがより引き寄せられる。この結果、導電性層に電子又は正孔がより生じやすくなる。

【0011】

外部刺激とは、圧電層を変形させるために外部から付与される刺激をいう。外部刺激は、特に限定されないが、物理力、磁力、熱、電圧及び光から選ばれる少なくとも 1 つであることが好ましい。中でも、圧電層の変形のしやすさの観点から、物理力がより好ましい。 40

物理力としては、例えば、圧力、振動、引っ張り力、圧縮力、曲げ力、せん断力、回転力が挙げられる。

なお、前記外部刺激は、さらに外部から電圧印加する刺激を含んでもよい。

【0012】

一般に、導電性層のキャリア密度は、以下の導電性層に誘起される表面電荷密度（電束密度） $D [C/m^2]$ を導く式（1）を用いて表すことができる。なお、導電性層のキャリア密度は、電束密度と同義である。

【0013】 50

式 (1) : $D = \varepsilon E + P + e x$

D : 電束密度 [C / m²]

ε : 誘電率 [F / m]

E : 電界 [V / m]

P : 自発分極 [C / m²]

e : 圧電定数 [C / m²]

x : 歪み [-]

【 0 0 1 4 】

式 (1) の右辺第 1 項の「 εE 」は、電界効果により誘起される電束密度 D^E を表す。これは、電界効果を利用して、導電性層にキャリアを注入したときの導電性層のキャリア密度に相当する。右辺第 2 項の「 P 」は圧電材料の自発分極により導電性層に誘起される電束密度 D^P を表す。右辺第 3 項の「 $e x$ 」は圧電層の歪み x に応じた圧電分極 $e x$ (つまり圧電効果) により導電性層に誘起される電束密度 $D^{e x}$ を表す。

10

本発明は、上記式 (1) の右辺第 2 項、及び右辺第 3 項の 2 つの分極に着目し、右辺第 3 項の「圧電層の歪み x に応じた圧電分極 $e x$ 」を利用して、好ましくは右辺第 2 項の「圧電材料の自発分極 P」と組み合わせて、導電性層に誘起される電束密度 D (つまり導電性層のキャリア密度) を調整する。

このように導電性層のキャリア密度を調整することは、半導体材料の導電性能 (熱電層を有する場合は熱電性能) を向上させる上で有効である。また、半導体の性質を最適化する上でも有効である。さらに、本発明は、上記「圧電分極 $e x$ 」を、外部から電圧印加せず外部刺激を用いて生じさせるため、低消費電力の観点からも有効である。

20

なお、導電性層のキャリア密度の調整においては、本発明の目的を損なわない限りにおいて、上記式 (1) の右辺第 1 項の電界効果を利用して、導電性層のキャリア密度を調整してもよい。

【 0 0 1 5 】

また、本発明の半導体材料は、例えば導電性層が熱電層である場合、圧電層と熱電層とを接触させて又は他の層を介して積層させた「単一構造体 (熱電・圧電ハイブリッド構造)」である。

本発明では、半導体材料をこのような「単一構造体」とすることで、導電性層にキャリアが生じやすくなる。より詳細には、上記「圧電分極 $e x$ 」(既述の式 (1) の右辺第 3 項参照) によって圧電層の導電性層の側に正又は負の分極が誘起され、導電性層に前記正又は負の電荷とは反対の符号を持つキャリアが引き寄せられる。これにより、導電性層にキャリアが生じやすくなる。

30

さらに、本発明の半導体材料では、上記「圧電分極 $e x$ 」を外部刺激によって生じさせる。これにより、低消費電力で導電性層にキャリアが生じる。また、導電性層にキャリアが生じることで導電性層のキャリア密度が調整される。

以上のことから、本発明によれば、低消費電力で、かつ導電性能 (熱電層を有する場合は熱電性能) が向上した半導体材料が実現される。

また、本発明では、圧電材料として強誘電体を用いた場合、圧電層に生じる分極は、上記「圧電分極 $e x$ 」と、圧電材料の「自発分極 P」(既述の式 (1) の右辺第 2 項参照) の双方となる。これにより、導電性層に引き寄せられるキャリア数が増えるため (つまり導電性層に生じるキャリア数が増えるため)、導電性層のキャリア密度の調整が容易になる。この結果、導電性能 (熱電層を有する場合は熱電性能) がさらに向上した半導体材料が実現される。

40

【 0 0 1 6 】

また、本発明における導電性層は、圧電層に接触させて又は他の層を介して設けられている。このような導電性層は、導電性能 (熱電層を有する場合は熱電性能) をより向上させる観点から、圧電層に接触して設けられていることが好ましい。

圧電層と導電性層との間に他の層が設けられる場合、他の層としては、本発明の目的を損なわない限りにおいて制限されないが、例えば金属層が挙げられる。

50

【 0 0 1 7 】

なお、本発明によれば、導電性材料として導電性高分子を用いた場合でも導電性能（熱電層を有する場合は熱電性能）が向上する。一般的に、導電性高分子は、正孔をキャリアとし半導体的な特性を持つため導電性が低下しやすい。しかし、本発明によれば、導電性層の正孔密度を調整することが可能となるため導電性能（熱電層を有する場合は熱電性能）の向上が図れる。

さらに、本発明では、導電性層（導電性層が熱電性能を有する場合は熱電層）にキャリアとして電子が生じる場合には、一般的に難しいとされている n 型導電性層（導電性層が熱電性能を有する場合は n 型熱電層）の作製、つまり n 型半導体の作製も実現可能となる。

10

【 0 0 1 8 】

- 圧電層の分極特性 -

・ 圧電層の歪み x に応じた圧電分極 $e \cdot x$ （既述の式（1）の右辺第三項参照）

本実施形態では、圧電層に外部刺激を付与することで、圧電層に歪み x が生じ、その歪み x に応じた圧電分極 $e \cdot x$ が発生する。

「圧電層の歪み x に応じた圧電分極 $e \cdot x$ 」の測定は以下のように行う。

圧電層（例えば圧電性フィルム）からなる試験片を準備して、試験片の両面に電極（導電層）を形成し、さらに、電極の両面にチャージアンプを形成する。

次いで、電極及びチャージアンプが形成された前記試験片の電荷量 Q_1 （以下「初期の電荷量 Q_1 」と称する）を測定する。

20

次いで、前記試験片に対し、圧電層の面外方向、面内方向、せん断方向に対し、外部刺激を付与して圧電層に歪み x を生じさせる。この際に圧電層の歪み x として測定される歪み（有効な歪み）は、圧電層に含まれる圧電材料の結晶対称性によって決定される力学テンソルに基づいて決定される。

その後、初期の電荷量 Q_1 と同様の方法により、圧電層に歪み x が生じたときに発生する圧電層の電荷量 Q_2 （以下「歪みが生じたときの電荷量 Q_2 」と称する）を測定する。

次いで、歪みが生じたときの電荷量 Q_2 と初期の電荷量 Q_1 との差を算出することにより、「圧電層の歪み x に応じた圧電分極 $e \cdot x$ 」に相当する電荷量 Q_3 を求める。

電荷量 Q_3 と、圧電分極 $e \cdot x$ との関係は、以下の式（2）で表されるため、式（2）を用いて、「圧電層の歪み x に応じた圧電分極 $e \cdot x$ 」が求められる。

30

【 0 0 1 9 】

式（2）： $D \cdot e \cdot x = Q_3 / S = e \cdot x$

$D \cdot e \cdot x$ ：電束密度 [C / m^2]

Q_3 ：歪み x に応じた圧電分極 $e \cdot x$ に相当する電荷量 [C]

S ：電極面積 [m^2]

e ：圧電定数 [C / m^2]

x ：歪み [-]

よって、上述の方法により、圧電層の圧電材料、厚み、ポーリング処理の有無、外部刺激の種類等を変えたときの「圧電層の歪み x に応じた圧電分極 $e \cdot x$ 」を予め測定しておくことで、導電性層（導電性層が熱電性能を有する場合は熱電層）に生じるキャリア数（導電性層のキャリア密度）を推測することが可能となる。

40

【 0 0 2 0 】

・ 圧電材料の自発分極 P （既述の式（1）の右辺第二項参照）

本実施形態では、圧電材料が強誘電体の場合、圧電層に圧電材料の自発分極 P が発生する。

圧電材料の自発分極 P の測定は以下のように行う。

圧電層（例えば圧電性フィルム）からなる試験片を準備して、試験片の両面に電極（導電層）を形成し、さらに、電極の両面にチャージアンプを形成する。

次いで、電極及びチャージアンプが形成された前記試験片の電荷量 Q を測定し、自発分極 P に相当する電荷量 Q を測定する。

50

自発分極 P に相当する電荷量 Q と、自発分極 P との関係は、以下の式 (3) で表されるため、式 (3) を用いて、自発分極 P が求められる。

【0021】

式 (3) : $D^P = Q / S = P$

D^P : 電束密度 [C / m^2]

Q : 自発分極 P に相当する電荷量 [C]

S : 電極面積 [m^2]

P : 自発分極 [C / m^2]

なお、自発分極 P は、圧電層に対し、ポーリング処理 (分極処理) を施すことで、その大きさを調整することができる。

10

よって、上述の方法により、圧電層の圧電材料、厚み、ポーリング処理の有無及びポーリング処理の条件等を変えたときの「自発分極 P 」を予め測定しておくことで、導電性層 (導電性層が熱電性能を有する場合は熱電層) に生じるキャリア数 (導電性層のキャリア密度) を推測することが可能となる。

【0022】

以下、半導体材料の構成について詳細に説明する。

【0023】

(圧電層)

圧電層は圧電材料を含む。

圧電材料としては、特に制限されないが、強誘電体であることが好ましい。これにより、圧電層に圧電材料の自発分極が生じるため、上記 D^P を高めることができ、導電性層 (導電性層が熱電性能を有する場合は熱電層) にキャリアがより生じやすくなる。これにより、導電性層 (導電性層が熱電性能を有する場合は熱電層) のキャリア密度を調整しやすくなる。

20

圧電材料は、有機圧電材料であっても無機圧電材料であってもよいが、圧電層の変形のしやすさの観点から、有機圧電材料であることが好ましい。圧電材料は、1種類単独で用いてもよいし、2種以上を併用してもよい。

【0024】

有機圧電材料としては、上記 D^P を高め、導電性層 (導電性層が熱電性能を有する場合は熱電層) のキャリア密度の調整が容易になる観点から、ポリフッ化ビニリデン系樹脂、ポリアミノボラン系樹脂、ポリシアン化ビニリデン系樹脂、ポリウレア系樹脂、ポリ乳酸樹脂、及びナイロン樹脂から選ばれる少なくとも1つであることが好ましい。中でも、ポリフッ化ビニリデン系樹脂が好ましい。

30

【0025】

ポリフッ化ビニリデン系樹脂としては、フッ化ビニリデンの単独重合体、又はフッ化ビニリデンと他のモノマーとを共重合させた共重合体が挙げられる。

フッ化ビニリデンと他のモノマーとを共重合させた共重合体としては、フッ化ビニリデン (VDF) と三フッ化エチレン (TrFE) との共重合体 (VDF / TrFE) ; フッ化ビニリデン (VDF) と四フッ化エチレン (TeFE) との共重合体 (VDF / TeFE) ; などが挙げられる。ポリフッ化ビニリデン系樹脂の中でも、自発分極が生じやすくなる観点からフッ化ビニリデンの単独重合体 (ポリフッ化ビニリデン (PVDF))、フッ化ビニリデン (VDF) と三フッ化エチレン (TrFE) との共重合体 (VDF / TrFE) が好ましい。

40

ポリアミノボラン系樹脂としては、アミノボランの単独重合体 (ポリアミノボラン (PAB))、又はアミノボランと他のモノマーとを共重合させた共重合体が挙げられる。

アミノボランと他のモノマーとを共重合させた共重合体としては、ポリアミノジフルオロボラン (PADFB) などが挙げられる。

ポリシアン化ビニリデン系樹脂としては、シアン化ビニリデンの単独重合体 (ポリシアン化ビニリデン (PVDCN))、又はシアン化ビニリデンと他のモノマーとを共重合させた共重合体が挙げられる。

50

シアン化ビニリデンと他のモノマーとを共重合させた共重合体としては、シアン化ビニリデン (VDCN) と酢酸ビニル (V a c) との共重合体 (VDCN / V a c) ; シアン化ビニリデン (VDCN) と三フッ化エチレン (T r F E) と 1 - クロロ - 1 - フルオロエチレン (C F E) との共重合体 (VDCN / T r F E / C F E) ; などが挙げられる。

ポリウレア系樹脂としては、ポリウレア樹脂、ポリチオウレア樹脂などが挙げられる。

ポリ乳酸樹脂としては、L 型ポリ乳酸樹脂 (P L L A) 、D 型ポリ乳酸樹脂 (P D L A) などが挙げられる。

ナイロン樹脂としては奇数ナイロンが好ましい。奇数ナイロンとしては、ナイロン 5 、ナイロン 7 、ナイロン 9 、ナイロン 1 1 、ナイロン 1 3 などが挙げられる。

【 0 0 2 6 】

10

なお、有機圧電材料として、例えば上記に例示した共重合体を用いる場合、本実施形態の目的を損なわない限りにおいて、上記共重合体以外のモノマーに由来する繰り返し単位を含有してもよい。

【 0 0 2 7 】

無機圧電材料としては、特に制限されないが、導電性層 (導電性層が熱電性能を有する場合は熱電層) のキャリア密度の調整が容易になる観点から、チタン酸ジルコン酸鉛 (P Z T) 、鉄酸ビスマス (B i F e O₃) 、ニオブ酸リチウム (L i N b O₃) 、チタン酸バリウム (B a T i O₃) 、リン酸二水素カリウム (K H₂ P O₄) 、マグネシウム酸ニオブ酸チタン酸鉛 (P M N - P T) 、ニオブ酸カリウムナトリウム (K N N) 、チタン酸ストロンチウム (S r T i O₃ : S T O) 、チタン酸バリウムストロンチウム (B a_{1-x} S r_x T i O₃ : B S T) 、タンタル酸ストロンチウムビスマス (S r B i₂ T a₂ O₉ : S B T) 、チタン酸ビスマス (B i₄ T i₃ O₁₂) が好ましい。

20

【 0 0 2 8 】

- 圧電層の厚み -

圧電層の厚みは、外部刺激による変形のしやすさ、及び導電性層 (導電性層が熱電性能を有する場合は熱電層) へのキャリアの発生のしやすさの観点から、例えば、0 . 0 1 μ m 以上 1 0 0 0 μ m 以下が好ましく、0 . 1 μ m 以上 3 0 0 μ m 以下がより好ましく、1 μ m 以上 1 0 0 μ m 以下がさらに好ましい。

【 0 0 2 9 】

- 圧電層の作製方法 -

30

圧電層の作製方法としては、従来一般的に用いられている公知の方法が適宜使用できる。例えば、圧電層を塗布法で作製する場合、圧電層を作製するための材料 (圧電材料、必要に応じて添加剤等) を溶媒に分散または溶解した塗布液 (圧電層作製用塗布液) を、例えば基材上に塗布することで作製することができる。

塗布液の塗布方法としては、例えばスピンコート法、ディップコート法、スプレーコート、インクジェット法、キャスト法、スクリーン印刷法が挙げられる。

また、圧電層を作製するための材料 (圧電材料、必要に応じて添加剤等) を混練して組成物を作製し、この組成物を押出成形法、射出成形法、延伸成形法、圧縮成形法等の公知の方法により成形してもよい。

なお、圧電層は市販品 (例えば圧電性フィルム) を使用してもよい。

40

【 0 0 3 0 】

(導電性層)

導電性層は導電性材料を含む。

導電性材料は、圧電分極の状態 (負の分極又は正の分極) に応じて適宜選択することが好ましい。導電性材料としては、導電性層にキャリアが生じることにより導電性能 (熱電層を有する場合は熱電性能) を発現するものであれば特に制限されない。導電性能を発現する導電性材料としては、例えば無機材料、有機材料、有機 - 無機ハイブリッド材料が挙げられる。

無機材料としては、例えば無機半導体 ; 無機導電性高分子 ; B i - T e 系、C o - S b 系、Z n - S b 系、P b - T e 系、A g - S b - G e - T e 系、M g - S i 系、酸化物系

50

、硫化物系等の化合物；が挙げられる。また、無機材料として、カーボン材料（カーボンナノチューブ（シングル・マルチ・ウォールいずれでもよい）、グラフェン・酸化グラフェン等を用いてもよい。

また、無機材料として黒リンを用いてもよい。無機材料が黒リンの場合、導電性層は黒リン原子膜であることがよい。黒リン原子膜の詳細については後述する。

有機材料としては、例えば有機半導体、有機導電性高分子が挙げられる。

有機 - 無機ハイブリッド材料としては、ポリ（３，４ - エチレンジオキシチオフエン）及びポリスチレンスルホン酸の混合樹脂（PEDOT / PSS）とカーボンナノチューブとの有機 - 無機ハイブリッド材料；ポリ（３，４ - エチレンジオキシチオフエン）及びポリスチレンスルホン酸の混合樹脂（PEDOT / PSS）とBi - Te系ナノ粒子との有機 - 無機ハイブリッド材料；等が挙げられる。

10

これらの導電性材料は、１種類単独で用いてもよいし、２種以上を併用してもよい。

導電性材料の中でも、導電性能（熱電層を有する場合は熱電性能）がより向上する観点から、半導体、導電性高分子が好ましい。

また、半導体及び導電性高分子は、熱電変換する熱電材料であることが好ましい。これにより、熱電性能がさらに向上した半導体材料が実現される。

以下、半導体、導電性高分子について順に説明する。

【００３１】

- 半導体 -

半導体は、有機半導体であっても、無機半導体であってもよく、またp型半導体又はn型半導体であってもよい。中でも、柔軟性を確保する観点から、有機半導体であることが好ましい。

20

【００３２】

p型の有機半導体としては、チオフエンとその誘導体（ポリチオフエン系樹脂）；ポリフェニルビニレン（PPV）の誘導体；ペンタセンとその誘導体；テトラセンとその誘導体；芳香族アミン系材料；銅フタロシアニン（CuPc）、亜鉛フタロシアニン（ZnPc）等のフタロシアニン系錯体；ポルフィリン系化合物；ペリレン系誘導体；イミダゾール誘導体；トリアゾール誘導体；ピラゾリン誘導体；オキサゾール誘導体；オキサジアゾール誘導体；スチルベン誘導体；ポリアリーラルカン誘導体；酸化グラフェン；等が挙げられる。

30

p型の有機半導体の中でも、導電性層（導電性層が熱電性能を有する場合は熱電層）にキャリアとしての正孔が生じやすくなる観点から、ポリチオフエン系樹脂が好ましく、特に、ポリ（３，４ - エチレンジオキシチオフエン）（PEDOT）；ポリ（３，４ - エチレンジオキシチオフエン）／ポリスチレンスルホン酸（PEDOT / PSS）；ポリ（３，４ - エチレンジオキシチオフエン）／p - トルエンスルホン酸（PEDOT / TOS）；ポリ（３，４ - エチレンジオキシチオフエン）／ポリビニルスルホン酸（PEDOT / PVS）；が好ましい。なお、ポリチオフエン系樹脂のドーパントは特に制限されない。

【００３３】

n型の有機半導体としては、フッ素化アセン系化合物；フラーレン系化合物；ナフタレン誘導体；アントラセン誘導体；フェナントレン誘導体；ピレン誘導体；ペリレン誘導体；ペリレンテトラカルボン酸ジイミド誘導体；オキサジアゾール誘導体；トリアゾール誘導体；トリアジン誘導体；キノリン誘導体；等が挙げられる。

40

フラーレン系化合物としては、C₆₀ フラーレン、C₇₀ フラーレン、C₇₆ フラーレン、C₇₈ フラーレン、C₈₄ フラーレン、C₂₄₀ フラーレン、C₅₄₀ フラーレン、ミックスドフラーレン、フラーレンナノチューブ、およびこれらの一部が水素原子、ハロゲン原子、アルキル基、アルケニル基、アルキニル基、アリール基、ヘテロアリール基、シクロアルキル基、シリル基、エーテル基、チオエーテル基、アミノ基、シリル基等によって置換されたフラーレン誘導体を挙げることができる。

【００３４】

p型の無機半導体としては、例えば、単結晶又は多結晶のシリコンウエハ；アモルファ

50

スシリコン；カルコパイライト（ＣＩＧＳ）系、カルコゲナイド（ＣＺＴＳ）系等の化合物半導体；酸化銅（Ｉ）等の金属酸化物；が挙げられる。

【００３５】

n型の無機半導体としては、例えば、単結晶又は多結晶のシリコンウエハ；アモルファスシリコン；酸化チタン（ルチル、アナターゼ）、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズ（ＩＴＯ）、インジウム・ガリウム・亜鉛の酸化物（ＩＧＺＯ）等の金属酸化物；が挙げられる。

【００３６】

- 導電性高分子 -

導電性高分子は、有機導電性高分子であっても、無機導電性高分子であってもよい。導電性高分子としては、例えばアニリン系化合物、ピロール系化合物、パラフェニレン系化合物、アセン系化合物、アセチレン系化合物、p-フェニレンエチニレン系化合物、p-フルオレニレンビニレン系化合物、ポリアセン系化合物、ポリフェナントレン系化合物、p-キシリレン系化合物、ビニレンスルフィド系化合物、m-フェニレン系化合物、ナフタレンビニレン系化合物、p-フェニレンオキシド系化合物、フェニレンスルフィド系化合物、フラン系化合物、セレノフェン系化合物、アゾ系化合物、金属錯体系化合物、これらの共重合体等が挙げられる。

【００３７】

- 黒リン原子膜 -

無機材料が黒リンの場合、導電性層は黒リン原子膜であることがよい。また、黒リン原子膜は、熱電層であることが好ましい。

【００３８】

黒リン原子膜は、天然の黒リン、又は合成した黒リンから得られるものである。例えば、リン灰石等を含む鉱石にケイ砂とコークスを加え、電気炉中で1,300 ~ 1,400 で加熱し、蒸気として留出させた後、冷却すると黄リンが得られる。そして、得られた黄リンを、例えば、約12,000気圧で加圧し、約200 で加熱することにより、バルクの黒リンが得られる。

【００３９】

バルクの黒リンの結晶構造は、斜方晶系の層状構造である。黒リンの原子膜を得るための方法は特に限定されない。例えば、バルクの黒リンの表面に粘着テープのような粘着層と基材層とを有する剥離部材を貼り付け、この剥離部材を黒リンから剥離させることで、黒リンの原子膜を得ることができる。この方法は、簡易的に得られる方法としてよく知られているものである。この方法によれば、バルクの黒リンから、黒リンの単原子膜が得られる。また、この方法によって、2層以上の黒リンの多層原子膜も得られる。単原子膜、又は2層以上の黒リンの多層原子膜は、例えば、剥離部材をバルクの黒リンから剥離するときの剥離力を調整することで得ることができる。

このようにして得られる黒リンの原子膜（単原子膜又は多層原子膜）を、圧電層上に、圧電層と接触させて又は他の層を介して設けることにより、導電性層と圧電層とを有する積層体を得ることができる。

【００４０】

また、圧電層上に、圧電層と接触させて又は他の層を介して黒リン原子膜を設けるための方法（導電性層の作製方法）としては、例えば、基材層と、表面を粘着又は接着処理した圧電層と、を有する積層体を準備し、その積層体の圧電層の側を上記バルクの黒リンの表面に貼り付け、この積層体をバルクの黒リンから剥離させる方法；化学気相成長方法；電解溶液により剥離し、圧電層上に転写する方法；バルクの黒リンへのインターカレーションにより剥離し、圧電層上に転写する方法；等が挙げられる。

【００４１】

本明細書において、「単原子膜」とは、単層の原子膜（フォスフォレン）を指す。「多層原子膜」とは、2層以上の構造を有する原子膜を指す。多層原子膜は、2層以上の黒リン多層原子膜、及び、単原子膜を重ねた積層体の両者を包含する概念である。但し、2層

10

20

30

40

50

以上の黒リン多層原子膜と、黒リン単原子膜を重ねた積層体とは次の点で区別される。前者の多層原子膜の場合は、層間のファンデルワールス相互作用によって、層同士の電子状態が混成する。一方で、後者の積層体の場合には、ファンデルワールス相互作用による層同士の電子状態の混成が無いが、又は層同士の電子状態の混成が極めて小さい。つまり、前者の多層原子膜と後者の積層体とでは、ファンデルワールス力によって生じる層間強度が異なる。

【 0 0 4 2 】

黒リン原子膜は、未伸張の黒リン原子膜における単位胞を基準として、ジグザグ軸方向及びアームチェア軸方向の少なくとも一方に所定の割合で伸張された結晶構造を有する場合に熱電変換性能が発現されやすくなる。なお、ジグザグ軸方向及びアームチェア軸方向の詳細については後述する。

10

黒リン原子膜が単原子膜である場合、単原子膜の結晶構造の伸張の度合いは、好ましくは2%～10%、より好ましくは4%～10%である。この範囲であると、熱電変換性能が向上する。伸張の度合いが10%以下であると、黒リン単原子膜に破れや亀裂が生じにくい。

また、黒リン原子膜が2層以上の黒リン多層原子膜の場合でも、黒リン単原子膜と同様に、ジグザグ軸方向及びアームチェア軸方向の少なくとも一方に対して、2%～10%伸張させることが可能である。但し、黒リン原子膜が多層原子膜である場合には、同じ伸張率に伸張させるための応力を要するため、その伸張度合いは、好ましくは2%～8%未満の範囲であり、より好ましくは2%～6%の範囲である。また、伸張のし易さの点で、多層原子膜の層数は、好ましくは2層以上6層以下、より好ましくは2層以上4層以下である。

20

【 0 0 4 3 】

上記黒リン原子膜を導電性層として適用した本発明の半導体材料は、例えば図8、図10Aに示す熱電変換素子、及び、図14に示す熱電変換素子用スイッチング素子に搭載して使用し得る。

【 0 0 4 4 】

以下、黒リン原子膜として黒リン単原子膜を例に挙げて具体的に説明する。

バルクの黒リンから剥離した黒リン単原子膜は、図13A～図13Cに示すような結晶構造を形成している。図13Cは、黒リン単原子膜の結晶構造の平面図である。また、図13Aは、図13Cのアームチェア軸方向に沿って切断した結晶構造の断面図であり、図13Bは、図13Cのジグザグ軸方向に沿って切断した結晶構造の断面図である。

30

なお、図13A～図13Cにおいて、(z)は、アームチェア軸方向及びジグザグ軸方向に対して垂直な軸方向を表す。

ここで、図13Cにおいて、a辺とb辺で囲まれた領域を結晶構造中の単位胞(以下、「ユニットセル」ということがある)という。また、黒リン単原子膜は2つの結晶軸を有しており、本明細書において、a辺に沿う方向と平行な結晶軸方向をジグザグ軸方向(Zigzag direction)、及びb辺に沿う方向と平行な結晶軸方向をアームチェア軸方向(Armchair direction)という。

【 0 0 4 5 】

40

ここで、国際公開第2016/056661号公報の段落0035～0051、及び、表1～表4には、シミュレーションによって、黒リン単原子膜をジグザグ軸方向又はアームチェア軸方向に伸張させた場合、及び、黒リン多層原子膜をジグザグ軸方向又はアームチェア軸方向に伸張させた場合に、黒リン原子膜のパワーファクターが向上することが記載されている。

【 0 0 4 6 】

パワーファクターについて説明する。

一般に、熱電材料の性能を評価するための指標として、性能指数Zが使用される。性能指数Zが高いほど、熱電変換性能が高い材料である。ここで、Zは以下の式Aによって表される。また、式A中のPはパワーファクター(熱電出力因子)であり、以下の式Bによ

50

って表される。なお、式 B において、 S はゼーベック係数、 σ は電気伝導率を表し、式 A において、 λ は熱伝導率を表す。

【0047】

【数1】

$$\text{式A} \quad Z = \frac{P}{\lambda}$$

【0048】

【数2】

$$\text{式B} \quad P = S^2 \sigma$$

【0049】

黒リン単原子膜を熱電材料（本発明における導電性層、以下同様）として利用する場合において、熱伝導率については無視できると考えられるので、上記の式より、熱電出力因子 P を大きくすれば、さらなる熱電変換性能の向上を図れることが分かる。つまり、黒リン単原子膜の熱電出力因子 P （パワーファクター）を向上させることで、熱電材料としての性能が飛躍的に向上し得ると考えられる。黒リン多層原子膜についても同様である。

【0050】

国際公開第2016/056661号公報には、黒リン単原子膜のシミュレーションによる検証結果として、以下のことが記載されている。

未伸張の黒リン単原子膜に比べて、伸張された結晶構造を有する黒リン単原子膜のパワーファクターが向上する。これにより、伸張した結晶構造を有する伸張された結晶構造を有する黒リン単原子膜は、熱電材料として優れた性能を示す。また、伸張率によって、パワーファクターに変化がみられることから、伸張度合いに応じて熱電変換性能を変調できる。

【0051】

また、黒リン多層原子膜のシミュレーションによる検証として、以下のことが記載されている。

伸張された結晶構造を有する2層の黒リン多層原子膜の場合も、未伸張の場合に比べて、パワーファクターが向上することがわかる。これにより、伸張した結晶構造を有する黒リン原子膜は、2層以上の多層原子膜の場合であっても、熱電材料として優れた性能が得られる。また、2層の黒リン多層原子膜は、単原子膜の場合と同様に、伸張率によって、パワーファクターに変化がみられることから、伸張度合いに応じて熱電変換性能変調できる黒リン原子膜が得られる。したがって、黒リン多層原子膜も、黒リン単原子膜と同様の使用方法が期待される。

【0052】

このように、国際公開第2016/056661号公報のシミュレーションによる検証結果を参照すると、伸張された結晶構造を有する黒リン原子膜（単原子膜、多層原子膜のいずれも）は、未伸張の黒リン原子膜に比べて、パワーファクターが向上する。

したがって、導電性層として黒リン原子膜（単原子膜、多層原子膜のいずれも）を適用した半導体材料においては、以下の作用が生じると考えられる。

まず、圧電層に外部刺激を付与することで生じた分極によって、黒リン原子膜にキャリアが生じる。特に外部刺激が物理力の場合は、物理力の付与によって黒リンの結晶構造はジグザグ軸方向及びアームチェア軸方向の少なくとも一方に伸張されるので、黒リン原子膜には、圧電材料の分極により生じたキャリアと、黒リン原子膜の伸張により生じたキャリアの双方が発生する。これにより、導電性層として黒リン原子膜を適用した半導体材料では、黒リン原子膜に生じるキャリア量を、圧電材料の分極及び黒リン原子膜の伸張の双方から調整することができる。その結果、少ない力で大きな電流を得られやすくなり、ゼ

10

20

30

40

50

ーベック係数が増加しやすくなる。

また、黒リン原子膜が黒リン単原子膜である場合、この単原子膜を例えばジグザグ軸方向に伸張させると、単原子膜のユニットセルにおける a 辺の格子定数 a が伸びるとともに、b 辺の格子定数 b が縮まるので（国際公開第 2016/056661 号公報の表 1 参照）、導電性層に生じたキャリアが移動しやすくなり、ゼーベック係数が増加しやすくなる。

したがって、圧電層と黒リン原子膜との積層構造を有する半導体材料では、圧電層への外部刺激と黒リン原子膜の伸張の双方を利用して黒リン原子膜にキャリアを生じさせるので、かかる半導体材料を、例えば熱電変換素子に搭載した場合には、熱電変換性能の向上が期待され、スイッチング素子に搭載した場合には、電流のスイッチング機能の向上が期待される。

【0053】

- 導電性層の厚み -

導電性層（黒リン原子膜以外の導電性層）の総厚みは、キャリアが生じやすくなる観点から、例えば、 $0.00034\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下が好ましく、 $0.00034\text{ }\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 以下がより好ましく、 $0.001\text{ }\mu\text{m}$ 以上 $0.01\text{ }\mu\text{m}$ 以下がさらに好ましい。

導電性層が黒リン原子膜（単原子膜、多層原子膜のいずれも）である場合の導電性層の総厚みは、キャリアの生じやすさ及び伸張のしやすさの観点から、例えば、 $0.00036\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下が好ましく、 $0.00036\text{ }\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 以下がより好ましく、 $0.00036\text{ }\mu\text{m}$ 以上 $0.01\text{ }\mu\text{m}$ 以下がさらに好ましい。

【0054】

- 導電性層の特性 -

上述のように、半導体材料の導電性能（熱電層を有する場合は熱電性能）を向上させるためには、導電性層（導電性層が熱電性能を有する場合は熱電層）のキャリア密度を特定の範囲となるように調整することが好ましい。導電性層のキャリア密度は、キャリア面密度として、例えば、 $10^{13}/\text{cm}^2$ 以上 $10^{15}/\text{cm}^2$ 未満が好ましい。

【0055】

- 導電性層の作製方法 -

導電性層（黒リン原子膜以外の導電性層であって、導電性層が熱電性能を有する場合は熱電層）を作製する方法としては、圧電層と同様の方法が挙げられる。

なお、導電性層は市販品（例えば導電性フィルム、熱電性フィルム）を使用してもよい。

また、導電性層が黒リン原子膜である場合における導電性層の作製方法は前述の通りである。なお、黒リン原子膜は市販品であってもよい。

【0056】

（基材）

本実施形態に係る半導体材料は、基材を有してもよい。この態様の場合、圧電層は基材上に形成されるため、外部刺激による圧電層の変形は基板と共に生じることとなる。よって、例えば、基板として柔軟性を有する部材を用いることで、圧電層の変形が生じやすくなり、圧電分極（圧電効果）が生じやすくなる。

また、半導体材料が基材を有する態様の場合、基材の変形によって圧電層が変形してもよい。つまり、基材の変形によって圧電層が二次的に変形を促されて変形してもよい。

基材としては、外部刺激によって変形を生じるものであれば特に制限されず、無機材料であっても有機材料であってもよい。

【0057】

外部刺激が物理力の場合、基材としては、圧電層に物理力を伝えやすい材料を含有することが好ましい。例えば、以下の無機材料、又は有機材料が挙げられる。

無機材料としては、例えば、多結晶 Si、アモルファス Si および SiO_2 、 Si_3N_4 、 SiC などの Si 化合物； Al_2O_3 、 ZrO_2 、 TiO_2 、 Ta_2O_5 、 ZnO 、

Y_2O_3 などの酸化物； AlN 、 TiN などの窒化物；これらの複合化合物；が挙げられる。

【0058】

有機材料としては、例えば、ポリ乳酸樹脂（ PLA ）、ポリエチレンテレフタレート樹脂（ PET ）、ポリエチレンナフタレート樹脂（ PEN ）、ポリスチレン樹脂（ PS ）、ポリカーボネート樹脂（ PC ）、シクロオレフィンコポリマー樹脂（ COC ）、ポリメタクリル酸樹脂（ $PMMA$ ）、ポリプロピレン樹脂（ PP ）、ポリ塩化ビニル樹脂（ PVC ）、ポリイミド樹脂（ PI ）、ゴムが挙げられる。

【0059】

外部刺激が電圧である場合、基材としては、アクチュエータ材料を含有することが好ましい。アクチュエータ材料としては、例えば、圧電セラミックスや電歪セラミックスなどのセラミックス材料；導電性高分子や、誘電体エラストマーなどの高分子材料；が挙げられる。特に、ナフィオン（登録商標、デュポン社製）を含有する基材を用いることで、基材の変形をより大きくすることができる。

10

また、外部刺激が電圧である場合、基材としては、電気伝導性材料を含有してもよい。電気伝導性材料としては、例えば、金属、金属化合物（例えばインジウムスズ酸化物（ ITO ）、酸化亜鉛）が挙げられる。

【0060】

外部刺激が磁力である場合、基材としては、磁性材料を含有することが好ましい。磁性材料としては、例えば、金属、金属化合物（例えば酸化鉄）が挙げられる。

20

【0061】

外部刺激が熱である場合、基材としては、熱膨張材料を含有することが好ましい。熱膨張材料としては、特に制限されないが、熱膨張係数を有する材料の中から、基材に付与する変形の程度に応じて適宜選択することが好ましい。熱膨張係数が比較的高い材料としては、例えば TiO_2 、 ZrO_2 、 HfO_2 が挙げられる。

【0062】

外部刺激が光である場合、基材としては、フォトクロミック材料を含有することが好ましい。有機フォトクロミック材料としては、アゾベンゼン、スピロピラン、ジアリールエテン等が挙げられる。無機フォトクロミック材料としては、酸化モリブデン、酸化タングステン、酸化ニオブ、酸化タングステンとチタンとの混合物、ハロゲン化銀を封入したガラス等が挙げられる。

30

また、外部刺激が光である場合、液晶材料を含有する基材用いて液晶の体積変化により基材を変形させてもよい。

【0063】

なお、基材は電極を兼ねてもよい。また、基材と圧電層との間には、用途に応じて、他の層（例えば密着層、電極）を有してもよい。

【0064】

（キャリア面密度の調整に適した圧電材料）

上述のように、導電性層（導電性層が熱電性能を有する場合は熱電層）に求められる最適なキャリア密度は、キャリア面密度として、好ましくは $10^{13}/cm^2$ 以上 $10^{15}/cm^2$ 未満である。

40

キャリア面密度を前記範囲に調整しやすい圧電材料としては、以下の有機圧電材料、無機圧電材料がよい。

【0065】

具体的に、有機圧電材料の場合は、特に、ポリフッ化ビニリデン（ $PVDF$ ）、フッ化ビニリデンと三フッ化エチレンとの共重合体（ $VDF/TrFE$ ）、フッ化ビニリデンと四フッ化エチレンとの共重合体（ $VDF/TeFE$ ）、ポリアミノボラン（ PAB ）、ポリアミノジフルオロボラン（ $PADFB$ ）、シアン化ビニリデンと酢酸ビニルとの共重合体（ $VDCN/Vac$ ）、シアン化ビニリデンと三フッ化エチレンと1-クロロ-1-フルオロエチレンとの共重合体（ $VDCN/TrFE/CFE$ ）、ポリウレア、L型ポリ乳

50

酸 (P L L A)、奇数ナイロンがよい。これらは、1種類単独で用いてもよいし、2種以上を併用してもよい。

【 0 0 6 6 】

無機圧電材料の場合は、特に、チタン酸ジルコン酸鉛 (P Z T)、鉄酸ビスマス (B i F e O ₃)、ニオブ酸リチウム (L i N b O ₃)、チタン酸バリウム (B a T i O ₃)、リン酸二水素カリウム (K H ₂ P O ₄)、マグネシウム酸ニオブ酸チタン酸鉛 (P M N - P T)、ニオブ酸カリウムナトリウム (K N N)、チタン酸ストロンチウム (S r T i O ₃ : S T O)、チタン酸バリウムストロンチウム (B a _{1-x} S r _x T i O ₃ : B S T)、タンタル酸ストロンチウムビスマス (S r B i ₂ T a ₂ O ₉ : S B T)、チタン酸ビスマス (B i ₄ T i ₃ O ₁₂) がよい。これらは、1種類単独で用いてもよいし、2種以上

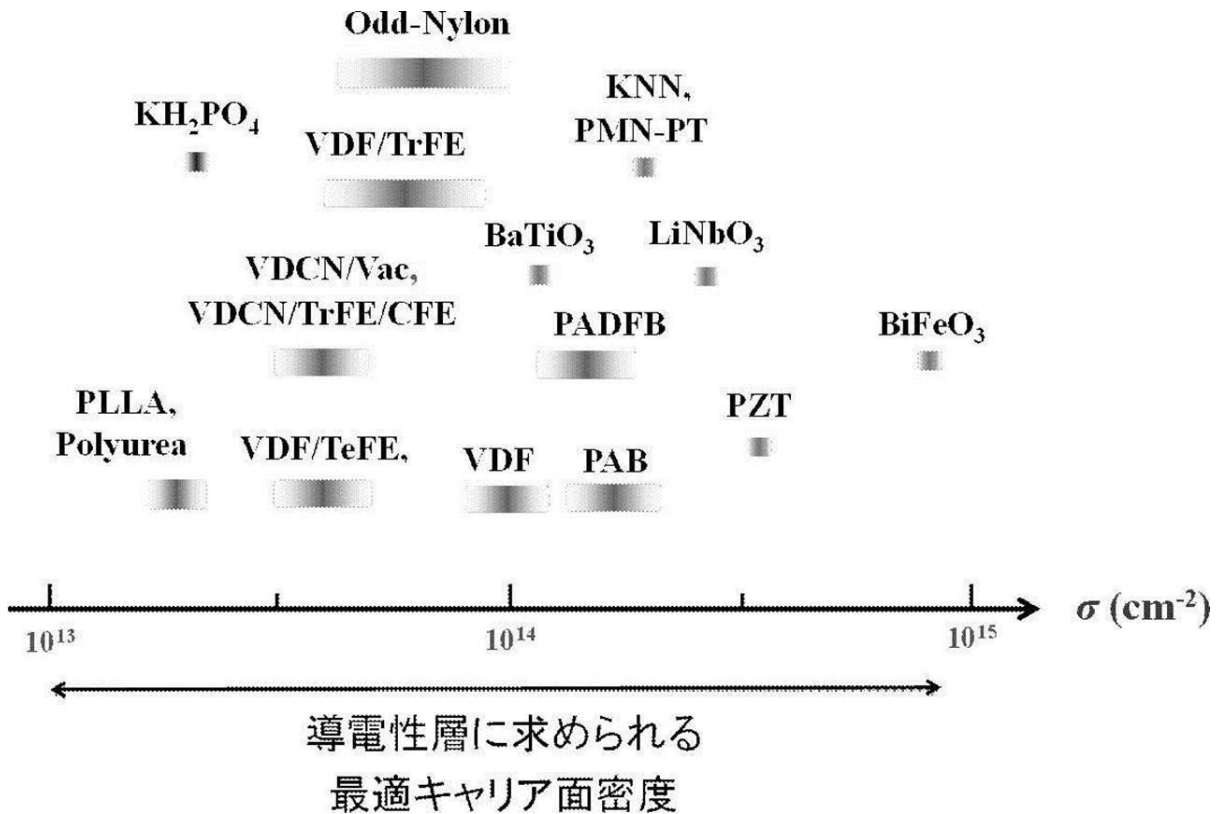
10

【 0 0 6 7 】

ここで、表 1 に、導電性層 (導電性層が熱電性能を有する場合は熱電層) に求められる最適なキャリア面密度と、キャリア面密度を上記範囲に調整しやすい圧電材料との関係を示す。

【 0 0 6 8 】

【 表 1 】



20

30

40

【 0 0 6 9 】

なお、表 1 の略称の詳細は以下の通りである。

【 0 0 7 0 】

- 有機圧電材料 -

- ・ P V D F : ポリフッ化ビニリデン
- ・ V D F / T r F E : フッ化ビニリデンと三フッ化エチレンとの共重合体
- ・ V D F / T e F E : フッ化ビニリデンと四フッ化エチレンとの共重合体
- ・ P A B : ポリアミノボラン
- ・ P A D F B : ポリアミノジフルオロボラン
- ・ V D C N / V a c : シアン化ビニリデンと酢酸ビニルとの共重合体

50

- ・ V D C N / T r F E / C F E : シアン化ビニリデンと三フッ化エチレンと 1 - クロロ - 1 - フルオロエチレンとの共重合体
- ・ P o l y u r e a : ポリウレア
- ・ P L L A : L 型ポリ乳酸
- ・ O d d - N y l o n : 奇数ナイロン

【 0 0 7 1 】

- 無機圧電材料 -

- ・ P Z T : チタン酸ジルコン酸鉛
- ・ B i F e O ₃ : 鉄酸ピスマス
- ・ L i N b O ₃ : ニオブ酸リチウム
- ・ B a T i O ₃ : チタン酸バリウム
- ・ K H ₂ P O ₄ : リン酸二水素カリウム
- ・ P M N - P T : マグネシウム酸ニオブ酸チタン酸鉛
- ・ K N N : ニオブ酸カリウムナトリウム

【 0 0 7 2 】

- 半導体材料の厚み -

導電性層が黒リン原子膜以外である場合、半導体材料の厚みは、外部刺激による変形のしやすさ、及び導電性層（導電性層が熱電性能を有する場合は熱電層）へのキャリアの発生のしやすさの観点から、例えば、0.00034 μm 以上 100 μm 以下が好ましく、0.00034 μm 以上 10 μm 以下がより好ましい。

導電性層が黒リン原子膜（単原子膜、多層原子膜のいずれも）である場合、半導体材料の厚みは、外部刺激による変形のしやすさ、導電性層（導電性層が熱電性能を有する場合は熱電層）へのキャリアの発生のしやすさ、及び黒リン原子膜伸張のしやすさの観点から、例えば、0.00036 μm 以上 100 μm 以下が好ましく、0.00036 μm 以上 1 μm 以下がより好ましい。

なお、半導体材料の厚みとは、半導体材料が、例えば基材を含む場合は基材を含む厚みをいう。つまり、上記半導体材料の厚みとは、半導体材料の総厚みのことをいう。

【 0 0 7 3 】

以下、図 1 ~ 図 4 を参照して、本発明の実施形態に係る半導体材料について具体的に説明する。以下の実施形態では、「導電性層」が「熱電材料を含む熱電層」である場合を例に挙げて説明する。但し、本発明においては、以下に示す実施形態に制限されるものではない。

【 0 0 7 4 】

第 1 実施形態では、まず初めにキャリアが生じる前（以下「キャリア発生前」と称する）の半導体材料について説明し、続いてキャリアが生じた後（以下「キャリア発生後」と称する）の半導体材料について説明する。

図 1 に、キャリア発生前の半導体材料を示す。

図 1 に示すように、キャリア発生前の半導体材料 10 a は、圧電材料を含む圧電層 12 a と、熱電材料を含み、圧電層 12 a に接触して設けられた熱電層 14 a と、を有する。

また、半導体材料 10 a は、圧電層 12 a に外部刺激が付与されると、圧電層 12 a に歪みが生じ、その歪みにより圧電分極（圧電効果）が生じる。次いで、生じた圧電分極によって、熱電層 14 a にキャリアが生じるように構成されている。

【 0 0 7 5 】

図 2 に、キャリア発生後の半導体材料を示す。図 3 は、図 2 の A - A ' 線断面図であり、図 4 は、図 2 の B - B ' 線断面図である。また、図 3 , 4 において、矢印は正の分極の向きを表す。なお、以下では、キャリア発生後の半導体材料を、単に「半導体材料」と称して説明する。

図 2 に示すように、本実施形態の半導体材料 10 は、半導体材料 10 A と半導体材料 10 B とからなる一対の半導体材料で構成されている。

具体的には、図 3 に示すように、半導体材料 10 A は、外部刺激によって、圧電層 12

Aに生じた圧電分極によって圧電層12Aの熱電層14Aの側に正の分極が誘起され、この結果、熱電層14Aにキャリアとしての電子が引き寄せられて生じたものである。つまり、半導体材料10Aはn型半導体材料である。

一方、図4に示すように、半導体材料10Bは、外部刺激によって、圧電層12Bに生じた圧電分極によって圧電層12Bの熱電層14Bの側に負の分極が誘起され、この結果、熱電層14Bにキャリアとしての正孔が引き寄せられて生じたものである。つまり、半導体材料10Bはp型半導体材料である。

このように、第1実施形態の半導体材料10は、n型半導体材料10Aと、p型半導体材料10Bと、を少なくとも一対有するため、例えば、後述する発電装置の熱電変換モジュールを構成する半導体（熱電変換素子の第2実施形態）；後述する熱電変換素子を構成する半導体（熱電変換素子の第1実施形態及び第3実施形態）；各種センサーの温度検出、応力検出；無線モジュール；等に適用することができる。

【0076】

次に、図5、図6を参照して、上記実施形態に係る半導体材料の作製方法の実施形態について具体的に説明する。但し、本発明においては、以下に示す実施形態に制限されるものではない。

- 半導体材料の作製方法 -

第1実施形態の半導体材料の作製方法は、塗布法により圧電層と熱電層（但し、黒リン原子膜以外の熱電層）とを積層させることで半導体材料を得る。以下、図5を参照して説明する。

まず、基材16を準備する。

次いで、圧電材料と、必要に応じて添加剤等とを溶媒に分散または溶解させた圧電層作製用塗布液を調製する。また、並行して、熱電材料と、必要に応じて添加剤等とを溶媒に分散または溶解させた熱電層作製用塗布液を調製する。

次いで、図5Aに示すように、圧電層作製用塗布液を基材16上に塗布して当該塗布液を乾燥させる。これにより、圧電層12aを得る。

次いで、図5Bに示すように、熱電層作製用塗布液を圧電層12a上に塗布して当該塗布液を乾燥させる。これにより、熱電層14aを得る。

このようにして、基材16と、圧電層12aと、熱電層14aとをこの順に有する半導体材料10aを作製する。

【0077】

第1実施形態の半導体材料の他の作製方法は、塗布法により圧電材料と熱電材料とを含む混合層を作製した後に、混合層を圧電層と熱電層とに二層分離させることで半導体材料を得る。この方法によれば、圧電層と熱電層との間に不純物が混入されにくくなるため、熱電層の持つ熱電性能が向上すると考えられる。以下、図6を参照して説明する。

まず、基材16を準備する。

次いで、圧電材料と、熱電材料と、必要に応じて添加剤等とを溶媒に分散または溶解させた塗布液（以下「圧電熱電層作製用塗布液」と称する）を調製する。なお、圧電熱電層作製用塗布液は、上述のように、圧電層を作製するための材料（圧電材料、必要に応じて添加剤等）と、熱電層を作製するための材料（熱電材料、必要に応じて添加剤等）とを一括して混合して得た塗布液であってもよいし、圧電層作製用塗布液と、熱電層作製用塗布液とをそれぞれ調製し、これらを混合して得た塗布液であってもよい。

次いで、図6Aに示すように、圧電熱電層作製用塗布液を基材16上に塗布して混合層（以下「圧電熱電層前駆体膜」とも称する）18を作製し、圧電熱電層前駆体膜18を乾燥させる。

図6Bに示すように、圧電熱電層前駆体膜18を乾燥させる過程において、圧電熱電層前駆体膜18は、圧電層12aと熱電層14aとに二層分離する。

このようにして、基材16と、圧電層12aと、熱電層14aとをこの順に有する半導体材料10aを作製する。

【0078】

なお、塗布法は、特に制限されないが、圧電層と熱電層とを二層分離しやすくする観点から、キャスト法、スピンコート法、ディップコート法、スプレーコート、インクジェット法、スクリーン印刷法が好ましい。

また、圧電熱電層前駆体膜を、圧電層と熱電層とを二層分離しやすくするためには、圧電熱電層前駆体膜の乾燥条件（乾燥雰囲気、温度、時間等）を調整すればよい。

また、上記形態で得られた半導体材料には、圧電層にポーリング処理（分極処理）を施すことが好ましい。分極処理により圧電材料の分極の向きが揃えられるため、圧電層に自発分極が生じる。この場合、圧電層の熱電層の側に正又は負の分極が誘起されやすくなるため、熱電層にキャリアとしての電子又は正孔がより引き寄せられる。これにより、熱電層にキャリアがより生じやすくなり、熱電層のキャリア密度の調整が容易になる。

10

【0079】

第1実施形態の半導体材料の他の作製方法は、圧電層として入手した圧電性フィルムの一方の面に、塗布法により熱電層を作製することで半導体材料を得る。この方法によれば、より簡易な方法でキャリア発生前の半導体材料が得られる。

まず、入手した圧電性フィルムに分極処理を施す。

分極処理により圧電性フィルムの表面に正の分極が誘起された場合、正の分極が誘起された圧電性フィルムの表面に、別途調製した熱電層作製用塗布液を塗布し、当該塗布液を乾燥させて熱電層を作製する。これにより、キャリア発生前のn型半導体材料が得られる。

一方、分極処理により圧電性フィルムの表面に負の分極が誘起された場合、負の分極が誘起された圧電性フィルムの表面に、別途調製した熱電層作製用塗布液を塗布し、当該塗布液を乾燥させて熱電層を作製する。これにより、キャリア発生前のp型半導体材料が得られる。

20

【0080】

なお、上記作製方法では、圧電性フィルムは表面に負の分極又は正の分極が誘起されているものであればよい。つまり、圧電性フィルムの分極処理は、自発分極の程度によって行っても行わなくてもよい。

また、熱電層は、入手した熱電性フィルムであってもよい。この場合、圧電性フィルムに必要なに応じて分極処理を施した後、圧電性フィルムの方の面に熱電性フィルムを貼り合わせるだけでキャリア発生前のn型半導体材料又はp型半導体材料が得られる。

30

【0081】

<半導体材料の用途>

本発明の半導体材料は、圧電層に外部刺激を付与することで生じた分極によって導電性層にキャリアが生じるので、その生じたキャリアを利用する用途に用いることができる。例えば、半導体材料の導電性層の面方向に温度差を設けることによって、導電性層に生じた起電力を取り出す熱電変換素子又は熱電変換素子用スイッチング素子に搭載して利用することができる。また、導電性層に生じた上記起電力を利用する各種デバイス（各種センサー、無線モジュール等）又は各種デバイス用スイッチング素子に搭載して利用することもできる。

【0082】

40

また、本発明の半導体材料を、発電用途のスイッチング素子や、加熱冷却用途のスイッチング素子に搭載して使用することもできる。

- 発電用途のスイッチング素子 -

以下の使用方法により、発電量を切り替えることができる発電用途のスイッチング素子の実現され得る。

例えば、外気の方が暖かい夏の場合と、外気の方が寒い冬の場合では、室内との温度差を活用した熱電変換素子の発電電圧の極性が反転することが知られている。この外環境の変化（例えば温度変化）に応じて所定の量のキャリアを導電性層に注入することによって、夏でも冬でも正電圧で一定して出力することができるようになる。

【0083】

50

- 加熱冷却用途のスイッチング素子 -

以下の使用方法により、ヒーターやクーラーの使い方を切り替えることができる加熱冷却用途のスイッチング素子が実現され得る。

例えば、外部刺激として正電圧を印加して加熱動作している場合に、その加熱動作を導電性層へのキャリア注入によって冷却動作に切り替えることができる。この場合、外部刺激として負電圧を印加すれば冷却動作が可能になるとも考えられるが、負電圧が活用できない環境下も想定される。このような環境下（正負両極の電圧が活用できない環境下）では特に有用な作用である。

【0084】

< 導電性層にキャリアを生じさせる方法 >

10

本発明の導電性層にキャリアを生じさせる方法は、圧電材料を含む圧電層と、導電性材料を含み、圧電層に接触させて又は他の層を介して設けられた導電性層と、を有する半導体材料に対し、圧電層に外部刺激を付与することにより分極を生じさせ、生じた分極によって導電性層にキャリアを生じさせる。

外部刺激とは、圧電層を変形させるために外部から付与される刺激をいう。外部刺激としては、既述の半導体材料の圧電層に付与される外部刺激と同様のものが挙げられる。

なお、前記外部刺激は、さらに外部から電圧印加する刺激を含んでもよい。

半導体材料の構成（圧電層及び導電性層等の構成）は、既述の半導体材料の構成と同様である。

圧電材料としては、既述の圧電層に用いられる圧電材料と同様のものが挙げられ、好ましい例も同様のものが挙げられる。

20

導電性材料としては、既述の導電性層に用いられる導電性材料と同様のものが挙げられ、好ましい例も同様のものが挙げられる。

また、上記方法における導電性層は、黒リン原子膜である態様も含む。黒リン原子膜は、熱電層であることが好ましい。なお、導電性層が黒リン原子膜である態様は既述の態様と同様である。

【0085】

本発明の導電性層にキャリアを生じさせる方法は、外部から電圧印加せずに導電性層（導電性層が熱電性能を有する場合は熱電層）にキャリアを生じさせる新規な方法である。この新規な方法によれば、外部から電圧印加せずに導電性層（導電性層が熱電性能を有する場合は熱電層）にキャリアが生じる。これにより、例えば半導体材料は、低消費電力で、かつ導電性能（熱電層を有する場合は熱電性能）が向上する。

30

【0086】

以下、図7を参照して、導電性層にキャリアとして電子を生じさせる方法の実施形態について具体的に説明する。以下の実施形態では、「導電性層」が「熱電材料を含む熱電層」であり、外部刺激として圧力Fによって圧電層を変形させる態様について説明する。但し、本発明においては、以下に示す実施形態に制限されるものではない。

【0087】

図7Aに示すように、キャリア発生前の半導体材料10aは、基材16と、圧電材料を含む圧電層12aと、熱電材料を含む熱電層14aと、をこの順で有する。

40

図7Bに示すように、圧力Fが、半導体材料に対してその垂直方向から加えられると、半導体材料が変形する。この半導体材料の変形に伴い、基材、圧電層及び熱電層も変形する。つまり、圧電層に歪みが生じる。

次いで、圧電層の歪みにより圧電層に12Aに圧電分極が生じ、生じた圧電分極によって圧電層12Aの熱電層14Aの側に正の分極が誘起される。これにより、熱電層14Aにキャリアとしての電子が引き寄せられる。

このようにして、熱電層14Aにキャリアとして電子が生じ、半導体材料10Aはn型半導体材料となる。

【0088】

なお、上記実施形態において、圧電材料として強誘電体を用いた場合、圧電層12Aに

50

は、圧電分極と、圧電材料の自発分極の双方が生じる。この態様の場合、圧電層 1 2 A の熱電層 1 4 A の側に正の分極がより誘起されるため、熱電層 1 4 A にキャリアとして電子がより生じやすくなる。これにより、熱電層 1 4 A のキャリア密度の調整が容易になる。この結果、熱電性能がさらに向上した半導体材料が得られる。

また、上記実施形態において、圧電分極や自発分極によって熱電層にキャリアとして正孔が生じた場合、半導体材料は p 型半導体材料となる。

また、上記実施形態では、圧力 F によって、基材 1 6、圧電層 1 2 a 及び熱電層 1 4 a が共に変形する態様を説明したが、少なくとも圧電層 1 2 a が変形すればよい。

【 0 0 8 9 】

< 熱電変換素子 >

本発明の熱電変換素子は、本発明の半導体材料を有する。

また、本発明の熱電変換素子は、本発明の半導体材料の少なくとも一対を有することが好ましい。具体的には、一対の半導体材料の一方は、導電性層に電子が生じる n 型半導体であり、一対の半導体材料の他方は、導電性層に正孔が生じる p 型半導体であることが好ましい。

本発明の熱電変換素子は、外部から電圧印加せずに導電性層（導電性層が熱電性能を有する場合は熱電層）にキャリアが生じるため、低消費電力で駆動し、かつ導電性能（熱電層を有する場合は熱電性能）が向上した熱電変換素子となる。また、本発明の熱電変換素子は、本発明の「単一構造体」で構成される半導体材料を有するため、デバイスの小型化も図れる。

なお、本発明の半導体材料は、圧電層に外部刺激を付与することで生じた圧電分極によって導電性層（導電性層が熱電性能を有する場合は熱電層）にキャリアが生じるものであるが、前記外部刺激は、さらに外部から電圧印加する刺激を含んでもよい。

【 0 0 9 0 】

（第 1 実施形態）

以下、図 2 ～ 図 4 を参照して、本発明の熱電変換素子の第 1 実施形態について具体的に説明する。第 1 実施形態では、「導電性層」が「熱電材料を含む熱電層」である場合である。但し、本発明においては、以下に示す実施形態に制限されるものではない。

第 1 実施形態の熱電変換素子は、図 2 に示すように、前記 n 型半導体材料 1 0 A 及び前記 p 型半導体材料 1 0 B からなる一対の半導体材料 1 0 と、n 型半導体材料 1 0 A の熱電層 1 4 A 上に配置された配線（図示省略）と、p 型半導体材料 1 0 B の熱電層 1 4 B 上に配置された配線（図示省略）と、を有する。

このような構成の熱電変換素子は、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の長手方向の一方の側を高温側とし、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の長手方向の前記一方の側とは反対の他方の側を低温側とすることで、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の各々の長手方向の両端に温度差が生じ、ゼーベック効果により起電力が生じる。

また、一対の半導体材料 1 0 に外部刺激を付与すると、圧電分極が生じ、生じた圧電分極によって、n 型半導体材料 1 0 A では圧電層 1 2 A の熱電層 1 4 A の側に正の分極が誘起され、熱電層 1 4 A にキャリアとしての電子が引き寄せられる。これにより、熱電層 1 4 A にキャリア（電子）が生じる。

同様にして p 型半導体材料 1 0 B では圧電層 1 2 B の熱電層 1 4 B の側に負の分極が誘起され、熱電層 1 4 B にキャリアとしての正孔が引き寄せられる。これにより、熱電層 1 4 B にキャリア（正孔）が生じる。

この結果、熱電層 1 4 A、1 4 B のキャリア密度が調整され、前記起電力はより大きくなる。前記起電力により生じた電流は、n 型半導体材料 1 0 A の熱電層 1 4 A 上に配置された配線（図示省略）と、p 型半導体材料 1 0 B の熱電層 1 4 B 上に配置された配線（図示省略）とを経て外部に電力として取り出される。

なお、上記第 1 実施形態では、圧電層の変形をより生じやすくする観点から、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B を基材上に形成してもよい。

10

20

30

40

50

【 0 0 9 1 】

(第 2 実施形態)

以下、図 8 及び図 9 を参照して、本発明の熱電変換素子の第 2 実施形態について具体的に説明する。第 2 実施形態の熱電変換素子は、発電装置の半導体モジュールに適用されている。第 2 実施形態では、「導電性層」が「熱電材料を含む熱電層」であり、外部刺激として圧力 F によって圧電層を変形させる態様について説明する。但し、本発明においては、以下に示す実施形態に制限されるものではない。

【 0 0 9 2 】

図 8 に、第 2 実施形態の半導体モジュールを備える発電装置を示し、図 9 に、図 8 の C - C ' 線断面図を示す。また、図 9 において、矢印 (矢印 F を除く) は正の分極の向きを表す。

10

まず、半導体モジュール 1 0 0 について説明する。

図 8 及び図 9 に示すように、半導体モジュール 1 0 0 は、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B からなる一対の半導体材料 1 0 を複数有する半導体積層体群と、複数の配線 2 2 と、基材として基板 2 0 A , 2 0 B と、を有する。半導体モジュール 1 0 0 は、第 2 実施形態の熱電変換素子である。

半導体モジュール 1 0 0 を構成する n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B は、交互に配置され直列に配線された π 型構造を成しており、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の長手方向の両端は、基板 2 0 A , 2 0 B 上において配線 2 2 を介してそれぞれ電氣的に接続されている。また、基板 2 0 B 上の端部の配線 2 2 には、半導体モジュール 1 0 0 の起電力により生じた電流 I を外部に取り出すための端子 2 4 が 2 つ設けられており、これらの端子 2 4 は接合部 2 6 により配線 2 2 に接合されている (図 8 及び図 9 の右側) 。

20

半導体モジュール 1 0 0 は、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の長手方向の一方の側が高温側 (吸熱側) とされ、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の長手方向の前記一方の側とは反対の他方の側が低温側 (放熱側) とされ、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の各々の長手方向の両端の温度差 (ゼーベック効果) により起電力が生じるように構成されている。

【 0 0 9 3 】

次に、半導体モジュール 1 0 0 の作用について説明する。

30

n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の各々の長手方向の両端に温度差が生じると、ゼーベック効果により起電力が生じる。

一方、図 8 及び図 9 に示すように、半導体モジュール 1 0 0 に対して、垂直方向から外部刺激として圧力 F がかけると、圧電分極 (正圧電効果) が生じ、生じた圧電分極によって、n 型半導体材料 1 0 A では圧電層 1 2 A が変形して、圧電層 1 2 A の熱電層 1 4 A の側に正の分極が誘起され、熱電層 1 4 A にキャリアとしての電子が引き寄せられる。これにより、熱電層 1 4 A にキャリア (電子) が生じる。

同様にして、p 型半導体材料 1 0 B では圧電層 1 2 B が変形して、圧電層 1 2 B の熱電層 1 4 B の側に負の分極が誘起され、熱電層 1 4 B にキャリアとしての正孔が引き寄せられる。これにより、熱電層 1 4 B にキャリア (正孔) が生じる。

40

熱電層 1 4 A , 1 4 B に生じたキャリアは、半導体モジュール 1 0 0 に伝熱された熱を、高温側 (吸熱側) から低温側 (放熱側) に運ぶ役割を担う。このため、熱電層 1 4 A , 1 4 B にキャリアが生じることで、n 型半導体材料 1 0 A 及び p 型半導体材料 1 0 B の各々の長手方向の両端に配置された配線 2 2 間の温度差はより大きくなり、半導体モジュール 1 0 0 で発生する起電力はより大きくなる。次いで、発生した起電力により電流 I が生じ、生じた電流 I は、図 8 に示す電流 I の矢印の方向に端子 2 4 を経て外部に電力として取り出される。

【 0 0 9 4 】

このように、本実施形態の半導体モジュール (熱電変換素子) 1 0 0 では、各半導体材料 1 0 A , 1 0 B に、外部から電圧印加せずに圧電分極 (正圧電効果) を利用して熱電層

50

14A, 14Bにキャリアが生じる。これにより、熱電層14A, 14Bのキャリア密度が調整される。この結果、熱電性能が向上し、かつ低消費電力で駆動する半導体モジュール(熱電変換素子)100が実現される。

さらに圧電材料として強誘電体を用いれば、圧電材料の自発分極も生じるため、圧電層12A, 12Bの熱電層14A, 14Bの側に誘起された正又は負の分極とは反対の符号を持つキャリアが、熱電層14A, 14Bにより引き寄せられる。これにより、熱電層14A, 14Bにキャリア(電子、正孔)がより生じやすくなり、熱電層14A, 14Bのキャリア密度の調整が容易になる。この結果、半導体モジュール(熱電変換素子)100の熱電性能はさらに向上する。

さらに、本実施形態の半導体モジュール100によれば、圧電層12A, 12Bと熱電層14A, 14Bとを接触して積層させた「単一構造体」からなる半導体材料10A, 10Bを複数有することで、構造が複雑にならず、デバイスの小型化が実現される。

【0095】

以上に説明した本実施形態の半導体モジュール(熱電変換素子)100は、図8及び図9に示すように、2つの基板20A, 20Bに挟んで発電装置200として使用することができる。

図8及び図9に示す発電装置200は、基板20Aが吸熱基板で構成され、基板20Bが放熱基板で構成されている。

このような発電装置200では、基板20A(吸熱基板)が熱源等から吸熱すると、基板20Aの熱は基板20Aから配線22を経て半導体モジュール100に伝熱される。半導体モジュール100では、上述した作用により、n型半導体材料10A及びp型半導体材料10Bの各々の長手方向の両端に温度差が生じ、ゼーベック効果により起電力が生じる。さらに、基板20B側から、外部刺激として圧力Fがかかると、圧電層に圧電分極(正圧電効果)が生じ、生じた圧電分極によって、上述のように熱電層14A, 14Bにキャリアが生じるため、半導体モジュール100で発生する起電力はより大きくなる。

【0096】

(第3実施形態)

以下、図10を参照して、本発明の熱電変換素子の第3実施形態について具体的に説明する。第3実施形態の熱電変換素子は、プレーナ型の熱電変換素子に適用されている。第3実施形態では、「導電性層」が「熱電材料を含む熱電層」であり、「圧電層」が「強誘電体を含む圧電層」であり、かつ外部刺激として圧力Fによって圧電層を変形させる態様について説明する。但し、本発明においては、以下に示す実施形態に制限されるものではない。

【0097】

図10Aに、第3実施形態の熱電変換素子を示し、図10Bに、図10AのE-E'線断面図を示す。なお、図10Bにおいて、矢印(矢印Fを除く)は正の分極の向きを表す。

まず、熱電変換素子300について説明する。

図10A及び図10Bに示すように、熱電変換素子300は、n型半導体材料10A及びp型半導体材料10Bが対をなす複数の半導体材料10と、複数の配線30と、を有する。

n型半導体材料10A及びp型半導体材料10Bが対をなす複数の半導体材料10は、直列に接続されており、両端に位置する2つの半導体材料には、外部回路(図示省略)に接続される端子32がそれぞれ設けられている。

また、複数の半導体材料10を構成するn型半導体材料10A及びp型半導体材料10Bは、各々の半導体材料の長手方向の端部において、隣り合う半導体材料のうち、一方の半導体材料と配線30を介して接続されている。つまり、第3実施形態の熱電変換素子300は、複数の半導体材料10が直列に接続されたプレーナ型構造を成している。

このような構成の熱電変換素子300は、複数の半導体材料10が直列に接続された方向と直交する方向の一方の側が高温側とされ、他方の側が低温側とされ、n型半導体材料

10

20

30

40

50

10 A 及び p 型半導体材料 10 B の各々の長手方向の両端に温度差を生じさせること（ゼーベック効果）により起電力が生じるように構成されている。

なお、上記熱電変換素子 300 では、半導体材料 10 の長手方向の一方の端部及び他方の端部において、配線 30 を介さず、n 型半導体材料 10 A 及び p 型半導体材料 10 B の端部同士を直接接続して、n 型半導体材料 10 A と p 型半導体材料 10 B とが鋭角に交わる所謂ジグザグ形状を有するプレーナ型構造を構成してもよい。

また、上記熱電変換素子 300 では、圧電層 12 A , 12 B の変形をより生じやすくする観点から、n 型半導体材料 10 A 及び p 型半導体材料 10 B を基材上に形成してもよい。

【0098】

次に、熱電変換素子 300 の作用について説明する。

一方、図 10 B に示すように、熱電変換素子 300 に対して、垂直方向から外部刺激として圧力 F がかけると、圧電層 12 A , 12 B が変形して、圧電分極（正圧電効果）が生じる。また、第 3 実施形態では、圧電層が強誘電体を含むため、圧電層 12 A , 12 B に圧電材料の自発分極も生じる。

次いで、これらの分極によって、n 型半導体材料 10 A では圧電層 12 A の熱電層 14 A の側に正の分極が誘起され、熱電層 14 A にキャリアとしての電子が引き寄せられる。これにより、熱電層 14 A にキャリア（電子）が生じる。

同様にして、p 型半導体材料 10 B では圧電層 12 B の熱電層 14 B の側に負の分極が誘起され、熱電層 14 B にキャリアとしての正孔が引き寄せられる。これにより、熱電層 14 B にキャリア（正孔）が生じる。

熱電層 14 A , 14 B に生じたキャリア（電子、正孔）は、熱電変換素子 300 の高温側（吸熱側）の熱を低温側（放熱側）に運ぶ役割を担うため、熱電層 14 A , 14 B にキャリアが生じることで、熱電層 14 A , 14 B の熱電性能は向上する。これにより、熱電変換素子 300 で発生する起電力はより大きくなる。次いで、発生した起電力により電流が生じ、生じた電流は、外部回路（図示省略）に接続される端子 32 を経て電力として取り出される。

【0099】

このように、熱電変換素子 300 では、各半導体材料 10 A , 10 B に、外部から電圧印加せずに圧電分極（正圧電効果）及び強誘電体の自発分極の双方の分極を利用して熱電層 14 A , 14 B にキャリアを生じさせる。これにより、熱電層 14 A , 14 B に引き寄せられるキャリア数が増えるため（つまり熱電層 14 A , 14 B に生じるキャリア数が増えるため）、熱電層 14 A , 14 B のキャリア密度の調整が容易になる。この結果、熱電性能がさらに向上し、かつ低消費電力で駆動する熱電変換素子 300 が実現される。

さらに、熱電変換素子 300 によれば、n 型半導体材料 10 A 及び p 型半導体材料 10 B が対をなす複数の半導体材料 10 が直列に接続されたプレーナ型構造を成しているため、熱電変換素子 300 の形状は、シート状（フィルム状を含む）となる。このような形状の熱電変換素子 300 は、シート状のまま使用することもできるし、複数の半導体材料 10 が直列に接続された方向に丸めて円筒状に変形して使用することもできる。

以上のように、第 3 実施形態では、熱電変換素子 300 の更なる軽量化かつ小型化が実現可能であり、使用用途の拡大も期待することができる。

【0100】

<スイッチング素子>

本発明のスイッチング素子は、本発明の半導体材料を有する。

本発明のスイッチング素子としては特に制限されないが、例えば、熱電変換素子用スイッチング素子；各種デバイス（各種センサー、無線モジュール等）用スイッチング素子；発電量を切り替えることができる発電用途のスイッチング素子；ヒーターやクーラーの使い方を切り替えることができる加熱冷却用途のスイッチング素子；等が挙げられる。

中でも、熱電変換素子用スイッチング素子が好ましい。

【0101】

本発明のスイッチング素子の好ましい形態は、本発明の半導体材料と、半導体材料の圧電層の側に配置されたゲート電極と、半導体材料の導電性層に電氣的に接続されるソース電極及びドレイン電極と、を有し、ゲート電極に電圧を印加したときに、ドレイン電極及びソース電極が、導電性層を介して電氣的に接続される形態である。

すなわち、上記好ましい形態のスイッチング素子は、電界効果トランジスタ（例えば薄膜トランジスタ（以下、「TFET」とも称する））を備えることが好ましい。また、電界効果トランジスタ自体がスイッチング素子として機能してもよい。電界効果トランジスタは、トップゲート型でも、ボトムゲート型でもよい。

【0102】

以下、図14を参照して、本発明のスイッチング素子の一例について説明する。本実施形態のスイッチング素子は、トップゲート型のTFETを有し、熱電変換素子用スイッチング素子である。なお、外部刺激としては電圧が適用される。但し、本発明においては、以下に示す形態に制限されるものではない。

10

図14に示すように、スイッチング素子400は、基板42と、導電性層14Cと、圧電層12Cとをこの順に備え、導電性層14Cと圧電層12Cとの間には、ソース電極44及びドレイン電極46が所定の間隔を空けて配置されている。

また、スイッチング素子400は、ヒーター（図示省略）によって、ソース電極44の側が、 T_A （高温）に調整され、ドレイン電極46の側が T_B （低温）に調整されるように構成されている（ $T_A > T_B$ ）。

【0103】

20

次に、スイッチング素子400の作用について説明する。

まず、ゲート電極48に、外部刺激として正の電圧が印加されると、その外部刺激によって圧電層12Cに分極が生じ、生じた分極によって、熱電層14Cにキャリアとしての電子が生じる。すなわち、本実施形態では、圧電層12C及び熱電層14Cからなる積層体はn型半導体材料として機能する。

さらに、本実施形態のスイッチング素子400には、熱電層14Cの面方向に温度差が設けられているため（ $T_A > T_B$ ）、この温度差によって熱電層14Cに起電力が生じる。これにより、ソース電極44及びドレイン電極46の間に電流が流れ、電極間が電氣的に接続される。そして、熱電層14Cに生じた電流は、端子（図示省略）を経て電力として取り出される。

30

【0104】

本実施形態のスイッチング素子400では、ゲート電極48に印加する電圧や、電圧のオンオフ間隔を制御することによって熱電層14Cに生じるキャリア種（電子又は正孔）、キャリア量、起電力、電流、及び電力の少なくとも1つを制御することができる。

また、本実施形態のスイッチング素子400は、熱電層14Cに生じた起電力を電力として取り出せるので、熱電変換素子としても機能する。

【0105】

なお、ゲート電極48に、外部刺激として負の電圧が印加された場合には、上記と同様の作用により熱電層14Cにキャリアとしての正孔が生じ、ソース電極44及びドレイン電極46の間に電流が流れる。この場合、圧電層12C及び熱電層14Cからなる積層体はp型半導体材料として機能する。熱電層14Cに生じた電流は、上記と同様の方法で電力として取り出される。

40

【実施例】

【0106】

以下、実施例により本実施形態を詳細に説明するが、本実施形態は、これら実施例に何ら限定されるものではない。なお、以下の説明において、特に断りのない限り「%」はすべて質量基準である。

【0107】

<実施例1>

以下に示す方法により熱電変換素子を作製した。

50

ガラス基板（厚み 1 mm）を準備した。圧電層として 70 mm × 50 mm の圧電性 P V D F フィルム（圧電性ポリフッ化ビニリデンフィルム）（クレハ社製：K F ポリマー、厚み 100 μm）を、ガラス基板上に貼り付けた。

次いで、スピンコート法にて熱電層作製用塗布液として P E D O T / P S S 水溶液（ポリ（3, 4 - エチレンジオキシチオフェン）/ ポリ（スチレンスルホン酸）水溶液）（C l e v i o s 社製：P H 1000）を、圧電性 P V D F フィルム上に、2000 rpm で 120 秒間塗布し、塗布した P E D O T / P S S 水溶液を 70 °C で 3 分間、乾燥させて P E D O T / P S S 膜（熱電層）を得た。次いで、ガラス基板から、圧電性 P V D F フィルム及び P E D O T / P S S 膜からなる積層体を剥離した。

このようにして半導体材料（1）（つまり積層体）を得た。得られた半導体材料（1）を S E M 観察したところ、P E D O T / P S S 膜の厚みは 1 μm、半導体材料（1）の総厚は 101 μm であった。

次いで、半導体材料（1）の作製において、熱電層作製用塗布液が塗布された圧電性 P V D F フィルムの面とは反対の面に熱電層作製用塗布液を塗布したこと以外は半導体材料（1）と同様の方法により、半導体材料（1'）を得た。

次いで、半導体材料（1）の P E D O T / P S S 膜と、半導体材料（1'）の P E D O T / P S S 膜とを導電性テープを用いて接続した。このようにして一対の半導体材料からなる熱電変換素子を作製した。

図 11 A に、半導体材料（1）の平面視での写真を示し、図 11 B に、図 11 A の D - D ' 線断面図を示す。図 11 A 及び図 11 B において、「P V D F」は、圧電性 P V D F フィルムを表し、「P E D O T / P S S」は、P E D O T / P S S 膜を表している。

また、図 11 A に示す一対の半導体材料は、例えば図 10 A 及び図 10 B に示す熱電変換素子 300 を構成する一対の半導体材料 10（半導体材料 10 B 及び半導体材料 10 A）として適用することができる。

具体的に、例えば半導体材料（1）は、図 10 A 及び図 10 B 中の n 型半導体材料 10 A に相当する。半導体材料（1'）は、図 10 A 及び図 10 B 中の p 型半導体材料 10 B に相当する。圧電性 P V D F フィルムは、図 10 B 中の圧電層 12 A, 12 B に相当し、P E D O T / P S S 膜は、図 10 B 中の熱電層 14 A, 14 B に相当する。また、導電性テープは、図 10 A 及び図 10 B 中の配線 30 に相当する。

【0108】

< 実施例 2 >

以下に示す方法により半導体材料（2）を作製した。

ガラス製フラットシャーレを準備した。圧電材料として V D F / T r F E 共重合体（クレハ社製：フッ化ビニリデン / 三フッ化エチレン共重合体、75 / 25 mol %）を、D M F 溶液（ジメチルホルムアミド溶液）に混合し、1 質量 % の圧電層作製用塗布液を調製した。この圧電層作製用塗布液と、熱電層作製用塗布液として P E D O T / P S S 水溶液（C l e v i o s 社製：P H 1000）と、をそれぞれ 10 ml ずつ混ぜ、150 °C で 1 時間、マグネチックスターラーで攪拌させながら混合し、圧電熱電層作製用塗布液を調製した。この圧電熱電層作製用塗布液をガラス製フラットシャーレに注ぎ、圧電熱電層前駆体膜を作製した。その後、圧電熱電層前駆体膜を真空オープン中で 70 °C で 1 時間乾燥させて圧電熱電層を得た。次いで、ガラス製フラットシャーレから、圧電熱電層を剥離した。

なお、得られた圧電熱電層中における V D F / T r F E 共重合体の含有量は固形分換算で 0.5 g であり、P E D O T / P S S の含有量は 50 mg であった。

また、得られた圧電熱電層を S E M 観察したところ、圧電熱電層は、V D F / T r F E 共重合体膜と P E D O T / P S S 膜とに二層分離しており、V D F / T r F E 共重合体膜の厚みは 30 μm、P E D O T / P S S 膜の厚みは 10 μm、圧電熱電層の総厚は 40 μm であった。このようにして半導体材料（2）（つまり圧電熱電層）を得た。

図 12 に半導体材料（2）の断面写真を示す。なお、図 12 において、「V D F / T r F E」は、V D F / T r F E 共重合体膜（圧電層）を表し、「P E D O T / P S S」は、P E D O T / P S S 膜（熱電層）を表している。

【 0 1 0 9 】

< 実施例 3 >

実施例 2 において、圧電層作製用塗布液 10 ml と、PEDOT/PSS 水溶液（熱電層作製用塗布液）5 ml と、を混ぜたこと以外は実施例 2 と同様にして半導体材料を作製し、これを半導体材料（3）とした。

なお、得られた圧電熱電層中における VDF/TrFE 共重合体の含有量は固形分換算で 1.0 g であり、PEDOT/PSS の含有量は 50 mg であった。

【 0 1 1 0 】

次に、以下に示す方法により、図 14 に示すスイッチング素子と同様の構成を有する薄膜トランジスタ（TFET）を作製した。なお、実施例 4 で得られる TFET は、スイッチング素子としても、熱電変換素子としても機能する。

【 0 1 1 1 】

< 比較例 1 >

実施例 2 において、ガラス製フラットシャーレをポリイミド基板（厚み 125 μm ）に変更したこと、及び、熱電層作製用塗布液のみをポリイミド基板に注いだこと以外は実施例 2 と同様にして、ポリイミド基板上に熱電層を作製し、これを半導体材料（1C）とした。

また、得られた半導体材料（1C）を SEM 観察したところ、PEDOT/PSS 膜の厚みは 17 μm であった。

【 0 1 1 2 】

< 実施例 4 >

石英ガラス基板（厚み 0.5 mm）を準備した。次いで、この基板をセミコクリーン、アセトン、及びエタノールで 10 分間超音波洗浄し、基板表面に対し UV オゾン（UV 照度 11 mW/cm²）にて 10 分間親水化処理を施した。その後、スピンコーター（共和理研社製：K359SD-1 Spinner）を用いて、スピンコート法にて熱電層作製用塗布液として PEDOT/PSS（Clevis社製：PH1000、質量比：PEDOT/PSS = 1/2.5）の DMSO（ジメチルスルホキシド）5 wt% 溶液を基板上に 1000 rpm で 2 分間塗布し、塗布した熱電層作製用塗布液を 150 で 1 時間、ホットプレートで乾燥させて PEDOT/PSS 膜（熱電層）を作製した。

次いで、真空蒸着装置（日本電子社製：JEE-400）を用いて、熱電層上にソース電極としての Au 電極と、ドレイン電極としての Au 電極とを両電極間の距離が 4.0 mm となるように真空蒸着法にて作製した。

次いで、圧電材料として VDF/TrFE 共重合体（クレハ社製：フッ化ビニリデン/三フッ化エチレン共重合体、75/25 mol%）を、DEC 溶液（炭酸ジエチル溶液）に混合し、5 質量%の圧電層作製用塗布液を調製した。その後、上記スピンコーターを用いて、スピンコート法にて、この圧電層作製用塗布液を Au 電極が作製された熱電層上に 1500 rpm で 2 分間塗布し、塗布した圧電層作製用塗布液を 140 で 1 時間乾燥させた。その後、再度同じ条件で圧電層作製用塗布液を塗布して（2 度目）140 で 1 時間乾燥させた。これにより、VDF/TrFE 共重合体膜（圧電層）を作製した。

次いで、VDF/TrFE 共重合体膜（圧電層）上に、ゲート電極としての Al 電極を蒸着によって作製した。

このようにして、薄膜トランジスタ（TFET）を得た。得られた TFET を SEM 観察したところ、PEDOT/PSS 膜の厚みは 0.1 μm 、VDF/TrFE 共重合体膜の厚みは 0.6 μm であった。

なお、得られた TFET において、石英ガラス基板は、図 14 中の基板 42 に相当する。PEDOT/PSS 膜は、図 14 中の熱電層 14C に相当し、VDF/TrFE 共重合体は、図 14 中の圧電層 12C に相当する。また、PEDOT/PSS 膜及び VDF/TrFE 共重合体からなる積層体は、図 14 中の半導体材料 10C に相当する。2 つの Au 電極は、それぞれ図 14 中のソース電極 44 及びドレイン電極 46 に相当する。Al 電極は、図 14 中のゲート電極 48 に相当する。

【0113】

〔評価〕

<半導体材料のゼーベック係数>

実施例2、3及び比較例1で得た半導体材料(2)、(3)及び半導体材料(1C)を用いて、ゼーベック係数を熱電特性評価装置(アルバック理工社製:ZEM-3)にて測定した。

まず、測定温度の設定を50、70、90、110とし、各温度に対する温度差の設定を15、20、25、30とした。この条件にて各温度におけるゼーベック係数を測定し(四端子法)、その平均値をゼーベック係数として算出した。

結果を図15に示す。図15は、VDF/TrFE共重合体の含有量とゼーベック係数との関係を示すグラフである。

10

【0114】

図15に示すように、熱電層と、圧電材料(VDF/TrFE共重合体)を含む圧電層とを含む半導体材料(2)、(3)は、熱電層のみの半導体材料(1C)(図15中、VDF-TrFE Additive amountが0g)に比べ、ゼーベック係数が大きくなることがわかる。また、圧電材料の含有量の増加に伴い、ゼーベック係数が大きくなることがわかる。

したがって、圧電材料が有する自発分極がゼーベック係数の増加に寄与すること、及び、圧電材料の含有量によってゼーベック係数が増減することがわかる。

すなわち、半導体材料の圧電材料の含有量を調整することによって起電力を制御でき、ひいては熱電変換性能(発電量)を制御できることが示唆された。

20

【0115】

<ソース電極-ドレイン電極間の $I_{DS}-V_{DS}$ 特性>

実施例4で作製したTFETを用いて、電流-電圧($I_{DS}-V_{DS}$)特性を測定した。

具体的には、TFETのゲート電極に、外部刺激として-1Vから+1Vまでの電圧を印加したときの $I_{DS}-V_{DS}$ 特性を室温(25)で測定した。なお、測定装置は、YOKOGAWA Hewlett Packard社製の4140B pA METER/DC VOLTAGE SOURCEを用いた。結果を図16に示す。図16は、 $I_{DS}-V_{DS}$ 特性を示すグラフである。

図16に示すように、ゲート電極に、上記電圧を印加することで、ソース電極及びドレイン電極間に電流が流れることがわかる。これにより、圧電層に分極が生じ、生じた分極によって熱電層にキャリアが生じたことがわかる。

30

【0116】

<圧電材料の分極反転>

実施例4で作製したTFETを用いて、電束密度-電界強度($D-E$)ヒステリシス曲線を測定した。具体的には、TFETのゲート電極に対して、外部刺激として-100MV/mから+100MV/mまでの電界を印加したときの $D-E$ ヒステリシス曲線を室温(25)で測定した。なお、周波数は10Hzとした。測定装置は、Toyo Corporation社製のModel 6252 Rev. Cを用いた。結果を図17に示す。図17は、 $D-E$ ヒステリシス曲線を示すグラフである。

40

図17に示すように、ゲート電極に、上記電界を印加すると、圧電材料(VDF/TrFE共重合体)が分極反転することがわかる。また、残留分極値(P_r)は、 $\pm 7.5 \mu C/cm^2$ であり、十分な分極反転電流が得られたことがわかる。これにより、ゲート電圧によって圧電材料の分極を制御できることがわかる。

【0117】

< $I_{DS}-V_G$ 特性>

実施例4で作製したTFETを用いて、電流-電圧($I_{DS}-V_G$)特性を測定した。

具体的には、TFETのゲート電極に、外部刺激として-50Vから+50Vまでの電圧を印加したときの $I_{DS}-V_G$ 特性を室温(25)で、各サンプルあたり10回測定した。なお、ソース電極及びドレイン電極間の電圧は0.1V(一定)とし、スイープ速度

50

は 0.01 V/秒 とした。測定装置は、YOKOGAWA Hewlett Packard 社製の $4140 \text{ B pA METER/DC VOLTAGE SOURCE}$ を用いた。結果を図 18 に示す。図 18 は、 $I_{DS} - V_G$ 特性を示すグラフである。なお、図 18 に示すプロットは、10 回の測定の平均値である。

図 18 に示すように、ゲート電極に、上記電圧を印加すると、圧電材料 (VDF/TrFE 共重合体) の分極向きに応じて、熱電層に生じたキャリアが増加して電流が増え、また、その分極向きが反転すると、熱電層に生じたキャリアが減少して電流も減少することが確認された。

なお、電流の変化を抵抗値に換算すると $10 \text{ k}\Omega$ の変化に相当する。このことから、熱電層に比較的多くのキャリアが生じ、キャリア注入が有効に行われていることが推測される。

10

【0118】

< TFT のゼーベック係数 >

実施例 4 で作製した TFT を用いて、圧電材料の分極方向が変化するようにゲート電極に電圧を印加し、かつ温度を変化させたときのゼーベック係数を熱電特性評価装置 (アルバック理工社製: ZEM-3) にて測定した。

まず、TFT の熱電層の面方向に対し、熱電層の両側の温度が $56 \sim 57$ になるように TFT を加熱し、ゼーベック係数を測定した。以下、上記両側の温度を初期温度と称する。

次いで、熱電層の面方向に対し、一方の側を初期温度に保持したまま、他方の側を、初期温度に対して 15 、 20 、 25 、 30 高くなるように昇温していき、それぞれの温度におけるゼーベック係数を測定した。各温度にて測定されたゼーベック係数の平均値をゼーベック係数として算出した。そして、上記操作を計 3 回行った。

20

なお、TFT の熱電層の面方向に対して温度差を 15 設けた場合、熱電特性評価装置の温度測定用プローブ間の温度差が 1.5 となる。したがって、他方の側の温度が初期温度に対して 15 、 20 、 25 、 30 高くなったときの上記プローブ間の温度差は、それぞれ 1.5 、 2.0 、 2.5 、 3.0 と算出される。

次いで、初期温度を $72 \sim 72.5$ に変更して上記と同様の操作を行った。その後、初期温度を $90 \sim 92$ に変更して上記と同様の操作を行った。

結果を図 19 に示す。図 19 は、温度とゼーベック係数との関係を示すグラフである。測定条件は以下の通りである。

30

なお、図 19 には、3 回の操作のばらつきも示した。図 19 中、「polarization direction↓」とは、ゲート電極に正の電圧 ($+100 \text{ V}$) を印加したときに、圧電材料の正の分極の向きが圧電層の側から熱電層の側へ向かうことを指す。また、「polarization direction↑」とは、ゲート電極に負の電圧 (-100 V) を印加したときに圧電材料の正の分極の向きが、熱電層の側から圧電層の側へ向かうことを指す。また、「no polarization」とは、ゲート電極に、電圧を印加していないことを指す。

【0119】

- 測定条件 -

測定方法: 四端子法

温度測定用プローブの間隔: 8.3 mm

40

【0120】

図 19 に示すように、各初期温度 ($56 \sim 57$ 、 $72 \sim 72.5$ 、 $90 \sim 92$) において、TFT は、「no polarization (分極なし)」に対し、「polarization direction↓」のときにゼーベック係数が増加し、「polarization direction↑」のときにゼーベック係数が減少することがわかる。

したがって、ゲート電圧を制御することによって、圧電材料の分極方向及び TFT のゼーベック係数 (熱電層に生じるキャリア量) を制御でき、ひいては熱電変換性能 (発電量) を制御できることがわかる。

【0121】

50

以上の結果から、例えば熱電変換素子に、本発明の半導体材料を搭載して圧電層に外部刺激を付与し、さらに導電性層（好ましくは熱電層）に温度差を設けることによって、目的とする発電量を自立発電により得ることができると考えられる。

また、例えば熱電変換素子用スイッチング素子に、本発明の半導体材料を搭載すれば、上記発電量を制御することもできると考えられる。

【 0 1 2 2 】

なお、2015年10月16日に出願された日本国特許出願2015-205044号の開示は、その全体が参照により本明細書に取り込まれる。

本明細書に記載された全ての文献、特許出願及び技術規格は、個々の文献、特許出願及び技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

10

【産業上の利用可能性】

【 0 1 2 3 】

本発明は、熱エネルギーを電気エネルギーに変換する産業に利用することができる。具体的には、本発明の半導体材料は、外部から電圧印加せずに圧電分極によって、好ましくは圧電材料の自発分極と組み合わせることによって導電性層にキャリアが生じるものであり、しかも、圧電層上に、圧電層と導電性層（導電性層が熱電性能を有する場合は熱電層）とを接触させて又は他の層を介して積層させた単一構造体で構成される。このため、本発明の半導体材料を、各種素子（熱電変換素子、センサー、無線モジュール等）や、各種素子のスイッチング素子に適用することで、特に実環境における微小エネルギーを有効利用することができると共に、自立発電が可能となり、デバイスの小型化も図れる。

20

また、本発明の導電性層にキャリアを生じさせる方法は、半導体の性質を最適化する上で産業上利用できる。

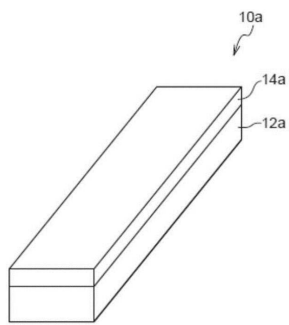
【符号の説明】

【 0 1 2 4 】

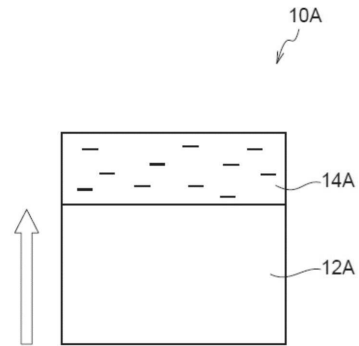
10, 10a, 10A, 10B, 10C 半導体材料、12a, 12A, 12B, 12C 圧電層、14a, 14A, 14B, 14C 熱電層（導電性層）、16 基材、18 圧電熱電層前駆体膜、20A, 20B 基板、22, 30 配線、24, 32 端子、26 接合部、100 熱電変換素子（半導体モジュール）、200 発電装置、300 熱電変換素子、42 基板、44 ソース電極、46 ドレイン電極、48 ゲート電極、400 スwitchング素子

30

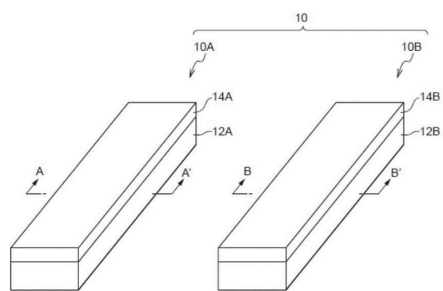
【図 1】



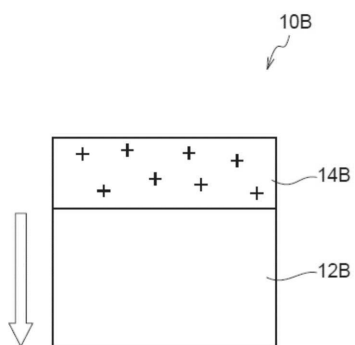
【図 3】



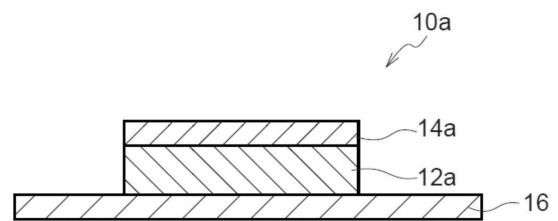
【図 2】



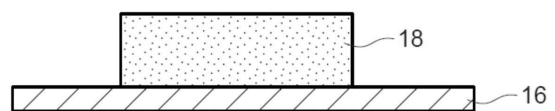
【図 4】



【図 5 B】



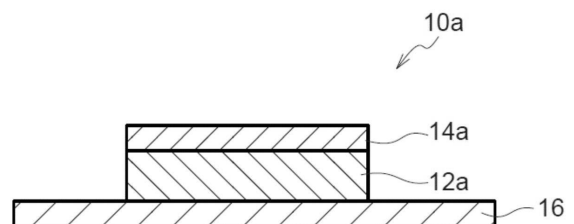
【図 6 A】



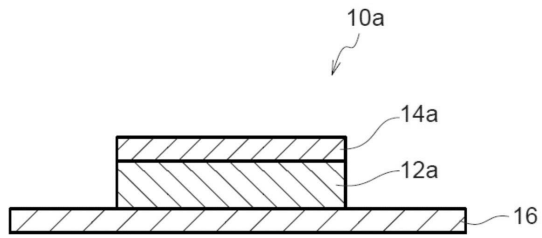
【図 5 A】



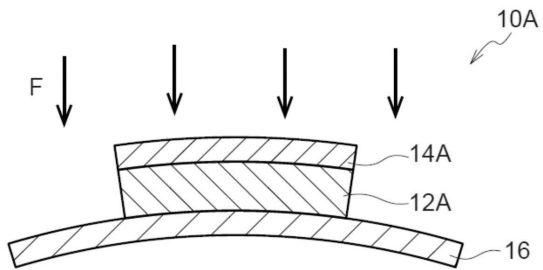
【図 6 B】



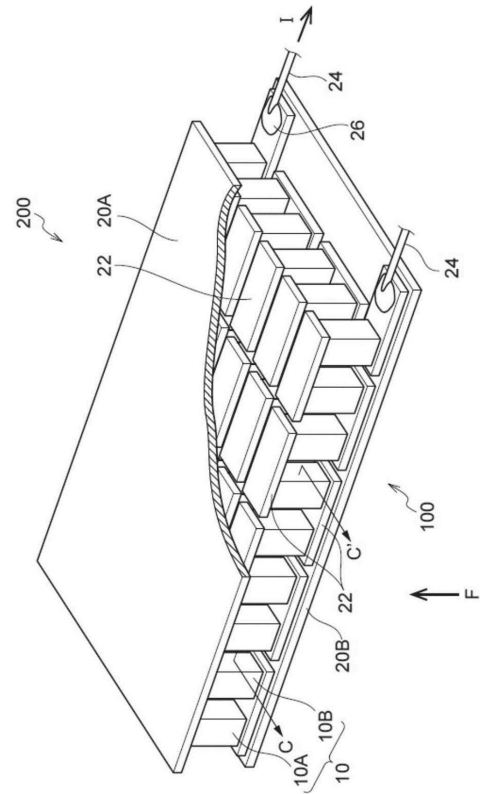
【図 7 A】



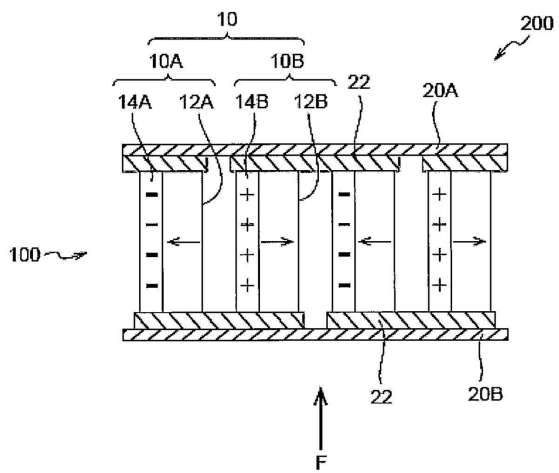
【図 7 B】



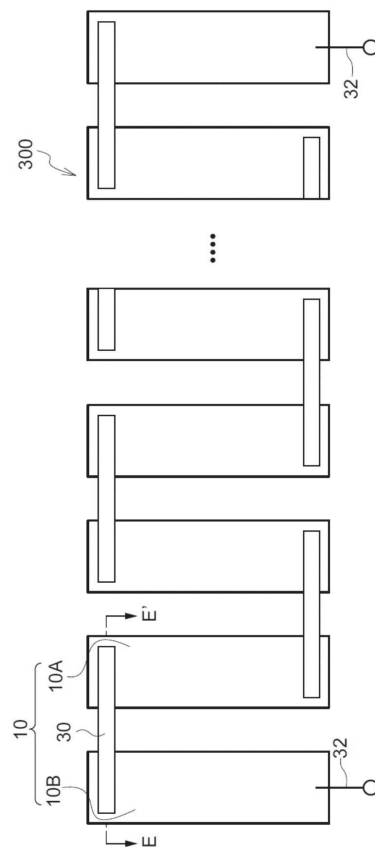
【図 8】



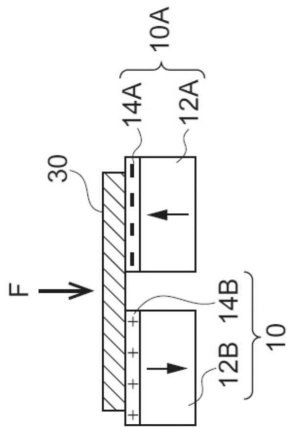
【図 9】



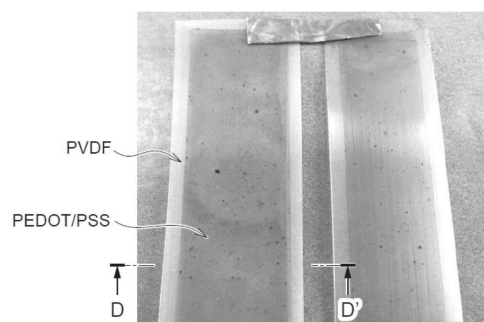
【図 10 A】



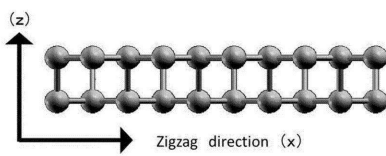
【図10B】



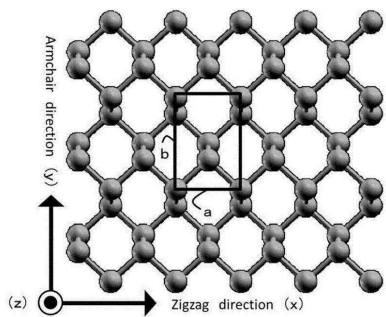
【図11A】



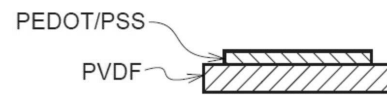
【図13B】



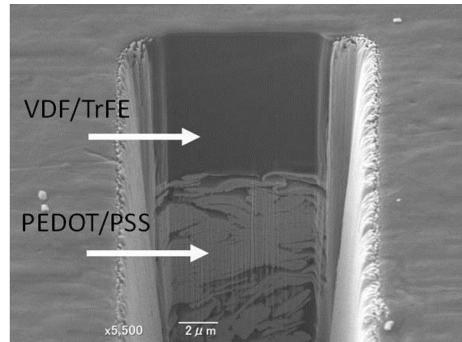
【図13C】



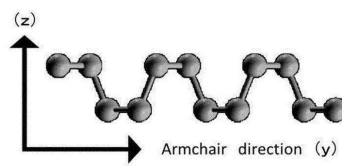
【図11B】



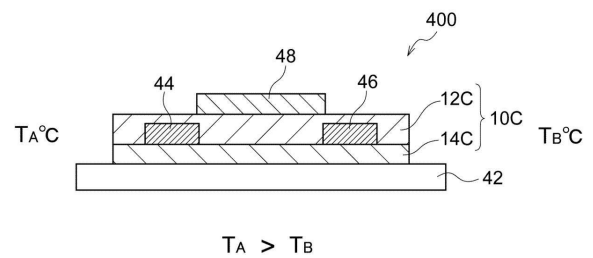
【図12】



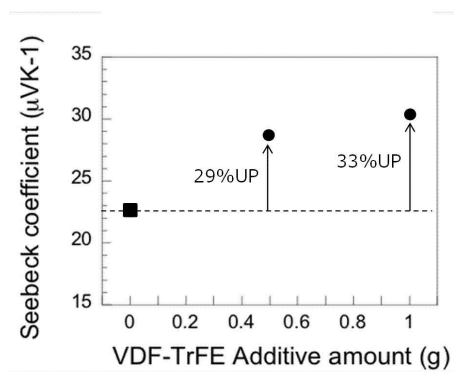
【図13A】



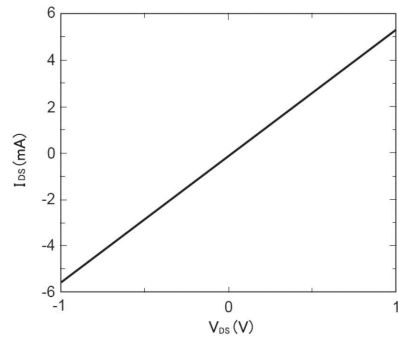
【図14】



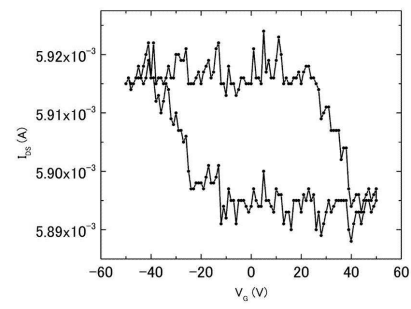
【図15】



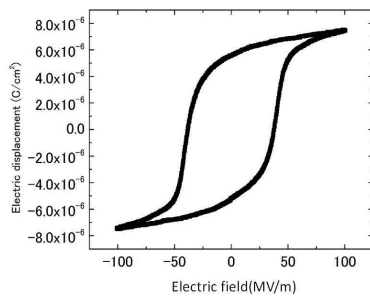
【図 16】



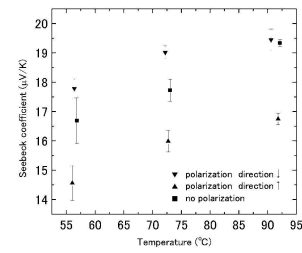
【図 18】



【図 17】



【図 19】



フロントページの続き

(51)Int.Cl. F I
H 0 2 N 11/00 (2006.01) H 0 2 N 11/00 A

- (72)発明者 中嶋 宇史
東京都新宿区神楽坂一丁目3番地 学校法人東京理科大学内
(72)発明者 阿武 宏明
東京都新宿区神楽坂一丁目3番地 学校法人東京理科大学内
(72)発明者 小鍋 哲
東京都新宿区神楽坂一丁目3番地 学校法人東京理科大学内

審査官 安田 雅彦

- (56)参考文献 特開2010-245298(JP,A)
特開2003-133600(JP,A)
特表2014-526694(JP,A)
特開2004-076108(JP,A)
特開平04-256361(JP,A)
独国特許出願公開第102007029393(DE,A1)
特開2010-199276(JP,A)
米国特許出願公開第2014/0318592(US,A1)
国際公開第2010/053842(WO,A2)
米国特許出願公開第2012/0133210(US,A1)
国際公開第2014/152570(WO,A2)
特開2016-207708(JP,A)
DAS, Saptarshi et al., A Small Signal Amplifier Based on Ionic Liquid Gated Black Phosphorous Field Effect Transistor, IEEE ELECTRON DEVICE LETTERS, 2015年 6月, Vol.36, No.6, pp.621-623
LV, H. Y. et al., Enhanced thermoelectric performance of phosphorene by strain-induced band convergence, PHYSICAL REVIEW B, 2014年 8月, Vol.90, pp.085433

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 3 5 / 0 0 - 3 4
H 0 1 L 2 9 / 7 8 - 7 8 6
H 0 1 L 2 9 / 8 4
H 0 1 L 4 1 / 0 0 - 4 7
H 0 1 L 5 1 / 0 0 - 4 0
H 0 2 N 1 1 / 0 0