

[51] Int. Cl⁶

H01L 21/8242 G11C 11/34

[21] 申请号 98118322.0

[11]公开号 CN 1213182A

[74] 专利代理机构 柳沈知识产权律师事务所

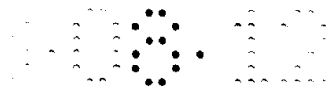
代理人 陶凤波

[72]发明人 格尔德·谢勒 马丁·高尔

权利要求书 3 页 说明书 7 页 附图页数 4 页

[57]摘要

ISSN 1008-4274



权 利 要 求 书

1. 一种存储单元, 在硅片的单晶整体部分内部, 供存储单元的行和列的阵列之用, 并通过字线和位线访问, 所述存储单元包括:

5 电容器, 它包括用硅填满的并沿着其壁具有介电层的垂直沟槽, 介电层使硅填充物与芯片的整体部分绝缘;

 叠加在沟槽上面的立式晶体管, 它具有: 第一源极/漏极, 其在沟槽顶部与硅汇合; 中间硅层, 其在沟槽顶部与硅填充物汇合以便构成所述第一源极/漏极, 并在其中产生反相层以便形成导电通道; 覆盖在中间硅层上面的第二
10 源极/漏极; 环绕中间硅层的栅介电层; 栅极, 其环绕栅介电层并沿着芯片表面延伸, 从那里介电绝缘并与字线连接; 以及

 与第二源极/漏极处于电接触, 按另一种方式在沟槽表面上延伸并在电气上与字线和芯片绝缘的位线。

 2. 根据权利要求 1 所述的存储单元, 其中字线是多晶硅层。

15 3. 根据权利要求 2 所述的存储单元, 其中:

 硅填充物是在沟槽下部的多晶硅; 以及
 中间硅层基本上是单晶硅。

 4. 根据权利要求 1 所述的存储单元, 其中芯片的整体部分是第一种导电类型, 沟槽的硅填充物是与所述第一种类型相反的第二种导电类型, 中间硅
20 层是所述第一种导电类型, 两个源极/漏极区域是第二种导电类型。

 5. 根据权利要求 4 所述的存储单元, 其中在环绕沟槽中多晶硅填充物的介电层外部的周围, 包括与多晶硅填充物相同的导电类型的层, 以便与芯片的整体部分形成整流结。

 6. 一种制造存储单元的方法, 包括以下步骤:

25 在一种导电类型的硅芯片上形成沟槽;

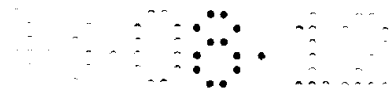
 在沟槽的壁上形成介电层;

 用与芯片的相反的导电类型的多晶硅填满沟槽;

 在芯片的表面上生长足够厚度的外延硅层, 以便在沟槽顶部形成其导电性与芯片的导电性相反的大致上单晶硅层, 用作第一源极/漏极;

30 在芯片的表面上形成第一介电层;

 在第一介电层的表面上形成其导电类型与芯片相反的多晶硅层;



在所述多晶硅层的表面上形成第二介电层;

通过第一和第二介电层以及所述多晶硅层蚀刻孔,以便露出在沟槽顶部的大致上单晶硅;

在多晶硅层中有选择地沿着孔的侧壁形成氧化硅层;

- 5 在孔中生长所述一种导电类型的单晶硅,以便形成在其中将形成立式晶体管的通道的中间层,在立式晶体管中孔的所述多晶硅层的侧壁上面的氧化硅层用作栅电介质;以及

在接触中间硅层的芯片的上表面上淀积相反导电类型的导电层,以便用作单元的第二源极/漏极和位线。

- 10 7. 根据权利要求6所述的方法,其中在沟槽的壁上形成介电层的步骤以前,在沟槽的壁上形成其导电类型与芯片相反的层,而在形成介电层以后,用其导电类型与硅片相反的多晶硅填满沟槽。

8. 一种制备存储器中使用的存储单元的方法,该存储器包括按行和列排列的存储单元的阵列并用字线和位线访问,所述方法包括以下步骤:

- 15 在一种导电类型的芯片的单晶硅层中形成垂直沟槽;

在沟槽的壁上形成介电层;

用与一种导电类型相反的导电类型的多晶硅填满沟槽;

除去沟槽中的多晶硅填充物的上面部分;

- 20 在芯片的单晶硅面上基本上以外延生长硅,并用相反导电类型的硅填满沟槽,以便提供沟槽中的硅的籽晶信息;

在硅层上面依次形成第一介电层,所述一种导电性的中间多晶硅层,以及第二介电层;

通过所述第一介电层,所述上述的多晶硅层以及所述第二介电层形成通到沟槽顶部的硅层的孔;

- 25 在被所述孔暴露的中间的多晶硅层表面上形成氧化层;

利用沟槽中的硅的籽晶信息,用所述一种导电类型的外延硅填满孔;

在上述一种导电类型的外延硅上面形成相反导电类型的层;以及

在上述相反以导电类型的层上面形成导电层。

- 30 9. 根据权利要求8所述的方法,其中在所述第一和第二介电层之间形成的多晶硅层是单元的字线,在硅上面最后形成的导电层是单元的位线,而用来填满孔的一种导电性的外延硅用作硅层,在该硅层中操作过程中产生立式

晶体管的通道。

10. 一种用来制备具有晶体管和电容器的存储单元的方法，该存储单元供包括按行和列排列的存储单元的阵列的存储器之用，并通过字线和位线访问，所述方法包括以下步骤：

- 5 在一种导电类型的单晶硅层中形成垂直沟槽；
 在沟槽的壁上形成介电层；
 用与一种导电类型相反的导电类型的掺杂多晶硅填满沟槽；
 在多晶硅层的上表面上形成所述相反导电类型的外延硅层，以便在沟槽顶部形成单晶层；
- 10 在芯片的上表面上依次淀积第一介电层，适宜于用作字线的相反导电类型的中间多晶硅层，以及第二介电层；
 穿过第一和第二介电层以及中间的多晶硅层形成通到沟槽顶部的单晶层的孔；
 通过中间的多晶硅层在孔的侧壁上面形成栅氧化层；
- 15 用适宜于用作一层的一种导电类型的外延硅填满孔，在该层中在操作时将形成存储单元的晶体管的通道，外延硅适宜于形成与下面的晶体管的硅的第一源极/漏极界面；
 在所述一种导电类型的外延层上面提供相反导电类型的第二源极/漏极层；以及
- 20 在第二漏极/源极层上面提供导电层，以便用作存储单元的位线。



说明书

用于动态随机存取存储器 的存储单元

5

本发明涉及供动态随机存取存储器(DRAM)之用的存储单元,更详细地说,涉及利用介电充填的垂直沟槽作为存储节点,以及利用立式晶体管作为位于沟槽上面的开关的存储单元。

10 DRAMs 已经属于最重要的集成电路器件之列,并且是其目的尤其在于增加它们的存储容量和写读速度的继续研究和发展的根源。这就需要使用供存储器阵列之间的较小的和更紧密配置的存储单元。其中用硅片上多晶硅充填的沟槽形成存储节点并且开关晶体管是位于芯片沟槽上面的立式晶体管的存储单元越来越重要。已知利用金氧半导体场效应晶体管(MOSFET)作为开关晶体管的 DRAM。当存储节点被充电和放电时,晶体管的两个输出电

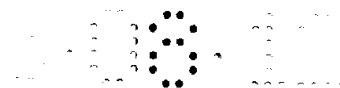
15 流接头在源极和漏极的作用之间交变。因此,这些接头中的每一个可被称作源极/漏极和漏极/源极,这与特定的作用相称。为了讨论起见,把这些接头简单地称为源极/漏极。立式晶体管以使单元利用的芯片表面区域实质上变得与垂直沟槽所利用的表面区域相同的方式,位于存储节点上方。在理论上,利用立式晶体管的单元比利用靠近提供存储节点的沟槽配置的水平开关晶

20 体管的单元可提供更高的存储密度。在 1996 年 12 月 20 日提出的序号为 08/770,962 的美国专利申请中描述了在垂直沟槽单元上面的立式晶体管的一种类型,在该专利申请中 Norbert Arnold 是发明者,而受让人与本申请的受让人相同。

本发明的存储单元具有用新型工艺过程制作的独特结构。在一个实施

25 例中,半导体晶片首先备有要用来形成单元的存储电容器的垂直沟槽。在形成沟槽之后,通过用介电材料覆在其壁上,形成电容器的电介质。用掺杂的多晶硅填满沟槽,形成电容器的存储节点。沟槽的顶部备有适用于形成立式晶体管的一个源极/漏极的基本上为单晶的硅。其次在晶片上面淀积放置在两个介电层中间的附加的硅层。使该三层在沟槽上面的区域内开孔,以便露出填

30 充物的顶部。一般说来,这一层是多晶硅。使在开孔作业中露出的附加的多晶硅层的壁氧化,以便形成晶体管的栅电介质。然后用适于形成晶体管的中



间层的硅填满该孔，在作业过程中在中间层中要产生形成晶体管的源极/漏极区域之间的通道的反相层。最后形成附加的硅层，它将与这个中间层一起形成晶体管的第二个源极/漏极区域。形成通到这个最后提到的层的位线连接，并通过开孔的多晶硅层提供字线。

- 5 本发明的另一个实施例提出一种存储单元，该存储单元供硅片的单晶整体部分内部的存储单元的行和列的存储器阵列使用并通过字线和位线访问。该存储单元包括电容器、立式晶体管、字线和位线。电容器包括用硅填满的并沿着其壁具有一个介电层的垂直沟槽，介电层使硅填充物与晶片的整体部分绝缘。立式晶体管被叠加在沟槽上面并具有与沟槽顶部的硅合并的第一源极/漏极，与沟槽顶部的硅填充物合并以便形成第一源极/漏极区域的中
10 间硅层，而在该中间硅层中要产生反相层以便形成导电通道，覆盖在中间硅层上面的第二源极/漏极区域，环绕中间硅层的栅介电层，以及环绕栅介电层并沿着晶片表面延伸的栅，该栅从那里介电绝缘并与字线连接。位线与第二源极/漏极电接触并按另一种方式在沟槽表面上延伸，位线和字线及晶片电绝
15 缘。

在另一个实施例中，本发明是制作单元的一种新型工艺过程，该单元包括给予淀积在沟槽中的多晶硅的籽晶信息。这种籽晶信息使得有可能提供在其中能产生晶体管通道的半导体中间层。

- 在另外一个实施例中，本发明提出一种制造存储单元的工艺过程。该工
20 艺过程包括以下一些步骤：在一种导电类型的半导体晶片形成沟槽；在沟槽的壁上形成介电层；用导电类型与晶片相反的多晶硅充填沟槽；在晶片表面上生长足够厚度的外延硅层，以便在沟槽顶部形成导电性与晶片相反的基本上为单晶的硅层，充当第一源极/漏极；在晶片表面上形成第一介电层；在第一介电层的表面上形成其导电类型与晶片相反的多晶硅层；在所述多晶硅
25 层的表面上形成第二介电层；通过第一和第二介电层以及所述多晶硅层蚀刻通孔，以便露出沟槽顶部的基本上为单晶的硅；有选择地沿着多晶硅层中通孔的侧壁形成硅氧化层；在通孔中生长所述一种导电类型的单晶硅，以便形成将在其中形成立式晶体管通道的中间层，其中在通孔的所述多晶硅层的侧壁上面的硅氧化层用作栅电介质；在晶片的顶面上淀积相反导电类型的与中
30 间硅层接触的导电层，以便充当单元的第二源极/漏极和位线。

从下面结合附图的更详细的说明中将能更好地理解本发明。附图中：

图 1 是包括在 DRAMs 中使用的那种晶体管和电容器的标准存储单元的电路原理图;

图 2 是根据本发明的包括一个存储单元的硅片的一部分的剖面图, 该存储单元具有图 1 的单元的电原理图并包括用于电容器的垂直沟槽以及叠加的立式晶体管;

图 3 是根据本发明的利用叠加在垂直沟槽上面的立式晶体管的存储器阵列的顶部; 以及

图 4 - 11 表示根据本发明的一个工艺过程在其中形成图 2 所示的那种存储单元的不同阶段中硅片的一部分。

图 1 表示存储单元 10 的电路原理图。例如, 在随机存取存储器(RAM)集成电路(IC)或芯片中使用这种单元。在动态 RAM(DRAM), 同步 DRAM(SDRAM), 或其它存储器芯片中也可以使用这种单元。该单元包括与电容器 14 串联的金属氧化物半导体(MOS)晶体管 12。晶体管 12 相应地具有第一和第二输出电流电极 12A 和 12B 以及栅电极 12C。开关晶体管的栅电极 12C 与 DRAM 阵列的字线连接。电极 12A 在正电流从那里流过晶体管 12 并进入电极 12B 时起晶体管漏极的作用, 而电极 12B 那时起源极的作用。这发生在把逻辑信息(数据, 信号位, 即“1”或“0”)读入或更新到存储单元 10 的时候。当电流从电极 12B 通过晶体管 12 流到电极 12A, 从存储单元 12 读出信息时, 电极 12B 起漏极的作用, 而电极 12A 用作源极。但是, 如早些时候所述, 为了简单起见, 每一个将被称为晶体管 12 的源极/漏极。电容器 14 具有第一(14A)和第二(14B)平板。平板 14B 一般与参考电压连接, 图中表示为地 17。在某些情况下, 在平板 14B 上可能最好利用某种其它参考电压, 例如 $V_{pp}/2$ 。把晶体管 12 接通, 以便于使电流从与电极 12A 连接的位线 18 流向电容器 14。把它断开, 以便把电容器 14 与位线 18 隔离。以电容器 14 充电的形式存储与信息位(逻辑信息)对应的信号。当把适当的信号施加到字线 19 和位线 18 上时, 即以在电容器 14 上保持一个有用时间的充电形式存储数据(“1”或“0”)。由于从存储节点 16 上漏电, 通常需要定期地更新存储的数据。

图 2 表示根据本发明的存储单元 11 的结构。把多个存储单元互连, 以便形成一个阵列或一些阵列。这种阵列被用来形成存储器集成电路, 例如 DRAMs, 同步 DRAMs(SDRAMs), 或其它存储器集成电路。在象半导体晶

片之类的半导体芯片 20 的一部分上形成所示的存储单元 11。晶片包括，例如，硅。其它半导体晶片，包括绝缘体上的硅(SOI)或砷化镓，也是可用的。晶片可以不掺杂或用具有第一导电性的掺杂物轻度或重度掺杂。在一个实施例中，芯片包括有利地是 P 型单晶硅的整体部分。存储单元具有如同图 1 所示的电原理图。包括整体单晶部分 21 的芯片 20 包括沟槽 22。在一个实施例中，沟槽包括用，例如，重度掺杂的 n^+ 型多晶硅 23 填充的大体上正方形截面，多晶硅 23 用作存储单元 11 的存储节点 16(图 1)。具有其它形状截面的沟槽也是可用的。 n^+ 多晶硅填充物还与和晶体管 12 的源极/漏极 12B 汇合的电容器 14 的一块平板 14A(图 1)相对应。

介电层 24 环绕沟槽 22 的侧壁和底部并用作电容器 14 的电介质。可选择重度掺杂的 n^+ 型层 26 环绕沟槽 22 的外部，后者用介电层 24 与其填充物 23 绝缘。层 26 充当电容器 14 的另一块平板 14B(图 1)。一般把芯片 20 的 P 型整体 21 保持在一个参考电位，如上所述，一般是地，其它参考电位，例如 $V_{pp}/2$ ，也是可用的。

相当于晶体管 12 的立式晶体管位于沟槽 22 上方。立式 MOSFET 晶体管包括 n^+ 型层 34 和 37，每层的截面通常是圆形，它们相当于图 1 的源极/漏极 12B 和源极/漏极 12A 并从而形成晶体的两个输出电流接头。P 型层 30 在这两层之间延伸，在其内部将产生 n 型反相层(未表示)，以便当栅电压使晶体管处于其闭合的转换导电状态时，充当层 34 和 37 之间的导电通道。用环绕着层 30 的硅氧化层 32 形成晶体的栅电介质。层 34 将与用作 DRAM 的位线 52 的导电层 36 汇合并沿与图的平面垂直的方向在沟槽表面上延伸。层 37 相当于存储单元 10 的存储节点 16(图 1)。

用表现为部分 38A，38B 的分段的 n^+ 型层构成字线 50，它也在芯片 20 的上表面上延伸，与位线 36 相互垂直，这将在下面图 3 的论述中出现。层部分 38A 和 38B 充当晶体管 12 的栅电极 12C。P⁺ 型中间区域 30 和栅介电层 32 基本上被压合在字线 50 的两个部分 38A 和 38B 之间。氧化层 40 使字线 50 的底面与硅片 20 的顶面绝缘。

中间区域 30 由于其更高的开关速度的潜力，最好具有高的载流子迁移率，该载流子例如为 n 沟道金属氧化物半导体(NMOS)型晶体管中的电子。

由于这个原因，中间区域最好包括大致上的单晶体。根据本发明的一个实施例，在沟槽 22 的多晶体填充物 23 和区域 30 上面的硅层 34 之间形成大致上



单晶体中间区域 30, 多晶填充物 23 用作开关晶体管的一个源极/漏极 12A(图 1), 而硅层 34 充当开关晶体管的另一个源极/漏极 12B(图 1)。如图所示, 中间区域与单元的位线 36 汇合。

在图 3 中展示了图 2 的存储单元 11 的两维矩形阵列的顶视图。正如在图 3 中所看到的那样, 字线 50 的列垂直延伸, 而位线 52 的行则水平延伸。在两组线要不然将会相交的地方提供绝缘的相交渡线(crossover)。较大的倾斜正方形 54 代表垂直沟槽 22 的外形, 而被围在较大的倾斜正方形 54 内部的较小的正方形 56 是立式晶体管的外形。

参看图 4 - 10, 展示了根据一个实施例的用来形成存储单元的各个步骤。

一般在一个晶片上同时制作许多存储器集成电路。在平行处理之后, 接着把晶片切割成许多芯片。每个芯片一般装有单个 IC。每个 IC 能容纳成千上万个单元以及用于写入, 读出和更新的有关的辅助电路。为简便起见, 对处理的论述将局限于涉及一个存储单元。

一般说来, 首先在用作工件 60 的一块半导体基底或晶片上形成沟槽。在一个实施例中, 晶片包括用 p 型掺杂物(p)轻度掺杂的硅。如图 4 所示, 人们一般开始于在硅工件(芯片)60 的表面上形成通常称之为衬垫氧化层的氧化硅薄层 62。这个层首先用来在处理期间保护片 60 的表面并在处理过程中被除去。通常用一般被称为衬垫氮化物的氮化硅层 64 覆盖衬垫氧化层 62, 在后来的处理步骤的某些步骤中氮化硅层 64 主要用作蚀刻停止层。

其次, 在硅工件 60 上形成将接着用多晶硅填满的沟槽 66。多晶硅用 n 型掺杂物(n^+)重度掺杂并用作单元的存储节点。这可用常见的方法完成, 该方法要求在片的表面上提供适当形成图案的掩模并利用各向异性的反应离子蚀刻(RIE), 以便在硅中形成具有相对直的侧壁的沟槽。然后, 如果要包括可选的, 在图 2 中用 n^+ 型层 26 表示的重掺杂平板区域, 可通过, 例如, 把适当的掺杂物掺入沟槽并把它向外扩散到基底中去而形成它。有各种为此可用的技术, 例如用富砷涂层涂到沟槽内部并加热, 以便把砷扩散到沟槽的硅壁, 把它掺杂成为 n^+ 型。为了简化附图, 在这幅以及后边的图中省去了这个层。

在形成 n^+ 型平板之后, 处理沟槽 66 的壁, 以便在那里形成将用作电容器的电介质的介电层 70。这最好是氧化硅, 氮化硅, 或氮氧化硅。

然后，用 n^+ 型掺杂的多晶硅 72 填满沟槽。为了得到良好的装填，把多晶硅堆积在工件 60 的上面，直到填满沟槽 22，如图 4 所示。在此之后，使上表面经受化学机械抛光(CMP)处理，使工件 60 的表面成为平面。在这项作业中，氮化硅层 64 可用作实现平面化的蚀刻停止层。

5 然后利用反应离子蚀刻(RIE)，以使在沟槽 66 的多晶硅填充物 72 中蚀刻出凹进部分 74。RIE 对衬垫氮化物和介电层是有选择性的。结果示于图 5。凹进部分 74 产生籽晶信息(seed information)，以便在那里生长硅。

为此，首先除去衬垫氧化硅层 64 和衬垫氧化层 62，以便露出工件 60 的单晶硅表面。然后，在工件露出的硅面上外延生长 n^+ 型硅层 78。外延层
10 足够厚，以便使用一般基本上是单晶的外延硅填满沟槽。此外，通过把硅加热到适当的再结晶温度，一般在 $1000\text{ }^{\circ}\text{C}$ 以上，凹进部分中淀积的硅的至少上部和工件周围的单晶面上淀积的硅是单晶的。这样，沟槽的部分为后来的形成晶体管区域的外延生长提供籽晶信息。结果示于图 6。然后利用 CMP 使工件表面形成平面，大约到外延生长以前它原先的程度。结果示于图 7。

15 其次，正如图 8 中所看到的那样，顺序形成第一氧化硅层 80， n^+ 型掺杂的多晶硅层 82，以及第二氧化硅层 84，多晶硅层 82 用作单元的字线。

然后通过两个氧化层 80 和 84 以及多晶硅层 82 蚀刻孔，大约通到在硅填充物 78 顶部形成的单晶硅平面，以便得到图 9 所示的结果。

现在在蚀刻通过的多晶硅层 82 的露出的表面上生长氧化层 86。这个氧化
20 层要用作晶体管的栅氧化层，因而应恰当地生长。在一个实施例中，这是用高压氧化完成的，以便确保适用于栅电介质的高质量层。在硅填充物 78 顶部同时形成的氧化层被有选择地除去，以便重新露出硅面。图 9 表示包括栅氧化层的工件 60。

现在利用由在沟槽中凹进部分顶部已形成的大致上单晶层提供的籽晶
25 信息，通过外延生长 P^+ 型硅 88 填满孔。为了确保完全填满孔，在第二氧化层 84 的表面上也淀积硅。在这次生长以后，使用加热步骤，以便充分促进再结晶并从而改善硅 88 的结晶度。它还用来形成与下面的 n^+ 型导电性源极/漏极区域的良好通道界面。

30 然后，继之以 CMP，通过除去多余的硅把表面形成到第二氧化层 84 的平面，并导致如图 10 所示的工件 60。

剩下的是在新近形成的单晶硅 88 上面形成位线，以便获得图 2 所示的

结构。

为此，如图 11 所示，在工件 60 的表面上淀积 n^+ 型多晶硅 90。然后，为了增加要用作位线的这个多晶硅的导电性，有利的是一般给它镀上钨、钼或钛层 92。然后用常见的方法使这个双层 90，92 形成图案，使得只在多晶硅区域 88 上面有选择地延伸。此外，使位线对准晶体管是比较关键的。通常有利地用退火来完成这个，以便把金属烧结到多晶硅中，从而形成金属的硅化物并把掺杂物从多晶硅层中扩散出来，与通道形成 n^+ 型源极/漏极区域。可利用层 82 的厚度以及退火步骤按要求调节漏极/源极的覆盖面。

于是就形成了在主要细节上符合图 2 所示单元的单元。

应该理解，所描述的具体实施例仅仅是本发明的一般原理的说明，在不脱离本发明的精神范围的情况下，各种改变将是可能的。例如，在其中形成存储单元的单晶硅可能是在象蓝宝石之类的外部材料的适当晶体上外延生长出的硅层。更进一步，正象本领域的技术人员所知的那样，可把特定的导电类型颠倒过来，并可改变各个硅层的导电性。再进一步，可改变涉及的各种处理步骤，如蚀刻和淀积。此外，虽然从硅作为目前是优选的半导体来描述了本发明，但其它类型的衬底也是可用的。因此，不应参照上述说明，而应参照后附的权利要求书以及等价物的整个范围来确定本发明的范围。

图 1

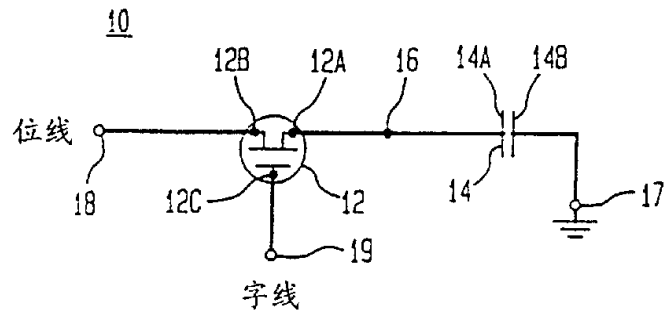


图 2

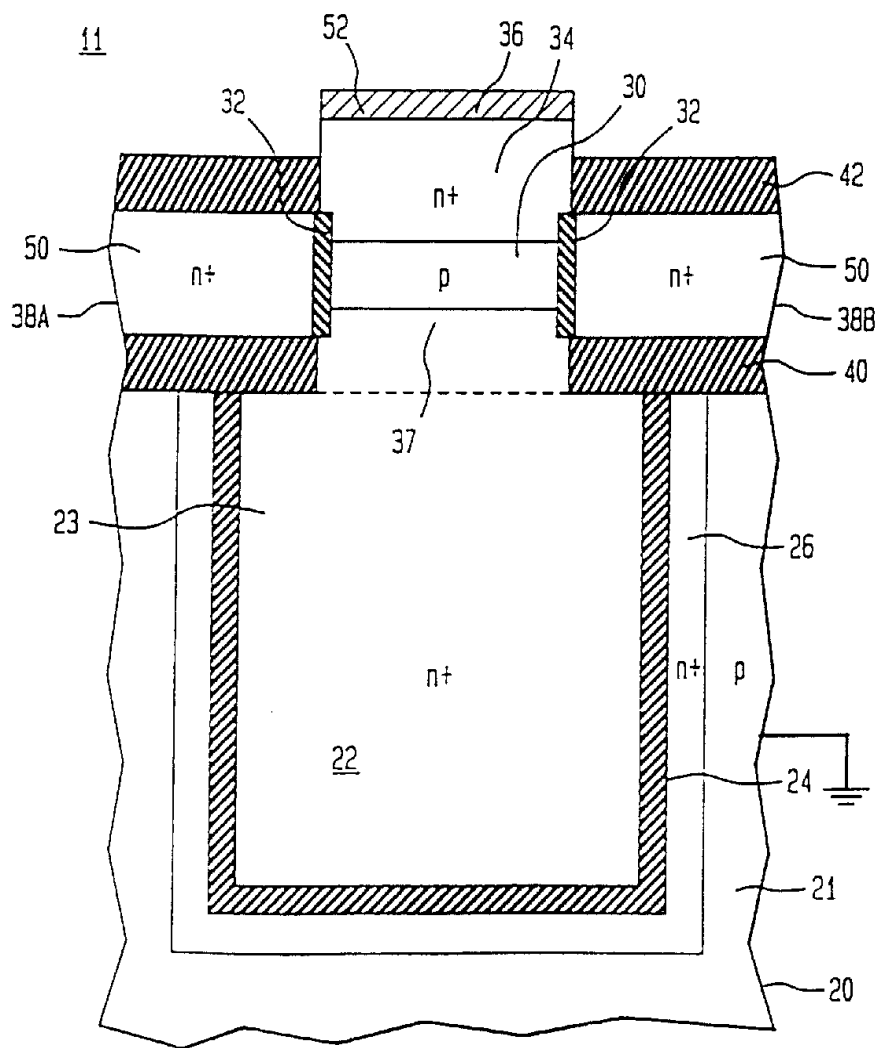


图 3

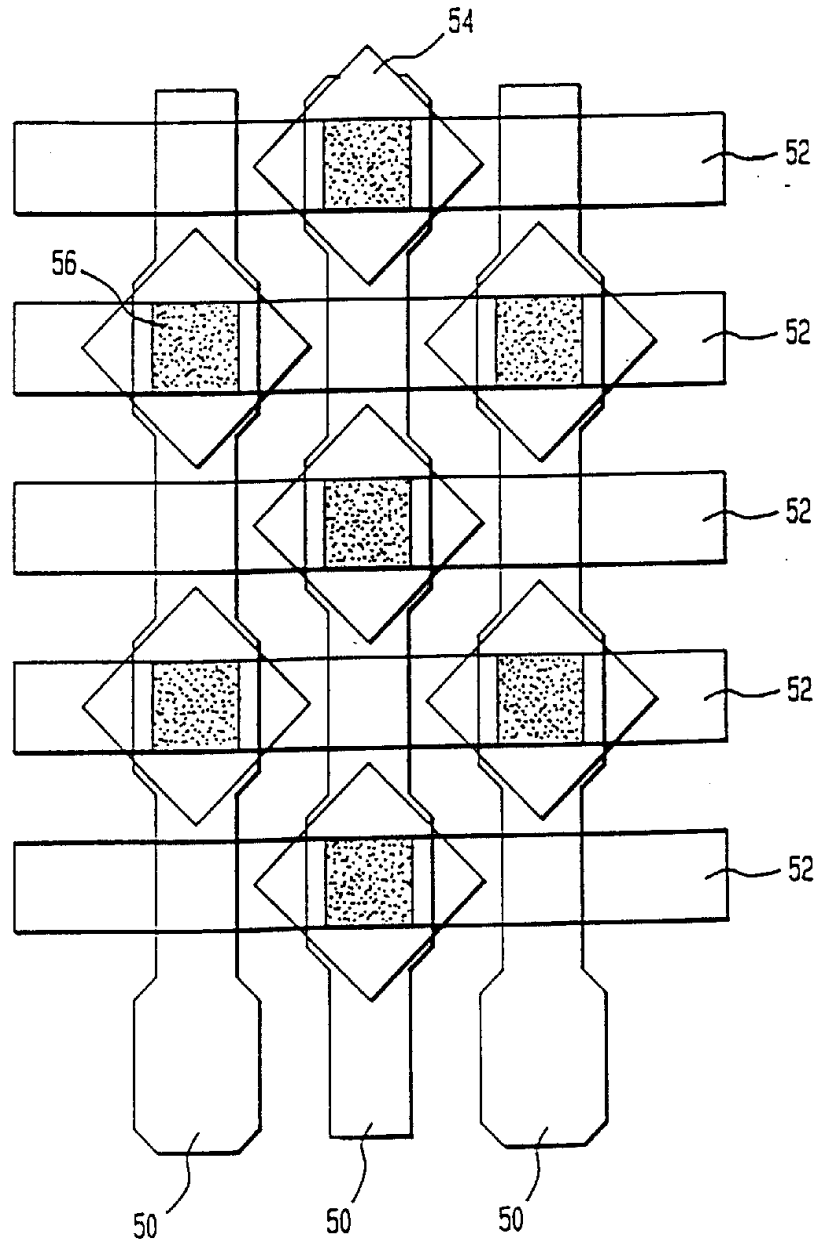


图 4

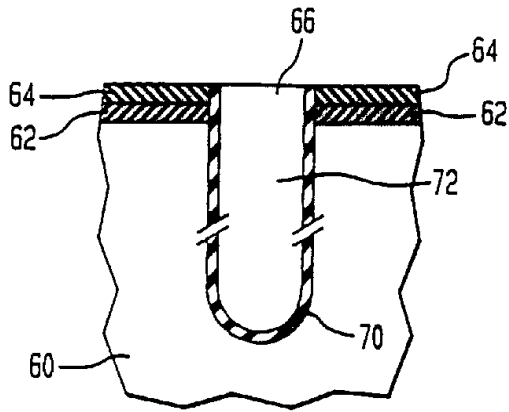


图 5

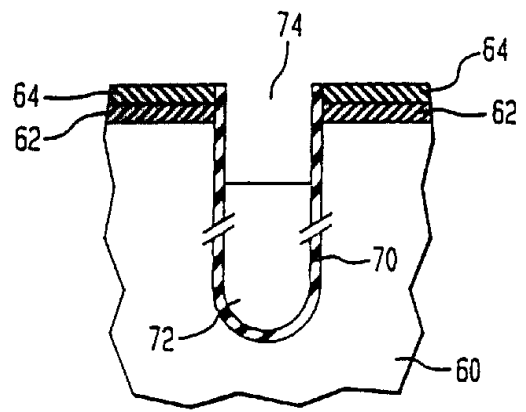


图 6

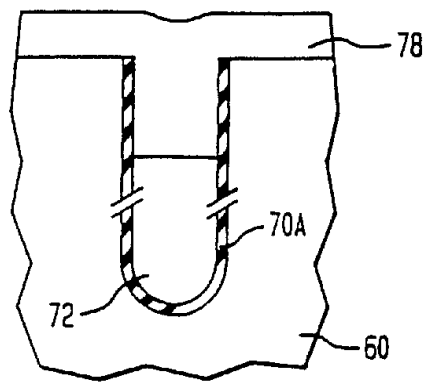


图 7

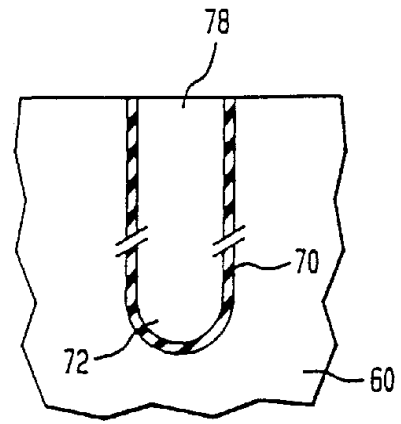


图 8

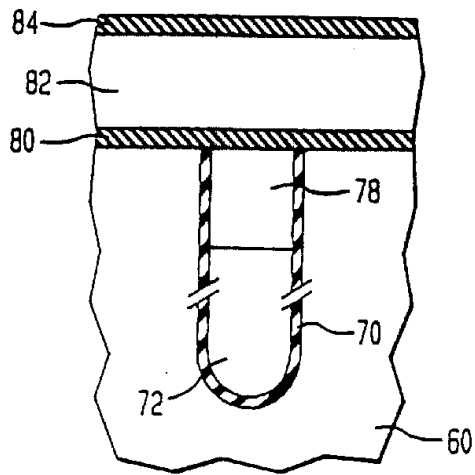


图 9

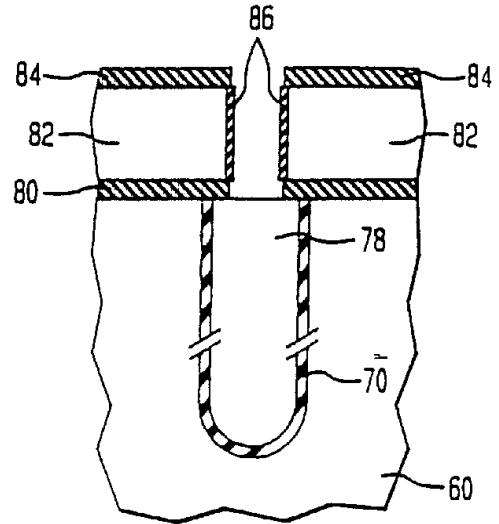


图 10

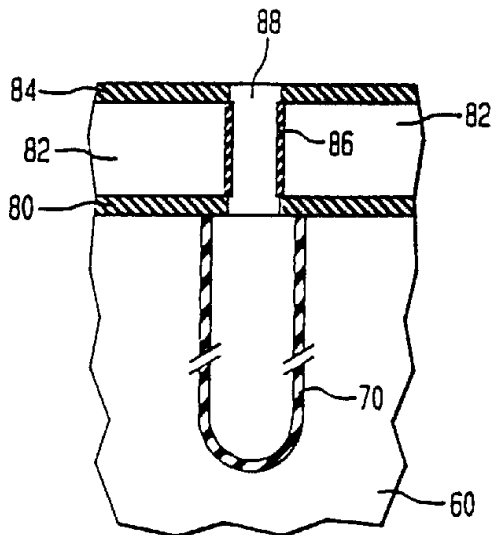


图 11

