

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 21/28

(11) 공개번호 10-2004-0057504
(43) 공개일자 2004년07월02일

(21) 출원번호 10-2002-0084255
(22) 출원일자 2002년12월26일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이성권
경기도이천시부발읍현대7차아파트706-1401

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체소자 제조 방법

요약

본 발명은 콘택 패드 형성용 콘택홀 형성시 공정 마진을 확보하기 위한 것으로, 기판 상에 전도막과 하드마스크용 절연막 및 금속 희생막을 차례로 증착하는 단계; 상기 금속 희생막 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 금속 희생막과 상기 하드마스크용 절연막을 선택적으로 식각하여 패턴 영역을 정의하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 금속희생막과 상기 하드마스크용 절연막을 식각마스크로 상기 전도막을 식각하여 소정의 패턴을 형성하는 단계-상기 하드마스크용 절연막 상단 측면의 손실을 유도하여 상기 하드마스크 절연막 상부가 하부에 비해 폭이 얇도록 하며, 이 때 상기 금속 희생막은 과도식각에 따른 상기 하드마스크용 절연막의 손실을 방지하는 역할을 함; 상부의 폭이 하부의 폭에 비해 상대적으로 좁은 상기 패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 패턴 사이의 상기 기판 표면을 노출시키는 콘택홀 형성하는 단계; 상기 노출된 기판 표면에 콘택되도록 결과물 전면 에 플러그용 전도성 물질을 증착하는 단계; 및 상기 하드마스크 절연막 상부가 노출되는 식각 타겟으로 상기 전도성 물질을 제거하여 상기 노출된 기판에 콘택되고 상기 하드마스크 절연막과 평탄화되며, 상기 하드마스크용 절연막의 상부에서의 좁은 폭에 의해 인접한 자신의 상부에서의 폭이 자신의 하부에서의 폭에 비해 상대적으로 넓은 형상의 플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

대표도

도 2e

색인어

콘택 패드, 비트라인, 플러그, 식각 프로파일, 공정 마진, 오정렬.

명세서

도면의 간단한 설명

도 1은 제1종래기술에 따른 비트라인 형성을 위한 비트라인 콘택 마스크가 형성된 반도체소자를 도시한 단면도.

도 2a 내지 도 2e는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

20 : 기판 21 : 게이트절연막

22 : 게이트 전도막 23' : 하드마스크용 절연막

26 : 식각정지막 27 : 제1절연막

30 : 플러그 31 : 제2절연막

32 : 포토레지스트 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자 제조 방법에 관한 것으로 특히, 자기정렬콘택(Self Align Contact; 이하 SAC이라 함)의 마진을 개선할 수 있는 반도체소자 제조방법에 관한 것이다.

반도체소자의 집적도가 증가함에 따라 단위 소자의 수직 배열 구조가 사용되고 있으며, 이들 단위 소자간의 전기적 연결을 위해 플러그 형성기술이 채용되었는 바, 현재는 이러한 콘택 플러그 형성 기술이 반도체소자 공정 기술에 있어서 일반화되었다.

도 1은 제1종래기술에 따른 비트라인 형성을 위한 비트라인 콘택 마스크가 형성된 반도체소자를 도시한 단면도이다.

도 1을 참조하면, 기판(10) 상에 게이트절연막(12)과 전도막(13) 및 하드마스크(14)가 적층된 게이트전극 패턴이 다수 배치되어 있으며, 게이트전극 패턴 사이의 기판(10)에 소스/드레인 등의 불순물접합층(11)이 형성되어 있다. 게이트절연막(12)은 통상의 산화막 계열을 이용하고, 게이트 전도막(13)은 폴리실리콘, 텅스텐, 텅스텐 실리라이드, 텅스텐 질화막 등의 단독 또는 조합된 구조를 포함한다. 하드마스크(14)는 실리콘 질화막 또는 실리콘 산화질화막 등의 질화막 계열을 이용하며 SAC 식각 등에 따른 식각 프로파일의 확보와 식각에 따른 게이트 전도막(13)의 손실을 방지하기 위한 것이다.

게이트전극 패턴 사이의 불순물접합층(11)에 폴리실리콘 등의 전도성 물질로 콘택되어 형성된 플러그(17)가 게이트전극 패턴의 하드마스크(14) 상부와 평탄화되어 서로 격리되어 있다.

미설명된 도면부호 '16'은 제1절연막으로 게이트전극 패턴 간을 서로 격리하는 역할을 하는 산화막 계열의 물질막으로 이루어지며, 플러그(17)를 포함하는 전면에 산화막계열의 제2절연막(18)이 형성되어 있다.

여기서, 제1절연막(16)과 제2절연막(18)은 통상의 층간절연을 위한 절연막으로, BPSG(Boro Phospho Silicate Glass)막, BSG(Boro Silicate Glass)막, PSG(Phospho Silicate Glass)막, APL(Advanced Planarization Layer)막 또는 HDP(High Density Plasma) 산화막 등을 이용한다.

제2절연막(18) 상에는 예컨대, 비트라인과 플러그(17)의 전기적 연결을 위한 콘택 패드 형성을 위한 비트라인 콘택용 마스크인 포토레지스트 패턴(19)이 형성되어 있다.

따라서, 통상의 공정에서 포토레지스트 패턴(19)을 식각마스크로 제2절연막(18)을 식각하여 플러그(17)를 노출시킨다.

이러한 포토레지스트 패턴(19)이 도시된 바와 같이 정정렬(Alignment)이 이루어질 경우 플러그(17) 상부만을 오픈시키므로 식각에 따른 소자의 특성 열화를 거의 발생하지 않는다.

그러나, 노광 장비와 정렬 기술의 한계에 의해 'A'와 같은 방향으로 오정렬(Mis-alignment)이 발생할 경우 플러그의 일측면인 'X' 부위가 노출되어 이로 인해 제1게이트전극 패턴(G1)의 하드마스크(14) 또는 게이트 전도막(13)의 손실이 발생하게 되며, 'B'와 같은 방향으로 오정렬이 발생할 경우 플러그의 타측면인 'Y' 부위가 노출되어 이로 인해 제2 게이트전극 패턴(G2)의 하드마스크(14) 또는 게이트 전도막(13)의 손실이 발생하게 된다.

즉, 정렬에 따른 공정 마진을 확보하기가 어려우며, 특히 반도체소자의 집적도가 증가할수록 이러한 공정 마진은 더욱 열화된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 콘택 패드 형성을 콘택홀 형성시 공정 마진을 확보할 수 있는 반도체소자 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위해 본 발명은, 기판 상에 전도막과 하드마스크용 절연막 및 금속 희생막을 차례로 증착하는 단계; 상기 금속 희생막 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 금속 희생막과 상기 하드마스크용 절연막을 선택적으로 식각하여 패턴 영역을 정의하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 금속희생막과 상기 하드마스크용 절연막을 식각마스크로 상기 전도막을 식각하여 소정의 패턴을 형성하는 단계-상기 하드마스크용 절연막 상단 측면의 손실을 유도하여 상기 하드마스크 절연막 상부가 하부에 비해 폭이 얇도록 하며, 이 때 상기 금속 희생막은 과도식각에 따른 상기 하드마스크용 절연막의 손실을 방지하는 역할을 함; 상부의 폭이 하부의 폭에 비해 상대적으로 좁은 상기 패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계; 상기 절연막을 선택적으로 식각하여 상기 패턴 사이의 상기 기판 표면을 노출시키는 콘택홀 형성하는 단계; 상기 노출된 기판 표면에 콘택되도록 결과물 전면에 플러그용 전도성 물질을 증착하는 단계; 및 상기 하드마스크 절연막 상부가 노출되는 식각 타겟으로 상기 전도성 물질을 제거하여 상기 노출된 기판에 콘택되고 상기 하드마스크 절연막과 평탄화되며, 상기 하드마스크용 절연막의 상부에서의 좁은 폭에 의해 인접한 자신의 상부에서의 폭이 자신의 하부에서의 폭에 비해 상대적으로 넓은 형상의 플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

본 발명은 비트라인 콘택 패드 형성을 콘택홀 형성시, 오정렬에 따른 공정 마진을 확보하기 위해 하부 플러그의 대향되는 면적을 증가시킨다.

이를 위해 플러그 자체를 키우기 보다는 게이트전극 패턴 상부를 그 하부에 비해 얇도록 함으로써, 게이트전극 패턴의 상부에서의 폭 감소로 인해 상대적으로 플러그의 폭을 넓게한다.

이는 게이트전극 패턴 형성시 하드마스크 위해 금속 계열의 희생막을 추가로 형성하고 이를 상부가 뾰족한 형태로 식각한 다음, 이에 따라 게이트전극 패턴의 상부가 하부가 좁도록 한 후, 절연막을 증착하고 게이트전극 패턴 사이에 콘택홀을 형성하고 콘택홀을 매립하는 플러그를 형성한다. 따라서, 플러그 자체를 변화시키지 않고 게이트전극 패턴 상부 형상을 변화시킴으로써 플러그의 상부의 폭을 넓힐 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

도 2a 내지 도 2e는 본 발명의 일실시예에 따른 반도체소자 제조 공정을 도시한 단면도이다.

도 2a는 게이트전극 패턴 형성을 위한 각 물질막이 적층되어 증착된 공정 단면을 나타낸다.

공정을 구체적으로 살펴 보면, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(20) 상에 LOCOS 또는 STI 공정을 통해 필드산화막(도시하지 않음)을 형성하여 활성영역과 소자분리영역을 구분한다.

활성영역에 이웃하는 다수의 전도막패턴 예컨대, 게이트전극 패턴을 형성하는 바, 산화막 계열의 게이트절연막(21)을 증착하고, 그 상부에 텅스텐 등의 금속막, 텅스텐 질화막 같은 금속 질화막, 텅스텐 실리사이드 등의 금속 실리사이드 또는 폴리실리콘 등을 단독 또는 조합하여 게이트 전도막(22)을 증착한 다음, 질화막 계열의 하드마스크용 절연막(23)을 증착한다.

이어서, 하드마스크용 절연막(23) 상에 금속 희생막(24)을 증착한다. 여기서, 금속 희생막(24) 후속 게이트전극 패턴 형성 공정에서 게이트전극 패턴의 상단부가 뾰족한 형태가 되도록 하는 본 발명의 가장 핵심적인 구성 요소이며, 텅스텐, 텅스텐질화막, 티타늄 나이트라이드 또는 텅스텐 실리사이드를 사용하는 것이 바람직하다.

이어서, 게이트전극 패턴 형성용 포토레지스트 패턴(25)을 형성한 다음, 게이트전극 패턴 형성용 포토레지스트 패턴(25)을 식각마스크로 금속 희생막(24)과 하드마스크용 절연막(23)을 식각하여 게이트전극 패턴을 정의한다.

도 2b는 게이트전극 패턴이 정의된 공정 단면을 나타낸다.

포토레지스트 스트립(Photoresist strip) 공정을 실시하여 포토레지스트 패턴(25)을 제거한 다음, 세정 공정을 실시한다.

이어서, 금속 희생막(24)과 하드마스크용 절연막(23)을 식각마스크로 게이트 전도막(22)과 게이트절연막(21)을 식각함으로써, 도 2c에 도시된 바와 같은 게이트전극 패턴(G)을 형성한다.

이 때, 식각 공정에서 금속 희생막(24)이 제거되거나 도면부호 24'과 같이 일부만이 잔류하도록 식각 조건을 조절하며, 특히 하드마스크용 절연막(23')은 도면에 도시된 것과 같이 그 상부가 하부에 비해 폭이 좁은 예컨대, 뾰족한 형태가 되도록 한다.

이러한 하드마스크용 절연막(23')의 식각 프로파일을 얻기 위해서는 하드마스크용 절연막(23')의 과도 식각이 필요하며, 이 때 하드마스크용 절연막(23')의 상단부는 금속 희생막(24')에 의해 보호가 되나 그 측면은(상단부의 측면)은 상단부에 비해 식각이 많이 된다.

즉, 이러한 뾰족한 형상의 게이트전극 패턴 형상을 만들기 위해서는 전술한 금속 희생막(24')은 꼭 필요하게 된다.

계속해서, 게이트전극 패턴(G)이 형성된 전체 프로파일을 따라 질화막 계열의 식각정지막(26)을 얇게 증착한다. 여기서, 식각정지막(26)의 물질로 질화막 계열의 물질을 사용하는 이유는 후속 플러그 형성을 위한 SAC 식각 공정시 층간절연용 절연막으로 주로 사용되는 산화막과의 식각선택비를 얻을 수 있고, 또한 게이트전극 패턴(G)의 식각 손실을 방지하기 위한 것이다.

여기서, 게이트전극 패턴 사이에 이온주입 마스크(도시하지 않음)를 이용한 이온주입 공정을 통해 소스/드레인 등의 불순물접합층을 형성하는 공정은 생략한다.

계속해서, 게이트전극 패턴(G)과 기판(20) 상부를 충분히 덮으며 층간절연을 위해 BPSG막 등의 산화막 계열의 제1절연막(27)을 형성한다.

여기서, 제1절연막(27)은 전술한 BPSG막 이외에 PSG막 또는 BSG막 등을 그 예로 들 수 있으며, 이들은 통상적으로 증착 후 소정의 온도에서 열처리하여 플로우시키는 공정이 수반된다.

또한, HDP 산화막이나 APL막을 이용할 수도 있다.

다음으로, 게이트전극 패턴(G) 사이의 기판(20) 구체적으로, 기판(20) 표면의 소스/드레인 등의 불순물접합층과 후속 공정에 의해 상부에 형성될 소자간의 전기적 연결을 위한 콘택 플러그 형성을 위해 셀콘택 오픈마스크인 포토레지스트 패턴(28)을 형성한 다음, 포토레지스트 패턴(28)을 식각마스크로 제1절연막(27)과 식각정지막(26)을 선택적으로 식각하여 게이트전극 패턴 사이의 기판(20)을 오픈시키는 콘택홀(29)을 형성한다.

도 2d는 콘택홀이 형성된 공정 단면을 나타낸다.

이러한 SAC 식각 공정에 의해 식각정지막(26)은 식각되어 오픈되는 영역에서 즉, 콘택홀(29)이 형성되는 게이트전극 패턴(G) 측벽에서 경사 프로파일을 갖도록 하며, 그 자신은 스페이서(26') 형태로 게이트전극 패턴(G) 측벽에 남는다.

한편, 전술한 제1절연막(27) 식각시에는 통상의 SAC 공정시 사용하는 불소계플라즈마 예컨대, C_2F_4 , C_2F_6 , C_3F_8 , C_4F_6 , C_5F_8 또는 C_5F_{10} 등의 C_xF_y (x,y는 1 ~ 10)를 주식각가스로 하며, 여기에 SAC 공정시 폴리머를 발생시키기 위한 가스 즉, CH_2F_2 , C_3HF_5 또는 CHF_3 등의 가스를 첨가하며, 이 때 캐리어 가스로 He, Ne, Ar 또는 Xe 등의 비활성 가스를 사용한다.

여기서, 셀콘택 오픈마스크인 포토레지스트 패턴(28)으로 홀타입(Hole type), 바타입(Bar type) 또는 티타입(T Type) 등의 다양한 형상을 사용할 수 있다. 이어서, 포토레지스트 패턴(28)을 제거한 다음, 세정 공정을 실시한다.

다음으로, 도 2e에 도시된 바와 같이, 오픈되어 노출된 기판(20)에 콘택되며 콘택홀(29)을 충분히 매립하도록 폴리실리콘 또는 텅스텐(W) 등의 플러그용 전도성 물질막을 증착한 다음, CMP 등의 평탄화 공정을 실시한다.

이어서, 하드마스크용 절연막(23')이 노출되는 식각 타겟으로 플러그용 전도성 물질막과 잔류하는 금속 희생막(24', 존재하지 않을 수도 있음) 및 제1절연막(27)을 CMP 공정을 통해 연마하여 게이트전극 패턴(G) 사이에 매립된 플러그(30)를 형성한다.

계속해서, 플러그(30)가 형성된 전면에 제2절연막(31)을 증착한 다음, 비트 라인 콘택 패드 형성을 위한 마스크인 포토레지스트 패턴(32)을 형성한다.

여기서, 제2절연막(31)으로는 BPSG막, HTO막, MTO막, HDP산화막, TEOS막 또는 APL막 등을 이용한다.

한편, 콘택 패드 형성을 위한 포토레지스트 패턴(32)의 임계치수는 기존의 반도체소자 제조 공정에서 사용되는 것과 동일한 'W1'의 폭을 갖는 반면, 게이트전극 패턴(G)의 상부가 뾰족하게 되어 플러그(30) 상부의 폭은 'W2'와 같이 상대적으로 넓혀졌음을 알 수 있다.

따라서, 포토레지스트 패턴(32)의 형성 과정에서 비록 오정렬이 발생하더라도 종래에 비해 플러그(30) 상단부의 폭(W2)이 넓어 공정 마진이 증가한다.

이로 인해, 포토레지스트 패턴(32)의 오정렬이 발생하더라도 콘택 패드 형성을 위한 식각 공정에서 게이트전극 패턴(G)의 손실을 방지할 수 있다.

전술한 본 발명의 공정을 통해 알 수 있듯이, 본 발명에서는 게이트전극의 상부의 폭을 좁게하여 상대적으로 플러그 상부의 폭을 넓힘으로써, 상부의 콘택 패드 형성을 위한 식각 공정에서의 오정렬이 발생하더라도 게이트전극 패턴의 손실을 어느 정도는 방지할 수 있어, 공정 마진을 향상시킬 수 있음을 실시예를 통해 알아 보았다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

예컨대, 전술한 실시예에서는 비트라인 콘택 패드 형성 공정을 그 일례로 하였으나, 이 이외에도 스토리지노드 콘택 등 다층 구조의 콘택 패드 형성 공정에 응용이 가능하다.

발명의 효과

상술한 바와 같은 본 발명은, 콘택 패드 형성시 공정 마진을 향상시켜, 궁극적으로 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 전도막과 하드마스크용 절연막 및 금속 희생막을 차례로 증착하는 단계;

상기 금속 희생막 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 금속 희생막과 상기 하드마스크용 절연막을 선택적으로 식각하여 패턴 영역을 정의하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 금속희생막과 상기 하드마스크용 절연막을 식각마스크로 상기 전도막을 식각하여 소정의 패턴을 형성하는 단계 -상기 하드마스크용 절연막 상단 측면의 손실을 유도하여 상기 하드마스크 절연막 상부가 하부에 비해 폭이 얇도록 하며, 이 때 상기 금속 희생막은 과도식각에 따른 상기 하드마스크용 절연막의 손실을 방지하는 역할을 함;

상부의 폭이 하부의 폭에 비해 상대적으로 좁은 상기 패턴이 형성된 프로파일을 따라 식각정지막과 그 전면에 절연막을 차례로 형성하는 단계;

상기 절연막을 선택적으로 식각하여 상기 패턴 사이의 상기 기판 표면을 노출시키는 콘택홀 형성하는 단계;

상기 노출된 기판 표면에 콘택되도록 결과물 전면에 플러그용 전도성 물질을 증착하는 단계; 및

상기 하드마스크 절연막 상부가 노출되는 식각 타겟으로 상기 전도성 물질을 제거하여 상기 노출된 기판에 콘택되고 상기 하드마스크 절연막과 평탄화되며, 상기 하드마스크용 절연막의 상부에서의 좁은 폭에 의해 인접한 자신의 상부에서의 폭이 자신의 하부에서의 폭에 비해 상대적으로 넓은 형상의 플러그를 형성하는 단계

를 포함하는 반도체소자 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 소정의 패턴을 형성하는 단계에서, 상기 하드마스크용 절연막 상에 상기 금속희생막 일부가 남도록 하는 것을 특징으로 하는 반도체소자 제조 방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 금속희생막은, 텅스텐, 텅스텐질화막, 티타늄 나이트라이드 또는 텅스텐 실리사이드 중 어느 하나를 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

청구항 4.

제 1 항에 있어서,

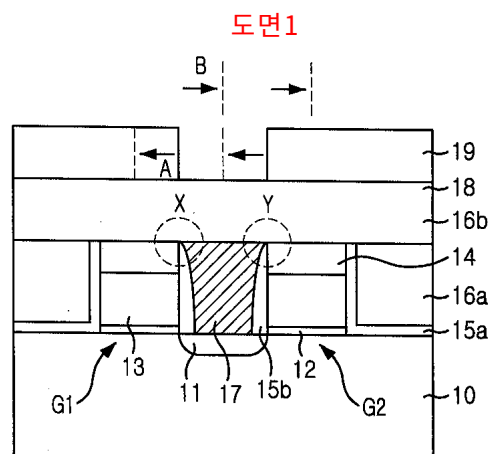
상기 하드마스크용 절연막과 상기 식각정지막은 질화막 계열인 것을 특징으로 하는 반도체소자 제조 방법.

청구항 5.

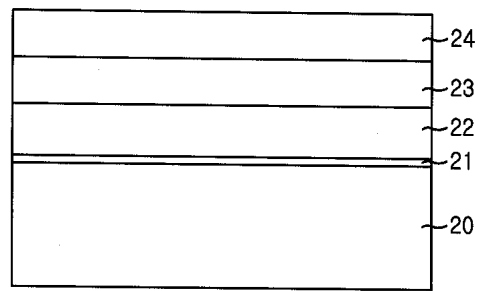
제 1 항에 있어서,

상기 소정의 패턴은, 게이트전극 패턴 또는 비트라인 패턴을 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

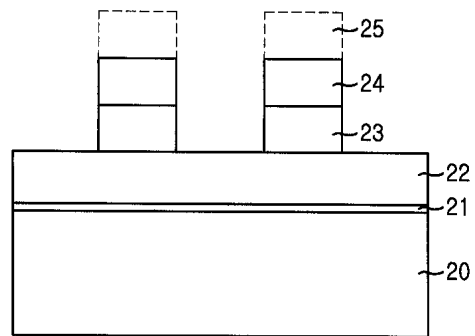
도면



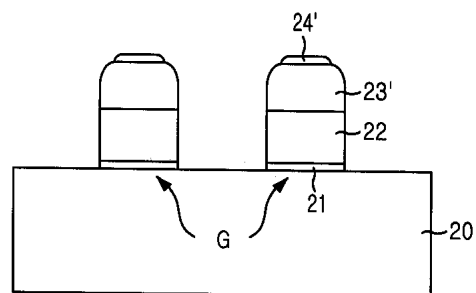
도면2a



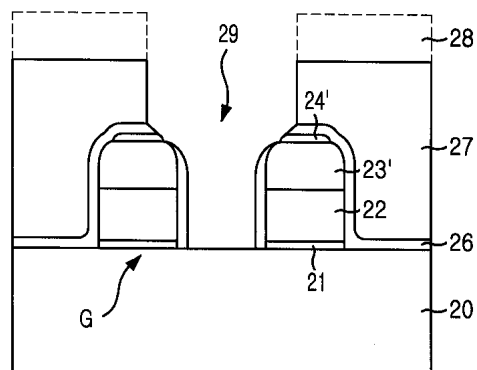
도면2b



도면2c



도면2d



도면2e

