

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04L 7/033		(45) 공고일자	2002년06월29일
		(11) 등록번호	10-0324981
		(24) 등록일자	2002년02월05일
(21) 출원번호	10-1995-0703437	(65) 공개번호	특1996-0701539
(22) 출원일자	1995년08월17일	(43) 공개일자	1996년02월24일
번역문제출일자	1995년08월17일		
(86) 국제출원번호	PCT/US1994/01667	(87) 국제공개번호	WO 1994/19885
(86) 국제출원일자	1994년02월17일	(87) 국제공개일자	1994년09월01일
(81) 지정국	국내특허 : 대한민국		
(30) 우선권주장	08/018622 1993년02월17일 미국(US)		
(73) 특허권자	내셔널 세미컨덕터 코포레이션 클라크 3세 존 엠. 미국 캘리포니아주 95052-8090, 산타 클라라, 2900 세미컨덕터 드라이브		
(72) 발명자	르웰린, 윌리엄, 디. 미합중국, 캘리포니아95132, 산조세, 1484프로드드라이브		
(74) 대리인	목돈상, 목영동		

심사관 : 김자영

(54) 단일단자펄스게이팅회로

명세서

- <1> 발명의 배경
- <2> 발명의 분야
- <3> 본 발명은 게이팅 회로, 특히 직렬데이터 재동기 회로내에 사용되는 클럭 디지털 펄스 게이팅 메카니즘에 관한 것이다.
- <4> 관련 기술의 설명
- <5> 제 1A 도를 참조하여 설명하면, 직렬 데이터 클럭 복구 및 데이터 재동기 응용에서 위상동기루프(PLL)(100)로 가(pseudo)랜덤 비동기 데이터원으로부터 주기적인 클럭 파형을 복구하는 것은 당업계에 잘 알려져 있다. PLL(100)은 전형적으로 위상 비교기(108), 저역통과 필터(LPF)(109), 및 전압 제어 발진기(VCO)(100)를 포함한다. 위상비교기(108)는 초기적으로 선(105, 103)에 공급되어 각각 지연선(107) 및 클럭 게이팅(111)을 통과한 2 개의 입력주파수를 비교한다. 그런 다음 위상 비교기(108)는 이들 2 개의 주파수사이의 위상차에 의해 결정되는 출력 위상편차신호를 발생한다. 선(101) 상의 주파수가 선(103) 상의 주파수와 같지 않으면, LPF(109)에 의해 여과된 후 위상편차 신호는 VCO(110)의 주파수 방향으로 편이하도록 한다. PLL(100)이 적합하게 설계된다면, VCO(110)는 선(105) 상의 주파수에 동기되고 가랜덤 데이터의 미싱 펄스(제로들)를 무시한다. PLL(100)에 의해 발생된 복구된 클럭 파형(103w)(제 1B 도)은 하강에 지로 각 지연펄스 구성을 만든다. 이것은 모든 비트에 대해 "윈도우"(120)를 제공한다(선(105, 112) 상에 각각 제공된 신호를 나타내는 파형(105w, 112w) 참조). 입력 데이터 펄스는 전형적으로 논리 1을 나타내고 펄스의 부재는 전형적으로 논리 0을 나타낸다. LPF(109)는 이들 클럭 윈도우내에서 개별 비트의 지터를 상당히 무시한다. 그에 의해 윈도우(120)의 중심을 평균 비트위치 주위에 유지하고 대부분 비트의 적절한 검출을 보장한다.
- <6> 비트 캡처 회로(이하에서 데이터 래치(101)라 함)는 선(112) 상에(선(105)으로부터 지연선(107)을 통해) 원래의 비동기 데이터를 선(103)에 복구된 클럭 신호가 구비된다. 데이터 래치(101)는 선(112) 상의 데이터 비트를 캡처하여 이들 비트를 선(102) 상에 재동기된 데이터로서 전송한다(파형(102w) 참조).
- <7> 데이터 래치(101)는 다음의 요건을 갖는다:
- <8> 1. 최소 결정 손실을 위한 윈도우 경계에서의 매우 작은 메타스테빌리티(metastability) 영역,
- <9> 2. 최대 전송을 용량(고펄스 반복률)을 위한 각 비트의 전송으로 부터의 신속한 복구,
- <10> 3. NRZ(non-return-to-zero) 출력펄스
- <11> 이상적으로, 인접 윈도우에서의 2 개의 비트, 예를들어 윈도우(120C) 및 (120D)에서의 비트(126) 및 (127) 각각이 서로를 향해 2 개의 비트가 공통경계(125)에서 만나는 점까지 거의 푸쉬되더라도, 비트(126) 및 (127)은 데이터 래치(101)에 의해 적절하게 인식되어야만 한다. 즉, 어떤 단일 비트의 전송으로 부터 다음 데이터 비트에 대해 준비될 때까지의 데이터 래치 복구(리셋)시간은 0에 이르러, 최대 데이터 처리량 및 지터 톨러런스가 가능하도록 해야한다.
- <12> 제 2A 도는 플립플롭(201, 202)을 포함하는 당업계에 공지된 데이터 래치(200)를 도시한다. 논리 1 신호가 선(203)을 통해 입력 데이터 단자(D)에 제공된다고 가정할때, 플립플롭(201)의 Q 출력단자상의 신호는, 데이터 비트가 선(204) 상에 제공된다라면, 논리 1에 세트된다. 정의에 의해, 이들 논리 1은 또

한 후속적으로 플립플롭(202)의 데이터 입력단자(D) 상에 제공된다. 선(206) 상의 다음 클럭에지(제 2B도의 파형(206w))는 이 논리 1 신호를 플립플롭(202)의 Q 출력단자로 전달하고 선(208)을 통해 플립플롭(201)을 클리어한다. 그러나, 데이터 래치(200)가 파형(205w)에 대해 적당한 출력 펄스폭(210)을 제공한다 하더라도, 데이터 래치(200)는 데이터 펄스, 예를들어 클럭펄스(파형(206w))에서 혹은 보다 빠르게 일어나는 각 쌍(212/213) 및 (214/215)에서 제 2 비트를 식별하지 못한다. 그러므로, 비트는 적어도 1 윈도우(220)만큼 떨어져 플립플롭(202)의 Q 출력 단자상의 신호가 느리게 하강하고 플립플롭(201) 상에 클리어를 릴리즈한다. 그러면, 비트(211, 212, 214)는 데이터 래치(200)에 의해 검출되지만 비트(213, 211)는 검출되지 않는다. 이것은 어떤 종류의 채널 인코딩 스킴에 대해서는 수용가능 하지만, 데이터 래치(200)는 클럭 주파수로 데이터를 포함시키는 스킴을 배제한다. 또한, 파형(204w) 상의 비트(211, 212)와 같이 비트가 적어도 하나의 윈도우 만큼 떨어져 있을지라도 데이터 래치(200)는 랜덤 노이즈가 비트를 데이터 래치(200)가 인정할 수 있는 것보다 더 가까운 위치로 미는 지터 데이터 때문에 편차를 발생할 수도 있다.

<13> 제 3A 도 및 제 3B 도를 참조하여 설명하면, 다른 공지된 데이터 래치(300)는 후술하는 백래쉬 클리어 스킴으로 3 개의 플립플롭(301, 302, 303)을 포함한다. 플립플롭(301)의 Q 출력 단자의 신호는 데이터 비트, 예를들어 비트(311)가 선(301) 상에 제공될 때 논리 1에 설정된다. 시간(330)(제 3B 도)에서 플립플롭(302, 303)의 클럭입력 단자(CK)로 선(306) 상에 제공되는 다음 클럭 에지는 플립플롭(302)의 Q 출력 단자의 신호를 논리 1에 설정하고 이에 의해 선(308)을 통해 모든 플립플롭을 클리어한다. 플립플롭(303)을 클리어하는 것은 플립플롭(303)의 Q 출력에서 동기된 데이터 출력 펄스(SD2)(파형(307w))를 트리거한다. "클리어"펄스는 전형적으로 매우 짧기 때문에, 플립플롭(301)은 제 2 도의 데이터 래치(201)보다 빨리 전클럭주기로 데이터를 수신한다. 시간(331)(제 3B 도)에서, 상승클럭에지는 플립플롭(303)의 Q 출력단자의 신호를 논리 0에 설정하며, 동기된 데이터 펄스(316)를 종료시킨다.

<14> 플립플롭(301)은 시간(330)(파형(306w))에서 상승클럭에지를 따르는 대략 2 개의 게이트 지연(즉, 플립플롭(302)의 데이터 입력단자(D)로부터 Q 출력단자로의 신호의 전파지연 및 플립플롭(301)의 클리어-릴리즈 시간)까지 새로운 데이터를 수용할 수 없다. 따라서, 윈도우(320A)에서 비트(311)가 먼저 플립플롭(301)을 클럭하는 시간으로부터 플립플롭(301)이 클리어되어 릴리즈되는 시간까지, "블라인드 스폿"이 윈도우(320B)로 들어온다. 전송 주파수가 증가하여 윈도우 크기가 작아짐에 따라, 미 블라인드 스폿은 다음 윈도우의 상당한 퍼센티지로 들어올 수 있다. 따라서, 제 3B 도에 도시한 바와같이, 비트(311, 312, 313, 314)가 검출된다 하더라도(동기화된 데이터 파형(307w) 상의 펄스(316, 317, 318, 319)를 각각 참조), 비트(315)는 검출되지 않는다. 즉, 윈도우 트런케이션은 고주파수 데이터 전송을 금지시키고 지터 데이터에서의 어려움을 증가시킨다.

<15> 제 4 도는 플립플롭(401, 402, 403)과 XOR 게이트(404)를 포함하는 또다른 종래 기술의 데이터 래치(400)를 도시한다. 데이터 래치(400)에서, 플립플롭(401)은 트립 및 클리어 되지 않고, 대신 입력 데이터 비트의 상승 에지로 단지 토글된다. 어떠한 입력 데이터도 없을 시에는, 플립플롭(401, 402, 403)의 모든 Q 출력 단자상의 신호는 동일한 논리상태에 있다. 간단히 하기위해, 모든 플립플롭이 그들의 Q 출력 단자상에서 논리 0 신호를 갖는다고 가정한다. 선(406)(제 4B 도에서의 파형(406w) 참조) 상의 들어오는 데이터 비트(411)는 플립플롭(401)의 Q 출력단자의 신호를 논리 1에 토글한다. 시간(421)에서 상승 클럭 에지(파형(407w))는 플립플롭(402)의 Q 출력 단자상의 신호를 논리 1에 설정한다. 따라서, 플립플롭(402) 및 플립플롭(403)은 그들의 Q 출력단자상에 반대의 논리상태의 신호를 갖는다. 이들 신호는 또한 XOR 게이트(404)의 2 개의 입력단자에 제공된다. 이들 입력신호로, XOR 게이트(404)는 출력선(405) 상에 논리 1 신호를 전송하여 동기된 데이터 출력펄스(416)를 초기화한다(제 4B 도에서의 파형(405w)). 시간(422)에서 다음 클럭 에지는 플립플롭(403)의 Q 출력단자상의 신호를 논리 1로 클럭한다. XOR 게이트(404)로의 양입력 신호가 논리 1 이기때문에, XOR 게이트(404)는 선(405) 상에 논리 0 출력신호를 제공하여, 동기된 데이터 펄스(416)를 종료시킨다. 펄스(416)는 정확하게 하나의 클럭 윈도우(420)의 폭인데 이는 펄스(416)의 상승 및 하강 에지 모두가 들어오는 클럭신호(파형(407w) 참조)에 대하여 동일한 수의 게이트 지연을 겪기 때문이다.

<16> 비트가 클럭주파수에 이르면, 예를들어 파형(406w)의 비트(412, 413)는 출력선(405)(파형(405w)) 상에 연속적인 논리 1 신호(펄스(417))를 생성한다. 이 논리 1 출력신호는 입력 데이터 패턴에서 인접한 펄스에 대한 바람직한 응답이다. 이 도면에서, (비트(414, 415)와 같은) 비트는 클럭주기, 즉 윈도우(420)보다 더 가깝게 간격지워질 수도 있다. 윈도우(420F), 예를들어 윈도우(420G)로의 들어움이 없기 때문에, 비트(414)가 클럭에지(430)직전에 이르고 비트(415)가 클럭에지(430) 직후에 이르른다 하더라도, 양 비트는 검출되고 파형(405w) 상의 연속 펄스(418)를 초래한다. 데이터 래치(400)의 작동에 관한 부가적인 정보는 1991년 3월 5일에 출원된 미국 특허출원번호 제 07/664,911호에 기재되어 있다.

<17> 플립플롭(401, 402, 403)은 클리어 되지 않기 때문에, 데이터 래치(300)에 의해 만들어진 블라인드 스폿은, 예를들어, 제거된다. 또한, 플립플롭(401, 402, 403)은 제 2A 도 및 제 3A 도의 플립플롭의 반주파수에서 동작한다.

<18> 그러나, 논리형태의 전파지연은 에지전이의 방향과 무관하기 때문에(예를들어, 플립플롭 입력으로부터 이의 Q 출력에서의 포지티브전이 까지의 전파지연은 클럭입력과 Q 출력에서의 네가티브 전이 사이의 전파지연과 동일하다), 데이터 래치(400)는 바람직하게 차동 ECL로 구현된다. 이것은 데이터 윈도우 경계가 다음 주기에 의해 교호로 정의되기 때문에 의미가 있다:

<19> 1. 플립플롭(401)의 클럭 입력단자(CK)로 부터 Q 출력단자의 논리 1 까지의 선(406) 상의 논리 1 신호의 전파지연, 플러스 플립플롭(402)의 D 입력단자에서의 논리 1 셋업시간, 혹은

<20> 2. 플립플롭(401)의 클럭 입력단자(CK)로 부터 Q 출력단자의 논리 0 까지의선(406) 상의 논리 0 신호의 전파지연, 플러스 플립플롭(402)의 D 입력단자에서의 논리 0의 셋업시간

<21> 차동 ECL 논리에서, 주기 1 및 2는 실질적으로 동일하다. ECL은 CMOS 논리보다 물리적으로 더 크고 더 많은 전력을 소모한다는 불리한 점이 있다. 그러나, 데이터 래치(400)가 단일 단자 CMOS 기술로 구현된다면, 주기 1과 2에 대한 실질적으로 동일한 시간 지연을 성취한다는 것은 어렵고, 홀수 비트 윈도우

와 짝수 비트 윈도우 사이의 크기에서의 스큐(skew)를 빈번하게 초래한다.

<22> 발명의 개요

<23> 본 발명에 따르면, 게이팅 회로는 짝수 및 홀수 비트를 검출하기 위한 2 개의 별도의 경로를 포함한다. 특히, 제 1 경로는 짝수 데이터 비트에 의해 트리거되어 제 1 소정의 논리상태신호를 제공하고, 홀수 데이터 비트에 의해 트리거되어 제 2 소정의 논리상태신호를 제공한다. 대비적으로, 제 2 경로는 짝수 데이터 펄스에 의해 트리거되어 제 2 논리 상태신호를 제공하고, 홀수 데이터 펄스에 의해 트리거되어 제 1 논리 상태신호를 제공한다. 게이팅 회로는 또한 조합 논리부를 포함하여 제 1 및 제 2 경로를 결합하여 출력 신호를 제공한다.

<24> 제 1 경로는 제 1 복수개의 결합된 플립플롭을 포함한다. 본 발명의 일 실시예에서, 제 1 복수개의 플립플롭은 제 1, 제 2, 및 제 3 플립플롭을 포함한다. 각 플립플롭은 데이터 입력단자, 클럭 입력단자, 및 출력 단자를 갖는다. 제 1 플립플롭은 추가적인 출력단자를 포함한다.

<25> 제 1 플립플롭의 출력단자는 제 2 플립플롭의 데이터 입력단자에 결합되고, 제 1 플립플롭의 추가적인 출력단자는 제 1 플립플롭의 데이터 입력단자에 결합되고, 제 2 플립플롭의 출력단자는 제 3 플립플롭의 데이터 입력단자에 결합된다.

<26> 각 경로는 동일한 수의 결합된 플립플롭을 포함한다. 즉, 본 발명의 일 실시예에서, 제 2 경로는 제 2 복수개의 결합된 플립플롭을 구비한다. 특히, 제 2 복수개의 플립플롭은 제 4, 제 5, 제 6 플립플롭을 포함한다. 제 2 경로에서의 각 플립플롭도 데이터 입력단자, 클럭 입력단자, 및 출력단자를 갖는다. 제 4 플립플롭의 출력단자는 제 5 플립플롭의 데이터 입력단자에 결합되고, 제 5 플립플롭의 출력단자는 제 6 플립플롭의 데이터 입력단자에 결합된다.

<27> 본 발명의 데이터 래치는 또한 데이터 입력선 및 클럭 입력 신호선을 포함한다. 제 1 및 제 4 플립플롭의 클럭 입력단자는 데이터 입력선에 결합된다. 제 2, 제 3, 제 5, 및 제 6 플립플롭의 클럭 입력단자는 클럭 입력 신호선에 결합된다. 제 1 플립플롭의 추가적인 출력단자는 인버터를 통하여 제 4 플립플롭의 입력단자에 결합된다. 이것은 제 1 플립플롭의 출력단자에서의 신호의 로딩, 그러므로 전파지연에 영향을 줌이 없이 제 1 플립플롭의 출력단자의 제 4 플립플롭의 데이터 입력단자로의 균등한 논리상태를 나타낸다. 동일하게, 제 1 및 제 4 플립플롭의 클럭 입력단자 및 출력단자 사이의 전파지연은 동일하다.

<28> 본 발명의 이 실시예에서 조합 논리부는 제 1, 제 2, 및 제 3 NAND 게이트를 포함한다. 각 NAND 게이트는 제 1 입력단자, 제 2 입력단자, 및 출력단자를 갖는다. 제 3 플립플롭의 출력단자는 제 1 NAND 게이트의 제 2 입력단자에 결합된다. 제 2 플립플롭의 출력단자는 제 1 NAND 게이트의 제 1 입력단자에 결합된다.

<29> 또 본 발명의 이 실시예에 따르면, 제 6 플립플롭의 출력단자는 제 2 NAND 게이트의 제 2 입력단자에 결합된다. 상기 제 5 플립플롭의 출력단자는 상기 제 2 NAND 게이트의 상기 제 1 입력단자에 결합된다. 제 1 NAND 게이트의 출력단자는 제 3 NAND 게이트의 제 1 입력단자에 결합된다. 제 2 NAND 게이트의 출력단자는 제 3 NAND 게이트의 제 2 입력단자에 결합된다. 제 3 NAND 게이트의 출력선은 출력신호를 제공한다. 상술한 게이트 회로는 실질적으로 완전히 열린 펄스 캡처 윈도우를 제공한다. 이 게이트 회로의 전형적인 응용은 직렬 데이터 수신기에서 동기 데이터 신호를 제공하는 데이터 래치이다.

<30> 또한 본 발명에 따르면, 게이트 회로는 상술의 데이터 래치 구성을 갖지만 부가적으로 제 3 및 제 6 플립플롭으로의 클럭신호를 반전하는 제 2 인버터를 갖는다. 동일하게, 제 3 NAND 게이트의 출력선에 의해 제공되는 출력신호, 즉 게이트 클럭신호는 입력 클럭 신호주기의 1/2 이다. 즉, 본 발명은 하류(downstream) 회로를 위한 바람직한 게이트 클럭원을 제공한다.

<31> 본 발명의 다른 실시예에서, 조합 논리부는 제 1 및 제 2 AND 게이트 및 NOR 게이트를 포함한다. 이들 게이트들의 결합은 3 개의 NAND 게이트에 대해 상술한 것과 유사하게 이루어지는데, 제 1 및 제 2 AND 게이트는 제 1 및 제 2 NAND 게이트를 대체하고 NOR 게이트는 제 3 NAND 게이트를 대체한다.

<32> 또한 본 발명에 따르면, 데이터 래치는 홀수 및 짝수 데이터 펄스를 분할하는 수단과 이들 데이터 펄스를 받아 동기 데이터를 출력하는 수단을 포함한다. 분할하는 수단은 차동 ECL 회로로 구현되고, 받는 수단은 CMOS 회로로 구현된다. 이런식으로, 데이터 래치는 균형된 상승 및 하강 에지 전파 지연이 홀수 및 짝수 비트를 대칭적으로 취급하기에 매우 적합한 차동 ECL 회로에 의해 모든 타이밍 결정을 수행함으로써 회로의 성능을 대단히 향상시킨다. CMOS 플립플롭과 XOR 게이트는 입력 비트 재타이밍이 ECL 논리에서 일어난 후 출력 펄스를 정형하는 기능을 한다.

도면의 간단한 설명

<33> 제 1A 도는 데이터 동기 응용에서의 종래의 위상 동기루프의 블록도를 나타낸다.

<34> 제 1B 도는 제 1A 도에 도시된 회로로 및 에 의해 제공되는 다양한 파형을 나타낸다.

<35> 제 2A 도는 2 개의 플립플롭을 포함하는 종래의 데이터 래치를 나타낸다.

<36> 제 2B 도는 제 2A 도에 도시된 데이터 래치로 및 에 의해 제공되는 다양한 파형을 나타낸다.

<37> 제 3A 도는 백래쉬 구성으로 결합된 3 개의 플립플롭을 포함하는 종래의 다른 데이터 래치를 나타낸다.

<38> 제 3B 도는 제 3A 도에 도시된 데이터 래치로 및 에 의해 제공되는 다양한 파형을 나타낸다.

<39> 제 4A 도는 3개의 플립플롭과 XOR 게이트를 포함하는 종래의 또 다른 데이터 래치를 나타낸다.

<40> 제 4B 도는 제 4A 도에 도시된 데이터 래치로 및 에 의해 제공되는 다양한 파형을 나타낸다.

- <41> 제 5A 도는 짝수와 홀수 비트에 대한 별도의 경로를 포함하는 본 발명에 따른 데이터 래치를 나타낸다.
- <42> 제 5B 도는 제 5A 도에 도시된 데이터 래치로 및 에 의해 제공되는 다양한 파형을 나타낸다.
- <43> 제 6A 도는 종래의 클럭 게이트를 나타낸다.
- <44> 제 6B 도는 제 6A 도의 클럭 게이트로 및 에 의해 제공되는 다양한 파형을 나타낸다.
- <45> 제 7A 도는 종래의 다른 클럭 게이트를 나타낸다.
- <46> 제 7B 도는 제 7A 도의 클럭 게이트로 및 에 의해 제공되는 다양한 파형을 나타낸다.
- <47> 제 8A 도는 종래의 또다른 클럭 게이트를 나타낸다.
- <48> 제 8B 도는 제 8A 도의 클럭 게이트로 및 에 의해 제공되는 다양한 파형을 나타낸다.
- <49> 제 9A 도는 종래의 또다른 클럭 게이트를 나타낸다.
- <50> 제 9B 도는 제 9A 도의 클럭 게이트로 및 에 의해 제공되는 다양한 파형을 나타낸다.
- <51> 제 10A 도는 본 발명에 따른 클럭 게이트를 나타낸다.
- <52> 제 10B 도는 제 10A 도의 클럭 게이트로 및 에 의해 제공되는 다양한 파형을 나타낸다.
- <53> 제 11A 도는 바이폴라 및 CMOS 기술을 조합하는 본 발명의 펄스 게이팅 회로의 다른 실시예를 나타낸다.
- <54> 제 11B 도는 제 11A 도에 도시된 데이터 래치를 클럭 게이트로 변형시키는 ECL/CMOS 변환기 1106의 구성을 나타낸다.
- <55> 제 12 도는 본 발명에 따른 조합 논리부의 다른 실시예를 나타낸다.
- <56> 도면의 상세한 설명
- <57> 본 발명의 일 실시예로 제 5A 도 및 제 5B 도를 참조하여 설명하면, 데이터 래치(500)는 플립플롭(506, 507, 508)을 포함하는 경로(501)와 플립플롭(509, 510, 511)을 포함하는 경로(502)로 나뉜다. 플립플롭(506)의 Q 출력단자는 플립플롭(507)의 데이터 입력단자(D)에 결합된다. 이 결합 구성은 또한 플립플롭(507, 508) 사이, 플립플롭(509, 510) 사이, 플립플롭(510, 511) 사이에도 있다. 플립플롭(506)의 $\overline{Q}$ 출력 단자는 인버터(512)를 통하여 플립플롭(509)의 데이터 입력단자 뿐만 아니라 자신의 데이터 입력단자(D)로 결합된다. 플립플롭(508, 511)의 Q 출력 단자 뿐만 아니라 플립플롭(507, 509, 510)의 $\overline{Q}$ 출력단자는 플로우팅으로 남고 이 실시예에서 사용되지 않는다.
- <58> 조합 논리부(518)는 경로(101, 502)를 통합한다. 특히, 플립플롭(508)의 $\overline{Q}$ 출력단자는 NAND 게이트(514)의 하나의 입력단자에 결합되고 플립플롭(507)의 Q 출력단자는 NAND 게이트(514)의 다른 입력단자에 결합된다. 동일하게, 플립플롭(511)의 $\overline{Q}$ 출력단자는 NAND 게이트(515)의 하나의 입력단자에 결합되고 플립플롭(510)의 Q 출력단자는 NAND 게이트(515)의 다른 입력단자에 결합된다. NAND 게이트(514, 515)의 출력단자는 NAND 게이트(116)의 입력단자에 결합된다. NAND 게이트(516)의 출력단자는 선(517)을 통하여 데이터 래치(500)로 부터 동기된 데이터를 제공한다.
- <59> 플립플롭(507, 508, 510, 511)의 입력 클럭단자(C)는 선(505)에 결합되고, 플립플롭(506, 507)의 입력 클럭단자(C)는 선(503)에 결합된다. 본 발명의 일 실시예에서, 데이터 래치(500)에서의 모든 플립플롭의 리셋단자는 인버터(513)를 통하여 선(504)에 결합된다.
- <60> 선(504)에 제공되고 인버터(513)에 의해 반전되는 로우 신호(RG3)는 플립플롭(506 - 511)을 리셋하여 모든 Q 출력신호는 논리 0에 있다. 플립플롭(506)의 출력신호(Q)는 논리 0 이므로, 출력신호($\overline{Q}$)는 논리 1 이다. 이 논리 1 신호는 플립플롭(507)의 입력단자(D) 및 플립플롭(506)의 입력단자(D)에 제공된다. 이 논리 1 신호는 인버터(512)에 의해 반전된다. 따라서, 논리 0 신호가 플립플롭(509)의 데이터 입력단자(D)에 제공된다. 선(504) 상의 신호(RG3)가 하이로 올라간후(파형(504w) 참조), 입력 데이터선(503)(파형(503w)) 상의 제 1 데이터 비트(530)는 플립플롭(506)의 Q 출력단자상의 신호를 논리 1 로 토글하고 플립플롭(109)의 Q 출력단자상의 신호는 0을 유지한다. 플립플롭(506)의 Q 출력단자상의 신호는 논리 1 이고, 플립플롭(506)의 $\overline{Q}$ 출력단자상의 신호는 논리 0 이다. 이 논리 0 신호는 인버터(512)에 의해 반전된다. 따라서, 논리 1 신호가 플립플롭(509)의 입력 데이터 단자(D)에 제공된다. 이 논리 1 신호는 신호(DELDATA)(파형(503w) 참조)의 다음 데이터 비트(비트 (531))에 응하여 Q 출력단자로 전송될 것이다. 플립플롭(507, 508, 510, 511)의 Q 출력단자상의 신호는 로우 즉, 논리 0을 유지한다. 따라서, 시간(550)에서, 선(517) 상의 동기된 데이터 신호(SDATA)는 논리 0 이다. 선(505) 상의 클럭신호(MVC0B)를 나타내는 펄스(542)(시간(551)에서의 파형 (505w) 참조)의 상승에지는 플립플롭(507)의 데이터 입력 단자상의 논리 1 신호를 플립플롭(507)의 Q출력 단자로 클럭시킨다(파형(507w)참조). 파형(506w, 507w) 상의 신호는 논리 1 이고 시간(511)에서 파형(508w, 509w, 510w, 511w) 상의 신호는 논리 0 이다. 플립플롭(507)의 Q 출력단자 및 플립플롭(508)의 $\overline{Q}$ 출력단자에 의해 제공되는, NAND 게이트(514)로의 2 개의 논리 1 입력신호는 NAND 게이트(514)로 부터의 논리 0 출력신호를 얻는다. 플립플롭(510)의 Q 출력단자 및

플립플롭(511)의 $\overline{Q}$ 출력단자에 의해 제공되는, NAND 게이트(515)로의 논리 0 및 1 입력신호는 NAND 게이트(515)로부터 논리 1 출력신호를 얻는다. NAND 게이트(516)는 논리 0 및 논리 1 입력신호가 제공되므로, NAND 게이트(516)로 부터의 선(517) 상의 출력신호(SDATA)는 논리 1 이다.

<61> 선(505) 상의 클럭신호(MVC0B)의 펄스(543)의 상승에지는 플립플롭(507)의 Q 출력단자상의 (플립 플롭(508)의 데이터 입력단자(D)로의 신호로서 제공된)논리 1 신호를 플립플롭(508)의 Q 출력단자로 클럭

시킨다. NAVD 게이트(514)의 입력단자의 하나에 제공되는, 플립플롭(508)의 $\overline{Q}$ 출력단자에서의 로우 신호는 NAND 게이트(514)의 출력신호를 논리 1 로 변화시키고, 그에 의해 또한 NAND 게이트(516)의 출력신호를 논리 0 으로 변화시킨다. 파형(517w) 상의 펄스(561)는 파형(505w) 상의 1 클럭 사이클의 그것과 동일한 주기를 갖는다.

<62> 파형(503w) 상의 신호(DELDATA)의 비트(531)는 플립플롭(506, 509)의 Q 출력단자상의 신호를 각각 논리 0 및 1 로 토글시킨다. 클럭신호(MVC0B)의 펄스(544)의 상승에지는 플립플롭(507, 510)의 Q 출력단자상의 신호를 각각 논리 0 및 논리 1 로 토글시킨다. 따라서, 시간(554)에서의 동기된 출력 데이터 신호(SDATA)는 논리 1 이다.

<63> 데이터 신호(DELDATA)(파형 503w)의 비트(532)는 플립플롭(506, 509)의 Q 출력단자상의 신호를 각각 논리 1 및 0 으로 토글시킨다. 클럭신호(MVC0B)의 펄스(545)의 상승에지는 플립플롭(507, 508, 510, 및 511)의 출력단자상의 신호를 각각 논리 1, 0, 0, 1로 클럭시킨다. 따라서, 시간(556)에서, 동기된 데이터 출력신호(SDATA)는 논리 1 에 유지된다.

<64> 클럭신호(MVC0B)의 펄스(546)는 플립플롭(508)의 Q 출력단자상의 신호를 논리 1 로 클럭시키고 플립플롭(511)의 $\overline{Q}$ 출력단자상의 신호를 논리 0 으로 클럭시킨다. 따라서, 시간(557)에서, 동기된 데이터 출력신호(SDATA)는 논리 0으로 설정된다. 데이터 비트(531, 532)는 1 클럭주기(파형(505w))미만으로 분리될 지라도, 본 발명은 양 펄스를 검출하여 2 개의(MVC0B) 클럭 사이클에 대해 연속적인 논리 1 신호를 제공한다.(파형(517w)상의 펄스(562) 참조).

<65> 그러므로, 제 5A 도 및 제 5B 도를 참조하여 상술한 것처럼, 경로(501)에서의 플립플롭(506)은 홀수 비트(즉 비트(531))에 의해 트리거되어 Q 출력단자에 논리 0 신호를 제공한다.

<66> 대비적으로, 경로(502)에서의 플립플롭(509)은 짝수비트(즉 비트(531))에 의해 트리거되어 Q 출력 단자에 논리 1 신호를 제공하고, 홀수 데이터 비트(즉 비트(532))에 의해 트리거되어 Q 출력단자에 논리 0 신호를 제공한다. 플립플롭(507, 508, 510, 511)은 선(505) 상의 클럭펄스의 상승에지에 의해 트리거된다.

<67> 본 발명에 따르면, 데이터 윈도우 경계는 다음 주기에 의해 교대로 정의된다.

<68> 1. 플립플롭(506)의 클럭 입력단자로 부터의 논리 1 신호의 Q 출력 단자로의 전파지연, 플러스 플립플롭(507)의 데이터 입력단자(D)에서의 논리 1 의 셋업시간; 혹은

<69> 2. 플립플롭(509)의 클럭 입력단자로 부터의 논리 1 신호의 Q 출력단자로의 전파지연, 플러스 플립플롭(510)의 데이터 입력단자(D)에서의 논리 1 의 셋업시간.

<70> 짝수와 홀수 윈도우의 크기가 동일하도록, 주기 1 및 2 에 대한 전파지연은 실질적으로 동일해야 한다. 이러한 동일성을 얻기 위해서, 본 발명은 플립플롭(506, 509)에 동일한 논리소자와, 플립플롭(507, 510)에서의 동일한 데이터/클럭 셋업 시간을 제공한다. 이러한 방법으로, 본 발명은 경로(501) 및 (502)를 통한 윈도우 경계 결정점을 균등화하여 홀수-짝수 윈도우 왜곡을 방지한다.

<71> 또한, 데이터 래치(500)에서 플립플롭(506 - 511)은 데이터 리드 동작 시작후에 리셋되지 않기 때문에, 본 발명은 종래의 래치에 의해 생성되는 블라인드 스폿을 제거한다. 따라서, 본 발명은 윈도우가 적당하게 검출되는 내에서 위치에 무관하게 완전히 열린 윈도우, 즉 모든 데이터 비트를 허용한다. 또한, 본 발명에 따르면, 모든 플립플롭은 제 2 도 및 제 3 도에 도시한 종래 래치 주파수의 반 주파수에서 동작한다.

<72> 제 1A 도를 참조하여 이미 설명한 바와 같이, 선(103) 상의 VC0 출력신호는 위상 비교기(108)에 제공되어 위상동기 루프를 폐쇄한다. 전형적으로, 위상 비교기(108)는 전 주파수 구분 능력을 갖는다. 즉 위상비교기(108)는 VC0가 주파수차의 크기에 관계없이 입력(즉 데이터) 주파수로 향하도록 한다. 채널데이터는 가 랜덤이고 종종 실제 클럭 주파수에서의 어떤 성분도 갖지 않기 때문에, VC0(110)에 의해 제한되지 않은(직접적으로 접속된) 피드백은 예견할 수 없는, 따라서 사용할 수 없는 VC0 주파수를 초래한다.

<73> 이러한 상태를 피하기 위해, 선(103) 상의 VC0(110)로 부터의 피드백 신호는 위상비교기(108)의 네가티브 입력단자에 제공되기에 앞서 1 대 1을 기준으로 입력 데이터 펄스의 도래에 의해 먼저 제한된다. 이 제한회로(qualifier circuit)를 클럭 게이트(111)라 한다. 데이터 래치(101)와 같이 클럭 게이트(111)는 평균 입력 데이터 펄스 선두에지 주위에 윈도우를 만든다. 선(105) 상의 데이터 펄스가 클럭 게이트(111)로의 입력단자에 도래하면, 어떠한 출력전이라도 클럭 게이트(111)의 출력단자에 일어나지 않지만, 클럭 게이트(111)는 다음 복귀된 클럭 펄스를 선(103) 상에 패스할 수 있다. 선(103) 상에 다음에 일어나는 클럭에지는 위상비교기(108)에 전송되고 게이트는 닫힌다. 래치는 선(105) 상에 다른 데이터 펄스의 도래후까지 선(103) 상의 다른 클럭펄스에 "닫힌"채로 유지된다. 본 발명의 일 실시예에서, 1/2 VC0 주기의 예상기 지연은 후술하는 방법으로 이 게이팅 윈도우를 설정하고 중심에 모은다.

<74> 안정한 클럭에 있다면, 위상동기 루우프(100)는 위상비교기(108)의 (포지티브 및 네가티브) 입력단자에서의 펄스가 실질적으로 동시에 일어나도록 한다(즉 연산증폭기가 닫힌 루프 구성에서 동작할때 포지티브 및 네가티브 입력단자상의 신호를 실질적으로 동일한 전압으로 하는 것과 유사함). 제 1 A 도에 도시한 바의 반셀(half-cell) 예상기 지연으로, 선(105) 상의 들어오는 데이터 펄스는 VC0(110)의 1/2 주

기이도록 선택되는 지연크기 만큼 위상비교기 입력펄스를 선도한다. 클럭 게이트(111)가 어떠한 지연도 갖지 않는다고 하면, VC0(110)로 부터의 출력펄스는 위상비교기(108)의 입력펄스와 동기되어 입력 데이터 펄스를 VC0(110)의 1/2 주기만큼 지연시킨다. 이런 식으로, 평균 입력 데이터 펄스에지는 VC0(110)로 부터의 상승에지 사이의 정확하게 중간에 일어난다. 따라서, 본 발명에 따르면, 데이터 펄스는 VC0 주기의 플러스 혹은 마이너스 1/2의 이동 자유도(지터 톨러런스)를 갖지만 적당한(다음) VC0 펄스에 대해서는 클럭 게이트(111)를 여전히 열고 있다. 입력 데이터 펄스 지터 특성이 평균 위치에서 대칭이라고 하면, VC0(110)에 의해 정의되는 윈도우 내에 데이터 펄스의 중심 모으기는 가장 낮은 가능한 비트 에러율(BER)을 생성한다.

<75> 전형적인 클럭 게이트 요건은 다음을 포함한다:

<76> 1. 최소 결정 손실을 위한 윈도우 경계에서의 매우 작은 메타스테빌리티 영역,

<77> 2. 최대 전송을 용량(고펄스 반복률)을 위한 각 비트의 전송으로 부터의 신속한 복구,

<78> 3. RZ(return-to-zero) 출력펄스.

<79> 데이터 래치(101)는 NRZ 출력펄스를 갖는 것에 의해 클럭 게이트(111)와 구분된다는 것에 유의한다.

<80> 제 6A 도는 데이터 래치(200)(제 2A 도)와 동일한 구성을 갖는 종래의 클럭 게이트(600)를 나타낸다. 동기되는 데이터 대신 선(605) 상의 출력신호가 게이트 클럭신호(GC1)이다. 그러나, 제 6B 도의 파형(605w)에 도시한 바와같이, 클럭 게이트(600)는 데이터 래치(200)와 동일한 단점을 갖는다. 특히, 클럭 게이트(600)는 비트 (613, 615)와 같은 클럭 주파수에서 혹은 위의 입력 데이터펄스를 검출하지 못한다.

<81> 제 7A 도는 데이터 래치(300)(제 3 도)와 유사한 구성을 갖는 다른 공지의 클럭 게이트(700)를 나타낸다. 클럭 게이트(700)는 데이터 래치(300)의 출력펄스 신호를 실질적으로 1 클럭 사이클의 폭으로 재정형하는 플립플롭(303)을 제거한다. 클럭 게이트(700)에서, 게이트 클럭신호(GC2)의 폭은 플립플롭(702)의 셀프 클리어 시간에 의해 설정된다. 그러나, 이 구성은 바람직하지 않게 블라인드 스폿 폭 즉, 플립플롭(701)이 클리어 되어 있는 시간을 넓혀, 입력 데이터 전이를 수용할 수 없다.

<82> 제 8 도에 도시한 종래의 다른 클럭 게이트(800)는 제 4 도에 나타난 데이터 래치(400)와 유사한 구성을 갖는다. 특히, 클럭 게이트(800)는 3개의 플립플롭(801, 802, 803)과 NOR 게이트(804)를 갖는다. 클럭 게이트(800)는 클럭신호를 제공하는 선(807)과 플립플롭(803)의 클럭 입력단자(CK)에 결합된 인버터 게이트(850)를 포함한다. 제 8B 도를 참조하면, 파형(805w)에 의해 나타난 바와 같이 게이트 클럭신호(GC3)는 완전한 클럭 주파수(즉 게이팅 작용이 매 클럭 사이클에서 반복됨)에서조차 에지 활성 회로 하류를 클럭시키는데 특히 유리한 RZ(return-to-zero) 특성을 나타낸다. 따라서, 제 8B 도에 도시된 것처럼, 모든 입력 데이터 비트(811, 812, 813, 814, 815)는 각각 출력펄스(816, 817, 818, 819, 820)에 의해 보여지는 것처럼 클럭 게이트(800)에 의해 검출된다. 그러나, 클럭 게이트(800)는 데이터 래치(400)(제 4 도)의 단점을 동일하게 갖는다. 특히, 전파지연이 에지전이의 방향에 독립적이기 때문에 클럭 게이트(800)는 차동 ECL에서 우선적으로 구현된다(예를들어, 플립플롭 클럭 입력단자로 부터 이의 Q 출력단자의 포지티브 전이까지의 신호 전파지연은 클럭 입력단자와 Q 출력단자에서의 네가티브 전이 사이의 신호 전파지연과 동일하다). 클럭 게이트(800)의 데이터 윈도우 경계는 다음 주기에 의해 교대로 정의된다:

<83> 1. 플립플롭(801) 상의 클럭 입력단자(CK)로 부터의 Q 출력단자에 서의 논리 1 로의 선(806) 상의 논리 1 신호의 전파지연, 플러스 플립플롭(802)의 D 입력단자에서의 논리 1 의 셋업시간, 혹은

<84> 2. 플립플롭(801) 상의 클럭 입력단자(CK)로 부터의 Q 출력단자에서의 논리 0 으로의 선(806) 상의 논리 0 신호의 전파지연, 플러스 플립플롭(802)의 D 입력단자에서의 논리 0의 셋업시간.

<85> 차동 ECL 논리에서, 주기 1 및 2는 실질적으로 동일하다. ECL은 CMOS 논리보다 물리적으로 더 크고 더 많은 전력을 소비한다는 단점을 갖는다. 그러나, 클럭 게이트(800)가 단일 단자 CMOS 기술로 구현된다면, 주기 1 및 2에 대해 실질적으로 동일한 시간지연을 성취한다는 것은 어렵고 빈번하게 홀수 비트 윈도우와 짝수 비트 윈도우 사이의 크기에서 스큐를 초래한다.

<86> 제 9A 도는 데이터 래치(800)와 유사한 구성을 갖는 클럭 게이트(900)를 나타낸다. 클럭 게이트(900)는 플립플롭(901, 902)을 갖는다. 입력 데이터는 플립플롭(901)의 클럭단자(CK)로의 선(906) 상에

제공된다. 플립플롭(901)의 $\overline{Q}$ 출력단자는 자신의 데이터 입력단자(D)에 결합된다. Q 출력단자는 또한 NOR 게이트(904)의 하나의 입력단자 뿐만아니라 플립플롭(902)의 데이터 입력단자(D)로 결합된다. 클럭신호는 플립플롭(902) 상의 단자(CK)에서 클럭으로의 선(907) 상에 제공된다. 플립플롭(902)의 $\overline{Q}$ 출력단자는 NOR 게이트(904)의 다른 입력단자에 결합된다. NOR 게이트(904)는 결과의 게이트 클럭신호(GC4)를 선(905) 상에 제공한다. 제 9B 도에 도시된 바와같이, 게이트 클럭신호(GC4)를 나타내는 파형(910)은 변화하는 듀티 사이클(입력 펄스 스위치의 함수로서)을 갖지만, 타이밍 정보를 운반하는 상승에지(930)의 위치는 제 8B 도에 파형(810) 상에 도시된 상승에지(830)에 관하여 보존된다. 그러나, 클럭 게이트(900)는 제 8A 도 및 제 9A 도를 참조하여 상술한 동일한 단점을 갖는다(그러므로 여기서는 상술하지 않는다).

<87> 제 10A 도는 제 5 도에 도시된 데이터 래치(500)와, 선(1005) 상의 인버터(1070)가 클럭신호를 플립플롭(1008, 1011)으로 반전시킨다는 점을 제외하고는, 동일한 구성을 갖는 본 발명에 따른 클럭 게이트(1000)를 도시한다. 제 10B 도에 파형(1017w)에 의해 도시된 바와 같이, 클럭신호의 이러한 반전은 출력펄스, 예를 들어 제 5B 도에서의 펄스(561)에 의해 보여지는 전 클럭주기 대신 폭에 있어 1 클럭주기의 1/2인 펄스(1061, 1062, 1063)를 생성한다. 이 짧아진 펄스주기는 클럭 게이트(1000)가 하류회로에 대한 게이트 클럭원으로 사용되도록 한다.

<88> 본 발명에 따른 게이팅회로, 즉 데이터 래치 및 클럭 게이트는 또한 실질적으로 완전히 열린 펄스 캡처 윈도우를 제공한다.

<89>

본 발명에 따른 데이터 래치(1100)의 다른 실시예가 제 11A 도에 도시된다. 데이터 래치(1100)는 차동 ECL 플립플롭(1101, 1102), 차동 ECL/CMOS 변환기(1103, 1106), 표준 CMOS 플립플롭(1104) 및 NOR 게이트(1105)를 포함한다. 당업계에 잘 알려진 바와같이, 차동 ECL에서의 신호는 2 개의 선에 의해 표현된다. 한 선 상의 논리신호의 상태는 다른 선 상의 신호의 보수이다. 예를 들어, 제 11A 도를 참조하여 설명하면, 입력 데이터 선(11077A) 상의 신호가 하이로 부터 로우로 전이한다면, 입력 데이터선(1107B) 상의 신호는 로우로 부터 하이로 전이한다. 논리 결정은 2 개의 전압이 다른 상태로 전이함에 따라 2 개의 전압이 교차하는 점에서 행해진다. 즉, 2 개의 전압이 교차하는 점은 차동 ECL 논리에 대해 동일한 문턱점이다. ECL/CMOS 변환기(1103, 1106)는 적절한 신호 형태를 보장하기 위해 차동 ECL 플립플롭(1101, 1102)과 CMOS 플립플롭(1104)사이에 위치된다.

<90>

데이터 래치(1100)는 데이터 래치(400)(제 4A 도)와 유사하게 기능한다. 특히, 데이터 래치(1100)는 홀수와 짝수 데이터 펄스를 분할한다. 예를들어, 데이터 래치(1100)는 홀수 비트를 상승에지로 변형하며 짝수 비트를 하강에지로 변형한다. 그러나, 데이터 래치(1100)는 완전하게 대칭인 균형잡힌 전파 지연논리 때문에 상승과 하강에지를 동일하게 해석한다. 따라서, 데이터 래치(1100)에 의해 제공되는 윈도우는 동일한 크기가 보장되어 그에 의해 데이터 래치의 성능을 최적화한다.

<91>

데이터 래치(1100)는 데이터 래치(400)에 대해 확실한 이점을 갖는다. 특히, Q 출력 신호가 논리 1 로 전이할때 클럭 입력단자로 부터 Q 출력단자로의 전파지연은 Q 출력신호가 논리 0 으로 전이할때 클럭 입력단자로 부터 Q 출력단자로의 전파지연과 동일하다. 따라서, 문턱점은 논리상태에 관계없이 동일점에서 일어난다. 이 실시예에서, 차동 ECL 플립플롭(1101, 1102)은 짝수와 홀수 데이터 펄스의 분할을 행하여, 종래의 데이터 래치의 반 주파수에서 이러한 동작이 일어나게 하므로 상승과 하강에지의 해석이 상당히 개선되게 한다. 상대적으로 크고, 고전력인 차동 ECL 회로에 의해 행해지는 이 분할 동작 후, 신호는 상대적으로 작고, 저전력인 CMOS 회로에 제공된다. 따라서, 데이터 래치(1100)는 CMOS 논리보다 빠른 차동 ECL 논리에 의해 모든 타이밍 결정을 행하므로 성능을 상당히 개선한다.

<92>

제 11B 도 에 도시한 바와같이 입력신호를 ECL/CMOS 변환기(1106)로 역전시키는 것(즉 입력선(1108B) 상이 아니고 입력선(1108A) 상의 신호를 반전시키는것)은 데이터 래치(1100)를 제 8도 에 도시한 클럭 게이트(800)와 기능적으로 유사한 클럭 게이트로 변형시킨다.

<93>

상술한 설명은 예시적인 것이지 제한하는 것은 아니다. 당업자는 상세한 설명 및 첨부 도면을 참조하여 본 발명의 범위내에서 다른 구성을 창안하는 것이 가능할 것이다. 예를들어, 제 12 도에 도시된 바와 같이, 본 발명의 다른 실시예에서의 조합 논리부(1200)는 NAND 게이트(514/515)(제 5 도) 혹은 NAND 게이트(1014/1015)(제 10 도)를 대체한 AND 게이트 (1201/1202)와 NAND 게이트(516) 혹은 NAND 게이트(1016)를 대체한 OR 게이트(1203)를 포함한다. 본 발명의 다른 실시예에서, 플립플롭의 반전단자는 비반전단자(제 5A 도 및 제 10A 도에 도시됨) 대신에 다른 플립플롭의 데이터 입력단자에 결합된다. 이들 실시예에서, 다른 적절한 조합논리부가 올바른 클럭신호를 제공하기 위해 사용된다. 또한, 상기 설명한 게이트회로를 CMOS 기술로 나타내지만, 본 발명의 다른 실시예는 1^2L 및 TTL과 같은 다른 기술을 채용한다. 본 발명은 첨부 특허청구의 범위에 설정된다.

(57) 청구의 범위

청구항 1

동기 데이터를 제공하는 데이터 래치에 있어서,
 홀수 및 짝수 데이터 펄스를 분할하는 수단; 및
 상기 홀수 및 짝수 데이터 펄스를 수신하고 상기 동기 데이터를 출력하는 수단을 포함하고,
 상기 분할하는 수단은, 상기 홀수 및 짝수 데이터 펄스의 완전한 대칭 전파 지연을 제공하기 위하여 차동 ECL 기술로 구현되고,
 상기 수신하는 수단은 CMOS 기술로 구현되는 것을 특징으로 하는 데이터 래치.

청구항 2

제1항에 있어서, 상기 차동 ECL 기술로부터의 신호를 상기 CMOS 기술의 신호로 변환하는 수단을 더 포함하는 것을 특징으로 하는 데이터 래치.

청구항 3

동기 데이터를 제공하는 데이터 래치에 있어서,
 홀수 및 짝수 데이터 펄스를 분할하는, 차동 ECL 기술로 구현된 수단;
 상기 홀수 및 짝수 데이터 펄스를 수신하고 상기 동기 데이터를 출력하는, CMOS 기술로 구현된 수단; 및
 상기 차동 ECL 기술로부터의 신호를 상기 CMOS 기술의 신호로 변환하는 수단을 포함하며,

상기 분할하는 수단은, 제 1 및 제 2 차동 ECL 플립-플롭을 포함하며, 각 플립-플롭은 입력 단자, 출력 단자, 및 클럭 단자를 구비하며, 상기 입력 단자로부터 상기 출력단자로의 상기 홀수 데이터 펄스의 전파는 상기 입력 단자로부터 상기 출력단자로의 짝수 데이터 펄스의 전파와 동일한 것을 특징으로 하는 데이터 래치.

청구항 4

제3항에 있어서, 상기 수신하는 수단은, 입력 단자, 출력 단자, 및 클럭 단자를 구비한 CMOS 플

립-플롭을 포함하는 것을 특징으로 하는 데이터 래치.

청구항 5

제4항에 있어서, 상기 변환하는 수단은 제 1 및 제 2 ECL/CMOS 변환기를 포함하는 것을 특징으로 하는 데이터 래치.

청구항 6

동기 데이터를 제공하는 데이터 래치에 있어서,

각각 입력 단자, 출력 단자, 및 클록 단자를 구비한 제 1 및 제 2 차동 ECL 플립-플롭을 포함하고, 홀수 및 짝수 데이터 펄스를 분할하는, 차동 ECL 기술로 구현된 수단;

입력 단자, 출력 단자, 및 클록 단자를 구비한 CMOS 플립-플롭을 포함하고, 상기 홀수 및 짝수 데이터 펄스를 수신하고 상기 동기 데이터를 출력하는, CMOS 기술로 구현된 수단; 및

제 1 및 제 2 ECL/CMOS 변환기를 포함하며, 상기 차동 ECL 기술로부터의 신호를 상기 CMOS 기술의 신호로 변환하는 수단을 포함하며,

상기 제 1 차동 ECL 플립-플롭의 상기 데이터 단자는 상기 제 1 차동 ECL 플립-플롭의 상기 출력 단자 및 상기 제 2 차동 ECL 플립-플롭의 상기 데이터 단자에 결합된 것을 특징으로 하는 데이터 래치.

청구항 7

제6항에 있어서, 상기 제 2 차동 ECL 플립-플롭의 클록 단자 및 상기 제 2 ECL/CMOS 변환기에 연결되는 클록 입력 신호를 제공하는 수단을 더 포함하는 것을 특징으로 하는 데이터 래치.

청구항 8

제7항에 있어서, 상기 제 1 차동 ECL/CMOS 변환기는 상기 제 2 차동 ECL 플립-플롭의 상기 출력 단자에 결합된 것을 특징으로 하는 데이터 래치.

청구항 9

제8항에 있어서, 상기 제 1 및 제 2 차동 ECL/CMOS 변환기는 상기 CMOS 플립-플롭의 상기 데이터 단자 및 상기 CMOS 플립-플롭의 상기 클록 단자 각각에 결합된 것을 특징으로 하는 데이터 래치.

청구항 10

제9항에 있어서, 상기 수신하는 수단은, 상기 제 1 차동 ECL/CMOS 변환기 및 상기 CMOS 플립-플롭의 상기 출력 단자에 결합된 CMOS 배타적-OR 게이트를 더 포함하는 것을 특징으로 하는 데이터 래치.

청구항 11

제10항에 있어서, 상기 CMOS 배타적-OR 게이트는 상기 동기 데이터를 제공하는 것을 특징으로 하는 데이터 래치.

청구항 12

게이트된 클록 신호를 제공하는 클록 게이트에 있어서,

홀수 및 짝수 데이터 펄스를 분할하는 수단; 및

상기 홀수 및 짝수 데이터 펄스를 수신하고 상기 클록 신호를 출력하는 수단을 포함하고,

상기 분할하는 수단은, 상기 홀수 및 짝수 데이터 펄스의 완전한 대칭 전파 지연을 제공하기 위하여 차동 ECL 기술로 구현되고,

상기 수신하는 수단은 CMOS 기술로 구현되는 것을 특징으로 하는 클록 게이트.

청구항 13

제12항에 있어서, 상기 차동 ECL 기술로부터의 신호를 상기 CMOS 기술의 신호로 변환하는 수단을 더 포함하는 것을 특징으로 하는 클록 게이트.

청구항 14

게이트된 클록 신호를 제공하는 클록 게이트에 있어서,

홀수 및 짝수 데이터 펄스를 분할하는, 차동 ECL 기술로 구현된 수단;

상기 홀수 및 짝수 데이터 펄스를 수신하고 상기 클록 신호를 출력하는, CMOS 기술로 구현된 수단; 및

상기 차동 ECL 기술로부터의 신호를 상기 CMOS 기술의 신호로 변환하는 수단을 포함하며,

상기 분할하는 수단은, 제 1 및 제 2 차동 ECL 플립-플롭을 포함하며, 각 플립-플롭은 입력 단자, 출력 단자, 및 클록 단자를 구비하며, 상기 입력 단자로부터 상기 출력단자로의 상기 홀수 데이터 펄스의 전파는 상기 입력 단자로부터 상기 출력단자로의 짝수 데이터 펄스의 전파와 동일한 것을 특징으로 하는 클록 게이트.

청구항 15

제14항에 있어서, 상기 수신하는 수단은, 입력 단자, 출력 단자, 및 클록 단자를 구비한 CMOS 플립-플롭을 포함하는 것을 특징으로 하는 클록 게이트.

청구항 16

제15항에 있어서, 상기 변환하는 수단은 제 1 및 제 2 ECL/CMOS 변환기를 포함하는 것을 특징으로 하는 클록 게이트.

청구항 17

게이트된 클록 신호를 제공하는 클록 게이트에 있어서,

각각 입력 단자, 출력 단자, 및 클록 단자를 구비한 제 1 및 제 2 차동 ECL 플립-플롭을 포함하고, 홀수 및 짝수 데이터 펄스를 분할하는, 차동 ECL 기술로 구현된 수단;

입력 단자, 출력 단자, 및 클록 단자를 구비한 CMOS 플립-플롭을 포함하고, 상기 홀수 및 짝수 데이터 펄스를 수신하고 상기 클록 신호를 출력하는, CMOS 기술로 구현된 수단; 및

제 1 및 제 2 ECL/CMOS 변환기를 포함하며, 상기 차동 ECL 기술로부터의 신호를 상기 CMOS 기술의 신호로 변환하는 수단을 포함하며,

상기 제 1 차동 ECL 플립-플롭의 상기 데이터 단자는 상기 제 1 차동 ECL 플립-플롭의 상기 출력 단자 및 상기 제 2 차동 ECL 플립-플롭의 상기 데이터 단자에 결합된 것을 특징으로 하는 클록 게이트.

청구항 18

제17항에 있어서, 상기 제 2 차동 ECL 플립-플롭의 클록 단자 및 상기 제 2 ECL/CMOS 변환기에 연결되는 클록 입력 신호를 제공하는 수단을 더 포함하는 것을 특징으로 하는 클록 게이트.

청구항 19

제18항에 있어서, 상기 제 1 차동 ECL/CMOS 변환기는 상기 제2 차동 ECL 플립-플롭의 상기 출력 단자에 결합된 것을 특징으로 하는 클록 게이트.

청구항 20

제19항에 있어서, 상기 제 1 및 제 2 차동 ECL/CMOS 변환기는 상기 CMOS 플립-플롭의 상기 데이터 단자 및 상기 CMOS 플립-플롭의 상기 클록 단자 각각에 결합된 것을 특징으로 하는 클록 게이트.

청구항 21

제20항에 있어서, 상기 수신하는 수단은, 상기 제 1 차동 ECL/CMOS 변환기 및 상기 CMOS 플립-플롭의 상기 출력 단자에 결합된 CMOS 배타적-OR 게이트를 더 포함하는 것을 특징으로 하는 클록 게이트.

청구항 22

제21항에 있어서, 상기 CMOS 배타적-OR 게이트는 상기 게이트된 클록 신호를 제공하는 것을 특징으로 하는 클록 게이트.

청구항 23

동기 데이터를 제공하는 방법에 있어서,

홀수 및 짝수 데이터 펄스를 분할하는 단계;

상기 홀수 데이터 펄스를 신호의 상승 또는 하강 에지로 변환하는 단계;

상기 짝수 데이터 펄스를 상기 홀수 데이터 펄스에 의하여 형성되지 않은 신호의 에지로 변환하는 단계;

상기 신호들을 조합 논리에 제공하는 단계; 및

상기 조합 논리로부터의 상기 동기 데이터를 출력하는 단계를 포함하며,

상기 분할 및 변환 단계는 상기 상승 및 하강 에지들의 동일한 해석을 보장하기 위하여 차동 ECL 회로를 사용하여 수행되고, 상기 제공하는 단계는 CMOS 회로를 사용하여 수행되는 것을 특징으로 하는 방법.

청구항 24

게이트된 클록 신호를 제공하는 방법에 있어서,

홀수 및 짝수 데이터 펄스를 분할하는 단계;

상기 홀수 데이터 펄스를 신호의 상승 또는 하강 에지로 변환하는 단계;

상기 짝수 데이터 펄스를 상기 홀수 데이터 펄스에 의하여 형성되지 않은 신호의 에지로 변환하는 단계;

상기 신호들을 조합 논리에 제공하는 단계; 및

상기 조합 논리로부터의 상기 클록 신호를 출력하는 단계를 포함하며,

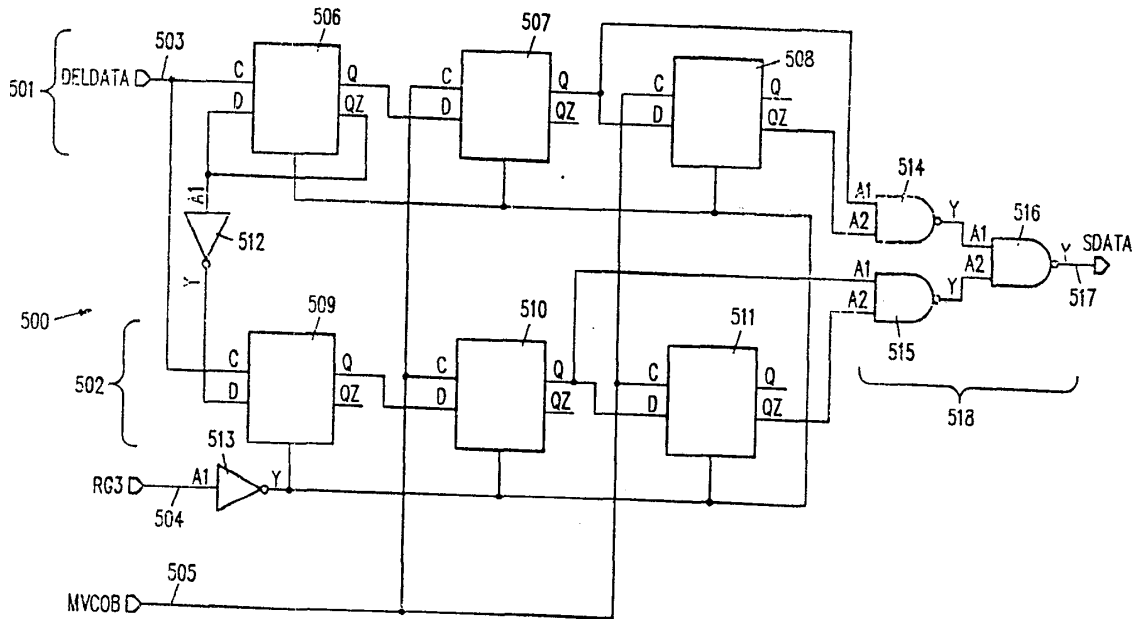
상기 분할 및 변환 단계는 상기 상승 및 하강 에지들의 동일한 해석을 보장하기 위하여 차동 ECL

회로를 사용하여 수행되고, 상기 제공하는 단계는 CMOS 회로를 사용하여 수행되는 것을 특징으로 하는 방법.

요약

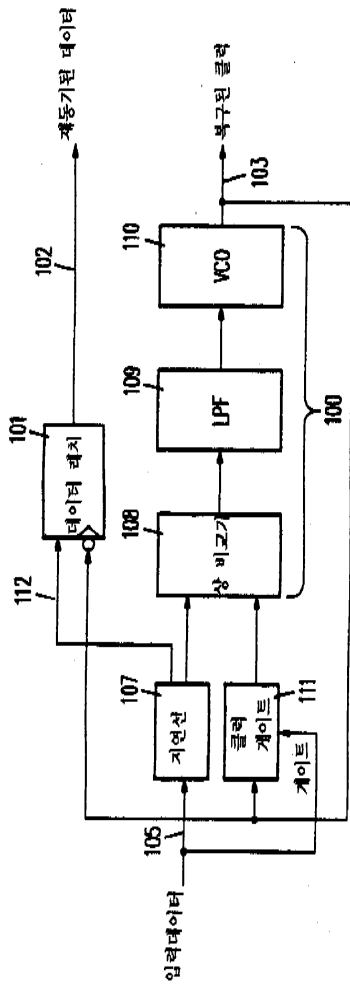
본 발명은 짝수 및 홀수 비트를 검출하기 위한 2 개의 별도의 경로를 갖는 게이팅회로를 제공하는 것이다. 각 경로는 동일수의 결합된 플립플롭을 포함한다. 비트 검출수, 조합논리부는 2 개의 경로를 통합하며 출력신호를 제공한다. 선택적인 리셋신호는 데이터 판독동작의 시작시 모든 플립플롭을 논리 제로로 초기화 한다.

대표도

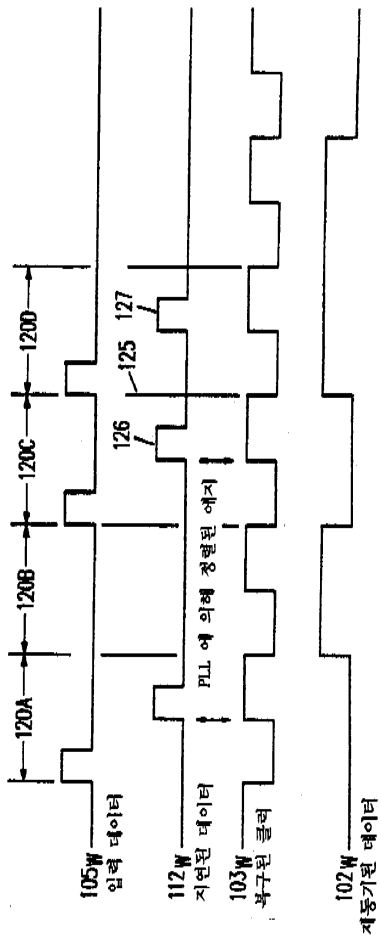


도면

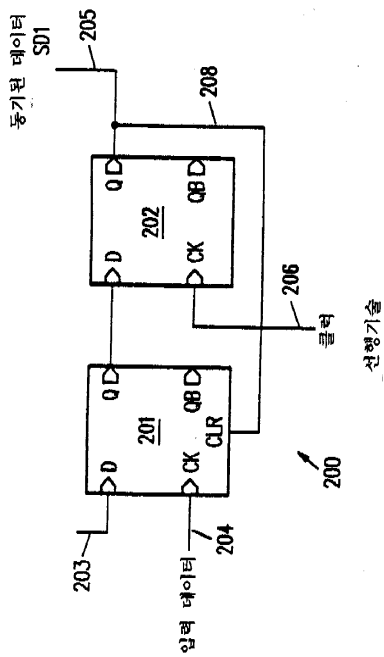
도면 1a



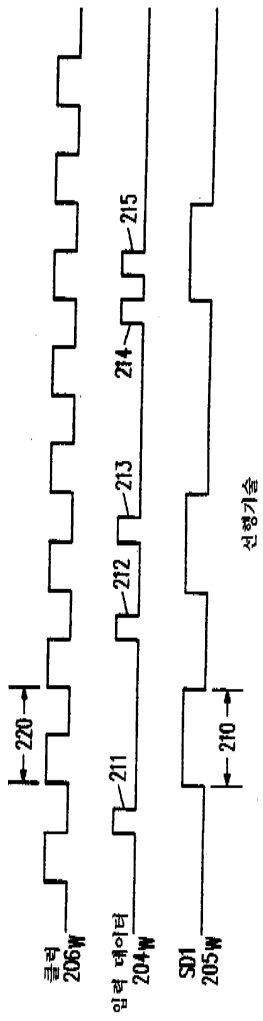
도면 1b



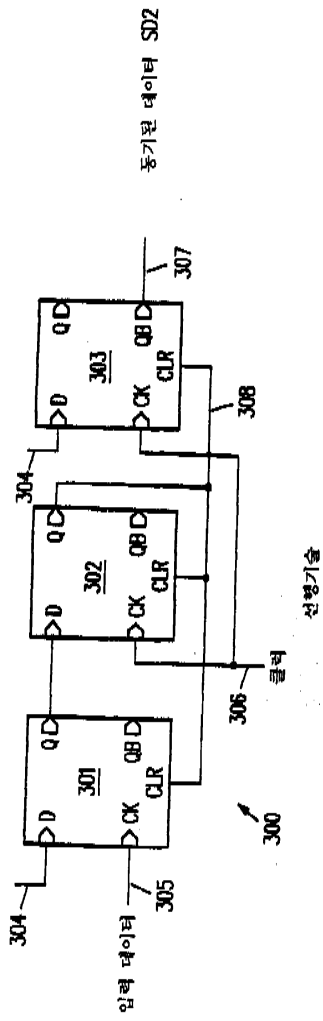
도면 2a



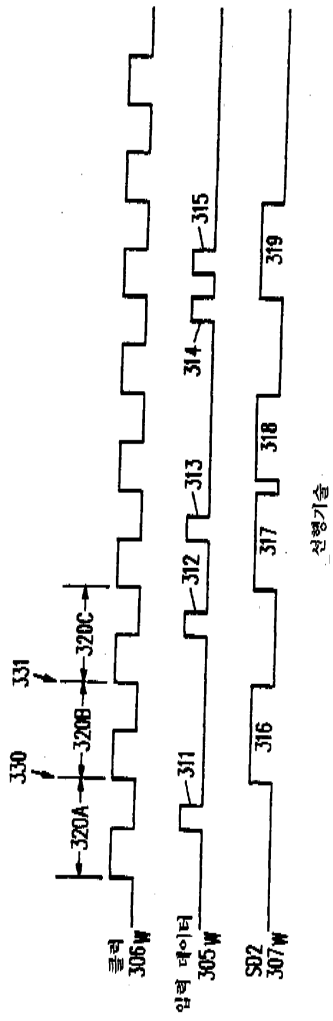
도면2b



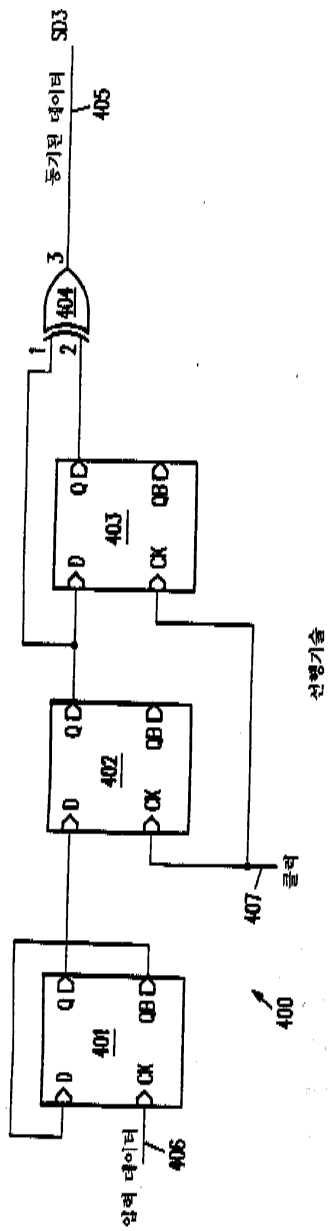
도면3a



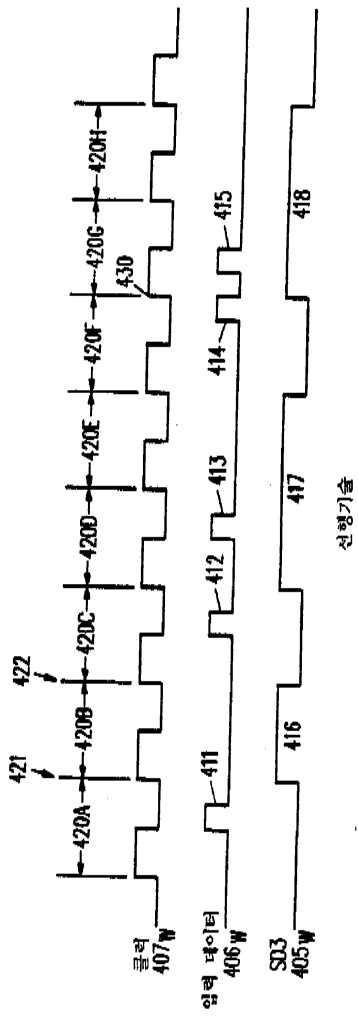
도면3b



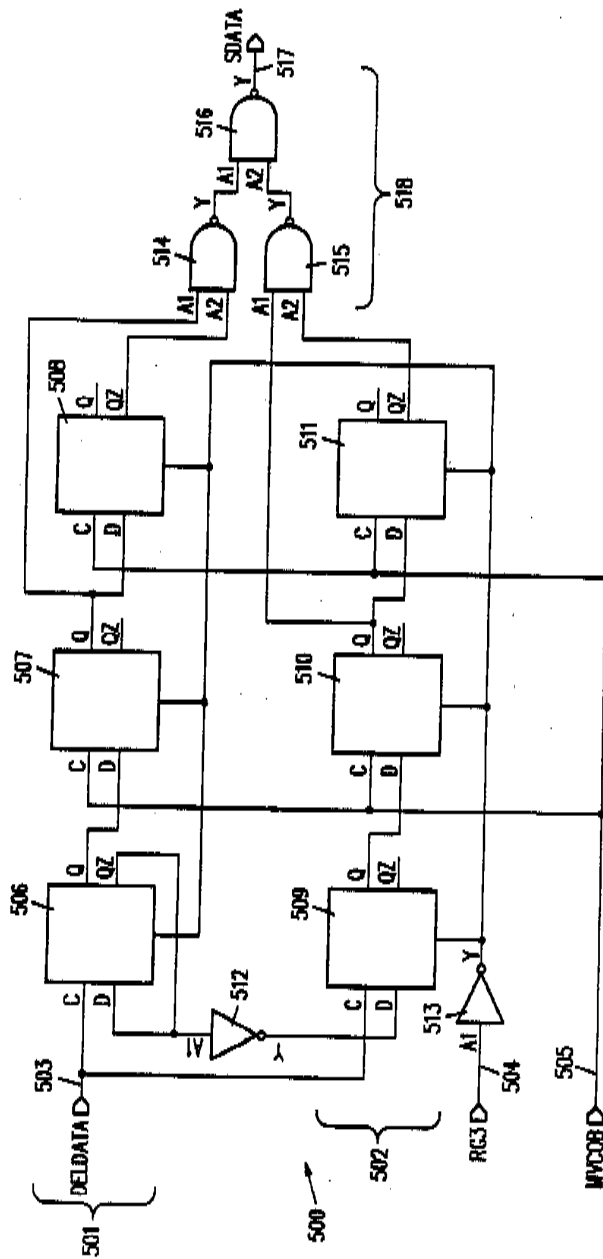
도면4a



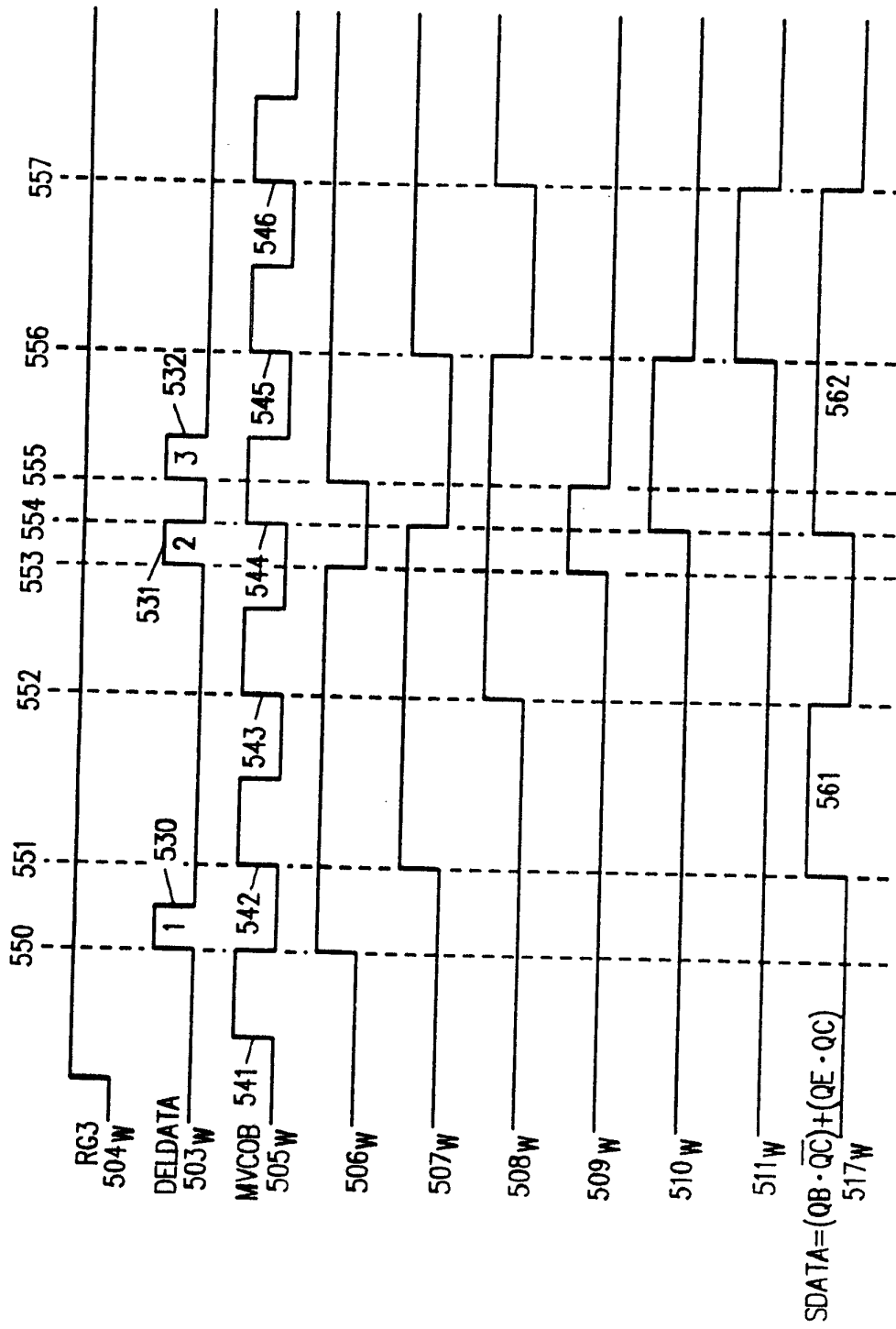
도면4b



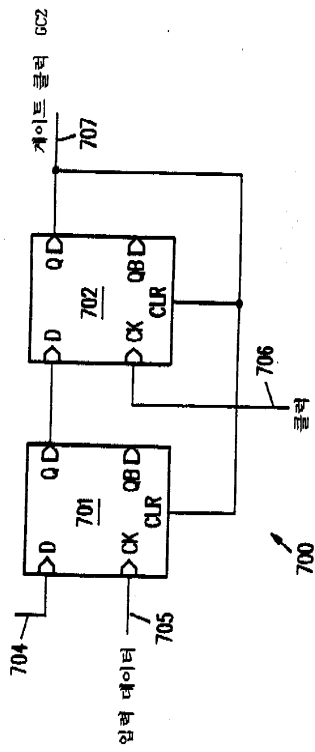
도면5A



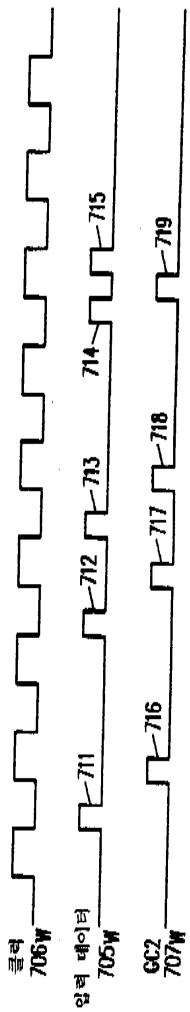
도면58



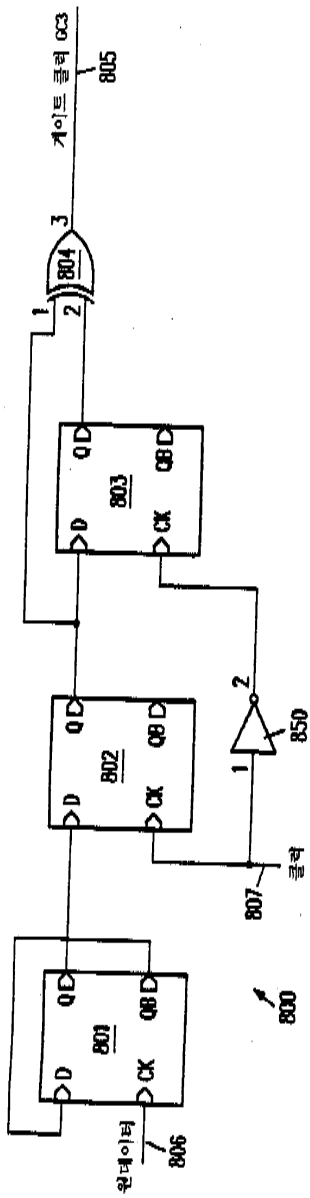
도면7a



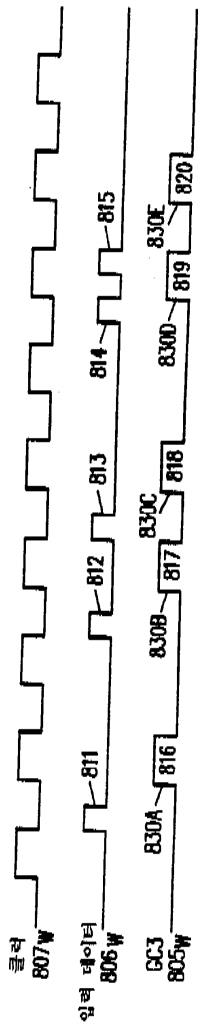
도면7b



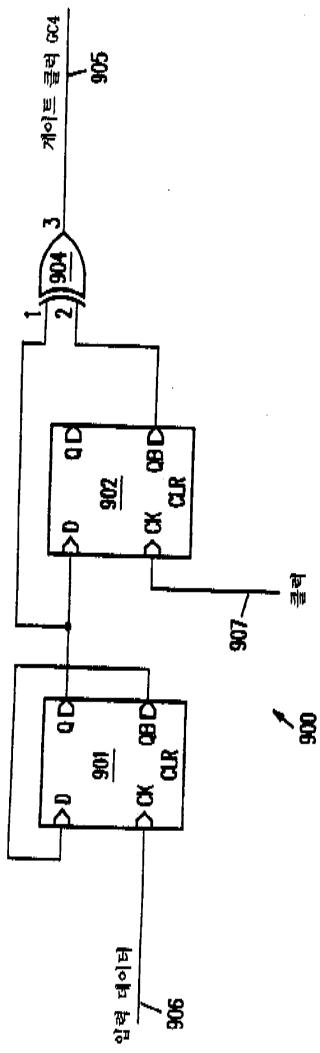
도면 8a



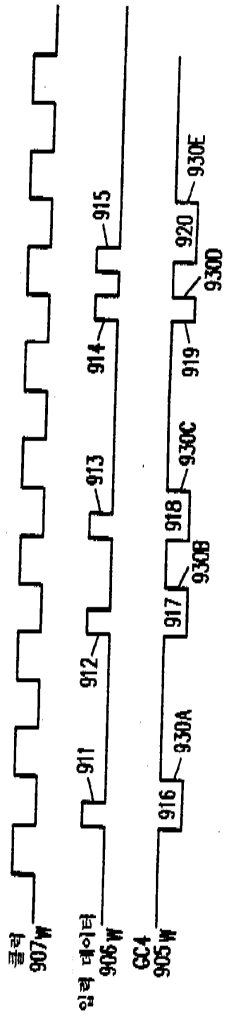
도면 8b



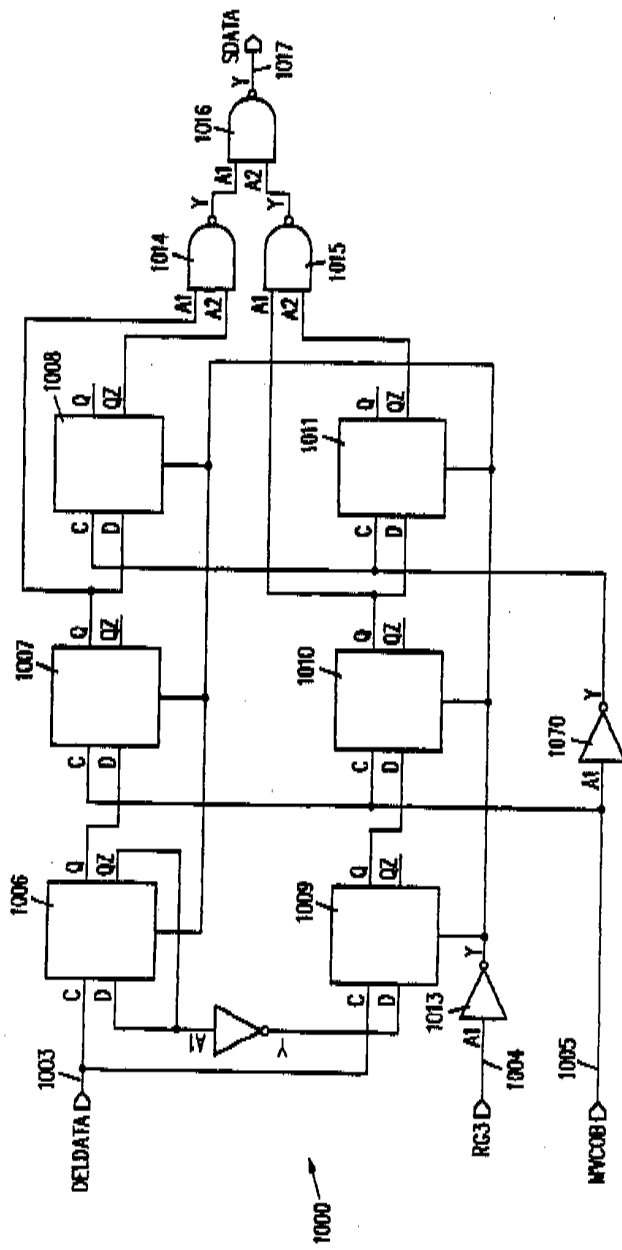
도면 9a



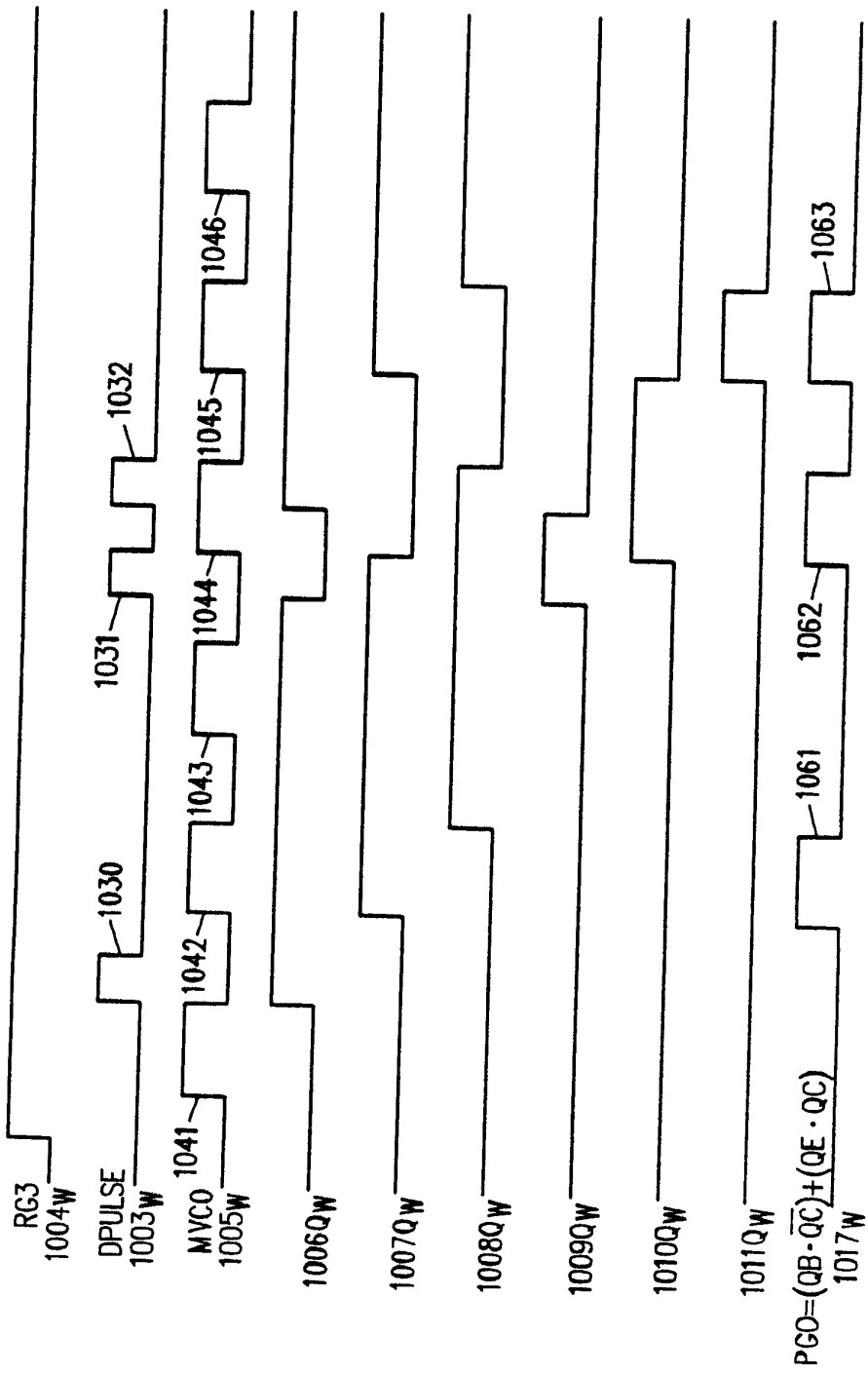
도면 9b



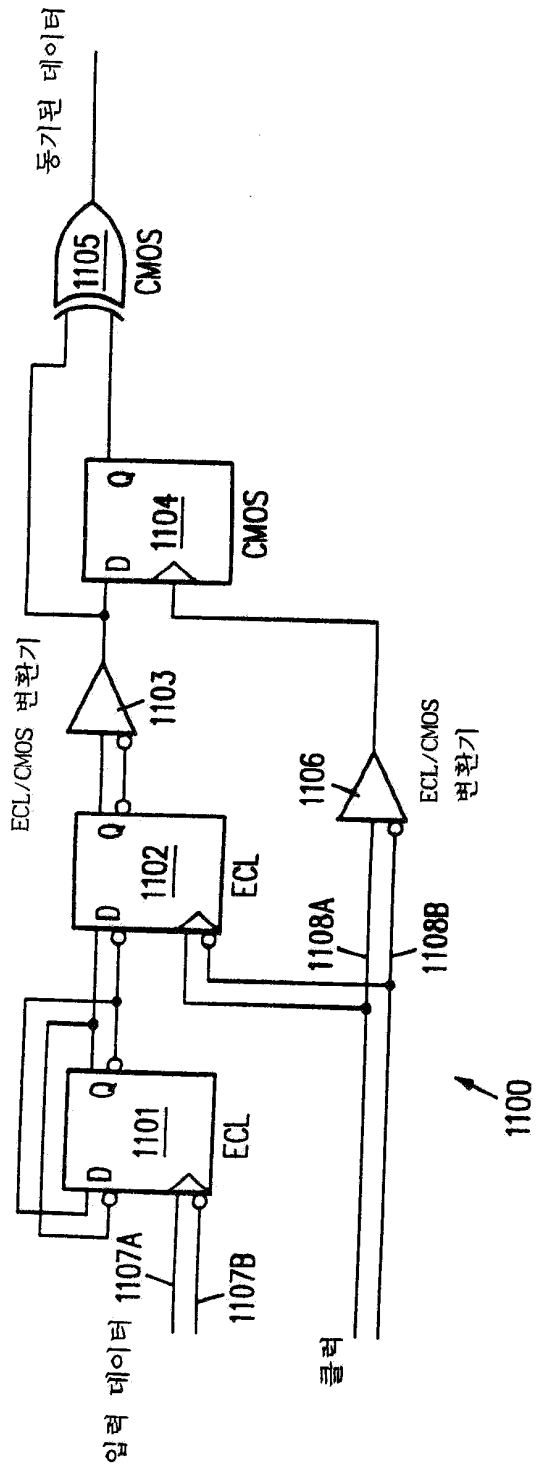
도면 10a



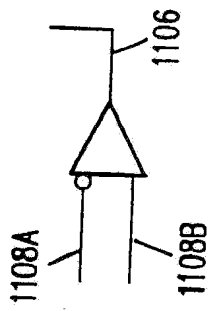
도면 10b



도면 11a



도면 11b



도면 12

